



(12) 发明专利

(10) 授权公告号 CN 103474037 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201310223653. 1

(22) 申请日 2013. 06. 06

(30) 优先权数据

2012-128972 2012. 06. 06 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 大藤将人 望月千织 渡边实

横山启吾 川锅润 藤吉健太郎

和山弘

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杨小明

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 101374463 A, 2009. 02. 25,

CN 1751393 A, 2006. 03. 22,

JP H03280676 A, 1991. 12. 11,

US 2004257322 A1, 2004. 12. 23,

US 2008316156 A1, 2008. 12. 25,

审查员 史孝波

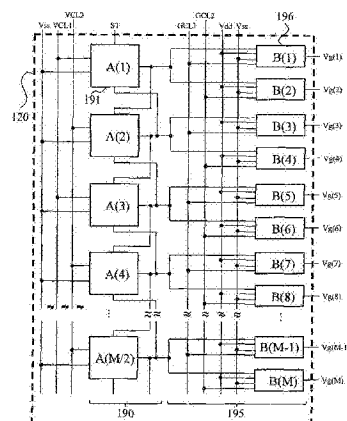
权利要求书2页 说明书13页 附图18页

(54) 发明名称

有源矩阵面板、检测装置和检测系统

(57) 摘要

本发明涉及有源矩阵面板、检测装置和检测系统。一种有源矩阵面板包括与多个晶体管的控制电极连接的栅极线和向栅极线供给导通电压和非导通电压的驱动电路。驱动电路包括包含相互连接的多个移位寄存器单元电路的移位寄存器和包含移位寄存器单元电路的输出信号所输入的多个解复用器单元电路的解复用器。解复用器单元电路包含用于向栅极线供给导通电压的第一晶体管 and 用于向栅极线供给非导通电压的第二晶体管。当第二晶体管处于导通状态时，第一晶体管从非导通状态变为导通状态。



1. 一种有源矩阵面板,包括:

与多个晶体管的控制电极连接的栅极线;和

向所述栅极线供给导通电压和非导通电压的驱动电路,

其中,所述驱动电路包括移位寄存器和解复用器,所述移位寄存器包含相互连接的多个移位寄存器单元电路,所述解复用器包含所述移位寄存器单元电路的输出信号所输入的多个解复用器单元电路,

所述解复用器单元电路包含用于向所述栅极线供给导通电压的第一晶体管和用于向所述栅极线供给非导通电压的第二晶体管,并且,

当第二晶体管处于导通状态时,第一晶体管从非导通状态变为导通状态。

2. 根据权利要求1所述的有源矩阵面板,其中,所述解复用器单元电路具有用于在第二晶体管处于导通状态时将第一晶体管从非导通状态改变为导通状态的部件并且在所述栅极线的电压变为导通电压之后使第二晶体管进入非导通状态。

3. 根据权利要求1所述的有源矩阵面板,其中,所述解复用器单元电路还包含逆变器,所述逆变器接收第一晶体管、第二晶体管与所述栅极线之间的互连节点的电势作为输入信号并且将所述输入信号逆变的信号输出到第二晶体管的控制电极,并且,

所述逆变器包含向第二晶体管的控制电极供给第一电压的第三晶体管和向第二晶体管的控制电极供给第二电压的第四晶体管。

4. 根据权利要求1所述的有源矩阵面板,其中,在所述栅极线的电压变为导通电压之后,第二晶体管与第一晶体管的沟道电阻比变为100倍或更大。

5. 根据权利要求3所述的有源矩阵面板,

其中,如果第一电压为 V_{DD} 、第二电压为 V_{SS} 、当第二晶体管的沟道电阻为第一晶体管的沟道电阻的100倍高时第二晶体管的栅极与源极之间的电压为 V_{LL} 、第一晶体管的沟道宽度和沟道长度分别为 W_6 和 L_6 、第二晶体管的沟道宽度和沟道长度分别为 W_7 和 L_7 、第三晶体管的沟道宽度和沟道长度分别为 W_8 和 L_8 、第四晶体管的沟道宽度和沟道长度分别为 W_9 和 L_9 并且第一到第四晶体管的阈值电压的平均值为 V_{TH} ,那么满足下式:

$$\frac{W_9/L_9}{W_8/L_8} \geq \frac{(V_{DD} - V_{LL} - V_{TH})^2}{2(V_{DD} - V_{SS} - V_{TH})(V_{LL} - V_{SS}) - (V_{LL} - V_{SS})^2}$$

$$V_{LL} = V_{SS} + V_{TH} + \sqrt{\frac{1}{100} \frac{W_6/L_6}{W_7/L_7} \cdot 2(V_{DD} - V_{SS})(V_{DD} - V_{SS} - 2V_{TH})}$$

6. 根据权利要求5所述的有源矩阵面板,其中,在所述栅极线的电压变为导通电压之后,第二晶体管的控制电极的电压变得等于或低于第二晶体管的阈值电压。

7. 根据权利要求6所述的有源矩阵面板,其中,满足下式:

$$\frac{W_9/L_9}{W_8/L_8} \geq \frac{(V_{DD} - 2V_{TH})^2}{2(V_{DD} - V_{SS} - V_{TH})(V_{TH} - V_{SS}) - (V_{TH} - V_{SS})^2}$$

8. 根据权利要求5所述的有源矩阵面板,其中,

所述解复用器单元电路包含连接于第二晶体管的控制电极与第三电压 V_{GG} 的节点之间

的第五晶体管,并且,

如果第五晶体管的沟道宽度和沟道长度分别为 W_{10} 和 L_{10} 、满足 $\beta_{R9} = (W_9/L_9)/(W_8/L_8)$ 和 $\beta_{R10} = (W_{10}/L_{10})/(W_8/L_8)$ 并且第一到第五晶体管的阈值电压的平均值为 V_{TH} ,那么满足下式:

$$V_{DD} - V_{TH} - \sqrt{(V_{DD} - V_{TH})^2 - \frac{(V_{DD} - V_{TH})^2 + 2(V_{DD} - V_{TH})(\beta_{R9}V_{SS} + \beta_{R10}V_{GG}) - (\beta_{R9}V_{SS}^2 + \beta_{R10}V_{GG}^2)}{1 + \beta_{R9} + \beta_{R10}}} \leq V_{LL}$$

9. 根据权利要求 8 所述的有源矩阵面板,其中,满足下式:

$$V_{DD} - V_{TH} - \sqrt{(V_{DD} - V_{TH})^2 - \frac{(V_{DD} - V_{TH})^2 + 2(V_{DD} - V_{TH})(\beta_{R9}V_{SS} + \beta_{R10}V_{GG}) - (\beta_{R9}V_{SS}^2 + \beta_{R10}V_{GG}^2)}{1 + \beta_{R9} + \beta_{R10}}} \leq V_{TH}$$

10. 一种检测装置,包括:

根据权利要求 1 的有源矩阵面板;和

与多个晶体管关联并将放射线转换成电荷的多个转换元件。

11. 一种检测系统,包括:

根据权利要求 10 的检测装置;

处理来自所述检测装置的信号的信号处理单元;

用于显示来自所述信号处理单元的信号的显示单元;和

用于传送来自所述信号处理单元的信号的传送处理单元。

有源矩阵面板、检测装置和检测系统

技术领域

[0001] 本发明涉及有源矩阵面板、检测装置和检测系统。

背景技术

[0002] 通过使用薄膜半导体制造技术制造具有包含诸如薄膜晶体管(TFT)的开关元件的像素的阵列(像素阵列)的有源矩阵面板。近年,在有源矩阵面板中,需要采用面板上系统(system-on-panel)设计。该设计包括在 TFT 处理中在基板上一体地形成诸如栅极驱动器电路的驱动电路。特别地,对于具有组合开关元件和诸如光电转换元件的转换元件的像素的阵列(像素阵列)的检测装置,为了减小像素节距(pitch)、部件数量和边界宽度,需要面板上系统设计。用于这种检测装置的面板上系统型栅极驱动器电路具有以下的技术问题。

[0003] (1) 切换驱动栅极线的数量的功能

[0004] 驱动电路依次施加用于使得与一个至几个栅极线连接的像素 TFT 导通的电压(导通电压)。在一次驱动的栅极线的数量为 1 个的情况下,模式为正常(高分辨率)模式。在数量为多个的情况下,模式为将像素的光信号电荷相加的像素加算(高灵敏度)模式。特别地,在放射线检测装置中,这些模式可被切换,以在抑制病人的放射线暴露剂量的同时获取最佳的图像。

[0005] (2) 非选择时段期间的栅极线电势的稳定化

[0006] 即使在向某栅极线施加导通电压的时间段期间,也不向大多数的栅极线施加导通电压。当栅极线进入浮置状态时,栅极线的电压由于与信号线的电容耦合和外部电磁场而改变,由此降低读出图像质量。特别地,用于放射线检测装置的有源矩阵面板具有数量为显示设备的约 3 倍的栅极线,同时以高分辨率测量像素的电荷量。因此,使不施加导通电压的时间段(非选择时段)期间的栅极线电压稳定化是特别重要的。

[0007] 作为解决与以上的问题类似的问题的电路,美国 2008/0316156 公开了用于液晶显示器设备(LCD)的驱动电路。所述驱动电路与基板一体地形成成为单一导电型 TFT。美国 2008/0316156 中的驱动电路包含移位寄存器和扫描电压产生电路。扫描电压产生电路用作将移位寄存器的输出电压分入多个栅极线中的解复用器(demultiplexer)。可通过控制要提供给扫描电压产生电路的时钟的定时,改变每次驱动的栅极线的数量。移位寄存器不仅可输出主输出信号(第一偏移脉冲电压),而且可输出其互补输出信号(第二偏移脉冲电压)。通过使用这些信号,在大部分的非选择时段期间,栅极线与 DC 电源连接,并且,可避免栅极线的浮置状态。

[0008] 但是,由于美国 2008/0316156 中的移位寄存器输出作为第一和第二偏移脉冲的两种类型的输出信号,因此,该寄存器具有复杂的电路配置。美国 2008/0316156 中的移位寄存器对于各单元电路包含 18 个 TFT。即使诸如美国 2008/0316156 中的图 4 中 Tr1 和 Tr2 的冗余 TFT 被计数为一个 TFT,寄存器也对于各单元电路包含 10 个 TFT。具有这种复杂的电路配置的驱动电路具有大的布局面积,并且导致制造产量的降低。

[0009] 本发明的目的是,减少有源矩阵面板中的栅极线的驱动电路的布局面积,并提高

制造产量。

发明内容

[0010] 本发明的有源矩阵面板包括：与多个晶体管的控制电极连接的栅极线，以及，向栅极线供给导通电压和非导通电压的驱动电路，其中，驱动电路包括：包含相互连接的多个移位寄存器单元电路的移位寄存器，以及，包含移位寄存器单元电路的输出信号所输入的多个解复用器单元电路的解复用器，解复用器单元电路包含：用于向栅极线供给导通电压的第一晶体管，以及，用于向栅极线供给非导通电压的第二晶体管，并且，当第二晶体管处于导通状态时，第一晶体管从非导通状态变为导通状态。

[0011] 本发明可减少移位寄存器的电路规模和驱动电路的布局面积，并提高制造产量。

[0012] 从参照附图对示例性实施例的以下描述，本发明的其它特征将变得清晰。

附图说明

[0013] 图 1 是示出根据第一实施例的有源矩阵面板的配置例的示意图。

[0014] 图 2A 是示出与第一实施例有关的驱动电路的配置例的示意图。

[0015] 图 2B 是示出移位寄存器单元电路的配置例的示意图。

[0016] 图 2C 是示出解复用器单元电路的配置例的示意图。

[0017] 图 3 是示出与第一实施例有关的移位寄存器的操作的例子定时图。

[0018] 图 4 是详细示出与第一实施例有关的驱动电路的先头部分的电路图。

[0019] 图 5 是示出与第一实施例有关的正常模式中的操作的例子定时图。

[0020] 图 6 是示出与第一实施例有关的像素加算模式中的操作的例子定时图。

[0021] 图 7A 是示出与第一实施例有关的交错模式中的奇数帧的操作的例子定时图。

[0022] 图 7B 是示出与第一实施例有关的交错模式中的偶数帧的操作的例子定时图。

[0023] 图 8 是示出与第二实施例有关的有源矩阵面板的配置例的示意图。

[0024] 图 9A 是示出与第二实施例有关的驱动电路的配置例的示意图。

[0025] 图 9B 是示出与第二实施例有关的移位寄存器单元电路的配置例的示意图。

[0026] 图 10 是详细示出与第二实施例有关的驱动电路的先头部分的电路图。

[0027] 图 11 是示出与第二实施例有关的正常模式中的操作的例子定时图。

[0028] 图 12A 是示出放射线检测装置的像素的配置例的示意性平面图。

[0029] 图 12B 是示出像素的配置例的示意性截面图。

[0030] 图 13 是示出放射线检测装置的配置例的示意图。

[0031] 图 14 是示出第一实施例中的薄膜晶体管的沟道宽度和沟道长度的例子示意图。

[0032] 图 15 是示出第二实施例中的薄膜晶体管的沟道宽度和沟道长度的例子示意图。

具体实施方式

[0033] 现在将根据附图详细描述本发明的优选实施例。

[0034] (第一实施例)

[0035] 图 1 是示出根据本发明的第一实施例的包含有源矩阵面板的检测装置的配置例的示意图。如图 1 所示，检测装置 100 包括像素 110 在绝缘基板 101 上被布置成矩阵的像素

阵列。在本实施例中,像素阵列被布置成 M 行和 N 列,这里, M 是偶数。像素 110 包含将放射线或光转换成电荷的转换元件 111 和输出根据转换的电荷的电信号的开关元件(晶体管) 112。转换元件 111 的第一电极与开关元件 112 的源极和漏极中的一个电连接。转换元件 111 的第二电极与电极布线 180 电连接。开关元件 112 的源极和漏极中的另一个与信号线 170 电连接。沿列方向布置多个信号线 170 (N 个线)。各信号线以共享的方式与沿列方向布置的开关元件 112 的源极和漏极中的另一个连接。信号线进一步通过相应的连接端子 S1 ~ Sn 与外部读出电路 130 连接。开关元件 112 的控制电极(栅电极)与栅极线 160 电连接。沿行方向布置多个栅极线 160 (M 个线)。各栅极线以共享的方式与沿行方向布置的开关元件 112 的栅极连接。栅极线进一步与设置在绝缘基板 101 上的驱动电路 120 连接。驱动电路 120 向栅极线 160 供给导通电压和非导通电压。

[0036] 驱动电路 120 通过连接端子 Vdd 和 Vss 与电源 140 连接,并通过连接端子 VCL1、VCL2、ST、GCL1 和 GCL2 与控制器 150 连接。电源 140 向电极布线 180 供给要被供给到转换元件 111 的电压 V_s , 并且向驱动电路 120 供给用于使开关元件 112 处于导通状态的第一电压 V_{DD} 和用于使该元件处于非导通状态的第二电压 V_{SS} 。控制器 150 向驱动电路 120 供给开始信号 Φ_{ST} 、移位寄存器 190 的时钟信号 Φ_{VCL1} 和 Φ_{VCL2} 、以及解复用器 195 的时钟信号 Φ_{GCL1} 和 Φ_{GCL2} (图 2A)。开始信号 Φ_{ST} 是用于开始移位寄存器 190 的操作的信号(图 2A)。开始信号 Φ_{ST} 、时钟信号 Φ_{VCL1} 、 Φ_{VCL2} 、 Φ_{GCL1} 和 Φ_{GCL2} 的最大电压值是 V_{DD} , 并且,其最小电压值是 V_{SS} 。时钟信号 Φ_{VCL1} 和 Φ_{VCL2} 具有彼此相差 180 度的相位。 V_{DD} 和 V_{SS} 被设定以满足 $|V_{DD}-V_{SS}|>2V_{TH}$, 这里, 阈值电压 V_{TH} 是配置驱动电路 120 的薄膜晶体管的阈值电压。

[0037] 图 2A 是示出驱动电路 120 的配置例的示图。驱动电路 120 包含移位寄存器 190 和解复用器 195。移位寄存器 190 包含相互连接的至少 M/2 个移位寄存器单元电路 191。移位寄存器单元电路 191 从其头起由 A (1)、A (2)、...A (M/2) 表示。如图 2B 所示,移位寄存器单元电路 A (n) 具有信号输入端子 SET、RESET 和 VCLK、电源输入端子 VSS 和信号输出端子 SOUT。移位寄存器单元电路 A (n) 的信号输入端子 SET 与移位寄存器单元电路 A (n-1) 的信号输出端子 SOUT 连接。另外,开始信号 Φ_{ST} 被输入到移位寄存器单元电路 A (1) 的信号输入端子 SET 中。移位寄存器单元电路 A (n) 的信号输入端子 RESET 与移位寄存器单元电路 A (n+1) 的信号输出端子 SOUT 连接。为了确保完成移位寄存器操作,由控制器 150 等产生的希望的控制信号可被输入到最后级处的移位寄存器单元电路 A (M/2) 的信号输入端子 RESET 中。时钟信号 Φ_{VCL1} 被输入到奇数移位寄存器单元电路 A (n) 的信号输入端子 VCLK 中。信号时钟 Φ_{VCL2} 被输入到偶数移位寄存器单元电路 A (n) 的信号输入端子 VCLK 中。第二电压 V_{SS} 被输入到移位寄存器单元电路 A (n) 的电源输入端子 VSS 中。移位寄存器单元电路 A (n) 的信号输出端子 SOUT 与后面提到的解复用器单元电路 B (2n-1) 和 B (2n) 的信号输入端子 DIN 连接。

[0038] 解复用器 195 包含 M 个或更多个解复用器单元电路 196。解复用器单元电路 196 从其头起由 B (1)、B (2)、...B (M) 表示。在本实施例中,两个解复用器单元电路 196 与一个移位寄存器单元电路 191 对应。解复用器单元电路 196 接收移位寄存器单元电路 191 的输出信号。如图 2C 所示,解复用器单元电路 B (n) 包含信号输入端子 DIN 和 GCLK、电源输入端子 VDD 和 VSS、以及信号输出端子 DOUT。时钟信号 Φ_{GCL1} 被输入到奇数解复用器单

元电路 B (n) 的信号输入端子 GCLK 中。时钟信号 Φ_{GCL2} 被输入到偶数解复用器单元电路 B (n) 的信号输入端子 GCLK 中。第一电压 V_{DD} 和第二电压 V_{SS} 被输入到解复用器单元电路 B (n) 的相应的电源输入端子 VDD 和 VSS 中。解复用器单元电路 B (n) 的信号输出端子 DOUT 和与其对应的相应的栅极线连接。

[0039] 图 2B 示出移位寄存器单元电路 A (n) 的内部配置的例子。移位寄存器单元电路 A (n) 包含薄膜晶体管 T1 ~ T4 和电容元件 C1。图 2C 示出解复用器单元电路 B (n) 的内部配置的例子。解复用器单元电路 B (n) 包含薄膜晶体管 T5 ~ T9 和电容元件 C2。第一晶体管 T6 是用于经由输出端子 DOUT 向栅极线 160 供给导通电压的晶体管。第二晶体管 T7 是用于经由输出端子 DOUT 向栅极线 160 供给非导通电压的晶体管。薄膜晶体管 T8 和 T9 形成电源电压分别为 V_{DD} 和 V_{SS} 的 E/E 逆变器 (inverter)。逆变器包含向第二晶体管 T7 的控制电极 (栅电极) 供给第一电压 V_{DD} 的第三晶体管 T8 和向第二晶体管 T7 的控制电极供给第二电压 V_{SS} 的第四晶体管 T9。逆变器接收第一晶体管 T6、第二晶体管 T7 和栅极线 160 的互连节点 DOUT 的电势作为输入信号, 并且将从输入信号逆变的信号输出到第二晶体管 T7 的控制电极。在对于逆变器的输入电压 (薄膜晶体管 T8 的栅极电压和薄膜晶体管 T9 的源极电压) 分别为 V_{DD} 和 V_{SS} 的情况下, 逆变器的输出电压即点 r 处的电压 V_r 为 V_L 或 V_H 。满足 $V_H = V_{DD} - V_{TH}$ 。 V_L 根据作为相对于薄膜晶体管 T8 的 W/L 比的薄膜晶体管 T9 的 W/L 比的 β_{R9} 改变。

$$[0040] \quad \beta_{R9} = (W_9/L_9) / (W_8/L_8),$$

[0041] 其中, 以下, W 表示沟道宽度, L 表示沟道长度, 下标表示相应的晶体管编号 (T1、T2、...)。例如。第一晶体管 T6 的沟道宽度和沟道长度分别被定义为 W_6 和 L_6 。第二晶体管 T7 的沟道宽度和沟道长度分别被定义为 W_7 和 L_7 。第三晶体管 T8 的沟道宽度和沟道长度被定义为 W_8 和 L_8 。第四晶体管 T9 的沟道宽度和沟道长度被定义为 W_9 和 L_9 。三个或更多个解复用器单元电路 196 可与一个移位寄存器单元电路 191 连接。例如, 在连接四个解复用器单元电路 196 与一个移位寄存器单元电路 191 的情况下, 移位寄存器单元电路 191 的数量至少为 M/4, 并且, 采取诸如 $\Phi_{GCL1} \sim \Phi_{GCL4}$ 的四个系列的时钟信号。配置开关元件 112 和驱动电路 120 的薄膜晶体管中的每一个可由非晶半导体材料 (例如, 非晶硅)、多晶半导体材料 (例如, 多晶硅)、有机半导体材料和氧化物半导体材料中的任一种制成。

[0042] 下面将单独关于 (1) 移位寄存器和 (2) 解复用器描述驱动电路 120 的操作。这里, 薄膜晶体管 T1 ~ T9 中的每一个的阈值电压为 V_{TH} 。在薄膜晶体管的阈值电压相互不同的情况下, 如果相关的薄膜晶体管的阈值电压的平均值被定义为 V_{TH} , 那么可使得以下的讨论有效。

[0043] (1) 移位寄存器

[0044] 将参照图 2A、图 2B 和图 3, 描述移位寄存器 190 的操作。开始信号 Φ_{ST} 被输入到移位寄存器单元电路 A (1) 的信号输入端子 SET 中。时钟信号 Φ_{VCL1} 被输入到信号输入端子 VCLK 中。移位寄存器单元电路 A (2) 的输出信号 VSOUT (2) 被输入到信号输入端子 RESET 中。移位寄存器单元电路 A (1) 的输出信号 VSOUT (1) 被输入到移位寄存器单元电路 A (2) 的信号输入端子 SET 中。时钟信号 Φ_{VCL2} 被输入到信号输入端子 VCLK 中。移位寄存器单元电路 A (3) 的输出信号 VSOUT (3) 被输入到信号输入端子 RESET 中。

[0045] 图 3 是示出移位寄存器 190 的操作的定时图。该示图还示出第一级处的移位寄存

器单元电路 A (1) 中的点 p 处的电压 $V_p(1)$ 的时间变化。

[0046] 首先, 讨论移位寄存器单元电路 A (1) 的操作。在时间 t_{11} 处, 当开始信号 Φ_{ST} 上升时, 电压 $V_p(1)$ 通过薄膜晶体管 T1 增加到约 $V_{DD}-V_{TH}$, 并且, 薄膜晶体管 T2 进入导通状态。在时间 t_{12} 处, 开始信号 Φ_{ST} 下降并且时钟信号 Φ_{VCL1} 上升。时钟信号 Φ_{VCL1} 被输入到移位寄存器单元电路 A (1) 的信号输入端子 VCLK 中, 并且, 薄膜晶体管 T2 的栅电极和源电极经由电容元件 C1 相互连接。因此, 电压 $V_p(1)$ 增加到约 $(2V_{DD}-V_{SS}-V_{TH})$ (引导操作 (bootstrap operation))。这里, 如果 $(2V_{DD}-V_{SS}-V_{TH}) > (V_{DD}+V_{TH})$, 那么 $VSOUT(1) = V_{DD}$ 。在时间 t_{13} 处, 当时钟信号 Φ_{VCL1} 下降并且时钟信号 Φ_{VCL2} 上升时, $VSOUT(2) = V_{DD}$ 成立。因此, 薄膜晶体管 T3 和 T4 变得导通, 并且, $VSOUT(1) = V_{SS}$ 成立。

[0047] 下面, 讨论第二移位寄存器单元电路 A (2) 的操作。移位寄存器单元电路 A (2) 在时间 t_{12} 处被 $VSOUT(1) = V_{DD}$ 的状态触发, 从而以与移位寄存器单元电路 A (1) 类似的方式操作, 相对于移位寄存器单元电路 A (1) 具有规定时间段 ($= t_{13}-t_{12}$) 的延迟。

[0048] 类似地, 移位寄存器单元电路 A (n+1) 以与移位寄存器单元电路 A (n) 类似的方式操作, 相对于移位寄存器单元电路 A (n) 具有规定时间的延迟。如图 3 所示, 重复的操作允许移位寄存器 190 依次向 $VSOUT(n)$ 供给 V_{DD} 电压脉冲。

[0049] (2) 解复用器

[0050] 将参照图 2A、图 2C、图 4、图 5 和图 6, 描述解复用器 195 的操作。图 4 是详细示出驱动电路 120 的先头部分的电路图。该图示出移位寄存器单元电路 A (1) 以及解复用器单元电路 B (1) 和 B (2)。解复用器单元电路 B (1) 和 B (2) 的信号输出端子 DOUT 处的输出电压分别被定义为对于第一行和第二行的栅极线的输出电压 $V_g(1)$ 和 $V_g(2)$ 。解复用器 195 可以在正常模式、像素加算模式和交错模式中的任何模式中操作。

[0051] (2-1) 正常模式

[0052] 图 5 是示出正常模式中的解复用器单元电路 B (1) 和 B (2) 的操作的定时图。时钟信号 Φ_{GCL1} 和 Φ_{GCL2} 具有彼此相差 180 度的相位。还示出解复用器单元电路 B (1) 和 B (2) 中的点 q 和 r 处的电压 $V_q(1)$ 、 $V_q(2)$ 、 $V_r(1)$ 和 $V_r(2)$ 的时间变化。以下将依次描述操作。

[0053] (A) 时间 t_{21} 之前

[0054] $VSOUT(1) = V_q(1) = V_q(2) = V_{SS}$ 成立, 并且薄膜晶体管 T6 和 T6' 处于非导通状态。满足 $V_r(1) = V_r(2) = V_H$ 和 $V_g(1) = V_g(2) = V_{SS}$ 。薄膜晶体管 T7 和 T7' 处于导通状态。

[0055] (B) 时间 t_{21}

[0056] 当满足 $VSOUT(1) = V_{DD}$ 时, 电压 $V_q(1)$ 和 $V_q(2)$ 充电到 $V_{DD}-V_{TH}$ 。结果, 薄膜晶体管 T6 和 T6' 处于导通状态, 直到后述的时间 t_{26} 。满足 $\Phi_{GCL1} = \Phi_{GCL2} = V_{SS}$ 和 $V_r(1) = V_r(2) = V_H$ 。薄膜晶体管 T7 和 T7' 处于导通状态。满足 $V_g(1) = V_g(2) = V_{SS}$ 。即, 当第二晶体管 T7 和 T7' 处于导通状态时, 第一晶体管 T6 和 T6' 从非导通状态变为导通状态。

[0057] (C) 时间 t_{22}

[0058] 栅极线具有成分是金属材料的电阻、像素区域中的栅极线与信号线之间的相交电容、以及直到像素区域的各种布线的相交电容的寄生电阻 R_{para} 和寄生电容 C_{para} 。因此, 栅极

线以约 $\tau = R_{\text{para}} \times C_{\text{para}}$ (秒) 的延迟被充电和放电。在时刻 t_{22} 处, 当时钟信号 Φ_{GCL1} 上升时, 电压 $V_g(1)$ 不立即改变, 并且, 满足 $V_g(1) = V_{\text{SS}}$ 、 $V_q(1) = V_{\text{DD}} - V_{\text{TH}}$ 和 $V_r(1) = V_{\text{H}}$ 。薄膜晶体管 T7 处于导通状态。

[0059] (D) 时间 t_{23}

[0060] 当在时间 t_{22} 之后大约经过时间段 τ 时, 由于薄膜晶体管 T6 的栅电极和源电极经由电容元件 C2 相互连接, 因此, 电压 $V_q(1)$ 增加到 $2V_{\text{DD}} - V_{\text{SS}} - V_{\text{TH}}$ 并且电压 $V_g(1)$ 变为恒定值 ($= V_{\text{DD}}$)。此时, 电压 $V_r(1)$ 变为由薄膜晶体管 T8 和 T9 的沟道电阻比确定的值 ($= V_{\text{L}}$), 并且, 薄膜晶体管 T7 进入非导通状态。如上所述, 在栅极线 160 的电压 $V_g(1)$ 变为导通电压 V_{DD} 之后, 第四晶体管 T9 变为导通, 电压 $V_r(1)$ 变为电压 V_{L} , 并且, 第二晶体管 T7 进入非导通状态。在栅极线 160 的电压变为导通电压 V_{DD} 之后, 第二晶体管 T7 的控制电极的电压 $V_r(1)$ 变为不大于第二晶体管 T7 的阈值电压 V_{TH} 的电压 V_{L} 。

[0061] (E) 时间 t_{24}

[0062] 在时刻 t_{24} 处, 当变得满足 $\Phi_{\text{GCL1}} = V_{\text{SS}}$ 时, 与时间 t_{22} 同样, 电压 $V_g(1)$ 不立即改变, 并且, 满足 $V_g(1) = V_{\text{DD}}$ 、 $V_q(1) = 2V_{\text{DD}} - V_{\text{SS}} - V_{\text{TH}}$ 和 $V_r(1) = V_{\text{L}}$ 。薄膜晶体管 T7 处于非导通状态。

[0063] (F) 时间 t_{25}

[0064] 当在时间 t_{24} 之后大约经过时间段 τ 时, 电压 $V_q(1)$ 降低到 $V_{\text{DD}} - V_{\text{TH}}$ 。满足 $V_g(1) = V_{\text{SS}}$ 和 $V_r(1) = V_{\text{H}}$ 。薄膜晶体管 T7 进入导通状态。然后, 直到时间 t_{26} , 保持满足 $\Phi_{\text{GCL1}} = V_{\text{SS}}$ 和 $V_g(1) = V_{\text{SS}}$ 的状态。

[0065] (G) 时间 t_{25} 之后

[0066] 解复用器单元电路 B (2) 以与以上方式类似的方式操作。即, 如上所述, 电压 $V_q(2)$ 、 $V_r(2)$ 和 $V_g(2)$ 以及薄膜晶体管 T7' 的导通 / 非导通状态根据时钟信号 Φ_{GCL2} 的转变而改变。

[0067] (H) 时间 t_{26}

[0068] 满足 $V_{\text{SOUT}}(1) = V_{\text{SS}}$ 。薄膜晶体管 T6 和 T6' 进入非导通状态。薄膜晶体管 T7 和 T7' 均处于导通状态。满足 $V_g(1) = V_g(2) = V_{\text{SS}}$ 和 $V_r(1) = V_r(2) = V_{\text{H}}$ 。

[0069] (I) 时间 t_{26} 之后

[0070] 除非 $V_{\text{SOUT}}(1)$ 重新变为 V_{DD} , 否则薄膜晶体管 T6 和 T6' 保持于非导通状态。薄膜晶体管 T7 和 T7' 均保持于导通状态。稳定地保持 $V_g(1) = V_g(2) = V_{\text{SS}}$ 和 $V_r(1) = V_r(2) = V_{\text{H}}$ 的状态。即, 不管时钟信号 Φ_{GCL1} 和 Φ_{GCL2} 的状态如何, 第一行和第二行上的栅极线都通过处于导通状态的薄膜晶体管 T7 和 T7' 与第二电压 V_{SS} 连接, 并且不处于浮置状态。

[0071] 如上所述, 从 (A) 到 (I), 薄膜晶体管 T6 和 T7 (T6' 和 T7') 中的至少一个处于导通状态。因此, 第一行 (第二行) 上的栅极线不进入浮置状态。与移位寄存器单元电路 A (2)、A (3)、... 的操作一致地, 解复用器单元电路 B (3) 和随后的电路以类似的方式操作。第三行及以后行上的栅极线不处于浮置状态。

[0072] 一般地, 电源 140 具有的电流供给容量比控制器 150 具有的电流供给容量多, 并且更耐受由外部电磁场导致的噪声。为了提高检测装置 100 的图像质量, 不施加第一电压 V_{DD} 的时间段期间的栅极线可不仅与由控制器 150 产生的时钟信号 Φ_{GCL1} 连接, 而且与由电源

140 供给的第二电压 V_{SS} 连接。在本实施例中, 薄膜晶体管 T7 (与美国 2008/0316156 中的 Tr28 对应) 处于导通状态的时间段比美国 2008/0316156 中的长。结果, 本实施例允许非选择时段期间的栅极线在更长时间内与第二电压 V_{SS} 连接, 并且, 可实现高的图像质量。

[0073] (2-2) 像素加算模式

[0074] 图 6 是示出像素加算模式中的解复用器单元电路 B(1) 和 B(2) 的操作的定时图。像素加算模式与正常模式的不同在于, 时钟信号 Φ_{GCL1} 和 Φ_{GCL2} 具有相同的相位。因此, 可同时驱动奇数行和偶数行上的栅极线电势。结果, 可通过读出电路 130 读取由驱动电路 120 选择的两个行上的像素 110 的合成信号电荷。

[0075] (2-3) 交错模式

[0076] 图 7 是示出交错模式中的解复用器单元电路 B(1) 和 B(2) 的操作的定时图。交错模式与正常模式的不同在于, 第一电压 V_{DD} 的脉冲仅在奇数帧上被供给到时钟信号 Φ_{GCL1} , 并且, 第一电压 V_{DD} 的脉冲仅在偶数帧上被供给到时钟信号 Φ_{GCL2} 。美国 2008/0316156 公开了这种模式中的驱动操作。但是, 在美国 2008/0316156 中, 奇数行和偶数行均与共用的移位寄存器单元电路连接。因此, 在奇数帧上, 与不读取信号的偶数行上的栅极线连接的薄膜晶体管 T7' 也处于非导通状态。在本实施例中, 奇数帧中的薄膜晶体管 T7' (偶数帧中的薄膜晶体管 T7) 总是处于导通状态。结果, 在本实施例中, 可实现高的图像质量。特别地, 在将三个或更多个解复用器单元电路 196 连接到一个移位寄存器单元电路 191 的情况下, 根据本发明, 可望明显提高图像质量。

[0077] 图 14 示出适用于本实施例的各薄膜晶体管的沟道宽度和沟道长度的例子。定义 $C1 = 0.5\text{pF}$ 和 $C2 = 10\text{pF}$ 。从时间 $t22$ 到时间 $t23$, 逆变器确切地逆变, 并且, 电压 $V_g(1)$ 增加到 V_{DD} 。因此, 相对于薄膜晶体管 T7 的 W/L 比, 薄膜晶体管 T6 的 W/L 比 $(= (W_6/L_6) / (W_7/L_7))$ 被设为至少具有相等的值。例如, 在本实施例中, 该值为 2。为了允许时间 $t23$ 处的薄膜晶体管 T7 基本上被视为非导通状态, 需要同时满足以下的条件 (a) 和 (b) 中的任一个。

[0078] (a) 薄膜晶体管 T7 的沟道电阻为薄膜晶体管 T6 的沟道电阻的 100 倍或更大

[0079] 为了允许时间 $t23$ 处的薄膜晶体管 T7 基本上被视为非导通状态, 此时的输出电压 $V_g(n)$ 的电压误差需要为 1% 或更小, 即, 需要满足 $\Delta = (V_{DD} - V_g(n)) / (V_{DD} - V_{SS}) \leq 0.01$ 。为了满足该条件, 薄膜晶体管 T7 的沟道电阻同时需要为薄膜晶体管 T6 的沟道电阻的 100 倍或更大。即, 在栅极线 160 的电压变为导通电压 V_{DD} 之后, 第二晶体管 T7 与第一晶体管 T6 的沟道电阻比需要为 100 倍或更大。

[0080] 为了验证是否满足该条件, 可实际测量同时的电压 $V_g(n)$ 。事实上, 通过使用适当的电路模型 (RPI 非晶硅 (RPI a-Si):H TFT 模型或 RPI 多晶硅 (RPI poly-Si) TFT 模型), 可执行驱动电路 120 上的 SPICE 仿真以获取电压 $V_g(n)$ 。事实上, 如果薄膜晶体管 T6 ~ T9 的 W/L 被选择以满足以下的关系, 那么该条件可被视为得到满足。在根据逐渐沟道近似估计 T6 ~ T9 的沟道电阻的情况下, 可通过选择 $(W_6/L_6) / (W_7/L_7)$ 和 $\beta_{R9} = (W_9/L_9) / (W_8/L_8)$ 以满足下式的关系, 估计 $\Delta \leq 0.01$ 。

$$[0081] \quad \beta_{R9} \geq \frac{(V_{DD} - V_{LL} - V_{TH})^2}{2(V_{DD} - V_{SS} - V_{TH})(V_{LL} - V_{SS}) - (V_{LL} - V_{SS})^2}$$

$$[0082] \quad V_{LL} = V_{SS} + V_{TH} + \sqrt{\frac{1}{100} \frac{W_6/L_6}{W_7/L_7} \cdot 2(V_{DD} - V_{SS})(V_{DD} - V_{SS} - 2V_{th})}$$

[0083] 这里, V_{LL} 表示薄膜晶体管 T7 的沟道电阻为薄膜晶体管 T6 的沟道电阻的 100 倍高时的薄膜晶体管 T7 的栅极与源极之间的电压。因此, 如果 $V_{DD} = +12V$ 、 $V_{SS} = 0V$ 且 $V_{TH} = +4V$, 那么满足 $V_{LL} = +5.3V$ 和 $\beta_{R9} \geq 0.12$ 。在具有图 14 所示的沟道宽度和沟道长度的实施例 1-1、1-2 和 1-3 中, 满足上式的关系。

[0084] (b) 逆变器的输出电压 V_L 是阈值电压 V_{TH} 或更小

[0085] 在时间 $t23$ 处, 如果逆变器的输出电压 V_L 是薄膜晶体管 T7 的阈值电压 ($= V_{TH}$) 或更小, 那么薄膜晶体管 T7 可比条件 (a) 下更确切地处于非导通状态。为了验证是否满足条件, 可实际测量同时的薄膜晶体管 T7 的栅极与源极之间的电压。事实上, 可执行驱动电路 120 上的 SPICE 仿真以获取薄膜晶体管 T7 的栅极与源极之间的电压。为了获取阈值电压 V_{TH} , 可在与配置驱动电路 120 的薄膜晶体管等同的薄膜晶体管上测量传输特性 ($I_{ds}-V_{gs}$ 特性)。根据特定的过程, 薄膜晶体管的漏极与源极之间的电压 V_{ds} 被设为约 $V_{DD}-V_{SS}$ (例如, $+12V$), 栅极与源极之间的电压 V_{gs} 被扫描, 以测量饱和范围中的漏极与源极之间的电流 I_{ds} 。 V_{TH} 表示在 x 轴上外推根据 $\sqrt{I_{ds}}-V_{gs}$ 的曲线的线性部分的点。事实上, 如果薄膜晶体管 T8 和 T9 的 W/L 比被选择以满足以下的关系, 那么条件可被视为得到满足。在根据逐渐沟道近似估计电压 V_L 的情况下, 选择满足以下关系的 β_{R9} 使得能够满足 $V_L \leq V_{TH}$ 。

$$[0086] \quad \beta_{R9} \geq \frac{(V_{DD} - 2V_{TH})^2}{2(V_{DD} - V_{SS} - V_{TH})(V_{TH} - V_{SS}) - (V_{TH} - V_{SS})^2}$$

[0087] 如果 $V_{DD} = +12V$ 、 $V_{SS} = 0V$ 和 $V_{TH} = +4V$, 那么满足 $\beta_{R9} \geq 0.33$ 。在实施例 1-2 和 1-3 中, 满足上式的关系。

[0088] 与条件 (b) 相比, 可进一步使得 β_{R9} 更大。 β_{R9} 越大, 则从时间 $t22$ 到时间 $t25$ 的逆变器的输出电压 V_L 进一步减小, 这可使薄膜晶体管 T7 在时间 $t23$ 向非导通状态的迁移提前。因此, 可减少从时间 $t22$ 到时间 $t23$ 的延迟时间。即, 与实施例 1-1 和 1-2 中的延迟时间相比, 减少实施例 1-3 中的延迟时间 $t23-t22$ 。

[0089] 在本实施例中, 可以使用图 2A 和图 2B 所示的简单的移位寄存器 190。因此, 可以减小移位寄存器 190 的电路规模。该减小又可实现驱动电路 120 的布局面积的减小和制造产量的提高。并且, 可防止栅极线电压变为浮置状态。因此, 在包括有源矩阵面板的检测装置 100 中, 可以提高读出图像质量。特别地, 在具有许多的栅极线并需要以高的分辨率测量像素 110 的电荷量的放射线成像装置中, 由于非选择时段中的栅极线电势稳定, 因此, 可望明显提高图像质量。当然, 在将本实施例应用于诸如 LCD 的显示设备的情况下, 可望减小电路规模和布局面积、提高制造产量和显示图像质量。

[0090] (第二实施例)

[0091] 图 8 是示出根据本发明的第二实施例的包括有源矩阵面板的检测装置的配置例的示图。图 9A 是示出驱动电路 120 中的移位寄存器 190 和解复用器 195 的配置例的示图。第二实施例与第一实施例 (图 1 和图 2A) 的不同在于, 根据与使用第一电压 V_{DD} 和第二电压 V_{SS} 的方式类似的方式, 添加供给到驱动电路 120 的第三电压 V_{GG} 。注意, 满足 $V_{GG} < V_{DD} - V_{TH}$ 。本实施例的移位寄存器单元电路 A (n) 的内部配置与第一实施例 (图 2B) 的内部配置相同。

[0092] 图 9B 示出解复用器单元电路 B (n) 的内部配置例。解复用器单元电路 B (n) 不仅包含与第一实施例中的相同的薄膜晶体管 T5 ~ T9 和电容元件 C2, 而且包含薄膜晶体管 T10。第五晶体管 T10 连接于第二晶体管 T7 的控制电极与第三电压 V_{GG} 的节点之间。解复用器单元电路 B (n) 不仅包含与第一实施例中的相同的端子 DIN、DOUT、GCLK、VDD 和 VSS, 而且包含电源输入端子 VGG。

[0093] 下面将描述驱动电路 120 的操作。移位寄存器 190 的操作与第一实施例中的操作类似。并且, 在本实施例中, 解复用器 195 在正常模式、像素加算模式和交错模式中的任一种中操作。以下, 将仅描述正常模式中的解复用器 195 的操作。

[0094] 图 10 是详细示出驱动电路 120 的先头部分的电路图。该示图包括移位寄存器单元电路 A (1) 以及解复用器单元电路 B (1) 和 B (2)。解复用器单元电路 B (1) 和 B (2) 的端子 DOUT 的输出电压分别是对于第一行和第二行上的栅极线的输出电压 $V_g (1)$ 和 $V_g (2)$ 。

[0095] 图 11 是示出正常模式中的解复用器单元电路 B (1) 和 B (2) 的操作的定时图。时钟信号 Φ_{GCL1} 和 Φ_{GCL2} 具有彼此相差 180 度的相位。还示出了解复用器单元电路 B (1) 和 B (2) 中的点 q 和 r 处的电压 $V_q (1)$ 、 $V_q (2)$ 、 $V_r (1)$ 和 $V_r (2)$ 的时间变化。以下将依次描述这些操作。

[0096] (A) 时间 t_{31} 之前

[0097] 满足 $VSOUT (1) = V_q (1) = V_q (2) = V_{SS}$ 。薄膜晶体管 T6 和 T6' 处于非导通状态。满足 $V_r (1) = V_r (2) = V_H$ 和 $V_g (1) = V_g (2) = V_{SS}$ 。薄膜晶体管 T7 和 T7' 均处于导通状态。

[0098] (B) 时间 t_{31}

[0099] 当满足 $VSOUT (1) = V_{DD}$ 时, 电压 $V_q (1)$ 和 $V_q (2)$ 充电到 $V_{DD} - V_{TH}$ 。结果, 直到下述的时间 t_{36} 为止, 薄膜晶体管 T6 和 T6' 处于导通状态。本实施例与第一实施例的不同在于, 薄膜晶体管 T10 和 T10' 导通。因此, 电压 $V_r (1)$ 和 $V_r (2)$ 变为由薄膜晶体管 T8 和 T10 (T8' 和 T10') 的沟道电阻比确定的电压 V_{H2} 。这里, 可通过下式估计 V_{H2} 。

$$[0100] \quad V_{H2} = V_{GG} + (V_{DD} - V_{GG} - V_{TH}) \cdot \left(\frac{1 + \beta_{R10} - \sqrt{(1 + \beta_{R10})^2 - (1 + \beta_{R10})}}{1 + \beta_{R10}} \right)$$

[0101] 这里, 如果第五晶体管 T10 的沟道宽度和沟道长度分别为 W_{10} 和 L_{10} , 那么满足 $\beta_{R10} = (W_{10}/L_{10}) / (W_8/L_8)$ 。 β_{R10} 被选择, 使得满足 $V_{H2} \geq V_{TH}$ 。由于 V_{H2} 至少为薄膜晶体管 T7 和 T7' 的阈值电压 ($= V_{TH}$), 因此, 薄膜晶体管 T7 和 T7' 处于导通状态。由于满足 $V_{GG} < V_H$, 因此, 满足 $V_{H2} < V_H$ 。本实施例中的薄膜晶体管 T7 和 T7' 具有比第一实施例中的高的沟道电阻。即, 本实施例中的薄膜晶体管 T7 和 T7' 处于比第一实施例中弱的导通状态。

[0102] (C) 时间 t_{32}

[0103] 在时刻 t_{32} 处, 当时钟信号 Φ_{GCL1} 上升时, 电压 $V_g (1)$ 不立即改变, 并且, 满足 $V_g (1) = V_{SS}$ 、 $V_q (1) = V_{DD} - V_{TH}$ 和 $V_r (1) = V_{H2}$ 。薄膜晶体管 T7 保持处于弱的导通状态。

[0104] (D) 时间 t_{33}

[0105] 当在时间 t_{32} 之后大约经过时间段 τ 时, 电压 $V_q (1)$ 增加到 $2V_{DD} - V_{SS} - V_{TH}$ 并且电压 $V_q (1)$ 变为恒定值 ($= V_{DD}$)。此时, 电压 $V_r (1)$ 变为由薄膜晶体管 T8、T9 和 T10 的沟道

电阻比确定的值($=V_{L2}$),并且,薄膜晶体管 T7 进入非导通状态。

[0106] (E) 时间 t_{34}

[0107] 在时刻 t_{34} 处,当变得满足 $\Phi_{GCL1} = V_{SS}$ 时,与时间 t_{32} 同样,电压 $V_g(1)$ 不立即改变,并且,满足 $V_g(1) = V_{DD}$ 、 $V_q(1) = 2V_{DD} - V_{SS} - V_{TH}$ 和 $V_r(1) = V_{L2}$ 。薄膜晶体管 T7 处于非导通状态。

[0108] (F) 时间 t_{35}

[0109] 当在时间 t_{34} 之后大约经过时间段 τ 时,电压 $V_q(1)$ 降低到 $V_{DD} - V_{TH}$ 。满足 $V_g(1) = V_{SS}$ 和 $V_r(1) = V_{H2}$,并且,薄膜晶体管 T7 进入与时间 t_{31} 处相当的弱的导通状态。然后,直到时间 t_{36} ,保持满足 $\Phi_{GCL1} = V_{SS}$ 和 $V_g(1) = V_{SS}$ 的状态。

[0110] (G) 时间 t_{35} 之后

[0111] 解复用器单元电路 B (2) 以与以上方式类似的方式操作。即,如上所述,电压 $V_q(2)$ 、 $V_r(2)$ 和 $V_g(2)$ 以及薄膜晶体管 T7' 的导通 / 非导通状态根据时钟信号 Φ_{GCL2} 的转变而改变。

[0112] (H) 时间 t_{36}

[0113] 满足 $V_{SOUT}(1) = V_{SS}$,并且,薄膜晶体管 T6 和 T6' 进入非导通状态。薄膜晶体管 T7 和 T7' 均处于导通状态,并且,满足 $V_g(1) = V_g(2) = V_{SS}$ 和 $V_r(1) = V_r(2) = V_H$ 。

[0114] (I) 时间 t_{36} 之后

[0115] 除非 $V_{SOUT}(1)$ 重新变为 V_{DD} ,否则薄膜晶体管 T6 和 T6' 保持于非导通状态。薄膜晶体管 T7 和 T7' 均保持于导通状态。稳定地保持满足 $V_g(1) = V_g(2) = V_{SS}$ 和 $V_r(1) = V_r(2) = V_H$ 的状态。即,不管时钟信号 Φ_{GCL1} 和 Φ_{GCL2} 的状态如何,第一行和第二行上的栅极线都通过处于导通状态的薄膜晶体管 T7 和 T7' 与第二电压 V_{SS} 连接,并且不进入浮置状态。

[0116] 如上所述,从(A)到(I),薄膜晶体管 T6 和 T7 (薄膜晶体管 T6' 和 T7') 中的至少一个处于导通状态。因此,第一行(第二行)上的栅极线不处于浮置状态。与移位寄存器单元电路 A (2)、A (3)、...的操作一致,解复用器单元电路 B (3) 和随后的电路以类似的方式操作。第三行及以后行上的栅极线不处于浮置状态。

[0117] 图 15 示出适用于本实施例的各薄膜晶体管的沟道宽度和沟道长度以及电压 V_{GG} 的一个例子。满足 $C1 = 0.5pF$ 和 $C2 = 10pF$ 。在本实施例中,与第一实施例同样,相对于薄膜晶体管 T7 的 W/L 比,薄膜晶体管 T6 的 W/L 比($= (W6/L6) / (W7/L7)$) 被设为相等或更高。为了允许时间 t_{33} 处的薄膜晶体管 T7 基本上被视为非导通状态,需要同时满足以下的条件 (c) 和 (d) 中的任一个。

[0118] (c) 薄膜晶体管 T7 的沟道电阻为薄膜晶体管 T6 的沟道电阻的 100 倍或更大

[0119] 在本实施例中,与第一实施例同样,为了允许时间 t_{33} 处的薄膜晶体管 T7 基本上被视为非导通状态,薄膜晶体管 T7 的沟道电阻同时需要为薄膜晶体管 T6 的沟道电阻的 100 倍或更大。为了验证是否满足该条件,可同时实际测量电压 $V_g(n)$,或者,执行 SPICE 仿真以由此获取电压 $V_g(n)$ 。事实上,如果根据下式的时间 t_{33} 处的电压 $V_r(n)$ 的估计值小于或等于在第一实施例中限定的 V_{LL} ,那么薄膜晶体管 T7 的沟道电阻可被假定为薄膜晶体管 T6 的沟道电阻的 100 倍或更大。

[0120]

$$V_r(n) = V_{DD} - V_{TH} - \sqrt{(V_{DD} - V_{TH})^2 - \frac{(V_{DD} - V_{TH})^2 + 2(V_{DD} - V_{TH})(\beta_{R9}V_{SS} + \beta_{R10}V_{GG}) - (\beta_{R9}V_{SS}^2 + \beta_{R10}V_{GG}^2)}{1 + \beta_{R9} + \beta_{R10}}}$$

[0121] 如果满足 $V_{DD} = +12V$ 、 $V_{SS} = 0V$ 、 $V_{GG} = V_{SS} + 2V$ 和 $V_{TH} = +4V$, 那么在具有图 15 所示的沟道宽度和沟道长度的实施例 2-1、2-2 和 2-3 中, 满足 $V_r(n) \leq V_{LL}$ 。

[0122] (d) 逆变器的输出电压 V_L 是 V_{TH} 或更小

[0123] 在时间 t_{33} 处, 如果逆变器的输出电压 V_L 可等于或小于薄膜晶体管 T7 的阈值电压 ($= V_{TH}$), 那么薄膜晶体管 T7 可进入比条件 (c) 下更确切的非导通状态。为了验证是否满足条件, 可实际测量同时的薄膜晶体管 T7 的栅极与源极之间的电压, 或者, 可执行 SPICE 仿真以获取薄膜晶体管 T7 的栅极与源极之间的电压。事实上, 通过使用在 (c) 中描述的电压 $V_r(n)$ 的估计值, 如果确认 $V_r(n) \leq V_{TH}$, 那么该条件可被视为得到满足。在实施例 2-2 和 2-3 中, 满足以上的关系。

[0124] 在本实施例中, 与第一实施例同样, β_{R9} 和 β_{R10} 可增加得比条件 (d) 下的多。 β_{R9} 和 β_{R10} 越大, 则从时间 t_{32} 到时间 t_{35} 的逆变器的输出电压 V_L 减小得越多, 这可使薄膜晶体管 T7 在时间 t_{33} 处向非导通状态的转变提前。因此, 可减少从时间 t_{32} 到时间 t_{33} 的延迟时间。即, 与实施例 2-1 和 2-2 中的延迟相比, 缩短实施例 2-3 中的延迟 $t_{33}-t_{32}$ 。并且, 与实施例 2-4 同样, 可满足 $V_{GG} = V_{SS}$ 。在这种状态下, 可简化驱动电路 120 和电源 140 的布局。

[0125] 并且, 在本实施例中, 与第一实施例同样, 可以使用简单的移位寄存器 190。因此, 可以减小电路规模。因此, 可以实现驱动电路 120 的布局面积的减小和制造产量的提高。与实施例 2-3 同样, 薄膜晶体管 T10 (T10') 的沟道宽度可被选择为显著地小。因此, 薄膜晶体管 T10 (T10') 的布局面积的不利效果不明显。

[0126] 由于以下的原因, 相对于整个驱动电路 120 的电路规模, 移位寄存器 190 的电路规模减小, 以由此使得能够降低成本。在制造薄膜晶体管的过程中, 不管薄膜晶体管的位置如何, 在各薄膜晶体管上, 都以一定的概率出现由于颗粒导致的薄膜晶体管的缺陷。关于美国 2008/0316156 中的驱动电路, 当在扫描电压产生电路与移位寄存器之间比较电路规模时, 移位寄存器的电路规模更大。根据美国 2008/0316156, 如果移位寄存器中的薄膜晶体管中的任一个不操作, 那么寄存器在不得到修理的情况下不作为制品工作。即, 难以在薄膜晶体管的不良率高的工厂中以低成本制造美国 2008/0316156 中的驱动电路。相反, 在本实施例中, 如果移位寄存器不包含不良的薄膜晶体管并且如果在扫描电压产生电路中出现不良的薄膜晶体管, 那么只有一个栅极线不操作 (出现线缺陷), 这在一些类型的制品中不导致问题。

[0127] 并且, 可防止栅极线电压进入浮置状态。因此, 可提高包括有源矩阵面板的检测装置的读出图像质量。并且, 电压 V_r 在时间 t_{32} 之前降低, 由此导致比第一实施例更确切地执行从时间 t_{32} 到时间 t_{33} 的逆变器的逆变操作。因此, 在本实施例中, 与第一实施例中相比, 可确保时钟信号 Φ_{GCL1} 和 Φ_{GCL2} 的更多的定时余量和电压余量。

[0128] (第三实施例)

[0129] 图 12A 和图 12B 是根据本发明的第三实施例的包括有源矩阵面板的放射线检测装置的像素的配置例。图 12A 是平面图。图 12B 是沿图 12A 的线 12B-12B 切取的截面图。在本实施例中, 开关元件 112 是顶部栅极和双栅极多晶硅薄膜晶体管。开关元件 112 具有在

绝缘基板 101 上从绝缘基板 101 起依次层叠包含本征半导体区域 301 和第一导电类型的杂质半导体区域 302 的多晶硅层、第一绝缘层 303 和第一导电层 304 的配置。本征半导体区域 301 用作薄膜晶体管的沟道。杂质半导体区域 302 用作源极和漏极中的一个。第一绝缘层 303 用作栅绝缘层。第一导电层 304 用作栅极和栅极线 160 中的一个。开关元件 112 被第二绝缘层 305 覆盖。第二绝缘层 305 用作作用于开关元件 112 的钝化层。设置在第二绝缘层 305 上的第二导电层 306 在设置在第二绝缘层 305 和第一绝缘层 303 中的接触孔处与杂质半导体区域 302 连接。与作为漏极和漏极中的一个的杂质半导体区域 302 连接的第二导电层 306 用作与转换元件 110 的连接端子。与作为源极和漏极中的另一个的杂质半导体区域 302 连接的第二导电层 306 用作信号线 170。第二导电层 306 被第三绝缘层 307 覆盖。第三绝缘层 307 用作作用于开关元件 112 和信号线 170 的钝化层。第三绝缘层 307 被第四绝缘层 308 覆盖。第四绝缘层 308 由有机绝缘材料制成。层 308 被制备为具有允许该层用作平坦层的大的厚度。转换元件 111 被设置在第四绝缘层 308 上。转换元件 111 与开关元件 112 对应,并将放射线转换成电荷。在本实施例中,转换元件 111 可包含将放射线转换成光的闪烁体 317 和将光转换成电荷的光电转换元件。光电转换元件具有从绝缘基板 101 起依次层叠第三导电层 310、第一导电类型的杂质半导体层 311、本征半导体层 312、第二导电类型的杂质半导体层 313 和第四导电层 314 的配置。第三导电层 310 用作转换元件 111 的第一电极,并在设置在第三绝缘层 307 和第四绝缘层 308 处的接触孔 309 处与第二导电层 306 连接。第一导电类型的杂质半导体层 311、本征半导体层 312 和第二导电类型的杂质半导体层 313 由非晶硅制成。第四导电层 314 用作转换元件 111 的第二电极,并与用作电极布线 180 的第五导电层 315 连接。光电转换元件和电极布线 180 被第五绝缘层 316 覆盖。闪烁体 317 被设置在第五绝缘层 316 上。

[0130] 这里,在本实施例中,转换元件 111 是包括将放射线转换成光的闪烁体和将光转换成电荷的光电转换元件的间接转换元件。本实施例不限于此。事实上,转换元件 111 可以是通过对非晶硒直接将放射线转换成电荷的直接转换元件。开关元件 112 是多晶硅薄膜晶体管。但是,本发明不限于此。可以使用非晶硅薄膜晶体管、包含氧化物半导体的氧化物薄膜晶体管 and 包含有机半导体的有机薄膜晶体管。事实上,可以使用诸如锗的其它半导体材料。

[0131] 图 13 示出包括放射线检测装置的放射线检测系统的例子。在作为放射线源的 X 射线管 6050 中产生的 X 射线 6060 穿过病人或被检者 6061 的胸部 6062,并入射到放射线检测装置(有源矩阵面板)100。入射的 X 射线包含关于病人 6061 的身体内部的信息。放射线检测装置 100 响应 X 射线的入射将放射线转换成电荷,并获取电信息。该信息被转换成数字数据,并且通过作为信号处理单元的图像处理器 6070 经受图像处理,由此允许在作为处于控制室内的显示单元的显示器 6080 上观察。并且,可通过诸如电话线 6090 的传送处理系统远程传送信息。因此,可在处于别处的医生房间中的作为显示单元的显示器 6081 上显示该信息,并在诸如光盘的记录单元中存储该信息。因此,远程的医生可执行诊断。并且,信息可通过作为记录单元的胶片处理器 6100 被记录于作为记录介质的胶片 6110 上。

[0132] 根据第一到第三实施例的有源矩阵面板适用于应用于医疗图像诊断装置、非破坏性测试仪器、利用放射线的分析器的检测装置和检测系统。并且,面板适用于包括有源矩阵面板的显示设备。

[0133] 实施例仅例示用于实现本发明的具体例子。根据这些实施例,不以限制的方式解释本发明的技术范围。即,能够以各种形式实现本发明,而不背离本发明的技术范围或主要特征。

[0134] 虽然已参照示例性实施例描述了本发明,但应理解,本发明不限于公开的示例性实施例。所附权利要求的范围应被赋予最宽的解释以包含所有这样的修改以及等同的结构和功能。

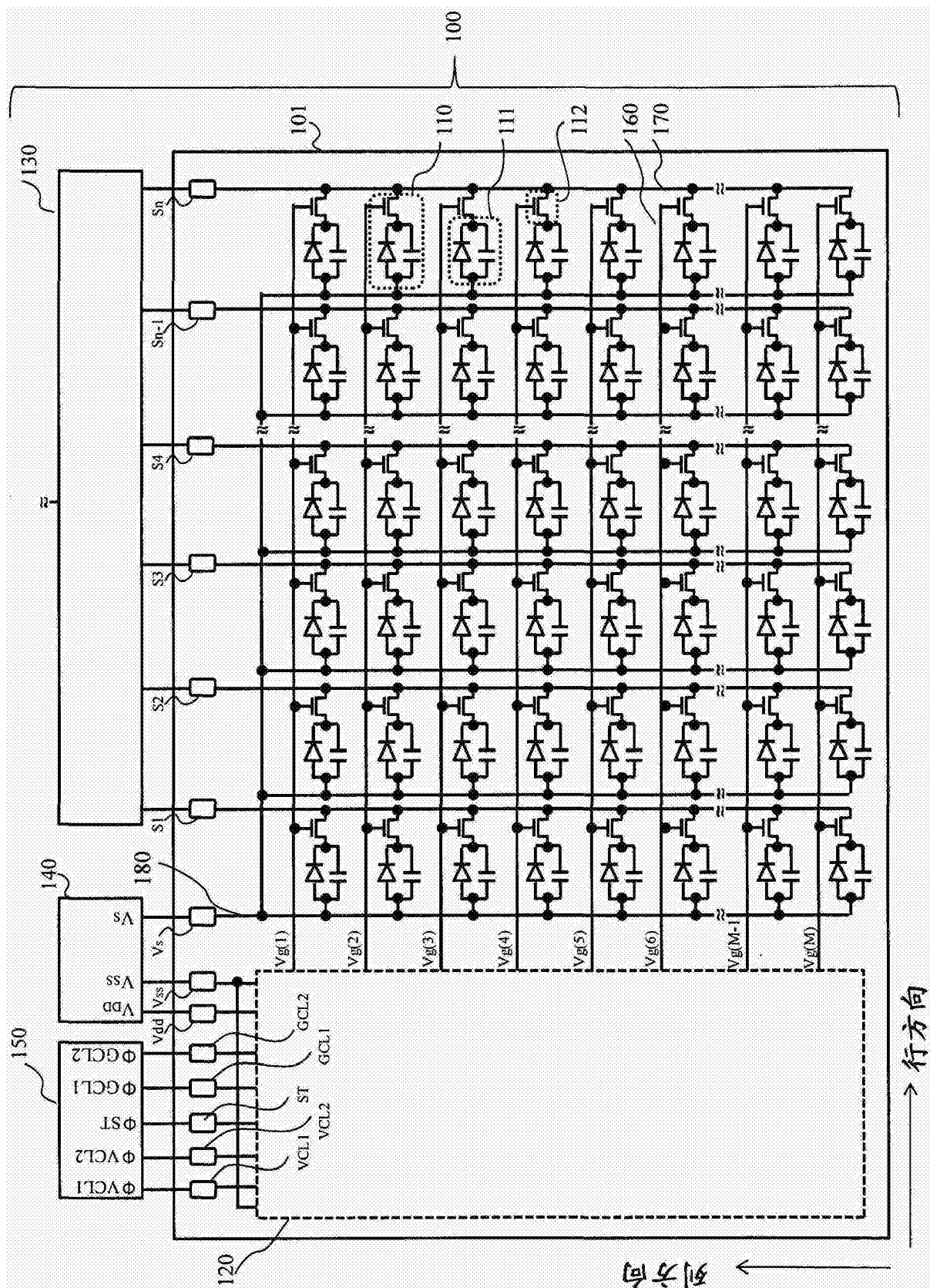


图 1

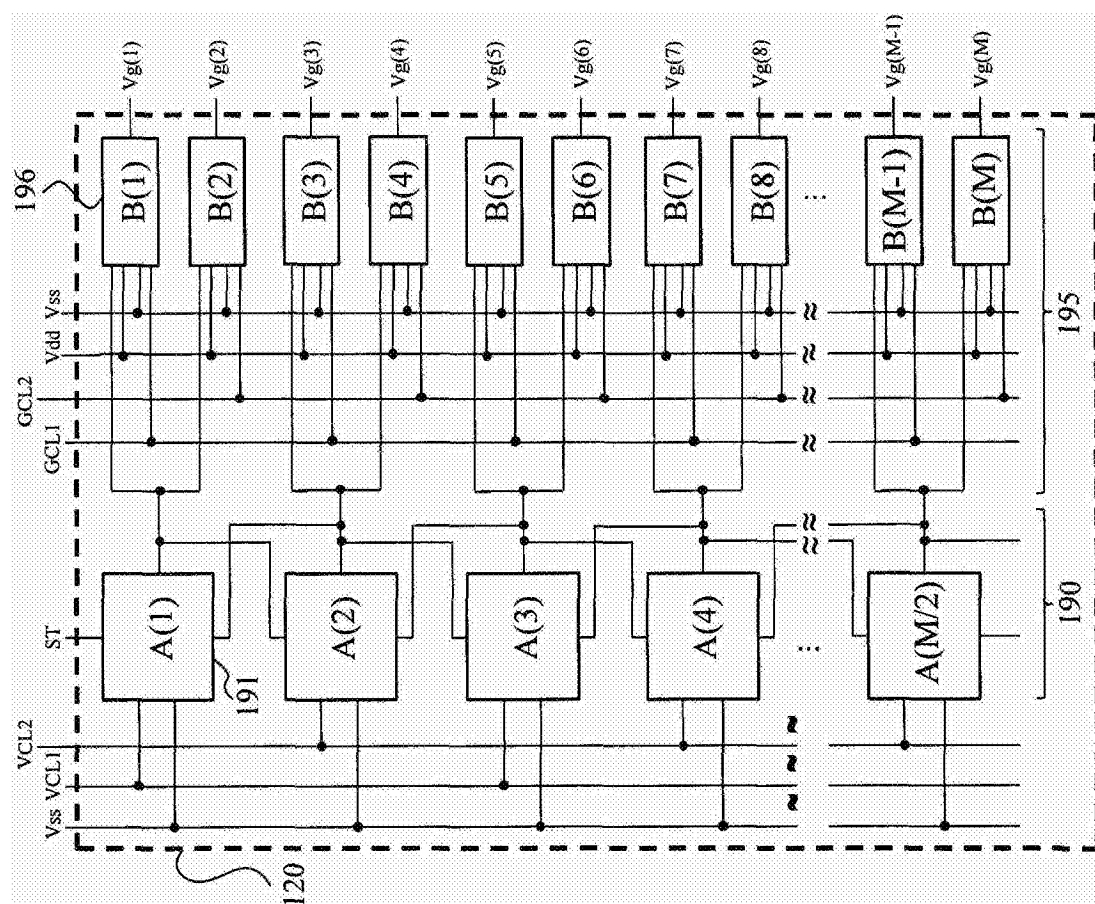


图 2A

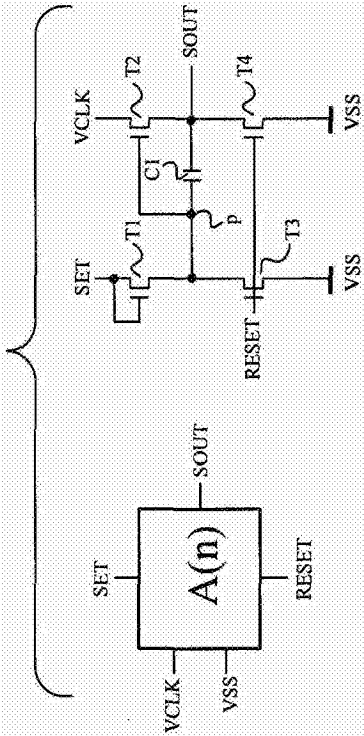


图 2B

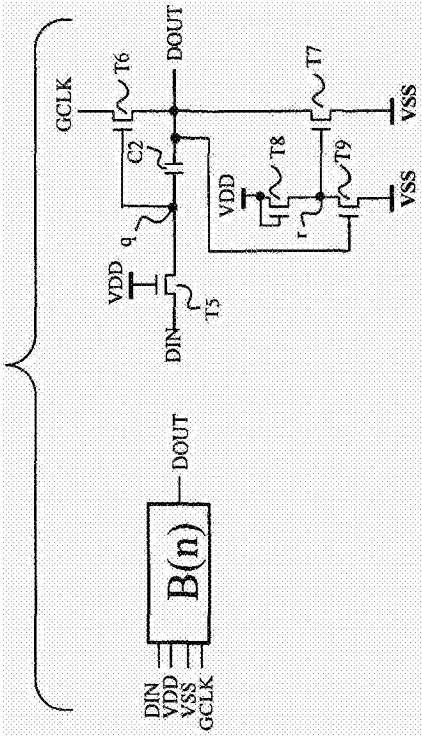


图 2C

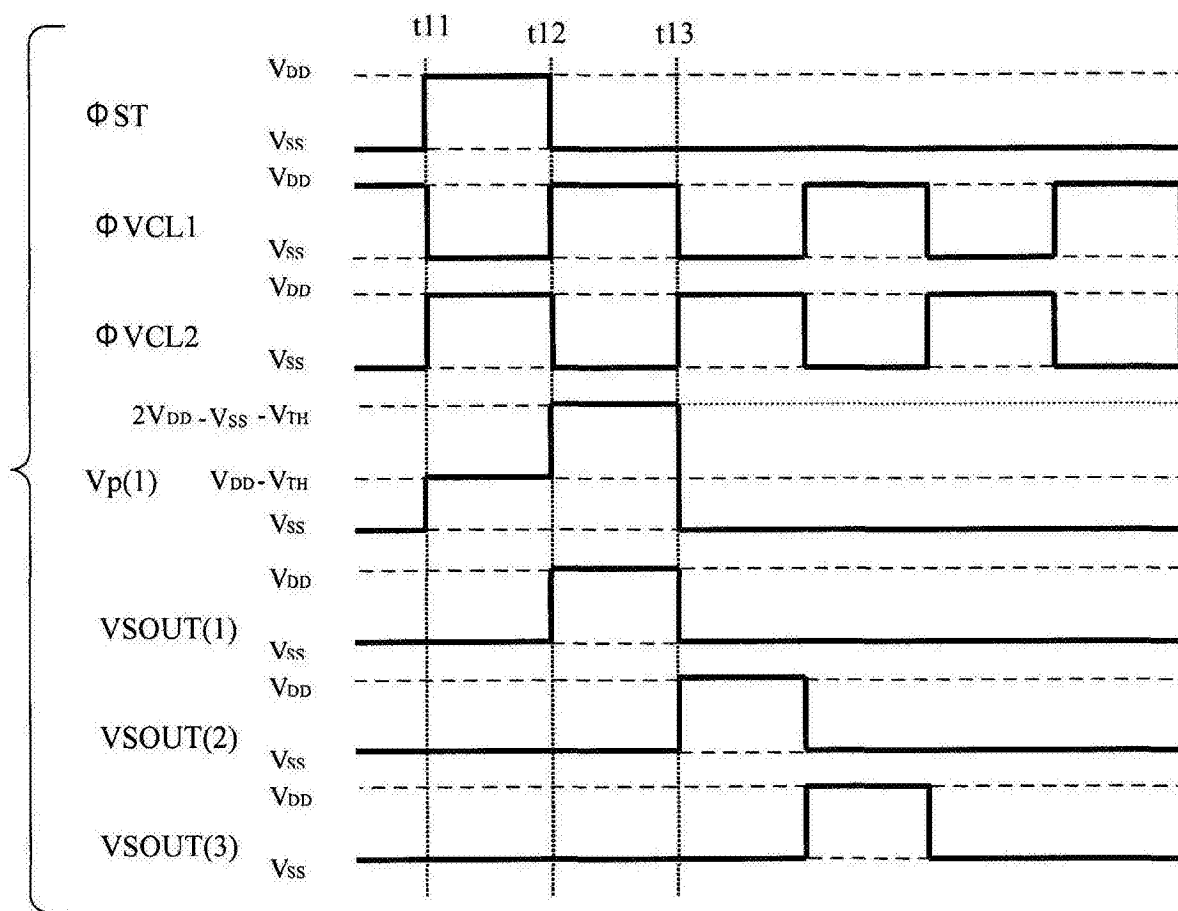


图 3

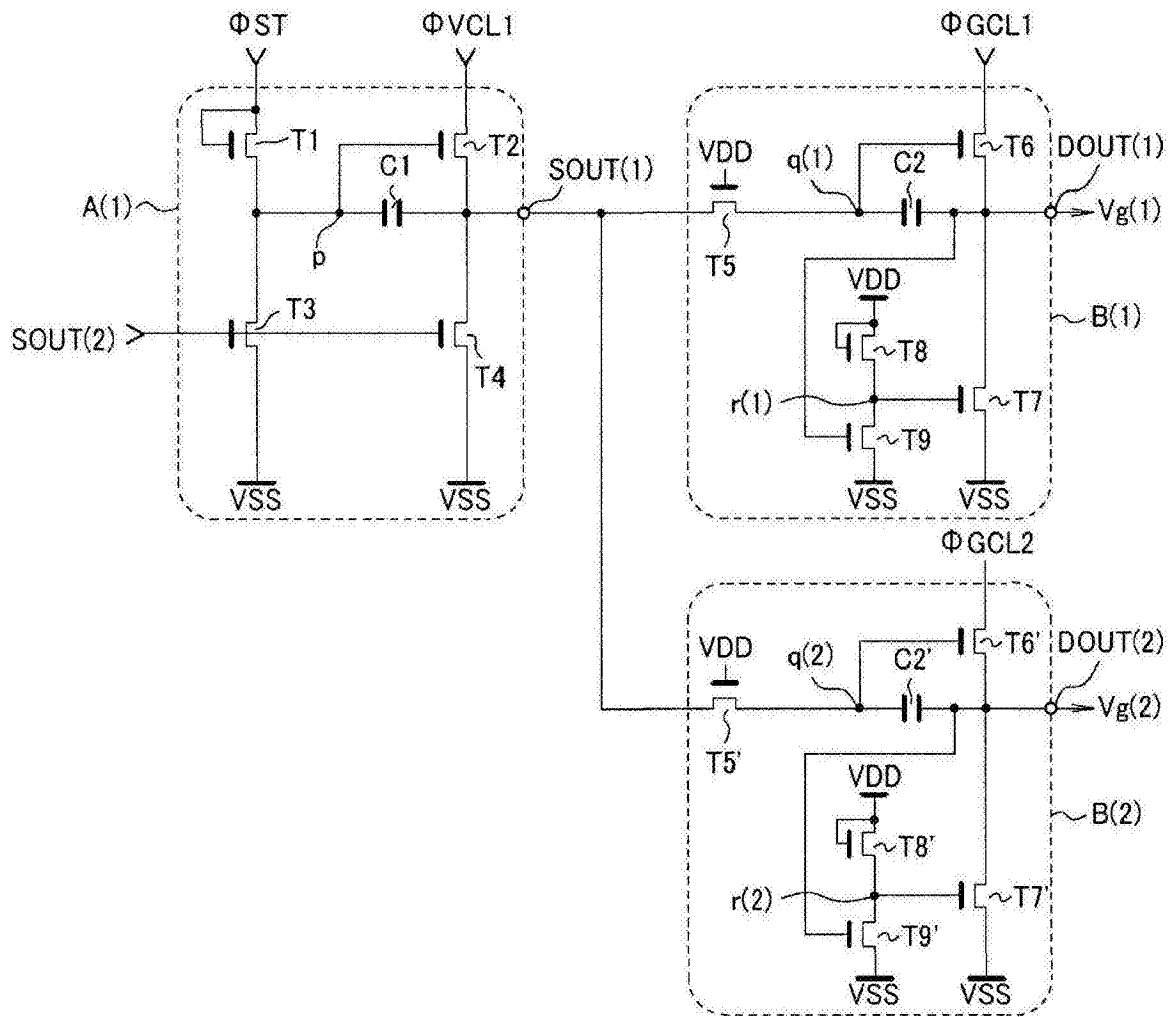


图 4

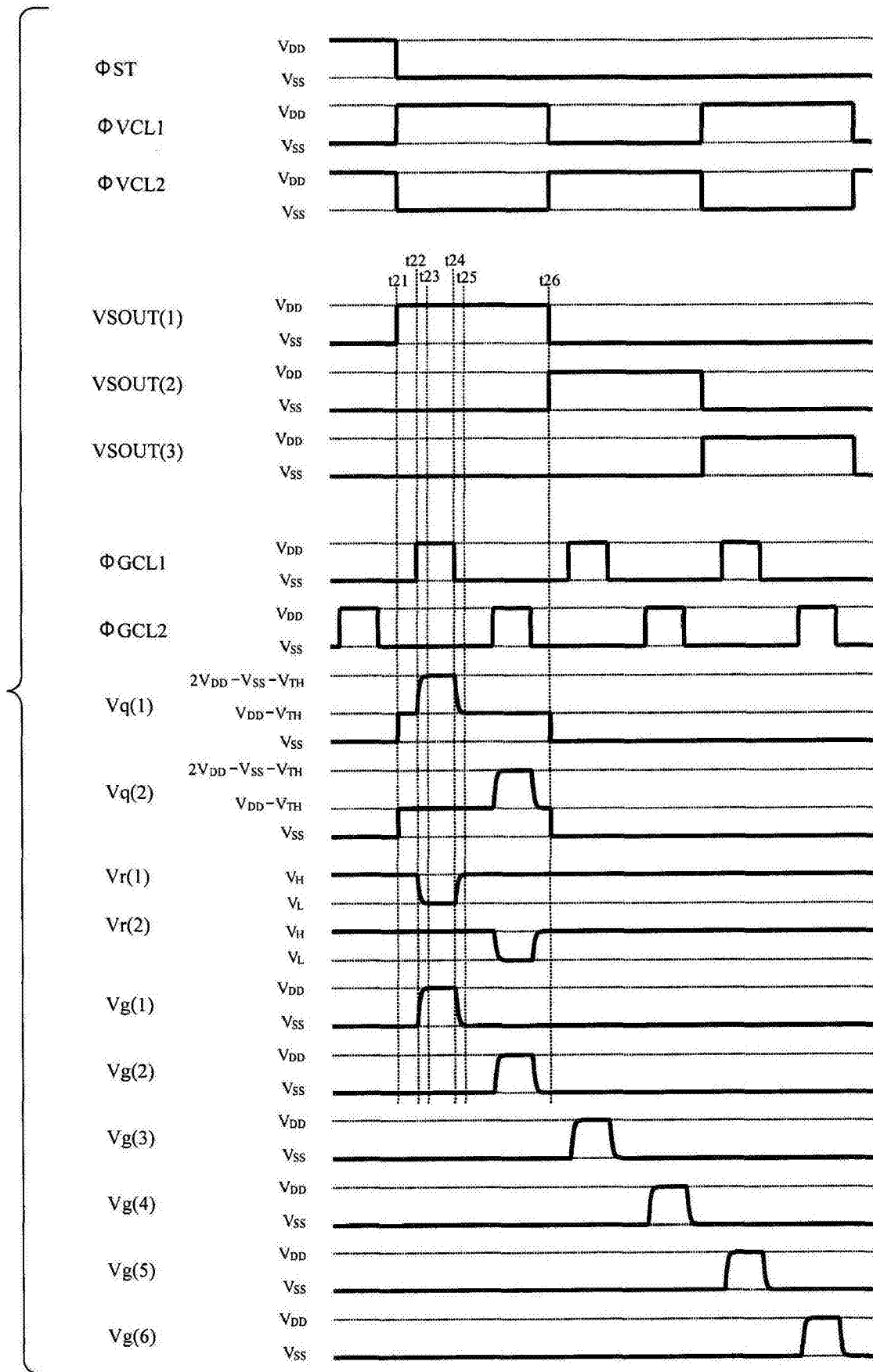


图 5

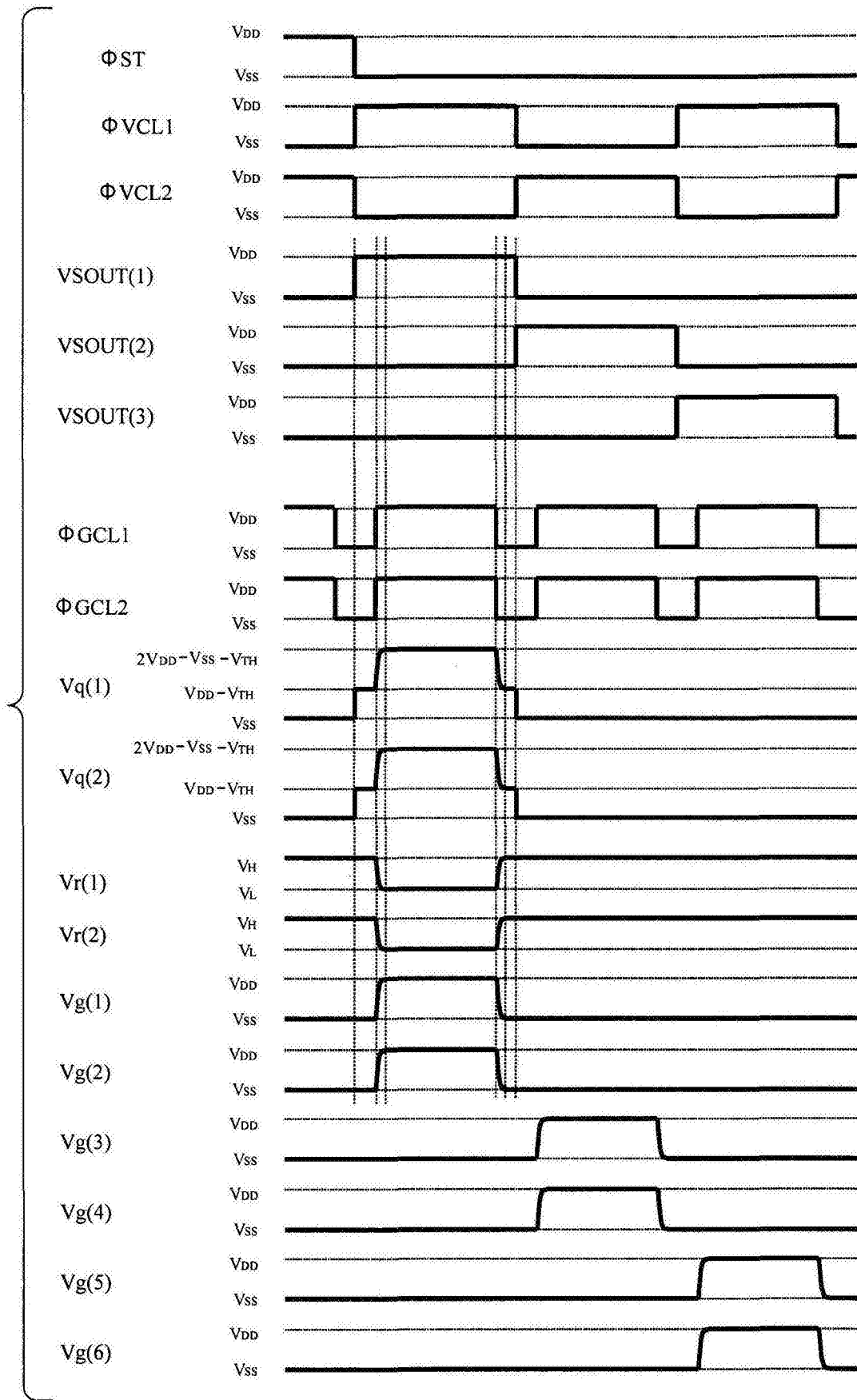


图 6

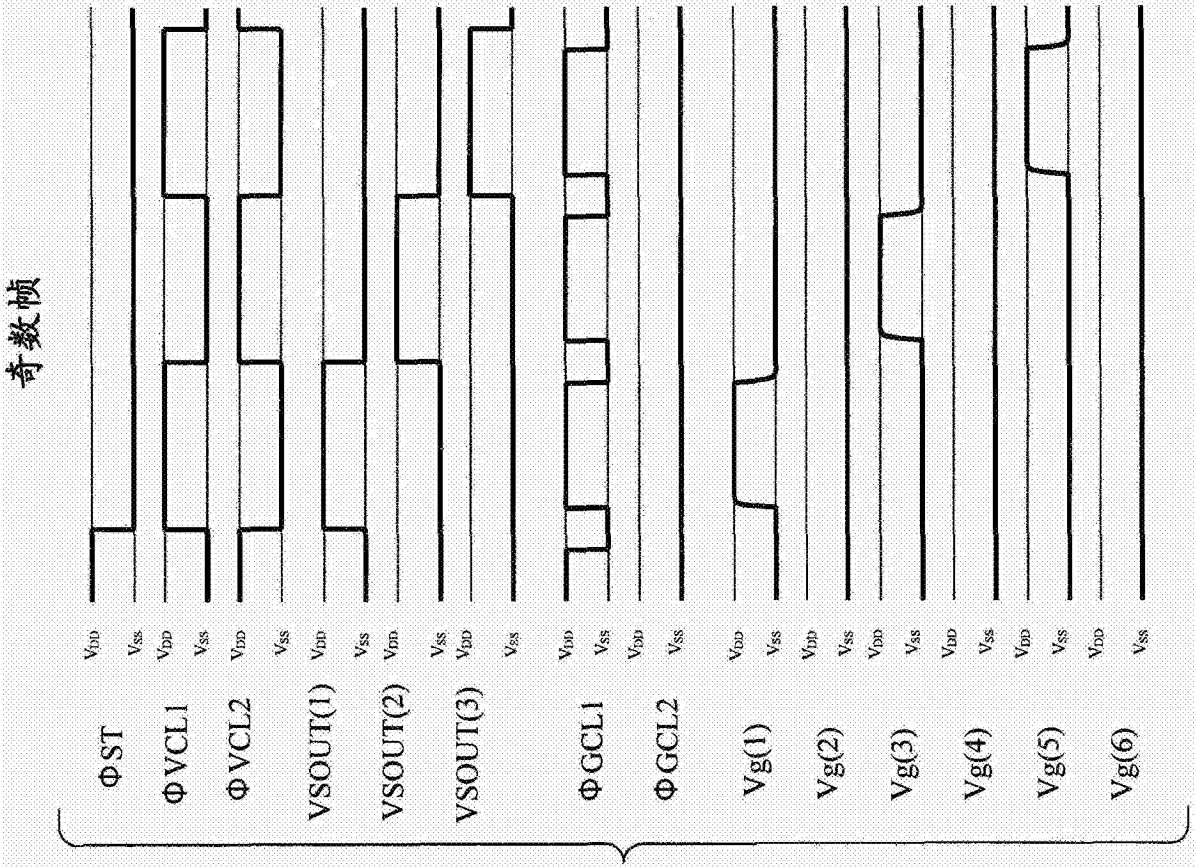


图 7A

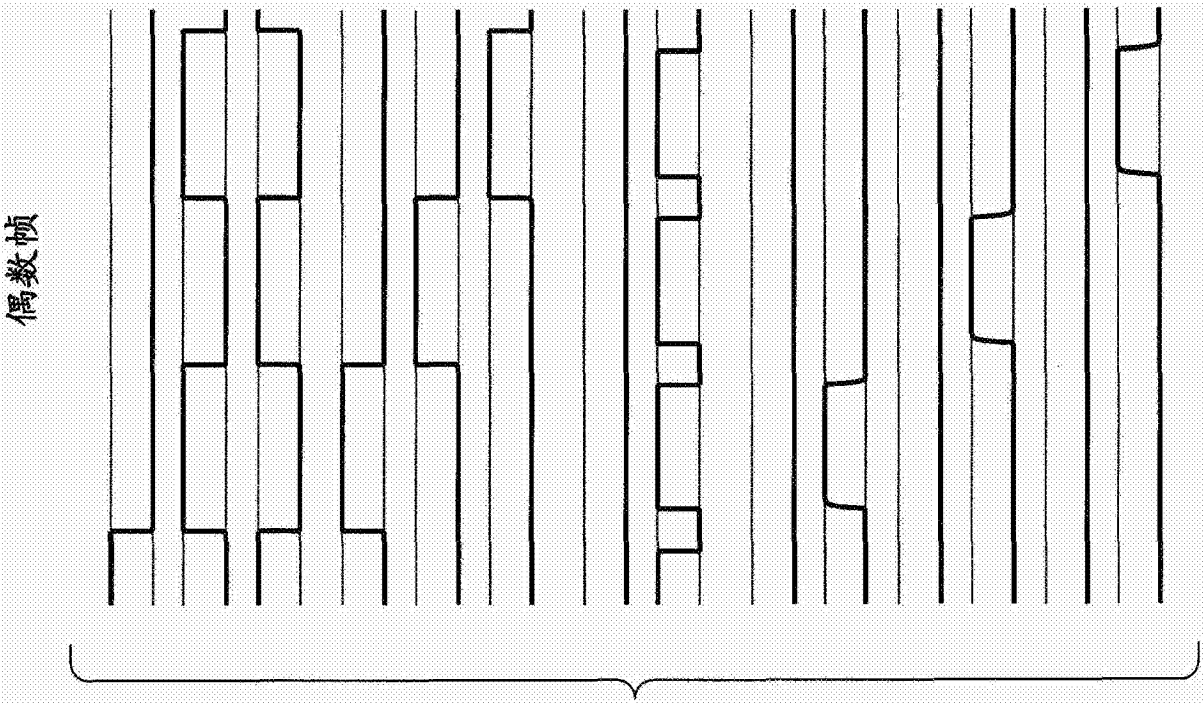


图 7B

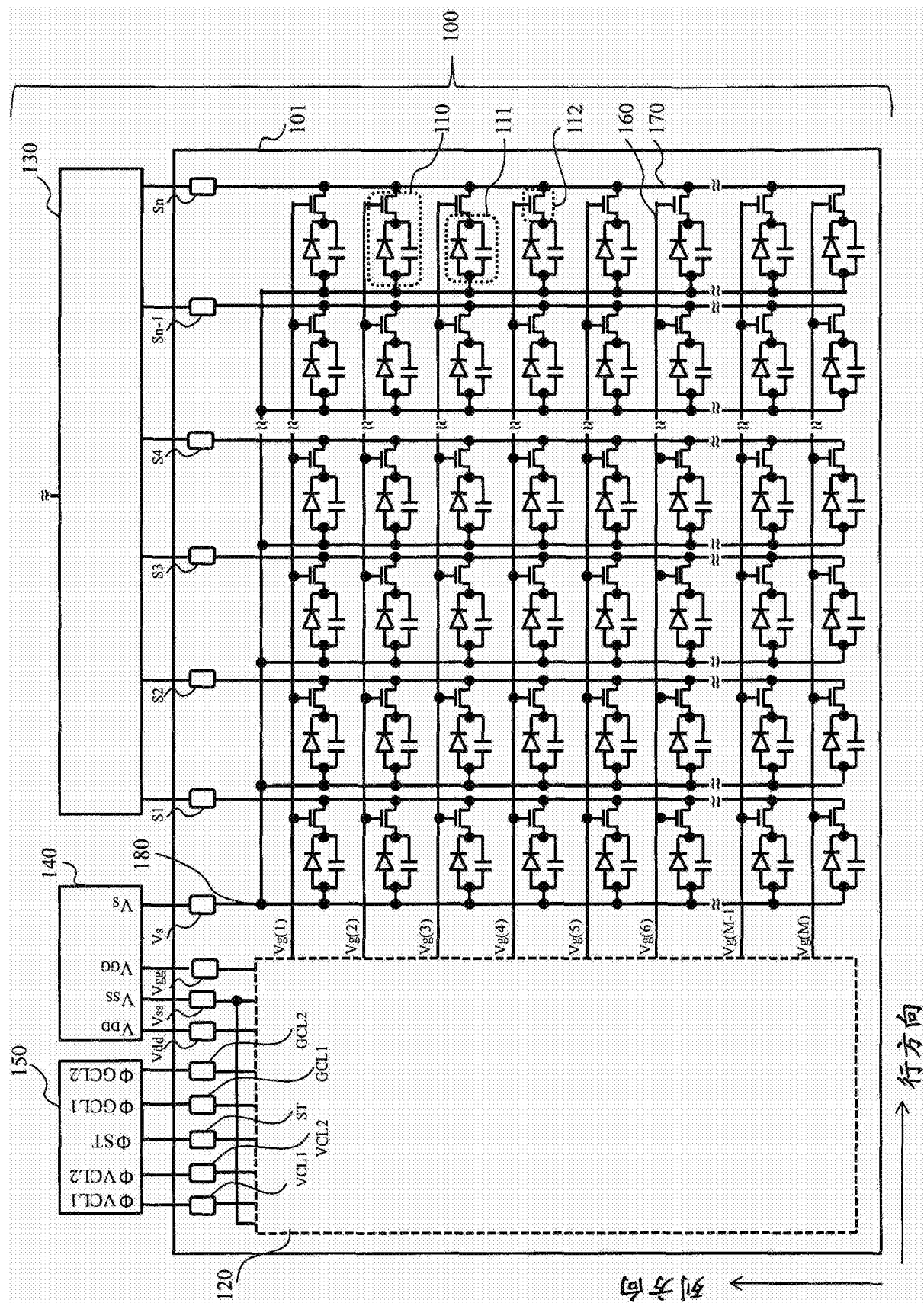


图 8

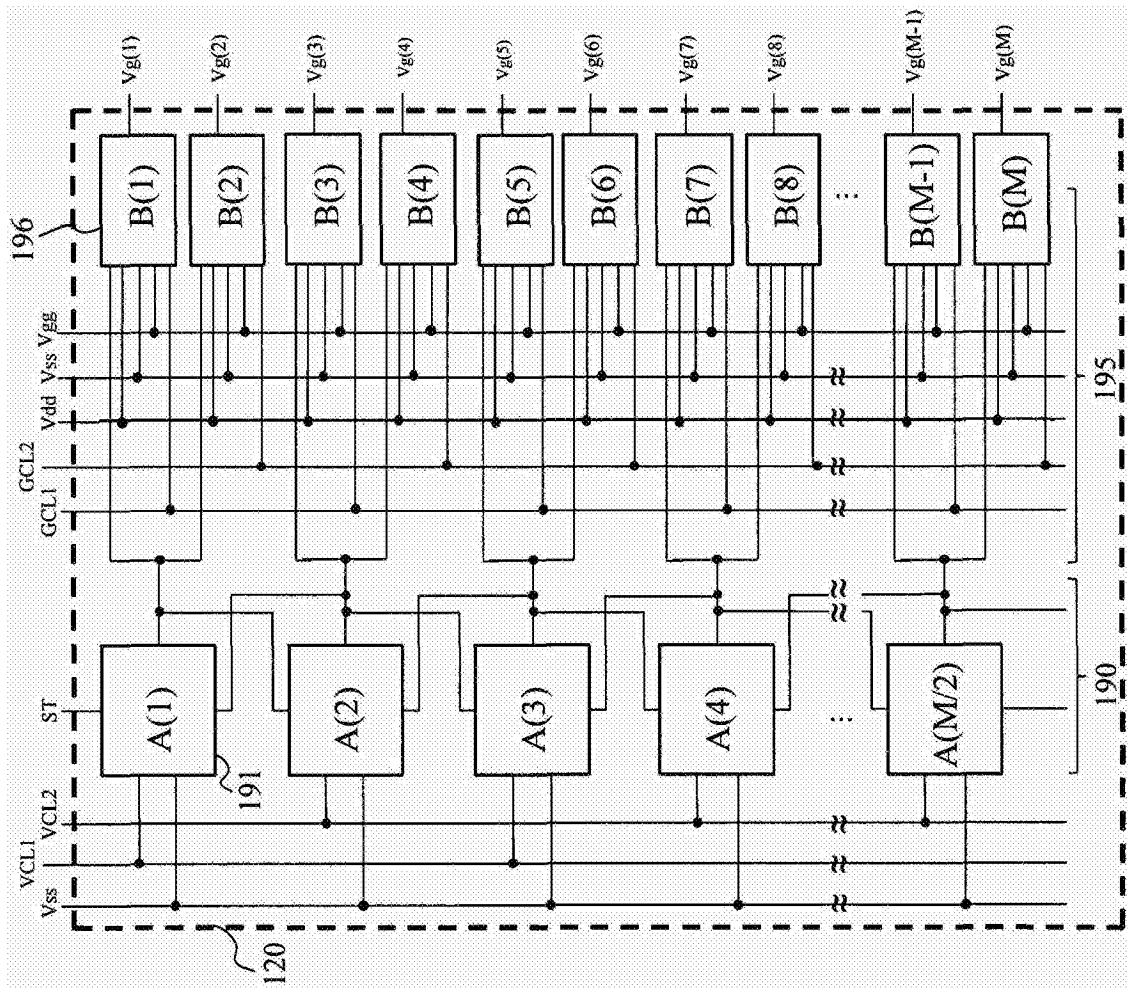


图 9A

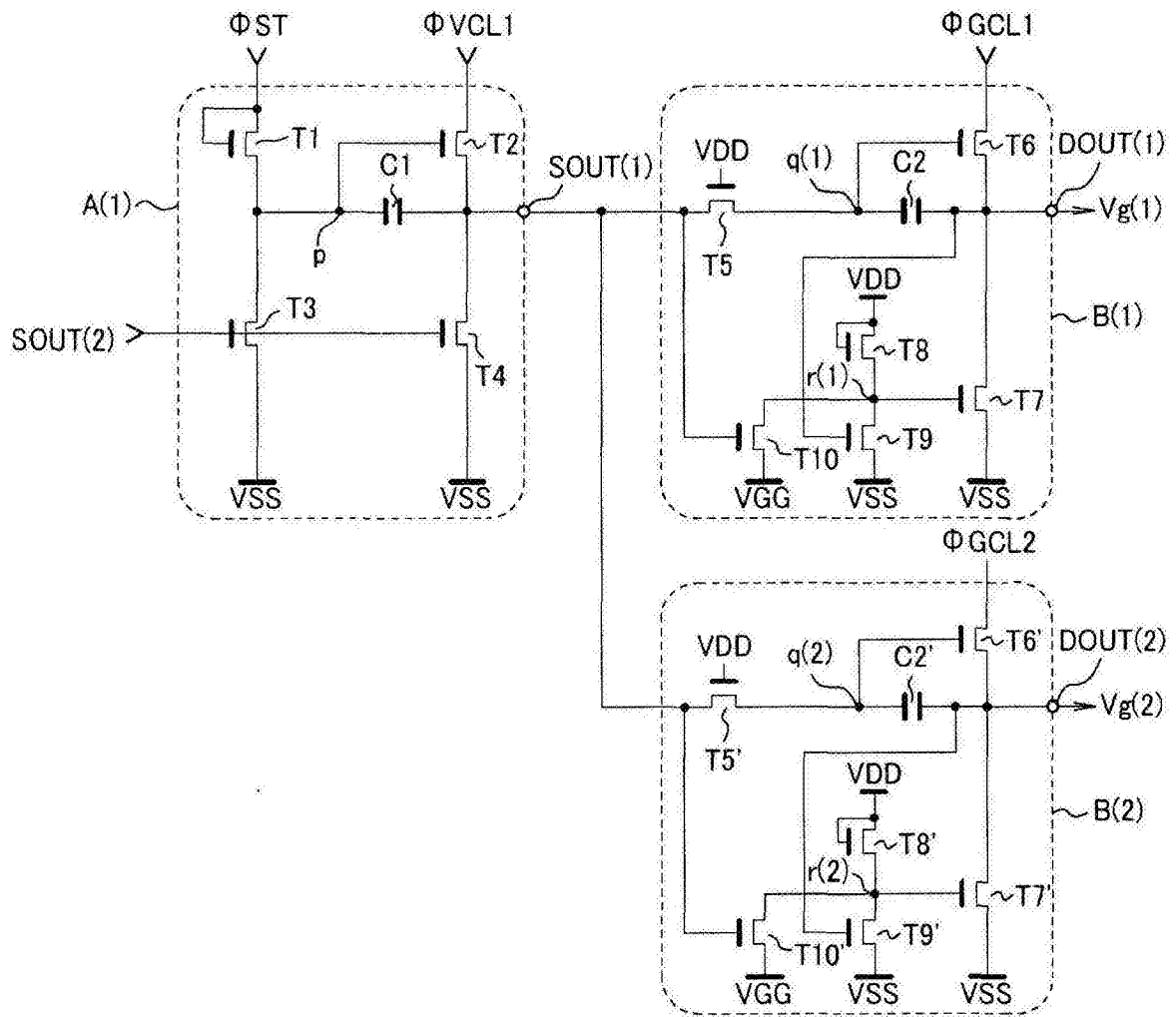


图 10

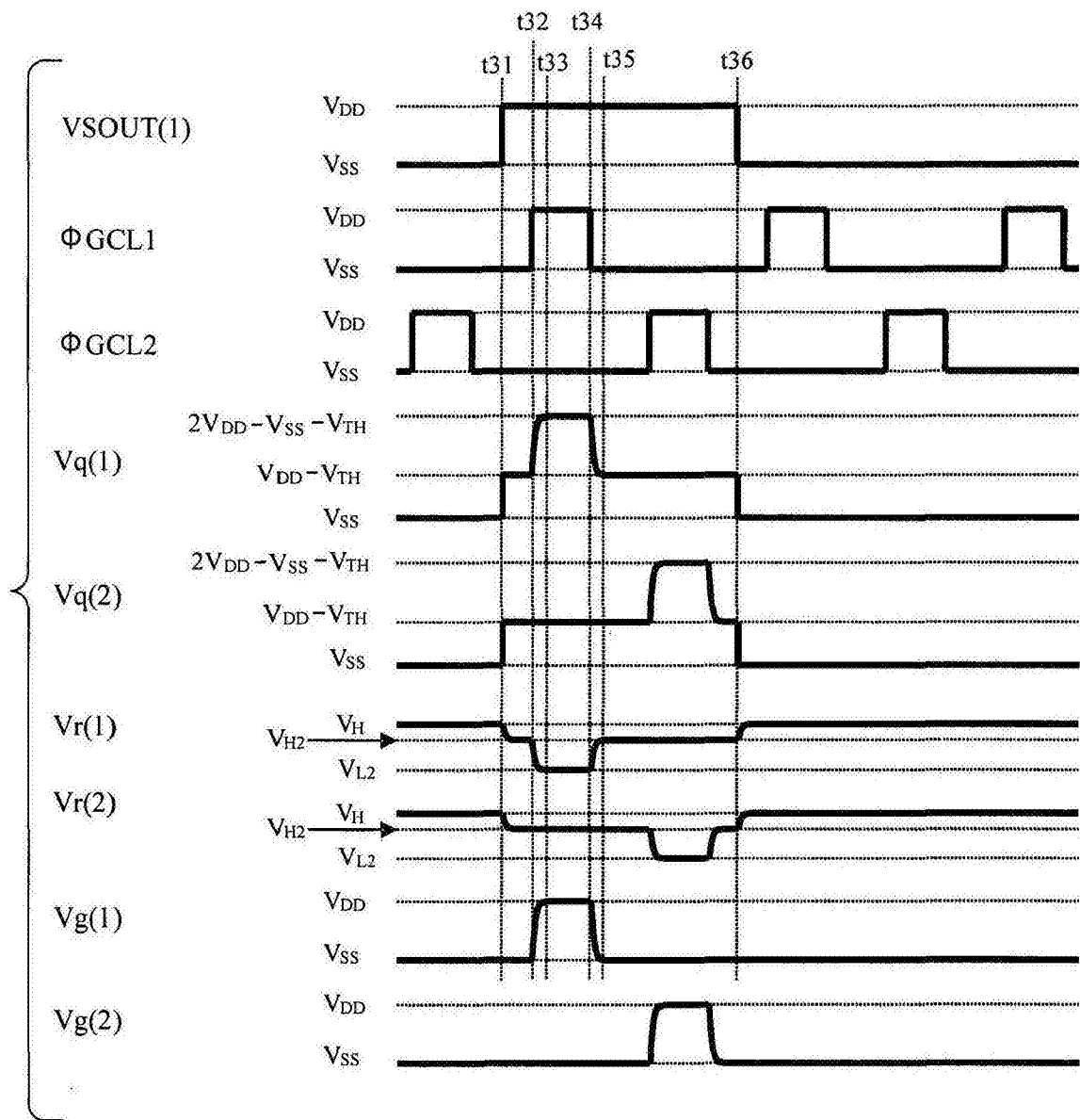


图 11

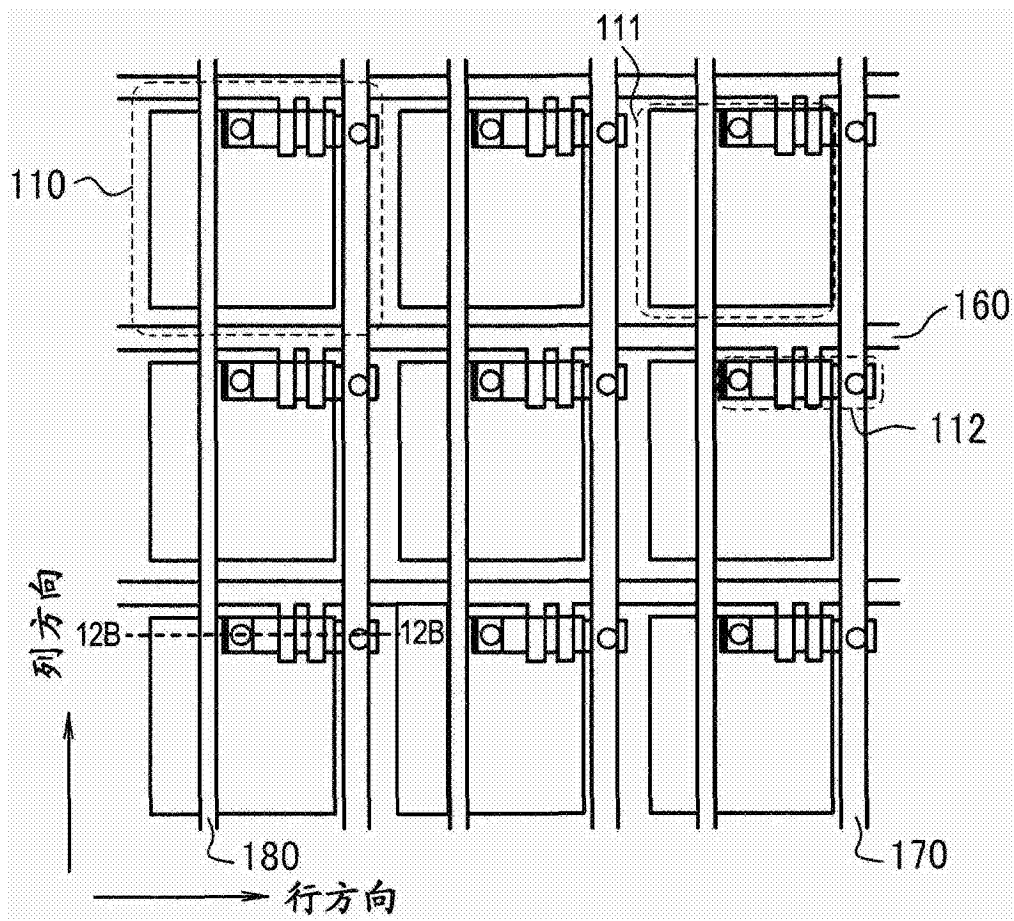


图 12A

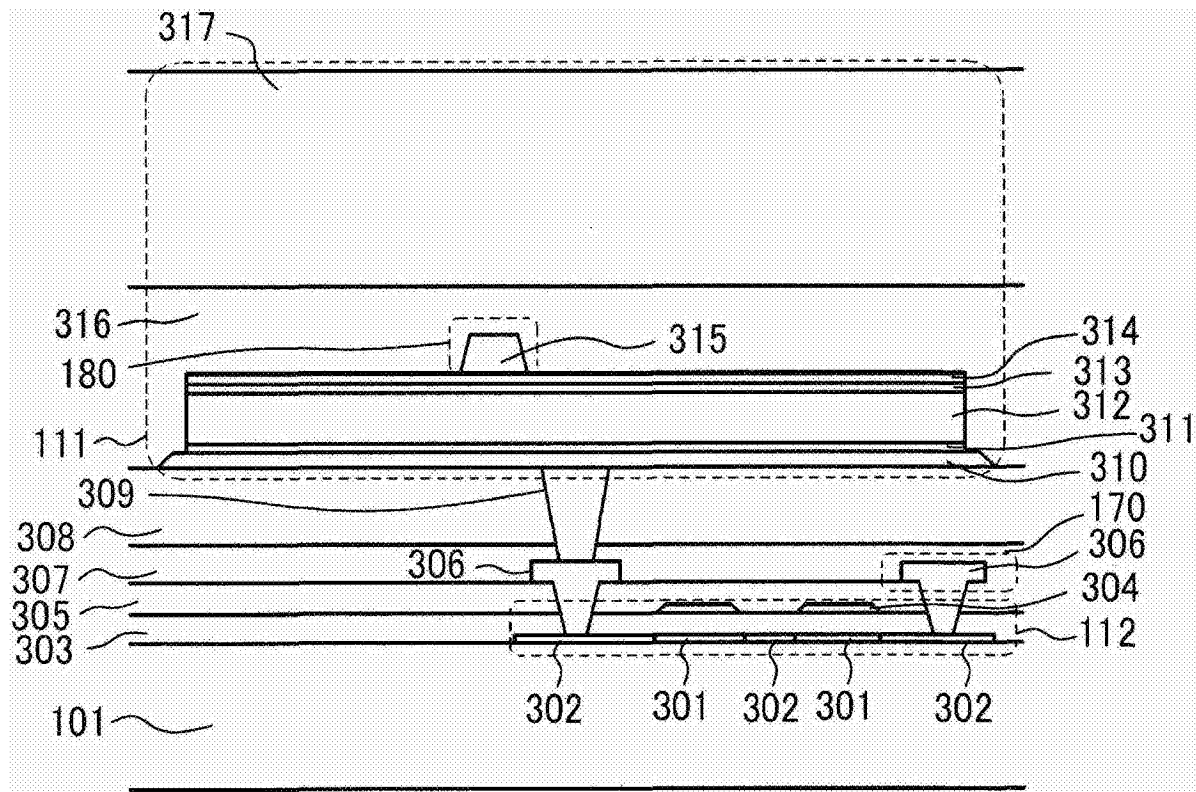


图 12B

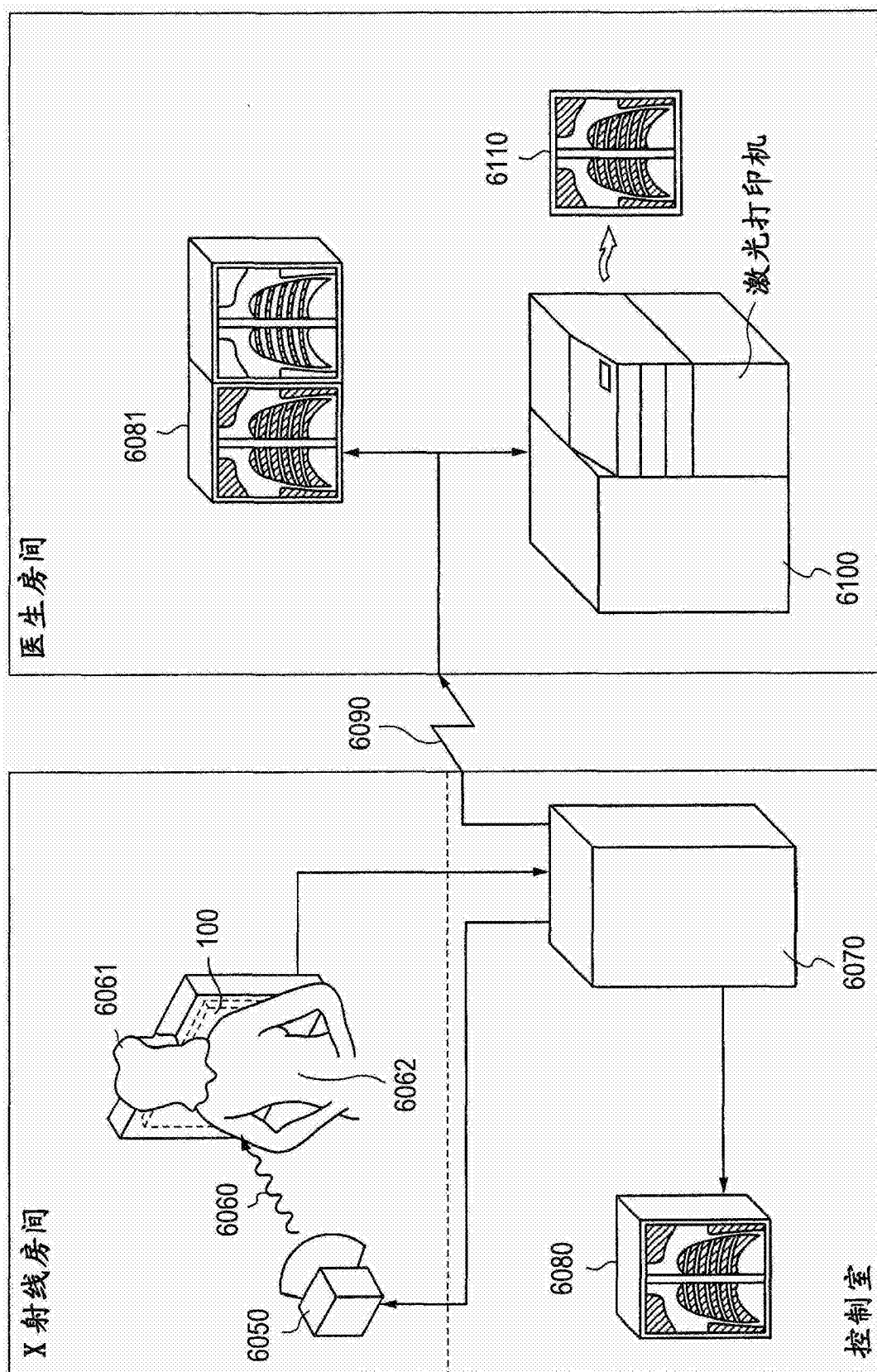


图 13

		实施例 1-1	实施例 1-2	实施例 1-3
沟道宽度 $W(\mu\text{m})$ / 沟道长度 $L(\mu\text{m})$	T1	60/10	60/10	60/10
	T2	60/10	60/10	60/10
	T3	60/10	60/10	60/10
	T4	60/10	60/10	60/10
	T5=T5'	30/10	30/10	30/10
	T6=T6'	1000/10	1000/10	1000/10
	T7=T7'	500/10	500/10	500/10
	T8=T8'	83/10	30/10	15/10
	T9=T9'	10/10	10/10	60/10

图 14

		实施例 2-1	实施例 2-2	实施例 2-3	实施例 2-4
沟道宽度 $W(\mu m)$ 沟道长度 $L(\mu m)$	T1	60/10	60/10	60/10	60/10
	T2	60/10	60/10	60/10	60/10
	T3	60/10	60/10	60/10	60/10
	T4	60/10	60/10	60/10	60/10
	T5=T5'	30/10	30/10	30/10	30/10
	T6=T6'	1000/10	1000/10	1000/10	1000/10
	T7=T7'	500/10	500/10	500/10	500/10
	T8=T8'	83/10	30/10	15/10	15/10
	T9=T9'	10/10	10/10	60/10	60/10
	T10=T10'	66/10	24/10	5/10	5/10
电压 $V_{GG}(V)$		$V_{SS}+2$	$V_{SS}+2$	$V_{SS}+2$	V_{SS}

图 15