

I308779

(此處由本局於收
文時黏貼條碼)

發明專利說明書

公告本

761362

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95113213

※申請日期：95年04月13日

※IPC分類：H01L 21/322, 21/324

11/603198

一、發明名稱：

(中) 半導體裝置及其製造方法
(英)

●二、申請人：(共 1 人)

1. 姓 名：(中) 夏普股份有限公司

(英) SHARP KABUSHIKI KAISHA

代表人：(中) 1. 町田勝彥

(英) 1. MACHIDA, KATSUHIKO

地 址：(中) 日本國大阪府大阪市阿倍野區長池町二番二二號

(英) 22-22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka 545-8522
Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 2 人)

●1. 姓 名：(中) 瀨良田剛

(英) SERATA, TSUYOSHI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 榎本修治

(英) ENOMOTO, SHUJI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2005/04/14 ; 2005-116618 ☒ 有主張優先權

I308779

(此處由本局於收
文時黏貼條碼)

發明專利說明書

公告本

761362

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95113213

※申請日期：95年04月13日

※IPC分類：H01L 21/322, 21/324

一、發明名稱：

(中) 半導體裝置及其製造方法
(英)

11/603198

●二、申請人：(共 1 人)

1. 姓 名：(中) 夏普股份有限公司

(英) SHARP KABUSHIKI KAISHA

代表人：(中) 1. 町田勝彥

(英) 1. MACHIDA, KATSUHIKO

地 址：(中) 日本國大阪府大阪市阿倍野區長池町二二番二二號

(英) 22-22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka 545-8522
Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 2 人)

●1. 姓 名：(中) 瀨良田剛

(英) SERATA, TSUYOSHI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 榎本修治

(英) ENOMOTO, SHUJI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2005/04/14 ; 2005-116618 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明關於一般之半導體裝置之製造方法，更特定為關於，可以薄膜化閘極，可對應於元件構造之微細化，亦即半導體裝置之高度集積化為可能的改良之半導體裝置之製造方法。本發明關於該方法所獲得之半導體裝置。

【先前技術】

隨電路元件之高速化，藉由元件區域之矽化物化而降低配線電阻的技術被使用。

說明習知半導體裝置之製造方法。

參照圖 14 (A)，於半導體基板 1 上形成以其他元件區域區隔元件區域的元件分離區域 2，於其上沈積閘極絕緣膜 3、多晶矽層 4。

參照圖 14 (B)，於多晶矽層 4 上，在形成閘極配線部分所對應之部分，藉由微影成像技術形成阻劑圖案 6。參照圖 14 (B)、(C)，以阻劑圖案 6 為遮罩蝕刻多晶矽層 4、閘極絕緣膜 3，形成閘極 10。之後除去阻劑圖案 6。

參照圖 14 (D)，以覆蓋半導體基板 1 上形成之閘極 10 的方式沈積絕緣層 7 作為矽氧化膜。

參照圖 14 (D) 與 15 (E)，回蝕 (etching-back) 絕緣層 7，於閘極 10 之側壁殘留抗矽化物化用的矽氧化膜之側壁間隔物 11。之後，以側壁間隔物 11 為遮罩，藉由植

(2)

入雜質離子而於半導體基板 1 表面，在閘極 10 兩側形成一對源極／汲極區域（未圖示）。

參照圖 15（F），於半導體基板 1 之全面藉由濺鍍法沈積高融點金屬之 Ti（鈦）、Co（鈷）、Ni（鎳）等形成高融點金屬膜 8。參照圖 15（G），藉由適當之熱處理進行矽化物化退火處理，使半導體基板 1 與高融點金屬膜 8 反應，形成矽化物層 9。參照圖 15（G）、（H），藉由選擇性蝕刻除去高融點金屬膜 8 內之未反應的高融點金屬膜，則可同時形成矽化物化區域與非矽化物化區域。之後，於半導體基板 1 上形成層間絕緣膜，於層間絕緣膜中形成到達矽化物層 9 的孔，形成配線而完成半導體裝置（未圖示）。

依該方法，參照圖 15（G），於矽化物化退火處理時，即使來自源極／汲極區域之矽擴散發生於側壁間隔物 11 上之高融點金屬膜 8 中，在側壁間隔物 11 表面上之閘極 10 與源極／汲極區域間之距離足夠時，於閘極 10 與源極／汲極區域間不會發生矽化物層引起之短路。

但是，隨閘極配線之微細化，閘極膜厚變薄。閘極膜厚變薄時，直接適用上述習知技術時之半導體裝置之製程如圖 16（A）～（D）、及 17（E）～（H）所示，於彼等圖中，和圖 14（A）～（D）、及 15（E）～（H）相同或相當之部分附加同一之符號並省略重複說明。

又，此情況下，參照圖 16（A），和上述習知技術比較，成為閘極之基礎的多晶矽層 4 變薄。此情況下，參照

(3)

圖 17 (G) ， 閘極 10 被薄膜化之故，於閘極 10 之側面部，側壁間隔物 11 之寬度變窄，於側壁間隔物 11 之表面上，閘極 10 與源極／汲極區域間之距離變短。因此，矽化物化退火處理時，來自源極／汲極區域之矽擴散發生於側壁間隔物 11 上之高融點金屬膜 8 中時，於側壁間隔物 11 之表面上會形成薄矽化物層，而發生閘極 10 與源極／汲極區域之短路，此為其問題。

【發明內容】

(發明所欲解決之課題)

欲解決上述問題時，如圖 18 所示習知技術揭示，增長側壁間隔物之表面上之閘極與源極／汲極區域間之距離的方法（例如特開平 08-204193 號公報，特開平 08-274043 號公報）。於彼等圖中，和圖 14 (A) ~ (D) 、及 15 (E) ~ (H) 相同或相當之部分附加同一之符號並省略重複說明。

參照圖 18 (A) ，於閘極絕緣膜 3、閘極 10、PSG 膜圖案 51 構成之凸狀圖案側面，形成矽氮化膜之側壁間隔物 11 之後，參照圖 18 (B) ，除去 PSG 膜圖案 51，殘留高度高於閘極 10 之高度而呈突出形狀的側壁間隔物 11。參照圖 18 (C) ，沈積 Ti 膜 8，於 450~550℃ 溫度藉由 5~10 分鐘之加熱爐進行加熱處理之後，除去未反應的 Ti 膜，參照圖 18 (D) ，於閘極 10 之表面與源極／汲極區域表面形成矽化物層 9，獲得半導體裝置。

(4)

依該方法，藉由形成高度高於閘極 10 之高度而呈突出形狀的側壁間隔物 11，可增長側壁間隔物 11 之表面的閘極 10 與源極／汲極區域間之距離，引可抑制矽化物化製程中閘極 10 與源極／汲極區域之短路。

但是，如圖 18 所示習知方法，具有高度高於閘極 10 之高度而呈突出形狀的側壁間隔物 11 時，在由閘極 10 上除去 PSG 膜圖案 51 之製程至矽化物化形成爲止之間的洗淨製程，因爲受到之物理損傷等而導致側壁間隔物 11 上部突起之段落，有可能產生微粒子。結果，微粒子產生引起之製造裝置污染、伴隨對半導體裝置之微粒子附著，將引起良品率大幅降低等問題。

本發明係爲解決上述問題，目的在於提供即使閘極高度低時亦可防止閘極與源極／汲極區域間之短路的改良之半導體裝置之製造方法。

本發明另一目的爲提供，不會產生微粒子，可防止閘極與源極／汲極區域間之短路的改良之半導體裝置之製造方法。

本發明另一目的爲提供，依該方法獲得之半導體裝置

（用以解決課題的手段）

於本發明第 1 局面之半導體裝置之製造方法，首先，於半導體基板表面形成使元件區域被由其他元件區域分離的元件分離區域。之後，於半導體基板之上，介由閘極絕

(5)

緣膜，形成其上面形成有第 1 絕緣層的閘極。以覆蓋上述閘極側壁與上述第 1 絕緣層上面的方式，於上述半導體基板之上形成第 2 絕緣層。回蝕上述第 2 絕緣層，於上述閘極側壁形成側壁間隔物之同時，使上述元件區域表面露出。以上述閘極與上述側壁間隔物為遮罩，藉由在上述元件區域表面植入雜質離子，而於上述半導體基板表面、在上述閘極兩側形成一對源極／汲極區域。由上述閘極之上面除去上述第 1 絕緣層。以覆蓋上述閘極上面與上述源極／汲極區域之表面的方式，於上述半導體基板表面形成高融點金屬膜，之後施予退火，使上述閘極上面與上述源極／汲極區域之表面矽化物化，而形成矽化物膜。除去未反應的高融點金屬膜。

依本發明，以覆蓋上述第 1 絕緣層之上面的方式，於上述半導體基板之上，形成成為側壁間隔物之基礎的第 2 絕緣層，因此即使閘極高度低之情況下，亦可充分確保側壁間隔物表面之閘極與源極／汲極區域間之距離。

依本發明之較佳實施形態，上述第 1 絕緣層由上述閘極之上面被除去的工程，係藉由溼蝕刻處理進行。依此則，上述第 1 絕緣層蝕刻時，不會過度除去閘極之上面。另外，上述第 1 絕緣層之除去時，不會過度除去側壁。

較好是，上述第 1 絕緣層為矽氮化膜或矽氧氮化膜。又，上述第 1 絕緣層可為，下層為矽氧化膜，上層為矽氮化膜或矽氧氮化膜之積層構造。

較好是，上述第 1 絕緣層之膜厚為 70～200nm。

(6)

上述第 1 絕緣層爲上述積層構造時，較好是，下層之矽氧化膜之膜厚爲 $5 \sim 50 \text{ nm}$ ，上層之矽氮化膜或矽氧氮化膜之膜厚爲 $70 \sim 190 \text{ nm}$ 。

較好是上述第 2 絕緣層爲矽氧化膜。

又，較好是上述第 2 絕緣層之膜厚爲 $70 \sim 190 \text{ nm}$ 。

上述第 2 絕緣層可爲，下層爲矽氧化膜，上層爲矽氮化膜或矽氧氮化膜之 2 層構造。

此情況下較好是，於上述第 2 絕緣層，下層之矽氧化膜之膜厚爲 $5 \sim 25 \text{ nm}$ ，上層之矽氮化膜或矽氧氮化膜之膜厚爲 $70 \sim 190 \text{ nm}$ 。

依本發明較佳實施形態，假設連接上述閘極絕緣膜之附近的上述側壁間隔物之寬度爲 W 、側壁間隔物之高度爲 h 、上述閘極之高度爲 T 時，具有： $h = 5W$ ， $T \geq h$ ， $W \geq 20 \text{ nm}$ 之關係。

依上述構成，即使閘極高度較低之情況下，亦可充分確保側壁間隔物表面上之閘極與源極／汲極區域間之距離。

較好是，上述矽化物膜爲 Ti （鈦）、 Co （鈷）、或 Ni （鎳）之矽化物膜。

亦可以另具備：於上述半導體基板之上以單層或 2 層形成層間絕緣膜之工程。

本發明另一局面之半導體裝置之製造方法中，首先，於半導體基板表面形成使元件區域被由其他元件區域分離的元件分離區域。之後，於上述半導體基板之上，介由閘

(7)

極絕緣膜，形成其上面形成有第 1 絕緣層的閘極。以覆蓋上述閘極側壁與上述第 1 絕緣層的方式，於上述半導體基板之上形成第 2 絕緣層。回蝕上述第 2 絕緣層，於上述閘極側壁形成側壁間隔物之同時，使上述元件區域表面露出。以上述閘極與上述側壁間隔物為遮罩，藉由在上述元件區域植入雜質離子，而於上述半導體基板表面、在上述閘極兩側形成一對源極／汲極區域。以覆蓋上述一對源極／汲極區域表面的方式形成第 1 高融點金屬膜，施予熱處理而於該源極／汲極區域表面形成第 1 矽化物層，之後除去未反應的第 1 高融點金屬膜。以覆蓋設有上述第 1 絕緣層的上述閘極之方式，於上述半導體基板之上形成層間絕緣膜。研磨上述層間絕緣膜表面使平坦化之同時，使上述第 1 絕緣層表面露出。除去露出之上述第 1 絕緣膜，使上述閘極之上面露出。以覆蓋露出之上述閘極上面之方式，於上述層間絕緣膜之上形成第 2 高融點金屬膜，施予熱處理而於上述閘極上面形成第 2 矽化物層。於上述層間絕緣膜中形成接觸孔，形成金屬配線。

依本發明，以覆蓋側壁間隔物上之方式設置層間絕緣膜，可進行閘極表面之矽化物處理，可防止閘極表面與源極／汲極區域間之短路之發生。

較好是上述第 1 絕緣層包含矽氮化膜或矽氧氮化膜。

上述第 1 絕緣層可為，下層為矽氧化膜、上層為矽氮化膜或矽氧氮化膜之積層構造。

較好是，上述第 1 絕緣層中之上述矽氮化膜或矽氧氮

(8)

化膜之膜厚為 $100 \sim 250 \text{ nm}$ 。

上述第 1 絕緣層為積層構造時，較好是，下層之矽氧化之膜厚為 $5 \sim 50 \text{ nm}$ ，上層之矽氮化膜或矽氧氮化膜之膜厚為 $70 \sim 190 \text{ nm}$ 。

較好是上述第 2 絕緣層為矽氧化膜。

較好是上述第 2 絕緣層之矽氧化膜之膜厚為 $70 \sim 190 \text{ nm}$ 。

上述第 2 絕緣層可為，下層為矽氧化膜，上層為矽氮化膜或矽氧氮化膜之 2 層構造。此情況下，較好是上述第 2 絕緣層之下層之矽氧化膜之膜厚為 $5 \sim 25 \text{ nm}$ ，上層之矽氮化膜或矽氧氮化膜之膜厚為 $70 \sim 190 \text{ nm}$ 。

上述層間絕緣膜之表面研磨量設為上述第 1 絕緣膜之膜厚之 $5 \sim 80\%$ 被研磨之量時，可以消除側壁間隔物之上部之突起。

本發明另一局面之半導體裝置，係具備：半導體基板；於上述半導體基板之上介由閘極絕緣膜形成的閘極；於上述半導體基板表面、在上述閘極兩側形成的一對源極／汲極區域；於上述閘極側壁形成的側壁間隔物；及於上述閘極上面與上述源極／汲極區域表面形成的矽化物層。假設連接上述閘極絕緣膜之附近的上述側壁間隔物之寬度為 W 、側壁間隔物之高度為 h 、上述閘極之高度為 T 時，具有： $h = 5W$ ， $T \geq h$ ， $W \geq 20 \text{ nm}$ 之關係。

本發明再另一局面之半導體裝置，係具備：半導體基板；於上述半導體基板之上介由閘極絕緣膜而形成的閘極

(9)

；於上述半導體基板表面、在上述閘極兩側形成的一對源極／汲極區域；於上述閘極側壁形成的側壁間隔物；及於上述閘極上面與上述源極／汲極區域表面形成的矽化物層。上述閘極表面形成的矽化物層之膜厚，係較上述源極／汲極區域表面形成的矽化物層之膜厚為厚。

上述側壁間隔物可為包含：以接觸於上述閘極側壁之矽氧化膜形成的下層，與介由該下層而以設於上述閘極側壁之矽氮化膜或矽氧氮化膜形成的上層之2層構造。

依本發明之半導體裝置之製造方法，同時形成矽化物區域與非矽化物區域時，係於閘極側面部，形成被確保一定以上寬度之側壁間隔物。因此，矽化物化退火處理時，於高融點金屬中即使發生來自源極／汲極區域之矽擴散情況下，亦可確保足夠之側壁寬度，因此可防止閘極與源極／汲極區域間被矽化物層短路之問題發生。因此，閘極之薄膜化為可能，可對應元件構造之微細化，半導體裝置之高集積化為可能。

【實施方式】

以下參照圖面說明本發明之實施形態。於圖中同一或相當之部分附加同一之符號。

(第1實施形態)

第1實施形態為同時進行閘極表面之矽化物化與源極／汲極區域之矽化物化者。

(10)

參照圖 1 (A) ，和習知技術同樣，於半導體基板 1 之矽基板表面設置元件分離區域 2，形成被隔開之多數元件區域。之後，於半導體基板 1 之上沈積閘極絕緣膜 3、多晶矽層 4。

參照圖 1 (B) ，於多晶矽層 4 之上沈積第 1 絕緣層 5。第 1 絕緣層 5 使用矽氮化膜。第 1 絕緣層 5 之膜厚較好是約 $1400\text{\AA}$ 。藉由此構成，如後述說明，蝕刻多晶矽層 4、閘極絕緣膜 3 時，第 1 絕緣層 5 全部不會被蝕刻。又，蝕刻後述第 2 絕緣層 7 (圖 2 (G)) 時，第 1 絕緣層 5 全部亦不會被蝕刻。於矽化物化退火處理時，於側壁間隔物 11 之表面之高融點金屬膜中，即使發生來自源極／汲極區域之矽擴散時，亦可確保側壁間隔物 11 之寬度，俾於側壁間隔物 11 之表面不會形成使閘極 10 與源極／汲極區域短路的矽化物層。

參照圖 1 (C) 、 (D) ，在第 1 絕緣層 5 之形成閘極部分所對應之表面部分，藉由微影成像技術形成阻劑圖案 6 之後，以阻劑圖案 6 為遮罩，使用例如磁控式 RIE (Reactive Ion Etching) 裝置，於以下條件下對第 1 絕緣層 5 施予異方性蝕刻。

壓力：50mTorr

高頻電力：500W

$\text{CH}_2\text{F}_2 / \text{Ar} / \text{O}_2 = 40 / 30 / 15\text{sccm}$

參照圖 1 (D) 、圖 2 (E) ，使用去灰裝置除去阻劑圖案 6。

(11)

參照圖 2 (E) 、 (F) ，以殘存之第 1 絕緣層 5 作為蝕刻遮罩，蝕刻以外之部分之多晶矽層 4 及閘極絕緣膜 3，形成閘極 10 之後，進行離子植入而形成電晶體之 LDD 區域 1a。

參照圖 2 (G) ，以覆蓋半導體基板 1 上形成之閘極 10 及殘存之第 1 絕緣層 5 的方式，沈積矽氧化膜作為第 2 絕緣層。參照圖 2 (G) 、 (H) ，藉由回蝕第 2 絕緣層，於閘極 10 側壁殘留矽氧化膜之側壁間隔物 11。回蝕所獲得之側壁間隔物 11 之寬度（與被加工之閘極絕緣膜 3 連接的附近之側壁間隔物 11 之寬度，在第 2 絕緣層僅使用矽氧化膜時約為 17~20nm，側壁間隔物 11 之高度，係側壁間隔物 11 之寬度之約 5 倍，和閘極 10（包含第 1 絕緣層 5 之膜厚）之高度大略相等。

參照圖 2 (H) 、 3 (I) ，除去殘存之第 1 絕緣層 5 之後，為形成電晶體之源極／汲極區域 1b 用的高濃度 N 區域，而植入砷等之離子，進行熱處理以活化植入之砷離子。

參照圖 3 (J) ，藉由濺鍍法、電鍍法、CVD 法沈積高融點金屬之 Ti（鈦）、Co（鈷）、或 Ni（鎳）等，使高融點金屬膜 8 於半導體基板 1 之全面形成。之後，參照圖 3 (K) ，施予適當熱處理而進行矽化物化退火處理，使於閘極 10 之表面及源極／汲極區域 1b 之表面和高融點金屬膜 8 產生反應，形成矽化物層 9。

參照圖 3 (K) 及圖 4 (L) ，藉由選擇蝕刻除去高融

(12)

點金屬膜 8 之中未反應的高融點金屬膜。藉由上述工程可同時形成矽化物區域及非矽化物區域。

參照圖 4 (M)，於半導體基板 1 之上形成第 1 層間絕緣膜 13 及第 2 層間絕緣膜 16，於第 1、第 2 層間絕緣膜 13、16 中形成接觸孔 15 使矽化物層 9 之表面露出，藉由設置金屬配線 14 完成半導體裝置。

依本實施形態，於圖 3 (K) 之工程之矽化物化退火處理時，即使來自源極／汲極區域之矽擴散發生於側壁間隔物 11 上之高融點金屬膜 8 中時，因為側壁間隔物 11 之寬度被充分確保，而可以抑制閘極 10 與源極／汲極區域 1b 之間因矽化物層引起之短路之發生。

(第 2 實施形態)

本實施形態為閘極之表面之矽化物化與源極／汲極區域之矽化物化於個別工程進行者。

參照圖 5 (A)，和第 1 實施形態同樣，於半導體基板 1 之表面形成元件分離區域 2，形成被隔開之多數元件區域。之後，於半導體基板 1 之上沈積閘極絕緣膜 3、多晶矽層 4。

參照圖 5 (B)，於多晶矽層 4 之上沈積第 1 絕緣層 5。第 1 絕緣層 5 使用矽氧化膜或矽氮化膜或矽氮氧化膜。第 1 絕緣層 5 亦可於多晶矽層 4 上成長約 5~50nm 之矽氧化膜，再於其上成長 70~190nm 之矽氮化膜或矽氮氧化膜，構成爲積層構造。

(13)

參照圖 5 (C)、(D)，在第 1 絕緣層 5 上之閘極部分所對應之表面部分，藉由微影成像技術形成阻劑圖案 6 之後，以阻劑圖案 6 為遮罩，使用例如磁控式 RIE(Reactive Ion Etching)裝置，對第 1 絕緣層 5 施予異方性蝕刻。

參照圖 5 (D)、圖 6 (E)，使用去灰裝置及洗淨裝置除去阻劑圖案 6。

參照圖 6 (E)、(F)，以殘存之第 1 絕緣層 5 作為蝕刻遮罩，蝕刻其以外部分之多晶矽層 4 及閘極絕緣膜 3，形成閘極 10 之後，進行離子植入而形成電晶體之 LDD 區域 1a。

參照圖 6 (G)，以覆蓋半導體基板 1 上之閘極 10 及殘存之第 1 絕緣層 5 的方式，沈積矽氧氮化膜或矽氮化膜或矽氧氮化膜作為第 2 絕緣層。

參照圖 6 (G)、(H)，藉由回蝕第 2 絕緣層 7，於閘極 10 側壁形成側壁間隔物 11。第 2 絕緣層 7 包含矽氧氮化膜或矽氮化膜，因此即使施予回蝕時所獲得之側壁間隔物 11 之寬度（與被加工之閘極絕緣膜 3 連接的附近之側壁間隔物 11 之寬度），相較於第 2 絕緣層 7 僅使用矽氧化膜之情況可以形成較大。

之後，如圖 6 (H) 所示，為形成電晶體之源極／汲極區域 1b 用的高濃度 N 區域，而植入砷等之離子，進行熱處理以活化植入之砷離子。

參照圖 7 (I)，藉由濺鍍法、電鍍法、CVD 法沈積

(14)

高融點金屬之 Ti (鈦)、Co (鈷)、或 Ni (鎳) 等，使約 10~100nm 之高融點金屬膜 8 於全面形成。之後，藉由 450~650℃ 之熱處理工程進行第 1 矽化物化退火處理，使半導體基板 1 和高融點金屬膜 8 產生反應，於電晶體之源極／汲極區域 1b 形成矽化物層 9。之後，藉由選擇蝕刻除去高融點金屬膜 8 之中未反應的高融點金屬膜。

參照圖 7 (J)，於半導體基板 1 之上形成約 300~800nm 之第 1 層間絕緣膜 13。參照圖 7 (K)，研磨第 1 層間絕緣膜 13 施予平坦化處理。作為研磨之阻障膜，於元件形成區域形成於閘極上的第 1 絕緣層 5 可發揮其效果。阻障膜係藉由和第 1 絕緣層 5 同樣之材料，於半導體基板 1 周邊部或元件分離區域上亦被形成。此時之第 1 絕緣層 5 之研磨量控制為其膜厚之約 2~20%。

參照圖 7 (K)、(L)，除去第 1 絕緣層 5。結果，形成具有高度高於閘極 10 之側壁間隔物 11 被殘存的半導體裝置。又，第 1 絕緣層 5 僅以矽氧化膜單獨形成時，高度低於閘極 10 之側壁間隔物 11 被形成。之後，為於閘極 10 形成高濃度 N 區域，而植入砷等之離子，進行熱處理以活化植入之砷離子。

如圖 8 (M) 所示，藉由濺鍍法、電鍍法、CVD 法沈積高融點金屬之 Ti (鈦)、Co (鈷)、或 Ni (鎳) 等，使高融點金屬膜 8 於半導體基板 1 上之全面形成。之後，藉由 450~650℃ 之熱處理工程進行矽化物化退火處理，使閘極 10 之多晶矽層和高融點金屬膜 8 產生反應，於閘極

(15)

10 之表面形成矽化物層 9。之後，藉由選擇蝕刻除去高融點金屬膜 8 之中未反應的高融點金屬膜。

電晶體之閘極之表面之矽化物化，習知係和源極／汲極區域之矽化物化同時進行，為設定源極／汲極區域之深度成為較淺，而導致無法充分進行矽化物化。因而閘極之多晶矽之低電阻化不夠。但是，依本實施形態，單獨選擇高融點金屬膜之膜厚、而且選擇較高之熱處理溫度，因此伴隨往後之微細化的多晶矽閘極之低電阻化可以容易達成。

又，習知自動對準金屬矽化物（salicide）處理時，於側壁間隔物之表面上之高融點金屬膜內施予熱處理時，來自源極／汲極之矽擴散移動會產生矽化物層，換言之，以側壁間隔物之表面上作為電流路徑，而發生閘極表面與源極／汲極區域間之短路。但是，依本發明第 2 實施形態之方法，側壁間隔物 11 之表面上被以第 1 層間絕緣膜 13 覆蓋，可進行閘極上面之矽化物處理，更能有效防止閘極表面與源極／汲極區域間之短路之發生。

參照圖 8（N），於半導體基板 1 上形成 50～250nm 之厚度之第 2 層間絕緣膜 16。

參照圖 8（O），於第 1、第 2 層間絕緣膜 13、16 中形成接觸孔 15 後，形成金屬配線 14 而完成電晶體。之後，再形成層間絕緣膜亦可，或形成表面保護膜而完成半導體裝置亦可。

(16)

(第 3 實施形態)

第 3 實施形態為第 2 實施形態之變形例。於第 2 實施形態，層間絕緣膜使用 2 層構造，但是如圖 9 所示之 1 層構造亦可。此重半導體裝置，係於圖 8 (M) 之工程，除去未反應的高融點金屬膜之後，直接於第 1 層間絕緣膜 13 形成接觸孔 15，形成金屬配線 14 而形成。

(第 4 實施形態)

第 4 實施形態為第 2 實施形態之另一變形例。首先，於圖 5 (A) ~ (D) 工程、圖 6 (E) ~ (H) 工程、圖 7 (I) ~ (J) 工程為止經由同樣之工程。之後，參照圖 7 (J) 與圖 10 (A)，使第 1 絕緣層 5 之厚度被研磨 20 ~ 80 % 而研磨第 1 層間絕緣膜 13 施予平坦化。

依本實施形態，於第 1 層間絕緣膜 13 之平坦化處理時，側壁間隔物 11 之上部突起部被除去，換言之，第 1 矽化物化退火處理時側壁間隔物 11 之上部表面殘存之導電性高融點金屬膜 8 之片或矽化物粒被除去，因此，可防止其引起之閘極表面部之矽化物層 9 與電晶體之源極 / 汲極區域間之短路。

之後，經過和圖 7 (L)、圖 8 (M)、(N) 相同之工程，參照圖 10 (B)，於半導體基板 1 上形成 50 ~ 250 nm 厚度之第 2 層間絕緣膜 16，之後，於第 1 層間絕緣膜 13 與第 2 層間絕緣膜 16 中形成接觸孔 15 後，形成金屬配線 14 完成電晶體。

(第 5 實施形態)

本實施形態為第 2 實施形態之再另一變形例。本實施形態係將側壁間隔物設為 2 層構造者。首先，於圖 5 (A) ~ (D) 工程、圖 6 (E) ~ (F) 工程為止經由同樣之工程。

之後，參照圖 11 (A)，於半導體基板 1 上以覆蓋閘極 10 與殘存之第 1 絕緣層 5 之方式形成矽氧化膜 7a，再於其上沈積矽氧氮化膜（或矽氮化膜）7b。下層之矽氧化膜 7a 之膜厚為 5~25nm，上層之矽氧氮化膜（或矽氮化膜）7b 之膜厚為 70~190nm。

參照圖 11 (A)、(B)，回蝕矽氧氮化膜（或矽氮化膜）7b 及矽氧化膜 7a，於閘極 10 之側壁形成側壁間隔物 11。側壁間隔物 11 包含矽氧氮化膜（或矽氮化膜），因此，即使回蝕亦可將側壁間隔物 11 之寬度（與被加工之閘極絕緣膜 3 連接的附近之側壁間隔物 11 之寬度），形成為大於如圖 6 (G) 所示在第 2 絕緣層 7 僅使用矽氧化膜時。之後，為形成電晶體之源極／汲極區域 1b 用的高濃度 N 區域，而植入砷等之離子，進行熱處理以活化植入之砷離子。

如圖 11 (C) 所示，藉由濺鍍法、電鍍法、CVD 法沈積高融點金屬之 Ti（鈦）、Co（鈷）、或 Ni（鎳）等，使約 10~100nm 之高融點金屬膜 8 於全面形成。之後，藉由 450~650℃ 之熱處理工程進行第 1 矽化物化退火處理，

(18)

使半導體基板 1 與高融點金屬膜 8 反應，於電晶體之源極／汲極區域 1b 形成矽化物層 9。之後，藉由選擇蝕刻除去高融點金屬膜 8 之中未反應的高融點金屬膜。

之後，參照圖 11 (D)，於半導體基板 1 之上形成約 300~800nm 之第 1 層間絕緣膜 13。參照圖 12 (E)，研磨第 1 層間絕緣膜 13 施予平坦化處理。作為研磨之阻障膜，於元件形成區域形成於閘極上的第 1 絕緣層 5 可發揮其效果。阻障膜係藉由和第 1 絕緣層 5 同樣之材料，於半導體基板 1 周邊部或元件分離區域上亦被形成（未圖示）。此時之第 1 絕緣層 5 之研磨量控制為其膜厚之約 2~20 %。

參照圖 12 (E)、(F)，除去第 1 絕緣層 5。結果，形成具有高度高於閘極 10 之側壁間隔物 11 被殘存的半導體裝置。之後，經過和圖 7 (L)、圖 8 (M)、(N) 相同之工程，於閘極 10 之上形成矽化物層 9。參照圖 12 (G)，於第 1 層間絕緣膜 13 與第 2 層間絕緣膜 16 中形成接觸孔 15 後，形成金屬配線 14 完成電晶體。

(第 6 實施形態)

本實施形態為第 5 實施形態之變形例。圖 13 (A) 係和圖 11 (D) 相當之圖。參照圖 13 (A)、(B)，使第 1 絕緣層 5 之厚度被研磨 20~80% 而研磨第 1 層間絕緣膜 13 施予平坦化。之後，參照圖 13 (B)、(C)，除去第 1 絕緣層。

(19)

依本實施形態，於第 1 層間絕緣膜 13 之平坦化處理時，側壁間隔物 11 之上部突起部被除去，換言之，第 1 矽化物化退火處理時側壁間隔物 11 之上部表面殘存之導電性高融點金屬膜 8 之片或矽化物粒被除去，因此，可防止其引起之閘極表面部之矽化物層 9 與電晶體之源極／汲極區域間之短路。

之後，經過和圖 7 (L)、圖 8 (M)、(N) 相同之工程，形成矽化物層 9。參照圖 13 (D)，於半導體基板 1 上形成 50~250nm 厚度之第 2 層間絕緣膜 16，之後，於第 1 層間絕緣膜 13 與第 2 層間絕緣膜 16 中形成接觸孔 15 後，形成金屬配線 14 完成電晶體。

本發明可實現閘極之薄膜化，可對應於元件構造之微細化，可實現半導體裝置之高集積化。

本發明不限定於上述實施形態，在不脫離本發明範圍內可做各種變更實施。

【圖式簡單說明】

圖 1 為第 1 實施形態之半導體裝置之製造方法之順序之 (A) - (D) 之工程中半導體裝置之斷面圖。

圖 2 為第 1 實施形態之半導體裝置之製造方法之順序之 (E) - (H) 之工程中半導體裝置之斷面圖。

圖 3 為第 1 實施形態之半導體裝置之製造方法之順序之 (I) - (K) 之工程中半導體裝置之斷面圖。

圖 4 為第 1 實施形態之半導體裝置之製造方法之順序

(20)

之 (L) - (M) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 5 為 第 2 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順 序
之 (A) - (D) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 6 為 第 2 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順 序
之 (E) - (H) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 7 為 第 2 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順 序
之 (I) - (L) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 8 為 第 2 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順 序
之 (M) - (O) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 9 為 第 3 實 施 形 態 之 半 導 體 裝 置 之 斷 面 圖 。

圖 10 為 第 4 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順
序 之 (A) - (B) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 11 為 第 5 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順
序 之 (A) - (D) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 12 為 第 5 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順
序 之 (E) - (G) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 13 為 第 6 實 施 形 態 之 半 導 體 裝 置 之 製 造 方 法 之 順
序 之 (A) - (D) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 14 為 習 知 半 導 體 裝 置 之 製 造 方 法 之 順 序 之 (A) -
(D) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 15 為 習 知 半 導 體 裝 置 之 製 造 方 法 之 順 序 之 (E) -
(H) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

圖 16 為 另 一 習 知 半 導 體 裝 置 之 製 造 方 法 之 順 序 之 (A
) - (D) 之 工 程 中 半 導 體 裝 置 之 斷 面 圖 。

(21)

圖 17 為另一習知半導體裝置之製造方法之順序之 (E) - (H) 之工程中半導體裝置之斷面圖。

圖 18 為再另一習知半導體裝置之製造方法之順序之 (A) - (D) 之工程中半導體裝置之斷面圖。

【主要元件符號說明】

- 1：半導體基板
- 2：元件分離區域
- 3：閘極絕緣膜
- 4：多晶矽層
- 5：第 1 絕緣層
- 6：阻劑圖案
- 7：第 2 絕緣層
- 8：高融點金屬膜
- 9：矽化物層
- 10：閘極
- 11：側壁間隔物
- 13：第 1 層間絕緣膜
- 14：金屬配線
- 15：接觸孔
- 16：第 2 層間絕緣膜

五、中文發明摘要

發明之名稱：半導體裝置及其製造方法

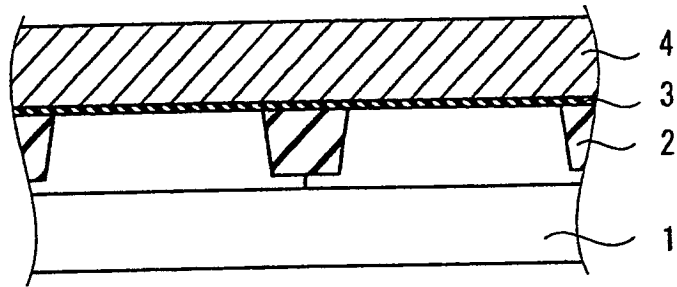
於半導體基板之上，介由閘極絕緣膜形成其上面形成有第 1 絕緣層的閘極。以覆蓋閘極側壁與第 1 絕緣層之上面的方式，於半導體基板 1 之上形成第 2 絕緣層。回蝕第 2 絕緣層，於閘極側壁形成側壁間隔物之同時，使元件區域表面露出。由閘極之上面除去第 1 絕緣層。以覆蓋閘極上面與源極／汲極區域之表面的方式，於半導體基板表面形成高融點金屬膜，之後施予退火，使閘極上面與源極／汲極區域之表面矽化物化，而形成矽化物層。依本發明，即使閘極高度低時，亦可防止閘極與源極／汲極區域間之短路。

六、英文發明摘要

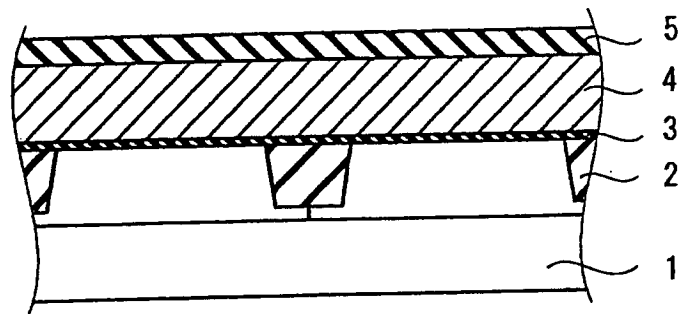
發明之名稱：

圖 1

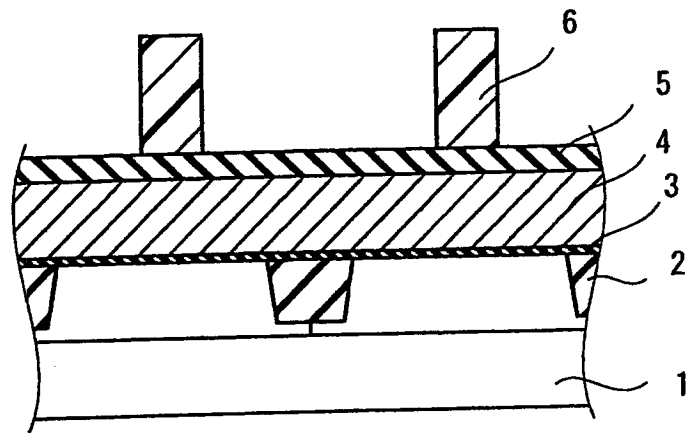
(A)



(B)



(C)



(D)

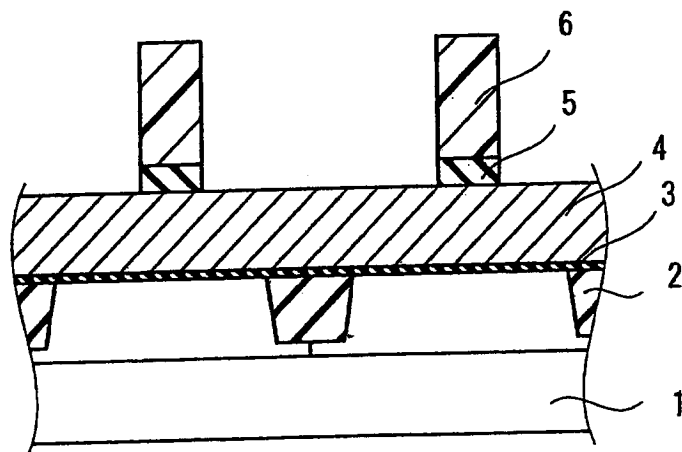
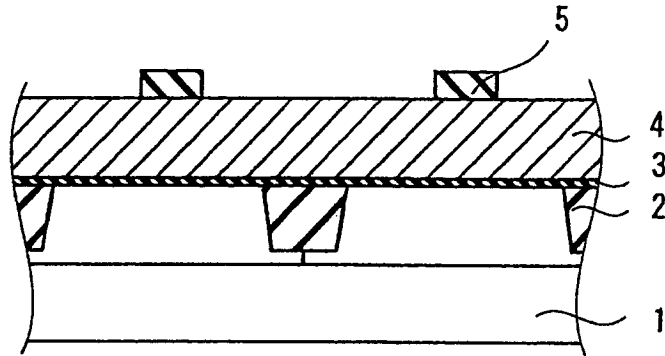
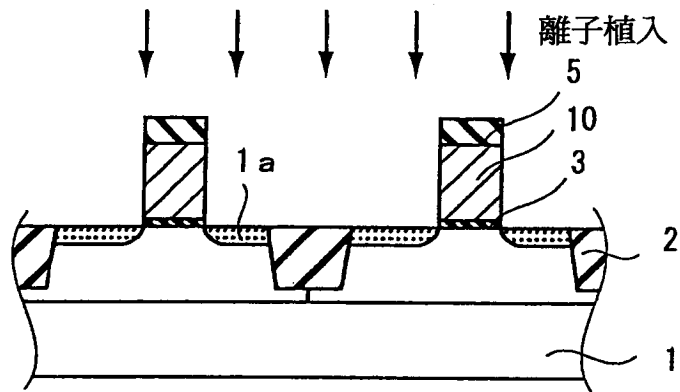


圖2

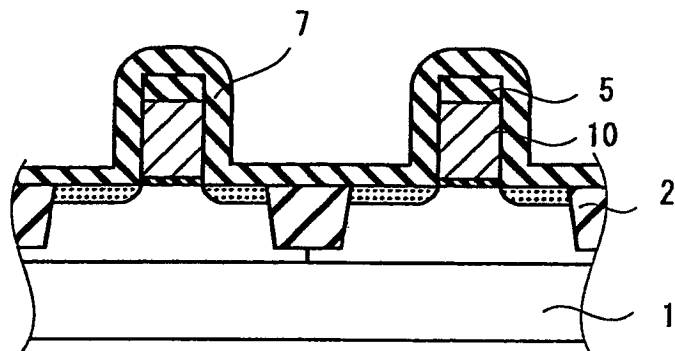
(E)



(F)



(G)



(H)

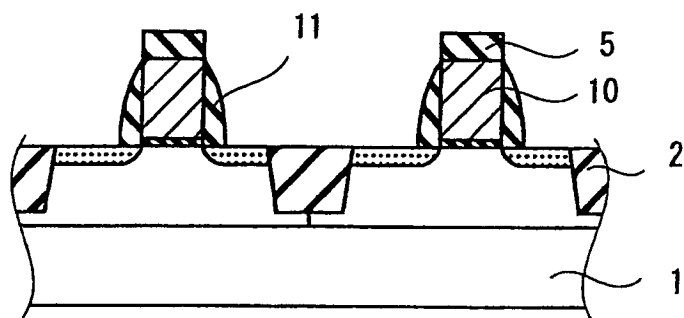
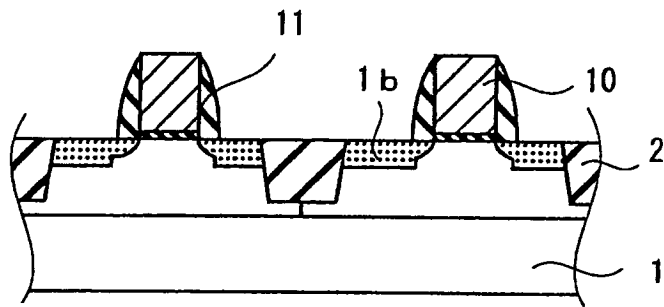
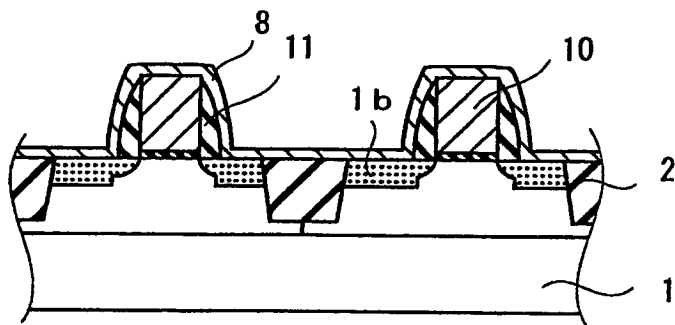


圖3

(I) ↓ ↓ ↓ ↓ ↓ 離子植入



(J)



(K)

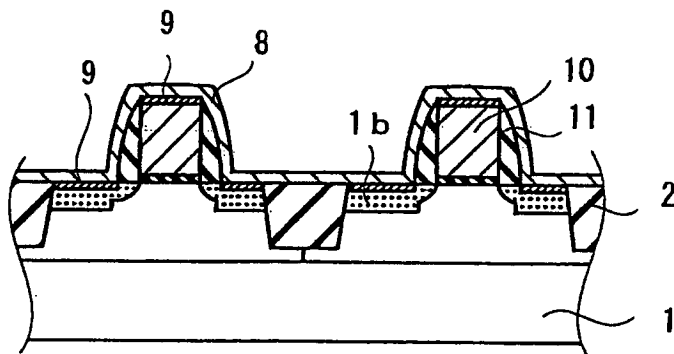


圖 4

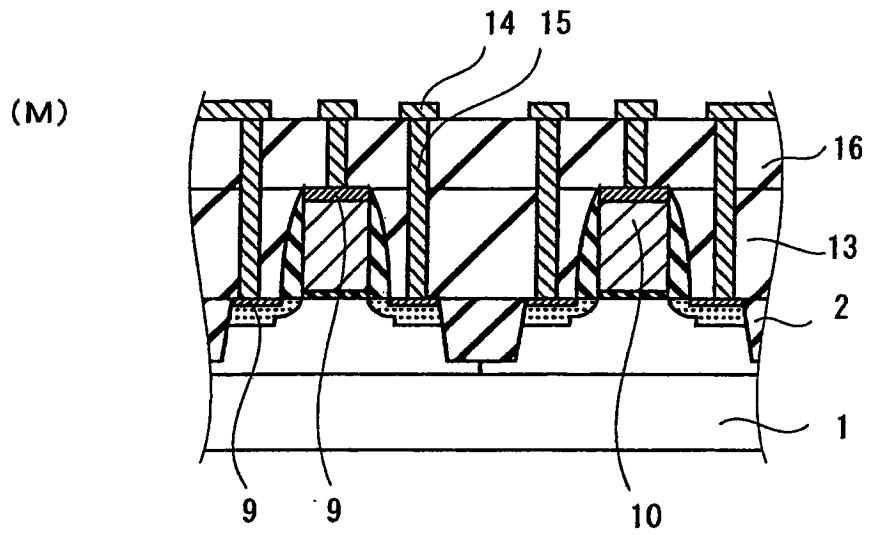
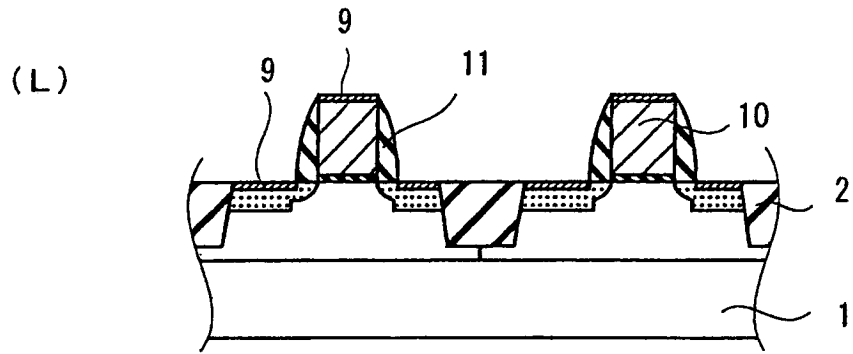
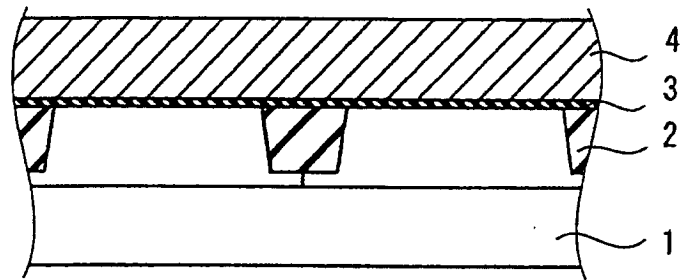
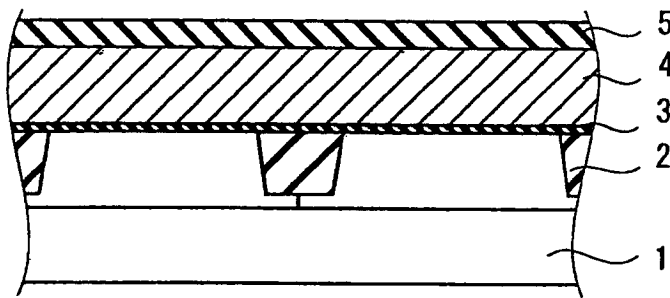


圖5

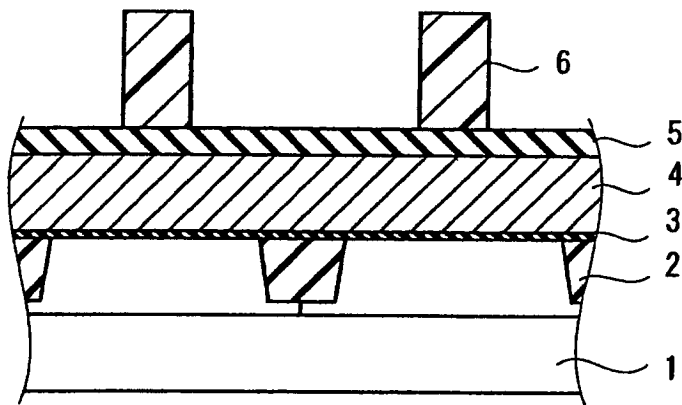
(A)



(B)



(C)



(D)

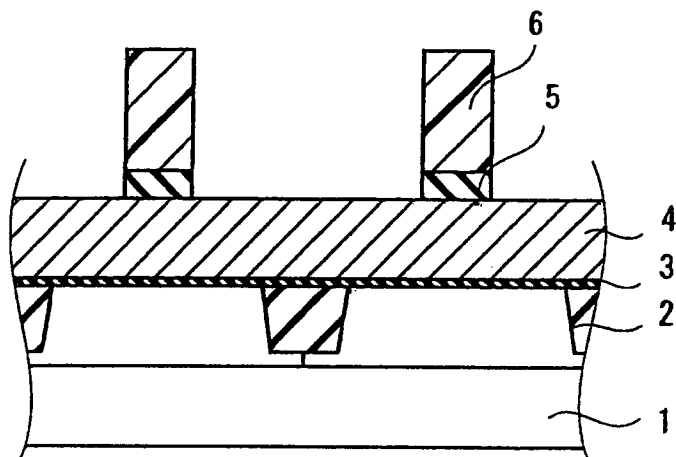
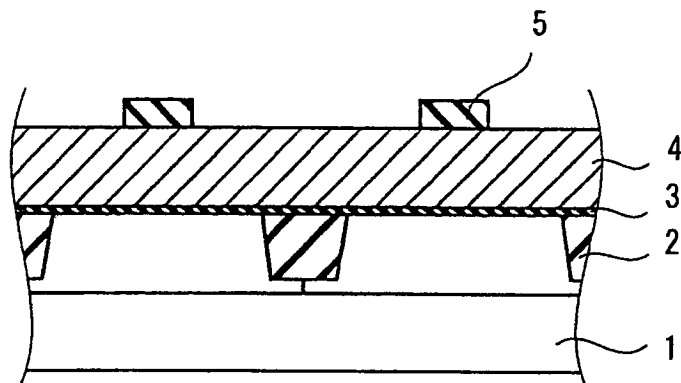
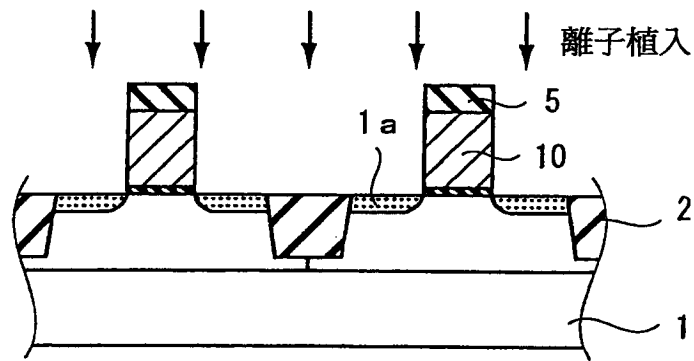


圖6

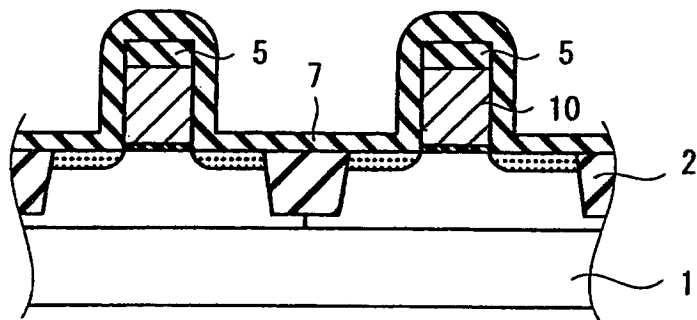
(E)



(F)



(G)



(H)

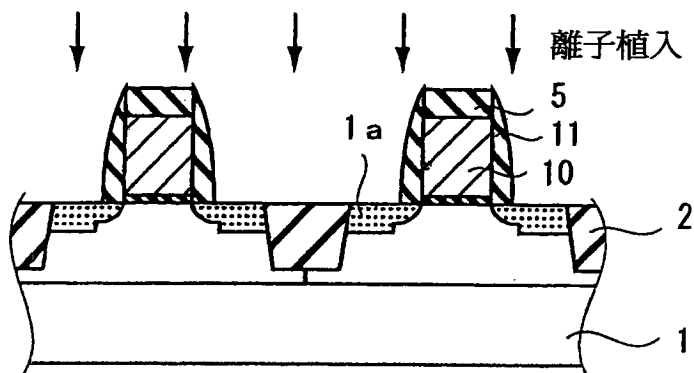
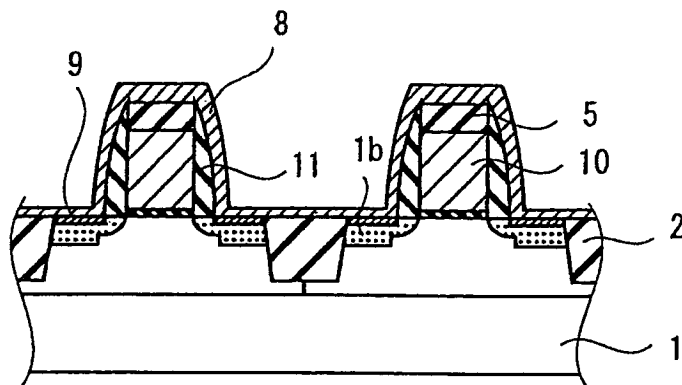
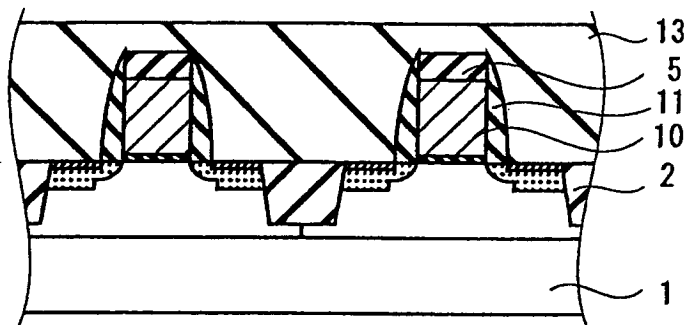


圖7

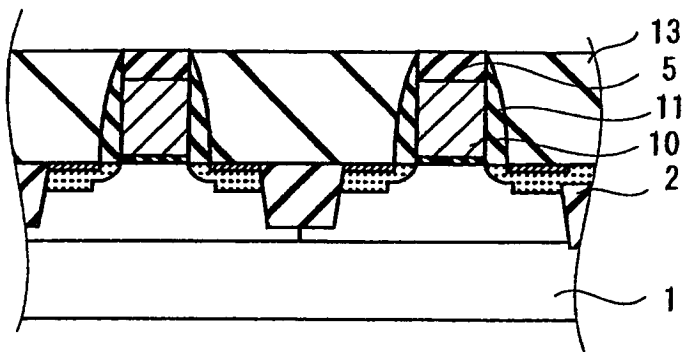
(I)



(J)



(K)



(L)

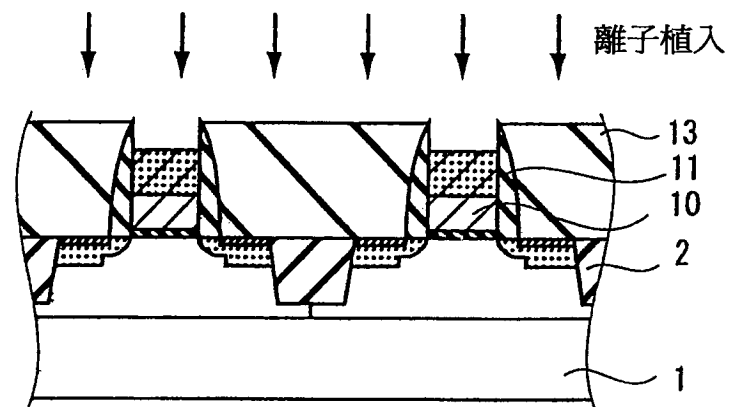


圖 8

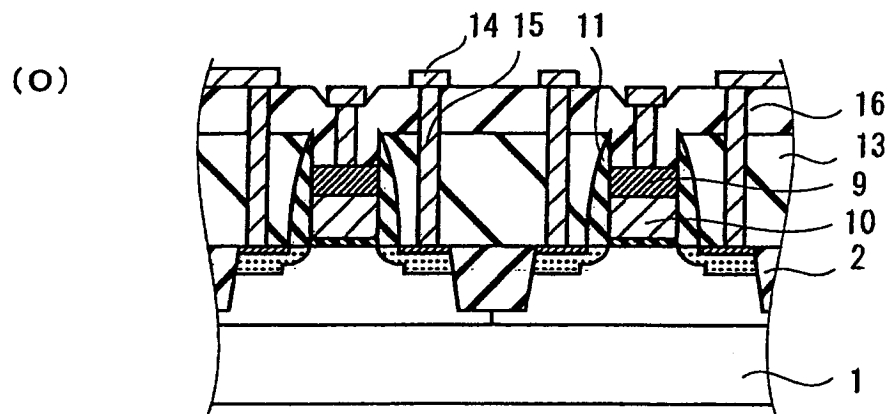
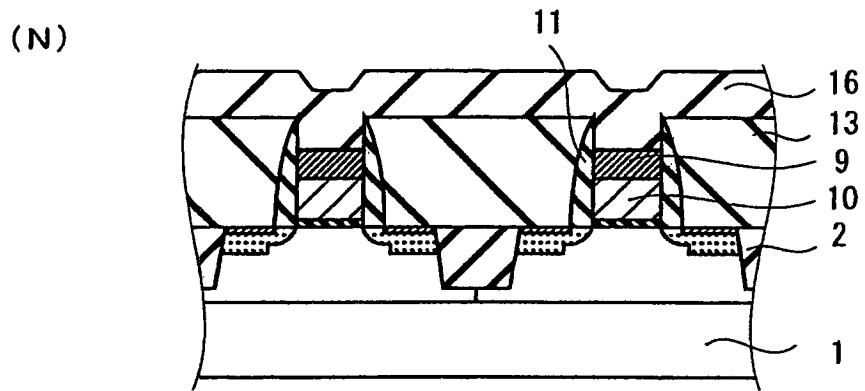
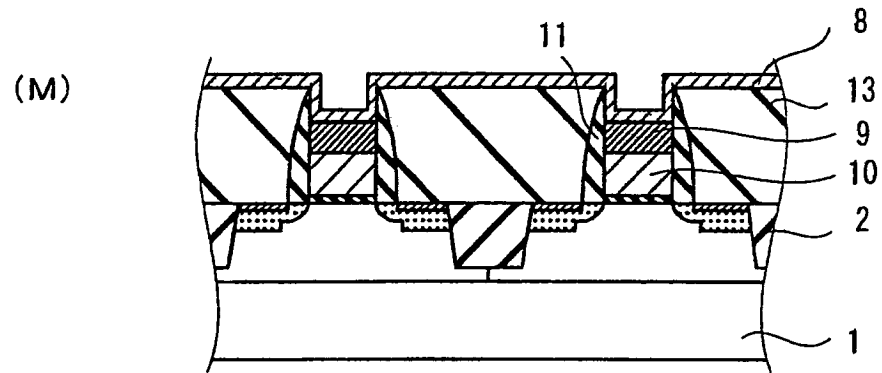


圖9

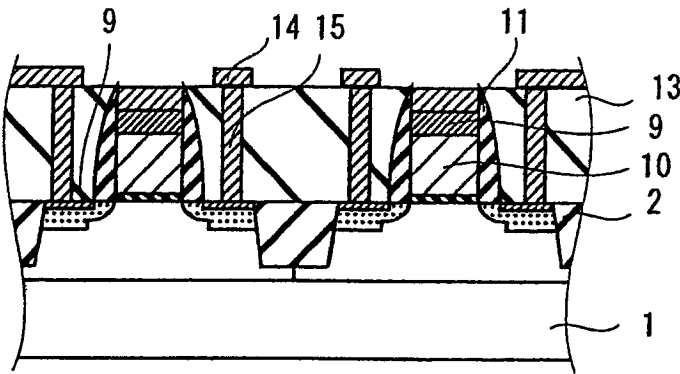


圖 10

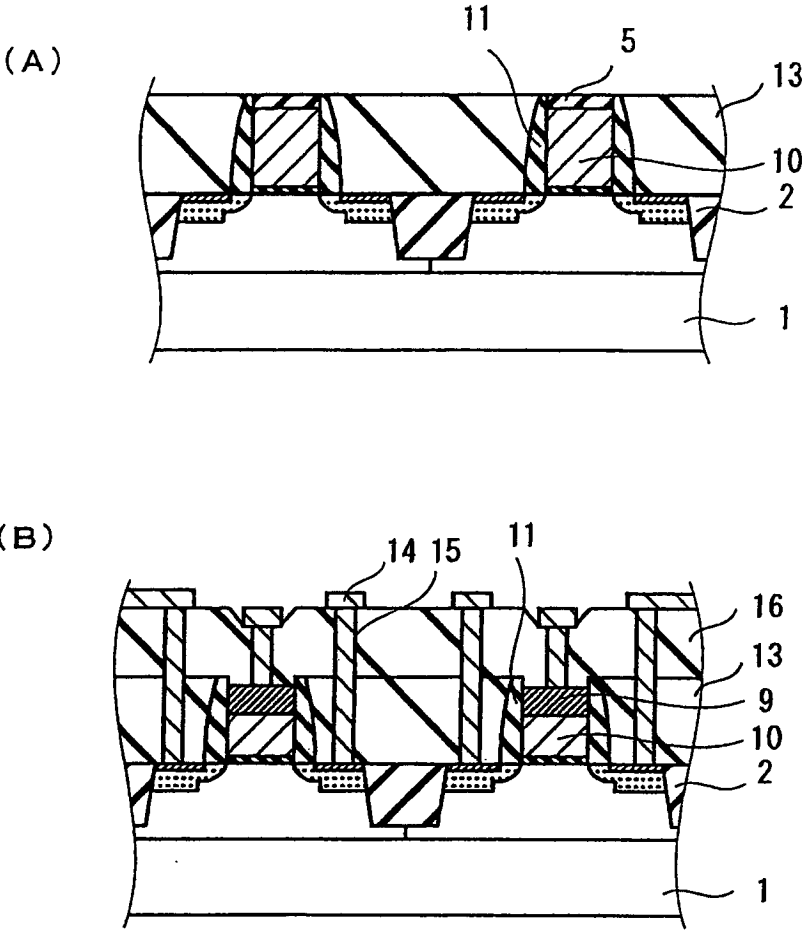


圖 11

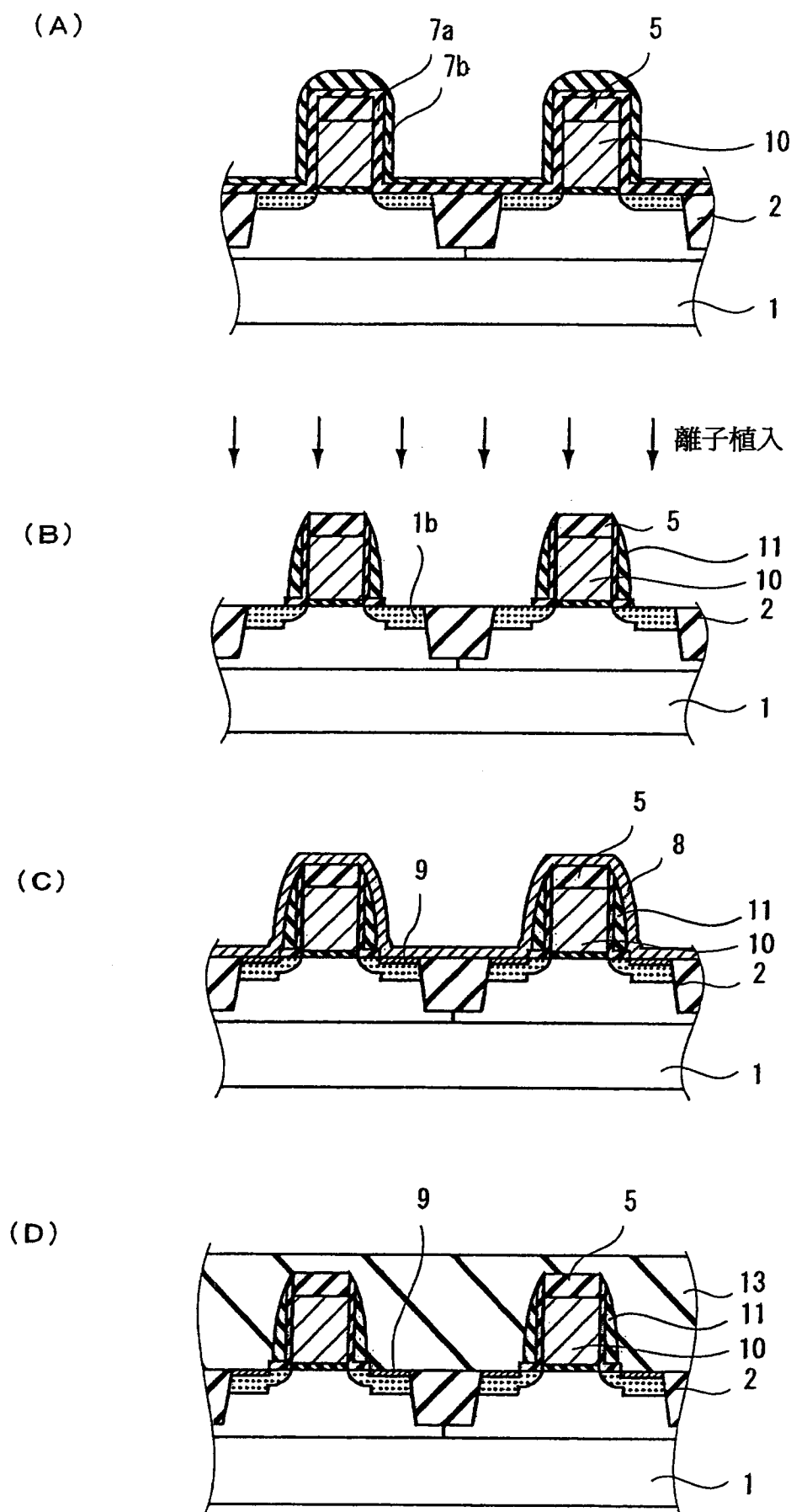
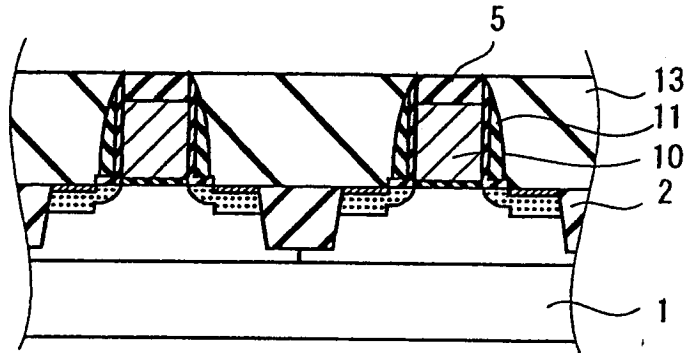
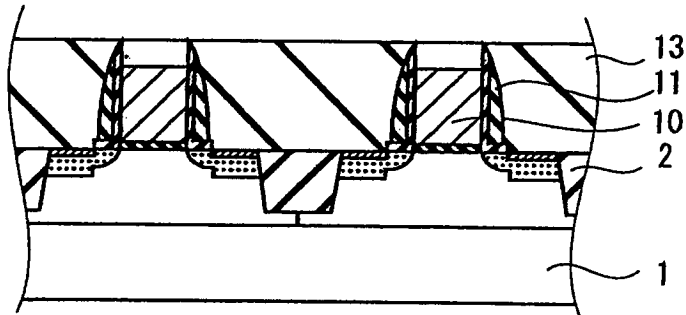


圖12

(E)



(F)



(G)

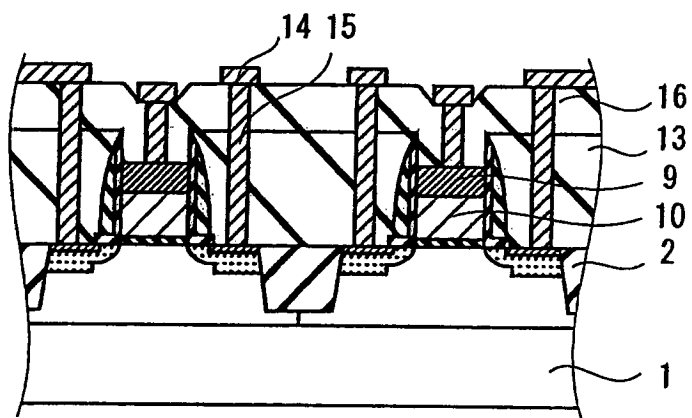
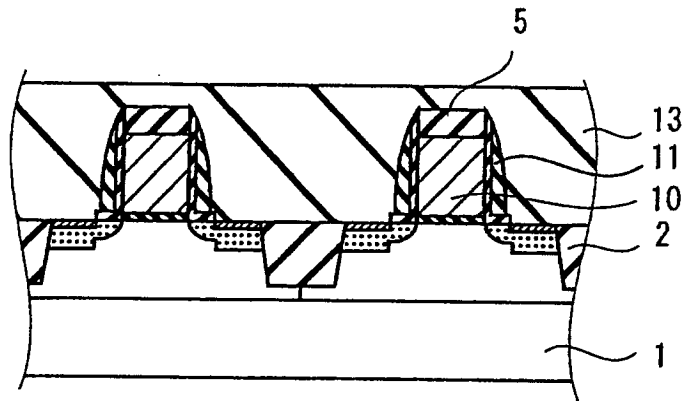
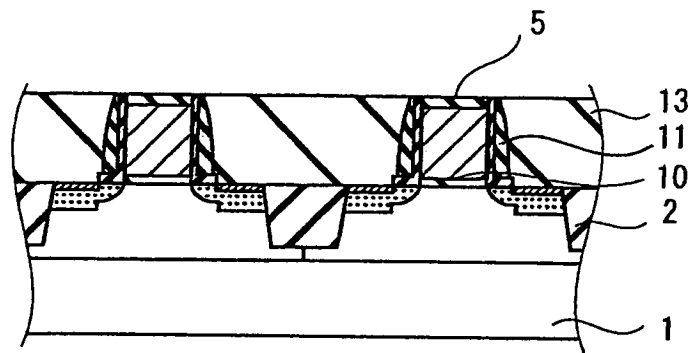


圖 13

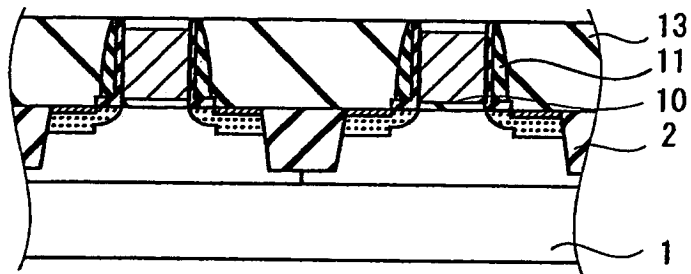
(A)



(B)



(C)



(D)

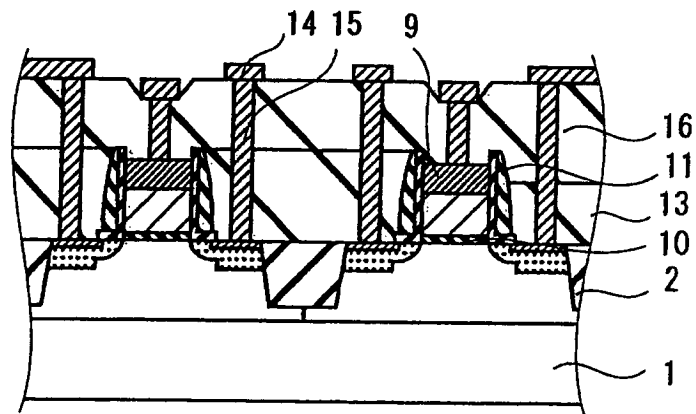
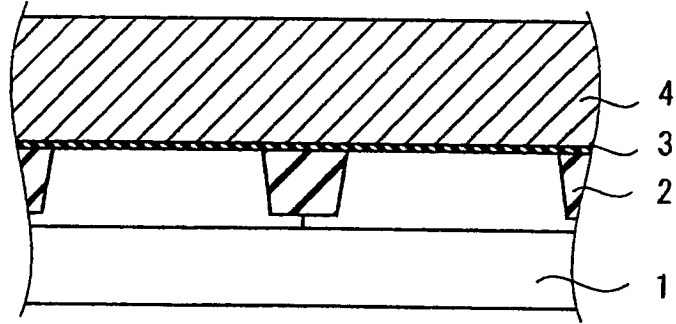
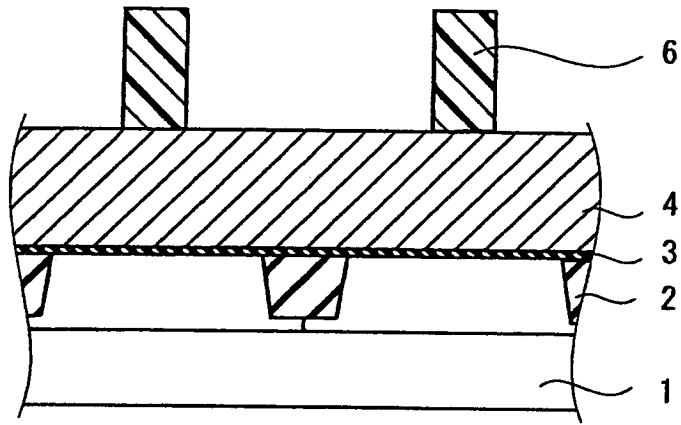


圖 14

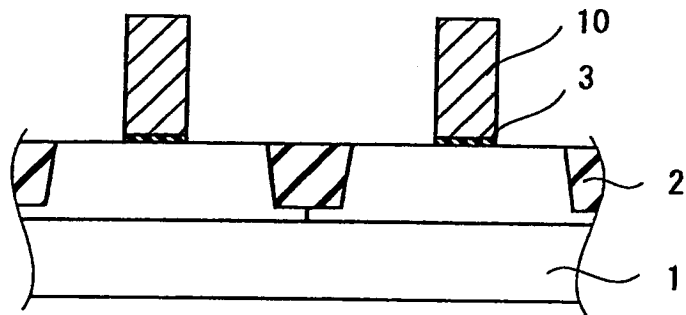
(A)



(B)



(C)



(D)

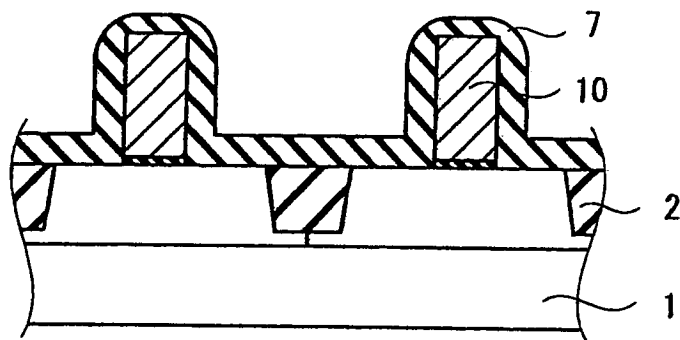
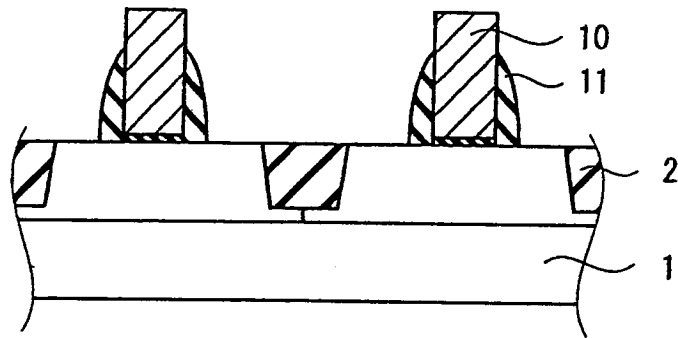
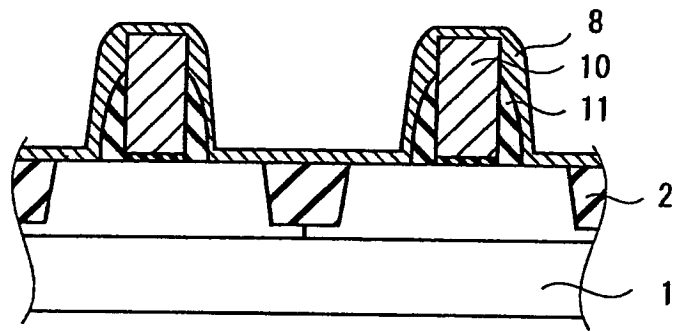


圖 15

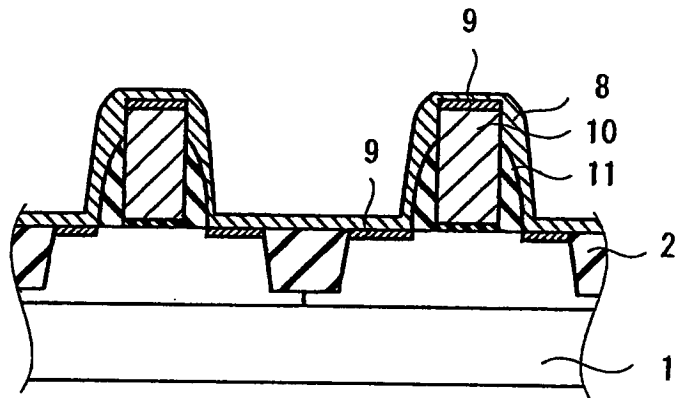
(E)



(F)



(G)



(H)

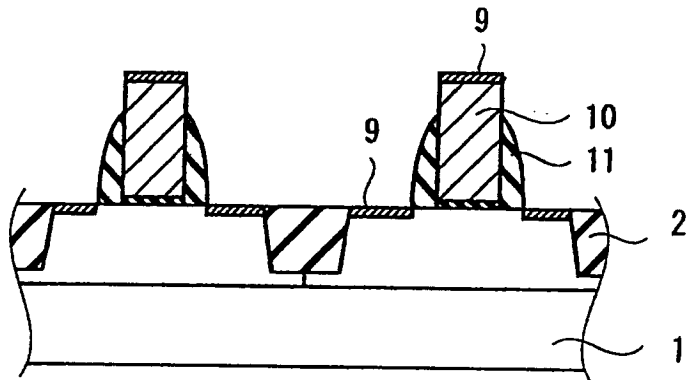
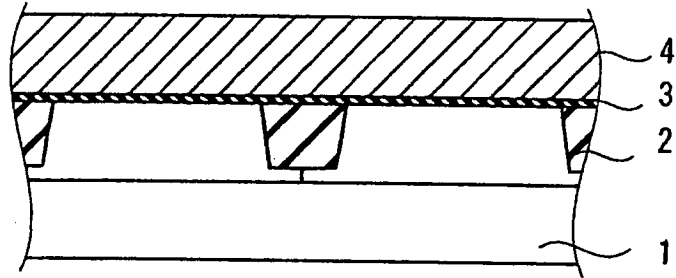
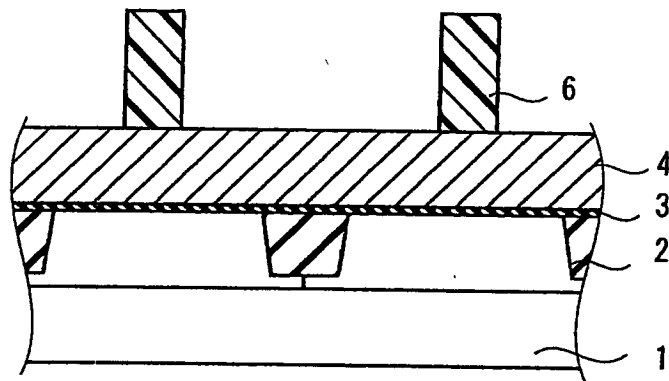


圖 16

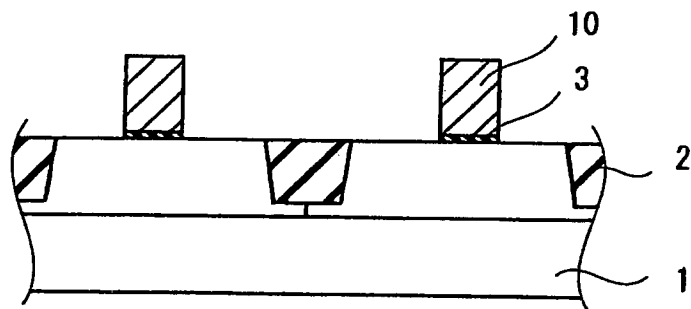
(A)



(B)



(C)



(D)

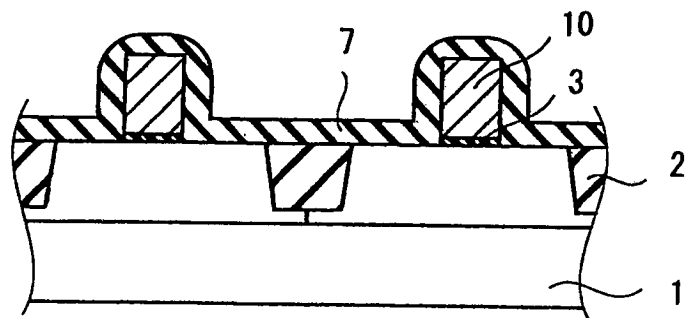
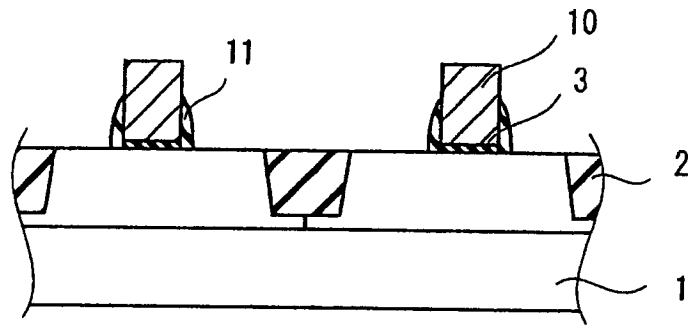
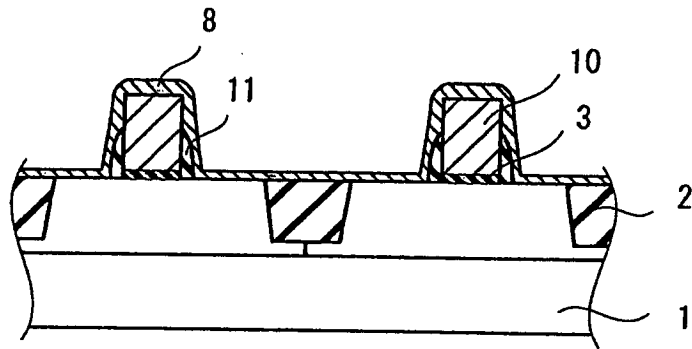


圖17

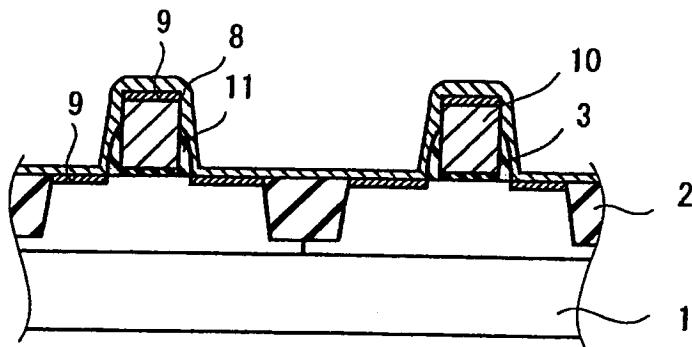
(E)



(F)



(G)



(H)

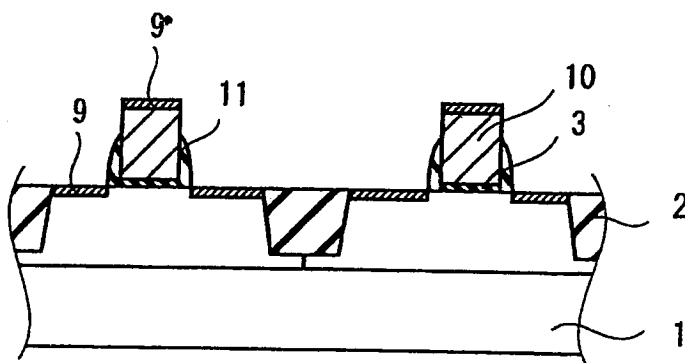
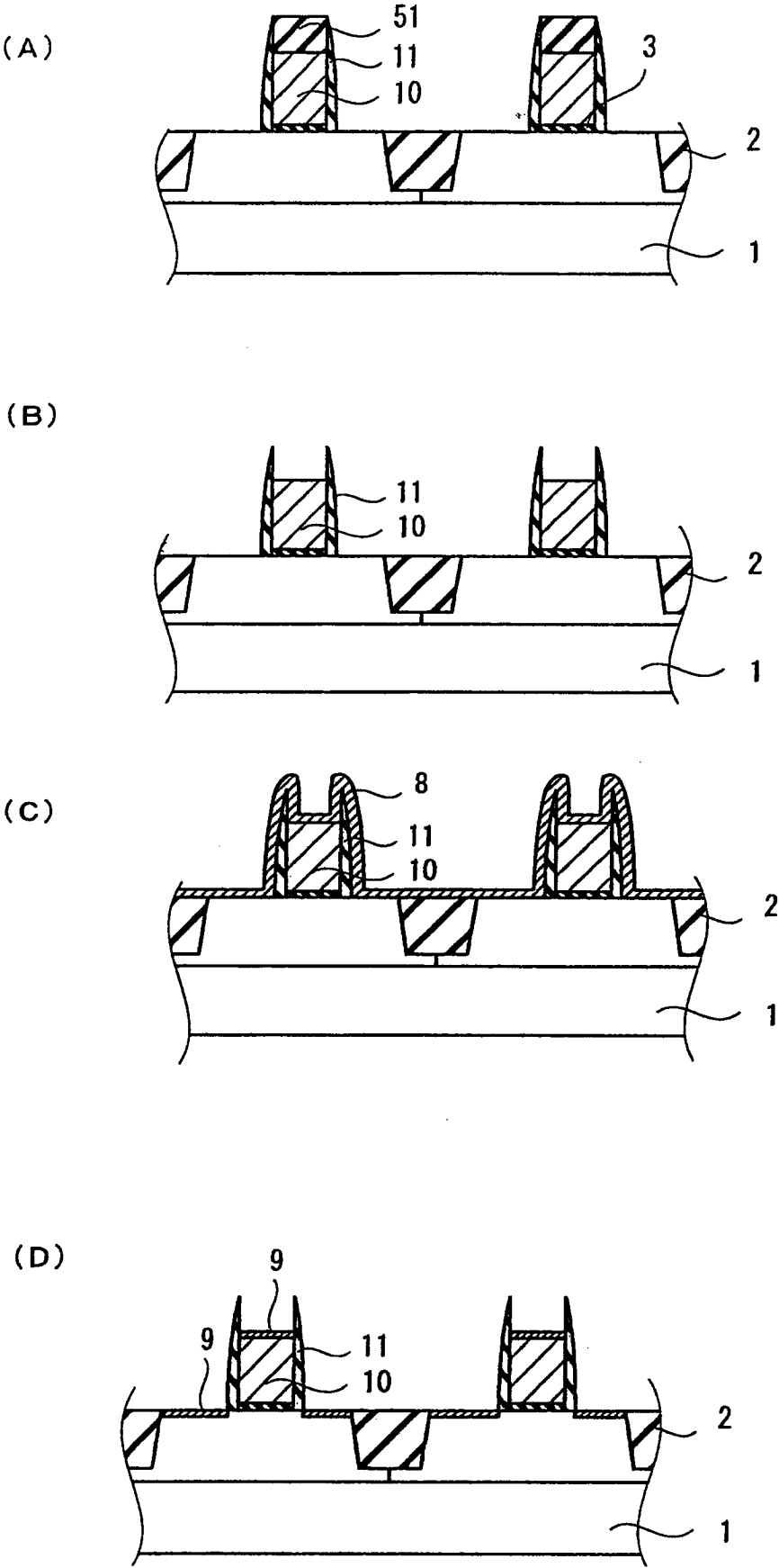


圖 18



七、指定代表圖：

(一)、本案指定代表圖為：第(2)圖。

(二)、本代表圖之元件代表符號簡單說明：

1：半導體基板

1a：LDD區域

2：元件分離區域

3：閘極絕緣膜

4：多晶矽層

5：第1絕緣層

7：第2絕緣層

10：閘極

11：側壁間隔物

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍

第 095113213 號專利申請案

中文申請專利範圍修正本

民國 97 年 11 月 19 日修正

1. 一種半導體裝置之製造方法，係具備：

於半導體基板表面形成使元件區域被由其他元件區域分離的元件分離區域之工程；

於上述半導體基板之上，介由閘極絕緣膜，形成其上面形成有第 1 絕緣層的閘極之工程；

以覆蓋上述閘極側壁與上述第 1 絕緣層之上面的方式，於上述半導體基板之上形成第 2 絕緣層之工程；

回蝕上述第 2 絕緣層，於上述閘極側壁形成側壁間隔物之同時，使上述元件區域表面露出之工程；

以上述閘極與上述側壁間隔物為遮罩，藉由在上述元件區域表面植入雜質離子，而於上述半導體基板表面、在上述閘極兩側形成一對源極／汲極區域之工程；

由上述閘極之上面除去上述第 1 絕緣層之工程；

以覆蓋上述閘極上面與上述源極／汲極區域表面的方式，於上述半導體基板表面形成高融點金屬膜，之後施予退火，使上述閘極上面與上述源極／汲極區域之表面矽化物化，而形成矽化物膜之工程；及

除去未反應的高融點金屬膜之工程。

2. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層為矽氮化膜或矽氧氮化膜。

3. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層係，下層為矽氧化膜、上層為矽氮化膜或矽氧氮化膜之積層構造。

4. 如申請專利範圍第 1 至 3 項中任一項之半導體裝置之製造方法，其中，

上述第 1 絕緣層之膜厚為 70～200nm。

5. 如申請專利範圍第 3 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層之，下層之矽氧化膜之膜厚為 5～50nm，上層之矽氮化膜或矽氧氮化膜之膜厚為 70～190nm。

6. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層為矽氧化膜。

7. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層之膜厚為 70～190nm。

8. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層係，下層為矽氧化膜、上層為矽氮化膜或矽氧氮化膜。

9. 如申請專利範圍第 8 項之半導體裝置之製造方法

，其中，

於上述第 2 絕緣層，下層之矽氧化膜之膜厚為 5～25nm，上層之矽氮化膜或矽氧氮化膜之膜厚為 70～190nm。

10. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

假設連接上述閘極絕緣膜之附近的上述側壁間隔物之寬度為 W 、側壁間隔物之高度為 h 、上述閘極之高度為 T 時，具有：

$h = 5W$ ， $T \geq h$ ， $W \geq 20nm$ 之關係。

11. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

上述矽化物膜為 Ti（鈦）、Co（鈷）、或 Ni（鎳）之矽化物膜。

12. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，

另具備：於上述半導體基板之上以單層或 2 層形成層間絕緣膜之工程。

13. 一種半導體裝置之製造方法，係包含：

於半導體基板表面形成使元件區域被由其他元件區域分離的元件分離區域之工程；

於上述半導體基板之上，介由閘極絕緣膜，形成其上面形成有第 1 絕緣層的閘極之工程；

以覆蓋上述閘極側壁與上述第 1 絕緣層上面的方式，

於上述半導體基板之上形成第 2 絕緣層之工程；

回蝕上述第 2 絕緣層，於上述閘極側壁形成側壁間隔物之同時，使上述元件區域表面露出之工程；

以上述閘極與上述側壁間隔物為遮罩，藉由在上述元件區域植入雜質離子，而於上述半導體基板表面、在上述閘極兩側形成一對源極／汲極區域之工程；

以覆蓋上述一對源極／汲極區域表面的方式形成第 1 高融點金屬膜，施予熱處理而於該源極／汲極區域表面形成第 1 矽化物層，之後除去未反應的第 1 高融點金屬膜之工程；

以覆蓋設有上述第 1 絕緣層的上述閘極之方式，於上述半導體基板之上形成層間絕緣膜之工程；

研磨上述層間絕緣膜表面使平坦化之同時，使上述第 1 絕緣層表面露出之工程；

除去露出之上述第 1 絕緣膜，使上述閘極之上面露出之工程；

以覆蓋露出之上述閘極上面之方式，於上述層間絕緣膜之上形成第 2 高融點金屬膜，施予熱處理而於上述閘極上面形成第 2 矽化物層之工程；及

於上述層間絕緣膜中形成接觸孔，形成金屬配線之工程。

14. 如申請專利範圍第 13 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層為包含矽氮化膜或矽氧氮化膜。

15. 如申請專利範圍第 13 或 14 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層係，下層為矽氧化膜、上層為矽氮化膜或矽氧氮化膜之積層構造。

16. 如申請專利範圍第 14 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層中之上述矽氮化膜或矽氧氮化膜之膜厚為 100～250nm。

17. 如申請專利範圍第 15 項之半導體裝置之製造方法，其中，

上述第 1 絕緣層之下層之矽氧化之膜厚為 5～50nm，上層之矽氮化膜或矽氧氮化膜之膜厚為 70～190nm。

18. 如申請專利範圍第 13 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層為矽氧化膜。

19. 如申請專利範圍第 18 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層之矽氧化膜之膜厚為 70～190nm。

20. 如申請專利範圍第 13 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層係，下層為矽氧化膜、上層為矽氮化膜或矽氧氮化膜之 2 層構造。

21. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中，

上述第 2 絕緣層之，下層之矽氧化膜之膜厚為 5～25nm，上層之矽氮化膜或矽氧氮化膜之膜厚為 70～190nm。

22. 如申請專利範圍第 13 項之半導體裝置之製造方法，其中，

上述層間絕緣膜之表面研磨量設定為，上述第 1 絕緣膜之膜厚之 5～80% 被研磨之量。

23. 一種半導體裝置，係具備：

半導體基板；

於上述半導體基板之上介由閘極絕緣膜而形成的閘極；

於上述半導體基板表面、在上述閘極兩側形成的一對源極／汲極區域；

於上述閘極側壁形成的側壁間隔物；及

於上述閘極上面與上述源極／汲極區域表面形成的矽化物層；其特徵為：

假設連接上述閘極絕緣膜之附近的上述側壁間隔物之寬度為 W 、側壁間隔物之高度為 h 、上述閘極之高度為 T 時，具有：

$h = 5W$ ， $T \geq h$ ， $W \geq 20\text{nm}$ 之關係。

24. 一種半導體裝置，係具備：

半導體基板；

於上述半導體基板之上介由閘極絕緣膜而形成的閘極；

於上述半導體基板表面、在上述閘極兩側形成的一對源極／汲極區域；

於上述閘極側壁形成的側壁間隔物；及

於上述閘極上面與上述源極／汲極區域表面形成的矽化物層；其特徵為：

上述閘極表面形成的矽化物層之膜厚，係較上述源極／汲極區域表面形成的矽化物層之膜厚為厚，

上述側壁間隔物，係包含：以接觸於上述閘極側壁之矽氧化膜形成的下層，與介由該下層而以設於上述閘極側壁之矽氮化膜或矽氧氮化膜形成的上層之 2 層構造。

25. 如申請專利範圍第 23 項之半導體裝置，其中，

上述側壁間隔物，係包含：以接觸於上述閘極側壁之矽氧化膜形成的下層，與介由該下層而以設於上述閘極側壁之矽氮化膜或矽氧氮化膜形成的上層之 2 層構造。