

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-207460

(P2014-207460A)

(43) 公開日 平成26年10月30日(2014.10.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/868 (2006.01)	HO 1 L 29/91 D	5 F 0 4 8
HO 1 L 29/861 (2006.01)	HO 1 L 29/91 F	5 F 1 0 2
HO 1 L 21/329 (2006.01)	HO 1 L 29/91 B	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 3 O 1 D	
HO 1 L 27/095 (2006.01)	HO 1 L 29/06 3 O 1 V	

審査請求 有 請求項の数 5 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2014-109670 (P2014-109670)  
 (22) 出願日 平成26年5月28日 (2014.5.28)  
 (62) 分割の表示 特願2010-89132 (P2010-89132) の分割  
 原出願日 平成22年4月8日 (2010.4.8)

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (74) 代理人 100098660  
 弁理士 戸田 裕二  
 (72) 発明者 小野瀬 秀勝  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 Fターム(参考) 5F048 AA05 AC06 AC09 AC10 BA06  
 BA14 BB19 BC03 BC12 BD04  
 BF07 BF16 CB06  
 5F102 GA14 GB04 GC08 GD01 GD10  
 GJ02 GK02 GL02 GN02 GR04  
 GV07

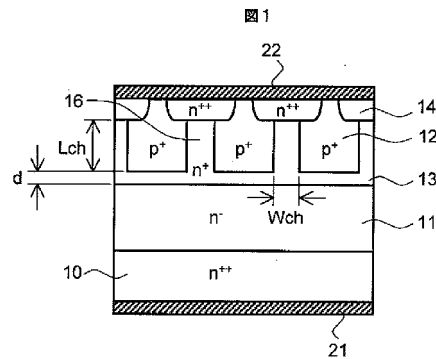
(54) 【発明の名称】 半導体装置および電力変換装置

(57) 【要約】 (修正有)

【課題】 立ち上がり電圧低減と高耐圧実現の両立を可能とする構造を提供する。

【解決手段】 SiC縦型ダイオードにおいて、カソード電極21と、n<sup>++</sup>カソード層10と、n<sup>++</sup>カソード層上のn<sup>-</sup>ドリフト層11と、一対のp<sup>+</sup>領域12と、n<sup>-</sup>ドリフト層11とp<sup>+</sup>領域12の間に形成され、且つ一対のp<sup>+</sup>領域12に挟まれたn<sup>+</sup>チャネル領域16と、n<sup>++</sup>アノード領域14と、n<sup>++</sup>アノード領域14とp<sup>+</sup>領域12に形成されたアノード電極22を備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第一導電型の炭化珪素基板と、  
 前記炭化珪素基板の裏面側に形成されている裏面電極と、  
 前記炭化珪素基板の表面側に形成されているソース電極と、  
 前記ソース電極に電氣的に接続されている前記第一導電型と逆の第二導電型のボディ層内に縦方向に形成され、前記ソース電極に電氣的に接続されている前記第一導電型のチャンネル領域と、を有することを特徴とする半導体装置。

## 【請求項 2】

請求項 1 記載の半導体装置において、  
 前記ボディ層にはトレンチが形成され、前記トレンチ内にゲート電極が形成されていることを特徴とする炭化珪素半導体装置。

10

## 【請求項 3】

請求項 1 記載の半導体装置において、  
 前記第一導電型は n 型で、前記第二導電型は p 型であることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 記載のチャンネル領域に電流を還流させることを特徴とする電力変換装置。

## 【請求項 5】

請求項 4 記載の電力変換装置において、直流電力を交流電力に変換することを特徴とする電力変換装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、炭化珪素 (SiC) を用いたダイオード、およびダイオードとトランジスタの複合素子の構造に関する。

## 【背景技術】

## 【0002】

SiC は絶縁破壊電界が高いことから、高耐圧を実現するのに要するデバイスの厚さを Si に比べて約 1 / 10 にすることが可能である。そのため、Si では通電時の電圧降下が大きくなって実用には適さなかった耐圧 300 V 以上のショットキーダイオードが実現されている。

30

## 【0003】

Si 高耐圧ダイオードには一般に pn ダイオードが用いられている。pn ダイオードは、電子と正孔の両方を電気伝導のキャリアとして用いるバイポーラデバイスであり、導通状態からオフ状態である電圧ブロッキング状態に移行する時に、低不純物濃度層 (一般に n 層) に蓄積した過剰少数キャリア (正孔) が排出されることによるリカバリ電流が生ずる。これがダイオードのスイッチング損失となる。インバータ装置では、スイッチングデバイスとダイオードが使われており、ダイオードのリカバリ電流はスイッチングデバイスが発生する損失の原因ともなっている。これに対し、ショットキーダイオードは電子 (あるいは正孔) のみをキャリアとして用いるユニポーラデバイスであるため、pn ダイオードにおけるようなリカバリ電流が発生せず、ダイオードとスイッチングデバイスのスイッチング損失を大幅に低減できるという特長を有する。これが高耐圧領域までショットキーダイオードを適用する大きな目的である。

40

## 【0004】

一方、ショットキーダイオードは金属と半導体のショットキー接合により整流作用を生ずるデバイスであり、金属 - 半導体接合のビルトインポテンシャルの影響を受ける。例えば、Ti を電極に用いた SiC ショットキーダイオードの場合、順方向に電流が流れるには 0.9 V 以上の順方向電圧 FVD (forward voltage drop。以下、FVD とする) が必要であり、1.0 V 以下の FVD で動作させることは事実上不可能である。これに対し、Si の pn ダイオードは 0.6 V 程度であり、電流密度は高くないが 1

50

．0 V以下の動作も可能であり、導通損失で比較するとSi - pnダイオードの方が低損失である。

【0005】

このような金属 - 半導体接合のビルトインポテンシャルの影響を回避するための構造として、スイッチング速度の向上を目的に考案された、図6に示す特許文献1（特開昭60 - 74582号公報）にピンチ整流器がある。特許文献1においては、カソード電極521、n<sup>+</sup>カソード層510、n<sup>-</sup>ドリフト層511、n<sup>+</sup>コンタクト領域516、n<sup>+</sup>コンタクト領域516より深くかつn<sup>+</sup>コンタクト領域516を囲むように配置されたp<sup>+</sup>領域512、およびn<sup>+</sup>コンタクト領域516とp<sup>+</sup>領域512にオーミック接触するアノード電極522で構成される。コンタクトn<sup>+</sup>領域516とアノード電極522はオーミック接触しているため、従来のショットキーダイオードにおけるようなビルトインポテンシャルの影響を排除し、より低いFVDでの動作が可能になる。カソード電極521側がアノード電極22より高電圧となる逆バイアス状態では、電界効果によりp<sup>+</sup>領域512から広がる空乏層でピンチオフさせ耐圧を確保するものであり、電界効果ダイオードと呼べる構造である。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭60 - 74582号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0007】

発明者の検討によると、図6において、n<sup>+</sup>コンタクト領域516に対する電極とp<sup>+</sup>領域512に対する電極を絶縁分離させて独立に形成すると、n<sup>+</sup>コンタクト領域516をソース領域、p<sup>+</sup>領域512をゲート領域、n<sup>+</sup>カソード層510をドレイン層とする接合FETと同一の構成となる。図6の構成によりダイオード特性を実現するには、電極構成のみが異なる接合FETが、ゲートとソースが短絡された状態でブロッキング状態となるノーマリオフ形を示すことと同一である。高耐圧かつノーマリオフ型の接合FETを実現するには、チャンネル幅（n<sup>+</sup>コンタクト領域516より下側に存在するp<sup>+</sup>領域512の間隔）を狭くする必要がある。この場合チャンネルが開きにくくなるため、トランジスタ動作の観点からは、ゲートの閾値電圧が高くなる。これはダイオード動作で考えると、電流が立ち上がるFVDである立ち上がり電圧が高くなることに等しい。すなわち高耐圧であることと立ち上がり電圧が低いことの両立が難しいことを示している。このような課題に対し、特許文献1ではスイッチング速度の向上が目的であるため、立ち上がり電圧低減と高耐圧実現の両立に対する考慮がなされていない。

30

【0008】

本発明の目的は、立ち上がり電圧低減と高耐圧実現の両立を可能とする電界効果ダイオードの新規な構造を提案することである。

【課題を解決するための手段】

【0009】

本発明の代表的なものを以下列記する。

40

【0010】

本発明は、炭化珪素を基板として用いた半導体装置において、カソード電極と、カソード電極上の基板に形成された、第一導電型の第一不純物濃度を有するカソード層と、カソード層上に形成された、第一不純物濃度より低い第二不純物濃度を有する第一導電型のドリフト層と、ドリフト層上方に形成された、第一導電型と逆の第二導電型の一对の第一半導体領域と、ドリフト層と第一半導体領域との間に形成され、かつ、一对の第一半導体領域に挟まれた、第一不純物濃度より低く第二不純物濃度より高い第三不純物濃度を有する第一導電型のチャンネル領域と、チャンネル領域上に形成された第三不純物濃度より高い第四不純物濃度を有する第一導電型のアノード領域と、第一およびアノード領域上に形成され

50

たアノード電極と、を備える半導体装置である。

【0011】

また、別の本発明は、炭化珪素を基板として用いた半導体装置において、ダイオードが形成される基板の第一領域と、接合FETが形成される基板の第二領域と、第一および第二領域に形成された第一電極と、第一電極上に形成された、第一不純物濃度を有する第一導電型の第一半導体領域と、第一半導体領域上に形成された、第一不純物濃度より低い第二不純物濃度を有する第一導電型の第二半導体領域と、第一領域の第二半導体領域上方に形成された、第一導電型と逆の第二導電型の一对の第三半導体領域と、第二領域の第二半導体領域上方に形成された、第二導電型の一对の第四半導体領域と、第二と第三半導体領域との間および第二と第四半導体領域との間に形成され、かつ、一对の第三半導体領域および一对の第四半導体領域に挟まれた、第一不純物濃度より低く第二不純物濃度より高い第三不純物濃度を有する第一導電型の第五半導体領域と、第一領域の第五半導体領域上に形成された、第三不純物濃度より高い第四不純物濃度を有する第一導電型の第六半導体領域と、第二領域の第五半導体領域上に形成された、第三不純物濃度より高い第五不純物濃度を有する第一導電型の第七半導体領域と、第三および第六半導体領域上に形成された第二電極と、第七半導体領域上に形成された第三電極と、第四半導体領域上に形成された第四電極と、を備える半導体装置である。

10

【0012】

さらに、別の本発明は、炭化珪素を基板として用いた半導体装置において、ダイオードが形成される基板の第一領域と、MOSFETが形成される基板の第二領域と、第一および第二領域に形成された第一電極と、第一電極上に形成された、第一不純物濃度を有する第一導電型の第一半導体領域と、第一半導体領域上に形成された、第一不純物濃度より低い第二不純物濃度を有する第一導電型の第二半導体領域と、第一領域の第二半導体領域上方に形成された、第一導電型と逆の第二導電型の一对の第三半導体領域と、第二領域の第二半導体領域上方に形成された、第二導電型の第四半導体領域と、第二と第三の半導体領域との間および第二と第四半導体領域との間に形成され、かつ、一对の第三半導体領域に挟まれた、第一不純物濃度より低く第二不純物濃度より高い第三不純物濃度を有する第一導電型の第五半導体領域と、第一領域の第五半導体領域上に形成された、第三不純物濃度より高い第四不純物濃度を有する第一導電型の第六半導体領域と、第二領域の第五半導体領域上に形成された、第三不純物濃度より高い第五不純物濃度を有する第一導電型の第七半導体領域と、第三および第六半導体領域上に形成された第二電極と、第七半導体領域上に形成された第三電極と、第四半導体領域に対し絶縁膜を介して配置されたMOSFETのゲート電極と、を備える半導体装置である。

20

30

【発明の効果】

【0013】

本発明は、電界効果ダイオードにおいて、立ち上がり電圧低減と高耐圧実現の両立を可能とするものである。

【図面の簡単な説明】

【0014】

【図1】本発明に係る第一の実施例を示すダイオードの概略断面図

40

【図2(a)】図1に示すダイオードの製造工程を示す説明図

【図2(b)】図1に示すダイオードの製造工程を示す説明図

【図2(c)】図1に示すダイオードの製造工程を示す説明図

【図2(d)】図1に示すダイオードの製造工程を示す説明図

【図3】本発明に係るダイオード、および従来のダイオードの電流 - 電圧特性を示す図

【図4(a)】プロッキング電圧と立ち上がり電圧の関係を示す図

【図4(b)】プロッキング電圧と立ち上がり電圧の関係を示す図

【図5】プロッキング電圧と立ち上がり電圧の関係を示す図

【図6】従来の電界効果ダイオードの概略断面図

【図7】本発明に係る第二の実施例を示すダイオードの概略断面図

50

【図 8 ( a )】図 7 に示すダイオードの製造工程を示す説明図  
 【図 8 ( b )】図 7 に示すダイオードの製造工程を示す説明図  
 【図 8 ( c )】図 7 に示すダイオードの製造工程を示す説明図  
 【図 8 ( d )】図 7 に示すダイオードの製造工程を示す説明図  
 【図 8 ( e )】図 7 に示すダイオードの製造工程を示す説明図  
 【図 9】本発明に係る第三の実施例であり、本発明に係るダイオードと接合 F E T を組み合わせた回路図

【図 1 0】図 1 0 に示す組み合わせを同一の半導体素子上で実現した概略断面図  
 【図 1 1】本発明に係る第四の実施例であり、本発明に係るダイオードと M O S F E T を組み合わせた回路図

【図 1 2】図 1 1 に示す組み合わせを同一の半導体素子上で実現した概略断面図

【図 1 3 ( a )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 3 ( b )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 3 ( c )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 3 ( d )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 3 ( e )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 3 ( f )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 3 ( g )】図 1 2 に示す半導体素子の製造工程を示す説明図

【図 1 4】本発明に係る第五の実施例であり、本発明に係るダイオードとバイポーラトランジスタを組み合わせ、同一の半導体素子上で実現した概略断面図

【発明を実施するための形態】

【 0 0 1 5 】

以下、本願発明に係る実施例により、詳細に説明する。なお、以下の実施例においては、 $n$ 型基板で説明するが、 $p$ 型基板を用いる場合には、導電型を逆にし読み替えればよい。

【実施例 1】

【 0 0 1 6 】

図 1 は本発明に係る第一の実施例を説明するためのダイオードの概略断面図である。図において、21 はカソード電極、10 は  $4H-SiC$  基板である  $n^{++}$  カソード層、11 は  $n^{-}$  ドリフト層、12 は  $p^{+}$  領域、13 は  $n^{+}$  層、14 は  $n^{++}$  アノード領域、16 は  $n^{+}$  チャネル領域、22 はアノード電極である。カソード層は、カソード電極 21 とのコンタクトを取るため、ドリフト層 11 より高不純物濃度となっている。また、同様に、アノード領域 14 は、アノード電極 22 とのコンタクトを取るため、チャネル領域 16 より高不純物濃度となっている。また、 $Wch$  はチャネル幅を示し、チャネル長  $Lch$  全体にわたり幅が略同一である。さらに、 $p^{+}$  領域 12 の下端部は  $n^{+}$  層 13 に接する構造とし、 $n^{-}$  層 11 とは距離  $d$  で隔てられる構造とした。

【 0 0 1 7 】

次に、このダイオードの動作について説明する。アノード電極 22 に順電圧が印加されると  $p^{+}$  領域 12 からチャネル領域 16 に拡がっていた空乏層が後退し始め、所定の電圧で左右の空乏層の重なりがなくなり、電流経路が形成される。このときの電圧が立ち上がり電圧である。チャネル領域 16 の濃度が高いほど  $p^{+}$  領域 12 からの空乏層の拡がり少なくなり、立ち上がり電圧は低下する。

【 0 0 1 8 】

一方、カソードが高電圧であるブロッキング状態においては、チャネル領域 16 の下端近傍で最大の電界強度となる。この電界が限界を超えるとインパクトイオン化が発生し、ブレイクダウンが生ずる。従って高耐圧を実現するには、チャネル下端付近の電界強度を低く抑えるかが重要となる。本発明ではドリフト領域 11 の濃度をチャネル領域 16 より低濃度とすることで、高電圧印加時に  $n^{-}$  ドリフト層全体に空乏層が拡がるようになっており、チャネル下端付近の電界強度の上昇を低くし、インパクトイオン化の発生を抑制できる構造としている。

10

20

30

40

50

## 【0019】

導通状態においてもチャンネル領域16内部の空乏層の拡がりがなくなるわけではなく、チャンネル領域16の下端(Lchと示した矢印の下側に等しい)であり、p<sup>+</sup>領域12とn<sup>+</sup>層13で形成されるpn接合の下端に位置したチャンネル近傍でのチャンネル側への拡がり最も大きい。p<sup>+</sup>領域12がより深く形成され、pn接合の下端がn<sup>-</sup>ドリフト層内部に形成された場合、チャンネル16はアノード側がn<sup>+</sup>、カソード側がn<sup>-</sup>で構成されることになる。n<sup>+</sup>よりn<sup>-</sup>の方が空乏層の拡がり大きいことから、チャンネル下端近傍の空乏層の重なりがなくなるために要する電圧は、チャンネル領域16全体が高濃度のn<sup>+</sup>で構成されていた場合に比べて高くなる。これに対し本願発明では、チャンネル領域16の下端を、n<sup>-</sup>ドリフト層11とn<sup>+</sup>層13の界面よりアノード電極側としているため、本願発明による電界効果ダイオードは、高耐圧でかつ低い立ち上がり電圧という特性を両立できるのである。

10

## 【0020】

以下、図2(a)から図2(d)により、本ダイオード構造を製造するための概略プロセスを説明する。本実施例では600V以上の耐圧を実現するため、不純物濃度 $2 \sim 5 \times 10^{20} \text{ cm}^{-3}$ のn型4H-SiC基板10上に、窒素濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さを $6.0 \mu\text{m}$ としたn<sup>-</sup>層11と、窒素濃度を $1.5 \times 10^{17} \text{ cm}^{-3}$ とし厚さを $1.5 \mu\text{m}$ としたn<sup>+</sup>層13をエピ成長させ、これにCVD-SiO<sub>2</sub>膜411を形成後、リソグラフィで形成したパターンに従いトレンチ形成用のマスクパターンを形成する(図2(a))。深さ $1.2 \mu\text{m}$ のトレンチ30をドライエッチングにより形成後マスクパターン411を除去し、ドーパントとしてAlを用い、濃度を $2 \times 10^{18} \text{ cm}^{-3}$ としたp<sup>+</sup>層121をエピ成長させ、トレンチ溝を埋める。これによりp<sup>+</sup>領域12とn<sup>+</sup>層13の間のpn接合の下端と、n<sup>+</sup>層13とn<sup>-</sup>ドリフト層11の界面との距離dを $0.3 \mu\text{m}$ とした(図2(b))。図2(c)はCMP研磨によりp<sup>+</sup>層121をエッチバックし、p<sup>+</sup>領域12を形成する工程である。本実施例ではn<sup>+</sup>層13が完全に露出するまでp<sup>+</sup>層121をエッチバックせず、 $0.05 \mu\text{m}$ を残した。これはオーバーエッチングにより、その後の工程で形成されるチャンネルの長さが不足することを防ぐためであるが、次の工程でチャンネル長は調節可能であるため、 $0.1 \mu\text{m}$ 程度であればn<sup>+</sup>13がオーバーエッチングされてもよい。図2(d)はn<sup>+</sup>アノードとなる領域14の形成工程である。エッチバック後、CVD-SiO<sub>2</sub>膜412を形成後、リソグラフィで形成したパターンに従いイオン注入用のマスクパターンを形成し、窒素421をイオン注入する。注入は $25 \sim 110 \text{ keV}$ の多段とし、n<sup>+</sup>13とn<sup>+</sup>アノード14の界面が表面から $0.25 \mu\text{m}$ となるようにした。n<sup>+</sup>アノード14の表面濃度は $2 \times 10^{20} \text{ cm}^{-3}$ である。注入後、マスクパターン412を除去し、 $1700^\circ\text{C}$ の活性化熱処理後、図示していないが電極形成工程を経ることにより、図1に示す本願発明のダイオードが完成する。本実施例では、チャンネル幅Wchは $0.11 \mu\text{m}$ である。カソード電極10及びアノード電極にはNiを用いた。また、p<sup>+</sup>領域12の不純物はボロン(B)でもよく、また、n<sup>+</sup>アノード14の不純物としてはリン(P)でもよい。

20

30

## 【0021】

図3は順方向I-V特性の図である。比較のため、Tiをショットキー電極に用いた従来のSBDの特性と特開昭60-74582号公報による従来の電界効果ダイオードの特性も示す。一般に定格を保障するには10%以上の余裕が必要であるため、600V耐圧ダイオードの比較であるため、650Vの耐圧が得られたもので比較した。点線は従来のSBD(Schottky Barrier Diode。以下、SBDとする)であり、立ち上がり電圧が $0.9 \text{ V}$ であるため、FVD  $1 \text{ V}$ で使用するには電流密度 $20 \sim 30 \text{ A/cm}^2$ になる。一方、破線が従来の電界効果ダイオード(ドリフト層不純物濃度、チャンネル領域不純物濃度 $= 2 \times 10^{16} \text{ cm}^{-3}$ )の場合である。立ち上がり電圧が $1.45 \text{ V}$ と、従来のSBDより高い結果である。これはチャンネル下端近傍でのイオン化インパクトを抑制するためチャンネル幅を狭くした結果、チャンネル内部での空乏層の重なりを解消させるための電圧が高くなったためである。立ち上がり電圧を低減させるという電界

40

50

効果ダイオードの目的が達成されていないように見えるが、SiCでpnダイオードを製作すると立ち上がり電圧は2.5V程度となるため、それと比較すると十分立ち上がり電圧低減の効果は有する。

#### 【0022】

これに対し、実線で示す本願発明の電界効果ダイオードは立ち上がり電圧0.4Vという結果を得ることができ、さらにFVD 1Vの条件で250A/cm<sup>2</sup>の電流密度が得られた。この結果はSiのpnダイオードより通電損失が少なく、本願発明の適用により、リカバリ損失だけでなく通電損失も低減したダイオードを提供できる。これは、チャンネル領域をドリフト領域より高い不純物濃度とし、p<sup>+</sup>領域12とn<sup>+</sup>層13の間に形成されるpn接合の下端を、n<sup>+</sup>層13とn<sup>-</sup>ドリフト層11の界面との距離dを0.3μmとした結果である。距離dに関しては、0.5μmを超えると、n<sup>+</sup>チャンネル16下端付近のn<sup>+</sup>層13における電界強度が高くなり、インパクトイオン化を生じやすくなる。そのため、距離dは0.2μm以上0.5μm以下であることが望ましい。

10

#### 【0023】

次に、n<sup>+</sup>層13とn<sup>-</sup>ドリフト層11の不純物濃度に関して図4(a)により説明する。図4(a)は立ち上がり電圧とブロッキング電圧の関係をシミュレーションにより検討した結果である。図において点線(1)は従来の電界効果ダイオードであり、ドリフト濃度、チャンネル濃度ともに2×10<sup>16</sup>cm<sup>-3</sup>であり、チャンネル幅Wchをパラメータとしている。Wchを大きくすると点線上をブロッキング電圧が低いほうに動いていく。例として、図中の1a(ブロッキング電圧600V、立ち上がり電圧1.46V)を基準に説明する。1bは1aと比較し、ブロッキング電圧、立ち上がり電圧とも低くなっているが、これはWchを大きくしたことによる。すなわち、Wchを大きくしたことによりブロッキング能力が低下するためブロッキング電圧が低下するが、チャンネル内部のポテンシャルも低下するため、立ち上がり電圧も低くなる。このような理由により、Wchを大きくすると、同一点線上をブロッキング電圧が低いほうに移動するのである。ブロッキング電圧が低い場合(例えば200V)であっても立ち上がり電圧は1Vより高い。(2)から(7)は、ドリフト濃度を1×10<sup>16</sup>cm<sup>-3</sup>としたときの、チャンネル濃度を本願発明に従い高めていった結果である。チャンネル濃度は以下の通りである。(2):3×10<sup>16</sup>cm<sup>-3</sup>、(3):4×10<sup>16</sup>cm<sup>-3</sup>、(4):5×10<sup>16</sup>cm<sup>-3</sup>、(5):6×10<sup>16</sup>cm<sup>-3</sup>、(6):8×10<sup>16</sup>cm<sup>-3</sup>、(7):1×10<sup>17</sup>cm<sup>-3</sup>。この結果から、チャンネル濃度を高くすることによる、立ち上がり電圧の低減効果が得られることがわかる。耐圧650Vでみると(5):6×10<sup>16</sup>cm<sup>-3</sup>の場合の0.65Vが最小である。図4(a)において「+」で示したSi-pnダイオードと同程度の特性(ブロッキング電圧650V/立ち上がり電圧0.6V)の実現も困難である。なお、同一のブロッキング電圧であっても、チャンネル濃度が異なる場合は、Wchも異なる。例えば、2aは1aと同様、ブロッキング電圧は600Vであるが、2aのチャンネル濃度は1aの2倍であるため、Wchは1aより小さな値である。

20

30

#### 【0024】

一方、ドリフト濃度を1/2にした1×10<sup>16</sup>cm<sup>-3</sup>の場合、高いブロッキング電圧と低い立ち上がり電圧を両立できることがわかる。図において(a)から(d)がチャンネル濃度を高めていった結果である。チャンネル濃度は、(a):1×10<sup>17</sup>cm<sup>-3</sup>、(b):1.2×10<sup>17</sup>cm<sup>-3</sup>、(c):1.5×10<sup>17</sup>cm<sup>-3</sup>、(d):1.8×10<sup>17</sup>cm<sup>-3</sup>である。条件(c)の場合、ブロッキング電圧650V、立ち上がり電圧0.4Vであり、ブロッキング電圧を確保しつつ、Si-pnダイオードより低い立ち上がり電圧を実現できている。以上の結果から、ドリフト層の濃度としては、定格600Vダイオードの場合、耐圧を実現できる濃度である2×10<sup>16</sup>cm<sup>-3</sup>より低濃度である方が望ましい。ドリフト濃度低減の効果을明らかにするため、図4(b)にドリフト濃度をパラメータとした場合のブロッキング電圧と立ち上がり電圧の関係を示す。それぞれの曲線は、各ドリフト濃度における立ち上がり電圧が最小となるようなWchとチャンネル濃度の組み合わせであり、限界を示すものである。例えばドリフト濃度nDが2×1

40

50

$0.16 \text{ cm}^{-3}$  の場合、図 4 (a) に示した (1) から (7) の点線、および破線の最小値を結んだ場合の包絡線に対応する。図 4 (b) から、ブロッキング電圧  $650 \text{ V}$  を実現し、かつ立ち上がり電圧を  $\text{Si-pn}$  ダイオードと  $0.6 \text{ V}$  とするには、ドリフト濃度を  $1.8 \times 10^{16} \text{ cm}^{-3}$  以下とする必要がある。

#### 【0025】

本願発明の目的は立ち上がり電圧を可能な限り低減できる構造の提案であり、望ましくは  $\text{Si-pn}$  ダイオードより低減させることである。この点から考えると、ドリフト濃度を  $1.5 \times 10^{16} \text{ cm}^{-3}$  以下とすることにより、立ち上がり電圧  $0.4 \text{ V}$  以下が実現でき、本願発明の目的に適している。ただし、ドリフト濃度を低減させるとドリフト層の抵抗が大きくなることに注意が必要である。図 3 において電流 - 電圧特性を比較した場合、従来の  $\text{SBD}$  に対し本発明のダイオードの方が緩い勾配となっている。従ってドリフト濃度の低減には下限が存在する。図 3 の本発明の場合、ドリフト濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  であるが、従来  $\text{SBD}$  と電流 - 電圧特性の交差する電流密度は  $700 \text{ A/cm}^2$  であり、 $\text{SiC}$  を用いた  $600 \text{ V}$  耐圧ダイオードの定格電流密度である  $400 - 500 \text{ A/cm}^2$  より高い。すなわち通常使用される電流密度の領域全体にわたり、本願発明のダイオードの方が低損失である。ドリフト濃度を低減させると抵抗が増大するため、電流 - 電圧特性が従来  $\text{SBD}$  と交差する電流密度が低下する。定格電流密度で交差する条件は、勾配が本発明の  $80\%$  の場合であり、ドリフト濃度としては  $8 \times 10^{15} \text{ cm}^{-3}$  が相当する。さらには、動作条件により異なるが、一般的に通電損失の目安となる電流値は定格の  $1/2 - 1/3$  であることから、交差する電流密度が  $250 \text{ A/cm}^2$  より高ければ、本願発明による損失低減効果が生じていることになる。これは図 3 の本発明の電流 - 電圧特性と比較し、勾配が半減してもよいことに相当する。すなわちドリフト濃度は図 3 における本発明の  $1/2$  である  $5 \times 10^{15} \text{ cm}^{-3}$  で低減可能である。以上のことから本願発明の目的を達成するにはドリフト層の不純物濃度範囲は、 $5 \times 10^{15} \text{ cm}^{-3}$  以上  $1.8 \times 10^{16} \text{ cm}^{-3}$  以下が適しており、より好ましくは  $8 \times 10^{15} \text{ cm}^{-3}$  以上  $1.5 \times 10^{16} \text{ cm}^{-3}$  以下である。

#### 【0026】

さらにチャンネル濃度としては、図 4 (a) から条件 (c) :  $1.5 \times 10^{17} \text{ cm}^{-3}$  が本願発明の目的に最も適している。立ち上がり電圧のみに着目すると、条件 (6) :  $8 \times 10^{16} \text{ cm}^{-3}$  より低濃度では  $0.6 \text{ V}$  より低減できていないことから、これが最小のチャンネル濃度である。一方、条件 (d) :  $1.8 \times 10^{17} \text{ cm}^{-3}$  の場合、条件 (c) と比べて立ち上がり電圧低減効果は殆ど変わらない。 $550 \text{ V}$  以上のブロッキング電圧が得られていないことに関しては、ドリフト濃度を  $1 \times 10^{16} \text{ cm}^{-3}$  より低濃度化させることで解決されるが、ドリフト層抵抗の増大が伴うため好ましくない。従って、ドリフト層抵抗を考慮すると、 $1.8 \times 10^{17} \text{ cm}^{-3}$  が最大のチャンネル濃度である。よって、チャンネル領域の不純物濃度範囲は、 $8 \times 10^{16} \text{ cm}^{-3}$  以上  $1.8 \times 10^{17} \text{ cm}^{-3}$  以下である。

#### 【0027】

図 5 はチャンネル長  $L_{ch}$  に関して検討した結果である。本実施例では、 $L_{ch} = 1.0 \mu\text{m}$  としたが、より短い場合でも  $\text{Si-pn}$  ダイオードの立ち上がり電圧 ( $0.6 \text{ V}$ ) より低減させることは可能であるが、定格  $600 \text{ V}$  ダイオードの場合、 $0.6 \mu\text{m}$  では  $\text{Si-pn}$  ダイオードより高くなる。これは、 $L_{ch}$  が短くなると、ブロッキング状態において空乏層で形成されたポテンシャル障壁が乗り越えやすくなり、チャンネルリークが増大する現象を抑制するため、 $W_{ch}$  を小さくする必要があり、立ち上がり電圧が増大することによる。従って、 $L_{ch}$  としては、 $0.7 \mu\text{m}$  以上とすることが望ましい。

#### 【実施例 2】

#### 【0028】

上記実施例 1 ではエピ成長により  $p+$  領域を形成した場合を説明したが、より容易な手法として、イオン注入で  $p+$  領域を形成する方法がある。図 7 は本発明にかかる第二の実施例を説明するためのダイオードの概略断面図である。本図における符号は図 1 と同一で

10

20

30

40

50

あり、21はカソード電極、10は4H-SiC基板である $n^{++}$ カソード層、11は $n^{-}$ ドリフト層、12は $p^{+}$ 領域、13は $n^{+}$ 層、14は $n^{++}$ アノード層、16は $n^{+}$ チャンネル領域、22はアノード電極である。Wchがチャンネル幅を示し、チャンネル長Lch全体にわたり幅が略同一である。さらに、 $p^{+}$ 領域12の下端部は $n^{+}$ 層13に接する構造とし、 $n^{-}$ 層11とは距離dで隔てられる構造とした。

#### 【0029】

以下、図8(a)から図8(e)により、本ダイオード構造を製造するための概略プロセスを説明する。本実施例も実施例1と同様、600V以上の耐圧を実現するため、高濃度 $n$ 型4H-SiC基板10上に、窒素濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さを $6.2 \mu\text{m}$ とした $n^{-}$ 層11と、窒素濃度を $1.5 \times 10^{17} \text{ cm}^{-3}$ とし厚さを $1.8 \mu\text{m}$ とした $n^{+}$ 層13をエピ成長させた。これに窒素422をイオン注入し、 $n^{++}$ アノード領域14を形成する。イオン注入条件は実施例1と同一とし、 $n^{+}$ 13との界面が表面から $0.25 \mu\text{m}$ となるようにした。なお、本実施例ではイオン注入により $n^{++}$ アノード領域14を形成したが、エピ成長でもよい(図8(a))。これにCVD-SiO<sub>2</sub>膜413を形成後、リソグラフィで形成したパターンに従いトレンチ形成用のマスクパターンを形成する。(図8(b))。深さ $1.25 \mu\text{m}$ のトレンチ30をドライエッチングにより形成後マスクパターン412を除去し、ドーパントとしてAl423を用い、イオン注入によりトレンチ底部に $p^{+}$ 領域を形成する。注入エネルギーは $20 \sim 60 \text{ keV}$ の多段とし、トレンチ底部 $p^{+}$ の深さが $0.25 \mu\text{m}$ になるようにした。これによりトレンチ底部 $p^{+}$ 領域12の下端と、 $n^{+}$ 層13と $n^{-}$ ドリフト層11の界面との距離dを $0.3 \mu\text{m}$ とした(図8(c))。引き続きAl424の斜めイオン注入により、トレンチ側壁両側に $p^{+}$ 領域を形成した(図8(d)、図8(e))。注入後、マスクパターン413を除去し、1700の活性化熱処理後、図示していないが電極形成工程を経ることにより、図7に示す本実施例のダイオードが完成する。なお、カソード電極10及びアノード電極にはNiを用いた。本実施例においても、図3の実線で示すI-V特性を得ることができ、立ち上がり電圧 $0.4 \text{ V}$ 、FVD  $1 \text{ V}$ の条件で $250 \text{ A/cm}^2$ の電流密度となった。

#### 【実施例3】

#### 【0030】

次に、本願発明による電界効果ダイオードをスイッチング素子と組み合わせた構造に関し説明する。図9は本発明に関する第3の実施例を説明するための回路図である。DC-AC変換に用いられるインバータやDC-DCコンバータにおいては、電流制御用のスイッチング素子に加えて、スイッチング動作時の電流還流用のダイオードが一組として用いられる。本実施例では、スイッチング素子としてSiC接合FET51を用い、本願発明による電界効果ダイオード50と組み合わせた場合のデバイス構造に関し説明する。

#### 【0031】

図10は接合FET51と電界効果ダイオード50を同一基板上に作製した素子の概略面構造である。210はダイオード50のカソード電極兼接合FET51のドレイン電極、100は $n^{++}$ カソード層兼 $n^{++}$ ドレイン層、101は共通の $n^{-}$ ドリフト層、103は共通の $n^{+}$ 層である。12はダイオードの $p^{+}$ 領域、121は接合FETの $p^{+}$ ゲート領域、14は $n^{++}$ アノード領域、141は $n^{++}$ ソース領域、16はダイオードの $n^{+}$ チャンネル領域、161は接合FETの $n^{+}$ チャンネル領域、230はゲート電極、220はアノード電極兼接合FETのソース電極である。19は接合FETのゲート電極230とソース電極220を電氣的に絶縁するための絶縁膜である。17はダイオードと接合FETを分離するための $n^{++}$ 領域であり、 $n^{++}$ ソース141および $n^{++}$ アノード領域14と全く同一のものであり、同時に形成される。 $n^{++}$ 領域17の下にも導通には直接寄与しないが $n^{+}$ チャンネル162が存在する。その幅Wは接合FETの $p^{+}$ ゲート121の電位、あるいはダイオードの $p^{+}$ 領域12の電位変化により、 $p^{+}$ ゲート121と $p^{+}$ 領域12(若しくは122)の間に電流が流れるのを防ぐため、Wch(T)より幅を広くしている。

#### 【0032】

10

20

30

40

50

また、図10のダイオード領域において、基板表面に $n^{++}$ 層の代わりに $p^{+}$ 層を設け、アノード電極220と接触している箇所がある。これは、図10の構造で基板表面に $n^{++}$ アノード領域をすべて設けてしまうと、アノード電極220と接触しない $p^{+}$ 領域が形成されてしまい、この $p^{+}$ 領域が浮遊電極となり、動作が不安定になるのを防ぐためである。

#### 【0033】

製造方法に関しては実施例2と殆ど同じである。イオン注入後の活性化熱処理終了後、ゲート電極230を選択的に形成し、絶縁膜19を形成する。 $n^{++}$ ソースとのコンタクト窓を形成する工程で、ダイオード部分のみトレンチ部分まで含めて絶縁膜を除去し、アノード電極兼ソース電極である220と下側のカソード電極兼ドレイン電極210を形成することにより、図10に示す構造が完成する。このようにして、立ち上がり電圧の低いダイオードを、接合FETと同一のプロセスで同一基板上に作製できる。これまでもショットキーダイオードを接合FETと同一基板上に形成する構造はあるが、その場合、これまで述べてきたように、低い立ち上がり電圧が実現できないことに加え、ショットキー電極形成のためのプロセスが追加になる。これに対し本実施例では、追加プロセスを必要とすることなく、接合FETと立ち上がり電圧の低いダイオードを同一基板上に形成できるため、低コストで高性能の素子を実現できるという効果を生ずる。

10

#### 【0034】

さらにこの構造の優れている点は、ダイオードと接合FETのチャネルが共通していることであり、両者の違いはチャネル幅である。ダイオードと異なりゲート電圧を制御できること、接合FET51をノーマリオフとする場合は閾値電圧の高い方が望ましいことから、 $W_{ch}(T)$ をダイオードのチャネル幅 $W_{ch}(D)$ より狭くする必要がある。

20

#### 【実施例4】

#### 【0035】

図11は第四の実施例を説明する回路図であり、SiC-MOSFET52を電流制御用のスイッチング素子に用い、本願発明による電界効果ダイオード50を還流用ダイオードとして組み合わせた例である。図12は、図11の二つの素子を同一基板上に作製した素子の概略断面構造である。210はダイオード50のカソード電極兼MOSFET52のドレイン電極、100は $n^{++}$ カソード層兼 $n^{++}$ ドレイン層、101は共通の $n^{-}$ ドリフト層、103は共通の $n^{+}$ 層である。122はダイオードの $p^{+}$ 領域兼MOSFETの $p^{+}$ ボディ領域、14は $n^{++}$ アノード領域、141は $n^{++}$ ソース領域、16はダイオードの $n^{+}$ チャネル領域、191はMOSFETのゲート絶縁膜、230はゲート電極、220はアノード電極兼MOSFETのソース電極である。

30

#### 【0036】

以下、図13(a)から図13(g)により、図12の構造を製造するための概略プロセスを説明する。600V以上の耐圧を実現するため、 $n^{++}$ カソード層兼 $n^{++}$ ドレイン層である高濃度 $n$ 型4H-SiC基板100上に、窒素濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さを $6.0 \mu\text{m}$ とした $n^{-}$ 層101と、窒素濃度 $1.5 \times 10^{17} \text{ cm}^{-3}$ とし厚さを $1.5 \mu\text{m}$ とした $n^{+}$ 層103をエピ成長させ、これにCVD-SiO<sub>2</sub>膜414を形成後、リソグラフィで形成したパターンに従いトレンチ形成用のマスクパターンを形成する。(図13(a))。深さ $1.2 \mu\text{m}$ のトレンチ300をドライエッチングにより形成後マスクパターン411を除去し、ドーパントとしてAlを用いたエピ成長により、濃度 $2 \times 10^{18} \text{ cm}^{-3}$ の $p^{+}$ 層122を形成し、トレンチ溝を埋める(図13(b))。その後 $p^{+}$ 層122の表面をエッチバックする(破線箇所まで $p^{+}$ 層122をエッチバックした)。本実施例でも、実施例1と同様に、 $n^{+}$ 層103が完全に露出するまで $p^{+}$ 層122をエッチバックせず、 $0.05 \mu\text{m}$ を残した。これはオーバーエッチングにより、その後の工程で形成されるチャネルの長さが不足することを防ぐためであるが、次の工程でチャネル長は調節可能であるため、 $0.1 \mu\text{m}$ 程度であれば $n^{+}$ 103がオーバーエッチングされてもよい。図13(c)は $n^{++}$ アノード領域14及び $n^{++}$ ソース領域141を作製する工程である。エッチバック後、CVD-SiO<sub>2</sub>膜414を形成後、リソグラフィ

40

50

ィで形成したパターンに従いイオン注入用のマスクパターンを形成し、窒素イオン 4 2 6 を注入する。注入は 2 5 ~ 1 1 0 k e V の多段とし、 $n^+ 1 0 3$  と  $n^{++}$  アノード 1 4 の界面が表面から 0 . 2 5  $\mu$  m となるようにした。注入後、マスクパターン 4 1 4 を除去し、1 7 0 0 の活性化熱処理を施す。続いて C V D - S i O<sub>2</sub> 膜 4 1 5 を形成し、リソグラフィにより既に形成されている  $n^{++}$  ソース領域 1 4 1 を分断するように、トレンチ 3 0 1 用のパターンを形成する ( 図 1 3 ( d ) ) 。トレンチ 3 0 1 をドライエッチングにより形成後、熱酸化等の手法によりゲート絶縁膜 1 9 1 を形成し、その上に多結晶シリコン 2 3 0 を C V D により堆積しゲート電極とする ( 図 1 3 ( e ) ) 。不要なゲート配線を除去するため、多結晶シリコン 2 3 0 をエッチバックし、トレンチ内部にのみ残す。多結晶シリコンゲート電極 2 3 0 と、後の工程で形成するソース電極兼アノード電極との絶縁を確保するため、酸化あるいは C V D により S i O<sub>2</sub> 膜を上部に形成する ( 図 1 3 ( f ) ) 。その後、ソースコンタクト兼アノードコンタクト形成用のマスクパターン 4 1 6 を形成し、ソース/アノードおよびドレイン/カソード上の不要な絶縁膜を除去する ( 図 1 3 ( g ) ) 。

10

#### 【 0 0 3 7 】

この後、図示していないが電極形成工程を経ることにより、図 1 2 に示す S i C - M O S F E T 5 2 を電流制御用のスイッチング素子に用い、本願発明による電界効果ダイオード 5 0 を還流用ダイオードとして同一基板上に作製した素子が完成する。なお、カソード電極 1 0 及びアノード電極には N i を用いた。

20

#### 【 0 0 3 8 】

実施例 3 と同様、ショットキーダイオードを M O S F E T と同一基板上に形成する構造はあるが、その場合これまで述べてきたように、低い立ち上がり電圧が実現できない。さらに S i C - M O S F E T では、界面準位の低減、移動度の向上を目的として、ゲート絶縁膜形成時に、通常の熱酸化に加え、窒化処理などのプロセスが採用される。ショットキーダイオードを形成するのはこの窒化プロセスを経た後であるが、酸・窒化処理後の絶縁膜 - S i C 界面状態は通常の酸化処理後の状態とは異なっていることがある。その結果、エッチングによりショットキー電極形成用のコンタクト窓開口後の S i C 表面状態も、通常の酸化処理後に開口された S i C 表面状態と異なったものとなり、ショットキー電極の電位障壁 B も変化することになる。B が高くなるとダイオードの立ち上がり電圧は一層高くなり、逆に B が低下すると立ち上がり電圧は低下するが、同時にブロッキング時のリーク電流が増大するという問題が生じる。これに対し本願発明ではショットキー界面が存在しないため、上記のような問題が生じることがなく、優れた M O S F E T の特性とダイオードの低い立ち上がり電圧を両立できるという効果を生ずる。

30

#### 【 実施例 5 】

#### 【 0 0 3 9 】

実施例 3 および実施例 4 では、本願発明による電界効果ダイオードを電界効果スイッチング素子である、接合 F E T および M O S F E T との組み合わせで説明したが、スイッチング素子としてはバイポーラトランジスタ ( B J T ) との組み合わせもある。図 1 4 はこの組み合わせを同一基板上で実現させた一例を示す概略断面構造図である。B J T の場合、ベースの注入効率や注入された少数キャリアの輸送効率がデバイス特性に大きな影響を与える。これにはベース/エミッタ界面およびその近傍における表面再結合を抑制する必要がある。表面再結合を抑制するには、高濃度の p n 接合を表面に露出させないデバイス構造とすることの他、表面を保護するための酸化膜の界面電荷、界面準位を低減させる必要がある。実施例 4 における M O S F E T と同様の課題であるが、これに関しても M O S F E T の場合と酸化膜の品質改善のための熱処理プロセスに対し、制限が加わることがなく、優れた B J T 特性とダイオードの低い立ち上がり電圧を両立できるという効果を生ずる。

40

#### 【 符号の説明 】

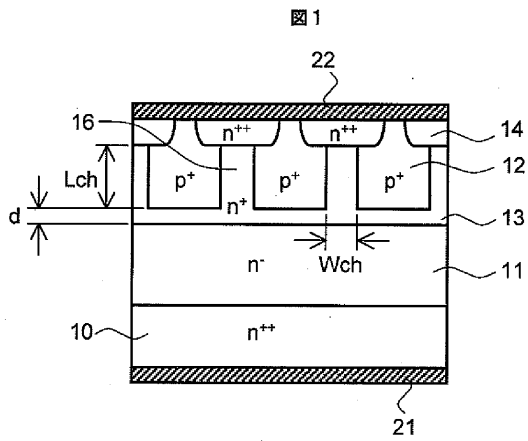
#### 【 0 0 4 0 】

1 0  $n^{++}$  カソード層

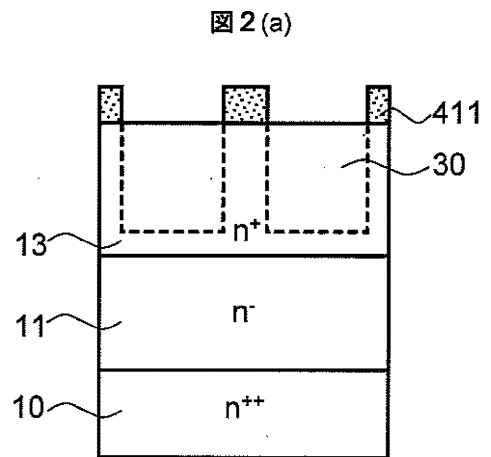
50

- 1 1 n<sup>-</sup>ドリフト層
- 1 2 p<sup>+</sup>領域
- 1 3 n<sup>+</sup>層
- 1 4 n<sup>++</sup>アノード領域
- 1 6 n<sup>+</sup>チャンネル領域
- 2 1 カソード電極
- 2 2 アノード電極

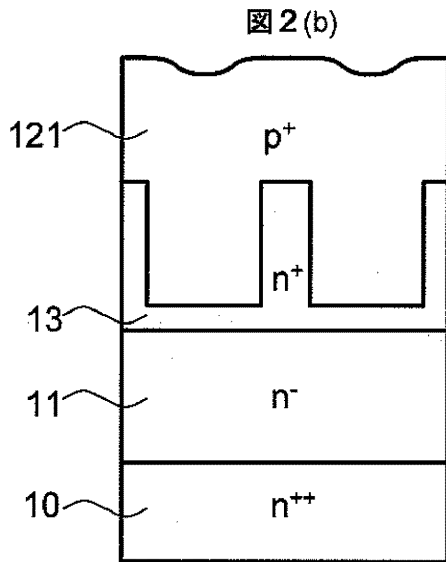
【 図 1 】



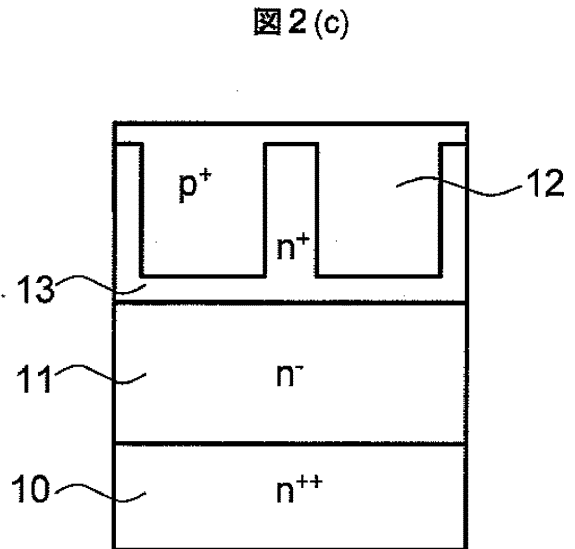
【 図 2 ( a ) 】



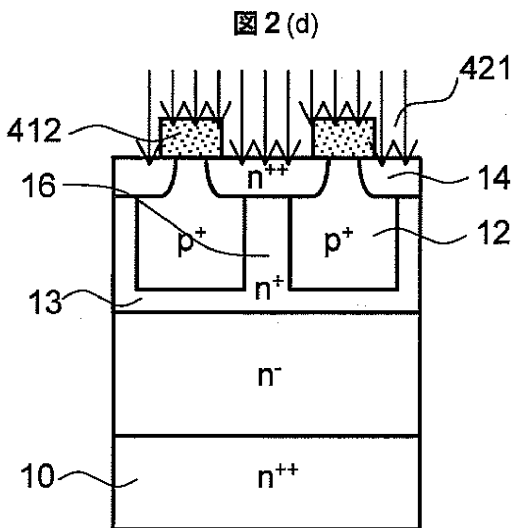
【図2(b)】



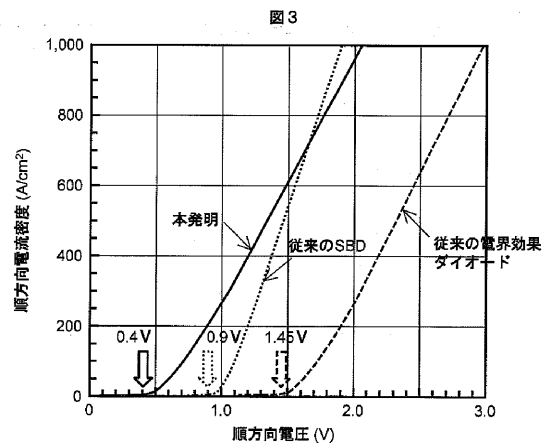
【図2(c)】



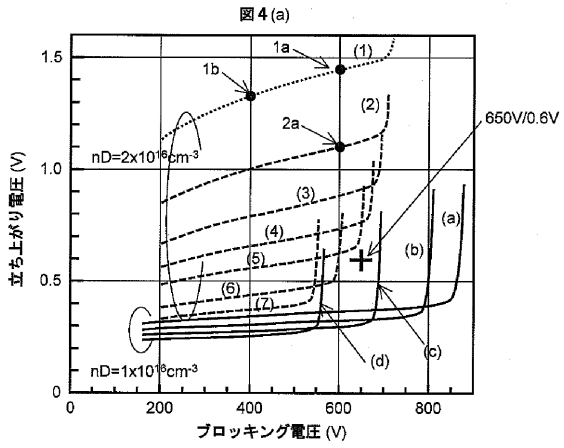
【図2(d)】



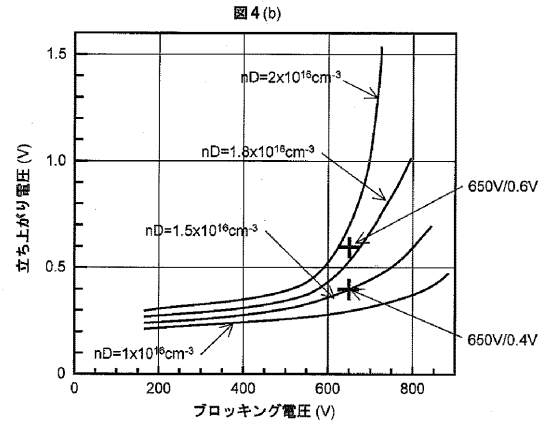
【図3】



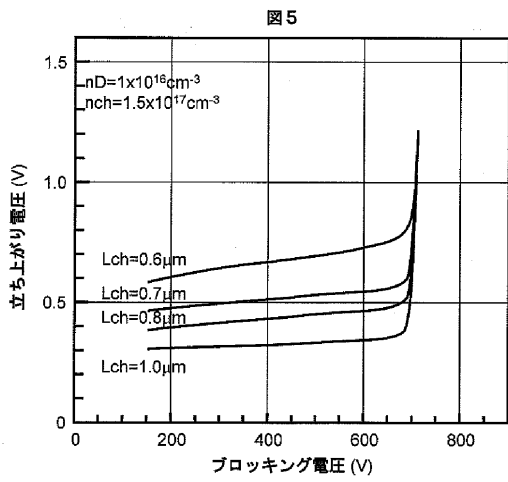
【 図 4 ( a ) 】



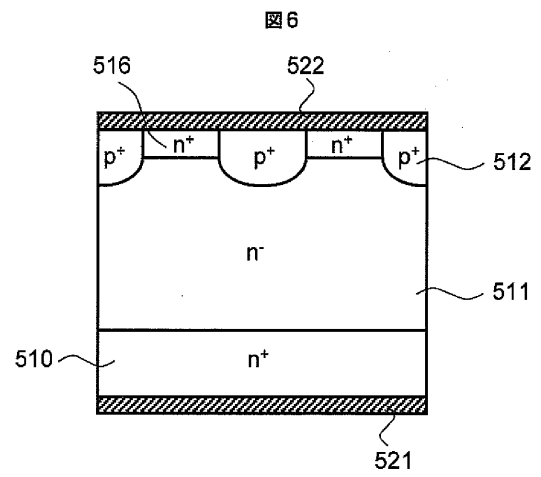
【 図 4 ( b ) 】



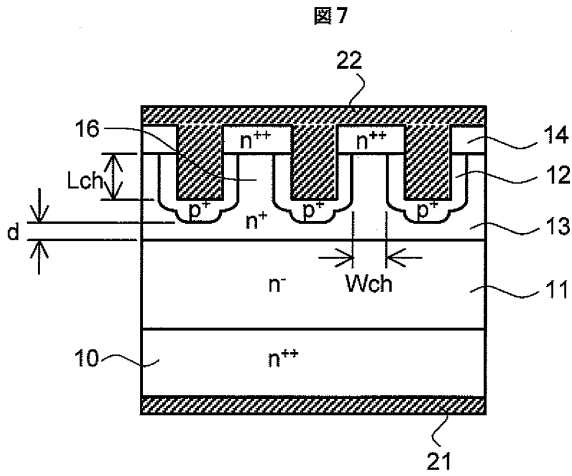
【 図 5 】



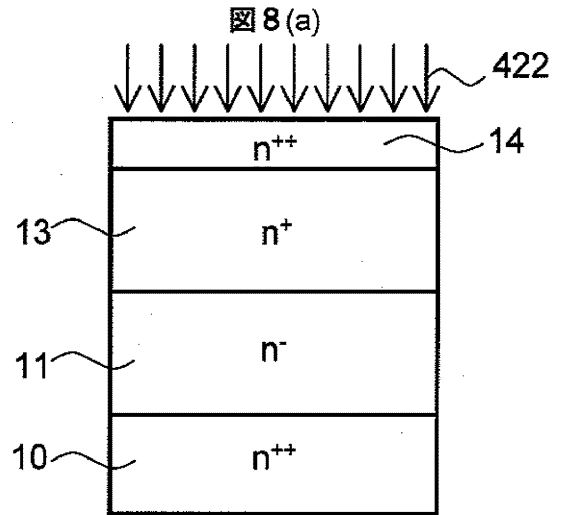
【 図 6 】



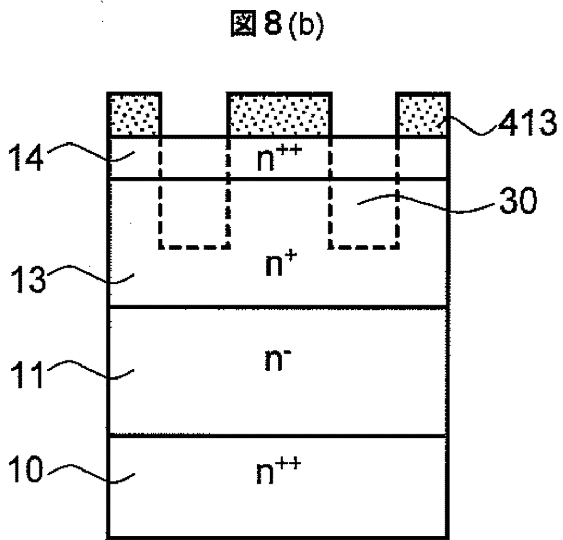
【 図 7 】



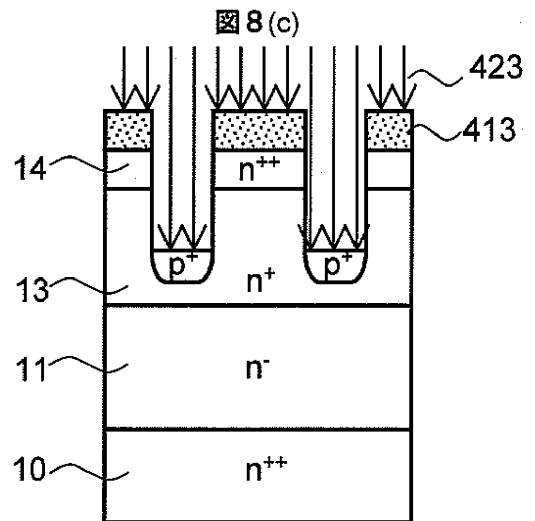
【 図 8 ( a ) 】



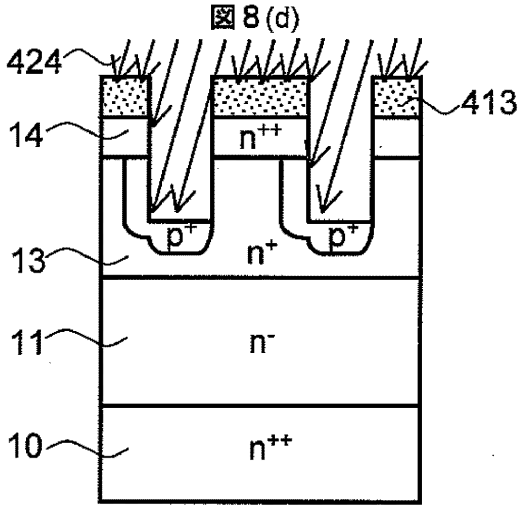
【 図 8 ( b ) 】



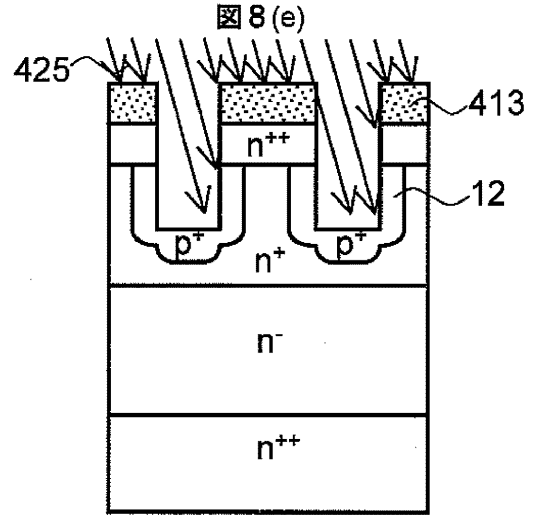
【 図 8 ( c ) 】



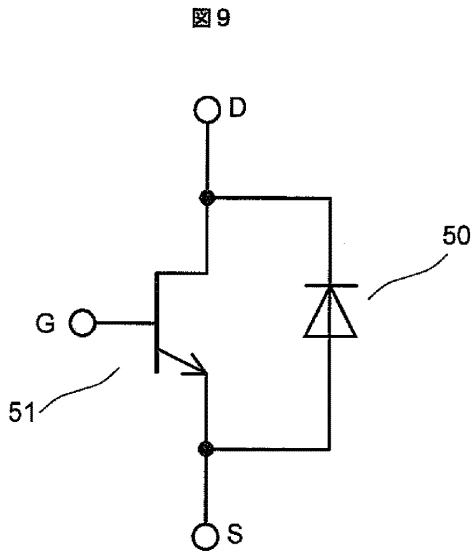
【図8(d)】



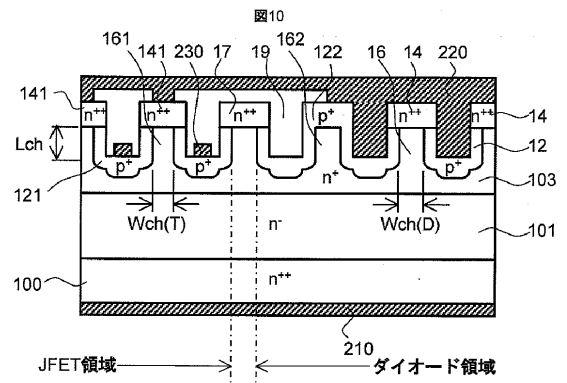
【図8(e)】



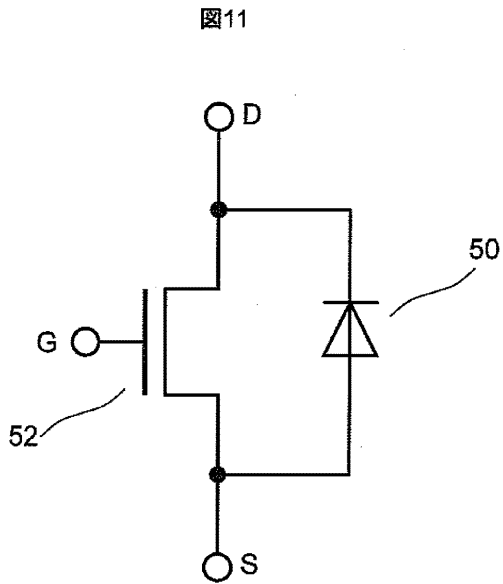
【図9】



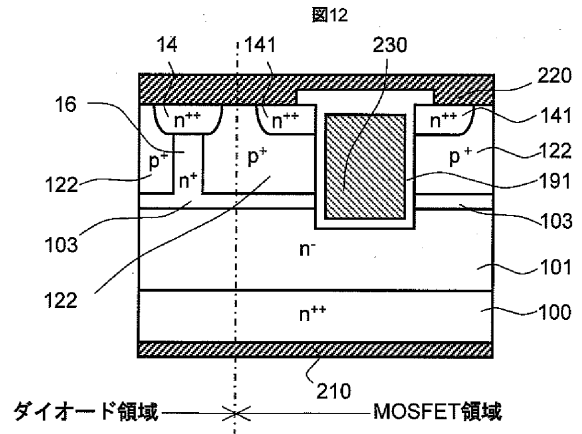
【図10】



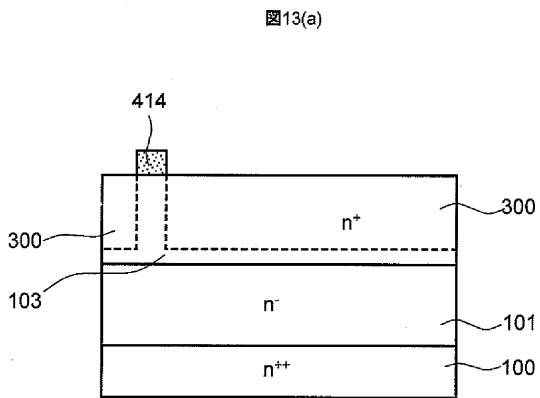
【 図 1 1 】



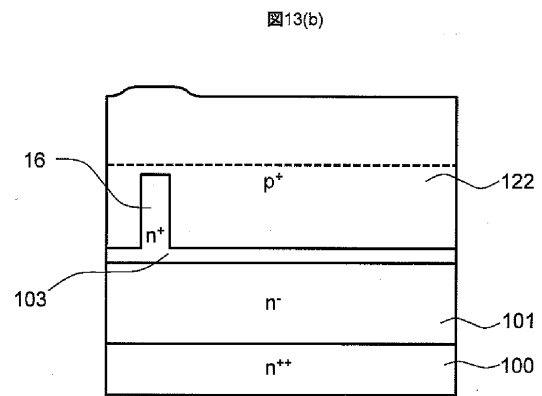
【 図 1 2 】



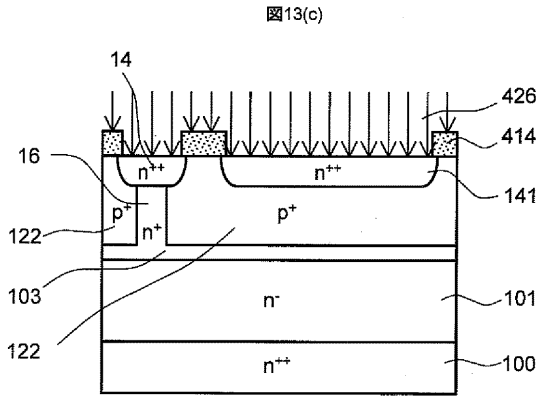
【 図 1 3 ( a ) 】



【 図 1 3 ( b ) 】

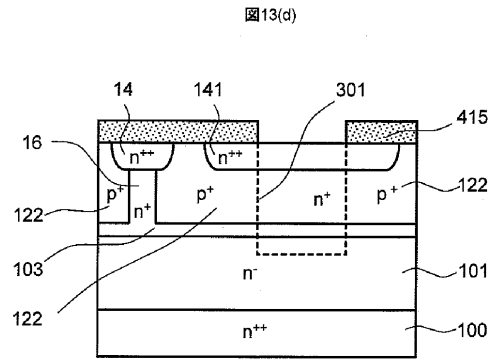


【 図 1 3 ( c ) 】

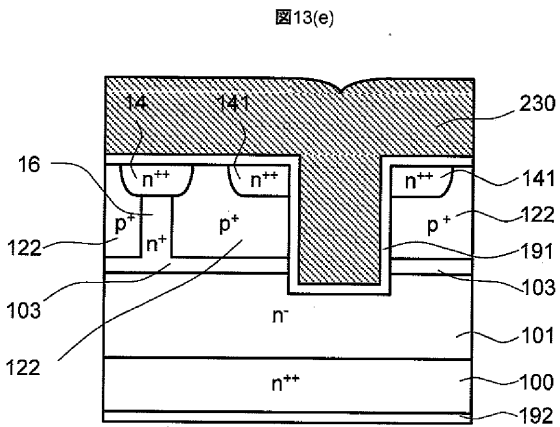


210

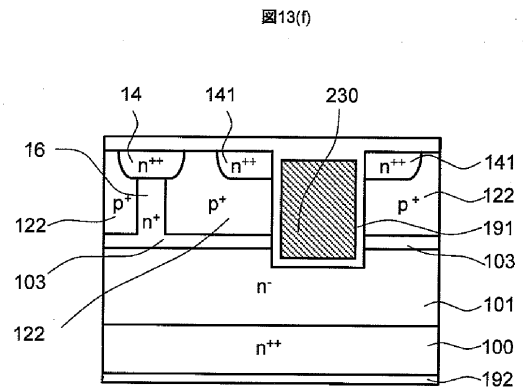
【 図 1 3 ( d ) 】



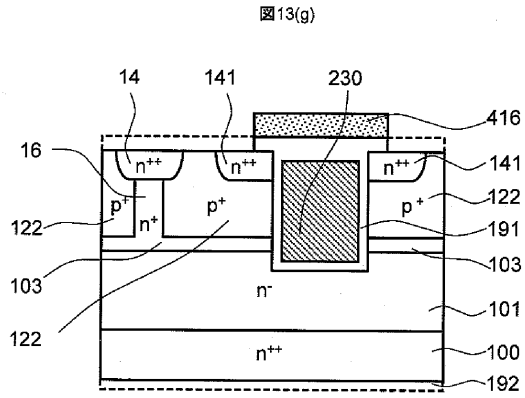
【 図 1 3 ( e ) 】



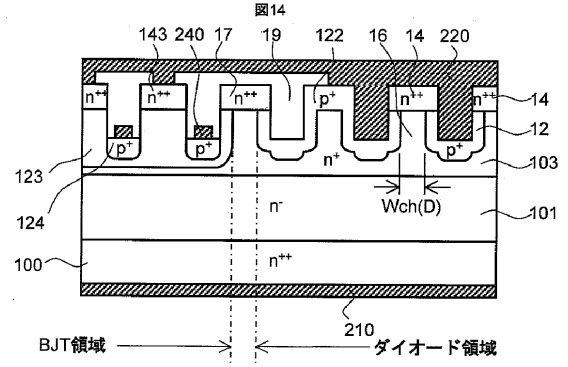
【 図 1 3 ( f ) 】



【図13(g)】



【図14】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 21/337	(2006.01)	H 0 1 L 29/80		E
H 0 1 L 21/338	(2006.01)	H 0 1 L 29/80		V
H 0 1 L 29/808	(2006.01)	H 0 1 L 27/06	1 0 2 A	
H 0 1 L 29/812	(2006.01)	H 0 1 L 27/08	1 0 2 E	
H 0 1 L 27/06	(2006.01)	H 0 1 L 27/06		F
H 0 1 L 21/8234	(2006.01)	H 0 1 L 29/78	6 5 3 A	
H 0 1 L 27/088	(2006.01)	H 0 1 L 29/78	6 5 7 D	
H 0 1 L 21/8232	(2006.01)	H 0 1 L 29/78	6 5 2 T	
H 0 1 L 29/78	(2006.01)	H 0 1 L 29/78	6 5 8 E	
H 0 1 L 27/04	(2006.01)			
H 0 1 L 29/12	(2006.01)			
H 0 1 L 21/336	(2006.01)			