

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-193631  
(P2009-193631A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int.Cl. F I テーマコード(参考)  
**G 1 1 C 16/04 (2006.01)** G 1 1 C 17/00 6 2 2 E 5 B 1 2 5  
 G 1 1 C 17/00 6 2 4

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2008-32820 (P2008-32820)  
 (22) 出願日 平成20年2月14日(2008.2.14)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100092820  
 弁理士 伊丹 勝  
 (74) 代理人 100106389  
 弁理士 田村 和彦  
 (72) 発明者 並木 裕子  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 二山 拓也  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

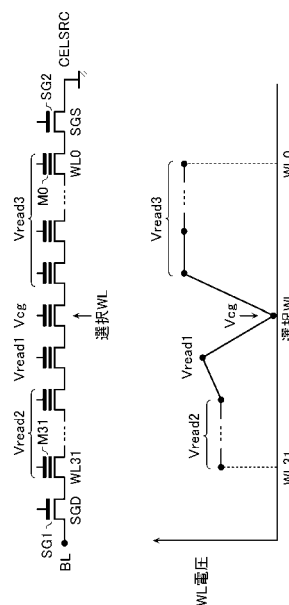
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】データ読み出しの信頼性向上を図った不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置は、複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第1及び第2の選択ゲートトランジスタとを有するNANDストリングと、前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、前記第1及び第2の選択ゲートトランジスタのゲートがそれぞれ接続された第1及び第2の選択ゲート線とを備え、選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第1の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第1の読み出しパス電圧が、その他の非選択ワード線に第1の読み出しパス電圧より低い第2の読み出しパス電圧が与えられ、前記選択ワード線の前記第2の選択ゲート線側にある非選択ワード線に前記第1の読み出しパス電圧より高い第3の読み出しパス電圧が与えられる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第 1 及び第 2 の選択ゲートトランジスタとを有する NAND ストリングと、

前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、

前記第 1 及び第 2 の選択ゲートトランジスタのゲートがそれぞれ接続された第 1 及び第 2 の選択ゲート線とを備え、

選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第 1 の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第 1 の読み出しパス電圧が、その他の非選択ワード線に第 1 の読み出しパス電圧より低い第 2 の読み出しパス電圧が与えられ、前記選択ワード線の前記第 2 の選択ゲート線側にある非選択ワード線に前記第 1 の読み出しパス電圧より高い第 3 の読み出しパス電圧が与えられる

10

ことを特徴とする不揮発性半導体記憶装置。

## 【請求項 2】

複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第 1 及び第 2 の選択ゲートトランジスタとを有する NAND ストリングと、

前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、

前記第 1 及び第 2 の選択ゲートトランジスタのゲートがそれぞれ接続された第 1 及び第 2 の選択ゲート線とを備え、

20

選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第 1 の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第 1 の読み出しパス電圧が、その他の非選択ワード線に第 1 の読み出しパス電圧より低い第 2 の読み出しパス電圧が与えられ、前記選択ワード線の前記第 2 の選択ゲート線側にある非選択ワード線に前記第 1 の読み出しパス電圧が与えられる

ことを特徴とする不揮発性半導体記憶装置。

## 【請求項 3】

複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第 1 及び第 2 の選択ゲートトランジスタとを有する NAND ストリングと、

前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、

前記第 1 及び第 2 の選択ゲートトランジスタのゲートがそれぞれ接続された第 1 及び第 2 の選択ゲート線とを備え、

30

選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第 1 の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第 1 の読み出しパス電圧が、その他の非選択ワード線に第 1 の読み出しパス電圧より低い第 2 の読み出しパス電圧が与えられ、前記選択ワード線の前記第 2 の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに前記第 1 の読み出しパス電圧より高い第 3 の読み出しパス電圧が、その他の非選択ワード線に前記第 1 の読み出しパス電圧が与えられる

40

ことを特徴とする不揮発性半導体記憶装置。

## 【請求項 4】

前記 NAND ストリングは、前記第 1 及び第 2 の選択ゲートトランジスタとメモリセルとの間にそれぞれ第 1 及び第 2 のダミーセルが配置されかつ、これら第 1 及び第 2 のダミーセルの制御ゲートはそれぞれ第 1 及び第 2 のダミーワード線に接続されており、

前記データ読み出し時、前記第 1 のダミーワード線に前記第 2 の読み出しパス電圧が与えられ、前記第 2 のダミーワード線に前記第 3 の読み出しパス電圧が与えられる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

50

## 【請求項 5】

前記 NAND ストリングは、前記第 1 及び第 2 の選択ゲートトランジスタとメモリセルとの間にそれぞれ第 1 及び第 2 のダミーセルが配置されかつ、これら第 1 及び第 2 のダミーセルの制御ゲートはそれぞれ第 1 及び第 2 のダミーワード線に接続されており、

前記データ読み出し時、前記第 1 のダミーワード線に前記第 2 の読み出しバス電圧より低い第 4 の読み出しバス電圧が与えられ、前記第 2 のダミーワード線に前記第 1 の読み出しバス電圧が与えられる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置 (EEPROM) に係り、特にメモリセルを複数個直列接続して NAND ストリングを構成する NAND 型フラッシュメモリのデータ読み出し手法に関する。

## 【背景技術】

## 【0002】

NAND 型フラッシュメモリは、大容量化が容易な EEPROM の一つとして知られている。NAND 型フラッシュメモリのデータ読み出し動作では、NAND ストリング内の非選択セルをパストラジスタとして動作させて、選択セルのオンオフ状態を検出する。即ち、選択セルには、そのしきい値分布を判定に必要な読み出し電圧を与え、残りの非選択セルには、セルデータによらずオンする読み出しバス電圧を与えて、プリチャージしたビット線が放電されるか否かによりデータを判定する。

20

## 【0003】

しかし、NAND 型フラッシュメモリの微細化が進む中、データの読み出し時の信頼性が問題になっている。特に隣接セル間の容量結合が読み出し動作に影響を与える。例えば、選択セルに隣接する非選択セルが、フローティングゲート電位が十分に高くなり、従ってパストラジスタとして十分なセル電流を流せない、という事態が生じる。特に選択セルのセル電流下流側 (ソース線コンタクト側) の非選択セルのチャンネル抵抗は、負帰還効果によりセル電流を引き下げる方向に働くから、問題である。この読み出し時のセル電流の低下は、誤読み出しの原因やセンス時間の増大をもたらす。

30

## 【0004】

NAND 型フラッシュメモリにおいて、微細化によるセル間容量結合の読み出し動作への影響を考慮した提案は、既にいくつかなされている。例えば、特許文献 1 には、書き込みベリファイの読み出し時、選択ワード線に隣接する非選択ワード線に対して、残りの非選択ワード線より低い読み出しバス電圧を与える例が開示されている。

【特許文献 1】特開 2002-133888 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

この発明は、データ読み出しの信頼性向上を図った不揮発性半導体記憶装置を提供することを目的とする。

40

## 【課題を解決するための手段】

## 【0006】

この発明の一態様による不揮発性半導体記憶装置は、  
複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第 1 及び第 2 の選択ゲートトランジスタとを有する NAND ストリングと、

前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、

前記第 1 及び第 2 の選択ゲートトランジスタのゲートがそれぞれ接続された第 1 及び第 2 の選択ゲート線とを備え、

50

選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第1の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第1の読み出しパス電圧が、その他の非選択ワード線に第1の読み出しパス電圧より低い第2の読み出しパス電圧が与えられ、前記選択ワード線の前記第2の選択ゲート線側にある非選択ワード線に前記第1の読み出しパス電圧より高い第3の読み出しパス電圧が与えられる。

【0007】

この発明の他の態様による不揮発性半導体記憶装置は、

複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第1及び第2の選択ゲートトランジスタとを有するNANDストリングと、

前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、

前記第1及び第2の選択ゲートトランジスタのゲートがそれぞれ接続された第1及び第2の選択ゲート線とを備え、

選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第1の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第1の読み出しパス電圧が、その他の非選択ワード線に第1の読み出しパス電圧より低い第2の読み出しパス電圧が与えられ、前記選択ワード線の前記第2の選択ゲート線側にある非選択ワード線に前記第1の読み出しパス電圧が与えられる。

【0008】

この発明の更に他の態様による不揮発性半導体記憶装置は、

複数個直列接続された電氣的書き換え可能な不揮発性メモリセルとその両端をそれぞれビット線及びソース線に接続するための第1及び第2の選択ゲートトランジスタとを有するNANDストリングと、

前記複数のメモリセルの制御ゲートがそれぞれ接続された複数のワード線と、

前記第1及び第2の選択ゲートトランジスタのゲートがそれぞれ接続された第1及び第2の選択ゲート線とを備え、

選択ワード線に読み出し電圧が与えられるデータ読み出し時、前記選択ワード線の前記第1の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに第1の読み出しパス電圧が、その他の非選択ワード線に第1の読み出しパス電圧より低い第2の読み出しパス電圧が与えられ、前記選択ワード線の前記第2の選択ゲート線側にある非選択ワード線のうち前記選択ワード線に隣接するものに前記第1の読み出しパス電圧より高い第3の読み出しパス電圧が、その他の非選択ワード線に前記第1の読み出しパス電圧が与えられる。

【発明の効果】

【0009】

この発明によれば、データ読み出しの信頼性向上を図った不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して、この発明の実施の形態を説明する。

【0011】

図8は、一実施の形態によるNAND型フラッシュメモリのメモリコア部の等価回路を示している。メモリセルアレイ1は、複数のメモリセルが直列接続されたNANDストリング(NANDセルユニット)5を配列して構成されている。この例では、NANDストリング5は、32個のメモリセルM0-M31が直列接続され、その一端が選択ゲートトランジスタSG1を介してビット線BLに、他端が選択ゲートトランジスタSG2を介して共通ソース線CELLSRCに接続されている。

【0012】

メモリセルM0-M31の制御ゲートは、それぞれワード線WL0-WL31に接続さ

10

20

30

40

50

れ、選択ゲートトランジスタSG1, SG2のゲートはそれぞれ選択ゲート線SGD, SGSに接続されている。

【0013】

ワード線WL0-WL31及び選択ゲート線SGS, SGDを選択駆動するのが、ロウデコーダ2である。ビット線BLは、ページバッファ3を構成する各センスアンプS/Aに接続される。ワード線を共有する複数のNANDストリングの集合は、消去の単位となるブロック4を構成し、ビット線BLの方向に複数ブロックが配列される。

【0014】

図9は、通常のNAND型フラッシュメモリで行われている読み出し動作の電圧波形である。図10のようなしきい値分布の2値データ読み出しの場合であれば、選択ワード線に読み出し電圧Vcg(例えば0.4V)を、非選択ワード線には、読み出しパス電圧Vread(例えば5V)を、ビット線側の選択ゲート線SGDには選択ゲートトランジスタをオンさせる電圧Vsg(例えば4V)をそれぞれ与えた状態で、ビット線プリチャージを行い(タイミングT0)、所定のビット線電圧VBL(例えば1V)まで充電する。

10

【0015】

図10に示すように、読み出し電圧Vcgは、データ“0”, “1”のしきい値分布の間に、即ち、データ“1”セル(消去セル)ではセル電流が流れ、データ“0”セル(書き込みセル)ではセル電流が流れないように設定される。読み出しパス電圧Vreadは、データ“0”, “1”に拘わらずセルをオンさせるに十分な電圧である。

20

【0016】

ビット線プリチャージの後、ソース線側の選択ゲート線SGSに選択ゲートトランジスタをオンさせる電圧Vsgを与える(タイミングT1)。これにより、選択セルがデータ“1”であれば、NANDストリングは導通してビット線BLが放電され、データ“0”であれば、NANDストリングは導通せず、ビット線が放電されない。このビット線の放電の有無(または大小)を検出することにより、データを判別することができる。

【0017】

このような通常の読み出し動作での問題を、具体的に説明する。微細化が進むに従い、ワード線間距離が近くなってくるが、ゲート絶縁膜の膜厚を薄くすることはセル特性の信頼性上制限がある。その結果、隣接セルのワード線間あるいはワード線とフローティングゲート間の容量結合が大きくなる。

30

【0018】

図11は、NANDセルストリング内の隣接セル間の容量結合の様子を示している。フローティングゲート(FG)は、その上のワード線即ちコントロールゲート(CG)及びセルチャネルと容量C1及びC2で結合する他、隣接セルのフローティングゲート及びコントロールゲートとの間でそれぞれ容量C3及びC4で結合する。そして容量C3, C4が容量C1, C2に対して無視できない大きさになると、隣接セル間の容量結合が読み出し動作に影響を与える。

【0019】

図12は、非選択ワード線に一律に読み出しパス電圧Vreadを与えた場合のNANDストリング内のワード線WL(コントロールゲートCG)及びフローティングゲートFGの電圧分布を示している。

40

【0020】

フローティングゲートFGの電圧は、本来は直上のコントロールゲートCGとセルチャネルとの容量分割により決まり、非選択セルのフローティングゲートFGは、Vread'(<Vread)になる。しかし、非選択セルのうち選択セルに隣接するセルでは、図12に示すように、選択セルからの容量結合で、フローティングゲートFGの電圧は実質的に低くなる。逆に、選択セルのフローティングゲートの電圧は、隣接する非選択セルの影響で高くなる。従って、非選択セルが十分にオンせず、また選択セルもデータ“1”であっても十分にオンしない、という事態が生じる。

【0021】

50

この実施の形態では、非選択ワード線に与える読み出しバス電圧の最適化により、データ読み出しの信頼性向上を図る。以下、具体的に説明する。

【0022】

[実施態様1]

図1は、実施態様1によるデータ読み出し時のNANDセストリング内の電圧分布を示している。選択ワード線には、セルデータのしきい値分布の間に設定された読み出し電圧 $V_{cg}$ を、選択ワード線のビット線(BL)コンタクト側(選択ゲート線SGD側)にある非選択ワード線については、選択ワード線に隣接するものに読み出しバス電圧 $V_{read1}$ を、それ以外の非選択ワード線に $V_{read1}$ より低い読み出しバス電圧 $V_{read2}$ を与える。選択ワード線のソース線(CELSRC)コンタクト側(選択ゲート線SGS側)にある非選択ワード線については、 $V_{read1}$ より高い読み出しバス電圧 $V_{read3}$ を与える。

10

【0023】

これは、読み出しバス電圧 $V_{read2}$ を、図12で説明した通常用いられている一律の読み出しバス電圧 $V_{read}$ であるとして、これより高い読み出しバス電圧 $V_{read1}$ を選択ゲート線SGD側の隣接選択ワード線に、また更にこれより高い読み出しバス電圧 $V_{read3}$ を選択ゲート線SGS側のすべての非選択ワード線に与えるものということができる。

【0024】

これにより、選択ワード線に隣接する非選択ワード線下のフローティングゲートの選択セルからの容量結合による電圧低下が抑えられ、非選択セルを十分にオンさせることができる。特に、選択ゲート線SGS側の非選択ワード線には高い読み出しバス電圧 $V_{read3}$ を印加することにより、選択セルのソース側のチャネル抵抗によりソース電位が上がるバックゲート効果(負帰還効果)が抑えられ、NANDストリングに十分なセル電流を流すことが可能になる。

20

【0025】

以上により、読み出しマージンが増大し、またセンス時間を短縮することが可能になる。

【0026】

選択ゲート線SGDに最も近いワード線WL31が選択されたときは、図4に示すように、非選択ワード線すべてに、図1に示した読み出しバス電圧 $V_{read3}$ を与える。これにより、選択セルのソース側のチャネル抵抗を十分に低くして、セル電流を大きくすることができる。

30

【0027】

選択ゲート線SGSに最も近いワード線WL0が選択されたときは、図5に示すように、隣接する非選択ワード線に読み出しバス電圧 $V_{read1}$ を、それ以外の非選択ワード線にそれより低い読み出しバス電圧 $V_{read2}$ を与える。この関係は、図1と同じである。これにより、選択セルに隣接する非選択セルについて、フローティングゲート電圧の低下を抑えて、十分なセル電流を流すことが可能になる。

40

【0028】

[実施態様2]

図2は、実施態様2によるデータ読み出し時のNANDセストリング内の電圧分布を示している。選択ワード線には、セルデータのしきい値分布の間に設定された読み出し電圧 $V_{cg}$ を、選択ワード線のビット線(BL)コンタクト側(選択ゲート線SGD側)にある非選択ワード線については、選択ワード線に隣接するものに読み出しバス電圧 $V_{read1}$ を、それ以外の非選択ワード線に $V_{read1}$ より低い読み出しバス電圧 $V_{read2}$ を与える。選択ワード線のソース線(CELSRC)コンタクト側(選択ゲート線SGS側)にある非選択ワード線については、すべて読み出しバス電圧 $V_{read1}$ を与える。

【0029】

50

これは、読み出しパス電圧  $V_{read2}$  を、図 12 で説明した通常用いられている一律の読み出しパス電圧  $V_{read}$  であるとして、選択ゲート線  $SGD$  側の隣接選択ワード線及び選択ゲート線  $SGS$  側のすべての非選択ワード線に、それより高い読み出しパス電圧  $V_{read1}$  を与えるものということができる。

【0030】

これにより、実施態様 1 と同様に、十分なセル電流を確保して、読み出しの信頼性向上を図ることができる。また読み出しパス電圧の種類が実施態様 1 より少ないという利点がある。

【0031】

[実施態様 3]

図 3 は、実施態様 3 によるデータ読み出し時の  $NAND$  セストリング内の電圧分布を示している。選択ワード線には、セルデータのしきい値分布の間に設定された読み出し電圧  $V_{cg}$  を、選択ワード線のビット線 ( $BL$ ) コンタクト側 (選択ゲート線  $SGD$  側) にある非選択ワード線については、選択ワード線に隣接するものに読み出しパス電圧  $V_{read1}$  を、それ以外の非選択ワード線に  $V_{read1}$  より低い読み出しパス電圧  $V_{read2}$  を与える。選択ワード線のソース線 ( $CELSRC$ ) コンタクト側 (選択ゲート線  $SGS$  側) にある非選択ワード線については、選択ワード線に隣接するものに  $V_{read1}$  より高い読み出しパス電圧  $V_{read1}$  を、それ以外の非選択ワード線に読み出しパス電圧  $V_{read1}$  を与える。

10

【0032】

図 1 の実施態様 1 と異なる点は、選択ゲート線  $SGS$  側の非選択ワード線をすべて高い読み出し電圧  $V_{read3}$  とせず、選択ワード線に隣接するもののみに読み出しパス電圧  $V_{read3}$  を与える点である。選択ゲート線  $SGS$  側の非選択セルのうち、選択セルのソース抵抗に最も影響の高い隣接セルのチャンネル抵抗低下を抑制することができるので、十分な読み出し特性改善が図られる。

20

【0033】

[実施態様 4]

図 6 は、 $NAND$  ストリングの両端の選択ゲートトランジスタ  $SG1$ ,  $SG2$  に隣接してダミーセル  $DC1$ ,  $DC2$  を配置した場合の例である。ここでは、 $NAND$  ストリングが 64 個のメモリセル  $M0 - M63$  を有するものとしている。ダミーセル  $DC1$ ,  $DC2$  は他のメモリセルと同様に構成されるが、選択ゲートトランジスタに隣接するセル  $M63$ ,  $M0$  の誤書き込み防止のために挿入されるもので、データ書き込みには利用されない。但し、読み出し時はパストラジスタとして動作させる必要があるため、それらの制御ゲートはワード線と並行するダミーワード線  $DWL D$ ,  $DWL S$  に接続され、これらに読み出しパス電圧が与えられる。

30

【0034】

図 6 の読み出しバイアス方式は、基本的に図 1 の実施態様 1 と同じであり、選択ゲート線  $SGS$  側のダミーワード線  $DWL S$  には、その隣の非選択ワード線  $WL0$  と同じ読み出しパス電圧  $V_{read3}$  を、選択ゲート線  $SGD$  側のダミーワード線  $DWL D$  には、その隣の非選択ワード線  $WL63$  と同じ読み出しパス電圧  $V_{read2}$  を与えている。

40

【0035】

ダミーセル  $DC1$ ,  $DC2$  は、データ書き込みには利用されず、消去状態で用いられるので、もともとチャンネル抵抗は問題にならないが、これにより実施態様 1 と同様に十分なセル電流を確保して、読み出しの信頼性向上を図ることができる。

【0036】

図 2 及び図 3 で説明した実施態様 2, 3 の方式も同様に、ダミーセルを含む  $NAND$  ストリングに適用できる。即ち図には示さないが、図 2 又は図 3 のバイアス方式を基本として、選択ゲート線  $SGS$  に隣接するダミーワード線  $DWL S$  に読み出しパス電圧  $V_{read1}$  を、選択ゲート線  $SGD$  に隣接するダミーワード線  $DWL D$  に読み出しパス電圧  $V_{read2}$  を与えればよい。

50

## 【 0 0 3 7 】

## [ 実施態様 5 ]

図 7 は、図 6 と同様に、NAND ストリングの両端の選択ゲートトランジスタ S G 1 , S G 2 に隣接してダミーセル D C 1 , D C 2 を配置した場合の他の例である。

## 【 0 0 3 8 】

前述のように、ダミーセルは消去された状態で動作させる。そのため、ゲート誘導ドレインリーク電流 G I D L ( Gate Induced Drain Leakage ) により誤書き込みが生じたとしても、あまり高いしきい値にはならない。それゆえこれらのダミーワード線 D W L D , D W L S には比較的低い読み出しパス電圧を用いてもよい。

## 【 0 0 3 9 】

図 7 の例では、選択ゲート線 S G S 側のダミーワード線 D W L S には、その隣の非選択ワード線 W L 0 より低い読み出しパス電圧 V r e a d 1 を、選択ゲート線 S G D 側のダミーワード線 D W L D には、その隣の非選択ワード線 W L 6 3 より低い読み出しパス電圧 V r e a d 4 を与えている。

## 【 0 0 4 0 】

読み出しパス電圧の種類が増えるが、ダミーセルでの誤書き込みストレスを抑えて、読み出しの信頼性向上を図ることができる。

## 【 0 0 4 1 】

図 2 及び図 3 で説明した実施態様 2 , 3 の方式も同様に、ダミーセルを含む NAND ストリングに適用できる。即ち図には示さないが、図 2 又は図 3 のバイアス方式を基本として、選択ゲート線 S G S に隣接するダミーワード線 D W L S に読み出しパス電圧 V r e a d 1 を、選択ゲート線 S G D に隣接するダミーワード線 D W L D に読み出しパス電圧 V r e a d 4 を与えればよい。

## 【 0 0 4 2 】

ここまで、通常データ読み出し時のワード線バイアスについて説明したが、この発明はデータ書き込みの際のベリファイ読み出し動作にも同様に適用が可能である。

## 【 0 0 4 3 】

ちなみに、データ書き込みシーケンスは、図 1 3 に示すようになる。即ち、1 ページ分の書き込みデータをロードし ( ステップ S 1 ) 、書き込みパルス電圧を印加し ( ステップ S 2 ) 、ベリファイ読み出しを行い ( ステップ S 3 ) 、ベリファイチェックを行う ( S 4 ) 。書き込み不十分なセルがあれば、書き込み電圧をステップアップして ( ステップ S 5 ) 、ベリファイパスするまで、書き込みを繰り返す。

## 【 0 0 4 4 】

このような書き込み時のベリファイ読み出しでは、図 1 0 に示すように、通常読み出し時の読み出し電圧 V c g とは異なり、データ “ 0 ” のしきい値分布の下限値を確認するためのベリファイ読み出し電圧 V v が用いられる。非選択ワード線に読み出しパス電圧を印加することは通常読み出し時と同様であり、従って先に説明した各実施態様は、読み出し電圧を変更するのみでそのまま書き込みベリファイ読み出しに適用することが可能である。

## 【 0 0 4 5 】

またこの発明は、共通ソース線 C E L S R C に V d d を与えてビット線 B L 側にセル電流を流してビット線の充電レベルを検出する、という読み出し方式にも適用できる。この場合、選択ワード線には例えば V d d を与え、非選択ワード線には読み出しパス電圧 V r e a d を与えることになるので、その読み出しパス電圧 V r e a d に上記各実施態様と同様の考慮を払うことにより、同様の効果が期待できる。

## 【 0 0 4 6 】

更に各実施態様の方式は、読み出し電圧や読み出しパス電圧の絶対値を変更するのみで、多値データ記憶方式の NAND 型フラッシュメモリに同様に適用することができる。

## 【 図面の簡単な説明 】

## 【 0 0 4 7 】

10

20

30

40

50

【図 1】実施態様 1 による読み出し時の NAND ストリング内の電圧分布を示す図である。

【図 2】実施態様 2 による読み出し時の NAND ストリング内の電圧分布を示す図である。

【図 3】実施態様 3 による読み出し時の NAND ストリング内の電圧分布を示す図である。

【図 4】ビット線側選択ゲート線に最も近いワード線が選択された場合の NAND ストリング内の電圧分布を示す図である。

【図 5】ソース線側選択ゲート線に最も近いワード線が選択された場合の NAND ストリング内の電圧分布を示す図である。

【図 6】実施態様 4 による読み出し時の NAND ストリング内の電圧分布を示す図である。

【図 7】実施態様 5 による読み出し時の NAND ストリング内の電圧分布を示す図である。

【図 8】実施の形態の NAND 型フラッシュメモリのメモリコア回路構成を示す図である。

【図 9】同フラッシュメモリの通常のリデータ読み出し時の動作電圧波形を示す図である。

【図 10】同フラッシュメモリの 2 値記憶の場合のリデータしきい値分布を示す図である。

【図 11】NAND ストリング内のセル間容量結合の様子を示す図である。

【図 12】通常のリ読み出し時の NAND ストリング内の電圧分布を示す図である。

【図 13】データ書き込みシーケンスを示す図である。

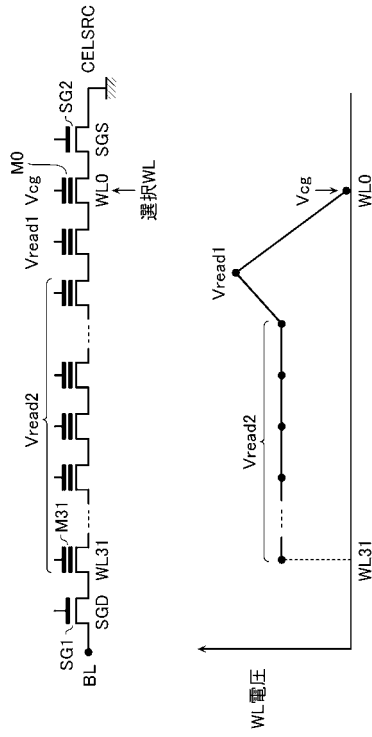
【符号の説明】

【0048】

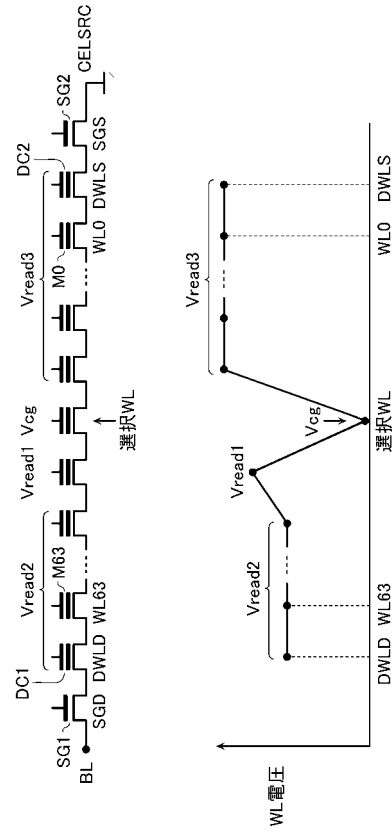
1 ... メモリセルアレイ、2 ... ロウデコーダ、3 ... ページバッファ、4 ... ブロック、5 ... NAND ストリング、M0 - M31 ... メモリセル、SG1, SG2 ... 選択ゲートトランジスタ、DC1, DC2 ... ダミーセル、WL0 - WL31 ... ワード線、SGS, SGD ... 選択ゲート線、DWLS, DWLD ... ダミーワード線。



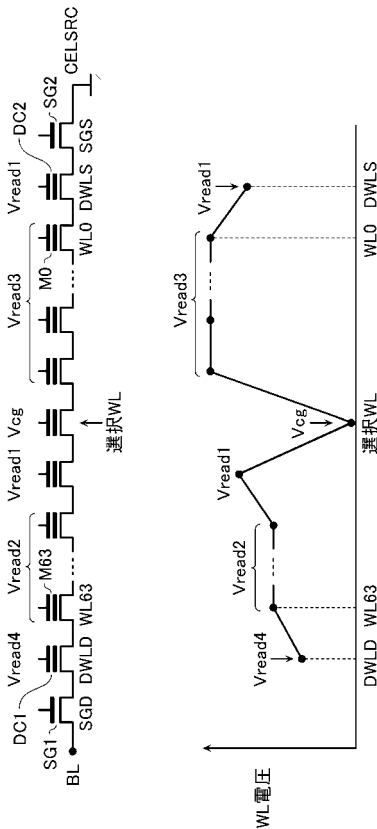
【 図 5 】



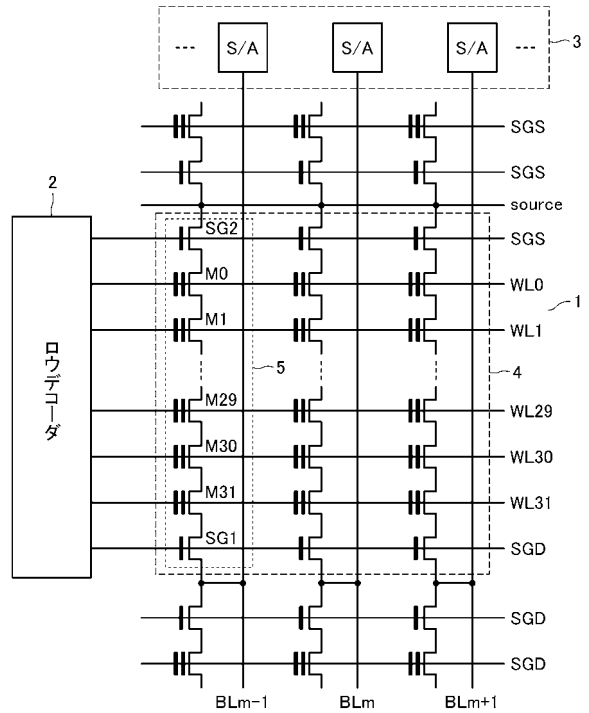
【 図 6 】



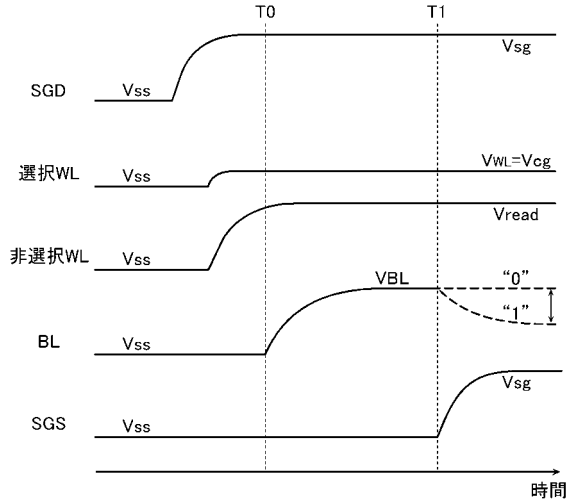
【 図 7 】



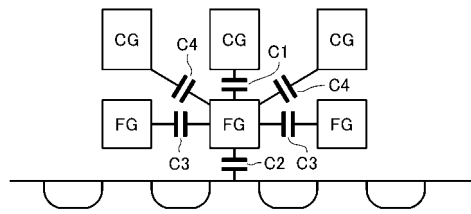
【 図 8 】



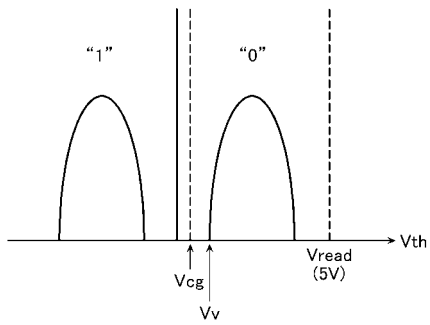
【 図 9 】



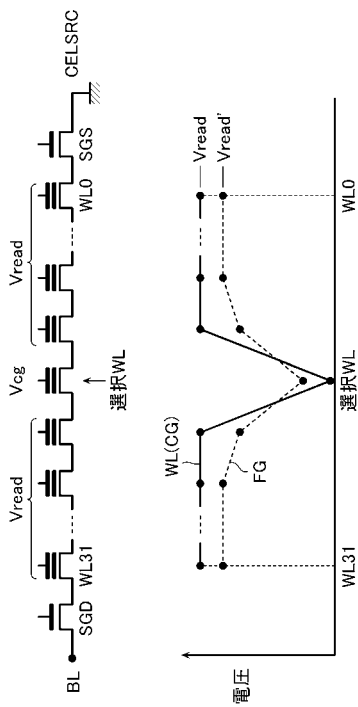
【 図 1 1 】



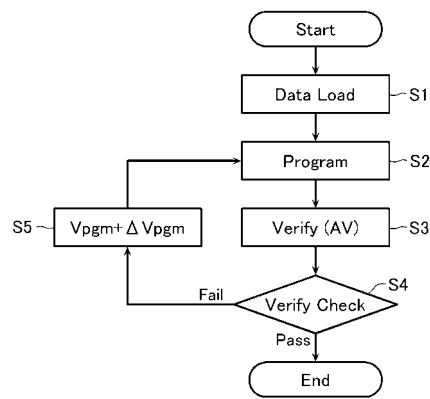
【 図 1 0 】



【 図 1 2 】



【 図 1 3 】



---

フロントページの続き

(72)発明者 清水 有威

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 CA14 CA15 DA09 EA05 EB10 EJ06 FA02