

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4127069号  
(P4127069)

(45) 発行日 平成20年7月30日(2008.7.30)

(24) 登録日 平成20年5月23日(2008.5.23)

(51) Int.Cl.

G06F 13/38 (2006.01)

F 1

G06F 13/38 310C  
G06F 13/38 350

請求項の数 9 (全 37 頁)

(21) 出願番号 特願2003-40138 (P2003-40138)  
 (22) 出願日 平成15年2月18日 (2003.2.18)  
 (62) 分割の表示 特願2002-118180 (P2002-118180)  
     分割  
     原出願日 平成14年4月19日 (2002.4.19)  
 (65) 公開番号 特開2003-316730 (P2003-316730A)  
 (43) 公開日 平成15年11月7日 (2003.11.7)  
 審査請求日 平成17年4月18日 (2005.4.18)

特許法第30条第1項適用 Design Wave  
 2002年4月号(平成14年4月1日) CQ出版株式  
 会社発行第82-88ページに発表

(73) 特許権者 000002369  
     セイコーエプソン株式会社  
     東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
     弁理士 井上 一  
 (74) 代理人 100090387  
     弁理士 布施 行夫  
 (74) 代理人 100090398  
     弁理士 大渕 美千栄  
 (72) 発明者 ▲斎▼藤 伸之  
     長野県諏訪市大和3丁目3番5号 セイコ  
     エプソン株式会社内  
 (72) 発明者 久保田 慎介  
     長野県諏訪市大和3丁目3番5号 セイコ  
     エプソン株式会社内

最終頁に続く

(54) 【発明の名称】データ転送制御装置、電子機器及びデータ転送制御方法

## (57) 【特許請求の範囲】

## 【請求項1】

USB (Universal Serial Bus) に接続される電子機器に組み込まれ、USBを介してデータを送受信するデータ転送制御装置であって、

エンドポイントに対応してパイプ領域をパケットバッファに確保し、パケットバッファに対してアクセス制御を行うバッファコントローラと、

パイプ領域のページサイズとページ数が設定されるレジスタを含むレジスタ部と、

ページサイズとページ数によりその領域サイズが設定されるパイプ領域と、そのパイプ領域に対応するエンドポイントとの間で、データを転送する転送コントローラとを含み、前記バッファコントローラは、

所与のデータ単位の転送が終了するとパイプ領域を解放し、

前記パイプ領域が解放された前記パケットバッファに、エンドポイントに対応してパイプ領域を再割り当てすることを特徴とするデータ転送制御装置。

## 【請求項2】

請求項1において、

ホストの役割として動作するホスト動作のステートと、ペリフェラルの役割として動作するペリフェラル動作のステートを含む複数のステートの制御を行うステートコントローラを含み、

ページサイズとページ数が、ホスト動作時とペリフェラル動作時で共用される共用レジスタに設定されることを特徴とするデータ転送制御装置。

10

20

**【請求項 3】**

請求項 2 において、  
 ホスト動作時には、  
 エンドポイントとの間で転送されるデータがパイプ領域に記憶される複数のパイプ領域が、パケットバッファに確保されると共に、パイプ領域のページサイズとページ数が前記共用レジスタに設定され、  
 ペリフェラル動作時には、  
 エンドポイントとホストとの間で転送されるデータがエンドポイント領域に記憶される複数のエンドポイント領域が、パケットバッファに確保されると共に、エンドポイント領域のページサイズとページ数が前記共用レジスタに設定されることを特徴とするデータ転送制御装置。  
10

**【請求項 4】**

請求項 1 乃至 3 のいずれかにおいて、  
 前記レジスタ部は、  
 パイプ領域とエンドポイントとの間でのデータ転送の転送条件情報が設定される転送条件レジスタを含み、  
 ページサイズとページ数が、前記転送条件情報として前記転送条件レジスタに設定されることを特徴とするデータ転送制御装置。

**【請求項 5】**

請求項 4 において、  
 データ転送の転送種別が、前記転送条件情報として前記転送条件レジスタに設定されることを特徴とするデータ転送制御装置。  
20

**【請求項 6】**

請求項 4 又は 5 において、  
 前記転送コントローラは、  
 前記転送条件レジスタに設定された前記転送条件情報に基づいて、エンドポイントに対するトランザクションを発生し、ページサイズとページ数によりその領域サイズが設定されるパイプ領域と、そのパイプ領域に対応するエンドポイントとの間で、データを転送することを特徴とするデータ転送制御装置。  
30

**【請求項 7】**

請求項 1 乃至 6 のいずれかにおいて、  
 処理部が、ページサイズとページ数をレジスタ部のレジスタに設定し、パイプ領域の領域確保を指示した場合に、前記バッファコントローラが、ページサイズとページ数によりその領域サイズが設定されるパイプ領域を、パケットバッファに確保することを特徴とするデータ転送制御装置。

**【請求項 8】**

請求項 1 乃至 7 のいずれかのデータ転送制御装置と、  
 前記データ転送制御装置及びバスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、  
 前記データ転送制御装置のデータ転送を制御する処理部と、  
 を含むことを特徴とする電子機器。  
40

**【請求項 9】**

U S B (Universal Serial Bus) を介してデータを送受信するためのデータ転送制御方法であって、  
 エンドポイントに対応してパイプ領域をパケットバッファに確保し、  
 パイプ領域のページサイズとページ数をレジスタに設定し、  
 ページサイズとページ数によりその領域サイズが設定されるパイプ領域と、そのパイプ領域に対応するエンドポイントとの間で、データを転送すると共に、  
 所与のデータ単位の転送が終了するとパイプ領域を解放し、  
 前記パイプ領域が解放された前記パケットバッファに、エンドポイントに対応してパイ  
50

プ領域を再割り当てすることを特徴とするデータ転送制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御装置、電子機器及びデータ転送制御方法に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

H S ( High Speed ) モードをサポートする U S B ( Universal Serial Bus ) 2 . 0 の市場が順調に拡大しているなか、 U S B Implementers Forum ( U S B - I F ) によって、 U S B On - The - Go ( O T G ) と呼ばれるインターフェース規格が策定された。 U S B 2 . 0 を拡張する形で策定された O T G 規格 ( O T G 1 . 0 ) は、 U S B インターフェースの新たな付加価値を生む可能性を秘めており、その特質を生かしたアプリケーションの登場が待たれている。  
10

【0003】

この O T G によれば、これまで U S B を介してホスト ( パーソナルコンピュータ等 ) に接続されていたペリフェラル ( 周辺機器 ) に、ホスト機能を持たせることができる。これにより、ペリフェラル同士を U S B で接続してデータを転送することが可能になり、例えばデジタルカメラとプリンタとをダイレクトに接続して、デジタルカメラの画像を印刷することが可能になる。また、デジタルカメラやデジタルビデオカメラをストレージ装置に接続して、データを保存することが可能になる。  
20

【0004】

しかしながら、 O T G によりホスト機能を持たせるペリフェラルには、低性能の C P U ( 処理部 ) が組み込まれているのが一般的である。従って、ホスト機能の追加により、ペリフェラルが有する C P U ( ファームウェア ) の処理負荷が重くなったり、処理が複雑化すると、他の処理に支障が生じたり、機器の設計期間が長期化するなどの問題が生じる。

【0005】

また、 O T G によりホスト機能を持たせることで、データ転送制御装置が大規模化してしまうと、データ転送制御装置の高コスト化や、データ転送制御装置が組み込まれる機器 ( 電子機器 ) の高コスト化等を招く。

【0006】

また、このようなデータ転送制御装置では、転送データを記憶するパケットバッファが設けられているが、このパケットバッファの相対的な回路規模は一般的に大きい。従って、このパケットバッファのリソースを、如何にして有効活用するかが重要な技術的課題になる。  
30

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、パケットバッファのリソースを有効活用できるデータ転送制御装置、電子機器及びデータ転送制御方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、各エンドポイントに対応して各パイプ領域が確保され、各エンドポイントとの間で転送されるデータが各パイプ領域に記憶される複数のパイプ領域を有するパケットバッファに対して、アクセス制御を行うバッファコントローラと、各パイプ領域のページサイズとページ数が各レジスタに設定される複数のレジスタを含むレジスタ部と、ページサイズとページ数によりその領域サイズが設定されるパイプ領域と、そのパイプ領域に対応するエンドポイントとの間で、データを転送する転送コントローラとを含むデータ転送制御装置に関係する。  
40

【0009】

本発明では、パケットバッファに対して複数のパイプ領域 ( バッファ領域 ) が確保 ( allocate ) される。この場合に、各パイプ領域は、バスの各エンドポイントに対応して確保さ  
50

れる。また、各パイプ領域には、それに対応する各エンドポイントとの間で転送（送信、受信）されるデータが記憶（バッファリング）される。バッファコントローラは、このようなパイプ領域が確保されたパケットバッファ（バッファ）のアクセス制御（領域管理）を行う。

#### 【0010】

そして本発明では、各パイプ領域の領域サイズを設定するためのページサイズとページ数（バッファ面数）が、レジスタ部の各レジスタ（パイプレジスタ）に設定される。そして、転送コントローラは、各レジスタに設定されたページサイズとページ数により領域サイズが設定されるパイプ領域と、エンドポイントとの間で、データを転送する。これにより、パケットバッファのリソースを有効活用してデータ転送を行えるようになる。

10

#### 【0011】

また本発明では、ホストの役割として動作するホスト動作のステートと、ペリフェラルの役割として動作するペリフェラル動作のステートを含む複数のステートの制御を行うステートコントローラを含み、ページサイズとページ数が、ホスト動作時とペリフェラル動作時で共用される共用レジスタに設定されるようにしてもよい。

#### 【0012】

本発明によれば、ホスト動作のステートとペリフェラル動作のステートを持つことが可能になり、いわゆるデュアルロール・デバイス機能を実現できる。そして本発明では、ページサイズとページ数が設定されるレジスタが、ホスト動作時とペリフェラル動作時とで共用される。これにより、ホスト動作とペリフェラル動作の両方の動作を可能にしながらも、レジスタ部のリソースを節約でき、データ転送制御装置の大規模化を最小限に抑えることができる。なお、レジスタ部の少なくとも一部を各ブロックに分散して設けるようにしてもよい。

20

#### 【0013】

また本発明では、ホスト動作時には、各エンドポイントとの間で転送されるデータが各パイプ領域に記憶される複数のパイプ領域が、パケットバッファに確保されると共に、各パイプ領域のページサイズとページ数が前記共用レジスタに設定され、ペリフェラル動作時には、各エンドポイントとホストとの間で転送されるデータが各エンドポイント領域に記憶される複数のエンドポイント領域が、パケットバッファに確保されると共に、各エンドポイント領域のページサイズとページ数が前記共用レジスタに設定されるようにしてもよい。

30

#### 【0014】

このようにすれば、パケットバッファのバッファ領域を、ホスト動作時にはパイプ領域として使用し、ペリフェラル動作時にはエンドポイント領域として使用できるようになる。これにより、パケットバッファのリソースの有効利用や、処理部の処理負荷の軽減化を図れる。

#### 【0015】

なお、パイプ領域（バッファ領域）のデータの書き込み、読み出しあは、各パイプ領域毎に設定される書き込みポインタ、読み出しポインタを用いて実現できる。そして、書き込みポインタ、読み出しポインタのポインタ情報（位置情報）は、各パイプ領域に対応する各共用レジスタに記憶してもよい。また、バスにデータを送信する送信時と、バスからデータを受信する受信時において、バスからのアクセスに対する書き込みポインタ、読み出しポインタの割り当てと、他のバスからのアクセスに対する書き込みポインタ、読み出しポインタの割り当てとを、異ならせててもよい。

40

#### 【0016】

また本発明では、前記レジスタ部が、各パイプ領域と各エンドポイントとの間でのデータ転送の転送条件情報が各転送条件レジスタに設定される複数の転送条件レジスタを含み、ページサイズとページ数が、前記転送条件情報として前記転送条件レジスタに設定されるようにしてもよい。

#### 【0017】

50

なお、転送条件レジスタに、ホスト動作時とペリフェラル動作時とで共用される共用転送条件レジスタと、ホスト動作時に使用されるホスト用転送条件レジスタと、ペリフェラル動作時に使用されるペリフェラル用転送条件レジスタを含ませてもよい。この場合には、ページサイズとページ数は、共用転送条件レジスタに設定することが望ましい。

【0018】

また本発明では、データ転送の転送種別が、前記転送条件情報として前記転送条件レジスタに設定されるようにもよい。

【0019】

このようにすれば、各パイプ領域のデータを、任意の転送種別のデータ転送（例えば、アイソクロナス、インタラプトなどの周期転送、バルク、コントロールなどの非周期転送）で転送できるようになる。10

【0020】

また本発明では、前記転送コントローラが、前記転送条件レジスタに設定された前記転送条件情報に基づいて、エンドポイントに対するトランザクションを自動発生し、ページサイズとページ数によりその領域サイズが設定されるパイプ領域と、そのパイプ領域に対応するエンドポイントとの間で、データを自動転送してもよい。

【0021】

このようにすれば、データ転送制御装置の制御等を行う処理部の処理負荷の軽減等を図れる。

【0022】

また本発明では、処理部が、ページサイズとページ数をレジスタ部のレジスタに設定し、パイプ領域の領域確保を指示した場合に、前記バッファコントローラが、ページサイズとページ数によりその領域サイズが設定される複数のパイプ領域を、パケットバッファに確保してもよい。20

【0023】

このようにすれば、パケットバッファのパイプ領域の領域サイズを動的に変化させることが可能になる。

【0024】

また本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、ホストとの間で転送されるデータが各エンドポイント領域に記憶される複数のエンドポイント領域を有するパケットバッファに対して、アクセス制御を行うバッファコントローラと、各エンドポイント領域のページサイズとページ数が各レジスタに設定される複数のレジスタを含むレジスタ部と、ページサイズとページ数によりその領域サイズが設定されるエンドポイント領域と、ホストとの間で、データを転送する転送コントローラとを含むデータ転送制御装置に関する。30

【0025】

本発明では、パケットバッファに対して複数のエンドポイント領域が確保される。この場合に、各エンドポイント領域には、ホストとの間で転送（送信、受信）されるデータが記憶（バッファリング）される。バッファコントローラは、このようなエンドポイント領域が確保されたパケットバッファのアクセス制御（領域管理）を行う。40

【0026】

そして本発明では、各エンドポイント領域の領域サイズを設定するためのページサイズとページ数（バッファ面数）が、レジスタ部の各レジスタ（パイプレジスタ）に設定される。そして、転送コントローラは、各レジスタに設定されたページサイズとページ数により領域サイズが設定されるエンドポイント領域と、ホストとの間で、データを転送する。これにより、パケットバッファのリソースを有効活用してデータ転送を行えるようになる。

【0027】

また本発明では、前記レジスタ部が、各エンドポイント領域とホストとの間でのデータ転送の転送条件情報が各転送条件レジスタに設定される複数の転送条件レジスタを含み、ページサイズとページ数が、前記転送条件情報として前記転送条件レジスタに設定されるよ50

うにしてもよい。

【0028】

また本発明では、データ転送の転送種別が、前記転送条件情報として前記転送条件レジスタに設定されるようにしてよい。

【0029】

このようにすれば、各エンドポイント領域のデータを、任意の転送種別のデータ転送で転送できるようになる。

【0030】

また本発明では、前記転送コントローラが、前記転送条件レジスタに設定された前記転送条件情報に基づいて、エンドポイント領域とホストとの間で、データを転送してもよい。

10

【0031】

また本発明では、処理部が、ページサイズとページ数をレジスタ部のレジスタに設定し、エンドポイント領域の領域確保を指示した場合に、前記バッファコントローラが、ページサイズとページ数によりその領域サイズが設定される複数のエンドポイント領域を、パケットバッファに確保してもよい。

【0032】

また本発明では、レジスタに設定されるページサイズが、マックスパケットサイズであつてもよい。

【0033】

また本発明は、USB (Universal Serial Bus)のOTG (On-The-Go) 規格に準拠したデータ転送を行うようにしてよい。

20

【0034】

また本発明は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、前記データ転送制御装置のデータ転送を制御する処理部とを含む電子機器に関係する。

【0035】

また本発明は、バスを介したデータ転送のためのデータ転送制御方法であって、各エンドポイントとの間で転送されるデータが各パイプ領域に記憶される複数のパイプ領域を、パケットバッファに確保し、各パイプ領域のページサイズとページ数を、複数のレジスタの各レジスタに設定し、ページサイズとページ数によりその領域サイズが設定されるパイプ領域と、そのパイプ領域に対応するエンドポイントとの間で、データを転送するデータ転送制御方法に関係する。

30

【0036】

また本発明は、バスを介したデータ転送のためのデータ転送制御方法であって、ホストとの間で転送されるデータが各エンドポイント領域に記憶される複数のエンドポイント領域を、パケットバッファに確保し、各エンドポイント領域のページサイズとページ数を、複数のレジスタの各レジスタに設定し、ページサイズとページ数によりその領域サイズが設定されるエンドポイント領域と、ホストとの間で、データを転送するデータ転送制御方法に関係する。

【0037】

40

【発明の実施の形態】

以下、本実施形態について説明する。

【0038】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0039】

1. OTG

まず、OTG (USB On-The-Go) について簡単に説明する。

【0040】

50

### 1.1 Aデバイス、Bデバイス

OTGでは、コネクタの規格として、図1(A)に示すようなMini-Aプラグ、Mini-Bプラグが定義されている。また、これらのMini-Aプラグ、Mini-Bプラグ(広義にはケーブルの第1、第2のプラグ)の両方を接続できるコネクタとして、Mini-ABレセプタクル(receptacle)が定義されている。

#### 【0041】

そして例えば図1(B)のように、USBケーブルのMini-Aプラグに電子機器Pが接続され、Mini-Bプラグに電子機器Qが接続されると、電子機器PはAデバイスに設定され、電子機器QはBデバイスに設定される。一方、図1(C)に示すように、Mini-Bプラグ、Mini-Aプラグが電子機器P、Qに接続されると、電子機器P、Qは、各々、Bデバイス、Aデバイスに設定される。10

#### 【0042】

Mini-Aプラグ内ではIDピンがGNDに接続されており、Mini-Bプラグ内ではIDピンはフローティング状態になっている。電子機器は、内蔵するブルアップ抵抗回路を用いて、このIDピンの電圧レベルを検出することで、自身がMini-Aプラグに接続されたのか、或いはMini-Bプラグに接続されたのかを判断する。

#### 【0043】

OTGでは、Aデバイス(マスター)が、電源(VBUS)を供給する側(供給元)になり、Bデバイス(スレイブ)が、電源の供給を受ける側(供給先)になる。また、Aデバイスは、デフォルトのステートがホストになり、Bデバイスは、デフォルトのステートがペリフェラル(周辺機器)になる。20

#### 【0044】

### 1.2 デュアルロール・デバイス

OTGでは、ホスト(簡易ホスト)としての役割とペリフェラルとしての役割の両方を持つことができるデュアルロール・デバイス(Dual-Role Device)が定義されている。

#### 【0045】

デュアルロール・デバイスは、ホストにもペリフェラルにもなる。そして、デュアルロール・デバイスに接続された相手が、従来のUSB規格におけるホストやペリフェラルである場合には、デュアルロール・デバイスの役割は一意に定まる。つまり、接続相手がホストであれば、デュアルロール・デバイスはペリフェラルになり、接続相手がペリフェラルであれば、デュアルロール・デバイスはホストになる。30

#### 【0046】

一方、接続相手がデュアルロール・デバイスである場合には、両方のデュアルロール・デバイスは、お互いにホストとペリフェラルの役割を交換できる。

#### 【0047】

### 1.3 S R P、H N P

デュアルロール・デバイスは、図2(A)、(B)に示すようなセッション開始要求手順S R P(Session Request Protocol)やホスト交換手順H N P(Host Negotiation Protocol)の機能を持つ。

#### 【0048】

ここでセッション開始要求手順S R Pは、BデバイスがAデバイスに対して、V B U S(電源)の供給を要求するプロトコルである。40

#### 【0049】

バスを使用しない場合にOTGでは、AデバイスはV B U Sの供給を停止できる。これにより、Aデバイスが例えば小型の携帯機器であった場合に、無駄な電力消費を防止できる。そして、AデバイスがV B U Sの供給を停止した後に、BデバイスがV B U Sを供給してもらいたい場合には、このS R Pを使用して、Aデバイスに対してV B U Sの供給の再開を要求する。

#### 【0050】

図2(A)にS R Pの流れを示す。図2(A)に示すように、Bデバイスは、データ・ラ50

イン・パルシングとV B U S パルシングを行うことで、A デバイスに対してV B U S の供給を要求する。そして、A デバイスによるV B U S の供給の開始後に、B デバイスのペリフェラル動作 (peripheral operation) と、A デバイスのホスト動作 (host operation) が開始する。

#### 【 0 0 5 1 】

図 1 ( A ) ~ 図 1 ( C ) で説明したように、デュアルロール・デバイス同士の接続では、Mini - A プラグが接続された側である A デバイスがデフォルトのホストとなり、Mini - B プラグが接続された側である B デバイスがデフォルトのペリフェラルになる。そして、O T G では、プラグの抜き差しを行わなくても、ホストとペリフェラルの役割を交換できる。H N P は、このホストとペリフェラルの役割を交換するためのプロトコルである。

10

#### 【 0 0 5 2 】

H N P の流れを図 2 ( B ) に示す。デフォルトのホストとして動作する A デバイスが、バスの使用を終了すると、バスがアイドル状態になる。その後に、B デバイスがデータ信号線 D P ( D + ) のプルアップ抵抗を無効にすると、A デバイスが D P のプルアップ抵抗を有効にする。これにより、A デバイスの役割はホストからペリフェラルに変わり、ペリフェラルとしての動作を開始する。また、B デバイスの役割はペリフェラルからホストに変わり、ホストとしての動作を開始する。

#### 【 0 0 5 3 】

その後、B デバイスが、バスの使用を終了し、A デバイスが D P のプルアップ抵抗を無効にすると、B デバイスが、D P のプルアップ抵抗を有効にする。これにより、B デバイスの役割はホストからペリフェラルに戻り、ペリフェラルとしての動作を再開する。また、A デバイスの役割はペリフェラルからホストに戻り、ホストとしての動作を再開する。

20

#### 【 0 0 5 4 】

以上に説明した O T G によれば、携帯電話やデジタルカメラなどの携帯機器をU S B のホストとして動作させ、携帯機器同士をピア・ツー・ピアで接続してデータ転送を行うことが可能になる。これにより、U S B インターフェースに新たな付加価値を生むことができ、これまでには存在しなかったアプリケーションを創出できる。

#### 【 0 0 5 5 】

##### 2 . O H C I

さて、従来のU S B では、ホストであるパーソナルコンピュータが有するデータ転送制御装置（ホストコントローラ）は、マイクロソフト社が提唱したO H C I (Open Host Controller Interface) や、U H C I (Universal Host Controller Interface) といった規格に準拠していた。また、使用されるO S (Operating System) も、マイクロソフト社のWindowsやアップル社のマッキントッシュのO S などに限定されていた。

30

#### 【 0 0 5 6 】

しかしながら、O T G のターゲット・アプリケーションである小型携帯機器では、組み込まれるC P U のアーキテクチャや、使用されるO S は千差万別である。更に、パーソナルコンピュータのホストコントローラ向けに規格化されたO H C I やU H C I は、U S B ホストとしての機能をフルに実装することを前提としており、小型携帯機器への実装に最適であるとは言い難い。

40

#### 【 0 0 5 7 】

例えば、図 3 ( A ) に、O H C I で使用されるリスト構造のデスクリプタの一例を示す。

#### 【 0 0 5 8 】

図 3 ( A ) において、エンドポイントディスクリプタ E D 1 、E D 2 、E D 3 は、リンクポインタによりリンクされており、エンドポイント 1 、2 、3 とのコミュニケーションに必要な情報が含まれている。そして、これらの E D 1 、E D 2 、E D 3 には、転送ディスクリプタ T D 1 1 ~ T D 1 3 、T D 2 1 、T D 3 1 ~ T D 3 2 がリンクポインタにより更にリンクされている。そして、これらの転送ディスクリプタには、エンドポイント 1 、2 、3 との間で転送するパケットデータに必要な情報が含まれている。

#### 【 0 0 5 9 】

50

図3(A)のリスト構造のディスクリプタは、図3(B)のCPU610(広義には処理部)上で動作するファームウェア(ホストコントローラ・ドライバ)が作成し、システムメモリ620に書き込む。即ち、ファームウェアは、システム中のエンドポイントに対してエンドポイントディスクリプタを割り当て、エンドポイント情報等に基づいてエンドポイントディスクリプタ、転送ディスクリプタを作成する。そして、これらのディスクリプタをリンクポインタでリンクさせて、システムメモリ620に書き込む。

#### 【0060】

データ転送制御装置600(ホストコントローラ)は、システムメモリ620に書き込まれたリスト構造のディスクリプタを読み出し、エンドポイントディスクリプタや転送ディスクリプタに記述される情報に基づいて、データ転送を実行する。

10

#### 【0061】

具体的には、データ転送制御装置600(ホストコントローラ)は、ED1に基づいてエンドポイント1の情報を設定し、ED1にリンクされるTD11に基づいて、エンドポイント1との間でデータ転送を行う。次に、ED2に基づいてエンドポイント2の情報を設定し、ED2にリンクされるTD21に基づいて、エンドポイント2との間でデータ転送を行う。同様にして、データ転送制御装置600は、TD31、TD12、TD32、TD13に基づいてデータ転送を実行する。

#### 【0062】

インターラプト転送を行う場合には、CPU610上で動作するファームウェア(ホストコントローラ・ドライバ)は、図4に示すような2分木(binary tree)構造のディスクリプタを作成する。例えば、1ms毎にインターラプト転送のポーリングを行うエンドポイントについては、そのディスクリプタを図4のプレイスホルダ(holder)700に設定する。同様に、2ms毎にポーリングを行うエンドポイントについては、そのディスクリプタをプレイスホルダ701、702に設定し、4ms毎にポーリングを行うエンドポイントについては、プレイスホルダ703、704、705、706に設定する。

20

#### 【0063】

そして、ポーリングを行う際には、インターラプトヘッドポインタのインデックスにしたがって、最下位層のプレイスホルダから順に2分木探索を行う。即ち、図4の経路710に示すように、まずインデックス0について最下位層から2分木探索を行う。次に、経路711に示すように、インデックス1について2分木探索を行う。同様にしてインデックス2~31について2分木探索を行う。これにより、プレイスホルダ700に対応するエンドポイントについては1ms(1フレーム)毎に、701、702に対応するエンドポイントについては2ms毎に、703~706に対応するエンドポイントについては4ms毎にインターラプト転送が行われるようになる。

30

#### 【0064】

以上のように、OHC1準拠のデータ転送制御装置(ホストコントローラ)では、CPU上で動作するファームウェア(ホストコントローラ・ドライバ)が、図3(A)、図4に示すような複雑な構造のディスクリプタを作成しなければならない。従って、CPUの処理負荷が非常に重い。

40

#### 【0065】

この場合、従来のUSBでは、ホストの役割が割り当てられるのはパーソナルコンピュータだけであり、このパーソナルコンピュータは高性能のCPUを有している。従って、図3(A)、図4に示すような複雑な構造のディスクリプタの作成も、余裕を持って行うことが可能であった。

#### 【0066】

ところが、OTGのターゲットアプリケーションである小型携帯機器(デジタルカメラ、携帯電話等)に組み込まれるCPU(embedded CPU)は、パーソナルコンピュータのCPUに比べて、性能が格段に低いのが一般的である。従って、携帯機器にOTGのホスト動作を行わせると、携帯機器に組み込まれるCPUに過大な負荷がかかり、他の処理に支障が生じたり、データ転送のパフォーマンスが低下するなどの問題が生じる。

50

## 【0067】

## 3. 構成例

図5に、以上のような問題を解決できる本実施形態のデータ転送制御装置の構成例を示す。なお、本実施形態のデータ転送制御装置は、図5の全ての回路ブロックを含む必要はなく、その一部の回路ブロックを省略してもよい。

## 【0068】

トランシーバ10（以下、適宜Xcvrと呼ぶ）は、差動データ信号DP、DMを用いてUSB（広義にはバス）のデータを送受信する回路であり、USBの物理層（PHY）回路12を含む。より具体的にはトランシーバ10は、DP、DMのラインステート（J、K、SE0等）の生成、シリアル／パラレル変換、パラレル／シリアル変換、ビットスタッフィング、ビットアンスタッフィング、NRZIデコード、NRZIエンコードなどを行う。なお、トランシーバ10をデータ転送制御装置の外部に設けるようにしてもよい。

10

## 【0069】

OTGコントローラ20（広義にはストートコントローラ。以下、適宜OTGCと呼ぶ）は、OTGのSRP機能やHNP機能（図2（A）、（B）参照）を実現するための種々の処理を行う。即ち、OTGコントローラ20は、ホストの役割として動作するホスト動作のステートや、ペリフェラルの役割として動作するペリフェラル動作のステートなどを含む複数のステートの制御を行う。

## 【0070】

より具体的には、OTG規格には、デュアルロール・デバイスのAデバイス時（図1（B）（C）参照）のステート遷移やBデバイス時のステート遷移が定義されている。OTGコントローラ20は、これらのステート遷移を実現するためのステートマシンを含む。また、OTGコントローラ20は、USBのデータラインステートや、VBusレベルや、IDピンのステートを検出（監視）する回路を含む。そして、OTGコントローラ20が含むステートマシンは、これらの検出情報に基づいて、そのステート（例えば、ホスト、ペリフェラル、サスペンド又はアイドルなどのステート）を変化させる。この場合のステートの遷移は、ハードウェア回路により実現してもよいし、ファームウェアがステートコマンドをレジスタに設定することで実現してもよい。そして、ステートが遷移すると、OTGコントローラ20は、遷移後のステートに基づいて、VBusを制御したり、DP、DMのプルアップ抵抗／プルダウン抵抗の接続／非接続を制御する。また、ホストコントローラ50（以下、適宜HCと呼ぶ）、ペリフェラルコントローラ60（以下、適宜PCと呼ぶ）のイネーブル／ディスエーブルを制御する。

20

## 【0071】

HC/PC切り替え回路30（HC/PC・コモン回路）は、トランシーバ10と、ホストコントローラ50又はペリフェラルコントローラ60との間の接続の切り替え制御を行う。また、USBのデータ（DP、DM）のラインステートの生成の指示をトランシーバ10に対して行う。なお、接続の切り替え制御は、HC/PCセレクタ32により実現され、ラインステートの生成指示は、ラインステートコントローラ34により実現される。

30

## 【0072】

例えばOTGコントローラ20が、ホスト動作時（ホストステート時）にHCイネーブル信号をアクティブにすると、HC/PC切り替え回路30（HC/PCセレクタ32）は、トランシーバ10とホストコントローラ50を接続する。一方、OTGコントローラ20が、ペリフェラル動作時（ペリフェラルステート時）にPCイネーブル信号をアクティブにすると、HC/PC切り替え回路30は、トランシーバ10とペリフェラルコントローラ60を接続する。このようにすることで、ホストコントローラ50とペリフェラルコントローラ60とを排他的に動作させることが可能になる。

40

## 【0073】

転送コントローラ40は、USB（広義にはバス）を介したデータ転送を制御する回路であり、ホストコントローラ50（HC）とペリフェラルコントローラ60（PC）を含む。

50

**【 0 0 7 4 】**

ここでホストコントローラ 50 は、ホスト動作時 (OTG コントローラ 20 からの HC イネーブル信号のアクティブ時) に、ホストの役割としてのデータ転送制御を行う回路である。

**【 0 0 7 5 】**

即ち、ホストコントローラ 50 は、ホスト動作時に、HC / PC 切り替え回路 30 によりトランシーバ 10 に接続される。そしてホストコントローラ 50 は、レジスタ部 70 の転送条件レジスタ部 72 に設定された転送条件情報に基づいて、エンドポイントに対するトランザクションを自動発生する。そして、パケットバッファ 100 に確保 (allocate) されたパイプ領域 (PIPE0 ~ PIPEe。以下、適宜 PIPE と呼ぶ) と、そのパイプ領域に対応するエンドポイントとの間で、データ (パケット) の自動転送 (処理部が介在しないハードウェア回路によるデータ転送) を行う。10

**【 0 0 7 6 】**

より具体的にはホストコントローラ 50 は、複数のパイプ転送間の調停、フレームにおける時間管理、転送のスケジューリング、再送の管理などを行う。また、パイプ転送の転送条件情報 (オペレーション情報) をレジスタ部 70 を介して管理する。また、トランザクションの管理を行ったり、パケットを生成 / 分解したり、サスPEND / レジューム / リセット状態生成の指示を行う。

**【 0 0 7 7 】**

一方、ペリフェラルコントローラ 60 は、ペリフェラル動作時 (OTG コントローラ 20 からの PC イネーブル信号のアクティブ時) に、ペリフェラルの役割としてのデータ転送制御を行う回路である。20

**【 0 0 7 8 】**

即ち、ペリフェラルコントローラ 60 は、ペリフェラル動作時に、HC / PC 切り替え回路 30 によりトランシーバ 10 に接続される。そして、レジスタ部 70 の転送条件レジスタ部 72 に設定された転送条件情報に基づいて、パケットバッファ 100 に確保されたエンドポイント領域 (EP0 ~ EPe。以下適宜 EP と呼ぶ) とホストとの間でデータを転送する。

**【 0 0 7 9 】**

より具体的には、ペリフェラルコントローラ 60 は、エンドポイント転送の転送条件情報 (オペレーション情報) をレジスタ部 70 を介して管理する。また、トランザクションの管理を行ったり、パケットを生成 / 分解したり、リモート・ウェイクアップ信号生成の指示を行う。30

**【 0 0 8 0 】**

なお、エンドポイントは、ユニークなアドレスを割り当てることができる、ペリフェラル (デバイス) 上のポイント (部分) である。ホストとペリフェラル (デバイス) との間でのデータ転送は、全て、このエンドポイントを経由して行われる。また、トランザクションは、トークンパケットと、オプショナルなデータパケットと、オプショナルなハンドシーケンパケットにより構成される。

**【 0 0 8 1 】**

レジスタ部 70 は、データ転送 (パイプ転送、エンドポイント転送) 制御、バッファアクセス制御、バッファ管理、割り込み制御、ブロック制御、或いは DMA 制御などを行うための種々のレジスタを含む。なお、レジスタ部 70 が含むレジスタは、RAM などのメモリにより実現してもよいし、D フリップフロップなどにより実現してもよい。また、レジスタ部 70 のレジスタは、1 つにまとめずに、各ブロック (HC、PC、OTGC、Xcvr 等) に分散して配置してもよい。40

**【 0 0 8 2 】**

レジスタ部 70 は、転送条件レジスタ部 72 を含む。そして、この転送条件レジスタ部 72 は、ホスト動作時にパケットバッファ 100 に確保されるパイプ領域 (PIPE0 ~ PIPEe) とエンドポイントとの間でのデータ転送の転送条件情報 (転送制御情報) を記

憶するレジスタを含む。これらの各転送条件レジスタは、パケットバッファ100の各パイプ領域に対応して設けられる。

#### 【0083】

なお、ペリフェラル動作時には、パケットバッファ100にはエンドポイント領域（E P 0 ~ E P e）が確保される。そして、転送条件レジスタ部72に設定された転送条件情報に基づいて、データ転送制御装置とホストとの間でのデータ転送が行われる。

#### 【0084】

バッファコントローラ80（FIFOマネージャ）は、パケットバッファ100に対するアクセス（リード／ライト）制御や領域管理を行う。より具体的には、CPU（広義には処理部）、DMA（Direct Memory Access）、USBによるパケットバッファ100へのアクセス・アドレスを生成・管理する。また、CPU、DMA、USBによるパケットバッファ100へのアクセスの調停を行う。10

#### 【0085】

例えば、ホスト動作時には、バッファコントローラ80は、インターフェース回路110（CPU又はDMA）とパケットバッファ100の間のデータ転送経路と、パケットバッファ100とホストコントローラ50（USB）の間のデータ転送経路を設定（確立）する。

#### 【0086】

一方、ペリフェラル動作時には、バッファコントローラ80は、インターフェース回路110（CPU又はDMA）とパケットバッファ100の間のデータ転送経路と、パケットバッファ100とペリフェラルコントローラ60（USB）の間のデータ転送経路を設定する。20

#### 【0087】

パケットバッファ100（FIFO、パケットメモリ、バッファ）は、USBを介して転送されるデータ（送信データ又は受信データ）を一時的に記憶（バッファリング）するものである。このパケットバッファ100は、例えばRAM（Random Access Memory）などにより構成できる。なお、パケットバッファ100をデータ転送制御装置の外部に設けてもよい（外付けメモリにしてもよい）。

#### 【0088】

ホスト動作時には、パケットバッファ100はパイプ転送用のFIFO（First-In First-Out）として使用される。即ち、パケットバッファ100には、USB（バス）の各エンドポイントに対応するように、パイプ領域P I P E 0 ~ P I P E e（広義にはバッファ領域）が確保される。また、各パイプ領域P I P E 0 ~ P I P E eには、それに対応する各エンドポイントとの間で転送されるデータ（送信データ又は受信データ）が記憶される。30

#### 【0089】

一方、ペリフェラル動作時には、パケットバッファ100はエンドポイント転送用のFIFOとして使用される。即ち、パケットバッファ100には、エンドポイント領域E P 0 ~ E P e（広義にはバッファ領域）が確保される。また、各エンドポイント領域E P 0 ~ E P eには、ホストとの間で転送されるデータ（送信データ又は受信データ）が記憶される。40

#### 【0090】

なお、パケットバッファ100に確保されるバッファ領域（ホスト動作時にパイプ領域に設定され、ペリフェラル動作時にエンドポイント領域に設定される領域）は、先に入力された情報が先に出力されるような記憶領域（FIFO領域）に設定されている。

#### 【0091】

また、P I P E 0 は、コントロール転送用のエンドポイント0に専用のパイプ領域であり、P I P E a ~ P I P E eは、任意のエンドポイントに割り当て可能な汎用のパイプ領域である。

#### 【0092】

即ち、USBでは、エンドポイント0がコントロール転送に専用のエンドポイントに設定50

される。従って、本実施形態のように P I P E 0 をコントロール転送に専用のパイプ領域にすることで、ユーザが混乱するのを防止できる。また、P I P E a ~ P I P E e を、任意のエンドポイントに割り当て可能なパイプ領域にすることで、エンドポイントに対応するパイプ領域を動的に変化させることが可能になる。これにより、パイプ転送のスケジューリングの自由度を向上でき、データ転送の効率化を図れる。

#### 【 0 0 9 3 】

なお本実施形態では、バッファ領域（パイプ領域又はエンドポイント領域）は、マックスパケットサイズMaxPktSize（広義にはページサイズ）とページ数BufferPageにより、その領域サイズRSizeが設定される（ $RSize=MaxPktSize \times BufferPage$ ）。このようにすることで、バッファ領域の領域サイズや面数（ページ数）を任意に設定できるようになり、パケットバッファ 100 のリソースの有効利用を図れる。10

#### 【 0 0 9 4 】

インターフェース回路 110 は、U S B とは異なる他のバスである D M A （システムメモリ）バスや C P U バスと、パケットバッファ 100 との間でのデータ転送を行うための回路である。このインターフェース回路 110 は、パケットバッファ 100 と外部のシステムメモリとの間で、D M A 転送を行うための D M A ハンドラ回路 112 を含む。また、パケットバッファ 100 と外部の C P U との間で、P I O (Parallel I/O) 転送を行うための C P U インターフェース回路 114 を含む。なお、C P U (処理部) をデータ転送制御装置に内蔵させてもよい。

#### 【 0 0 9 5 】

クロックコントローラ 120 は、内蔵 P L L 又は外部入力クロックに基づいて、データ転送制御装置の内部で使用する各種のクロックを生成する。20

#### 【 0 0 9 6 】

##### 4 . パイプ領域

本実施形態では図 6 (A) に示すように、ホスト動作時に、パケットバッファ 100 にパイプ領域 P I P E 0 ~ P I P E e が確保 (allocate) される。そして、この各パイプ領域 P I P E 0 ~ P I P E e とペリフェラルの各エンドポイントの間で、データが転送される。

#### 【 0 0 9 7 】

ここで、本実施形態のパイプ領域の「パイプ」は、U S B で定義される「パイプ」（デバイス上のエンドポイントとホスト上のソフトウェアとの間の関連を表す論理的な抽象化、論理的な経路）とは若干意味合いが異なる。30

#### 【 0 0 9 8 】

本実施形態のパイプ領域は、図 6 (A) に示すように、U S B (バス) に接続されるペリフェラルが有する各エンドポイントに対応して、パケットバッファ 100 上に確保される。例えば図 6 (A) において、パイプ領域 P I P E a はペリフェラル 1 のエンドポイント 1 (バルク I N ) に対応し、P I P E b はペリフェラル 1 のエンドポイント 2 (バルク O U T ) に対応する。また、P I P E c はペリフェラル 2 のエンドポイント 1 (バルク I N ) に対応し、P I P E d はペリフェラル 2 のエンドポイント 2 (バルク O U T ) に対応する。また、P I P E e はペリフェラル 3 のエンドポイント 1 (インタラプト I N ) に対応する。なお、P I P E 0 は、コントロール転送のエンドポイント 0 に専用のパイプ領域である。40

#### 【 0 0 9 9 】

そして図 6 (A) の例では、パイプ領域 P I P E a とペリフェラル 1 のエンドポイント 1 との間で U S B のバルク I N 転送が行われ、P I P E b とペリフェラル 1 のエンドポイント 2 との間ではバルク O U T 転送が行われる。また、P I P E c とペリフェラル 2 のエンドポイント 1 との間ではバルク I N 転送が行われ、P I P E d とペリフェラル 2 のエンドポイント 2 との間ではバルク O U T 転送が行われる。また、P I P E e とペリフェラル 3 のエンドポイント 1 との間ではインタラプト I N 転送が行われる。

#### 【 0 1 0 0 】

50

20

30

40

50

このように本実施形態では、パイプ領域（汎用）とそれに対応するエンドポイントとの間では、任意のデータ転送（アイソクロナス転送、バルク転送、インターラプト転送）を行うことができる。

#### 【0101】

そして本実施形態では、パイプ領域とそれに対応するエンドポイントの間では、所与のデータ単位（トータルサイズで指定されるデータ単位）のデータが転送される。この場合のデータ単位としては、例えば I R P（I/Oリクエストパケット）により転送要求されるデータ単位又はそれを適当なサイズに分割したデータ単位などを考えることができる。エンドポイントに対するこのデータ単位のデータ転送（一連のトランザクション）を、本実施形態における「パイプ」と呼ぶことができる。そして、そのような「パイプ」のデータ（送信データ、受信データ）を記憶する領域がパイプ領域になる。10

#### 【0102】

パイプ領域を用いた所与のデータ単位の転送が終了すると、そのパイプ領域は解放することができる。そして、解放されたパイプ領域は、任意のエンドポイントに割り当てることができる。このように本実施形態では、パイプ領域とエンドポイントとの対応づけを、動的に変化させることができる。

#### 【0103】

また本実施形態では図6（B）に示すように、ペリフェラル動作時には、パケットバッファ100にエンドポイント領域 E P 0 ~ E P e が確保（設定）される。そして、この各エンドポイント領域 E P 0 ~ E P e とホスト（ホストコントローラ、システムメモリ）との間で、データが転送される。20

#### 【0104】

このように本実施形態では、パケットバッファ100のバッファ領域を、ホスト動作時にはパイプ領域に割り当て、ペリフェラル動作時にはエンドポイント領域に割り当てている。これにより、ホスト動作時とペリフェラル動作時とでパケットバッファ100のリソースを共用（兼用）することが可能になり、パケットバッファ100の使用記憶容量を節約できる。

#### 【0105】

なおパイプ領域、エンドポイント領域の個数は6個に限定されず任意である。

#### 【0106】

##### 5. マックスパケットサイズ、ページ数による領域サイズの設定

さて、データ転送制御装置の使用状況はユーザによって様々である。即ち、転送目的、転送種別、同時転送数、C P Uの能力、D M A転送の使用の有無、U S B処理に割り当てることができる処理の割合などは、データ転送制御装置を使用するユーザによって異なる。そして、データの転送サイズや転送負荷が大きい場合には、パケットバッファのバッファ領域（以下、適宜、パイプ領域又はエンドポイント領域をバッファ領域と総称する）の領域サイズを、なるべく大きくすることが望ましい。逆に、データの転送サイズや転送負荷が小さい場合には、バッファ領域の領域サイズはそれほど大きくしなくてもよい。

#### 【0107】

例えば図7（A）では、パケットバッファによりアイソクロナスデータをバッファリングしている。ここで、U S Bにおいては、アイソクロナスデータのマックスパケットサイズは、最大で1024バイトに設定できる。従って、例えばアイソクロナスデータを、いわゆるダブルバッファ方式でバッファリングする場合には、パケットバッファに  $1024 \times 2 = 2048$  バイトのバッファ領域を確保する必要がある。このため、アイソクロナス転送を使用するユーザに対応するためには、パケットバッファのサイズを、2048バイト以上にすることが望ましく、マージンを考慮すれば、例えば2.5kバイト程度にすることが望ましい。40

#### 【0108】

ところが、アイソクロナス転送に対応できるように図7（A）に示すようにパケットバッファのサイズ（容量）を大きくすると、アイソクロナス転送を用いない場合には、図7（50

B) の A 1 に示す無駄な未使用領域が生じてしまう。即ち、コントロール用、アイソクロナス用、バルク用、インタラプト用のバッファ領域というように、各転送種別に専用の固定サイズのバッファ領域を確保する手法では、図 7 (B) の A 1 に示すような無駄な未使用領域が生じてしまう。このため、パケットバッファのリソースを有効活用できないという課題があった。

#### 【0109】

そこで本実施形態では、バッファ領域（パイプ領域又はエンドポイント領域）の領域サイズや面数（ページ数）を任意に設定する手法を採用している。

#### 【0110】

具体的には図 8 に示すように、パケットバッファ 100 の各バッファ領域 P I P E 0 / E P 0 ~ P I P E e / E P e (以下、適宜、P I P E / E P 0 ~ e と表す) のマックスパケットサイズ M P S 0 ~ M P S e (MaxPktSize0 ~ e、広義にはページサイズ) とページ数 B P 0 ~ B P e (BufferPage0 ~ e) を設定できるレジスタを設ける。この M P S 0 ~ M P S e、B P 0 ~ B P e のレジスタへの設定は、例えばファームウェア（処理部）が行う。そして、これらの M P S 0 ~ M P S e と B P 0 ~ B P e により、その領域サイズ R S 0 ~ R S e (RSize0 ~ e) が設定されるバッファ領域 P I P E / E P 0 ~ e を、パケットバッファ 100 に確保する。この領域確保は、例えばバッファコントローラ 80（領域確保回路）が行う。そして転送コントローラ 40（ホストコントローラ 50、ペリフェラルコントローラ 60）は、設定された領域サイズ R S 0 (= M P S 0 × B P 0) ~ R S e (= M P S e × B P e) のバッファ領域 P I P E / E P 0 ~ e を用いて、パケットのデータを転送する。

10

20

#### 【0111】

なお、本実施形態では図 8 に示すように、M P S 0 ~ M P S e、B P 0 ~ B P e 以外にも、各バッファ領域 P I P E / E P 0 ~ e の転送種別 T T 0 ~ T T e (TranType0 ~ e) もレジスタに設定できる。これにより、各バッファ領域 P I P E / E P 0 ~ e の転送種別（アイソクロナス、バルク、インタラプト又はコントロール等）が固定化されずに、各バッファ領域毎に任意の転送種別を設定できるようになる。また、バッファ領域への転送種別の割り当てを動的に変化させることも可能になる。

#### 【0112】

例えば図 9 (A) では、バッファ領域 P I P E a / E P a の M P S a が、アイソクロナス転送のマックスパケットサイズの最大値である 1024 バイトに設定され、B P a が 2 ページに設定されている。これにより、領域サイズが R S a = 1024 × 2 = 2048 バイトに設定されたバッファ領域 P I P E a / E P a をパケットバッファ 100 に確保して、P I P E a / E P a を用いてダブルバッファ方式でアイソクロナス転送を行うことが可能になる。

30

#### 【0113】

なお、バッファ領域 P I P E a / E P a をトリプルバッファ以上に設定する場合には、マックスパケットサイズ M P S a を小さくすると共に、ページ数 B P a を 3 ページ以上に設定すればよい。

#### 【0114】

一方、図 9 (B) では、バッファ領域 P I P E a / E P a、P I P E b / E P b の M P S a、M P S b が、バルク転送のマックスパケットサイズの最大値である 64 バイトに設定され、ページ数 B P a、B P b が 16 ページに設定されている。これにより、領域サイズが R S a = R S b = 64 × 16 = 1024 バイトに設定されたバッファ領域 P I P E a / E P a、P I P E b / E P b をパケットバッファ 100 に確保して、バルク転送を行うことが可能になる。

40

#### 【0115】

即ち、U S Bにおいては、バルク転送のマックスパケットサイズを 64 バイトよりも大きくすることができない。このため、図 7 (A)、(B) のように転送種別毎に専用のバッファ領域を確保する手法を採用すると、アイソクロナス転送の非使用時に、図 7 (B) の

50

A 1 に示すような無駄な未使用領域が生じてしまう。

#### 【 0 1 1 6 】

これに対して本実施形態では、図 9 ( B ) に示すように、アイソクロナス転送の非使用時にも、バルク転送のバッファ領域のページ数(面数)を大きな値に設定することで、無駄な未使用領域が生じるのを防止できる。これにより、パケットバッファ 1 0 0 のリソースを有効利用できると共に、ファームウェアの処理負荷の軽減化やデータ転送の効率化等が可能になる。

#### 【 0 1 1 7 】

なお、図 9 ( B ) において P I P E a / E P a の転送方向を I N に設定し、P I P E b / E P b の転送方向を O U T に設定すれば、バルク I N 転送とバルク O U T 転送を同時に 10 行うことが可能になる。この転送方向も、マックスパケットサイズ、ページ数、転送種別と同様に、各バッファ領域毎に設けられるレジスタに設定することが望ましい。

#### 【 0 1 1 8 】

また本実施形態では、図 1 0 に示すように、マックスパケットサイズ M P S 0 ~ M P S e とページ数 B P 0 ~ B P e が、ホスト動作時とペリフェラル動作時で共用される共用レジスタに設定される。

#### 【 0 1 1 9 】

より具体的には、ホスト動作時には、図 6 ( A ) に示すように、パケットバッファ 1 0 0 にパイプ領域 P I P E 0 ~ P I P E e が確保される。そして図 1 0 に示すように、これらの各パイプ領域 P I P E 0 ~ P I P E e の領域サイズは、共用レジスタのマックスパケットサイズ M P S 0 ~ M P S e とページ数 B P 0 ~ B P e により設定される。 20

#### 【 0 1 2 0 】

一方、ペリフェラル動作時には、図 6 ( B ) に示すように、パケットバッファ 1 0 0 にエンドポイント領域 E P 0 ~ E P e が確保される。そして図 1 0 に示すように、これらの各エンドポイント領域 E P 0 ~ E P e の領域サイズも、共用レジスタのマックスパケットサイズ M P S 0 ~ M P S e とページ数 B P 0 ~ B P e により設定される。

#### 【 0 1 2 1 】

このようにすることで、ホスト動作用のレジスタとペリフェラル動作用のレジスタを別々に設ける手法に比べて、レジスタ部 7 0 の回路規模を小さくでき、レジスタ部 7 0 のリソースを節約できる。また、ファームウェア(処理部)は、共用アドレスを同一アドレスで 30 管理できるため、ファームウェアのアドレス管理を簡素化でき、ファームウェアの処理負荷を軽減できる。

#### 【 0 1 2 2 】

なお、図 1 0 の共用レジスタには、マックスパケットサイズやページ数以外にも、転送種別(アイソクロナス、バルク、インタラプト又はコントロール等)や転送方向(I N、O U T)を設定することが望ましい。このようにすることで、レジスタ部 7 0 を更に小規模化できると共に、ファームウェアの処理負荷を更に軽減できる。

#### 【 0 1 2 3 】

以上のように本実施形態では、エンドポイント毎に、マックスパケットサイズのバッファ領域を、任意の面数(ダブルバッファ、トリプルバッファ等)で確保できる。即ち、ファームウェアが、マックスパケットサイズ M P S (ページサイズ)とページ数 B P (バッファ面数)をレジスタに設定するだけで、M P S と B P の積で設定される領域サイズのバッファ領域が、エンドポイント毎に確保される。 40

#### 【 0 1 2 4 】

このように、バッファ領域の領域サイズやページ数(面数)を任意に設定できることで、エンドポイントの個数が少ない場合には、一つのエンドポイントに対して大きなサイズのバッファ領域を確保し、逆に、エンドポイントの個数が多い場合には、1つのリソース(パケットバッファ)を分配して領域を確保することが可能となる。また、高い転送効率が求められる高負荷のエンドポイントと、高い転送効率が求められない低負荷のエンドポイントが存在する場合に、低負荷のエンドポイントのバッファ領域を縮小することで、余つ 50

た領域を、高負荷のエンドポイントに配分することが可能になる。このように、本実施形態によれば、状況に応じてパケットバッファのリソースを効率よく分配して使用することが可能になり、CPUのタスク処理や稼働時間に自由度を持たせることができる。

#### 【0125】

##### 6. 領域確保処理

次に、領域確保の具体的な処理について図11のフローチャートを用いて説明する。

#### 【0126】

まず、ファームウェアが、使用する各バッファ領域PIPE/EПのマックスパケットサイズ[MaxPktSize]とそのページ数[BufferPage]を設定する(ステップS91)。そして、ファームウェア(処理部)がバッファ領域確保の指示[SetAllocation]を行う(ステップS92)。なお図12(A)には、ファームウェアによる[MaxPktSize]、[BufferPage]の設定例が示され、図12(B)には、図12(A)の設定により確保される領域の例が示される。

10

#### 【0127】

次に、バッファコントローラ80(領域確保回路)が、ベースアドレス(0x0000)に対して、バッファ領域のPIPE0/EП0の[MaxPktSize]×[BufferPage]を加算し、PIPE0/EП0のエンドアドレスを求める(ステップS93)。

#### 【0128】

例えば図12(B)では、(0x0000)に[MaxPktSize]×[BufferPage]を加算することで、PIPE0/EП0のエンドアドレスEAD0=(0x0008)が求められる。そして、このエンドアドレスEAD0は、次のPIPE0/EП0のスタートアドレスSADAになる。

20

#### 【0129】

次に、直前のパイプ領域PIPE/EПのエンドアドレスをベースアドレスとして、そのベースアドレスに[MaxPktSize]×[BufferPage]を加算することで、当該PIPE/EПのエンドアドレスを算出する(ステップS94)。そして、このステップS94の処理を、PIPE/EПa~eの順で行う(ステップS95)。そして、SetAllocationビットがクリアされ、 FIFOデータがクリアされ[FIFOClr]、FIFOClrビットがクリアされる(ステップS96、S97、S98)。

30

#### 【0130】

以上により図12(B)に示すようにパケットバッファ100にバッファ領域を確保できる。なお、図12(B)のA2では、バッファ領域PIPEc/EПcのマックスパケットサイズ、ページ数のいずれか一方が零に設定されており、この場合には、PIPEc/EПcは確保されないことになる。

#### 【0131】

##### 7. 転送条件レジスタ(共用レジスタ)

本実施形態では図13に示すように、ホスト動作時には、パイプ領域PIPE0~PIPEeとエンドポイントとの間で行われるデータ転送の転送条件情報(転送方向、転送種別、マックスパケットサイズ又はページ数等)が、転送条件レジスタTREG0~TREGeに設定される。即ち、PIPE0、PIPEa、PIPEb、PIPEc、PIPEd、PIPEeの転送条件情報は、各々、TREG0、TREGa、TREGb、TREGc、TREGd、TREGeに設定(記憶)される。この設定は、例えばファームウェア(CPU)により行われる。

40

#### 【0132】

そしてホストコントローラ50(広義には転送コントローラ)は、転送条件レジスタTREG0~TREGeに設定された転送条件情報に基づいて、エンドポイントに対するトランザクションを発生する。そして、パイプ領域とそれに対応するエンドポイントとの間で、データ(パケット)を自動転送する。

#### 【0133】

このように本実施形態では、各パイプ領域(バッファ領域)に対応して各転送条件レジス

50

タが設けられ、この各転送条件レジスタに設定された転送条件情報に基づいて、各パイプ領域のパイプ転送（所与のデータ単位の転送）がホストコントローラ50により自動的に行われる。従って、ファームウェア（ドライバ、ソフトウェア）は、転送条件レジスタに転送条件情報を設定した後は、データ転送が完了するまで、データ転送制御に関わらなくて済むようになる。そして、所与のデータ単位のパイプ転送が完了すると割り込みが発生し、転送の完了がファームウェアに伝えられる。これにより、ファームウェア（CPU）の処理負荷を格段に低減できる。

#### 【0134】

なお、本実施形態では図14に示すようにペリフェラル動作時には、エンドポイント領域EPO～EPeとホストとの間で行われるデータ転送の転送条件情報（転送方向、転送種別、マックスパケットサイズ又はページ数等）が、転送条件レジスタTREG0～TREGeに設定される。そしてペリフェラルコントローラ60（広義には転送コントローラ）は、転送条件レジスタTREG0～TREGeに設定された転送条件情報に基づいて、エンドポイント領域とホストとの間でのデータ転送を行う。10

#### 【0135】

このように本実施形態では、転送条件レジスタTREG0～TREGeが、ホスト動作時とペリフェラル動作時とで共用（兼用）される。これにより、レジスタ部70のリソースを節約でき、データ転送制御装置を小規模化できる。

#### 【0136】

図15に、レジスタ部70のレジスタ構成例を示す。なお、レジスタ部70のレジスタの一部を、各ブロック（OTGC、HC、PC、Xcvr等）内に含ませてもよい。20

#### 【0137】

図15に示すように、レジスタ部70の転送条件レジスタ（TREG0～TREGeの各々）は、ホスト動作時（HC、PIPE）とペリフェラル動作時（PC、EP）で共用されるHC/PC共用レジスタ（共用転送条件レジスタ）を含む。また、ホスト動作時にのみ使用されるHC（PIPE）用レジスタ（ホスト用転送条件レジスタ）を含む。また、ペリフェラル動作時にのみ使用されるPC（EP）用レジスタ（ペリフェラル用転送条件レジスタ）を含む。また、パケットバッファ（ FIFO）のアクセス制御などを行うためのレジスタであり、ホスト動作時とペリフェラル動作時で共用されるアクセス制御レジスタを含む。30

#### 【0138】

例えば、デュアルロール・デバイスのホスト動作時に、ホストコントローラ50（HC）は、HC/PC共用レジスタとHC用レジスタに設定される転送条件情報に基づいて、データ（パケット）を転送する。

#### 【0139】

一方、ペリフェラル動作時には、ペリフェラルコントローラ60（PC）は、HC/PC共用レジスタとPC用レジスタに設定される転送条件情報に基づいて、データ（パケット）を転送する。

#### 【0140】

また、ホスト動作時、ペリフェラル動作時の両方において、バッファコントローラ80は、共用アクセス制御レジスタに基づいて、パケットバッファ100へのアクセス制御（リード/ライト・アドレスの発生、データのリード/ライト、アクセスの調停等）を行うことになる。

#### 【0141】

図15のHC/PC共用レジスタには、データの転送方向（IN、OUT又はSETUP等）、転送種別（アイソクロナス、バルク、インタラプト、コントロールなどのトランザクションの種別）、エンドポイント番号（各USBデバイスのエンドポイントに関連づけられる番号）、マックスパケットサイズ（エンドポイントが送信又は受信可能なパケットの最大ペイロードサイズ。ページサイズ）が設定される。また、バッファ領域（パイプ領域、エンドポイント領域）のページ数（バッファ領域の面数）が設定される。また、DM4050

A接続の有無（図5のDMAハンドラ回路112によるDMA転送の使用の有無）を指示する情報が設定される。

**【0142】**

H C ( P I P E ) 用レジスタには、インターラプト転送のトークン発行周期（インターラプト・トランザクションを起動する周期、インターバル）が設定される。また、トランザクションの連続実行回数（パイプ領域間の転送比率を設定する情報。各パイプ領域のトランザクションの連続実行回数）が設定される。また、ファンクションアドレス（エンドポイントを有するファンクションのU S B アドレス）、転送データのトータルサイズ（各パイプ領域を介して転送されるデータのトータルサイズ。I R Pなどのデータ単位）が設定される。また、自動トランザクションの開始指示（ホストコントローラに対する自動トランザクション処理の開始指示）が設定される。また、自動コントロール転送モードの指示（コントロール転送のセットアップステージ、データステージ、ステータスステージのトランザクションを自動発生するモードの指示）が設定される。10

**【0143】**

P C ( E P ) 用レジスタには、エンドポイントイネーブル（エンドポイントのイネーブルやディスエーブルの指示）、ハンドシェーク指定（各トランザクションで行われるハンドシェークの指定）が設定される。

**【0144】**

パケットバッファ（F I F O）用の共用アクセス制御レジスタには、バッファ・I / O ポート（C P UによりP I O転送を行う場合のI / Oポート）が設定される。また、バッファ・フル／エンプティ（各バッファ領域のフル、エンプティの通知）、バッファ・残りデータサイズ（各バッファ領域の残りデータサイズ）が設定される。20

**【0145】**

レジスタ部70は、インターラプト系レジスタ、ブロック系レジスタ、DMA制御レジスタなども含む。

**【0146】**

インターラプト系レジスタは、割り込みのステータス（要因）をC P Uに対して示すためのインターラプト・ステータスレジスタ、割り込みのイネーブル、ディスエーブル（非マスク、マスク）を設定するインターラプト・イネーブルレジスタを含む。なお、割り込みには、O T G コントローラ20系、ホストコントローラ50系、ペリフェラルコントローラ60系の割り込みがある。30

**【0147】**

ブロック系レジスタは、ブロック間で共用されるブロック間共用レジスタや、各ブロック（X c v r、O T G C、H C、P C）内で使用されるブロック用レジスタを含む。

**【0148】**

ブロック間共用レジスタには、各ブロックのリセットを指示するレジスタなどがある。ブロック用レジスタには、トランシーバ10（X c v r）を制御するためのレジスタや、O T G コントローラ20（O T G C）のステートコマンドレジスタや、ホストコントローラ50（H C）のステートコマンドレジスタや、フレーム番号を設定するレジスタなどがある。40

**【0149】**

以上のように本実施形態では、ホスト動作時とペリフェラル動作時で共用されるレジスタ（H C / P C 共用レジスタ、共用アクセス制御レジスタ）をレジスタ部70に設けている。これにより、ホスト動作時用のレジスタとペリフェラル動作時用のレジスタを全く別個に設ける場合に比べて、レジスタ部70を小規模化できる。また、C P U上で動作するファームウェア（ドライバ）から見た共用レジスタのアクセスアドレスを、ホスト動作時とペリフェラル動作時とで同一にできる。従って、ファームウェアは、これらの共用レジスタを同一アドレスで管理できるようになり、ファームウェア処理を簡素化できる。

**【0150】**

また、H C用レジスタや、P C用レジスタを設けることで、ホスト動作時（P I P E）の50

転送やペリフェラル動作時(EP)の転送に特有の転送条件を設定できる。例えば、トーカン発行周期を設定することで、図4で説明した手法を用いることなく、ホスト動作時にインタラプト転送のトーカンを所望の周期で発行することが可能になる。また、連続実行回数を設定することで、ホスト動作時にパイプ領域間の転送比率を任意に設定できる。また、トータルサイズを設定することで、ホスト動作時にパイプ領域を介して自動転送されるデータのサイズを任意に設定できる。またファームウェアは、ホスト動作時に、自動トランザクションの開始を指示したり、自動コントロール転送モードのオン／オフを指示できるようになる。

#### 【0151】

##### 8. 自動トランザクション

10

図16に、ホストコントローラ50の自動トランザクション(IN、OUT)処理におけるファームウェア処理のフローチャート例を示す。

#### 【0152】

まず、ファームウェア(処理部、ドライバ)は、図15等で説明した転送条件レジスタに転送条件情報(パイプ情報)を設定する(ステップS1)。より具体的には、転送データのトータルサイズ、マックスパケットサイズ(MaxPktSize)、ページ数(BufferPage)、転送方向(IN、OUT又はSETUP)、転送種別(アイソクロナス、バルク、コントロール、インタラプト)、エンドポイント番号、パイプ領域のトランザクションの連続実行回数(転送比率)、インタラプト転送のトーカン発行周期などを、転送条件レジスタに設定する。

20

#### 【0153】

次に、外部のシステムメモリとパケットバッファ100の間に転送経路を設定する(ステップS2)。即ち図5のDMAハンドラ回路112を介したDMA転送経路を設定する。

#### 【0154】

次に、ファームウェアは、DMA転送の開始指示を行う(ステップS3)。即ち、図15のDMA制御レジスタのDMA転送開始指示ビットをアクティブにする。なお、CPUによる転送では、図15のバッファ・I/Oポートにアクセスすることで、パケットバッファ100にアクセスすることが可能になる。

#### 【0155】

次に、ファームウェアは、自動トランザクションの開始指示を行う(ステップS4)。即ち、図15のHC用レジスタ(パイプレジスタ)の自動トランザクション開始指示ビットをアクティブにする。これにより、ホストコントローラ50による、自動トランザクション処理、パケット処理(パケットの生成、分解)、スケジューリング処理が行われる。即ち、ホストコントローラ50は、トータルサイズで指定されるデータを、マックスパケットサイズのペイロードのパケットを用いて、転送方向で指定される方向(IN、OUT)で、自動転送する。

30

#### 【0156】

なお、ステップS3、S4の処理の順序は問わず、自動トランザクション開始指示の後にDMA転送の開始指示を行ってもよい。

#### 【0157】

40

次に、ファームウェアは、パイプ転送の完了を知らせる割り込みが発生するのを待つ(ステップS5)。そして、割り込みが発生すると、ファームウェアは、図15のインタラプト系レジスタの割り込みステータス(要因)を調べる。そして、処理が正常完了又はエラー終了する(ステップS6)。

#### 【0158】

このように本実施形態によれば、ファームウェアは、各パイプ領域毎に転送条件情報を設定し(ステップS1)、DMA転送開始の指示(ステップS3)と自動トランザクション開始の指示(ステップS4)を行うだけで、その後のデータ転送処理はホストコントローラ50のハードウェア回路により自動的に行われるようになる。従って、図3(A)、(B)、図4で説明したOHC1準拠の手法に比べて、ファームウェアの処理負荷が軽減さ

50

れ、低性能のCPUが組み込まれる携帯機器に最適なデータ転送制御装置を提供できる。

【0159】

図17、図18に、ホストコントローラ50による自動トランザクション処理時の信号波形例を示す。なお、これらの図において、「H P」は「ホストからペリフェラルにパケットが転送されること」を表し、「P H」は「ペリフェラルからホストにパケットが転送されること」を表す。

【0160】

図17は、INトランザクションの場合（転送種別がINの場合）の信号波形例である。

【0161】

図16のステップS4で、ファームウェアが自動トランザクションの開始指示を行うと、  
図17のC1に示すように、PipeXTranGo（PipeXについてのファームウェアからの転送要求信号）がアクティブになる。これにより、そのPipeX（X = 0 ~ e）についての、ホストコントローラ50による自動トランザクション処理が開始する。

【0162】

そして、C2に示すようにPipeXTranGo（ホストコントローラ50内のHCシーケンス管理回路からの転送要求信号）がアクティブになると、C3に示すように、ホストコントローラ50がINトークンパケットを生成して、USBを介してペリフェラルに転送する。そして、C4に示すようにペリフェラルからホストコントローラ50にINデータパケットが転送されると、ホストコントローラ50は、C5に示すようにハンドシェークパケット（ACK）を生成して、ペリフェラルに転送する。これにより、C6に示すようにTranCmpACKがアクティブになる。

【0163】

同様にして、C7に示すようにPipeXTranGoがアクティブになると、C8、C9、C10に示すパケット転送が行われ、C11に示すようにTranCmpACKがアクティブになる。そして、C12に示すようにPipeXTranComp（ファームウェアへのIRPのデータ単位の転送終了通知信号）がアクティブになる。このPipeXTranCompによる割り込みにより、ファームウェアは、そのパイプについての転送が完了したことを知ることができる。

【0164】

なお、PipeXTranCompがアクティブになると、C13に示すようにPipeXTranGoが非アクティブになり、そのパイプが非転送状態であることが示されるようになる。

【0165】

図18は、OUTトランザクションの場合（転送種別がOUTの場合）の信号波形例である。

【0166】

ファームウェアが自動トランザクションの開始指示を行うと、E1に示すようにPipeXTranGoがアクティブになり、E2に示すようにPipeXTranGoがアクティブになる。すると、ホストコントローラ50は、E3に示すようにOUTトークンパケットをペリフェラルに転送し、E4に示すようにOUTデータパケットを転送する。そして、E5に示すようにペリフェラルからハンドシェークパケット（ACK）が返ってくると、E6に示すようにTranCmpACKがアクティブになる。

【0167】

同様にして、E7に示すようにPipeXTranGoがアクティブになると、E8、E9、E10に示すパケット転送が行われ、E11に示すようにTranCmpACKがアクティブになる。そして、E12に示すようにPipeXTranCompがアクティブになる。このPipeXTranCompによる割り込みにより、ファームウェアは、そのパイプについての転送が完了したことを知ることができる。なお、PipeXTranCompがアクティブになると、E13に示すようにPipeXTranGoが非アクティブになる。

【0168】

9. 各ブロックの詳細な構成例

次に各ブロックの詳細な構成例について説明する。

10

20

30

40

50

**【0169】****9.1 OTGコントローラ**

図19に、OTGコントローラ20の構成例を示す。

**【0170】**

OTGコントローラ20は、OTGレジスタ部22を含む。このOTGレジスタ部22は、OTGコントローラ20のモニタレジスタや制御レジスタを含む。またファームウェア(CPU)により書き込まれるOTGステートコマンドをデコードする回路を含む。

**【0171】**

またOTGコントローラ20はOTG制御回路23を含む。そして、このOTG制御回路23は、OTGステートの管理を行うOTG管理回路24、IDピンの電圧レベルを検出するID検出回路25、VBUSの電圧レベルを検出するVBUS検出回路26、DP及びDMのラインステートを検出するラインステート検出回路27を含む。

10

**【0172】**

またOTGコントローラ20は、OTGステートの遷移判断条件の1つである時間を計測するタイマ28を含む。

**【0173】**

OTGステートを遷移させるために検出すべき情報は、ID、VBUSの電圧レベル、DP/DMのラインステートである。本実施形態のOTGコントローラ20は、これらの情報を検出し、モニタレジスタを介してファームウェア(CPU)に伝える。

20

**【0174】**

ファームウェアは、これらの検出情報に基づいて自身のステートを遷移させると共に、次に遷移すべきステートを、OTGステートコマンドを用いてOTGコントローラ20に伝える。

**【0175】**

OTGコントローラ20は、OTGステートコマンドをデコードし、そのデコード結果に基づいて、VBUSのドライブ制御、プルアップ/プルダウン抵抗の接続制御等を行い、図2(A)、(B)で説明したSRPやHNPを実現する。

30

**【0176】**

このように本実施形態では、ステート毎のOTG制御はOTGコントローラ20が担当し、ファームウェアはステートの遷移管理に専念できる。この結果、全てのステート制御をファームウェアで実現する場合に比べて、ファームウェア(CPU)の処理負荷を軽減できると共に、効率的なファームウェア開発が可能になる。

**【0177】**

なお、OTGのステート遷移の判断を、ファームウェアが行わずに、ハードウェア回路が行うようにしてもよい。或いは、OTGコントローラ20のほとんど全ての処理(例えばVBUS制御、プルアップ/プルダウン抵抗制御、ID検出、VBUS検出、ラインステート検出以外の処理)をファームウェア(ソフトウェア)により実現してもよい。

**【0178】****9.2 ホストコントローラ、ペリフェラルコントローラ**

図20(A)に、ホストコントローラ50の構成例を示す。

40

**【0179】**

ホストコントローラ50はHCシーケンス管理回路52を含む。このHCシーケンス管理回路52は、パイプ転送(パイプ領域を用いたデータ転送)の調停、時間管理、パイプ転送のスケジューリング、再送管理などを行う。

**【0180】**

より具体的にはHCシーケンス管理回路52は、フレーム番号のカウントや、SOF(Start-Of-Frame)パケットの送信指示を行う。また、アイソクロナス転送を各フレームの先頭で優先的に実行するための処理を行ったり、インタラプト転送をアイソクロナス転送の後に優先的に取り扱うための処理を行う。また、パイプ転送の順序にしたがって各パイプ転送を指示する処理を行う。また、トランザクションの連続実行回数を管理したり、残り

50

フレーム時間の確認処理を行う。また、ペリフェラルから返ってきたハンドシェークパケット(ACK、NAK)に対する処理を行う。また、トランザクション実行時のエラー処理を行う。

#### 【0181】

ホストコントローラ50はターゲットパイプ管理回路54を含む。このターゲットパイプ管理回路54は、レジスタ部70の転送条件レジスタに設定された転送条件情報のハンドリング処理などを行う。

#### 【0182】

より具体的にはターゲットパイプ管理回路54は、転送条件情報の選択処理や、割り込み信号の生成処理を行う。また自動トランザクションの開始が指示された場合に、そのパイプ領域の転送データのトータルサイズをロードする。そして、残り転送データサイズのカウント(デクリメント)処理を行う。また、バッファコントローラ80へのデータの送受信の際にバッファ(FIFO)領域の状態を確認する処理を行う。また、トランザクション管理回路56への転送指示を行う。また、予期しないショートパケットの受信の判断処理や、マックスパケットサイズ以上のパケットの受信の判断処理を行う。また、零長パケットを自動転送するモードが設定されている場合には、最後の零長パケットの送信をトランザクション管理回路56に指示する。また、自動コントロール転送モードでのシーケンス管理を行う。

10

#### 【0183】

ホストコントローラ50はトランザクション管理回路56を含む。このトランザクション管理回路56は、転送パケットの種類や転送順序の管理(トランザクションのシーケンス管理)を行う。また、タイムアウトの監視処理を行う。また、トランザクション終了の通知処理を行う。

20

#### 【0184】

ホストコントローラ50はパケットハンドラ回路58を含む。このパケットハンドラ回路58は、パケットの生成、分解処理を行う。また、PIDのチェックやCRCのデコード、エンコードを行う。また、バッファ領域のパケットのペイロードのリード、ライト処理や、SOFパケットの送信処理を行う。また、送受信データのカウント処理を行う。

#### 【0185】

図20(B)にペリフェラルコントローラ60の構成例を示す。

30

#### 【0186】

ペリフェラルコントローラ60は、トランザクション管理回路62、パケットハンドラ回路64を含む。これらのトランザクション管理回路62、パケットハンドラ回路64は、ホストコントローラ50のトランザクション管理回路56、パケットハンドラ回路58とほぼ同様の処理を行う。

#### 【0187】

9.3 バッファコントローラ

図21にバッファコントローラ80の構成例を示す。

#### 【0188】

バッファコントローラ80は領域確保(allocation)回路82を含む。この領域確保回路82は、パケットバッファ100に、バッファ領域(ホスト動作時にパイプ領域に設定され、ペリフェラル動作時にエンドポイント領域に設定される領域)を確保する回路である。

40

#### 【0189】

領域確保回路82は領域計算回路83を含む。この領域計算回路83は、マックスパケットサイズ(広義にはページサイズ)やページ数に基づいて、バッファ領域の領域サイズ、スタートアドレス、エンドアドレスなどを計算する回路である。

#### 【0190】

例えば図22(A)に示すバッファ領域PIPE0/EPO、PIPEa/EPa、PIPEb/E Pb、PIPEc/E P cでは、マックスパケットサイズ(MaxPktSize)が、

50

各々、32、64、64、64バイトに設定され、ページ数(BufferPage)が、各々、1、1、3、2ページに設定されている。領域計算回路83は、これらのマックスパケットサイズ、ページ数などに基づいて、バッファ領域PIPE0/EPO～PIPEc/EPcの領域サイズ、スタートアドレス、エンドアドレスを計算する。例えば図22(A)において、PIPE0/EPO、PIPEa/EPa、PIPEb/EPb、PIPEc/EPcの領域サイズは、各々、32(=32×1)、64(=64×1)、192(=64×3)、128(=64×2)バイトと計算されることになる。

#### 【0191】

ポインタ割り当て回路84は、各バッファ領域の書き込みポインタWP(WP0、WPa、WPb、WPc)、読み出しポインタRP(RP0、RPa、RPb、RPc)を、DMA用ポインタ、CPU用ポインタ、USB用ポインタに割り当てる回路である。  
10

#### 【0192】

例えば図22(B)に示すように、データ送信時(DMA又はCPUからパケットバッファ100を介してUSB側にデータが転送される時)であり、且つ、DMA転送使用時には、そのバッファ領域の書き込みポインタWPはDMA(DMAアクセス)用のポインタに割り当てられ、読み出しポインタRPはUSB(USBアクセス)用のポインタに割り当てられる。また、データ送信時であり且つCPU(PIO)転送使用時には、そのバッファ領域の書き込みポインタWPはCPU(CPUアクセス)用のポインタに割り当てられ、読み出しポインタRPはUSB用のポインタに割り当てられる。  
20

#### 【0193】

一方、図22(C)に示すように、データ受信時(USBからパケットバッファ100を介してDMA又はCPU側にデータが転送される時)であり、且つ、DMA転送使用時には、そのバッファ領域の書き込みポインタWPはUSB用ポインタに割り当てられ、読み出しポインタRPはDMA用ポインタに割り当てられる。また、データ受信時であり且つCPU転送使用時には、そのバッファ領域の書き込みポインタWPはUSB用ポインタに割り当てられ、読み出しポインタRPはCPU用ポインタに割り当てられる。  
30

#### 【0194】

なお、各バッファ領域の書き込みポインタWP、読み出しポインタRPのポインタ情報(位置情報)は、レジスタ部70の各転送条件レジスタ(PIPE/EPレジスタ)に保持される。  
30

#### 【0195】

ポインタ管理回路86は、ポインタの更新を行いながら、パケットバッファ100にアクセスするための実アドレスを生成する回路である。

#### 【0196】

ポインタ管理回路86は、CPU用アドレス生成回路87、DMA用アドレス生成回路88、USB用アドレス生成回路89を含む。これらの生成回路87、88、89は、各々、ポインタ割り当て回路84により割り当てられたCPU用ポインタ、DMA用ポインタ、USB用ポインタに基づいて、CPU用アドレス、DMA用アドレス、USB用アドレスを生成する。また、CPU(CPUインターフェース回路)、DMA(DMAハンドラ回路)からのアクセス毎に、或いはUSB(HC又はPC)のトランザクション終了(ACK、NAKなどのハンドシェーク送受信)毎に、ポインタを更新する処理を行う。なお、更新後のポインタの情報は、領域確保回路82を介してレジスタ部70の各転送条件レジスタに書き戻される。  
40

#### 【0197】

バッファ管理回路90は、パケットバッファ100へのアクセスを管理する回路である。

#### 【0198】

バッファ管理回路90はバッファインターフェース回路92を含む。このバッファインターフェース回路92は、ポインタ管理回路86からのCPU用アドレス、DMA用アドレス、USB用アドレスなどを受け、パケットバッファ100へのデータの入出力や、アドレス、出力イネーブル、ライトイネーブル、リードイネーブルなどの出力を行う。  
50

**【 0 1 9 9 】**

バッファ管理回路 90 は調停回路 93 を含む。この調停回路 93 は、CPU (CPU インターフェース回路)、DMA (DMA ハンドラ回路)、USB (ホストコントローラ又はペリフェラルコントローラ) からのアクセスを調停する回路である。この調停結果に基づいて、CPU 用アドレス、DMA 用アドレス、USB 用アドレスのいずれかが、パケットバッファ 100 のアクセス・アドレスとして出力され、CPU、DMA 又は USB とパケットバッファ 100 との間のデータ転送経路が設定される。

**【 0 2 0 0 】**

H C / P C セレクタ 94 は、バッファ管理回路 90 (バッファコントローラ 80 ) とホストコントローラ 50 (HC) 又はペリフェラルコントローラ 60 (PC) との間の接続の切り替え制御を行う。例えばホスト動作時には、ホストコントローラ 50 とバッファ管理回路 90 を接続し、ペリフェラル動作時には、ペリフェラルコントローラ 60 とバッファ管理回路 90 を接続する。なお、この接続の切り替え制御は、OTG コントローラ 20 (OTGC) からの H C / P C イネーブル信号に基づいて行う。

10

**【 0 2 0 1 】****1 0 . フームウェアの処理**

次に、ファームウェア (処理部) の処理の詳細例について説明する。

**【 0 2 0 2 】**

図 23 は、ホスト動作時におけるファームウェア処理のフローチャートである。

20

**【 0 2 0 3 】**

まず、パイプ (バッファ) 領域を既に確保しているか否かを確認し (ステップ S 11 )、確保している場合にはパイプ領域のデータクリア指示 [FIFOClr] を行う (ステップ S 12 )。

**【 0 2 0 4 】**

次に、エンドポイント (転送条件) 情報を転送条件レジスタにセットする (ステップ S 13 )。即ち、エンドポイント番号 [EPNumber]、ファンクションアドレス [FuncAddr]、IN/OUT/SETUPなどの転送方向 [DirPID]、アイソクロナス、バルク、コントロール、インターラプトなどの転送種別 [TranType]、マックスパケットサイズ [MaxPktSize] などをセットする。

30

**【 0 2 0 5 】**

次に、転送種別 [TranType] を判断し (ステップ S 14 )、転送種別がアイソクロナスの場合にはステップ S 18 に移行する。転送種別がインターラプト転送の場合にはトークン発行周期 [Interval] を指定すると共にトグルモード [ToggleMode] を指定する (ステップ S 15 、 S 16 )。転送種別が、アイソクロナスでもインターラプトでもない場合 (バルク、コントロールの場合) には、HC のスケジューリング [連続実行回数 : Continuity] を指定する (ステップ S 17 )。

**【 0 2 0 6 】**

次に、トグルビットの初期値 [Toggle] をセットし、転送データのトータルサイズ [TotalSize] をセットする (ステップ S 18 、 S 19 )。なお、アイソクロナス転送の場合はトグルビットの初期値のセットは不要となる。また、ステップ S 13 ~ S 19 の設定順序は任意である。

40

**【 0 2 0 7 】**

次に、パイプ (バッファ) 領域のページ数 [BufferPage] をセットし (ステップ S 20 )、パイプ領域確保の指示 [SetAllocation] を行う (ステップ S 21 )。

**【 0 2 0 8 】**

次に、DMA を用いるか否かを判断し、用いる場合には DMA バスの接続指示 [JoinDMA] を行う (ステップ S 22 、 S 23 )。また、自動トランザクションの開始指示 [TranGo] を行う (ステップ S 24 )。

**【 0 2 0 9 】**

そして、割り込みが発生するのを待ち (ステップ S 25 )、正常完了、STALL 返答、

50

ハンドシェーク待ちのタイムアウト処理などを行う（ステップS26）。

【0210】

図24は、ペリフェラル動作時におけるファームウェア処理のフローチャートである。

【0211】

まず、エンドポイント（バッファ）領域のデータクリア指示 [FIFOClr] を行う（ステップS31）。そして、トグルビット初期値 [Toggle] をセットする（ステップS32）。

【0212】

次にエンドポイント（転送条件）情報をセットする（ステップS33）。即ち、エンドポイント番号 [EPNumber]、転送方向 [DirPID]、転送種別 [TranType]、マックスパケットサイズ [MaxPktSize]などをセットする。

10

【0213】

次に、エンドポイントイネーブル指示 [EnEndPoint] を行う（ステップS34）。そして、転送種別 [TranType] を判断し、インタラプト転送の場合にはトグルモード [ToggleMode] を指定する（ステップS35、S36）。

【0214】

次に、エンドポイント（バッファ）領域のページ数 [BufferPage] をセットし（ステップS37）、エンドポイント領域確保の指示 [SetAllocation] を行う（ステップS38）。

。

【0215】

次に、DMAを用いるか否かを判断し、DMAを用いる場合にはDMAバスの接続指示 [JoinDMA] を行う（ステップS39、S40）。

20

【0216】

次に、ホストからのトークン受信の待ち状態になる（ステップS41）。そして、割り込みが発生するのを待ち（ステップS42）、正常完了（ACK受信）、NAK返信、STA LL返信、ハンドシェーク待ちのタイムアウト処理などを行う（ステップS43）。

【0217】

### 11. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0218】

例えば図25（A）に電子機器の1つであるプリンタの内部ブロック図を示し、図26（A）にその外観図を示す。CPU510（処理部）はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM517（システムメモリ）はCPU510のワーク領域として機能する。DMAC518は、CPU510を介さずにデータ転送を行うためのDMAコントローラである。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

30

【0219】

USBを介してパーソナルコンピュータ、デジタルカメラ、デジタルビデオカメラなどの他の機器から送られてきたシリアルの印刷データ（印字データ、画像データ）は、データ転送制御装置500によりパラレルの印刷データに変換される。そして、変換後のパラレル印刷データは、CPU510又はDMAC518により、印刷処理部（プリンタエンジン）512に送られる。そして、印刷処理部512においてパラレル印刷データに対して所与の処理が施され、プリントヘッダなどからなる印刷部（データの出力処理を行う装置）514により紙に印刷されて出力される。

40

【0220】

図25（B）に電子機器の1つであるデジタルカメラの内部ブロック図を示し、図26（B）にその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521（シャッターボタン、操作ボタン等）はデジタルカメラをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM527はCPU520のワーク領域として機能する。DMAC528はDMAコントローラである。

50

**【0221】**

C C D、レンズなどからなる撮像部（データの取り込み処理を行う装置）522により画像が撮像され、撮像された画像のデータは画像処理部524により処理される。そして、処理後の画像データは、C P U 5 2 0 又はD M A C 5 2 8 によりデータ転送制御装置500に送られる。データ転送制御装置500は、このパラレルの画像データをシリアルデータに変換し、U S B を介してプリンタ、ストレージ装置、パーソナルコンピュータなどの他の機器に送信する。

**【0222】**

図25（C）に電子機器の1つであるC D - R W ドライブ（ストレージ装置）の内部ブロック図を示し、図26（C）にその外観図を示す。C P U 5 3 0 はシステム全体の制御などを行う。操作部531はC D - R W をユーザが操作するためのものである。R O M 5 3 6には制御プログラムなどが格納され、R A M 5 3 7 はC P U 5 3 0 のワーク領域として機能する。D M A C 5 3 8 はD M A コントローラである。10

**【0223】**

レーザ、モータ、光学系などからなる読み取り＆書き込み部（データの取り込み処理を行う装置又はデータの記憶処理を行うための装置）533によりC D - R W 5 3 2 から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、C P U 5 3 0 又はD M A C 5 3 8 によりデータ転送制御装置500に送られる。データ転送制御装置500は、このパラレルのデータをシリアルデータに変換し、U S B を介して他の機器に送信する。20

**【0224】**

一方、U S B を介して他の機器から送られてきたシリアルのデータは、データ転送制御装置500によりパラレルのデータに変換される。そして、このパラレルデータは、C P U 5 3 0 又はD M A C 5 3 8 により信号処理部534に送られる。そして、信号処理部534においてこのパラレルデータに対して所与の信号処理が施され、読み取り＆書き込み部533によりC D - R W 5 3 2 に記憶される。

**【0225】**

なお、図25（A）、（B）、（C）において、C P U 5 1 0 、5 2 0 、5 3 0 の他に、データ転送制御装置500でのデータ転送制御のためのC P U を別に設けるようにしてもよい。30

**【0226】**

本実施形態のデータ転送制御装置を電子機器に用いれば、O T G 機能を有する電子機器を実現できる。即ち、電子機器にホストとしての役割を持たせたり、デバイスとしての役割を持たせることが可能になり、これまでに存在しなかったアプリケーションを創出できる。

**【0227】**

また本実施形態のデータ転送制御装置を電子機器に用いれば、電子機器に組み込まれるC P U （処理部）の処理負荷が軽減され、安価なC P U を用いることが可能になる。また、C P U が、データ転送制御処理以外の他の処理を余裕を持って行うことが可能になり、電子機器の性能向上や低コスト化を図れる。また、C P U 上で動作するファームウェアのプログラムを簡素化でき、電子機器の開発期間の短縮化を図れる。40

**【0228】**

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ（C D - R O M 、D V D ）、光磁気ディスクドライブ（M O ）、ハードディスクドライブ、デジタルビデオカメラ、携帯電話、スキャナ、T V 、V T R 、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、或いはワードプロセッサなど種々のものを考えることができる。

**【0229】**

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。50

**【0230】**

例えば、本発明のデータ転送制御装置の構成は、図5等で説明した構成に限定されるものではなく、種々の変形実施が可能である。

**【0231】**

また、データ転送制御装置の各ブロック(HC、PC、OTGC等)の構成も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

**【0232】**

また、転送条件レジスタに設定される転送条件情報も、本実施形態で説明した情報に限定されるものではない。

**【0233】**

また、明細書中の記載において広義な用語(ページサイズ、ステートコントローラ、処理部、転送コントローラ、バス、転送比率情報、バッファ領域等)として引用された用語(マックスパケットサイズ、OTGコントローラ、CPU・ファームウェア、ホストコントローラ・ペリフェラルコントローラ、USB、連続実行回数、パイプ領域・エンドポイント領域等)は、明細書中の他の記載においても広義な用語に置き換えることができる。

10

**【0234】**

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

**【0235】**

また、本実施形態ではUSBのOTG規格への適用例を説明したが、本発明が適用されるのはOTG規格に限定されない。例えばOTG規格と同様の思想に基づく規格やOTG規格を発展させた規格におけるデータ転送にも本発明は適用できる。

20

**【図面の簡単な説明】**

**【図1】** 図1(A)、(B)、(C)は、USBのOTG規格について説明するための図である。

**【図2】** 図2(A)、(B)は、SRPやHNPの手順について説明するための図である。

**【図3】** 図3(A)、(B)は、OHC1のリスト構造のディスクリプタなどについて説明するための図である。

30

**【図4】** OHC1の2分木構造のディスクリプタについて説明するための図である。

**【図5】** 本実施形態のデータ転送制御装置の構成例を示す図である。

**【図6】** 図6(A)、(B)は、パイプ領域、エンドポイント領域について説明するための図である。

**【図7】** 図7(A)、(B)は、バッファ領域確保の問題点について説明するための図である。

**【図8】** 本実施形態の領域確保手法について説明するための図である。

**【図9】** 図9(A)、(B)も、本実施形態の領域確保手法について説明するための図である。

**【図10】** マックスパケットサイズ、ページ数が設定されるレジスタを、ホスト動作時とペリフェラル動作時で共用する手法について説明するための図である。

40

**【図11】** 領域確保処理の具体例を示すフローチャートである。

**【図12】** 図12(A)は、マックスパケットサイズ、ページ数の設定例であり、図12(B)は、その設定により確保される領域の例である。

**【図13】** データ転送制御装置のホスト時の動作について説明するための図である。

**【図14】** データ転送制御装置のペリフェラル時の動作について説明するための図である。

**【図15】** レジスタ部について説明するための図である。

**【図16】** ファームウェアの処理例を説明するためのフローチャートである。

**【図17】** INトランザクションでの自動トランザクション処理の信号波形例である。

50

【図18】 OUTトランザクションでの自動トランザクション処理の信号波形例である。

【図19】 OTGコントローラの詳細な構成例を示す図である。

【図20】 図20(A)、(B)は、ホストコントローラ、ペリフェラルコントローラの詳細な構成例を示す図である。

【図21】 バッファコントローラの詳細な構成例を示す図である。

【図22】 図22(A)、(B)、(C)は、領域確保手法やポイント割り当て手法について説明するための図である。

【図23】 ホスト動作時におけるファームウェアの詳細な処理例を示すフローチャートである。

10

【図24】 ペリフェラル動作時におけるファームウェアの詳細な処理例を示すフローチャートである。

【図25】 図25(A)、(B)、(C)は、種々の電子機器の内部ブロック図の例である。

【図26】 図26(A)、(B)、(C)は、種々の電子機器の外観図の例である。

【符号の説明】

P I P E 0 ~ P I P E e パイプ(バッファ)領域

E P 0 ~ E P e エンドポイント(バッファ)領域

T R E G 0 ~ T R E G e 転送条件レジスタ(共用レジスタ)

M P S 0 ~ M P S e マックスパケットサイズ(ページサイズ)

20

B P 0 ~ B P e ページ数、T T 0 ~ T T e 転送種別、R S 0 ~ R S e 領域サイズ、10 トランシーバ、12 物理層回路、20 OTGコントローラ(ストートコントローラ)、30 HC / PC 切り替え回路、

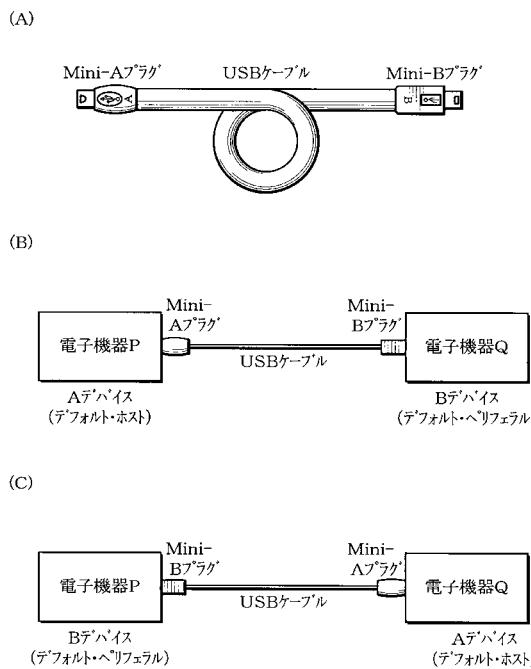
32 HC / PCセレクタ、34 ラインステートコントローラ、40 転送コントローラ、50 ホストコントローラ、60 ペリフェラルコントローラ、70 レジスタ部、72 転送条件レジスタ部(共用レジスタ)、

80 バッファコントローラ、100 パケットバッファ(FIFO、RAM)、1

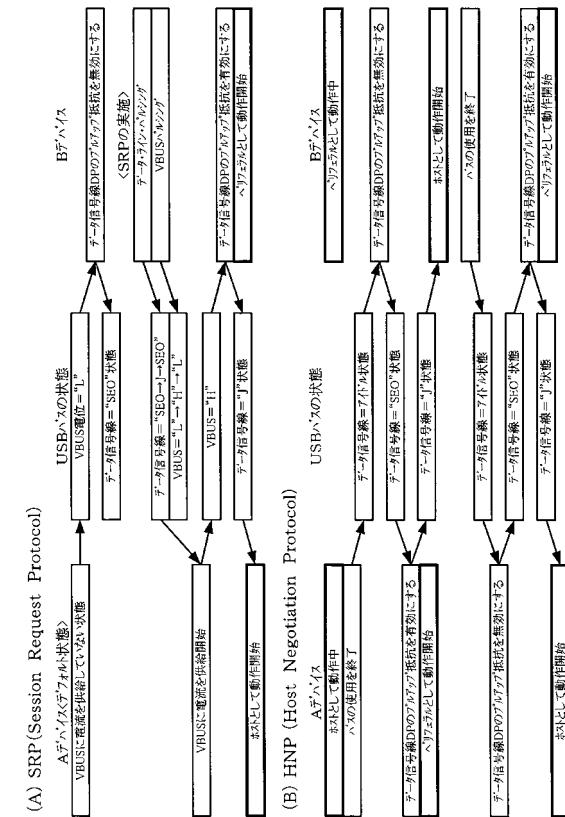
10 インターフェース回路、112 DMAハンドラ回路、

114 CPUインターフェース回路、120 クロックコントローラ

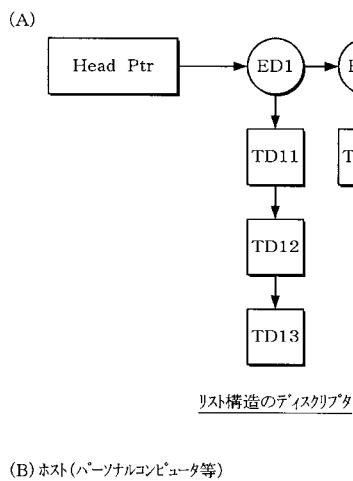
〔 四 1 〕



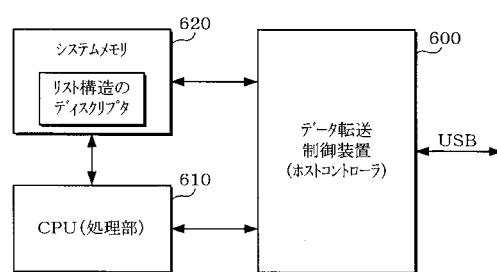
【図2】



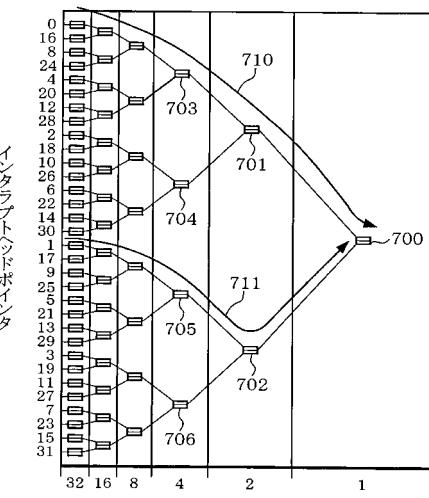
( 3 )



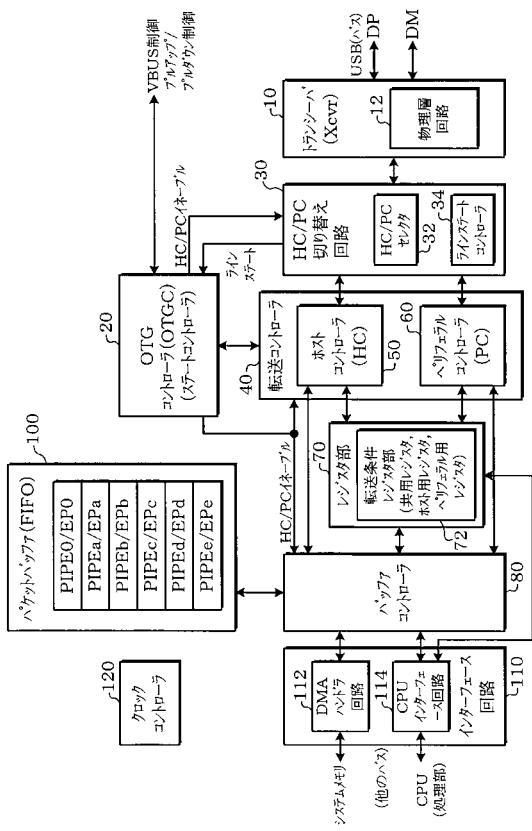
(B) ホスト(パーソナルコンピュータ等)



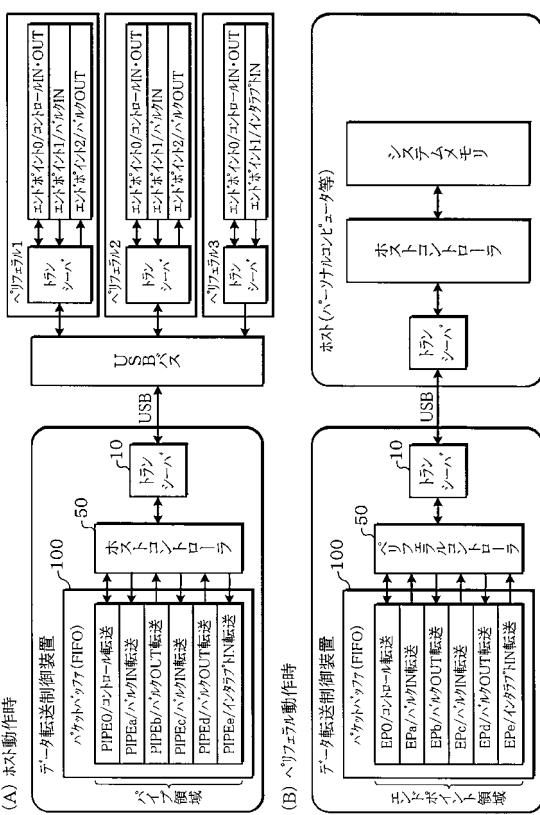
( 4 )



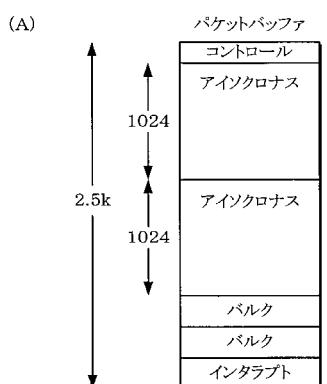
【 四 5 】



【図6】



【 义 7 】



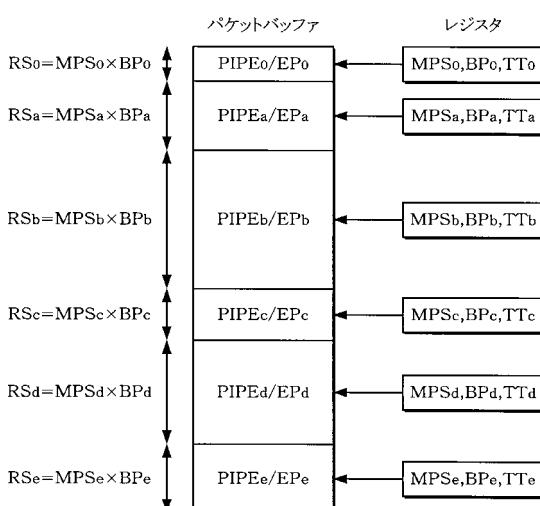
(B)

↑  
2.5k

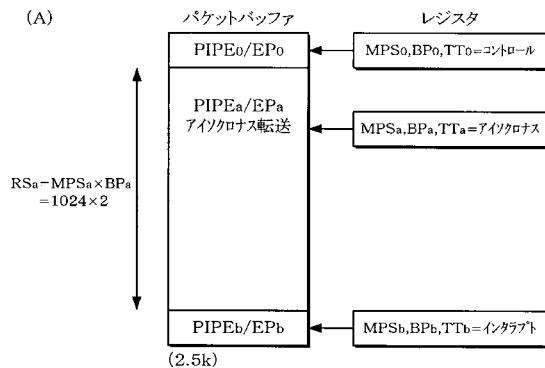
パケットバッファ
コントロール
バルク
バルク
インターラプト

A1 →

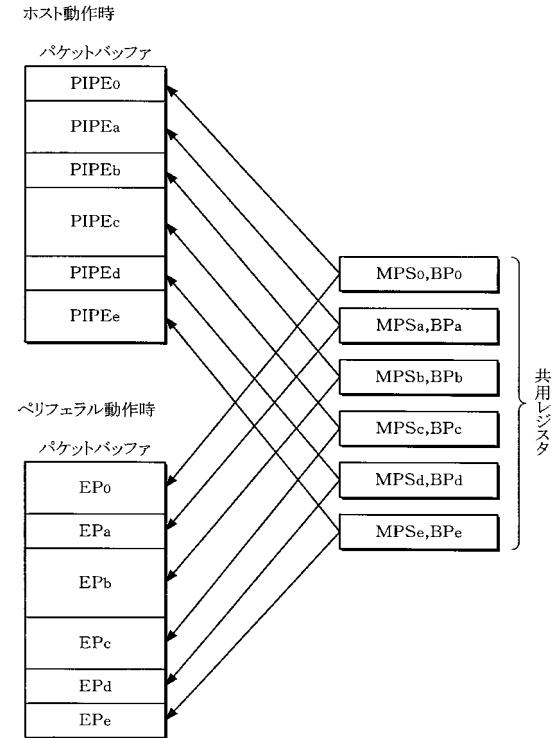
【 四 8 】



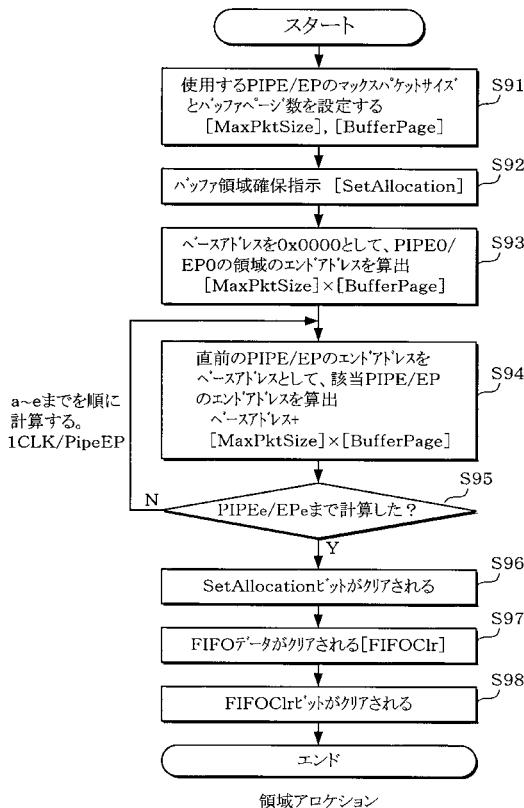
【図9】



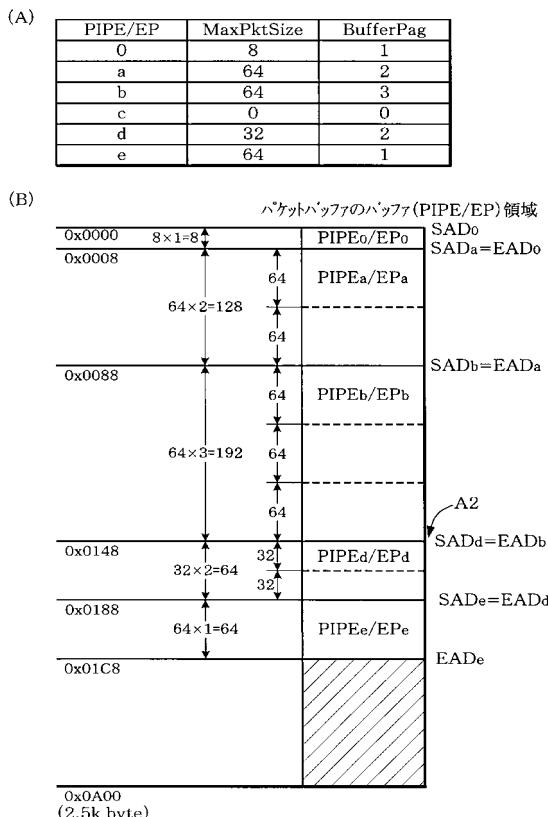
【図10】



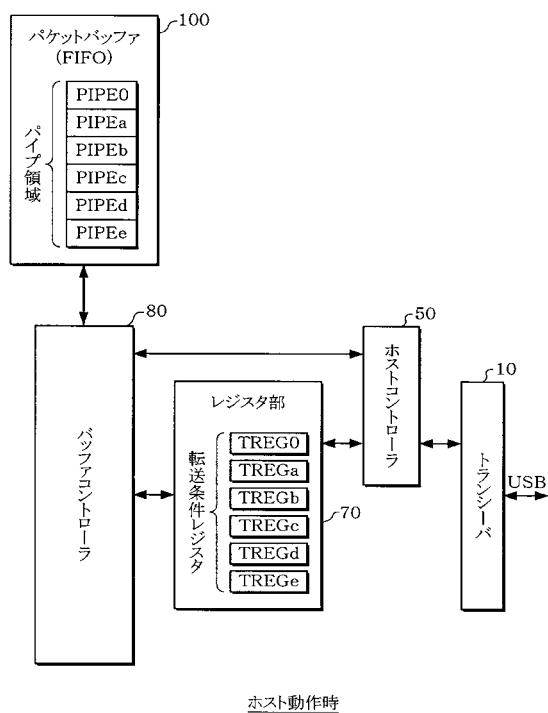
【図11】



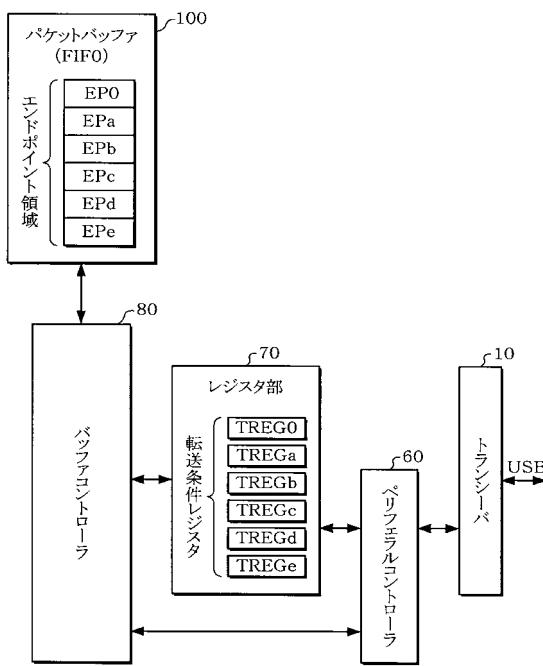
【図12】



【図13】



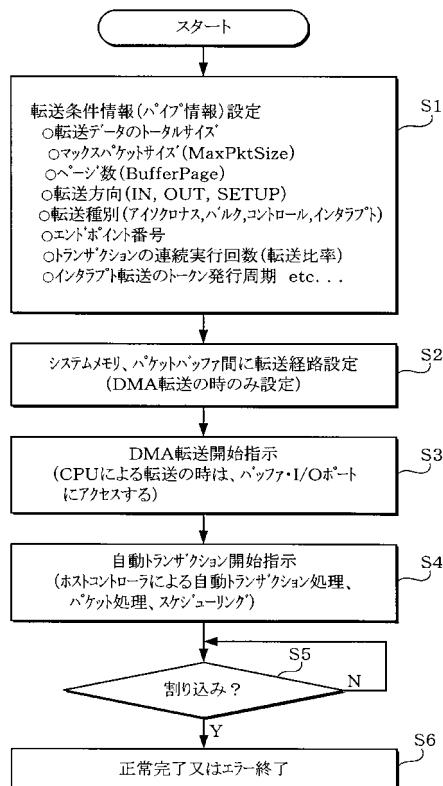
【図14】



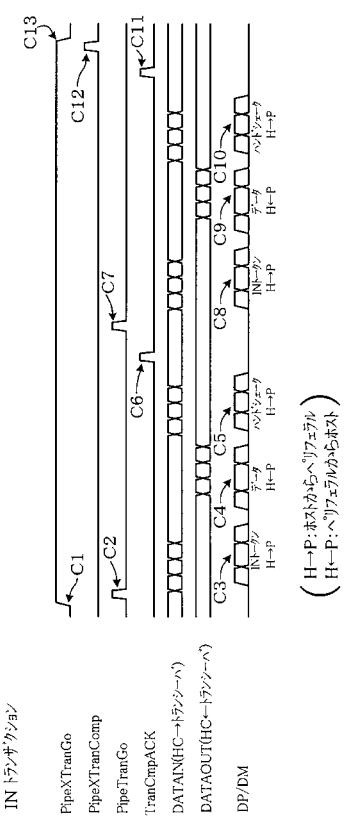
【図15】

レジスタ部	転送条件用レジスタ (PIPE/EPO制御レジスタ) (O.a~e)	HC/PC(PPE/EP) 共用レジスタ	HC(PPE)用レジスタ	PC(EP)用レジスタ	イシグナル系レジスタ	ブロック系レジスタ	DMA制御レジスタ
	データの転送方向、転送種別、マックスパケットサイズ、ヘビーピーク動作時のEPOで共用されるレジスタ	ヘビーピーク動作時CPUとEPOにのみ使用されるレジスタ	ヘビーピーク動作時CPUにのみ使用されるレジスタ	ヘビーピーク動作時CPUにのみ使用されるレジスタ	データ転送のデータ番号、データ長、データ送り方、データ送り間隔、データ送り回数、データ送り開始指示等	データ転送のデータ番号、データ長、データ送り方、データ送り間隔、データ送り回数、データ送り開始指示等	データ転送のデータ番号、データ長、データ送り方、データ送り間隔、データ送り回数、データ送り開始指示等

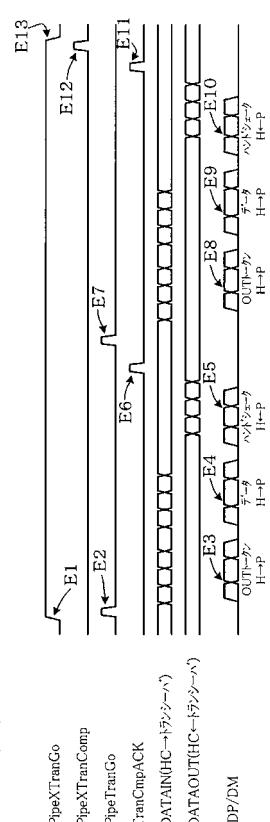
【図16】



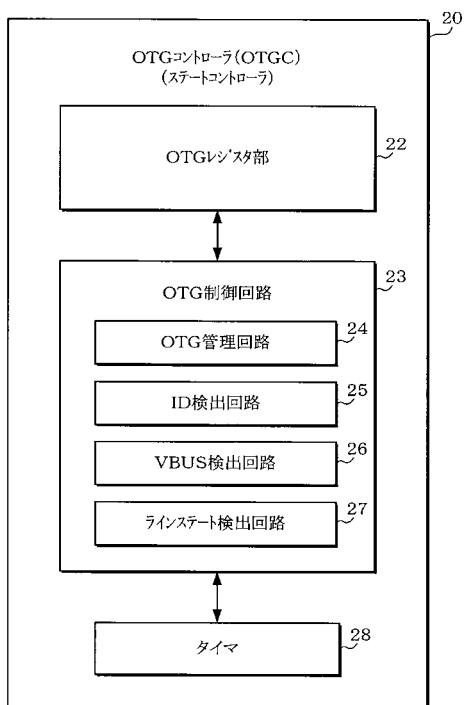
【図17】



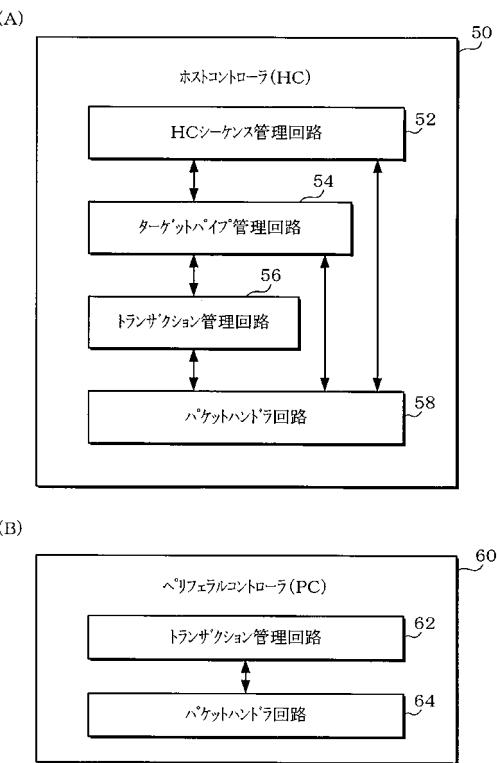
【図18】



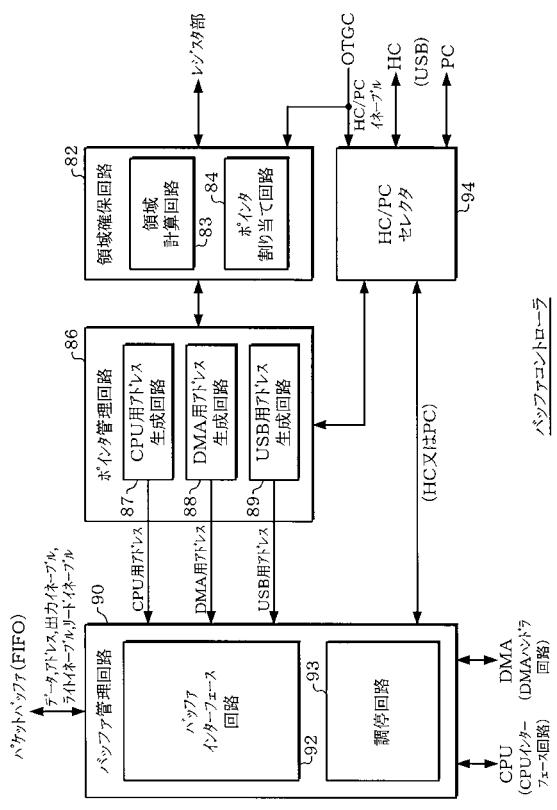
【図19】



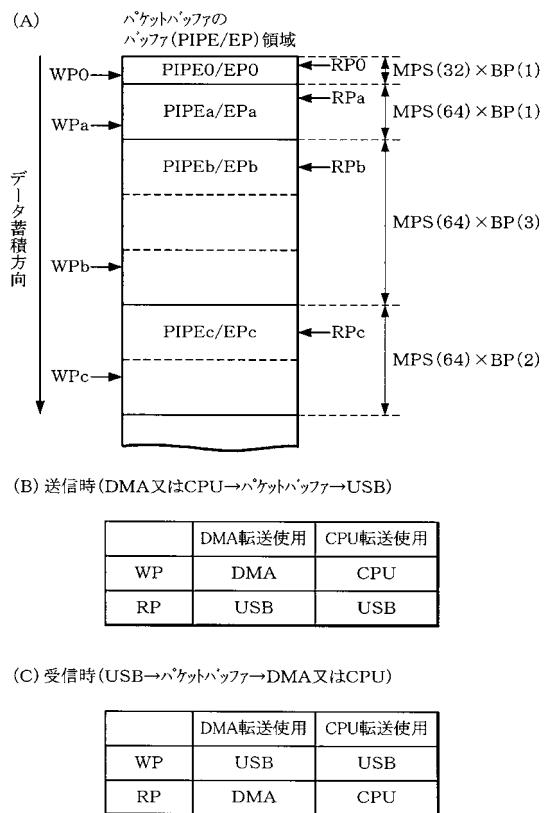
【図20】



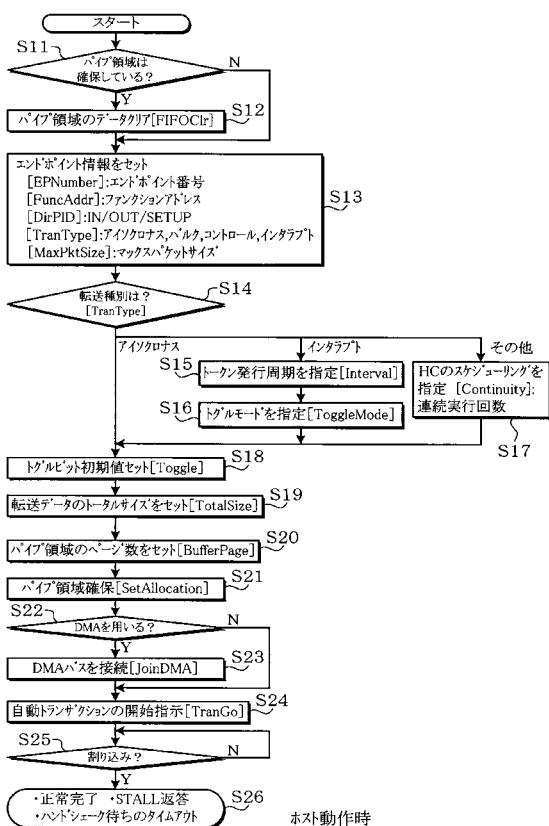
【図21】



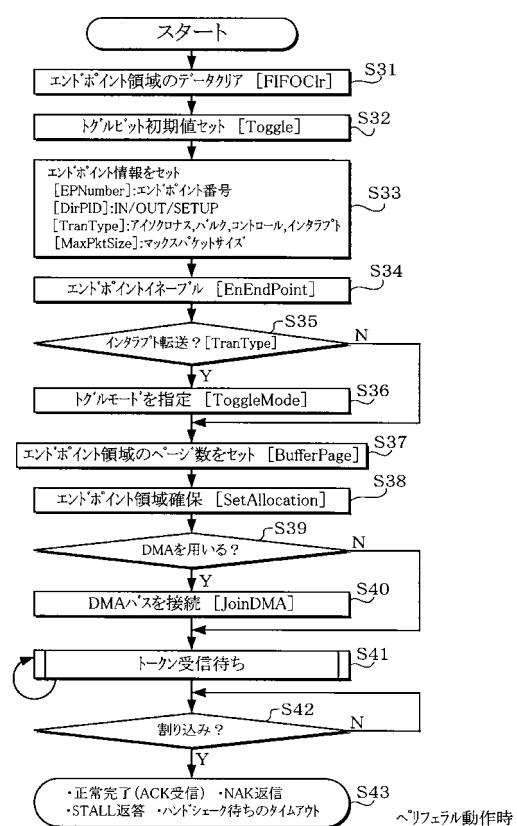
【図22】



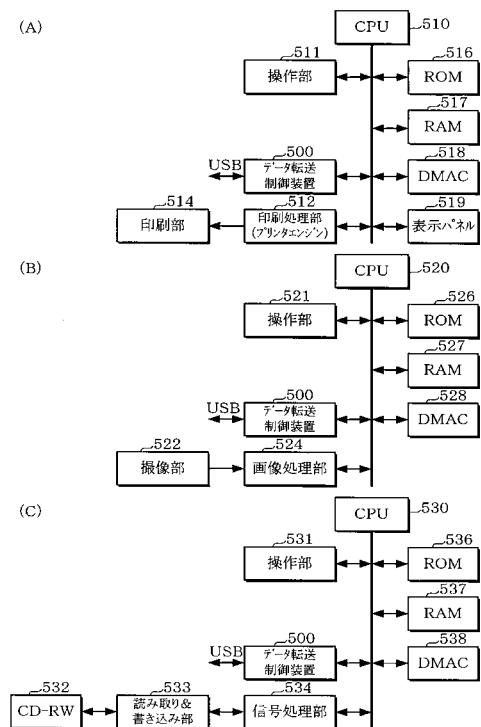
【図23】



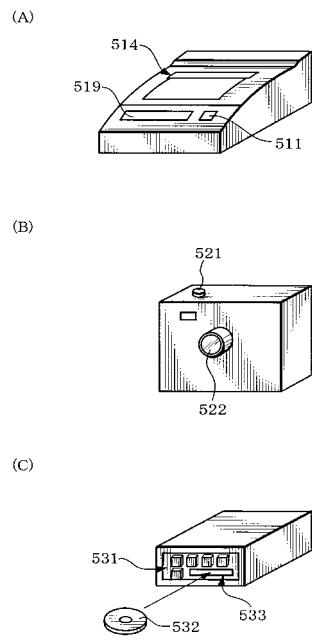
【図24】



【図25】



【図26】



---

フロントページの続き

(72)発明者 風間 宏信  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 石井 茂和

(56)参考文献 特開2002-055936(JP,A)  
特開2002-091717(JP,A)  
特開2002-009849(JP,A)  
特開2002-116998(JP,A)  
特開平10-301898(JP,A)  
米国特許第6105097(US,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/38  
WPI(DIALOG)  
JSTPlus(JDreamII)