СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1117585 A

3 (51) G 05 B 11/26

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3508138/18-24
(22) 29.10.83
(46) 07.10.84. Бюл. № 37
(72) В.В. Макаров
(53) 62-50(088.8)
(56) 1. Авторское свидетельство СССР № 1004969, кл. G 05 B 11/26, 1981.

2. Купцевич Б.М., Чеховой Ю.Н. Нелинейные системы с частотно- и широтно-импульсной модуляцией. Киев, "Техника", 1970, с. 42-45.

3. Закирпичный В.С. Моделирование систем автоматического регулирования с интегральной частотно-импульсной модуляцией. - В кн.: "Известия Ленинградского электротехнического института", вып. 81, ЛЭТИ. Ленинград, 1968, с. 187 (прототип).

(54)(57) 1. ИМПУЛЬСНЫЙ РЕГУЛЯТОР, содержащий первый и второй усилители мощности, выходами подключенные к первому и второму входам исполнительного механизма, первый, второй и третий одновибраторы, элемент ИЛИ и последовательно соединенные предварительный усилитель и интегратор, управляющим входом подключенный к выходу первого одновибратора, а выходом - к входам первого и второго релейных блоков, о т л и ч а ю щ и й с я тем, что, с целью повышения точности регулятора, в него введены широтно-импульсный модулятор, первый и второй блоки памяти, последовательно соединенные первый RS-триггер и первый элемент И, последовательно соединенные фильтр и третий релейный блок, последовательно соединенные второй RS-триггер, второй элемент И, третий RS-триггер и третий элемент И, последовательно соединенные ключ, четвертый релейный блок, первый элемент НЕ и четвертый элемент И, последовательно соединенные дифференциатор, пятый релейный блок, второй элемент НЕ и пятый элемент И, вторым входом подключенный к выходу третьего RS-триггера и второму входу четвертого элемента И, третьим входом - к выходу первого элемента НЕ и входу третьего одновибратора, а выходом - к первому управляющему входу второго блока памяти, вторым управляющим входом подключенного к выходу четвертого элемента И, второму управляющему входу первого блока памяти и S-входу первого RS-триггера, сигнальным входом - к выходу ключа, входу дифференциатора и сигнальному входу первого блока памяти, а выходом - к второму управляющему входу широтно-импульсного модулятора, первым управляющим входом подключенного к выходу первого блока памяти, первым и вторым сигнальными входами - к выходам соответственно первого и второго релейных блоков, первым и вторым сигнальными выходами - к входам соответственно первого и второго усилителей мощности, а информационным выходом - к входу первого одновибратора и третьему входу четвертого элемента И, четвертым входом подключенного к выходу пятого релейного блока и второму входу третьего элемента И, выходом подключенного к первому управляющему входу первого блока памяти, третьим управляющим входом подключенного к выходу первого RS-триггера, третьему управляющему входу второго блока памяти и первому входу элемента ИЛИ, а чет-

(19) SU (11) 1117585 A

вертым управляющим входом - к четвертому управляющему входу второго блока памяти, R-входам первого, второго и третьего RS-триггеров и выходу первого элемента И, вторым входом подключенного к выходу первого одновибратора, выход второго одновибратора соединен с S-входом второго RS-триггера, вход третьего одновибратора соединен с выходом четвертого релейного блока, а выход - с вторым входом второго элемента И, второй вход элемента ИЛИ подключен к выходу третьего релейного блока, а выход - к управляющему входу ключа, сигнальным входом подключенного к выходу предварительного усилителя и входу фильтра.

2. Регулятор по п. 1, о т л и ч а ю щ и й с я тем, что блок памяти содержит элемент И и последовательно соединенные первый ключ, усилитель, запоминающий элемент и второй ключ, выходом подключенный к выходу блока памяти, сигнальный вход, первый, второй, третий и четвертый управляющие входы которого подключены соответственно к сигнальному и управляющему входам первого ключа, управляющему входу второго ключа, первому и второму входам элемента И, выходом подключенного к управляющему входу запоминающего элемента.

3. Регулятор по пп. 1 и 2, о т л и ч а ю щ и й с я тем, что широтно-импульсный модулятор содержит первый и второй RS-триггеры и последовательно соединенные элемент ИЛИ, сумматор, интегратор и релейный элемент, выходом соединенный с R-входами первого и второго RS-триггеров, S-входами подключенных соответственно к первому и второму сигнальным входам широтно-импульсного модулятора, первым и вторым управляющими входами подключенного к второму и третьему входам сумматора, а первым и вторым сигнальными выходами - к выходам соответственно первого и второго RS-триггеров и соответственно первому и второму входам элемента ИЛИ, а информационным выходом - к выходу элемента ИЛИ и управляющему входу интегратора.

1

Изобретение относится к автоматическим импульсным регуляторам, в которых выходной сигнал является прерывной функцией отклонения входного сигнала от заданной величины, и может быть применено в системах автоматического управления объектами с малой инерционностью при использовании в качестве исполнительных устройств исполнительных механизмов постоянной скорости, например, в установках для приготовления смеси жидкостей заданной температуры путем изменения концентрации компонентов смеси из двух жидкостей с различной температурой.

Известен импульсный регулятор, содержащий первый сумматор, подключенный первым входом к выходу задатчика, вторым входом - к выходу датчика регулируемой величины и входу дифференциатора, а выходом через последовательно соединенные усилитель, интегратор, трехпозиционный релейный блок и второй сумматор - к усилителю

2

мощности, блок задержки и ключ, сигнальным входом подключенный к выходу дифференциатора, управляющим входом - к выходу трехпозиционного релейного блока и входу блока задержки, а выходом - к второму входу второго сумматора, выход блока задержки соединен с управляющим входом интегратора [1].

Известен импульсный регулятор, содержащий последовательно соединенные предварительный усилитель, интегратор, усилитель мощности, трехпозиционный релейный блок и реле времени, выходом подключенное к управляющему входу интегратора [2].

Наиболее близким к изобретению по технической сущности является импульсный регулятор, содержащий элемент ИЛИ, третий одновибратор и последовательно соединенные предварительный усилитель напряжения и интегратор, выходом соединенный через последовательно соединенные первый

релейный блок, первый одновибратор и первый усилитель мощности с первым входом исполнительного механизма, а через последовательно соединенные второй релейный блок, второй одновибратор и второй усилитель мощности - с вторым входом исполнительного механизма, входы элемента ИЛИ подключены к выходам первого и второго одновибраторов, а выход через третий одновибратор - к управляющему входу интегратора [3].

Недостатком известных устройств является их низкая точность.

Цель изобретения - повышение точности регулятора.

Поставленная цель достигается тем, что в импульсный регулятор, содержащий первый и второй усилители мощности, выходами подключенные к первому и второму входам исполнительного механизма, первый, второй и третий одновибраторы, элемент ИЛИ и последовательно соединенные предварительный усилитель и интегратор, управляющим входом подключенный к выходу первого одновибратора, а выходом - к входам первого и второго релейных блоков, введены широтно-импульсный модулятор, первый и второй блоки памяти, последовательно соединенные первый RS-триггер и первый элемент И, последовательно соединенные фильтр и третий релейный блок, последовательно соединенные второй RS-триггер, второй элемент И, третий RS-триггер и третий элемент И, последовательно соединенные ключ, четвертый релейный блок, первый элемент НЕ и четвертый элемент И, последовательно соединенные дифференциатор, пятый релейный блок, второй элемент НЕ и пятый элемент И, вторым входом подключенный к выходу третьего RS-триггера и к второму входу четвертого элемента И, третьим входом - к выходу первого элемента НЕ и входу третьего одновибратора, а выходом - к первому управляющему входу второго блока памяти, вторым управляющим входом подключенного к выходу четвертого элемента И, второму управляющему входу первого блока памяти и S-входу первого RS-триггера, сигнальным входом - к выходу ключа, входу дифференциатора и сигнальному входу первого блока памяти, а выходом - к второму управляющему входу широтно-импульсного модулятора, первым управляющим входом подключенного к выходу первого блока памяти, первым и вторым сигнальными входами - к выходам соответственно первого и второго релейных блоков, первым и вторым сигнальными выходами - к входам соответственно первого и второго усилителей мощности, а информационным выходом - к входу первого одновибратора и третьему входу четвертого элемента И, четвертым входом подключенного к выходу пятого релейного блока и второму входу третьего элемента И, выходом подключенного к первому управляющему входу первого блока памяти, третьим управляющим входом подключенного к выходу первого RS-триггера, третьему управляющему входу второго блока памяти, и первому входу элемента ИЛИ, а четвертым управляющим входом - к четвертому управляющему входу второго блока памяти, R-входам первого, второго и третьего RS-триггеров и выходу первого элемента И, вторым входом подключенного к выходу первого одновибратора, выход второго одновибратора соединен с S-входом второго RS-триггера, вход третьего одновибратора соединен с выходом четвертого релейного блока, а выход - с вторым входом второго элемента И, второй вход элемента ИЛИ подключен к выходу третьего релейного блока, а выход - к управляющему входу ключа, сигнальным входом подключенного к выходу предварительного усилителя и входу фильтра.

При этом каждый блок памяти содержит элемент И и последовательно соединенные первый ключ, усилитель, запоминающий элемент и второй ключ, выходом подключенный к выходу блока памяти, сигнальный вход, первый, второй, третий и четвертый управляющие входы которого подключены соответственно к сигнальному и управляющему входам первого ключа, управляющему входу второго ключа, первому и второму входам элемента И, выходом подключенного к управляющему входу запоминающего элемента.

Кроме того, широтно-импульсный модулятор содержит первый и второй RS-триггеры и последовательно соединенные элемент ИЛИ, сумматор, интегратор и релейный элемент, выходом соединенный с R-входами первого и

второго RS-триггеров, S-входами подключенных соответственно к первому и второму сигнальным входам широтно-импульсного модулятора, первым и вторым управляющими входами подключенного к второму и третьему входам сумматора, первым и вторым сигнальными выходами - к выходам соответственно первого и второго RS-триггеров и соответственно первому и второму входам элемента ИЛИ, а информационным выходом - к выходу элемента ИЛИ и управляющему входу интегратора.

На фиг.1 представлена функциональная схема предлагаемого и импульсного регулятора; на фиг.2 - эпюры выходных напряжений основных блоков регулятора при отработке внешнего воздействия; на фиг.3 - эпюры выходных напряжений блоков регулятора, обеспечивающих формирование корректирующего воздействия.

Регулятор содержит предварительный усилитель 1 напряжения, интегратор 2, релейные первый, второй, четвертый и пятый блоки 3 - 6, широтно-импульсный модулятор 7, первый, второй и третий одновибраторы 8 - 10, первый и второй усилители 11 и 12 мощности, фильтр 13, третий релейный блок 14, второй, третий и первый RS-триггеры 15 - 17, дифференциатор 18, элемент ИЛИ 19, первый, второй, четвертый, третий и пятый элементы И 20 - 24, первый и второй элементы НЕ 25 и 26, ключ 27, первый и второй блоки 28 и 29 памяти.

Широтно-импульсный модулятор 7 включает в себя первый и второй RS-триггеры 30 и 31, элемент ИЛИ 32, интегратор 33, сумматор 34 и релейный элемент 35.

Блоки 28 и 29 памяти содержат соответственно ключи 36, 37 и 38, 39, элементы И 40 и 41, усилители 42 и 43 напряжения, запоминающие элементы 44 и 45.

В процессе регулирования исполнительный механизм 46 воздействует на объект регулирования, изменяя его положение (объект регулирования и система автоматического регулирования на фиг.1 не показаны).

Кроме того, на схеме обозначены: $U_{вх}$ - входное напряжение импульсного регулятора; U_1 - выходное напряжение предварительного усилителя 1; U_2 - выходное напряжение интегратора 2; U_3 и U_4 - выходные напряжения соответственно первого и второго усилителей 11 и 12 мощности; U_5 - выходное напряжение первого одновибратора 8; U_6 - выходное напряжение элемента ИЛИ; U_7 - выходное напряжение ключа 27; U_8 - выходное напряжение второго одновибратора 9; U_9 - выходное напряжение второго RS-триггера 15; U_{10} - выходное напряжение третьего одновибратора 10; U_{11} - выходное напряжение третьего RS-триггера 16; U_{12} - выходное напряжение пятого релейного блока 6; U_{13} и U_{14} - выходные напряжения соответственно третьего и пятого элементов И 23 и 24; U_{15} и U_{16} - выходные напряжения первого и второго блоков 28 и 29 памяти; U_{17} - выходное напряжение первого RS-триггера 17.

Фильтр 13 служит для выделения низкочастотной составляющей выходного напряжения U_1 предварительного усилителя 1 и в частном случае может быть реализован с помощью инерционного звена.

Третий релейный блок 14, имеющий двухпозиционную характеристику, может быть реализован с помощью параллельного соединения двух цепей, содержащих несимметричные однополярные релейные элементы, на входе одного из которых установлен инвертор.

Запоминающие элементы 44 и 45 блоков 28 и 29 памяти могут быть реализованы с помощью параллельного соединения конденсатора и ключа при соединении одной обкладки конденсатора с входом и выходом элемента, другой обкладки - с общей шиной элемента, а управляющего входа ключа - с управляющим входом элемента.

Регулятор работает следующим образом.

На вход усилителя 1 поступает напряжение $U_{вх}$, равное разности между заданным и действительным значениями регулируемого параметра. С выхода усилителя 1 напряжение $U_1 = U_{вх} k$ поступает на вход интегратора 2, с выхода которого напряжение U_2 поступает на входы релейных блоков 3 и 4. При достижении напряжением U_2 на выходе интегратора 2 величины порога срабатывания Δ одного из релейных блоков 3 (или 4) последний срабатывает, подавая ступенчатое напряжение на один из сигнальных входов широтно-

импульсного модулятора 7. При этом на соответствующем выходе широтно-импульсного модулятора 7 и на выходе одного из усилителей 11 (или 12) мощности формируется импульс управляющего напряжение U_3 (или U_4), поступающего на один из входов исполнительного механизма 46. Длительность импульса управляемого напряжения $U_{вых}$ определяется настройкой широтно-импульсного модулятора 7, а также величиной и полярностью корректирующих напряжений U_{15} и U_{16} на управляющих входах широтно-импульсного модулятора 7, поступающих с выходов первого и второго блоков 28 и 29 памяти. В случае, если напряжения U_{15} и U_{16} отсутствуют или взаимно компенсируются в сумматоре 34 широтно-импульсного модулятора 7, длительность импульсов напряжения на его выходе постоянна и определяется параметрами широтно-импульсного модулятора 7: коэффициентами передачи сумматора 34 и интегратора 33 и порогом срабатывания релейного элемента 35. При поступлении напряжения на один из сигнальных входов широтно-импульсного модулятора 7 происходит переключение соответствующего RS-триггера 30 (или 31). При этом через элемент ИЛИ 32 и сумматор 34 напряжение поступает на вход интегратора 33 и на его управляющий вход, разрешая тем самым процесс интегрирования. Когда напряжение на выходе интегратора 33 достигает величины, достаточной для срабатывания релейного элемента 35, последний срабатывает, осуществляя переключение RS-триггеров 30 и 31 в исходное состояние. Таким образом, длительность импульса управляющего напряжения определяется величиной напряжения, поступающего на вход интегратора 33 и, соответственно, величиной и полярностью напряжений на входах сумматора 34. В момент начала импульса управляющего напряжения на информационном выходе широтно-импульсного модулятора 7 появляется напряжение, поступающее на вход одновибратора 8 и вызывающее его срабатывание по переднему фронту импульса напряжения. Импульс напряжения U_5 с выхода одновибратора 8 поступает на управляющий вход интегратора 2, осуществляя его обнуление. В дальнейшем цикл повторяется, и на выходе регулятора формируется частотно-модулированное напряжение, частота которого определяется величиной сигнала рассогласования, а знак - знаком напряжения рассогласования $U_{вх}$. После отработки регулятором управляющего или возмущающего воздействия в системе автоматического регулирования, которая содержит данный импульсный регулятор, устанавливается периодический автоколебательный процесс, причем предельная величина отклонения регулируемого параметра от заданного значения зависит от начальных условий в системе автоматического регулирования и в общем случае может быть равной реакции объекта регулирования на один импульс выходного напряжения $U_{вых}$ регулятора. Благодаря наличию корректирующих напряжений U_{15} и U_{16}, в импульсном регуляторе в процессе регулирования происходит постоянный контроль параметров автоколебательного процесса в системе автоматического регулирования и приведение указанного автоколебательного процесса к симметричному, при котором обеспечивается максимальная точность системы автоматического регулирования при отклонении регулируемого параметра, не превышающих реакции объекта регулирования на уменьшенный вдвое импульс управляющего напряжения $U_{вых}$.

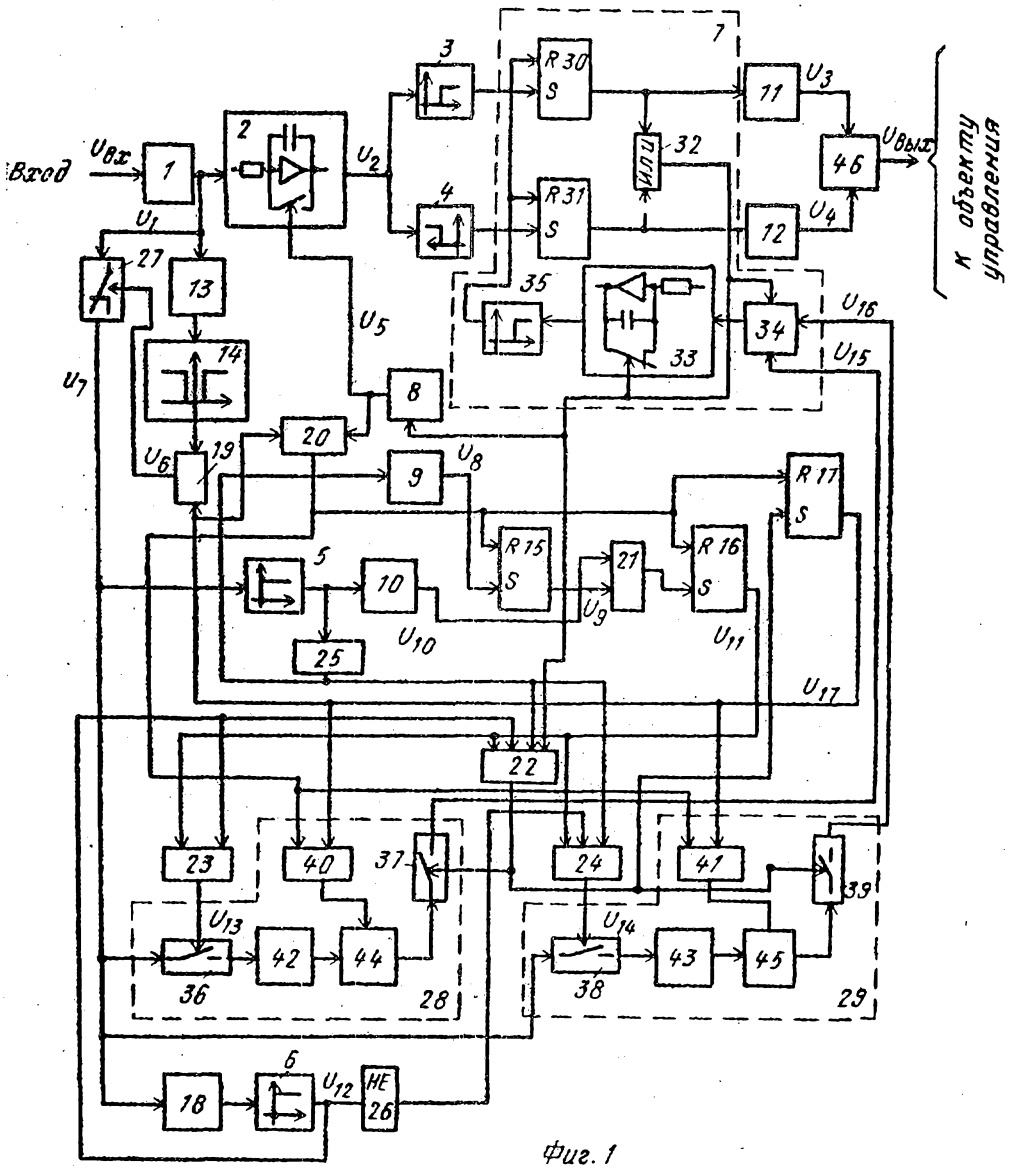
Работа элементов регулятора, формирующих корректирующие напряжение U_{15} и U_{16}, осуществляется следующим образом. С выхода предварительного усилителя 1 усиленное напряжение одновременно с поступлением на вход интегратора 2 поступает на вход фильтра 13, служащего для выделения постоянной составляющей напряжения U_1, и на сигнальный вход нормально замкнутого ключа 27. В случае, если постоянная составляющая напряжения U_1 отсутствует или находится в допустимых пределах, на управляющий вход ключа 27 напряжение с выхода третьего релейного блока 14 через элемент ИЛИ 19 не поступает и ключ 27 находится в замкнутом состоянии. Отсутствие постоянной составляющей напряжения U_1 свидетельствует об окончании отработки управляющего или возмущающего воздействия системы автоматического регулирования. С выхода ключа 27 напряжение поступает на входы четвертого релейного блока 5, дифференциатора 18 и ключей 36 и 38 блоков 28 и 29 памяти. Формирова-

ние корректирующих напряжений U_{15} и U_{16} начинается в момент, когда напряжение U_1 на выходе усилителя 1 имеет отрицательное значение. В этом случае на выходе элемента НЕ 25 формируется напряжение U_7, поступающее на вход первого одновибратора 9, что вызывает срабатывание последнего по переднему фронту импульса напряжения и переключение импульсом напряжения, формируемым первым одновибратором 9, второго RS-триггера 15. Невозможность возникновения напряжения на выходе элемента НЕ 25 до поступления напряжения с ключа 27 может быть организована, например, соответствующим управлением цепей питания блоков импульсного регулятора. Напряжение U_9 с выхода второго RS-триггера 15 поступает на один из входов второго элемента И 21, на другой вход которого поступает импульсное напряжение с выхода третьего одновибратора 10 при изменении полярности напряжения U_2 на входе интегратора 2 отрицательной на положительную, так как при этом происходит срабатывание четвертого релейного блока 5 и запуск третьего одновибратора 10 по переднему фронту ступенчатого напряжения с выхода четвертого релейного блока 5. Поскольку в этот момент времени t_1 (фиг.2 и 3) производная входного напряжения $U_{вх}$ имеет положительное значение, напряжение U_{12} с выхода пятого релейного блока 6 поступает на первый вход третьего элемента И 23, на второй вход которого поступает напряжение U_{11} с выхода третьего RS-триггера 16, находящегося во включенном состоянии. Напряжением U_{13} с выхода третьего элемента И 23 производится включение ключа 36 первого блока 28 памяти. Напряжение U_1 с выхода усилителя 1 проходит, таким образом, через ключи 27 и 36, усиливается усилителем 42 и поступает на вход запоминающего элемента 44 первого блока 28 памяти. Запоминающий элемент 44 служит для запоминания величины и полярности напряжения с выхода усилителя 42 и фиксирования его при отключенном входе первого блока 28 памяти. В момент t_2 (фиг.2 и 3) изменения знака производной входного напряжения $U_{вх}$ или в момент равенства нулю производной напряжения $U_{вх}$ происходит обратное переключение пятого релейного блока 6. При этом происходит отключение первого блока 28 памяти от входного напряжения и подготовка цепей включения второго блока 29 памяти благодаря поступлению напряжения с выхода второго элемента НЕ 26 на один из входов пятого элемента И 24. В этот период времени на запоминающем элементе 44 первого блока 28 памяти сохраняется напряжение, пропорциональное максимальному значению напряжения $U_{вх}$ положительной полярности на входе импульсного регулятора. При последующем изменении полярности напряжения на входе импульсного регулятора происходит аналогичное подключение входного напряжения к второму блоку 29 памяти благодаря формированию напряжения U_7 на выходе первого элемента НЕ 25 в момент времени t_3 (фиг. 2 и 3). Отключение второго блока 29 памяти от входного напряжения $U_{вх}$ осуществляется в момент времени t_4 (фиг.2 и 3) при очередном изменении полярности производной входного напряжения $U_{вх}$, т.е. тогда, когда производная входного напряжения $U_{вх}$ становится положительной. На выходе запоминающего элемента 45 второго блока 29 памяти сохраняется напряжение, пропорциональное значению входного напряжения $U_{вх}$ импульсного регулятора в момент достижения им максимального отрицательного значения. В момент возникновения на выходе регулятора очередного импульса управляющего напряжения $U_{вых}$ (в предельном случае, когда объект регулирования полностью не имеет инерционности, этот момент совпадает с моментом t_4 изменения знака производной входного напряжения $U_{вх}$, что определяется появлением переднего фронта импульса напряжения на входе одновибратора 8 и соответственно на одном из входов элемента И 22, происходит формирование напряжения на выходе последнего и включение ключей 37 и 39 блоков 28 и 29 памяти. Таким образом, выходы запоминающих элементов 44 и 45 блоков 28 и 29 памяти оказываются подключенными через ключи 37 и 39 к входам сумматора 34 широтно-импульсного модулятора 7, вызывая в зависимости от настройки широтно-импульсного модулятора 7 увеличение или уменьшение длительности очередного импульса уп-

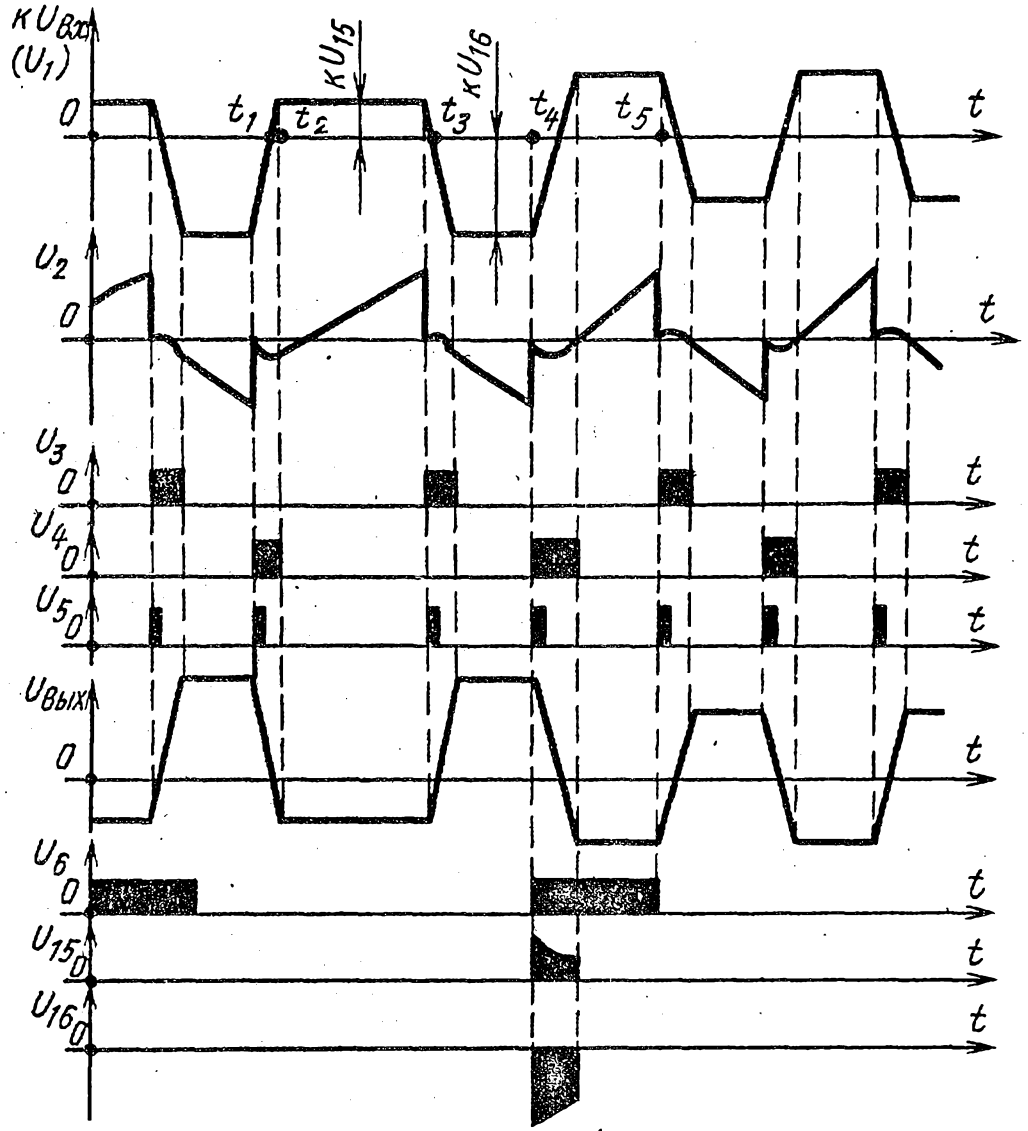
равляющего напряжения $U_{вых}$. Изменение коэффициентов усиления усилителей 42 и 43 обеспечивает уменьшение импульса напряжения $U_{вых}$ на заданную величину в случае, если по абсолютной величине максимальное значение положительного напряжения на входе импульсного регулятора меньше, чем отрицательное, и увеличение в противоположном случае. Одновременно с запоминанием напряжения в элементах 44 и 45 происходит переключение первого RS-триггера 17, напряжение U_{17} с выхода которого поступает на первые входы элементов И 40 и 41 блоков 28 и 29 памяти, подготавливая к включению цепь управления соответствующего запоминающего элемента 44 (или 45), на первый вход элемента И 20, подготавливая цепи перевода регулятора в исходное состояние, и через элемент ИЛИ 19 на управляющий вход ключа 27, отключая блоки формирования корректирующих напряжений U_{15} и U_{16} от входного напряжения $U_{вх}$. При очередном импульсе управляющего напряжения $U_{вых}$ в момент времени t_3 (фиг.2 и 3), благодаря поступлению импульса напряжения с выхода первого одновибратора 8 на второй вход первого элемента И 20 напряжение с выхода последнего осуществляет обратное переключение RS-триггеров 15 - 17, возвращая тем самым регулятор в исходное состояние. Дальнейшая работа регулятора происходит аналогично.

Таким образом, в предлагаемом регуляторе обеспечивается постоянный контроль и регулирование начальных условий автоколебательного процесса управления в системе автоматического регулирования, что в свою очередь обеспечивает минимально возможную величину отклонения регулируемого параметра от заданного значения.

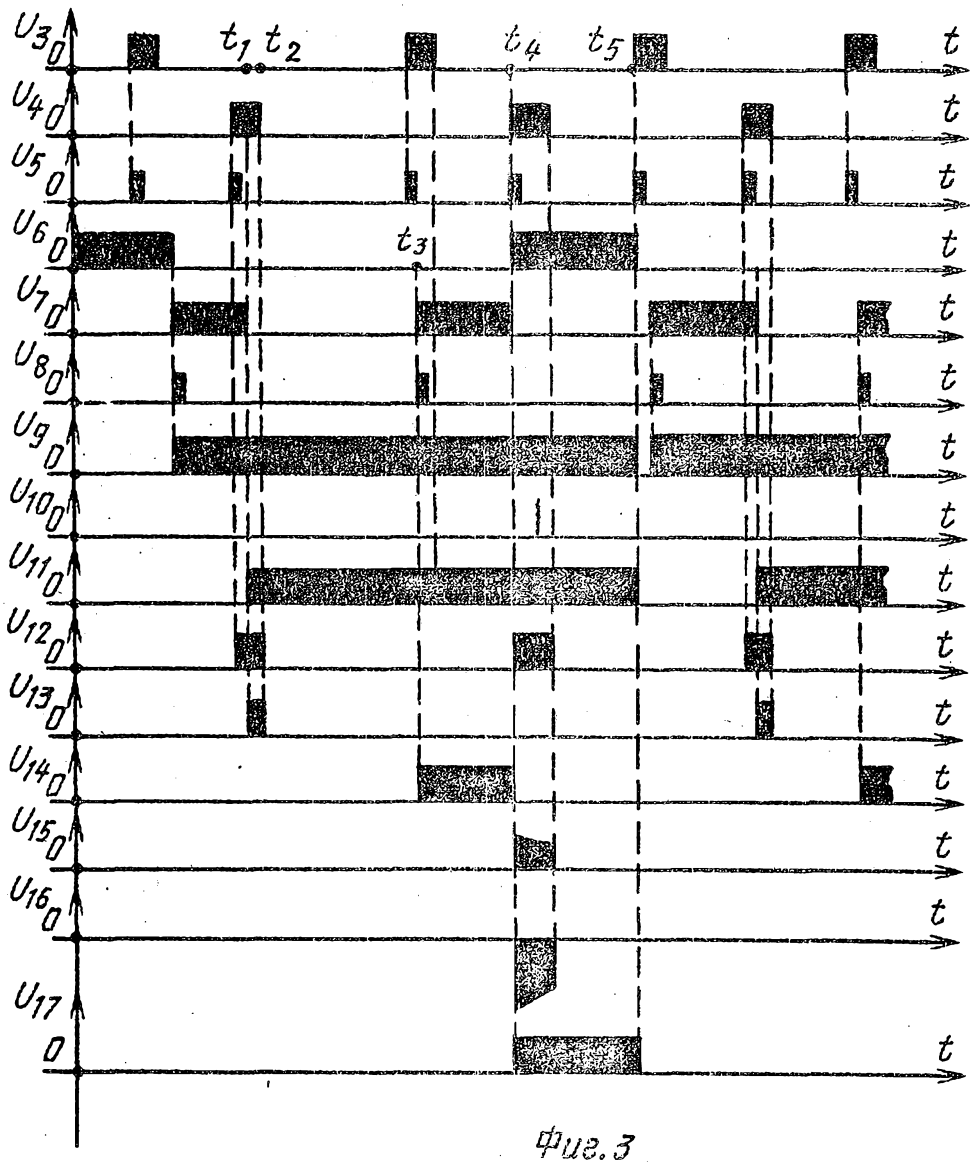
Точность предлагаемого регулятора повышается в 2 раза по сравнению с известным.


Вход
$U_{вх}$
1
2
U_2
3
4
7
R 30
S
R 31
S
11
U_3
32
ИЛИ
46
$U_{вых}$
12
U_4
К объекту управления
U_1
27
13
U_5
35
33
34
U_{16}
U_{15}
14
U_7
8
20
U_6
19
9
U_8
R 17
S
R 15
S
21
R 16
S
5
10
U_9
U_{10}
U_{11}
25
U_{17}
22
23
40
37
24
41
39
U_{13}
42
44
U_{14}
43
45
36
28
38
29
6
18
U_{12}
НЕ
26

Фиг. 1



Фиг. 2



Фиг. 3

Составитель Ю. Гладков
Редактор О. Юрковецкая Техред Ж. Кастелевич Корректор Е. Сирохман

Заказ 7218/31 Тираж 841 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4