

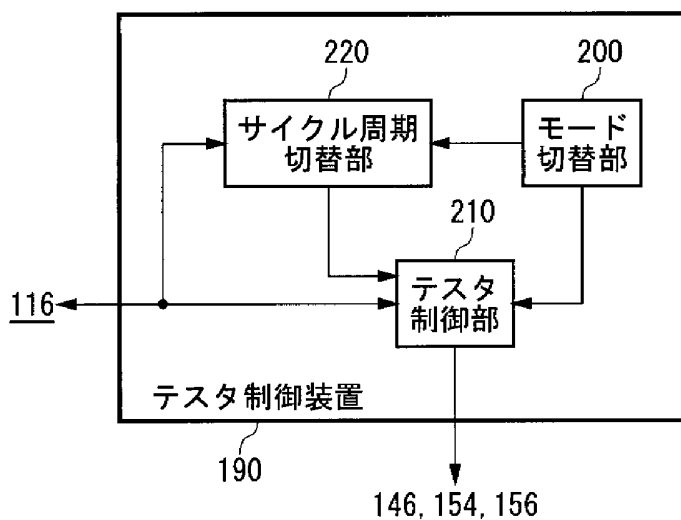


- (51) 国際特許分類:  
G01R 31/28 (2006.01)
- (21) 国際出願番号: PCT/JP2005/012836
- (22) 国際出願日: 2005 年 7 月 12 日 (12.07.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-242996 2004 年 8 月 23 日 (23.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 菅谷 智之 (SUGAYA, Tomoyuki) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP). 中山 浩康 (NAKAYAMA, Hiroyasu) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1600022 東京都新宿区新宿 1 丁目 2 4 番 1 2 号 東信ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: TESTER AND TESTING METHOD

(54) 発明の名称: 試験装置及び試験方法



- 220 CYCLE PERIOD SWITCHING SECTION  
200 MODE SWITCHING SECTION  
210 TESTER CONTROL SECTION  
190 TESTER CONTROL DEVICE

(57) Abstract: A tester for testing a device under test comprising a main memory having an expectation value pattern storage area for storing an expectation value pattern sequence to be sequentially compared with the output patterns sequentially outputted from a terminal of the device, a test pattern output section for sequentially inputting test patterns into the device to allow the device to sequentially output the output patterns, a capturing section for sequentially capturing the outputted output patterns and sequentially storing them in an output pattern storage area in the main memory, a memory read section for reading, from the main memory, an output pattern sequence composed at the captured output patterns and an expectation value pattern sequence when the output patterns are captured and stored in the output pattern storage area, and an expectation value comparing section for comparing the read expectation value pattern sequence and the output pattern sequence.

(57) 要約: 被試験デバイスを試験する試験装置は、被試験デバイスの端子から順次出力される複数の出力パターンと順次比較されるべき期待値パターン列を格納する期待値パターン格納領域を有するメインメモ

リと、被試験デバイスに複数の試験パターンを順次入力することにより被試験デバイスから出力パターンを順次出力させる試験パターン出力部と、

[続葉有]





HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

出力された出力パターンをメインメモリ上の出力パターン記憶領域に順次取り込むキャプチャ部と、出力パターンを出力パターン記憶領域に取り込む取込処理が終了した場合に、取り込んだ複数の出力パターンからなる出力パターン列、及び、期待値パターン列を、メインメモリから読み出すメモリ読出部と、読み出された期待値パターン列、及び、出力パターン列を比較する期待値比較部とを備える。

## 明 細 書

### 試験装置及び試験方法

#### 技術分野

- [0001] 本発明は、試験装置に設けられたメモリの要求バンド幅を低減する試験装置及び試験方法に関する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

特願2004-242996 出願日 平成16年8月23日

#### 背景技術

- [0002] 試験装置は、試験対象となる被試験デバイス(DUT: Device Under Test)の試験を、試験プログラムに基づいて行う。具体的には、試験装置は、試験プログラムの命令をメモリから順次読み出して実行する。そして、試験装置は、各命令に対応付けられた試験パターンをメモリから読み出して、被試験デバイスの各端子に出力する。その結果出力された出力パターンは、被試験デバイスが出力すべき予め定められた期待値パターンと比較される。

現時点で、文献公知発明の存在を把握していないので、その記載を省略する。

#### 発明の開示

#### 発明が解決しようとする課題

- [0003] 以上のように、試験装置は、試験プログラムの実動作中において、試験プログラムの各命令と、試験パターンと、期待値パターンをメモリから読み出す。そして、メモリの記憶容量を有効に活用するためには、これらのデータは、共通する1つのメインメモリに格納されることが望ましい。この場合、メインメモリは、被試験デバイスの実動作中に、命令、試験パターン、及び期待値パターンを読み出すことができるバンド幅を実現しなければならない。
- [0004] 一方、試験の結果、被試験デバイスの不良が検出されたときには、その原因を追究するために、出力パターンを解析したい場合がある。これを実現するためには、出力パターンをメインメモリに格納することが望まれる。しかしながら、命令、試験パターン

、及び期待値パターンを読み出しと共に、出力パターンをメインメモリに書き込むためには、メインメモリのバンド幅を更に高める必要があり、試験装置のコストが高くなってしまう。

[0005] そこで本発明は、上記の課題を解決することができる試験装置を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

#### 課題を解決するための手段

[0006] 上記課題を解決するために、本発明の第1の形態においては、被試験デバイスを試験する試験装置であって、被試験デバイスの端子から順次出力される複数の出力パターンと順次比較されるべき期待値パターン列を格納する期待値パターン格納領域を有するメインメモリと、被試験デバイスに複数の試験パターンを順次入力することにより被試験デバイスから出力パターンを順次出力させる試験パターン出力部と、出力された出力パターンをメインメモリ上の出力パターン記憶領域に順次取り込むキャプチャ部と、出力パターンを出力パターン記憶領域に取り込む取込処理が終了した場合に、取り込んだ複数の出力パターンからなる出力パターン列、及び、期待値パターン列を、メインメモリから読み出すメモリ読出部と、読み出された期待値パターン列、及び、出力パターン列を比較する期待値比較部とを備える試験装置を提供する。

[0007] また、期待値比較部は、期待値パターン列に含まれる複数の期待値パターンのそれぞれと、出力パターン列に含まれる複数の出力パターンのそれぞれとを順次サイクル毎に比較し、期待値比較部が各期待値パターン及び対応する各出力パターンを繰り返し比較するサイクルのサイクル周期を、試験パターン出力部が被試験デバイスから各出力パターンを出力させるサイクルと比較して、大きく設定するサイクル周期切替部を更に備え、メモリ読出部は、サイクル周期切替部により設定されたサイクル周期で、メインメモリに格納された複数の出力パターンからなる出力パターン列、及び、期待値パターン列を、メインメモリから読み出し、期待値比較部は、期待値パターン列及び出力パターン列を、被試験デバイスから出力パターン列を出力させるサイクル数と同一のサイクル数により比較してもよい。

[0008] また、被試験デバイスから出力パターンを出力させる処理中に出力パターンをメイ

ンメモリに順次取り込む第1モード、又は、被試験デバイスから出力パターンを出力させる処理中に出力パターンに対応する期待値パターンをメインメモリから順次読み出す第2モードを設定するモード切替部を更に備え、第1モードが設定された場合において、キャプチャ部は、被試験デバイスから出力された出力パターンをメインメモリに順次取り込み、メモリ読出部は、取込処理が終了した場合に、メインメモリに格納された複数の出力パターンからなる出力パターン列、及び、期待値パターン列を、メインメモリから読み出し、期待値比較部は、読み出された期待値パターン列、及び、出力パターン列を比較し、第2モードが設定された場合において、キャプチャ部は、被試験デバイスから出力された出力パターンをメインメモリに格納せず、メモリ読出部は、期待値パターン列を期待値パターン格納領域から順次読み出し、期待値比較部は、メモリ読出部により読み出された期待値パターン列に含まれる複数の期待値パターンを、複数の出力パターンと順次比較してもよい。

[0009] また、被試験デバイスの試験プログラムを格納する命令メモリと、命令サイクル毎に、試験プログラムに含まれる複数の命令を順次実行する命令実行部とを更に備え、命令実行部は、取込処理が終了した場合に、試験プログラムに含まれる複数の命令の各々を順次再実行し、メモリ読出部は、再実行された複数の命令の各々について、当該命令に対応する期待値パターン及び出力パターンをメインメモリから読み出し、期待値比較部は、再実行された複数の命令の各々について、当該命令に対応する期待値パターン及び出力パターンを比較することにより、期待値パターン列及び出力パターン列を比較してもよい。

[0010] 本発明の第2の形態においては、試験装置により被試験デバイスを試験する試験方法であって、試験装置は、被試験デバイスの端子から順次出力される複数の出力パターンと順次比較されるべき期待値パターン列を格納する期待値パターン格納領域を有するメインメモリを備え、被試験デバイスに複数の試験パターンを順次入力することにより被試験デバイスから出力パターンを順次出力させる試験パターン出力段階と、出力された出力パターンをメインメモリ上の出力パターン記憶領域に順次取り込むキャプチャ段階と、出力パターンを出力パターン記憶領域に取り込む取込処理が終了した場合に、取り込んだ複数の出力パターンからなる出力パターン列、及び、

期待値パターン列を、メインメモリから読み出すメモリ読出段階と、読み出された期待値パターン列、及び、出力パターン列を比較する期待値比較段階とを備える試験方法を提供する。

- [0011] なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

### 発明の効果

- [0012] 本発明によれば、試験装置のメインメモリの要求バンド幅を増やすことなく、被試験デバイスの出力パターンをメインメモリに格納することができる。

### 図面の簡単な説明

- [0013] [図1]図1は、本発明の実施形態に係る試験装置10の構成を示す。  
[図2]図2は、本発明の実施形態に係るテスト制御装置190の構成を示す。  
[図3]図3は、DUT100のある出力端子から出力される出力パターンが、通常モードにおいて期待値パターンと比較されるタイミングを示す。  
[図4]図4は、DUT100のある出力端子から出力される出力パターンが、出力パターンキャプチャモードにおいてメインメモリ102に取り込まれる処理を示す。

### 符号の説明

- [0014] 10 試験装置  
100 被試験デバイス  
102 メインメモリ  
104 命令メモリ  
106 試験パターンメモリ  
108 期待値パターンメモリ  
110 デジタルキャプチャメモリ  
112 セントラルパターン制御部  
114 パターンリストメモリ  
116 ベクタ生成制御部  
120 セントラルキャプチャ制御部  
122 パターンリザルトメモリ

- 130 チャネルブロック
- 140 チャネルパターン生成部
- 142 シーケンシャルパターン生成部
- 144 フォーマット制御部
- 146 シーケンシャルパターン生成部
- 148 ハント・コンペア部
- 150 フェイルキャプチャ制御部
- 152 フェイルキャプチャメモリ
- 154 メモリ読出制御部
- 156 キャプチャ部
- 160 タイミング生成部
- 170 ドライバ
- 180 コンパレータ
- 190 テスタ制御装置
- 200 モード切替部
- 210 テスタ制御部
- 220 サイクル周期切替部

#### 発明を実施するための最良の形態

[0015] 以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0016] 図1は、本発明の実施形態に係る試験装置10の構成を示す。試験装置10は、1又は複数の端子を備えるDUT100を試験する試験装置であり、メインメモリ102と、セントラルパターン制御部112と、複数のチャネルブロック130とを備える。

[0017] メインメモリ102は、DUT100の試験プログラムを格納し、試験プログラムを実行した結果DUT100が出力する出力パターンを記録する。メインメモリ102は、命令メモリ104と、複数の試験パターンメモリ106と、複数の期待値パターンメモリ108と、デジタルキャプチャメモリ110とを有する。

- [0018] 命令メモリ104は、試験プログラムに含まれる各命令を格納する。複数の試験パターンメモリ106のそれぞれは、DUT100の各端子に対応して設けられ、各命令に対応付けて、当該命令を実行する命令サイクル期間中に用いる試験パターン列を各端子毎に格納する。ここで試験パターン列は、命令サイクル期間中にDUT100の端子に対して順次出力すべき複数の試験パターンを含む。
- [0019] 複数の期待値パターンメモリ108のそれぞれは、本発明に係る期待値パターン格納領域の一例であり、DUT100の各端子に対応して設けられる。そして、複数の期待値パターンメモリ108のそれぞれは、各命令に対応付けて、当該命令を実行する命令サイクル期間中に用いる期待値パターン列を各端子毎に格納する。ここで、期待値パターン列は、命令サイクル期間中にDUT100の端子から順次出力される複数の出力パターンと順次比較されるべき期待値パターン列を含む。
- [0020] デジタルキャプチャメモリ110は、本発明に係る出力パターン記憶領域の一例であり、試験プログラムを実行した結果DUT100が出力する出力パターンを記録する。本実施形態において、命令メモリ104、複数の試験パターンメモリ106、複数の期待値パターンメモリ108、及び／又はデジタルキャプチャメモリ110は、同一のメモリモジュール内の異なる記憶領域として設けられているが、これらの少なくとも1つが、メインメモリ102を構成する別個のメモリモジュールに分割して設けられてもよい。
- [0021] セントラルパターン制御部112は、メインメモリ102及び複数のチャネルブロック130に接続され、DUT100の各端子に共通の処理を行う。セントラルパターン制御部112は、パターンリストメモリ114と、ベクタ生成制御部116と、セントラルキャプチャ制御部120と、パターンリザルトメモリ122とを有する。
- [0022] パターンリストメモリ114は、試験プログラムのメインルーチンや各サブルーチンのそれぞれについて、命令メモリ104における当該ルーチンの開始／終了アドレス、試験パターンメモリ106における試験パターンの開始アドレス、期待値パターンメモリ108における期待値パターンの開始アドレス等を格納する。ベクタ生成制御部116は本発明に係る命令実行部の一例であり、命令サイクル毎に、DUT100の試験プログラムに含まれる複数の命令を順次実行する。より具体的には、ベクタ生成制御部116は、各ルーチン毎に、開始アドレスから終了アドレスまでの各命令をパターンリストメ

メモリ114 から順次読み出して、順次実行する。また、ベクタ生成制御部116は、テスト制御装置190からの指示に基づいて命令を再実行してもよい。

- [0023] セントラルキャプチャ制御部120は、DUT100の各端子毎の良否判断結果を各チャンネルブロック130から受けて、各ルーチン毎のDUT100の良否判断結果を集計する。パターンリザルトメモリ122は、各ルーチン毎のDUT100の良否判断結果を格納する。
- [0024] 複数のチャンネルブロック130のそれぞれは、DUT100の各端子に対応して設けられる。各チャンネルブロック130は、チャンネルパターン生成部140と、タイミング生成部160と、ドライバ170と、コンパレータ180とを有する。
- [0025] チャンネルパターン生成部140は、当該端子の試験に用いる試験パターン列又は期待値パターン列を生成し、DUT100の出力パターン列及び期待値パターン列の比較を行う。チャンネルパターン生成部140は、シーケンシャルパターン生成部142と、フォーマット制御部144と、シーケンシャルパターン生成部146と、ハント・コンペア部148と、フェイルキャプチャ制御部150と、フェイルキャプチャメモリ152と、メモリ読出制御部154と、キャプチャ部156とを含む。
- [0026] シーケンシャルパターン生成部142は、実行するルーチンに対応して出力すべき試験パターン列の開始アドレスを、ベクタ生成制御部116から受信する。そして、シーケンシャルパターン生成部142は、各命令サイクルに対応して当該開始アドレスから順に試験パターンメモリ106から試験パターン列を読み出して、順次フォーマット制御部144へ出力する。フォーマット制御部144は、ドライバ170と共に本発明に係る試験パターン出力部として機能し、試験パターン列を、ドライバ170を制御するためのフォーマットに変換する。
- [0027] シーケンシャルパターン生成部146は、メモリ読出制御部154と共に、本発明に係るメモリ読出部の一例として機能し、実行するルーチンに対応して、期待値パターン列の開始アドレスをベクタ生成制御部116から受信する。そして、シーケンシャルパターン生成部146は、テスト制御装置190の指示に応じて、各命令サイクルに対応して当該開始アドレスから順に期待値パターンメモリ108から期待値パターンを読み出して、順次ハント・コンペア部148及びフェイルキャプチャ制御部150へ出力する。

- [0028] ハント・コンペア部148は、本発明に係る期待値比較部の一例であり、コンパレータ180を介してDUT100が出力した出力パターン列を入力し、期待値パターン列と比較する。また、ハント・コンペア部148は、メモリ読出制御部154によりデジタルキャプチャメモリ110から読み出された出力パターン列を入力し、期待値パターン列と比較してもよい。ここでハント・コンペア部148は、DUT100から出力されるタイミングが不定の出力パターン列については、DUT100から特定のヘッダパターンが出力されたことを条件として期待値パターン列との比較を開始するハント機能を有してよい。
- [0029] フェイルキャプチャ制御部150は、DUT100の出力パターン列及び期待値パターン列の一致／不一致の情報をハント・コンペア部148から受けて、当該端子についてのDUT100の良否判断結果を生成する。フェイルキャプチャメモリ152は、ハント・コンペア部148によるハント処理の結果や期待値と不一致となった出力パターンの値等を含むフェイル情報を格納する。
- [0030] キャプチャ部156は、テスト制御装置190からの指示に応じて、被試験デバイス100から出力された出力パターンをデジタルキャプチャメモリ110に順次取り込む。被試験デバイス100から出力パターンをデジタルキャプチャメモリ110に取り込むこの処理を取込処理と呼ぶ。メモリ読出制御部154は、シーケンシャルパターン生成部146と共に、本発明に係るメモリ読出部の一例として機能する。具体的には、メモリ読出制御部154は、テスト制御装置190の指示に応じて、デジタルキャプチャメモリ110に格納された出力パターンを読み出してハント・コンペア部148に入力する。
- [0031] タイミング生成部160は、ドライバ170が試験パターン列内の各試験パターンを出力するタイミング、及び、コンパレータ180がDUT100の出力パターンを取り込むタイミングを生成する。ドライバ170は、フォーマット制御部144と共に本発明に係る試験パターン出力部として機能し、タイミング生成部160により指定されたタイミングにおいて、チャンネルパターン生成部140内のフォーマット制御部144により出力される各試験パターンをDUT100へ出力する。
- [0032] コンパレータ180は、タイミング生成部160により指定されたタイミングにおいて、DUT100の端子から出力された出力パターンを取得し、チャンネルブロック130内のハント・コンペア部148及びデジタルキャプチャメモリ110へ供給する。テスト制御装置

190は、キャプチャ部156による出力パターンの取込処理、メモリ読出制御部154による出力パターンの読出処理、及び、シーケンシャルパターン生成部146による期待値パターンの読出処理を制御する。

[0033] 図2は、本発明の実施形態に係るテスト制御装置190の構成を示す。テスト制御装置190は、モード切替部200と、テスト制御部210と、サイクル周期切替部220とを有する。モード切替部200は、出力パターンキャプチャモード、又は、通常モードを設定する。出力パターンキャプチャモードとは、本発明に係る第1モードの一例であり、被試験デバイスを実時間動作させて出力パターンを出力させる処理中に出力パターンをメインメモリ102に順次取り込む動作モードである。通常モードとは、本発明に係る第2モードの一例であり、被試験デバイスを実時間動作させて出力パターンを出力させる処理中に出力パターンに対応する期待値パターンをメインメモリ102から順次読み出す動作モードである。

[0034] 出力パターンキャプチャモードに設定されている場合の処理を説明する。まず、被試験デバイス100から出力パターンを取り込む取込処理中において、キャプチャ部156は、テスト制御部210の指示に応じて、被試験デバイス100から出力された出力パターン列をメインメモリ102のデジタルキャプチャメモリ110に順次格納する。この取込処理において、試験装置10が、期待値パターン及び出力パターンの比較を行わないので、シーケンシャルパターン生成部146は、期待値パターン列を読み出さない。

[0035] テスト制御部210は、ベクタ生成制御部116からの信号に基づいて、取込処理が終了した旨を検出すると、以下の処理を行う。テスト制御部210は、ベクタ生成制御部116に指示して、試験プログラムを再実行させる。テスト制御部210は、メモリ読出制御部154に指示して、デジタルキャプチャメモリ110に格納された複数の出力パターンからなる出力パターン列を、メインメモリ102から読み出す。また、テスト制御部210は、シーケンシャルパターン生成部146に指示して、期待値パターンメモリ108に格納された期待値パターン列を、メインメモリ102から読み出す。この結果、ハント・コンペア部148は、取込処理が終了した後に、複数の期待値パターンのそれぞれと、複数の出力パターンのそれぞれとを順次サイクル毎に比較できる。

- [0036] より具体的には、メモリ読出制御部154は、テスト制御部210の指示に応じて、サイクル周期切替部220により設定されたサイクル周期で、複数の出力パターンの各々をメインメモリ102から読み出す。そして、シーケンシャルパターン生成部146は、サイクル周期切替部220により設定されたサイクル周期で、複数の期待値パターンをメインメモリ102から読み出す。これにより、ハント・コンペア部148は、サイクル周期切替部220により設定されたサイクル周期により、読み出された期待値パターン列及び出力パターン列を比較できる。
- [0037] 続いて、通常モードに設定されている場合の処理を説明する。テスト制御部210は、キャプチャ部156に指示して、出力パターンをデジタルキャプチャメモリ110に格納する処理を停止する。即ち、キャプチャ部156は、被試験デバイス100から出力された出力パターンをメインメモリ102に取り込まない。そして、シーケンシャルパターン生成部146は、期待値パターン列を期待値パターンメモリ108から順次読み出す。これを受けて、ハント・コンペア部148は、読み出された期待値パターン列に含まれる複数の期待値パターンを、被試験デバイス100から出力される複数の出力パターンと順次比較する。
- [0038] サイクル周期切替部220は、出力パターンキャプチャモードに設定されている場合において、取込処理中と取込処理終了後とで異なるサイクル周期をテスト制御部210に指示して設定する。具体的には、サイクル周期切替部220は、ハント・コンペア部148が各期待値パターン及び対応する出力パターンを繰り返し比較するサイクルのサイクル周期を、ドライバ170が被試験デバイス100から各出力パターンを出力させるサイクルと比較して、大きく設定する。
- [0039] 図3は、DUT100のある出力端子から出力される出力パターンが、通常モードにおいて期待値パターンと比較されるタイミングを示す。ベクタ生成制御部116は、試験プログラムに含まれる複数の命令を、命令メモリ104から読み出して命令サイクル毎に順次実行する。シーケンシャルパターン生成部146は、期待値パターン列に含まれる複数の期待値パターンの各々を、当該期待値パターンに対応する命令の実行に応じて読み出す。ハント・コンペア部148は、試験パターンに対応して出力される出力パターンを入力し、入力した出力パターン及び期待値パターンを比較する。

- [0040] なお、通常モードにおいて、試験装置10は、出力パターンを、メインメモリ102に格納せず、期待値パターンとの比較結果のみをフェイルキャプチャメモリ152に格納する。このため、被試験デバイス100の障害が検出された場合であっても、出力パターンを解析してその障害の原因を追究することができない。これに対して、出力パターンを保存したい場合には、試験装置10は、利用者により、出力パターンキャプチャモードに設定される必要がある。
- [0041] 図4は、DUT100のある出力端子から出力される出力パターンが、出力パターンキャプチャモードにおいてメインメモリ102に取り込まれる処理を示す。図3と同様に、ベクタ生成制御部116は、試験プログラムに含まれる複数の命令を、命令メモリ104から読み出して命令サイクル毎に順次実行する。しかしながら、図3と異なり、キャプチャ部156は、被試験デバイス100から出力された出力パターンをメインメモリ102に順次格納する。この場合、シーケンシャルパターン生成部146は、期待値パターン列を読み出さない。また、ハント・コンペア部148は、出力パターン列及び期待値パターン列を比較しない。
- [0042] 取込処理が終了すると、ベクタ生成制御部116は、試験プログラムに含まれる複数の命令の各々を順次再実行する。命令を再実行するこの処理を期待値比較処理と呼ぶ。そして、メモリ読出制御部154は、再実行された複数の命令の各々について、その命令に対応する出力パターンをメインメモリ102から読み出す。また、シーケンシャルパターン生成部146は、再実行された複数の命令の各々について、その命令に対応する期待値パターンをメインメモリ102から読み出す。これを受けて、ハント・コンペア部148は、再実行された複数の命令の各々について、その命令に対応する期待値パターン及び出力パターンを命令サイクル毎に順次比較することにより、期待値パターン列及び出力パターン列を比較する。
- [0043] ここで、図4に示すように、取込処理においては、命令の読み出し、及び、出力パターンの書き込みが行われるのに対して、期待値比較処理においては、命令の読み出し、期待値パターンの読み出し、及び出力パターンの読み出しが行われる。また、全ての出力パターンを期待値パターン列に基づき良否判断する必要があるので、取込処理において出力パターン列を出力させるサイクル数と、期待値パターン列及び出

力パターン列を比較するサイクル数とは同一である。従って、取込処理及び期待値比較処理が同じサイクル周波数で動作した場合には、期待値比較処理は、取込処理と比較してより広いメモリのバンド幅を要する。

[0044] これに対して、本実施形態に係る試験装置10によれば、サイクル周期切替部220は、期待値比較処理における命令実行のサイクル周期を、取込処理における命令実行のサイクル周期と比較して大きく設定する。この結果、取込処理及び期待値比較処理の各々において要求されるメインメモリ102のバンド幅を同程度にすることができるので、取込処理及び期待値比較処理の双方においてメインメモリのバンド幅を有効活用できる。

[0045] 以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

#### 産業上の利用可能性

[0046] 以上から明らかなように、本発明に拠れば、試験装置のメインメモリの要求バンド幅を増やすことなく、被試験デバイスの出力パターンをメインメモリに格納することができる。

## 請求の範囲

- [1] 被試験デバイスを試験する試験装置であって、  
前記被試験デバイスの端子から順次出力される複数の出力パターンと順次比較されるべき期待値パターン列を格納する期待値パターン格納領域を有するメインメモリと、  
前記被試験デバイスに複数の試験パターンを順次入力することにより前記被試験デバイスから出力パターンを順次出力させる試験パターン出力部と、  
出力された前記出力パターンを前記メインメモリ上の出力パターン記憶領域に順次取り込むキャプチャ部と、  
前記出力パターンを前記出力パターン記憶領域に取り込む取込処理が終了した場合に、取り込んだ複数の出力パターンからなる出力パターン列、及び、前記期待値パターン列を、前記メインメモリから読み出すメモリ読出部と、  
読み出された前記期待値パターン列、及び、前記出力パターン列を比較する期待値比較部と  
を備える試験装置。
- [2] 前記期待値比較部は、前記期待値パターン列に含まれる複数の期待値パターンのそれぞれと、前記出力パターン列に含まれる複数の出力パターンのそれぞれとを順次サイクル毎に比較し、  
前記期待値比較部が各期待値パターン及び対応する各出力パターンを繰り返し比較するサイクルのサイクル周期を、前記試験パターン出力部が前記被試験デバイスから各出力パターンを出力させるサイクルと比較して、大きく設定するサイクル周期切替部を更に備え、  
前記メモリ読出部は、前記サイクル周期切替部により設定されたサイクル周期で、前記メインメモリに格納された複数の出力パターンからなる出力パターン列、及び、前記期待値パターン列を、前記メインメモリから読み出し、  
前記期待値比較部は、前記期待値パターン列及び前記出力パターン列を、前記被試験デバイスから前記出力パターン列を出力させるサイクル数と同一のサイクル数により比較する

請求項1記載の試験装置。

- [3] 前記被試験デバイスから出力パターンを出力させる処理中に前記出力パターンを前記メインメモリに順次取り込む第1モード、又は、前記被試験デバイスから出力パターンを出力させる処理中に前記出力パターンに対応する期待値パターンを前記メインメモリから順次読み出す第2モードを設定するモード切替部を更に備え、

前記第1モードが設定された場合において、

前記キャプチャ部は、前記被試験デバイスから出力された出力パターンを前記メインメモリに順次取り込み、

前記メモリ読出部は、前記取込処理が終了した場合に、前記メインメモリに格納された複数の出力パターンからなる出力パターン列、及び、前記期待値パターン列を、前記メインメモリから読み出し、

前記期待値比較部は、読み出された前記期待値パターン列、及び、前記出力パターン列を比較し、

前記第2モードが設定された場合において、

前記キャプチャ部は、前記被試験デバイスから出力された出力パターンを前記メインメモリに格納せず、

前記メモリ読出部は、前記期待値パターン列を前記期待値パターン格納領域から順次読み出し、

前記期待値比較部は、前記メモリ読出部により読み出された期待値パターン列に含まれる複数の期待値パターンを、前記複数の出力パターンと順次比較する

請求項1記載の試験装置。

- [4] 前記被試験デバイスの試験プログラムを格納する命令メモリと、  
命令サイクル毎に、前記試験プログラムに含まれる複数の命令を順次実行する命令実行部と

を更に備え、

前記命令実行部は、前記取込処理が終了した場合に、前記試験プログラムに含まれる複数の命令の各々を順次再実行し、

前記メモリ読出部は、再実行された前記複数の命令の各々について、当該命令に

対応する期待値パターン及び出力パターンを前記メインメモリから読み出し、

前記期待値比較部は、再実行された前記複数の命令の各々について、当該命令に対応する期待値パターン及び出力パターンを比較することにより、期待値パターン列及び出力パターン列を比較する

請求項1記載の試験装置。

[5] 試験装置により被試験デバイスを試験する試験方法であって、

前記試験装置は、

前記被試験デバイスの端子から順次出力される複数の出力パターンと順次比較されるべき期待値パターン列を格納する期待値パターン格納領域を有するメインメモリを備え、

前記被試験デバイスに複数の試験パターンを順次入力することにより前記被試験デバイスから出力パターンを順次出力させる試験パターン出力段階と、

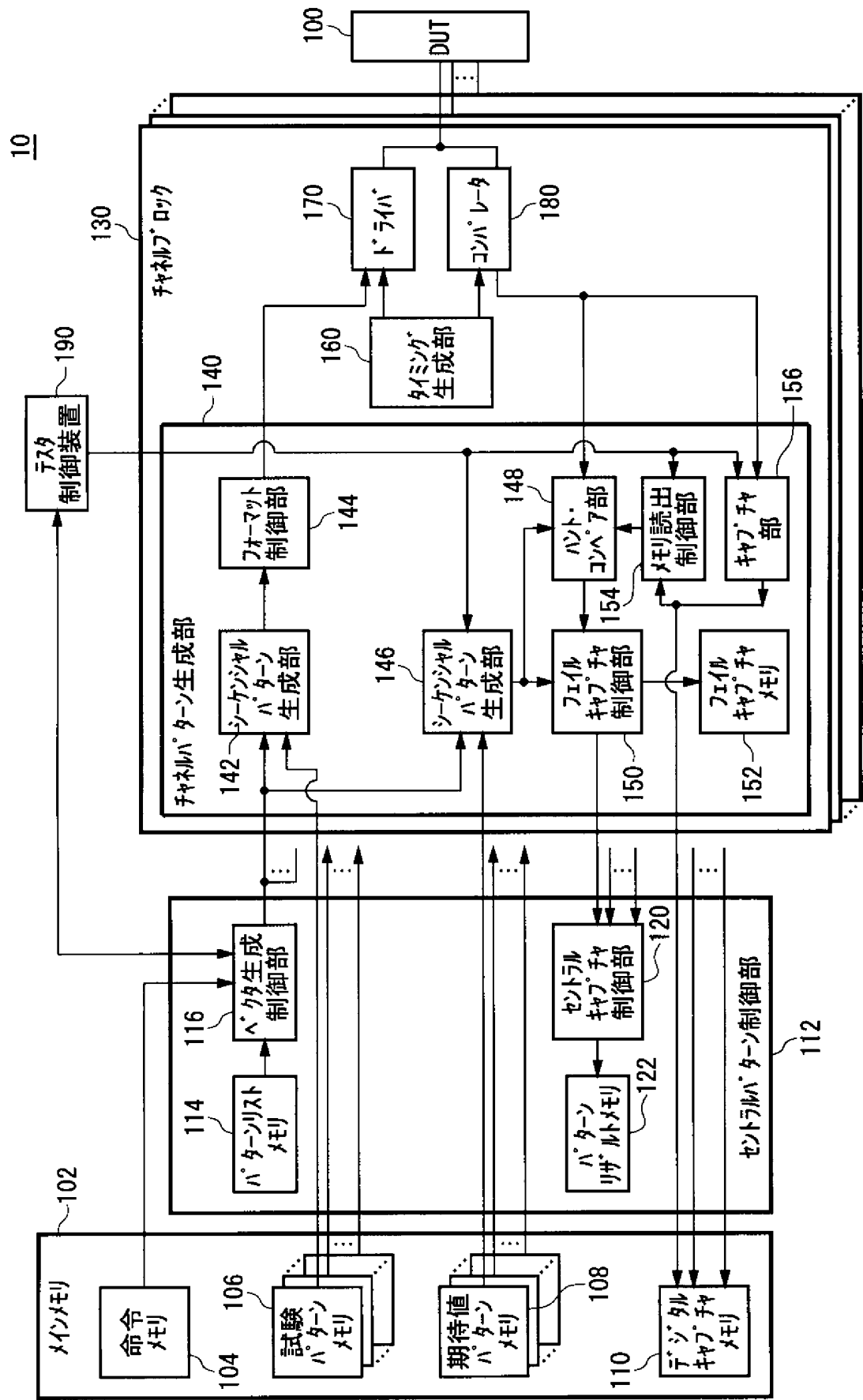
出力された前記出力パターンを前記メインメモリ上の出力パターン記憶領域に順次取り込むキャプチャ段階と、

前記出力パターンを前記出力パターン記憶領域に取り込む取込処理が終了した場合に、取り込んだ複数の出力パターンからなる出力パターン列、及び、前記期待値パターン列を、前記メインメモリから読み出すメモリ読出段階と、

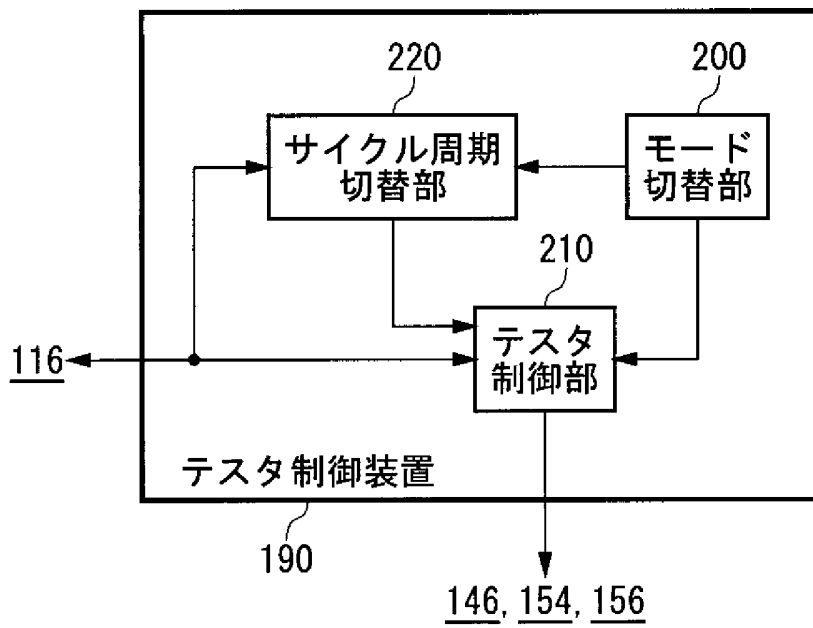
読み出された前記期待値パターン列、及び、前記出力パターン列を比較する期待値比較段階と

を備える試験方法。

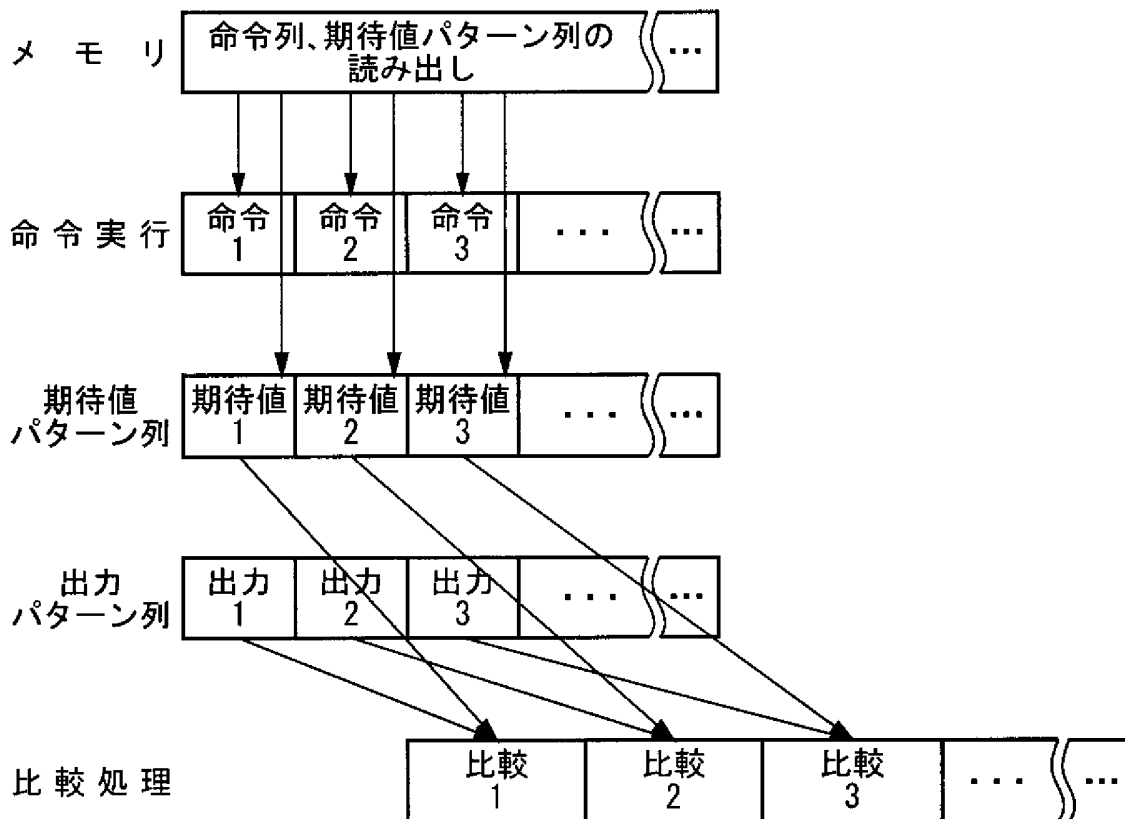
[図1]



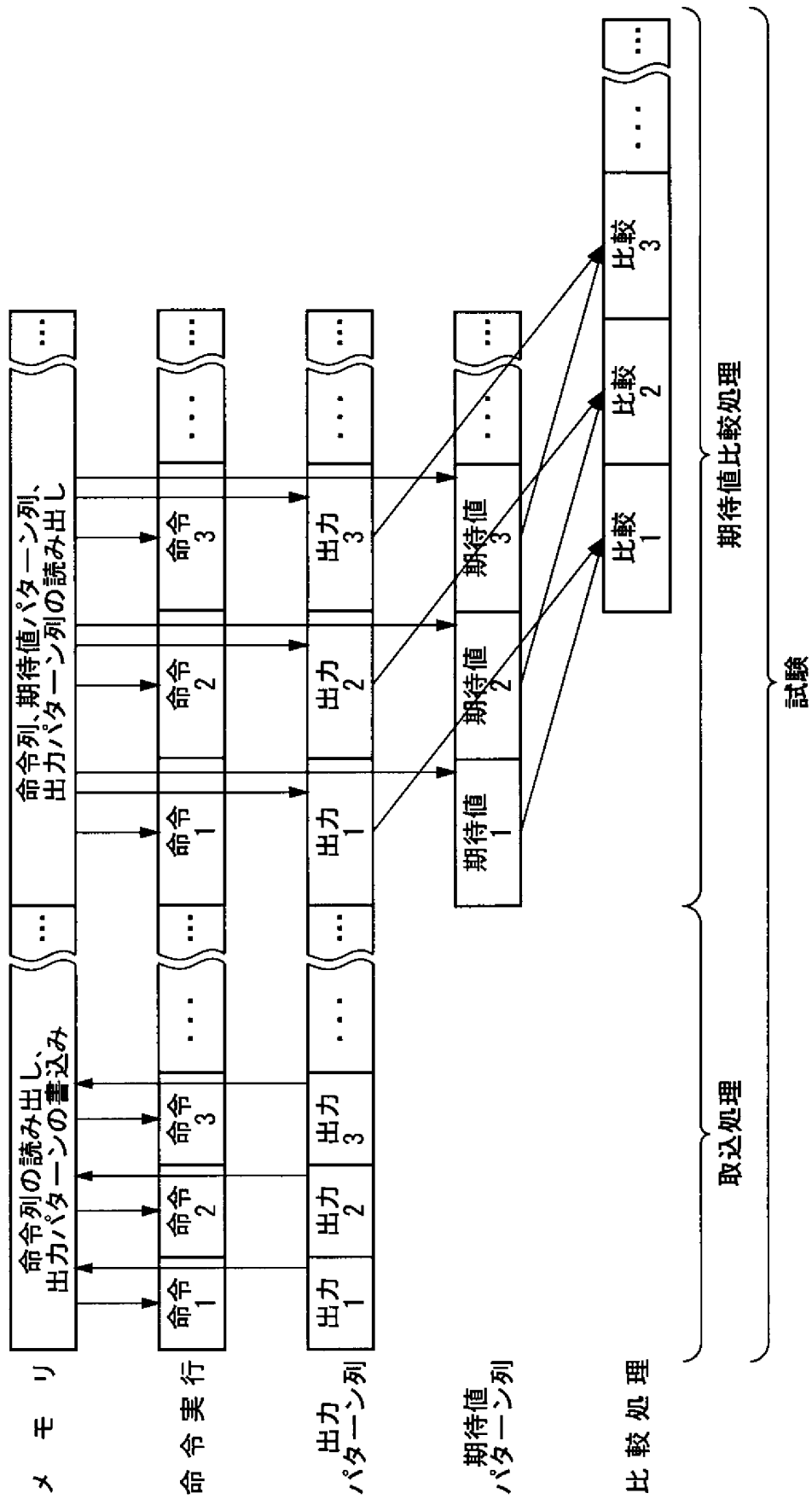
[図2]



[図3]



[図4]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012836

## A. CLASSIFICATION OF SUBJECT MATTER

**G01R31/28** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

**G01R31/28** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2005 |
| Kokai Jitsuyo Shinan Koho | 1971-2005 | Toroku Jitsuyo Shinan Koho | 1994-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                 | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>A    | JP 2002-174661 A (Fuji Xerox Co., Ltd.),<br>21 June, 2002 (21.06.02),<br>Full text; all drawings<br>(Family: none) | 1-3, 5<br>4           |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
11 October, 2005 (11.10.05)

Date of mailing of the international search report  
25 October, 2005 (25.10.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> **G01R31/28** (2006.01)

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> **G01R31/28** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求の範囲の番号 |
|-----------------|-----------------------------------|------------------|
| X               | JP 2002-174661 A (富士ゼロックス株式会社)    | 1-3, 5           |
| A               | 2002.06.21, 全文, 全図 (ファミリーなし)      | 4                |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

11.10.2005

国際調査報告の発送日

25.10.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

武田 知晋

電話番号 03-3581-1101 内線 3258

2S

9805