



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2013년11월13일  
 (11) 등록번호 10-1328552  
 (24) 등록일자 2013년11월06일

(51) 국제특허분류(Int. Cl.)

*H01L 21/8247* (2006.01) *H01L 27/115* (2006.01)

(21) 출원번호 10-2007-0117390

(22) 출원일자 2007년11월16일

심사청구일자 2012년10월31일

(65) 공개번호 10-2009-0050775

(43) 공개일자 2009년05월20일

(56) 선행기술조사문헌

JP2001203286 A

KR1020020057750 A

US20030151109 A1

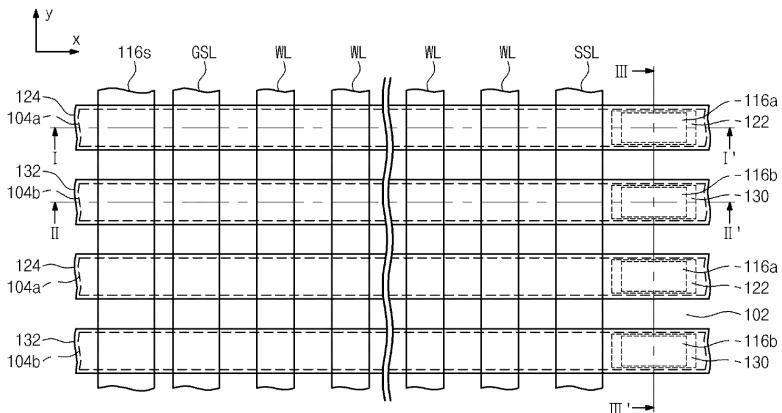
KR1020020062435 A

전체 청구항 수 : 총 10 항

심사관 : 구본재

(54) 발명의 명칭 **비휘발성 기억 소자 및 그 형성 방법****(57) 요 약**

비휘발성 기억 소자 및 그 형성 방법을 제공한다. 이 소자는 기판으로부터 서로 다른 높이에 위치한 제1 비트라인 및 제2 비트라인을 포함한다. 적어도 제2 비트라인과 공통 드레인 사이에는 랜딩 플리그 및 콘택 플리그가 개재된다.

**대 표 도**

(72) 발명자

**정주혁**

경기도 수원시 영통구 매영로310번길 27, 미주아파트  
652동 1001호 (영통동)

**이충호**

경기 용인시 기흥구 동백동 백현마을 코아루아파트  
2206동 403호

**최동욱**

경기도 성남시 분당구 중앙공원로 54, 시범단지  
216동 902호 (서현동, 우성아파트)

**강희수**

경기도 용인시 기흥구 동백1로 12, 코아루아파트  
5101동 1503호 (중동)

## 특허청구의 범위

### 청구항 1

기판에 정의되되, 제1 방향으로 나란히 연장된 제1 활성부 및 제2 활성부;

상기 제1 활성부 내에 배치된 제1 공통 소스 및 제1 공통 드레인;

상기 제2 활성부 내에 배치된 제2 공통 소스 및 제2 공통 드레인;

상기 기판 전면을 덮는 몰드 절연층;

상기 몰드 절연층 내에 배치되어, 상기 제1 방향에 수직한 제2 방향으로 연장되고 상기 제1 및 제2 공통 소스들과 접속된 소스 도전 라인, 및 상기 제1 및 제2 공통 드레인들과 각각 접속된 제1 랜딩 플러그 및 제2 랜딩 플러그; 및

상기 제1 및 제2 랜딩 플러그들과 각각 전기적으로 접속되고, 상기 기판의 상부면으로부터 서로 다른 높이에 배치된 제1 비트라인 및 제2 비트라인을 포함하되, 상기 몰드 절연층, 소스 도전 라인, 제1 랜딩 플러그 및 제2 랜딩 플러그의 상부면들은 공면을 이루는 비휘발성 기억 소자.

### 청구항 2

청구항 1에 있어서,

상기 제1 랜딩 플러그와 상기 제1 비트라인 사이에 개재되고 상기 제2 랜딩 플러그를 덮는 제1 충간 절연막;

상기 제1 충간 절연막을 관통하여 상기 제1 랜딩 플러그 및 상기 제1 비트라인과 접속된 제1 콘택 플러그;

상기 제1 비트라인과 상기 제1 충간 절연막을 덮는 제2 충간 절연막; 및

상기 제2 및 제1 충간 절연막들을 연속적으로 관통하여 상기 제2 랜딩 플러그와 접속된 제2 콘택 플러그를 더 포함하되, 상기 제2 비트라인은 상기 제2 충간 절연막 상에 배치되어 상기 제2 콘택 플러그와 접속된 비휘발성 기억 소자.

### 청구항 3

청구항 2에 있어서,

상기 제1 방향으로 상기 제1 콘택 플러그의 하부폭은 상기 제1 랜딩 플러그의 상부폭 보다 크고,

상기 제1 방향으로 상기 제2 콘택 플러그의 하부폭은 상기 제2 랜딩 플러그의 상부폭 보다 큰 비휘발성 기억 소자.

### 청구항 4

청구항 2에 있어서,

상기 제1 방향으로 상기 제1 콘택 플러그의 하부폭은 상기 제1 랜딩 플러그의 상부폭 보다 작고,

상기 제1 방향으로 상기 제2 콘택 플러그의 하부폭은 상기 제2 랜딩 플러그의 상부폭 보다 작은 비휘발성 기억 소자.

### 청구항 5

청구항 2에 있어서,

상기 제1 및 제2 콘택 플러그들 중에서 적어도 하나의 측벽은 경사진 형태인 비휘발성 기억 소자.

### 청구항 6

청구항 1에 있어서,

상기 제1 및 제2 활성부들을 상기 제2 방향을 따라 나란히 가로지르는 접지 선택 라인, 복수의 워드 라인 및 스

트링 선택 라인; 및

상기 각 워드 라인 양측의 상기 제1 활성부 및 제2 활성부 내에 각각 배치된 제1 셀 소스/드레인 및 제2 셀 소스/드레인을 더 포함하되, 상기 접지 선택, 워드 및 스트링 선택 라인들은 상기 제1 공통 소스 및 제1 공통 드레인 사이 및 상기 제2 공통 소스 및 제2 공통 드레인 사이에 배치된 비휘발성 기억 소자.

### 청구항 7

청구항 6에 있어서,

상기 워드 라인은,

상기 제1 및 제2 활성부들을 가로지르는 제어 게이트 전극;

상기 제어 게이트 전극과 상기 제1 활성부 사이 및 상기 제어 게이트 전극과 상기 제2 활성부 사이에 각각 개재된 제1 전하 저장 패턴 및 제2 전하 저장 패턴;

상기 제1 전하 저장 패턴과 상기 제1 활성부 사이 및 상기 제2 전하 저장 패턴과 상기 제2 활성부 사이에 개재된 터널 절연막; 및

상기 제1 전하 저장 패턴과 상기 제어 게이트 전극 사이 및 상기 제2 전하 저장 패턴과 상기 제어 게이트 전극 사이에 개재된 블로킹 절연 패턴을 포함하는 비휘발성 기억 소자.

### 청구항 8

청구항 1에 있어서,

상기 제1 랜딩 플러그와 상기 제2 랜딩 플러그는 상기 제2 방향을 따라 하나의 열로 배열된 비휘발성 기억 소자.

### 청구항 9

청구항 1에 있어서,

상기 제1 랜딩 플러그의 중심을 지나고 상기 제2 방향으로 연장된 제1 가상선과, 상기 제2 랜딩 플러그의 중심을 지나고 상기 제1 가상선과 평행한 제2 가상선은 상기 제1 방향으로 서로 이격된 비휘발성 기억 소자.

### 청구항 10

청구항 1에 있어서,

상기 기판은 셀 어레이 영역 및 주변 영역을 포함하고, 상기 제1 및 제2 활성부들은 상기 셀 어레이 영역의 기판에 정의되어,

상기 주변 영역의 기판에 서로 이격되어 정의된 제1 주변 활성부 및 제2 주변 활성부;

상기 제1 주변 활성부 및 제2 주변 활성부 내에 각각 배치된 제1 주변 소스/드레인 및 제2 주변 소스/드레인;

상기 몰드 절연층을 관통하여 상기 제1 주변 소스/드레인 및 상기 주변 제2 소스/드레인에 각각 접속되고, 상기 소스 도전 라인의 상부면과 공면을 이루는 상부면들을 갖는 제1 주변 랜딩 플러그 및 제2 주변 랜딩 플러그; 및

상기 제1 및 제2 주변 랜딩 플러그들과 각각 전기적으로 접속되고, 상기 기판의 상부면으로부터 서로 다른 높이에 배치된 제1 주변 배선 및 제2 주변 배선을 더 포함하는 비휘발성 기억 소자.

### 청구항 11

삭제

### 청구항 12

삭제

### 청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 특히, 비휘발성 기억 소자 및 그 형성 방법에 관한 것이다.

## 배경기술

- [0002] 비휘발성 기억 소자는 전원공급이 중단될지라도 저장된 데이터를 그대로 유지하는 특성을 갖는다. 상기 비휘발성 기억 소자로서 대표적인 것은 플래쉬 기억 소자(flash memory device)라 할 수 있다. 상기 플래쉬 기억 소자는 전기적으로 데이터(data)를 기입하거나 소거할 수 있다. 상기 플래쉬 기억 소자는 노어형 플래쉬 기억 소자(NOR type flash memory devcie) 및 낸드형 플래쉬 기억 소자으로 구분될 수 있다. 상기 노어형 플래쉬 기억 소자는 고속 랜덤 액세스(high speed random access)가 가능하여 고속 동작이 요구되는 장치에 널리 사용되고 있다. 상기 낸드형 플래쉬 기억 소자는 프로그램 및 소거속도가 우수하고 고집적화가 용이하여 대용량의 저장장치로 널리 사용되고 있다.
- [0003] 상기 낸드형 플래쉬 기억 소자는 복수의 셀 스트링들(cell strings)을 포함할 수 있다. 상기 셀 스트링은 서로 직렬로 연결된 복수의 단위 셀을 포함한다. 상기 셀 스트링의 일단에는 공통 드레인(common drain)이 형성되고, 상기 셀 스트링의 타단에는 공통 소스(common source)가 형성된다. 상기 공통 드레인은 기입, 소거 및/또는 센싱(sensing) 동작시 각각의 스트링에 선택적으로 전위를 제공하기 위한 비트라인과 연결된다. 기입, 소거 및/또는 센싱 동작시, 기준 전압이 상기 공통 소스에 제공될 수 있다.
- [0004] 반도체 산업에 고도로 발전함에 따라, 비휘발성 기억 소자의 경량화, 소형화, 고속화 및/또는 고성능화에 대한 요구가 점점 증가되고 있다. 이러한 요구를 충족시키기 위하여 비휘발성 기억 소자내 반도체 패턴들이 점점 미세해지고 있다. 이로 인하여 여러 문제점들이 발생되고 있다. 예컨대, 또한, 상기 비트라인들 간의 간격이 감소됨으로써, 상기 비트라인들간의 기생정전용량이 증가될 수 있다. 그 결과, 동작 전압의 하락 및/또는 신호의 지연등이 발생되어 비휘발성 기억 소자의 특성이 열화될 수 있다. 또한, 하부 도전체와 상부 도전체를 연결시키기 위한 콘택홀의 종횡비도 점점 증가되고 있다. 이로써, 도전체가 콘택홀을 충분히 매립하지 못하거나, 식각 공정 마진의 감소로 콘택홀이 완전히 오픈되지 못할 수 있다. 그 결과, 비휘발성 기억 소자의 특성이 열화될 수 있다. 이에 더하여, 콘택홀들간의 간격도 점점 감소됨으로써, 노광 공정의 마진이 감소되어 비휘발성 기억 소자의 특성이 열화될 수도 있다.

## 발명의 내용

### 해결 하고자하는 과제

- [0005] 본 발명은 상술한 제반적인 문제점을 해결하기 위하여 고안된 것으로, 본 발명이 이루고자 하는 기술적 과제는 고집적화에 최적화된 비휘발성 기억 소자 및 그 형성 방법을 제공하는데 있다.

### 과제 해결수단

- [0006] 상술한 기술적 과제를 해결하기 위한 비휘발성 기억 소자를 제공한다. 본 발명의 일 실시예에 따른 비휘발성 기억 소자는 기판에 정의되되, 제1 방향으로 나란히 연장된 제1 활성부 및 제2 활성부; 상기 제1 활성부 내에 배치된 제1 공통 소스 및 제1 공통 드레인; 상기 제2 활성부 내에 배치된 제2 공통 소스 및 제2 공통 드레인; 상기 기판 전면을 덮는 몰드 절연층; 상기 몰드 절연층 내에 배치되되, 상기 제1 방향에 수직한 제2 방향으로 연장되고 상기 제1 및 제2 공통 소스들과 접속된 소스 도전 라인, 및 상기 제1 및 제2 공통 드레인들과 각각 접속된 제1 랜딩 플러그 및 제2 랜딩 플러그; 및 상기 제1 및 제2 랜딩 플러그들과 각각 전기적으로 접속되고, 상기 기판의 상부면으로부터 서로 다른 높이에 배치된 제1 비트라인 및 제2 비트라인을 포함할 수 있다. 이때, 상기 몰드 절연층, 소스 도전 라인, 제1 랜딩 플러그 및 제2 랜딩 플러그의 상부면들은 공면을 이룬다.
- [0007] 일 실시예에 따르면, 상기 소자는 상기 제1 랜딩 플러그와 상기 제1 비트라인 사이에 개재되고 상기 제2 랜딩 플러그를 덮는 제1 층간 절연막; 상기 제1 층간 절연막을 관통하여 상기 제1 랜딩 플러그 및 상기 제1 비트라인과 접속된 제1 콘택 플러그; 상기 제1 비트라인과 상기 제1 층간 절연막을 덮는 제2 층간 절연막; 및 상기 제2 및 제1 층간 절연막들을 연속적으로 관통하여 상기 제2 랜딩 플러그와 접속된 제2 콘택 플러그를 더 포함할 수 있다. 이 경우에, 상기 제2 비트라인은 상기 제2 층간 절연막 상에 배치되어 상기 제2 콘택 플러그와 접속된다.
- [0008] 일 실시예에 따르면, 상기 소자는 상기 제1 및 제2 활성부들을 상기 제2 방향을 따라 나란히 가로지르는 접지 선택 라인, 복수의 워드 라인 및 스트링 선택 라인; 및 상기 각 워드 라인 양측의 상기 제1 활성부 및 제2 활성부 내에 각각 배치된 제1 셀 소스/드레인 및 제2 셀 소스/드레인을 더 포함할 수 있다. 상기 접지 선택, 워드 및 스트링 선택 라인들은 상기 제1 공통 소스 및 제1 공통 드레인 사이 및 상기 제2 공통 소스 및 제2 공통 드레인 사이에 배치된다.

[0009] 본 발명의 다른 실시예에 따른 비휘발성 기억 소자는 기판에 정의되어, 제1 방향을 나란히 연장된 제1 활성부 및 제2 활성부; 상기 제1 활성부 내에 배치된 제1 공통 소스 및 제1 공통 드레인; 상기 제2 활성부 내에 배치된 제2 공통 소스 및 제2 공통 드레인: 상기 기판 전면을 덮는 절연층; 상기 절연층을 관통하여 상기 제1 및 제2 공통 소스들에 각각 접속된 제1 랜딩 플러그 및 제2 랜딩 플러그; 및 상기 제1 및 제2 랜딩 플러그들에 각각 전기적으로 접속되고 상기 기판의 상부면으로부터 서로 다른 높이에 배치된 제1 비트라인 및 제2 비트라인을 포함할 수 있다. 이때, 상기 제1 랜딩 플러그의 중심을 지나고 상기 제1 방향에 수직한 제2 방향으로 연장된 제1 가상선과, 상기 제2 랜딩 플러그의 중심을 지나고 상기 제1 가상선에 평행한 제2 가상선은 상기 제1 방향으로 서로 이격된다.

[0010] 상술한 기술적 과제를 해결하기 위한 비휘발성 기억 소자의 형성 방법을 제공한다. 본 발명의 일 실시예에 따르면, 상기 방법은 기판에 제1 방향으로 나란히 연장된 제1 활성부 및 제2 활성부를 정의하는 소자분리 패턴을 형성하는 단계: 상기 제1 활성부 내의 제1 공통 소스 및 제1 공통 드레인과, 상기 제2 활성부 내의 제2 공통 소스 및 제2 공통 드레인을 형성하는 단계; 상기 기판 전면을 덮는 몰드 절연층을 형성하는 단계; 상기 몰드 절연층을 패터닝하여 상기 제1 방향에 수직한 제2 방향으로 연장되고 상기 제1 및 제2 공통 소스들을 노출시키는 소스 그루브, 상기 제1 공통 드레인을 노출시키는 제1 랜딩 콘택홀, 및 상기 제2 공통 드레인을 노출시키는 제2 랜딩 콘택홀을 동시에 형성하는 단계; 상기 소스 그루브, 제1 랜딩 콘택홀 및 제2 랜딩 콘택홀을 각각 채우는 소스 도전 라인, 제1 랜딩 플러그 및 제2 랜딩 플러그를 형성하는 단계; 및 상기 제1 및 제2 랜딩 플러그들과 각각 전기적으로 접속되고, 상기 기판의 상부면으로부터 서로 다른 높이에 배치된 제1 비트라인 및 제2 비트라인을 형성하는 단계를 포함할 수 있다.

## 효과

[0011] 상술한 바와 같이, 제1 비트라인과 제2 비트라인은 기판의 상부면으로부터 서로 다른 높이에 배치된다. 이로써, 제한된 면적내에서 상기 제1 및 제2 비트라인들 간의 거리를 충분히 확보하여 종래의 기생 정전용량을 최소화할 수 있다. 또한, 적어도 제2 랜딩 플러그에 의하여 제2 랜딩 플러그 위에 형성되는 콘택 플러그의 높이를 감소시킬 수 있다. 이로써, 콘택홀의 종횡비를 감소시켜 고도로 집적화된 비휘발성 기억 소자를 구현할 수 있다. 이에 더하여, 일 실시예에 따르면, 상기 제1 및 제2 랜딩 플러그들은 소스 도전 라인과 동시에 형성될 수 있다. 이로써, 추가적인 제조비용 없이 콘택홀들의 종횡비를 감소시킬 수 있다. 더 나아가서, 일 실시예에 따르면, 제1 랜딩 플러그의 중심을 지나는 제1 가상선과 제2 랜딩 플러그의 중심을 지나는 제2 가상선은 평행하며 서로 이격되어 있다. 이로써, 제1 랜딩 플러그들 및 제2 랜딩 플러그들을 지그재그(zigzag) 형태로 배열시켜 랜딩 플러그들간의 간격을 충분히 확보할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0012] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층(또는 막)이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0013] (제1 실시예)

[0014] 도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도이고, 도 2a, 도 2b 및 도 2c는 각각 도 1의 I-I', II-II' 및 III-III'을 따라 취해진 단면도들이다.

[0015] 도 1, 도 2a, 도 2b 및 도 2c를 참조하면, 반도체 기판(100, 이하, 기판이라 함)에 복수의 제1 활성부(104a) 및 복수의 제2 활성부(104b)를 정의하는 소자분리 패턴(102)이 배치된다. 상기 제1 활성부들(104a) 및 제2 활성부들(104b)은 제1 방향을 따라 나란히 연장된다. 상기 제1 활성부들(104a) 및 제2 활성부들(104b)은 상기 제1 방향에 수직한(perpendicular) 제2 방향을 따라 교대로 배열된다. 상기 제1 및 제2 활성부들(104a, 104b)은 상기 소자분리 패턴(102)에 의하여 둘러싸인 상기 기판(100)의 일부분들에 해당한다. 상기 제1 및 제2 활성부들(104a, 104b)은 상기 제2 방향을 따라 등간격으로 배열될 수 있다. 도 1에서, 상기 제1 방향은 x축 방향에 해

당하고, 상기 제2 방향은 y축 방향에 해당한다.

[0016] 제1 공통 소스(108a) 및 제1 공통 드레인(110a)이 각 제1 활성부(104a) 내에 서로 이격되어 배치된다. 이와 마찬가지로, 제2 공통 소스(108b) 및 제2 공통 드레인(110b)이 상기 각 제2 활성부(104b) 내에 서로 이격되어 배치된다. 상기 제1 공통 소스들(108a) 및 상기 제2 공통 소스들(108b)은 상기 제2 방향을 따라 교대로 배열된다. 상기 제1 공통 소스들(108a) 및 제2 공통 소스들(108b)은 상기 제2 방향을 따라 하나의 열로 배열된다. 상기 제1 공통 드레인들(110a) 및 제2 공통 드레인(110b)도 상기 제2 방향을 따라 교대로 배열되며, 또한, 하나의 열로 배열된다.

[0017] 접지 선택 라인(GSL, ground select line), 복수의 워드 라인(WL, word line) 및 스트링 선택 라인(SSL, string select line)이 상기 제1 및 제2 활성부들(104a, 104b)을 상기 제2 방향을 따라 나란히 가로지른다. 상기 라인들(GSL, WL, SSL)은 상기 제1 공통 소스들(108a)과 상기 제1 공통 드레인들(110a) 사이, 및 상기 제2 공통 소스들(108b)과 상기 제2 공통 드레인들(110a) 사이에 배치된다. 이때, 상기 접지 선택 라인(GSL)은 상기 제1 및 제2 공통 소스들(108a, 108b)에 인접하고, 상기 스트링 선택 라인(SSL)은 상기 제1 및 제2 공통 드레인들(110a, 110b)에 인접하다. 상기 각 워드 라인(WL) 양측의 상기각 제1 활성부(104a)내에 제1 셀 소스/드레인(106a, first cell source/drain)이 배치되고, 상기 각 워드 라인(WL) 양측의 상기 각 제2 활성부(104b)내에 제2 셀 소스/드레인(106b)이 배치된다. 상기 셀 소스/드레인들(106a, 106b), 상기 공통 소스들(108a, 108b), 및 상기 공통 드레인들(110a, 110b)은 서로 동일한 타입의 도편트들이 도핑된 영역들이다.

[0018] 상기 접지 선택 라인(GSL)은 상기 제1 및 제2 활성부들(104a, 104b)을 가로지르는 접지 선택 게이트 전극과 상기 접지 선택 게이트 전극 및 상기 활성부들(104a, 104b) 사이에 개재된 접지 선택 게이트 절연막을 포함할 수 있다. 이와 마찬가지로, 상기 스트링 선택 라인(SSL)은 상기 제1 및 제2 활성부들(104a, 104b)을 가로지르는 스트링 선택 게이트 전극과, 상기 스트링 선택 게이트 전극 및 상기 활성부들(104a, 104b) 사이에 개재된 스트링 선택 게이트 절연막을 포함할 수 있다.

[0019] 상기 각 워드라인(WL)은 제어 게이트 전극, 제1 전하 저장 패턴, 제2 전하 저장 패턴, 터널 절연막 및 블로킹 절연 패턴을 포함한다. 상기 제어 게이트 전극은 상기 제1 및 제2 활성부들(104a, 104b)을 가로지른다. 상기 제1 전하 저장 패턴은 상기 제어 게이트 전극과 상기 제1 활성부(104a) 사이에 개재되고, 상기 제2 전하 저장 패턴은 상기 제어 게이트 전극과 상기 제2 활성부(104b) 사이에 개재된다. 상기 터널 절연막은 상기 제1 전하 저장 패턴과 상기 제1 활성부(104a) 사이, 및 상기 제2 전하 저장 패턴과 상기 제2 활성부(104b) 사이에 개재된다. 상기 블로킹 절연막은 상기 제1 전하 저장 패턴과 상기 제2 전하 저장 패턴 사이에 개재된다. 상기 블로킹 절연 패턴은 ONO막으로 형성될 수 있다. 이와는 달리, 상기 블로킹 절연 패턴은 상기 터널 절연막에 비하여 높은 유전상수를 갖는 고유전막(ex, 하프늄산화막 및/또는 알루미늄산화막과 같은 절연성 금속산화막)을 포함할 수 있다. 상기 제1 및 제2 전하 저장 패턴들은 실리콘등과 같은 반도체로 형성될 수 있다. 이와는 달리, 상기 제1 및 제2 전하 저장 패턴들은 전하를 트랩하는 깊은 준위의 트랩들을 포함하는 절연막(ex, 실리콘질화막 및/또는 나노크리스탈들을 포함하는 절연층등)을 포함할 수도 있다. 도시하지 않았지만, 상기 라인들(GSL, WL, SSL)의 양측벽에 게이트 절연 스페이서가 배치될 수 있다.

[0020] 몰드 절연층(112, mold insulation layer)이 상기 기판(100) 전면을 덮는다. 상기 몰드 절연층(112)은 산화막, 질화막, 산화질화막, 탄화막 및 산화탄화막 중에서 선택된 적어도 하나를 포함하는 단일층 또는 다층일 수 있다. 상기 몰드 절연층(112) 내에 소스 도전 라인(116s, source conductive line)이 배치된다. 상기 소스 도전 라인(116s)은 상기 제2 방향으로 연장된다. 상기 소스 도전 라인(116s)은 하나의 열로 배열된 상기 제1 공통 소스들(108a) 및 상기 제2 공통 소스들(108b)과 접속한다. 상기 소스 도전 라인(116s)은 상기 몰드 절연층(112)을 관통하여 상기 제2 방향을 따라 연장된 소스 그루브(114s, source groove)를 채운다. 복수의 제1 랜딩 플러그(116a)가 상기 몰드 절연층(112)을 관통하여 복수의 상기 제1 공통 드레인(110a)에 각각 접속되고, 복수의 제2 랜딩 플러그(116b)가 상기 몰드 절연층(112)을 관통하여 복수의 상기 제2 공통 드레인(110b)에 각각 접속된다. 상기 각 제1 랜딩 플러그(116a)는 상기 몰드 절연층(112)을 관통하는 제1 랜딩홀(114a)을 채우고, 상기 각 제2 랜딩 플러그(116b)는 상기 몰드 절연층(112)을 관통하는 제2 랜딩홀(114b)을 채운다.

[0021] 상기 몰드 절연층(112), 상기 소스 도전 라인(116s), 제1 랜딩 플러그들(116a) 및 제2 랜딩 플러그들(116b)의 상부면들은 공면(coplanar)을 이루는 것이 바람직하다. 상기 제1 랜딩 플러그들(116a) 및 제2 랜딩 플러그들(116b)은 상기 제2 방향을 따라 교대로 배열된다. 본 발명의 일 실시예에 따르면, 도 1에 도시된 바와 같이, 상기 제1 랜딩 플러그들(116a) 및 제2 랜딩 플러그들(116b)은 상기 제2 방향을 따라 하나의 열로 배열될

수 있다. 상기 소스 도전 라인(116s)과 랜딩 플러그들(116a, 116b)은 동일한 도전물질로 형성되는 것이 바람직하다. 예컨대, 상기 소스 도전 라인(116s) 및 랜딩 플러그들(116a, 116b)은 도핑된 반도체, 금속(ex, 티타늄, 탄탈늄, 텉스텐, 구리 또는 알루미늄등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 코발트실리사이드 또는 티타늄실리사이드등) 중에서 선택된 적어도 하나를 포함할 수 있다.

[0022] 도 1에 도시된 바와 같이, 상기 각 제1 랜딩 플러그(116a)의 상부면은 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태인 것이 바람직하다. 이와 마찬가지로, 상기 각 제2 랜딩 플러그(116b)의 상부면도 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태인 것이 바람직하다. 도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 레이아웃도에 해당한다. 따라서, 상기 제1 및 제2 랜딩 플러그들(116a, 116b)의 상부면들은 직사각형의 형태로 도시되어 있다. 이와는 다르게, 상술한 바와 같이, 상기 제1 및 제2 랜딩 플러그들(116a, 116b)의 상부면들은 장축이 상기 제1 방향과 평행한 타원 형태일 수 있다.

[0023] 제1 층간 절연막(118, first interlayer insulation layer)이 상기 기판(100) 전면을 덮는다. 즉, 상기 제1 층간 절연막(118)이 상기 몰드 절연층(112), 소스 도전 라인(116s) 및 랜딩 플러그들(116a, 116b) 상에 배치된다. 상기 제1 층간 절연막(118)은 산화막, 질화막, 산화질화막, 탄화막 및 산화탄화막 중에서 선택된 적어도 하나를 포함하는 단일층 또는 다층일 수 있다.

[0024] 복수의 제1 콘택 플러그(122)가 상기 제1 층간 절연막(118)을 관통하여 상기 제1 랜딩 플러그들(116a)에 각각 접속된다. 상기 각 제1 콘택 플러그(122)는 상기 각 제1 랜딩 플러그(116a) 상에 적층된다. 상기 각 제1 콘택 플러그(122)는 상기 제1 층간 절연막(118)을 관통하는 제1 콘택홀(120)을 채운다. 복수의 제1 비트라인(124)이 상기 제1 층간 절연막(118) 상에 배열된다. 상기 복수의 제1 비트라인(124)은 상기 복수의 제1 콘택 플러그(122)와 각각 접속된다. 상기 제1 비트라인들(124)은 상기 제1 방향을 따라 나란히 연장된다. 구체적으로, 상기 제1 비트라인들(124)은 상기 제1 활성부들(104a)과 평행하며, 상기 제1 활성부들(104a)을 각각 덮는다.

[0025] 상기 제1 비트라인(124)은 상기 제1 콘택 플러그(122) 및 제1 랜딩플러그(116a)를 경유하여 상기 제1 공통 드레인(110a)에 전기적으로 접속된다. 상기 제1 콘택 플러그들(116a)은 텉스텐, 구리 또는 알루미늄등과 같은 금속을 포함할 수 있다. 상기 제1 비트라인(124)은 텉스텐, 구리 또는 알루미늄등과 같은 금속을 포함할 수 있다. 상기 제1 비트라인(124) 및 제1 콘택 플러그(116a)는 서로 동일함 금속을 포함하거나, 서로 다른 금속을 포함할 수 있다.

[0026] 상기 제1 콘택 플러그(122)은 평면적 관점에서 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태일 수 있다. 상기 제1 콘택 플러그(122)의 상기 제1 방향의 폭이 상기 제1 콘택 플러그(122)의 상기 제2 방향의 폭에 비하여 클 수 있다. 상기 제1 콘택 플러그(122)의 상기 제1 방향의 하부폭(W12)은 상기 제1 랜딩 플러그(116a)의 상기 제1 방향의 상부폭(W11)에 비하여 클 수 있다. 이로 인하여, 상기 제1 콘택 플러그(122)와 제1 랜딩 플러그(116a)가 서로 오정렬될지라도, 상기 제1 콘택 플러그(122) 및 제1 랜딩 플러그(116a)간 접촉 면적의 폭은 실질적으로 상기 제1 랜딩 플러그(116a)의 상부폭(W11)으로 재현성 있게 구현될 수 있다. 상기 제1 콘택 플러그(122)의 상기 제2 방향의 폭은 상기 제1 랜딩 플러그(116a)의 상기 제2 방향의 폭과 실질적으로 동일하거나, 미세하게 다를 수 있다.

[0027] 제2 층간 절연막(126, second interlayer insulation layer)이 상기 제1 비트라인들(124) 및 제1 층간 절연막(118)을 덮는다. 상기 제2 층간 절연막(126)은 산화막, 질화막, 산화질화막, 탄화막 및 산화탄화막 중에서 선택된 적어도 하나의 단일층 또는 다층으로 형성될 수 있다. 제2 콘택 플러그(130)가 상기 제2 층간 절연막(126) 및 제1 층간 절연막(118)을 연속적으로 관통하여 상기 제2 랜딩 플러그(116b)와 접속한다. 상기 제2 콘택 플러그(130)는 인접한 한쌍의 상기 제1 비트라인(124) 사이의 상기 제2 층간 절연막(126) 및 제1 층간 절연막(118)을 연속적으로 관통하여 상기 제1 랜딩 플러그(116b)를 노출시키는 제2 콘택홀(128)을 채운다. 복수의 상기 제2 콘택 플러그(130)가 상기 제2 및 제1 층간 절연막(126, 118)내에 배치되어 상기 복수의 제1 랜딩 플러그(116b)와 각각 접속된다. 상기 각 제2 콘택 플러그(130)는 상기 각 제2 랜딩 플러그(116b) 상에 적층된다.

[0028] 상기 제2 콘택 플러그(130)의 상부면도 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태일 수 있다. 상기 제2 콘택 플러그(130)의 상기 제1 방향의 폭은 상기 제2 콘택 플러그(130)의 상기 제2 방향의 폭에 비하여 클 수 있다. 상기 제2 콘택 플러그(130)의 상기 제1 방향의 하부폭(W22)은 상기 제2 랜딩 플러그(116b)의 상기 제2 방향의 상부폭(W12)에 비하여 클 수 있다. 이로 인하여, 상기 제2 콘택 플러그(130)와 제2 랜딩 플러그(116b)가 서로 오정렬될지라도, 상기 제2 콘택 플러그(130) 및 제2 랜딩 플러그(116b)간 접촉 면적의 폭

은 실질적으로 상기 제2 랜딩 플러그(116b)의 상부폭(W12)으로 재현성 있게 구현될 수 있다. 상기 제2 콘택 플러그(130)의 상기 제2 방향의 폭은 상기 제2 랜딩 플러그(116b)의 상기 제2 방향의 폭과 실질적으로 동일하거나 미세하게 다를 수 있다.

[0029] 도시하지 않았지만, 상기 각 제1 비트라인(124)의 양측벽에 제1 절연 스페이서가 배치될 수 있다. 이 경우에, 상기 제2 콘택 플러그(130)는 상기 제1 절연 스페이서에 자기정렬된 부분을 포함할 수 있다. 이 경우에, 상기 제2 콘택 플러그(130)의 상기 제2 방향의 하부폭은 상기 제2 랜딩 플러그(116b)의 상기 제2 방향의 상부폭 보다 작을 수 있다.

[0030] 도시하지 않았지만, 상기 제2 콘택홀(128)의 측벽과 상기 제2 콘택 플러그(130) 사이에 홀 절연 스페이서가 개재될 수 있다. 상기 홀 절연 스페이서로 인하여, 상기 제2 콘택 플러그(130)와 상기 제1 비트라인(124)간의 절연 특성을 향상시킬 수 있다. 상기 홀 절연 스페이서가 개재될지라도, 상기 제2 콘택 플러그(130)의 상기 제1 방향의 하부폭(W22)은 상기 제2 랜딩 플러그(116b)의 상부폭(W12)에 비하여 클 수 있다. 본 발명의 일 실시예에 따른 비휘발성 기억 소자는 상기 제1 절연 스페이서 및 상기 홀 절연 스페이서 중에서 선택된 적어도 하나를 포함할 수 있다.

[0031] 상기 제2 충간 절연막(126) 상에 복수의 제2 비트라인(132)이 배치된다. 상기 복수의 제2 비트라인(132)은 상기 복수의 제2 콘택 플러그들(130)와 각각 접속된다. 상기 제2 비트라인들(132)은 상기 제1 방향을 따라 나란히 연장되고, 또한, 상기 제2 활성부들(104b) 상부에 각각 배치된다. 상기 각 제2 비트라인(132)은 상기 제2 콘택 플러그(130) 및 제2 랜딩 플러그(116b)를 경유하여 상기 제2 공통 드레인(110b)에 전기적으로 접속된다.

[0032] 상기 제2 콘택 플러그(130)는 텅스텐, 구리 및 알루미늄등에서 선택된 적어도 하나를 포함할 수 있다. 상기 제2 비트라인(132)은 텅스텐, 구리 및 알루미늄등에서 선택된 적어도 하나를 포함할 수 있다. 상기 제2 비트라인(132) 및 제2 콘택 플러그(130)은 서로 동일한 도전물질을 포함하거나, 서로 다른 도전물질을 포함할 수 있다.

[0033] 상술한 비휘발성 기억 소자에 따르면, 상기 제1 활성부들(104a) 및 제2 활성부들(104b)은 상기 제2 방향으로 교대로 배열되고, 상기 각 제1 활성부(104a) 상부에 위치한 상기 각 제1 비트라인(124)은 상기 제1 충간 절연막(118) 상에 배치되며, 상기 각 제2 활성부(104b) 상부에 위치한 상기 각 제2 비트라인(132)은 상기 제1 비트라인들(124)을 덮는 제2 충간 절연막(126) 상에 배치된다. 다시 말해서, 상기 제1 비트라인들(124)과 상기 제2 비트라인들(132)은 상기 기판(100)의 상부면으로부터 서로 다른 높이에 배치되며, 상기 제2 방향으로 교대로 배열된다.

[0034] 서로 인접한 상기 제1 비트라인(124)과 상기 제2 비트라인(132)은 서로 다른 높이에 배치됨으로써, 제한된 면적 내에서, 인접한 제1 비트라인(124)과 제2 비트라인(132)간의 거리를 증가시킬 수 있다. 그 결과, 인접한 제1 비트라인(124)과 제2 비트라인(132)간 기생 정전용량을 감소시켜 비휘발성 기억 소자의 특성 열화를 최소화할 수 있다. 또한, 상기 제1 비트라인들(124)간 간격도 증가시켜 상기 제1 비트라인들(124)간 기생 정전용량을 감소시킬 수 있을 뿐만 아니라, 상기 제1 비트라인들(124)의 정의를 위한 노광 공정의 마진도 증가시킬 수 있다. 또한, 상기 제2 비트라인들(132)간 간격도 증가시켜 상기 제2 비트라인들(124)간 기생 정전용량을 감소시키고, 상기 제2 비트라인들(132)의 정의하는 노광 공정의 마진도 증가시킬 수 있다.

[0035] 이에 더하여, 상기 제1 및 제2 콘택 플러그들(122, 130)은 상기 제1 및 제2 랜딩 플러그들(116a, 116b)에 각각 접속된다. 이때, 상기 제1 및 제2 랜딩 플러그들(116a, 116b)은 상기 소스 도전 라인(116s)의 상부면과 공면을 이루는 상부면들을 각각 갖는다. 즉, 상기 제1 및 제2 랜딩 플러그들(116a, 116b)은 상기 소스 도전 라인(116s)과 실질적으로 동일한 높이를 가질 수 있다. 따라서, 상기 제1 비트라인(124)과 상기 제1 공통 드레인(110a)을 전기적으로 접속시키기 위한 상기 제1 콘택 플러그(122)의 높이(즉, 상기 제1 콘택홀(120)의 깊이)는 상기 제1 랜딩 플러그(116a)로 인하여 감소된다. 이와 마찬가지로, 상기 제2 비트라인(132)과 상기 제2 공통 드레인(110b)을 전기적으로 접속시키기 위한 상기 제2 콘택 플러그(130)의 높이(즉, 상기 제2 콘택홀(128)의 깊이)는 상기 제2 랜딩 플러그(116b)로 인하여 감소된다. 그 결과, 상기 제1 및 제2 콘택홀들(120, 128)의 종횡비가 감소되어 종래의 콘택홀의 미오픈(not open) 및/또는 보이드(void)를 방지할 수 있다. 이로써, 고도로 집적화된 비휘발성 기억 소자를 구현할 수 있다. 상기 소스 도전 라인(116s)으로 야기될 수 있는 상기 제1 및 제2 콘택홀들(120, 128)의 종횡비의 증가를 상기 제1 및 제2 랜딩 플러그들(116a, 116b)로 인하여 방지할 수 있다. 특히, 상기 제1 및 제2 콘택홀들(120, 128) 중에서 상대적으로 더 깊어질 수 있는 상기 제2 콘택홀(128)의 종횡비가 상기 제2 랜딩 플러그(116a)로 인하여 감소됨으로써, 우수한 특성의 비휘발성 기억 소자를 구현할 수 있다.

[0036]

더 나아가서, 상기 제2 콘택 플러그(130)는 상기 제1 비트라인들(124) 사이의 상기 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 직접 관통한다. 즉, 상기 제1 비트라인들(124) 사이의 상기 제1 충간 절연막(118) 상에는 상기 비트라인들(124)과 동일한 물질로 형성된 도전 패드가 존재하지 않는다. 이로써, 상기 제1 비트라인들(124)의 패터닝이 매우 용이해져 우수한 특성의 비휘발성 기억 소자를 구현할 수 있다. 만약, 상기 제1 비트라인들(124) 사이에 상기 제2 비트라인(132)과 상기 제2 공통 드레인(110b)간 전기적 접속을 위한 도전 패드가 존재하는 경우에, 상기 제1 비트라인들(124)과 상기 도전 패드간 간격이 매우 미세해지고, 또한, 패턴의 균일성이 훼손될 수 있다. 이로써, 상기 제1 비트라인들(124) 및 도전 패드를 정의하는 노광 공정의 마진이 감소되어 비휘발성 기억 소자의 불량이 초래될 수 있다. 이와는 달리, 상술한 바와 같이, 상기 제2 콘택 플러그(130)는 상기 제1 비트라인들(124) 사이의 제2 및 제1 충간 절연막(126, 118)을 연속적으로 관통한다.

[0037]

상술한 비휘발성 기억 소자에서, 상기 제1 콘택 플러그(122)의 하부폭(W12)은 상기 제1 랜딩 플러그(116a)의 상부폭(W11)에 비하여 크고, 상기 제2 콘택 플러그(130)의 하부폭(W22)은 상기 제2 랜딩 플러그(116b)의 상부폭(W12)에 비하여 크다. 이와는 다르게, 콘택 플러그의 하부폭이 랜딩 플러그의 상부폭 보다 작을 수도 있다. 이러한 변형예들을 도면을 참조하여 설명한다. 변형예들에서, 상술한 구성요소들은 동일한 참조부호를 사용한다.

[0038]

도 3은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 일 변형예를 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도이다.

[0039]

도 3을 참조하면, 제2 콘택 플러그(130a)가 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 관통하여 제2 랜딩 플러그(116b)에 접속된다. 제2 비트라인(132)이 상기 제2 충간 절연막(126) 상에 배치되어 상기 제2 콘택 플러그(130a)에 접속된다. 상기 제2 콘택 플러그(130a)는 상기 제2 및 제1 충간 절연막들(126, 118)을 관통하는 제2 콘택홀(128a)을 채운다. 상기 제2 콘택 플러그(130a)의 제1 방향의 하부폭(W22a)은 상기 제2 랜딩 플러그(116b)의 상부폭(W12) 보다 작다.(상기 제1 방향은 도 1의 x축방향에 해당함) 이 경우에, 상기 제2 콘택 플러그(130a)와 상기 제2 랜딩 플러그(116b)간 접촉면적의 상기 제1 방향의 폭은 상기 제2 콘택 플러그(130a)의 하부폭(W22a)으로 재현성이 있게 구현될 수 있다. 상기 제2 콘택 플러그(130a)의 상부면은 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태일 수 있다. 이와는 달리, 상기 제2 콘택 플러그(130a)의 상부면은 원형일 수도 있다. 상기 제2 콘택 플러그(130a)는 도 2b의 콘택 플러그(130)와 동일한 물질로 형성될 수 있다. 도 2b를 참조하여 설명한 것과 같이, 상기 제2 콘택 플러그(130a) 및 제2 콘택홀(128a)의 측벽 사이에 홀 절연 스페이서(미도시함)가 개재될 수도 있다.

[0040]

도 3을 참조한 변형예에서, 상기 제2 콘택 및 랜딩 플러그들(130a, 116a)와 마찬가지로, 제1 비트라인과 제1 랜딩 플러그 사이에 위치한 제1 콘택 플러그의 상기 제1 방향의 하부폭은 상기 제1 랜딩 플러그의 상기 제1 방향의 상부폭 보다 작은 것이 바람직하다.

[0041]

도 4는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 다른 변형예를 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도이다.

[0042]

도 4를 참조하면, 본 변형예에 따른 제2 콘택 플러그(130b)는 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 관통하여 제2 비트라인(132) 및 제2 랜딩 플러그(116b)와 접속된다. 상기 제2 콘택 플러그(130b)는 상기 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 관통하는 제2 콘택홀(128b)을 채운다. 상기 제2 콘택 플러그(130b)은 제1 방향으로 상부폭(W22b) 및 하부폭(W22c)을 갖는다. (상기 제1 방향은 도 1의 x축방향에 해당함) 상기 제2 콘택 플러그(130b)의 상부폭(W22b)이 상기 제2 콘택 플러그(130b)의 하부폭(W22c) 보다 클 수 있다. 즉, 상기 제2 콘택 플러그(130b)의 측벽은 경사진 형태일 수 있다. 상기 제2 콘택 플러그(130b)의 하부폭(W22c)은 상기 제2 랜딩 플러그(116b)의 상부폭(W12)에 비하여 작을 수 있다. 이때, 상기 제2 콘택 플러그(130b)의 상부폭(W22b)은 상기 제2 랜딩 플러그(116b)의 상부폭(W12)과 실질적으로 동일할 수 있다. 상기 제2 콘택 플러그(130b)의 상부면은 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태일 수 있다. 상기 제2 콘택 플러그(130b)와 상기 제2 콘택 플러그(130b)와 상기 제2 콘택홀(128b)의 측벽 사이에 홀 절연 스페이서(미도시함)가 개재될 수도 있다.

[0043]

도 4를 참조한 변형예에서, 제1 비트라인에 연결된 제1 콘택 플러그도 상기 제2 콘택 플러그(130b)와 유사한 형태를 가질 수 있다. 즉, 상기 제1 콘택 플러그의 상기 제1 방향의 상부폭은 상기 제1 콘택 플러그의 상기 제1 방향의 하부폭 보다 크고, 상기 제1 콘택 플러그의 상기 하부폭은 제1 랜딩 플러그의 상기 제1 방향의 폭

보다 작을 수 있다.

[0044] 한편, 도 1, 도 2a, 도 2b 및 도 2c를 참조하여 설명한 비휘발성 기억 소자에서, 상기 제1 랜딩 플러그들(116a) 및 제2 랜딩 플러그들(116b)은 제2 방향(즉, y축 방향)으로 하나의 열로 배열된다. 이와는 다르게, 제1 랜딩 플러그들 및 제2 랜딩 플러그들은 복수의 열로 배열될 수 있다. 이를 도면을 참조하여 설명한다.

[0045] 도 5는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 보여주는 평면도이다.

[0046] 도 5를 참조하면, 제1 랜딩 플러그들(116a)은 제1 공통 드레인들 상에 각각 배치되고, 제2 랜딩 플러그들(116b')은 제2 공통 드레인들 상에 각각 배치된다. 상기 제1 랜딩 플러그들(116a) 및 제2 랜딩 플러그들(116b')은 제2 방향(y축 방향)으로 교대로 배열된다. 이때, 상기 제1 랜딩 플러그들(116a)은 상기 제2 방향으로 제1 열로 배열되고, 상기 제2 랜딩 플러그들(116b')은 상기 제2 방향으로 제2 열로 배열된다. 이때, 상기 제1 열과 상기 제2 열은 제1 방향(x축 방향)으로 서로 이격되어 있다. 다시 말해서, 제1 가상선(150)이 제2 방향으로 연장되어 상기 제1 랜딩 플러그들(116a)의 중심들을 지나고, 제2 가상선(155)이 제2 방향으로 연장되어 상기 제2 랜딩 플러그들(116b')의 중심들을 지난다. 이때, 상기 제1 가상선(150) 및 제2 가상선(155)은 상기 제1 방향으로 서로 이격되어 있다. 이에 따라, 상기 제2 방향으로 상기 제1 랜딩 플러그들(116a)은 충분한 거리로 이격될 수 있으며, 또한, 상기 제2 랜딩 플러그들(116b')도 충분한 거리로 이격될 수 있다. 이에 더하여, 상기 제1 및 제2 랜딩 플러그들(116a, 116b)이 상기 제2 방향으로 지그재그(zigzag) 형태로 배치됨으로써, 인접한 상기 제1 및 제2 랜딩 플러그들(116a, 116b)간의 간격도 충분히 확보할 수 있다. 그 결과, 상기 제1 및 제2 랜딩 플러그들(116a)을 정의하는 노광 공정의 마진을 충분히 확보하여 우수한 특성의 비휘발성 기억 소자를 구현할 수 있다.

[0047] 복수의 제1 콘택 플러그(122)가 상기 제1 랜딩 플러그들(116a) 상에 각각 배치되고, 복수의 제2 콘택 플러그(130')가 상기 제2 랜딩 플러그들(116b') 상에 각각 배치된다. 이로써, 상기 제1 콘택 플러그들(122)도 상기 제1 열로 배열되고, 상기 제2 콘택 플러그들(130')도 상기 제2 열로 배열된다. 상기 각 제2 콘택 플러그(130')는 도 2a, 도 2b 및 도 2c에 도시된 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 관통하여 제2 비트라인(132) 및 제2 랜딩 플러그(116b')와 접속된다.

[0048] 다음으로, 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 공정 단면도들을 참조하여 구체적으로 설명한다.

[0049] 도 6a 내지 도 8a는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 1의 I-I'을 따라 취해진 단면도들이고, 도 6b 내지 도 8b는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도들이며, 도 6c 내지 도 8c는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 1의 III-III'을 따라 취해진 단면도들이다.

[0050] 도 1, 도 6a, 도 6b 및 도 6c를 참조하면, 기판(100)에 소자분리 패턴(102)을 형성하여 복수의 제1 활성부(104a) 및 복수의 제2 활성부(104b)를 정의한다. 상기 제1 활성부들(104a) 및 제2 활성부들(104b)은 제1 방향(도 1의 x축 방향)으로 나란히 연장되고, 또한, 제2 방향(도 1의 y축 방향)을 따라 교대로 배열된다. 상기 소자분리 패턴(102)은 상기 기판(100)에 형성된 트렌치(trench)를 채우는 형태로 형성될 수 있다.

[0051] 상기 제1 및 제2 활성부들(104a, 104b)을 나란히 가로지르는 접지 선택 라인(GSL), 복수의 워드라인(WL) 및 스트링 선택 라인(SSL)을 형성한다. 상기 라인들(GSL, WL, SSL)을 마스크로 사용하여 상기 제1 활성부들(104a) 및 제2 활성부들(104b)내에 도편트 이온들을 주입한다. 이에 따라, 상기 접지 선택 라인(GSL) 일측의 상기 각 제1 활성부(104a) 및 각 제2 활성부(104b) 내에 제1 공통 소스(108a) 및 제2 공통 소스(108b)가 각각 형성되고, 상기 스트링 선택 라인(SSL) 일측의 상기 각 제1 활성부(104a) 및 제2 각 활성부(104b)내에 제1 공통 드레인(110a) 및 제2 공통 드레인(110b)이 각각 형성된다. 또한, 상기 각 워드라인(WL) 양측의 각 제1 활성부(104a) 내에 제1 셀 소스/드레인(106a)이 형성되고, 상기 각 워드라인(WL) 양측의 각 제2 활성부(104b) 내에 제2 셀 소스/드레인(106b)이 형성된다.

[0052] 상기 기판(100) 전면을 덮는 몰드 절연층(112)을 형성한다. 상기 몰드 절연층(112)을 패터닝하여 소스 그루브(114s), 제1 랜딩홀들(114a) 및 제2 랜딩홀들(114b)을 형성한다. 상기 소스 그루브(114s)는 상기 제1 공통 소스들(108a) 및 제2 공통 소스들(108b)을 노출시킨다. 상기 제1 랜딩홀들(114a)은 상기 제1 공통 드레인들(110a)을 각각 노출시키고, 상기 제2 랜딩홀들(114b)은 상기 제2 공통 드레인들(110b)을 각각 노출시

킨다. 상기 소스 그루브(114s)의 형성을 위한 상기 몰드 절연층(112)에 상기 제1 및 제2 랜딩홀들(114a, 114b)이 형성된다. 이때, 상기 소스 그루브(114s)와 상기 제1 및 제2 랜딩홀들(114a, 114b)은 동시에 형성된다. 이로 인하여, 상기 제1 및 제2 랜딩홀들(114a, 114b)의 형성을 추가적인 노광공정이 요구되지 않는다. 상기 제1 랜딩홀들(114a) 및 제2 랜딩홀들(114b)은 상기 제2 방향으로 하나의 열로 배열될 수 있다. 이와는 다르게, 도 5에 도시된 제1 랜딩 플러그들(116a) 및 제2 랜딩플러그들(116b')과 같이, 상기 제1 랜딩홀들(114a)은 제1 열로 배열되고, 상기 제2 랜딩홀들(114b)은 상기 제1 열 옆의 제2 열로 배열될 수도 있다.

[0053] 도 7a, 도 7b 및 도 7c를 참조하면, 상기 소스 그루브(114s), 제1 랜딩홀들(114a) 및 제2 랜딩홀들(114b)을 채우는 제1 도전막을 기판(100) 전면 상에 형성한다. 상기 제1 도전막을 상기 몰드 절연층(112)이 노출될 때까지 평탄화시키어, 상기 소스 그루브(114s)를 채우는 소스 도전 라인(116s), 상기 제1 랜딩홀들(114a)을 각각 채우는 제1 랜딩 플러그들(116a), 및 상기 제2 랜딩홀들(114b)을 각각 채우는 제2 랜딩 플러그들(116b)을 형성한다. 상기 제1 도전막은 전면 이방성 식각 또는 화학적기계적 연마 공정으로 평탄화될 수 있다.

[0054] 상기 소스 그루브(114s) 및 랜딩홀들(114a, 114b)을 형성하기 전에, 상기 몰드 절연층(112)의 상부면은 평탄화될 수 있다. 이와는 달리, 상기 제1 도전막을 상기 몰드 절연층(112)이 노출될 때까지 평탄화하는 공정에서, 상기 몰드 절연층(112)의 상부면이 평탄화될 수도 있다.

[0055] 상기 소스 도전 라인(116s)과 랜딩 플러그들(114a, 114b)을 갖는 기판(100) 전면 상에 제1 충간 절연막(118)을 형성한다. 상기 제1 충간 절연막(118)을 패터닝하여 상기 제1 랜딩 플러그들(116a)를 각각 노출시키는 제1 콘택홀들(120)을 형성한다. 상기 제1 콘택홀들(120)은 상기 제1 콘택홀들(120)을 각각 노출시킴으로써, 상기 제1 콘택홀들(120)은 충분한 간격으로 상기 제2 방향을 따라 이격될 수 있다. 그 결과, 상기 제1 콘택홀들(120)을 정의하는 노광 공정 및/또는 식각 공정의 마진들을 충분히 확보할 수 있다.

[0056] 도시된 바와 같이, 상기 각 제1 콘택홀(120)의 상기 제1 방향의 하부폭은 상기 제1 랜딩 플러그(116a)의 상기 제1 방향의 상부폭 보다 크게 형성될 수 있다. 이와는 다르게, 도 3에서 설명한 것과 같이, 상기 제1 콘택홀(120)은 상기 제1 랜딩 플러그(116a)의 상기 상부폭(도 2a의 참조부호 W11) 보다 작게 형성될 수 있다. 이와는 또 다르게, 도 4에서 설명한 것과 같이, 상기 제1 콘택홀(120)의 측벽은 경사지게 형성되고, 상기 경사진 제1 콘택홀(120)의 상기 제1 방향의 하부폭은 상기 제1 랜딩 플러그(116a)의 상기 상부폭 보다 작게 형성될 수 있다. 상기 경사진 제1 콘택홀(120)의 상기 제1 방향의 상부폭은 상기 경사진 제1 콘택홀(120)의 상기 제1 방향의 하부폭 보다 크게 형성되는 것이 바람직하다.

[0057] 상기 제1 콘택홀들(120)을 채우는 제2 도전막을 상기 기판(100) 전면 상에 형성하고, 상기 제2 도전막을 상기 제1 충간 절연막(118)이 노출될 때까지 평탄화시키어 상기 제1 콘택홀들(120)을 각각 채우는 제1 콘택플러그들(122)를 형성한다.

[0058] 도 8a, 도 8b 및 도 8c를 참조하면, 상기 제1 충간 절연막(118) 상에 제3 도전막을 형성하고, 상기 제3 도전막을 패터닝하여 상기 제1 방향으로 나란히 배열된 제1 비트라인들(124)을 형성한다. 상기 제1 비트라인들(124)은 상기 제1 콘택홀들(122)과 각각 접속한다. 상기 제1 비트라인들(124)은 상기 제1 활성부들(104a) 상부에 각각 배치된다. 상기 제2 활성부들(104b) 상부의 상기 제1 충간 절연막(118)가 노출된다. 즉, 상기 제2 활성부들(104b) 상의 상기 제1 충간 절연막(118) 상에 패턴이 형성되지 않는다.

[0059] 상기 제1 비트라인들(124)을 갖는 상기 기판(100) 전면을 덮는 제2 충간 절연막(126)을 형성한다. 상기 제1 비트라인들(124) 사이에 위치한 상기 제2 충간 절연막(126) 및 제1 충간 절연막(118)을 연속적으로 패터닝하여 상기 제2 랜딩 플러그들(116a)을 각각 노출시키는 제2 콘택홀들(128)을 형성한다. 상기 각 콘택홀(128)의 상기 제1 방향의 하부폭은 상기 제2 랜딩 플러그(116b)의 상기 상부폭에 비하여 크게 형성될 수 있다. 이와는 다르게, 상기 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 패터닝하여 도 3의 제2 콘택홀(128a) 또는 도 4의 제2 콘택홀(128b)을 형성할 수 있다. 상기 제1 랜딩홀들(114a) 및 제2 랜딩홀들(114b)이 2개의 열로 배열되는 경우에, 상기 제2 및 제1 충간 절연막들(126, 118)을 연속적으로 패터닝하여 도 5의 제2 콘택홀들(130)가 위치한 곳에 제2 콘택홀이 형성될 수 있다.

[0060] 상기 제2 콘택홀들(128) 사이에는 상기 제1 비트라인(124)이 배치된다. 이에 따라, 상기 제2 콘택홀들(128)은 상기 제2 방향으로 충분한 간격으로 이격될 수 있다. 그 결과, 상기 제2 콘택홀들(128)의 패터닝 공정에 포함된 노광 공정 및/또는 식각 공정의 마진을 충분히 확보할 수 있다.

[0061] 상기 기판(100) 전면 상에 상기 제2 콘택홀들(128)을 채우는 제4 도전막을 형성하고, 상기 제4 도전막을 상기 제2 충간 절연막들(126)이 노출될 때까지 평탄화시키어 상기 제2 콘택홀들(128)을 각각 채우는 제2 콘택플러그

들(130)을 형성한다.

[0062] 상기 제2 층간 절연막(126) 상에 제5 도전막을 형성하고, 상기 제5 도전막을 패터닝하여 도 1에 개시된 제2 비트라인들(132)을 형성한다. 상기 제2 비트라인들(132)은 상기 제2 콘택 플러그들(130)과 각각 접속한다. 이로써, 도 1 내지 도 5에 도시된 비휘발성 기억 소자들을 구현할 수 있다.

[0063] 상술한 비휘발성 기억 소자의 형성 방법에 따르면, 상기 소스 그루브(114s)와 상기 제1 및 제2 랜딩홀들(114a, 114b)은 동시에 형성된다. 이에 따라, 추가적인 노광 공정 없이, 상기 제1 및 제2 랜딩 플러그들(116a, 116b)을 형성할 수 있다. 그 결과, 생산성의 저하 없이 상기 제1 및 제2 콘택 플러그들(122, 128)의 종횡비를 감소시켜 우수한 특성의 비휘발성 기억 소자를 구현할 수 있다.

[0064] (제2 실시예)

[0065] 도 9는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도이고, 도 10a는 도 9의 IV-IV'따라 취해진 단면도이고, 도 10b는 도 9의 V-V'을 따라 취해진 단면도이며, 도 10c는 도 9의 VI-VI' 및 VII-VII'을 따라 취해진 단면도이다. 도 10c에서 참조부호 "a" 및 "b"는 도 9의 VI-VI' 및 VII-VII'을 따라 취해진 단면도들을 각각 나타낸다.

[0066] 도 9, 도 10a, 도 10b 및 도 10c를 참조하면, 기판(200)에 제1 활성부들(204a) 및 제2 활성부들(204b)을 정의하는 소자분리 패턴(202)이 배치된다. 상기 제1 활성부들(204a) 및 제2 활성부들(204b)은 제1 방향(x축 방향)으로 나란히 연장되고, 상기 제1 방향에 수직한(perpendicular) 제2 방향(y축 방향)을 따라 교대로 배열된다.

[0067] 제1 공통 소스(208a) 및 제1 공통 드레인(210a)이 상기 각 제1 활성부(204a) 내에 서로 이격되어 배치되고, 제2 공통 소스(208b) 및 제2 공통 드레인(210b)이 상기 각 제2 활성부(204b) 내에 서로 이격되어 배치된다. 접지 선택 라인(GSL), 복수의 워드라인(WL) 및 스트링 선택 라인(SSL)이 상기 제1 및 제2 활성부들(204a, 204b)을 나란히 가로지른다. 상기 라인들(GSL, WL, SSL)은 상기 제1 공통 소스(208a) 및 제1 공통 드레인(210a) 사이 및 제2 공통 소스(208b) 및 제2 공통 드레인(210b) 사이에 배치된다. 상기 접지 선택 라인(GSL)은 상기 제1 및 제2 공통 소스들(208a, 208b)에 인접하고, 상기 스트링 선택 라인(SSL)은 상기 제1 및 제2 공통 드레인들(210a, 210b)에 인접하다. 상기 각 워드라인(WL) 양측의 상기 각 제1 활성부(204a) 내에 제1 셀 소스/드레인(206a)이 배치되고, 상기 각 워드라인(WL) 양측의 상기 제2 활성부(204b) 내에 제2 셀 소스/드레인(206b)이 배치된다. 상기 제1 공통 소스들(208a) 및 제2 공통 소스들(208b)은 상기 제2 방향을 따라 교대로 배열되고, 상기 제1 공통 드레인들(210a) 및 제2 공통 드레인들(210b)도 상기 제2 방향을 따라 교대로 배열된다. 상기 공통 소스들(208a, 208b), 셀 소스/드레인들(206a, 206b) 및 공통 드레인들(210a, 210b)은 도편트에 의해 도핑된 영역이다. 상기 라인들(GSL, WL, SSL)의 구조는 상술한 제1 실시예에서 설명하였음으로 생략한다.

[0068] 제1 절연층(212)이 상기 기판(200) 전면을 덮는다. 상기 제1 절연층(212)은 산화막, 질화막, 산화질화막, 탄화막 및 탄화산화막 중에서 선택된 적어도 하나의 단일층 또는 다층으로 형성될 수 있다. 소스 도전 라인(216)이 상기 제1 절연층(212) 내에 배치되어 상기 제1 및 제2 공통 소스들(208a, 208b)과 접속한다. 상기 소스 도전 라인(216)은 상기 제2 방향으로 연장되며, 상기 제1 및 제2 활성부들(204a, 204b)을 가로지른다. 상기 소스 도전 라인(216)은 상술한 제1 실시예의 소스 도전 라인(116s)과 동일한 물질로 형성될 수 있다.

[0069] 제2 절연층(218)이 상기 소스 도전 라인(216) 및 제1 절연층(212) 상에 배치된다. 상기 제2 절연층(218)은 산화막, 질화막, 산화질화막, 탄화막 및 탄화산화막 중에서 선택된 적어도 하나의 단일층 또는 다층으로 형성될 수 있다. 제1 랜딩 플러그들(222a)이 상기 제2 및 제1 절연층들(218, 212)을 연속적으로 관통하여 상기 제1 공통 드레인들(210a)과 각각 접속하고, 제2 랜딩 플러그들(222b)이 상기 제2 및 제1 절연층들(218, 212)을 연속적으로 관통하여 상기 제2 공통 드레인들(210b)과 각각 접속한다. 상기 각 제1 랜딩 플러그(222a)는 상기 제2 및 제1 절연층들(218, 212)을 연속적으로 관통하는 제1 랜딩홀(220a)을 채우고, 상기 각 제2 랜딩 플러그(222b)는 상기 제2 및 제1 절연층들(218, 212)을 연속적으로 관통하는 제2 랜딩홀(220b)을 채운다. 상기 제1 랜딩 플러그들(222a) 및 제2 랜딩 플러그들(222b)은 상기 제2 방향으로 복수의 열로 배열된다. 상기 제1 랜딩 플러그들(222a)은 제1 열로 배열되고, 상기 제2 랜딩 플러그들(222b)은 상기 제1 열 옆의 제2 열로 배열된다. 다시 말해서, 제1 가상선(250)이 상기 제1 랜딩 플러그들(222a)의 중심들을 지나 상기 제2 방향으로 연장되고, 제2 가상선(255)이 상기 제2 랜딩 플러그들(222b)의 중심들을 지나 상기 제2 방향으로 연장된다. 이때, 상기 제1 가상선(250) 및 제2 가상선(255)은 상기 제1 방향으로 서로 이격된다. 상기 제1 랜딩 플러그들(222a) 및 제2 랜딩 플러그들(222b)은 상기 제2 방향으로 지그재그 형태로 배열된다. 상기 제2 방향으로 상기 제1 랜딩

플러그들(222a) 사이에는 제1 활성부(204a)가 배치되고, 상기 제2 랜딩 플러그들(222b) 사이에는 상기 제2 활성부(204b)가 배치된다. 이로써, 상기 제1 랜딩홀들(220a)은 상기 제2 방향으로 충분한 거리로 이격되고, 상기 제2 랜딩홀들(220b)도 상기 제2 방향으로 충분한 거리로 이격된다. 또한, 인접한 상기 제1 랜딩홀(220a) 및 제2 랜딩홀(220b)간의 간격도 충분히 확보할 수 있다. 그 결과, 상기 제1 및 제2 랜딩홀들(220a, 220b)을 정의하는 노광공정의 마진을 충분히 확보하여 우수한 특성의 비휘발성 기억 소자를 구현할 수 있다.

[0070] 상기 제1 랜딩 플러그(222a)의 상부면은 장축이 상기 제1 방향과 평행한 장방형 또는 타원형태일 수 있다. 이와 마찬가지로, 상기 제2 랜딩 플러그(222b)의 상부면도 장축이 상기 제1 방향과 평행한 장방형 또는 타원 형태일 수 있다. 상기 제1 랜딩 플러그(222a)는 도핑된 반도체(ex, 도핑된 실리콘, 도핑된 실리콘-게리마늄등), 금속(ex, 티타늄, 탄탈늄, 텅스텐, 구리 또는 알루미늄등), 도전성 금속질화물(ex, 질화티타늄 또는 질화탄탈늄등) 및 금속실리사이드(ex, 코발트실리사이드 또는 티타늄실리사이드등) 중에서 선택된 적어도 하나를 포함할 수 있다.

[0071] 상기 제2 절연층(218) 상에 제1 비트라인들(224)이 상기 제1 방향을 따라 나란히 배열된다. 상기 제1 비트라인들(224)은 상기 제1 랜딩 플러그들(222a)과 각각 직접 접촉한다. 상기 제1 비트라인들(224)은 상기 제1 활성부들(204a) 상에 각각 배치된다. 따라서, 상기 제1 비트라인들(224)도 상기 제2 방향으로 충분한 거리로 이격된다. 상기 제1 비트라인들(224)은 상술한 제1 실시예의 비트라인들(124)과 동일한 물질로 형성된다. 상기 각 제1 비트라인(224)의 양측벽에 비트라인 절연 스페이서(미도시함)가 배치될 수 있다.

[0072] 층간 절연막(226)이 상기 제1 비트라인들(224) 및 제2 절연층(218) 상에 배치된다. 상기 층간 절연막(226)의 상부면은 평탄화된 상태인 것이 바람직하다. 상기 층간 절연막(226)은 산화막, 질화막, 산화질화막, 탄화막 및 탄화산화막 중에서 선택된 적어도 하나의 단일층 또는 다층으로 형성될 수 있다.

[0073] 콘택 플러그들(230)이 상기 층간 절연막(226)을 관통하여 상기 제2 랜딩 플러그들(222b)과 각각 접속된다. 상기 각 콘택 플러그(230)는 상기 각 제2 랜딩 플러그(222b) 상에 적층된다. 상기 각 콘택 플러그(230)는 상기 층간 절연막(226)을 관통하는 콘택홀(228)을 채운다. 상기 각 콘택 플러그(230)와 상기 콘택홀(228)의 측벽 사이에 홀 절연 스페이서(미도시함)가 개재될 수도 있다. 상기 콘택 플러그(230)의 상기 제1 방향의 하부폭은 상기 제2 랜딩 플러그(222b)의 상기 제1 방향의 상부폭 보다 클 수 있다.

[0074] 이와는 달리, 상술한 제1 실시예의 도 3을 참조하여 설명한 것과 같이, 상기 콘택 플러그(230)의 상기 제1 방향의 하부폭은 상기 제2 랜딩 플러그(222b)의 상기 제1 방향의 상부폭 보다 작을 수 있다. 이 경우에, 상기 콘택 플러그(230)의 상기 제1 방향의 상부폭은 실질적으로 상기 콘택 플러그(230)의 상기 하부폭과 동일할 수 있다.

[0075] 이와는 또 다르게, 상술한 제1 실시예의 도 4를 참조하여 설명한 것과 같이, 상기 콘택 플러그(230)의 측벽이 경사질 수 있다. 이 경우에, 상기 제1 방향으로, 상기 콘택 플러그(230)의 상부폭이 하부폭에 비하여 크고, 상기 콘택 플러그(230)의 하부폭은 상기 제2 랜딩 플러그(222b)의 상기 상부폭에 비하여 작을 수 있다.

[0076] 상기 제1 비트라인(224) 양측벽에 상기 비트라인 절연 스페이서가 배치되는 경우에, 상기 각 콘택 플러그(230)는 상기 비트라인 절연 스페이서에 자기정렬될 수 있다. 상기 콘택 플러그들(230)은 상술한 제1 실시예의 제2 콘택 플러그(130)와 동일한 물질로 형성될 수 있다.

[0077] 상기 층간 절연막(226) 상에 제2 비트라인들(232)이 나란히 배열된다. 상기 제2 비트라인들(232)은 상기 제1 방향을 따라 연장되며, 상기 콘택 플러그들(230)과 각각 접속된다. 상기 제2 비트라인들(232)은 상기 제2 활성부들(204b) 상부에 각각 배치된다. 이로써, 상기 제2 비트라인들(232)은 상기 제2 방향으로 충분한 거리로 이격될 수 있다.

[0078] 상술한 비휘발성 기억 소자에 따르면, 상기 제1 비트라인들(224)은 제2 절연층(218) 상에 배치되고, 상기 제2 비트라인들(232)은 상기 제1 비트라인들(224)을 덮는 층간 절연막(226) 상에 배치된다. 즉, 상기 제1 비트라인들(224)과 상기 제2 비트라인들(232)은 상기 기판(200)의 상부면으로부터 서로 다른 높이에 배치된다. 이로써, 제한된 면적내에서, 인접한 제1 비트라인(224) 및 제2 비트라인(232)간 거리를 충분히 이격시킬 수 있다. 또한, 상기 제1 비트라인들(224)간의 간격 및 제2 비트라인들(232)간의 간격도 충분히 확보할 수 있다. 그 결과, 종래의 기생 정전용량을 최소화하여 우수한 특성의 비휘발성 기억 소자를 구현할 수 있다. 또한, 상기 제1 랜딩 플러그들(222a) 및 제2 랜딩 플러그들(222b)은 상기 제2 방향으로 2개의 열로 배열된다. 이로써, 상기 제1 랜딩 플러그들(222a)간의 간격, 제2 랜딩 플러그들(222b)간의 간격을 충분히 확보할 수 있다. 그 결과, 상기 제1 및 제2 랜딩 플러그들(222a, 222b)의 패터닝이 매우 용이해진다.

- [0079] 이에 더하여, 상기 제2 랜딩 플러그(222b)로 인하여, 상기 제2 비트라인(232)과 접속된 콘택 플러그(230)의 높이도 감소된다. 그 결과, 종래의 콘택홀의 높은 종횡비로 야기되는 문제점을 최소화할 수 있다.
- [0080] 도 11a 및 도 12a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 9의 IV-IV'을 따라 취해진 단면도들이고, 도 11b 및 도 12b는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 9의 V-V'을 따라 취해진 단면도들이며, 도 11a 및 도 12a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 9의 VI-VI' 및 VII-VII'을 따라 취해진 단면도들이다.
- [0081] 도 11a, 도 11b 및 도 11c를 참조하면, 기판(200)에 소자분리 패턴(202)을 형성하여 제1 활성부들(204a) 및 제2 활성부들(204b)을 정의한다. 상술한 바와 같이, 상기 제1 활성부들(204a) 및 제2 활성부들(204b)은 제1 방향으로 나란히 연장되고, 상기 제1 방향에 수직한 제2 방향으로 교대로 배열된다. 제1 및 제2 활성부들(204a, 204b)을 나란히 가로지르는 접지 선택 라인(GSL), 복수의 워드라인(WL) 및 스트링 선택 라인(SSL)을 형성한다.
- [0082] 상기 라인들(GSL, WL, SSL)을 마스크로 사용하여 상기 제1 및 제2 활성부들(204a, 204b)에 도편트 이온들을 주입하여, 제1 및 제2 공통 소스들(208a, 208b), 제1 및 제2 셀 소스/드레인들(206a, 206b) 및 제1 및 제2 공통 드레인들(210a, 210b)을 형성한다.
- [0083] 이어서, 상기 기판(200) 전면 상에 제1 절연층(212)을 형성한다. 상기 제1 절연층(212)을 패터닝하여 상기 제1 및 제2 공통 소스들(208a, 208b)을 노출시키는 소스 그루브(214)를 형성한다. 상기 소스 그루브(214)를 채우는 제1 도전막을 기판(200) 전면 상에 형성하고, 상기 제1 도전막을 상기 제1 절연층(212)이 노출될 때까지 평탄화시키어 소스 도전 라인(216)을 형성한다.
- [0084] 상기 소스 도전 라인(216)을 갖는 기판(200) 전면 상에 제2 절연층(218)을 형성한다. 상기 제2 절연층(218) 및 제1 절연층(212)을 연속적으로 패터닝하여 상기 제1 공통 드레인들(210a)을 각각 노출시키는 제1 랜딩홀들(220a), 및 상기 제2 공통 드레인들(210b)을 각각 노출시키는 제2 랜딩홀들(220b)을 형성한다. 상기 제1 랜딩홀들(220a)은 상기 제2 방향을 따라 제1 열로 배열되고, 상기 제2 랜딩홀들(220b)은 상기 제2 방향을 따라 상기 제1 열 옆의 제2 열로 배열된다. 상기 제1 랜딩홀들(220a) 및 제2 랜딩홀들(220b)은 동시에 형성된다.
- [0085] 도 12a, 도 12b 및 도 12c를 참조하면, 상기 제1 랜딩홀들(220a) 및 제2 랜딩홀들(220b)을 채우는 제2 도전막을 기판(200) 전면 상에 형성한다. 상기 제2 도전막을 상기 제2 절연층(218)이 노출될 때까지 평탄화시키어 상기 제1 랜딩홀들(220a)을 각각 채우는 제1 랜딩 플러그들(222a), 및 상기 제2 랜딩홀들(220b)을 각각 채우는 제2 랜딩 플러그들(222b)을 형성한다.
- [0086] 상기 제2 절연층(218) 상에 제3 도전막을 형성하고, 상기 제3 도전막을 패터닝하여 상기 제1 랜딩 플러그들(222a)에 각각 접속되는 제1 비트라인들(224)을 형성한다. 상기 각 제1 비트라인(224)은 상기 각 랜딩 플러그(222a)와 직접 접촉한다.
- [0087] 상기 제1 비트라인들(224)을 갖는 기판(200) 전면 상에 층간 절연막(226)을 형성한다. 상기 층간 절연막(226)을 패터닝하여 상기 제2 랜딩 플러그들(222b)을 각각 노출시키는 콘택홀들(228)을 형성한다. 이어서, 상기 콘택홀들(228)을 채우는 제4 도전막을 기판(200) 전면 상에 형성하고, 상기 제4 도전막을 상기 층간 절연막(226)이 노출될 때까지 평탄화시키어 상기 콘택홀들(228)을 각각 채우는 콘택 플러그들(230)을 형성한다.
- [0088] 상기 층간 절연막(226) 상에 도 9, 도 10a, 도 10b 및 도 10c에 도시된 제2 비트라인들(232)을 형성한다. 상기 제2 비트라인들(232)은 상기 콘택 플러그들(230)에 각각 접속된다. 이로써, 도 9, 도 10a, 도 10b 및 도 10c에 도시된 비휘발성 기억 소자를 구현할 수 있다.
- [0089] (제3 실시예)
- [0090] 도 13a는 본 발명의 또 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도이고, 도 13b는 도 13a의 VIII-VIII'을 따라 취해진 단면도이며, 도 13c는 도 13a의 IX-IX'을 따라 취해진 단면도이다.
- [0091] 도 13a, 도 13b 및 도 13c를 참조하면, 비휘발성 기억 소자는 셀 어레이 영역(50) 및 주변 영역(55)을 포함한다. 상기 셀 어레이 영역(50)에는 상술한 제1 실시예에서 개시된 셀 스트링들(cell strings)이 배치될 수 있다. 도 13a, 도 13b 및 도 13c에 도시된 셀 어레이 영역(50)에는 도 1, 도 2a 및 도 2c에 개시된 셀 스트링

들을 도시하였다. 이와는 다르게, 상기 셀 어레이 영역(50)에는 도 3, 도 4 및 도 5에 개시된 제1 실시예의 변형예들이 배치될 수도 있다. 상기 셀 어레이 영역(50)내에 배치된 셀 스트링들은 제1 실시예에서 설명한 것들과 동일할 수 있다. 따라서, 후술에서, 상술한 제1 실시예에서 개시된 내용들에 대해서는 설명의 편의를 위하여 생략한다.

[0092]

소자분리막(102)이 상기 셀 어레이 영역(50)의 기판(100) 및 상기 주변 영역(55)의 기판(100)에 배치된다. 상기 소자분리막(102)은 상기 셀 어레이 영역(50)내에 제1 활성부들(104a) 및 제2 활성부들(104b)을 정의한다. 또한, 상기 소자분리막(102)은 상기 주변 영역(55)내에 서로 이격된 제1 주변 활성부(104P1) 및 제2 주변 활성부(104P2)를 정의한다. 도 13a에서 상기 제1 및 제2 주변 활성부들(104P1, 104P2)은 제1 방향(x축 방향)을 따라 나란히 연장되도록 도시되어 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 예컨대, 상기 제1 및 제2 주변 활성부들(104P1, 104P2)은 평행하지 않을 수 있다. 또한, 상기 제1 및 제2 주변 활성부들(104P1, 104P2)은 상기 제1 방향과 다른 방향을 따라 연장될 수 있다. 도 13a에서, 상기 제1 및 제2 주변 활성부들(104P1, 104P2)은 상기 제1 방향에 수직한 제2 방향(y축 방향)을 따라 열을 이루도록 도시되어 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 즉, 상기 제1 주변 활성부(104P1) 및 상기 제2 주변 활성부(104P2)은 서로 이격되어 상기 주변 영역(55)의 어느 위치에도 배치될 수 있다. 예컨대, 상기 제1 및 제2 주변 활성부들(104P1, 104P2)은 상기 제2 방향으로 열을 이루지 않을 수 있다. 또한, 상기 제1 및 제2 주변 활성부들(104P1, 104P2)은 상기 셀 어레이 영역(50)의 양측에 각각 배치될 수도 있다.

[0093]

제1 주변 게이트 패턴(G1)이 상기 제1 주변 활성부(104P1)를 가로지른다. 상기 제1 주변 게이트 패턴(G1)은 차례로 적층된 제1 주변 게이트 절연막 및 제1 주변 게이트 전극을 포함할 수 있다. 상기 제1 주변 게이트 패턴(G1) 양측의 상기 제1 주변 활성부(104P1) 내에 각각 제1 주변 소스/드레인(107a)이 배치된다. 상기 제1 주변 소스/드레인(107a)은 도편트들에 의하여 도핑된 영역일 수 있다. 상기 제1 주변 소스/드레인(107a)은 상기 셀 어레이 영역(50)의 제1 및 제2 공통 소스들(108a, 108b) 및 제1 및 제2 공통 드레인들(110a, 110b)내의 도편트와 동일한 타입의 도편트로 도핑될 수 있다. 이와는 달리, 상기 제1 주변 소스/드레인(107a)은 상기 공통 소스들(108a, 108b) 및 공통 드레인들(110a, 110b)내 도편트와 다른 타입의 도편트들로 도핑될 수도 있다.

[0094]

제2 주변 게이트 패턴(G2)이 상기 제2 주변 활성부(104P2)를 가로지른다. 상기 제2 주변 게이트 패턴(G2)은 차례로 적층된 제2 주변 게이트 절연막 및 제2 주변 게이트 전극을 포함할 수 있다. 상기 제1 및 제2 주변 게이트 절연막들은 서로 동일한 두께를 가질 수 있다. 이와는 달리, 상기 제1 및 제2 주변 게이트 절연막들은 서로 다른 두께를 가질 수 있다. 상기 제1 및 제2 주변 게이트 절연막들은 상기 셀 어레이 영역(50)의 스트링 및 접지 선택 게이트 절연막들과 동일한 두께를 가질 수 있다. 이와는 달리, 상기 제1 및 제2 주변 게이트 절연막들은 상기 스트링 및 접지 선택 게이트 절연막들과 서로 다른 두께를 가질 수도 있다. 상기 제2 주변 게이트 패턴(G2) 양측의 상기 제2 주변 활성부(104P2) 내에 각각 제2 주변 소스/드레인(107b)이 배치된다. 상기 제2 주변 소스/드레인(107b)은 상기 도편트로 도핑된 영역일 수 있다. 상기 제2 주변 소스/드레인(107b)은 상기 제1 주변 소스/드레인(107a)과 동일한 타입의 도편트로 도핑될 수 있다. 이와는 달리, 상기 제2 주변 소스/드레인(107b)은 상기 제1 주변 소스/드레인(107a)과 서로 다른 도편트로 도핑될 수 있다.

[0095]

몰드 절연층(112)이 상기 기판(100) 전면을 덮는다. 상술한 제1 실시예와 같이 제1 랜딩 플러그(116a) 및 제2 랜딩 플러그(116b)가 상기 셀 어레이 영역(50)내 몰드 절연층(112)을 관통하여 상기 제1 공통 드레인(110a) 및 제2 공통 드레인(110b)과 각각 접속한다. 소스 도전 라인(116s)이 상기 셀 어레이 영역(50)의 몰드 절연층(112) 내에 배치된다. 상기 소스 도전 라인(116s)은 상기 제2 방향을 따라 연장되어 상기 제1 및 제2 공통 소스들(108a, 108b)과 접속된다.

[0096]

제1 주변 랜딩 플러그(117a)가 상기 주변 영역(55)의 몰드 절연층(112)을 관통하여 상기 제1 주변 소스/드레인(107a)에 접속되고, 제2 주변 랜딩 플러그(117b)가 상기 주변 영역(55)의 몰드 절연층(112)을 관통하여 상기 제2 주변 소스/드레인(107b)에 접속된다. 상기 제1 주변 랜딩 플러그(117a)는 상기 몰드 절연층(112)을 관통하여 상기 제1 주변 소스/드레인(107a)을 노출시키는 제1 주변 랜딩 콘택홀(115a)을 채우고, 상기 제2 주변 랜딩 플러그(117b)는 상기 몰드 절연층(112)을 관통하여 상기 제2 주변 소스/드레인(107b)을 노출시키는 제2 주변 랜딩 콘택홀(115b)을 채운다. 한쌍의 상기 제1 주변 랜딩 플러그(117a)가 상기 몰드 절연층(112)을 관통하여 상기 제1 주변 소스/드레인(107a)에 각각 접속될 수 있다. 한쌍의 상기 제2 주변 랜딩 플러그(117b)가 상기 몰드 절연층(112)을 관통하여 상기 제2 주변 소스/드레인(107b)에 각각 접속될 수 있다.

[0097]

상기 소스 도전 라인(116s), 상기 제1 및 제2 랜딩 플러그들(116a, 116b), 상기 제1 및 제2 주변 랜딩 플러그

들(117a, 117b) 및 상기 몰드 절연층(112)의 상부면들은 공면(coplanar)을 이루는 것이 바람직하다. 상기 소스 도전 라인(116s) 및 상기 랜딩 플러그들(116a, 116b, 117a, 117b)은 서로 동일한 도전물질을 포함하는 것이 바람직하다.

[0098] 제1 층간 절연막(118)이 상기 기판(100) 전면을 덮는다. 즉, 상기 제1 층간 절연막(118)이 상기 몰드 절연층(112), 소스 도전 라인(116s) 및 랜딩 플러그들(116a, 116b, 117a, 117b)을 덮는다. 제1 주변 콘택 플러그(123)가 상기 주변 영역(55)의 제1 층간 절연막(118)을 관통하여 상기 제1 주변 랜딩 플러그(117a)에 접속된다. 상기 제1 주변 콘택 플러그(123)는 상기 주변 영역(55)의 제1 층간 절연막(118)을 관통하여 상기 제1 주변 랜딩 플러그(117a)을 노출시키는 제1 주변 콘택홀(121)을 채운다. 한쌍의 상기 제1 주변 랜딩 플러그(117a)가 상기 제1 주변 게이트 패턴(G1) 양측에 각각 배치되는 경우에, 한쌍의 상기 제1 주변 콘택 플러그(123)가 상기 한쌍의 제1 주변 랜딩 플러그(117a) 상에 각각 접속된다. 상술한 제1 실시예에서 개시한 바와 같이, 제1 콘택 플러그(122)가 상기 셀 어레이 영역(50)의 제1 층간 절연막(118)을 관통하여 상기 제1 랜딩 플러그(116a)와 접속된다. 이때, 상기 제1 주변 콘택 플러그(123), 상기 제1 콘택 플러그(122) 및 상기 제1 층간 절연막(118)의 상부면들은 공면을 이룬다. 제1 주변 콘택 플러그(123) 및 제1 콘택 플러그(122)는 서로 동일한 도전 물질을 포함할 수 있다.

[0099] 도시된 바와 같이, 상기 제1 주변 콘택 플러그(123)의 상기 제1 방향의 하부폭은 상기 제1 주변 랜딩 플러그(117a)의 상기 제1 방향의 상부폭에 비하여 클 수 있다. 이와는 다르게, 상기 제1 주변 콘택 플러그(123)의 상기 제1 방향의 하부폭 및 상부폭이 모두 상기 제1 주변 랜딩 플러그(117a)의 상기 제1 방향의 상부폭에 비하여 작을 수 있다. 이와는 또 다르게, 상기 제1 주변 콘택 플러그(123)의 상기 제1 방향의 상부폭이 상기 제1 주변 콘택 플러그(123)의 상기 제1 방향의 하부폭에 비하여 크고, 상기 제1 주변 콘택 플러그(123)의 상기 제1 방향의 하부폭이 상기 제1 주변 랜딩 플러그(117a)의 상기 제1 방향의 상부폭에 작을 수 있다. 이 경우에, 상기 제1 주변 콘택 플러그(123)의 측벽은 경사진 형태일 수 있다.

[0100] 제1 주변 배선(125)이 상기 주변 영역(55)의 제1 층간 절연막(118) 상에 배치되어 상기 제1 주변 콘택 플러그(123)에 접속된다. 한쌍의 상기 제1 주변 배선(125)이 상기 제1 층간 절연막(118) 상에 배치되어 상기 한쌍의 제1 주변 콘택 플러그(123)에 각각 접속될 수 있다. 상기 제1 주변 배선(125) 및 상기 셀 어레이 영역(50)의 제1 비트라인(124)은 서로 동일한 도전 물질을 포함할 수 있다. 상기 제1 주변 배선(125) 및 상기 제1 비트라인(124)은 서로 이격될 수 있다. 이와는 달리, 상기 제1 주변 배선(125)은 옆으로 연장되어 상기 제1 비트라인들(124) 중에서 어느 하나와 직접 접속할 수도 있다.

[0101] 제2 층간 절연막(126)이 상기 기판(100) 전면을 덮는다. 즉, 상기 제2 층간 절연막(126)은 상기 제1 층간 절연막(118), 제1 비트라인들(124), 제2 랜딩 플러그들(116b) 및 제2 주변 랜딩 플러그(117b)을 덮는다. 상기 제2 층간 절연막(126)의 상부면은 평탄화된 상태일 수 있다.

[0102] 제2 주변 콘택 플러그(131)가 상기 주변 영역(50)내의 상기 제2 및 제1 층간 절연막들(126, 118)을 연속적으로 관통하여 상기 제2 주변 랜딩 플러그(117b)에 접속된다. 상기 제2 주변 콘택 플러그(131)는 상기 제2 및 제1 층간 절연막들(126, 118)을 연속적으로 관통하여 상기 제2 주변 랜딩 플러그(117b)를 노출시키는 제2 주변 콘택홀(129)을 채운다. 도시된 바와 같이, 한쌍의 제2 주변 랜딩 플러그(117b)가 상기 제2 주변 게이트 패턴(G2) 양측의 제2 소스/드레인들(107a)에 각각 접속되는 경우에, 서로 이격된 한쌍의 상기 제2 주변 콘택 플러그(131)가 상기 제2 및 제1 층간 절연막들(131)을 연속적으로 관통하여 상기 한쌍의 제2 주변 랜딩 플러그들(117b)에 각각 접속될 수 있다.

[0103] 도시된 바와 같이, 상기 제2 주변 콘택 플러그(131)의 상기 제1 방향의 하부폭은 상기 제2 주변 랜딩 플러그(117b)의 상기 제1 방향의 상부폭에 비하여 클 수 있다. 이와는 달리, 상기 제2 주변 콘택 플러그(131)의 상기 제1 방향의 하부폭 및 상부폭이 모두 상기 제2 주변 랜딩 플러그(117b)의 상기 제1 방향의 상부폭에 비하여 작을 수 있다. 이와는 또 다르게, 상기 제2 주변 콘택 플러그(131)의 상기 제1 방향의 상부폭이 상기 제2 주변 콘택 플러그(131)의 상기 제1 방향의 하부폭에 비하여 크고, 상기 제2 주변 콘택 플러그(131)의 상기 제1 방향의 하부폭이 상기 제2 주변 랜딩 플러그(117b)의 상기 제1 방향의 상부폭에 비하여 작을 수 있다. 이 경우에, 상기 제2 주변 콘택 플러그(131)의 측벽은 경사진 형태일 수 있다.

[0104] 상기 제2 주변 콘택 플러그(131) 및 상기 셀 어레이 영역(50)내의 제2 콘택 플러그(130)는 서로 동일한 도전 물질을 포함할 수 있다. 상기 제2 주변 콘택 플러그(131) 및 제2 콘택 플러그(130) 및 제2 층간 절연막(126)의 상부면들은 공면을 이룰 수 있다.

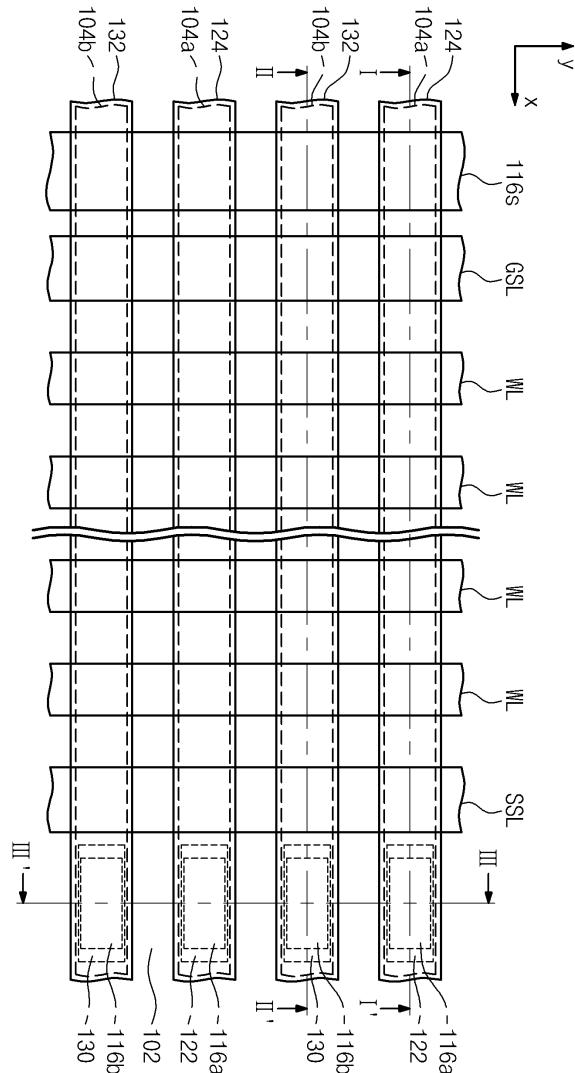
- [0105] 제2 주변 배선(133)이 상기 주변 영역(55)내 상기 제2 충간 절연막(126) 상에 배치되어 상기 제2 주변 콘택 플러그(131)에 접속된다. 상술한 바와 같이, 한쌍의 상기 제2 주변 콘택 플러그(131)가 상기 제2 주변 게이트 패턴(G2) 양측의 제2 소스/드레인들(107b)에 각각 전기적으로 접속되는 경우에, 한쌍의 상기 제2 주변 배선(133)이 상기 제2 충간 절연막(126)에 배치되어 상기 한쌍의 제2 주변 콘택 플러그(131)에 각각 접속될 수 있다. 상기 제2 주변 배선(133) 및 상기 셀 어레이 영역(50)의 제2 비트라인(132)은 서로 동일한 도전몰질을 포함할 수 있다. 상기 제2 주변 배선(133)과 상기 제2 비트라인(132)은 서로 이격될 수 있다. 이와는 달리, 상기 제2 주변 배선(133)이 옆으로 연장되어 상기 제2 비트라인(132)과 직접 접촉할 수도 있다.
- [0106] 상술한 비휘발성 기억 소자에 따르면, 상기 셀 어레이 영역(50)의 소스 도전 라인(116s) 및 랜딩 플러그들(116a, 116b)과 상기 주변 영역(55)의 주변 랜딩 플러그들(117a, 117b)이 공면을 이룬다. 이에 따라, 상기 셀 어레이 영역(50) 및 주변 영역(55)간 단차를 최소화할 수 있다. 또한, 상기 주변 랜딩 플러그들(117a, 117b)로 인하여, 상기 제1 및 제2 주변 콘택 플러그들(123, 131)의 높이를 감소시킬 수 있다. 즉, 상기 제1 및 제2 주변 콘택홀들(121, 129)의 종횡비를 감소시켜 고도로 집적화된 비휘발성 기억 소자를 구현할 수 있다.
- [0107] 다음으로, 본 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명한다. 이 방법은 상술한 제1 실시예에서 개시한 비휘발성 기억 소자의 형성 방법과 유사하다. 따라서, 본 실시예에서 특징적인 부분을 중심으로 설명한다.
- [0108] 계속해서, 도 13a, 도 13b 및 도 13c를 참조하면, 제1 및 제2 주변 활성부들(104P1, 104P2)은 셀 어레이 영역(50)의 제1 및 제2 활성부들(104a, 104b)과 동시에 정의된다. 상기 제1 및 제2 게이트 패턴들(G1, G2)은 상기 셀 어레이 영역(50)의 워드 라인(WL) 및 선택 라인들(GSL, SSL)과 동시에 형성될 수 있다.
- [0109] 제1 및 제2 주변 랜딩 콘택홀들(115a, 115b)은 셀 어레이 영역(50)의 랜딩 콘택홀들(114a, 114b) 및 소스 그루브(114s)과 동시에 형성되는 것이 바람직하다. 즉, 한번의 노광 공정에 의하여 상기 랜딩 콘택홀들(114a, 114b), 소스 그루브(114s) 및 주변 랜딩 콘택홀들(115a, 115b)이 정의되는 것이 바람직하다.
- [0110] 상기 소스 그루브(114s), 랜딩 콘택홀들(114a, 114b) 및 주변 랜딩 콘택홀들(115a, 115b)을 채우는 제1 도전막을 기판(100) 전면 상에 형성하고, 상기 제1 도전막을 상기 몰드 절연층(112)이 노출될 때 까지 평탄화시키어, 상기 소스 도전 라인(116s), 랜딩 플러그들(116a, 116b) 및 주변 랜딩 플러그들(117a, 117b)을 형성한다. 즉, 상기 주변 랜딩 플러그들(117a, 117b)은 상기 소스 도전 라인(116s) 및 랜딩 플러그들(116a, 116b)과 동시에 형성된다.
- [0111] 상기 제1 주변 콘택홀(121)은 상기 셀 어레이 영역(50)의 제1 콘택홀(120)과 동시에 형성되는 것이 바람직하다. 상기 제1 콘택홀(120) 및 제1 주변 콘택홀(121)을 채우는 제2 도전막을 기판(100) 전면 상에 형성하고, 상기 제2 도전막을 상기 제1 충간 절연막(118)이 노출될 때 까지 평탄화시키어 상기 제1 콘택 플러그(122) 및 제1 주변 콘택 플러그(123)를 형성한다. 즉, 상기 제1 콘택 플러그(122) 및 제1 주변 콘택 플러그(123)는 동시에 형성된다.
- [0112] 제3 도전막을 상기 제1 충간 절연막(118) 전면 상에 형성하고, 상기 제3 도전막을 패터닝하여 상기 셀 어레이 영역(50)의 제1 비트라인(124) 및 주변 영역(55)의 제1 주변 배선(125)을 형성한다.
- [0113] 상기 제2 주변 콘택홀(129)은 상기 셀 어레이 영역(50)의 제2 콘택홀(128)과 동시에 형성되는 것이 바람직하다. 상기 제2 콘택홀(128) 및 제2 주변 콘택홀(129)을 채우는 제4 도전막을 기판(100) 전면 상에 형성하고, 상기 제4 도전막을 상기 제2 충간 절연막(126)이 노출될 때 까지 평탄화시키어 상기 제2 콘택 플러그(130) 및 상기 제2 주변 콘택 플러그(131)를 형성한다. 즉, 상기 제2 콘택 플러그(130) 및 제2 주변 콘택 플러그(131)는 동시에 형성된다.
- [0114] 제5 도전막을 상기 제2 충간 절연막(126) 전면 상에 형성하고, 상기 제5 도전막을 패터닝하여 상기 셀 어레이 영역(50)의 제2 비트라인(132) 및 주변 영역(55)의 제2 주변 배선(133)을 형성한다. 상기 제2 비트라인(132) 및 제2 주변 배선(133)은 동시에 형성된다.
- [0115] 상술한 비휘발성 기억 소자의 형성 방법에 따르면, 상기 주변 영역(55)에 형성되는 콘택홀들(115a, 115b, 121, 129)은 그것에 각각 대응되는 셀 어레이 영역(50)의 콘택홀들(114a, 114b, 120, 128)과 동시에 형성된다. 이에 따라, 노광 공정을 추가하지 않은 채로, 상기 주변 영역(55)내의 콘택 구조체들을 형성할 수 있다. 이로써, 비휘발성 기억 소자의 생산성을 향상시킬 수 있다.
- [0116] 한편, 본 발명의 일 실시예들에 따르면, 상술한 제1 및 제2 실시예들에 개시된 비휘발성 기억 소자는 전자 시스템에 포함될 수 있다. 상기 전자 시스템을 도면을 참조하여 구체적으로 설명한다.

- [0117] 도 14는 본 발명의 실시예들에 따른 전자 시스템을 나타내는 블럭도이다.
- [0118] 도 14를 참조하면, 전자 시스템(300)은 제어기(310), 입출력 장치(320) 및 기억 장치(330)를 포함할 수 있다. 상기 제어기(310), 입출력 장치(320) 및 기억 장치(330)는 버스(350, bus)를 통하여 서로 결합되어 있다. 상기 버스(350)는 데이터들이 이동하는 통로에 해당한다. 상기 제어기(310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(320)는 키패드, 키보드 및 표시 장치(display device)등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(330)는 데이터를 저장하는 장치이다. 상기 기억 장치(330)는 데이터 및/또는 상기 제어기(310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(330)는 상기 기억 장치(330)는 상술한 제1 및 제2 실시예들에 개시된 비휘발성 기억 소자들 중에서 선택된 적어도 하나를 포함할 수 있다. 상기 전자 시스템(300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(340)를 더 포함할 수 있다. 상기 인터페이스(340)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(340)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다.
- [0119] 상기 전자 시스템(300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 시스템 등으로 구현될 수 있다. 예컨대, 상기 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 태블릿(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 또는 정보 전송/수신 시스템 등일 수 있다. 상기 전자 시스템(300)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(300)은 CDMA, GSM, NADC, E-TDMA, WCDAM, CDMA2000 같은 3세대 통신 시스템 같은 통신 인터페이스 프로토콜에서 사용될 수 있다.
- [0120] 다음으로, 본 발명의 실시예에 다른 메모리 카드를 도면을 참조하여 구체적으로 설명한다.
- [0121] 도 15는 본 발명의 실시예에 메모리 카드를 나타내는 블럭도이다.
- [0122] 도 15를 참조하면, 메모리 카드(400)는 비휘발성 기억 장치(410) 및 메모리 제어기(420)를 포함한다. 상기 비휘발성 기억 장치(410)는 데이터를 저장하거나 저장된 데이터를 관독할 수 있다. 상기 비휘발성 기억 장치(410)는 상술한 제1 및 제2 실시예들에 개시된 비휘발성 기억 소자들 중에서 적어도 하나를 포함한다. 상기 메모리 제어기(420)는 호스트(host)의 관독/쓰기 요청에 응답하여 저장된 데이터를 독출하거나, 데이터를 저장하도록 상기 플래쉬 기억 장치(410)를 제어한다.
- ### 도면의 간단한 설명
- [0123] 도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도.
- [0124] 도 2a는 도 1의 I-I'을 따라 취해진 단면도.
- [0125] 도 2b는 도 1의 II-II'을 따라 취해진 단면도.
- [0126] 도 2c는 도 1의 III-III'을 따라 취해진 단면도.
- [0127] 도 3은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 일 변형예를 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도.
- [0128] 도 4는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 다른 변형예를 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도.
- [0129] 도 5는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 보여주는 평면도.
- [0130] 도 6a 내지 도 8a는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 1의 I-I'을 따라 취해진 단면도들.
- [0131] 도 6b 내지 도 8b는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 1의 II-II'을 따라 취해진 단면도들.
- [0132] 도 6c 내지 도 8c는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 1의 III-III'을 따라 취해진 단면도들.
- [0133] 도 9는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도.

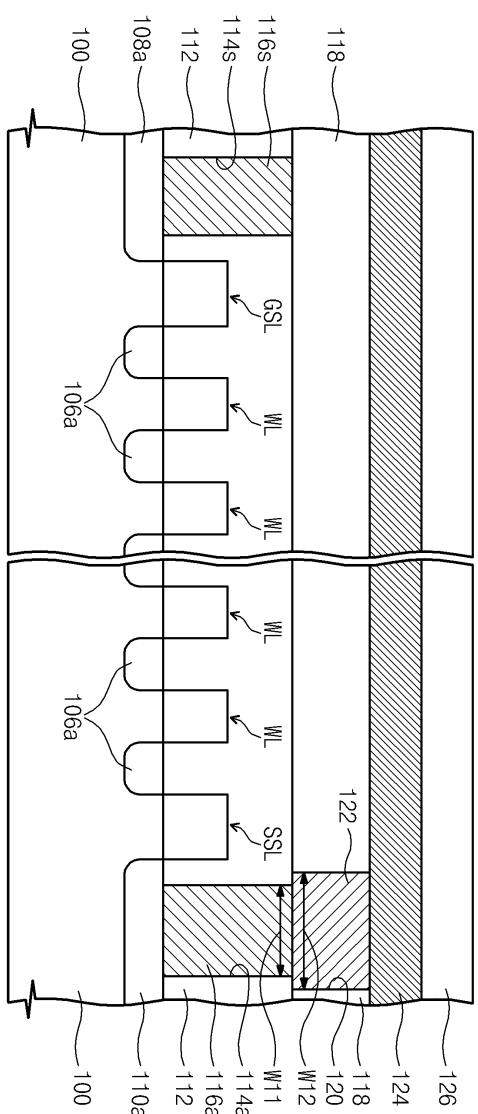
- [0134] 도 10a는 도 9의 IV-IV'을 따라 취해진 단면도.
- [0135] 도 10b는 도 9의 V-V'을 따라 취해진 단면도.
- [0136] 도 10c는 도 9의 VI-VI' 및 VII-VII'을 따라 취해진 단면도.
- [0137] 도 11a 및 도 12a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 9의 IV-IV'을 따라 취해진 단면도들.
- [0138] 도 11b 및 도 12b는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 9의 V-V'을 따라 취해진 단면도들.
- [0139] 도 11a 및 도 12a는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 형성 방법을 설명하기 위하여 도 9의 VI-VI' 및 VII-VII'을 따라 취해진 단면도들.
- [0140] 도 13a는 본 발명의 또 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 평면도.
- [0141] 도 13b는 도 13a의 VIII-VIII'을 따라 취해진 단면도.
- [0142] 도 13c는 도 13a의 IX-IX'을 따라 취해진 단면도.
- [0143] 도 14는 본 발명의 실시예에 따른 전자 시스템을 나타내는 블럭도.
- [0144] 도 15는 본 발명의 실시예에 메모리 카드를 나타내는 블럭도.

도면

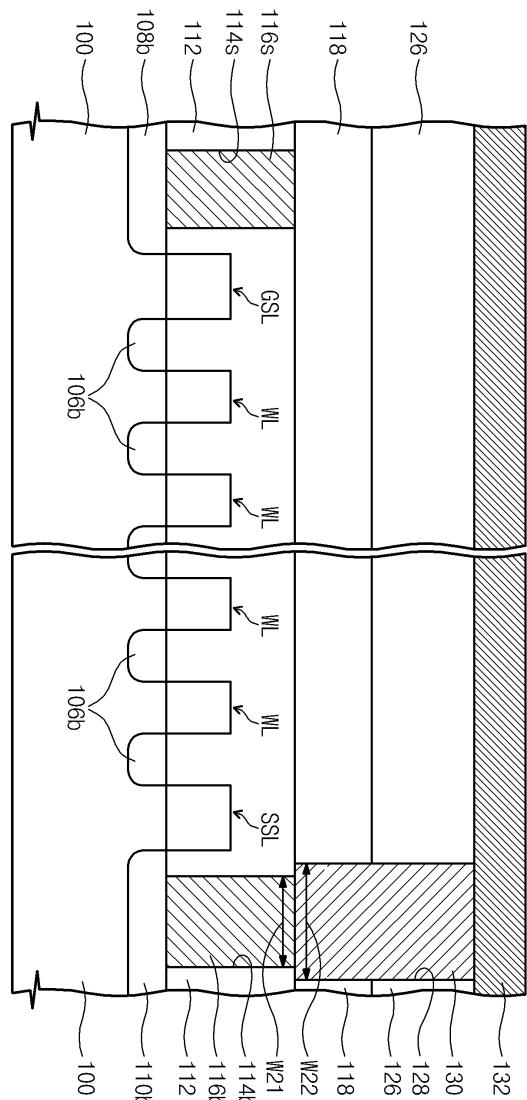
도면1



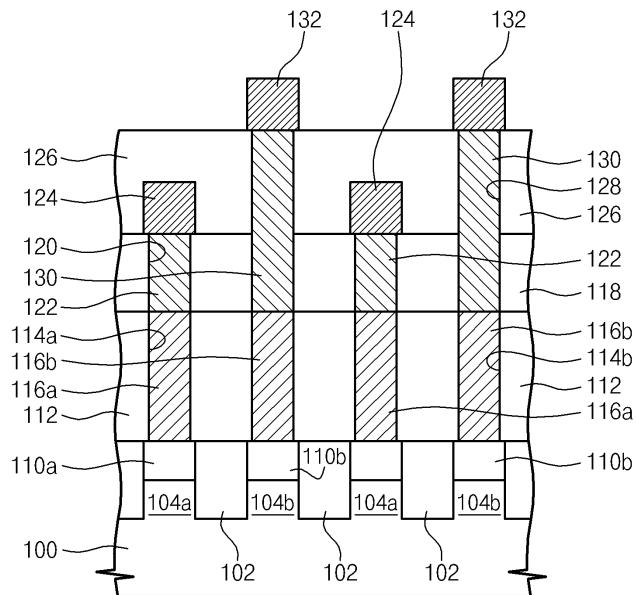
도면2a



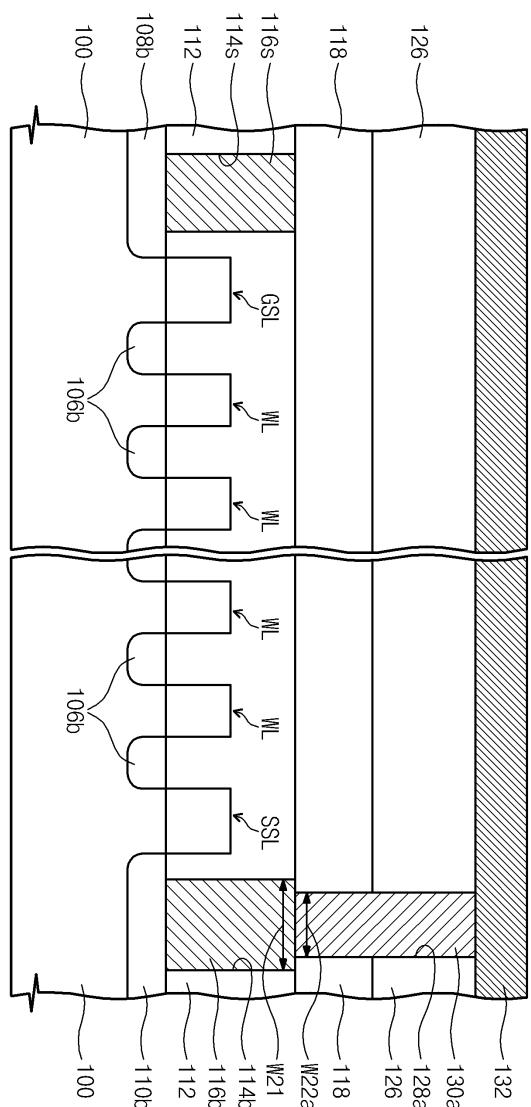
도면2b



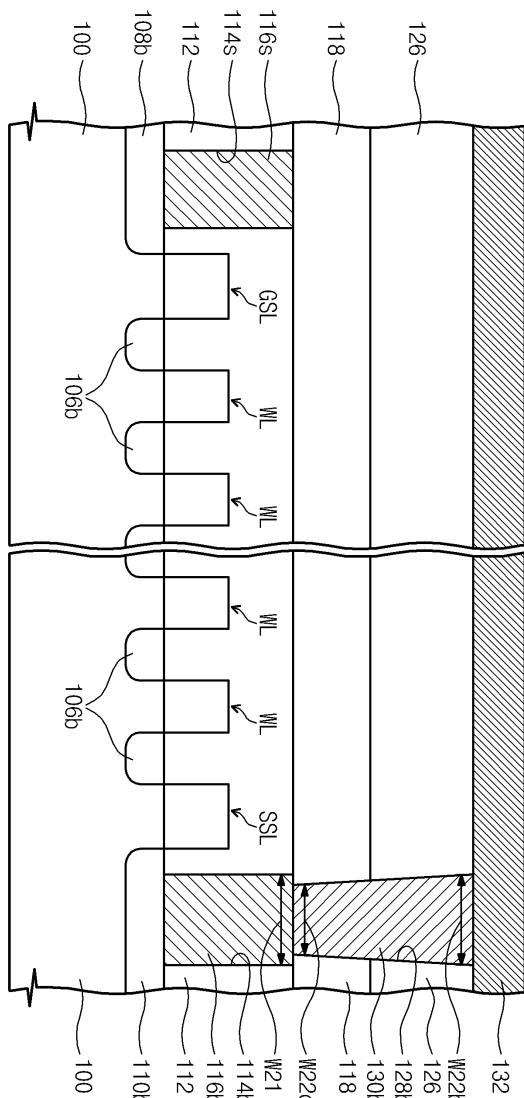
## 도면2c



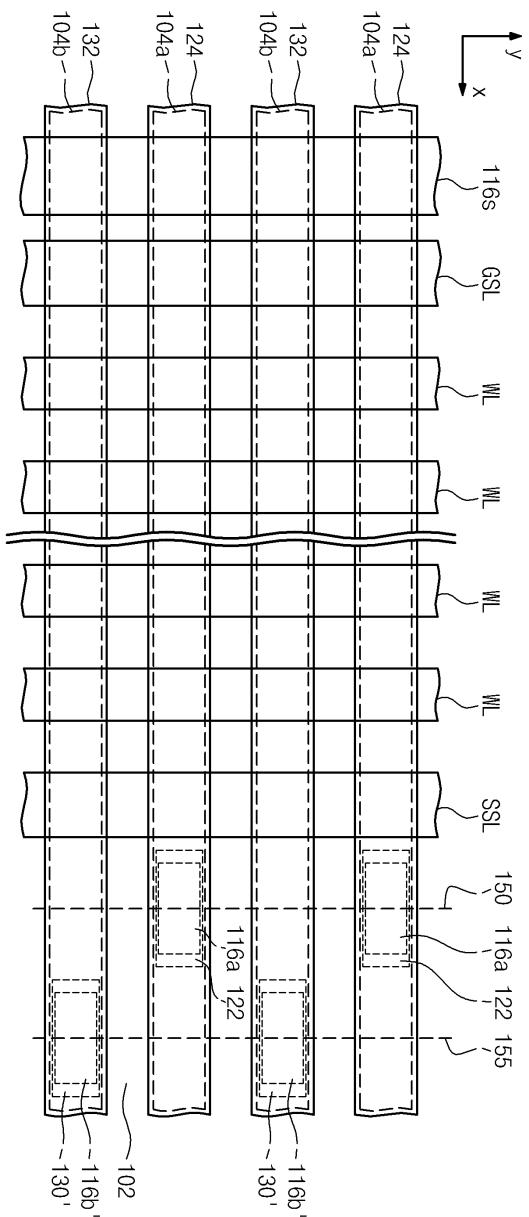
도면3



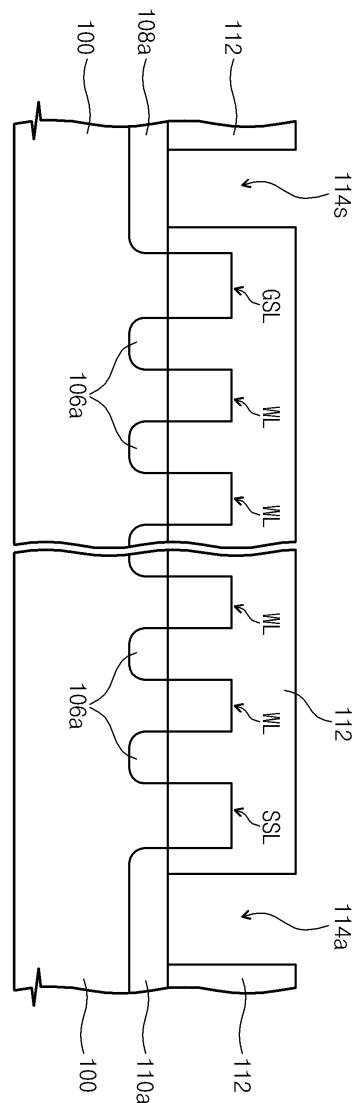
도면4



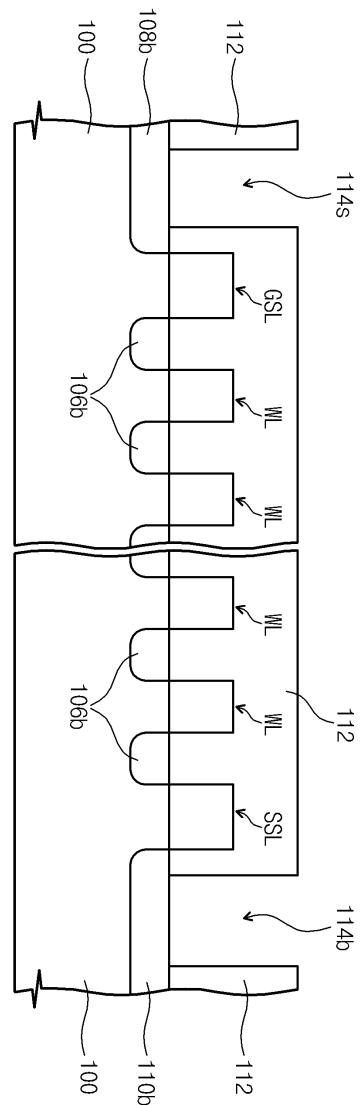
도면5



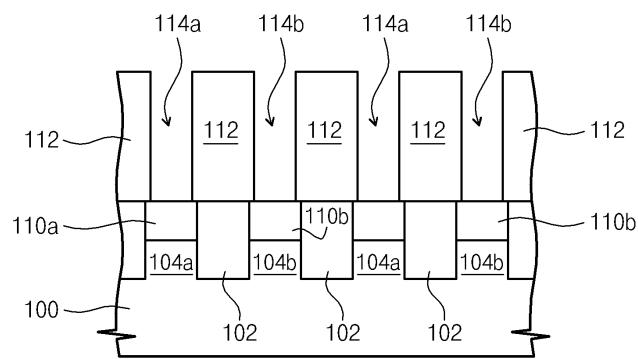
도면6a



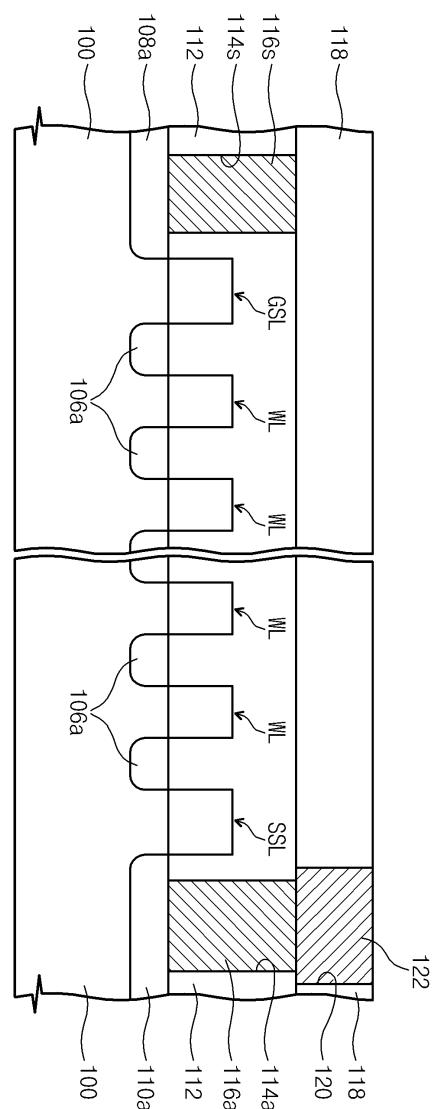
도면6b



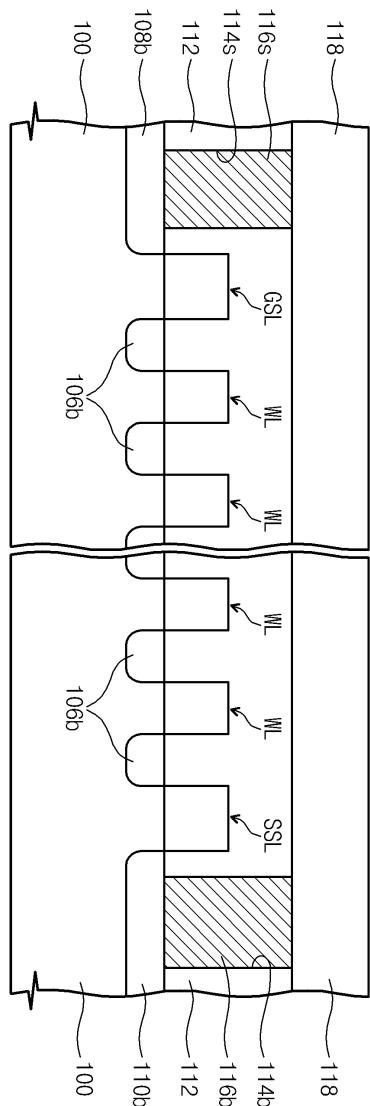
도면6c



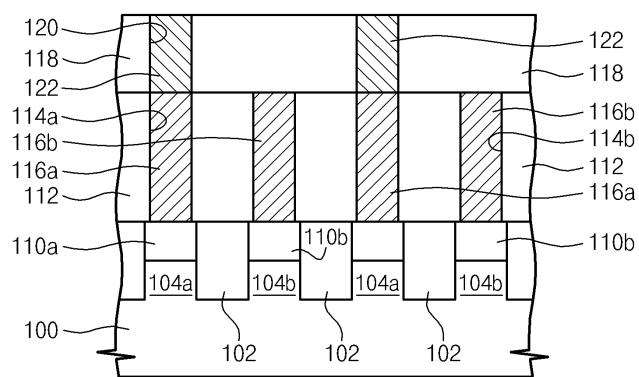
도면7a



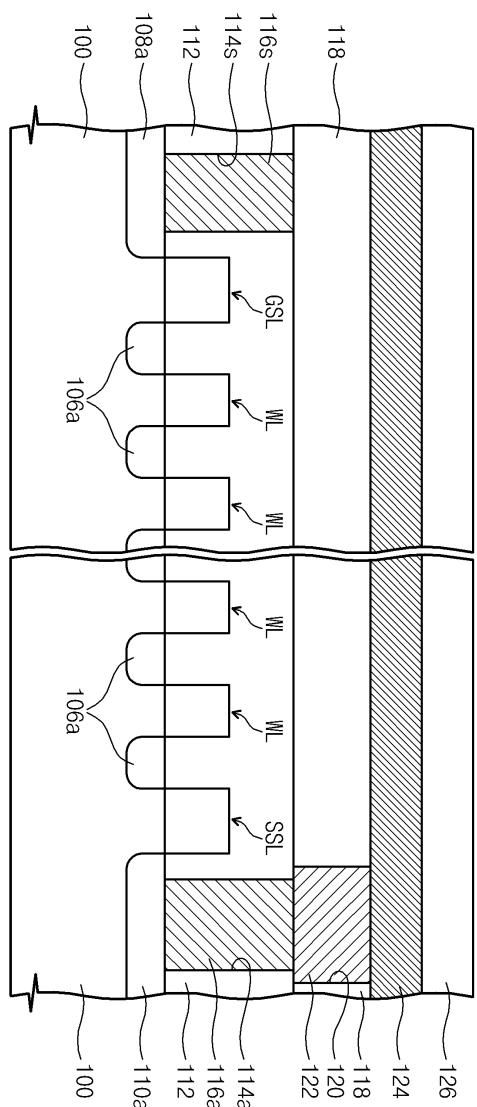
도면7b



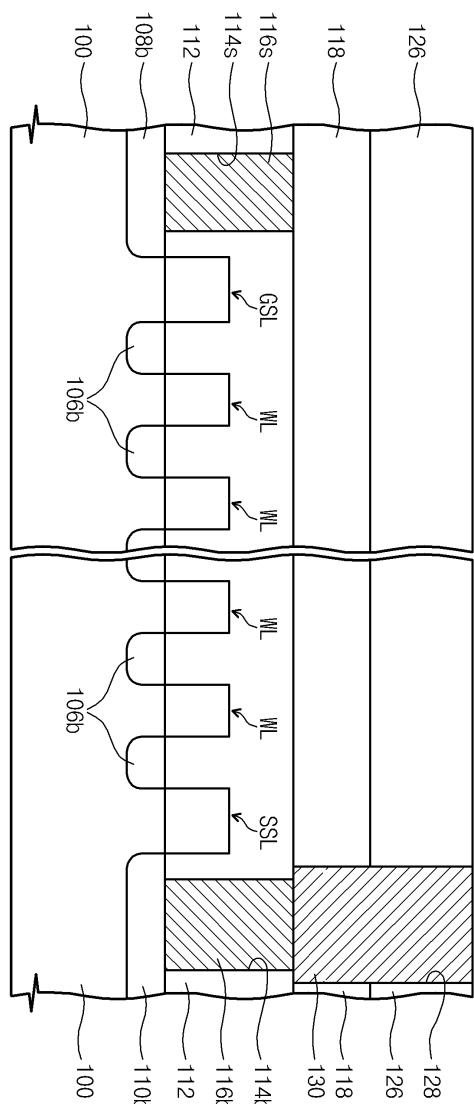
도면7c



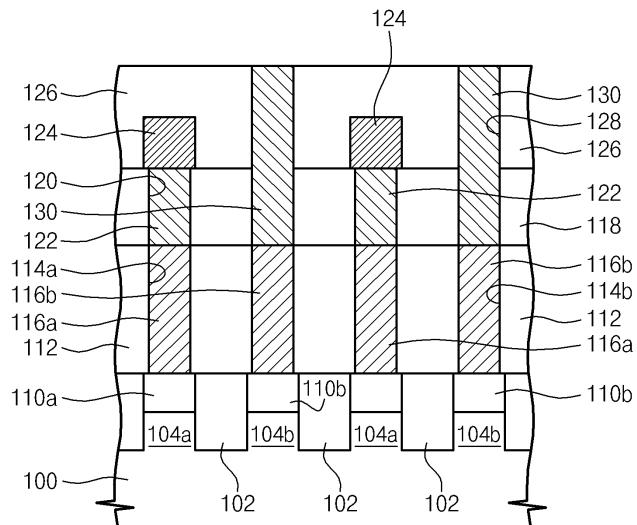
도면8a



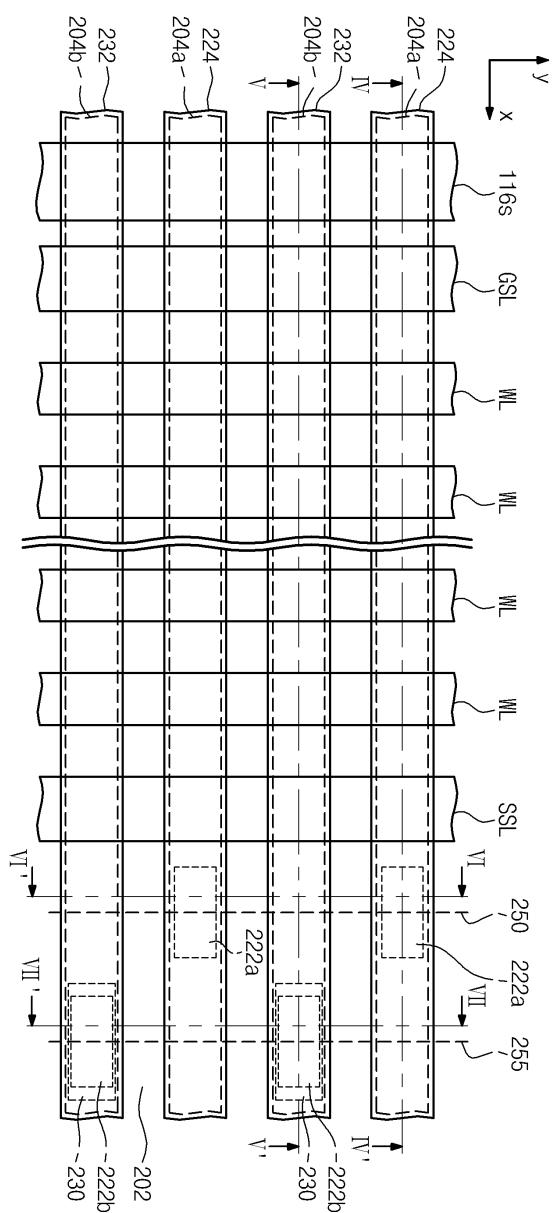
### 도면8b



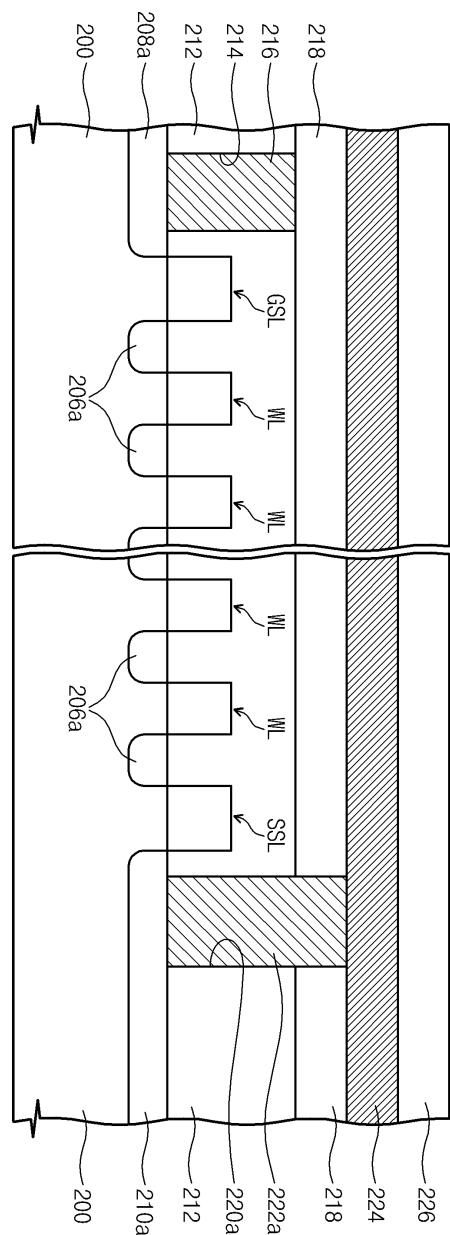
도면8c



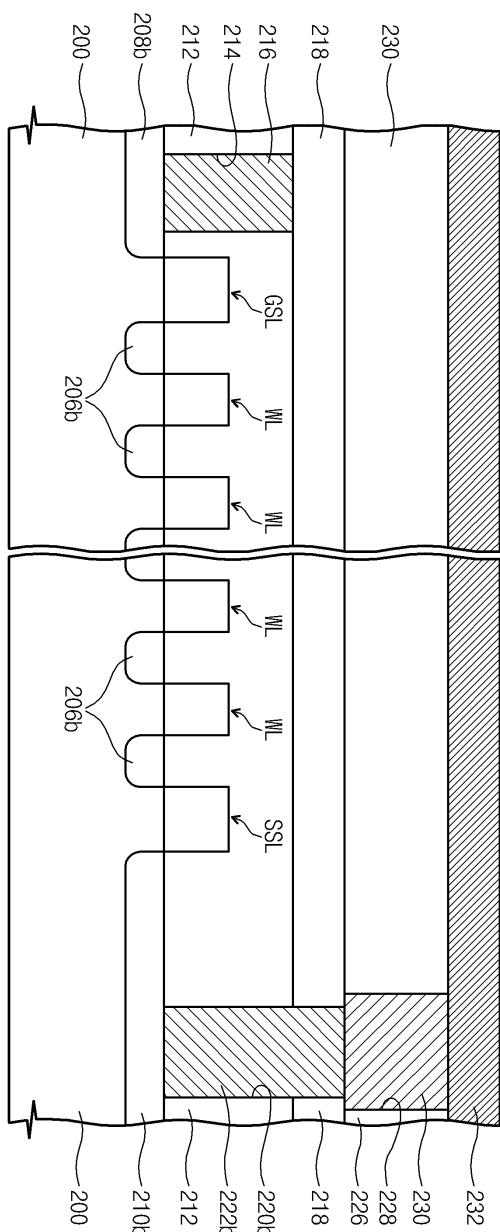
도면9



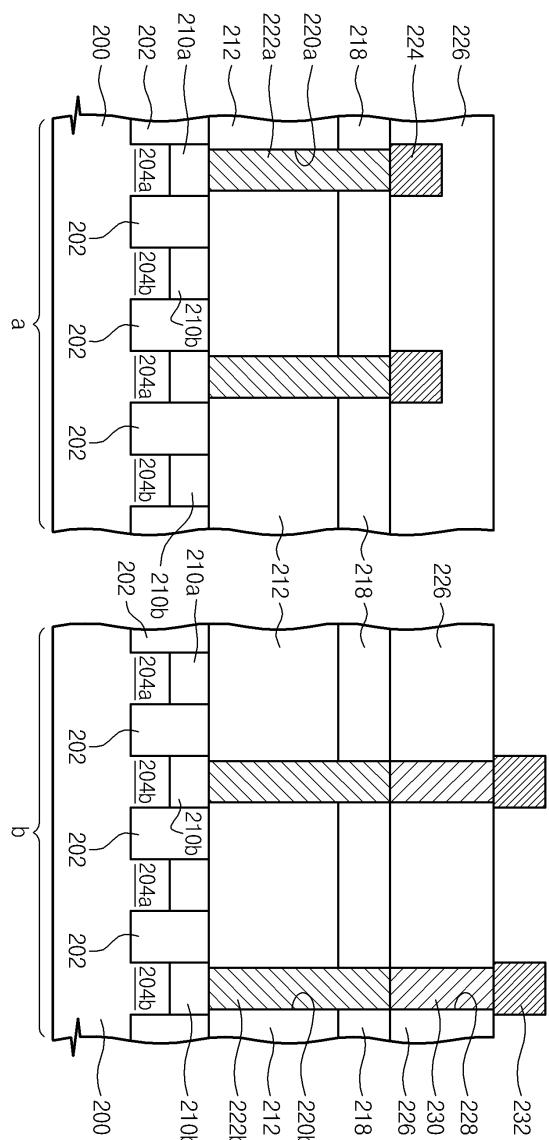
도면10a



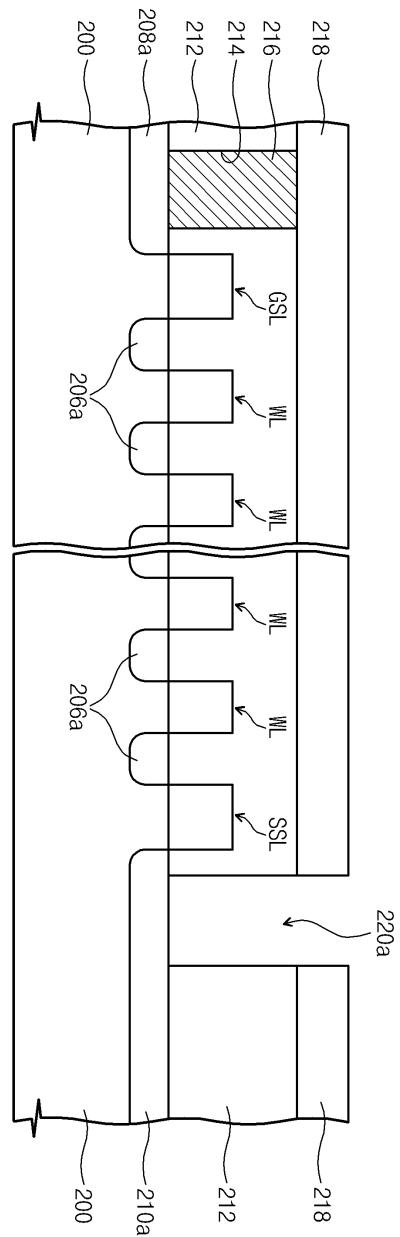
도면10b



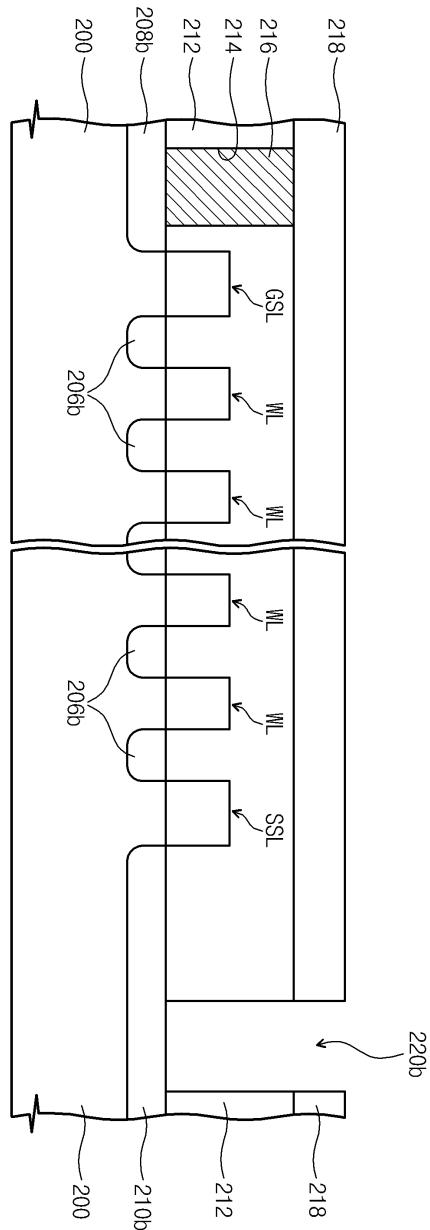
도면10c



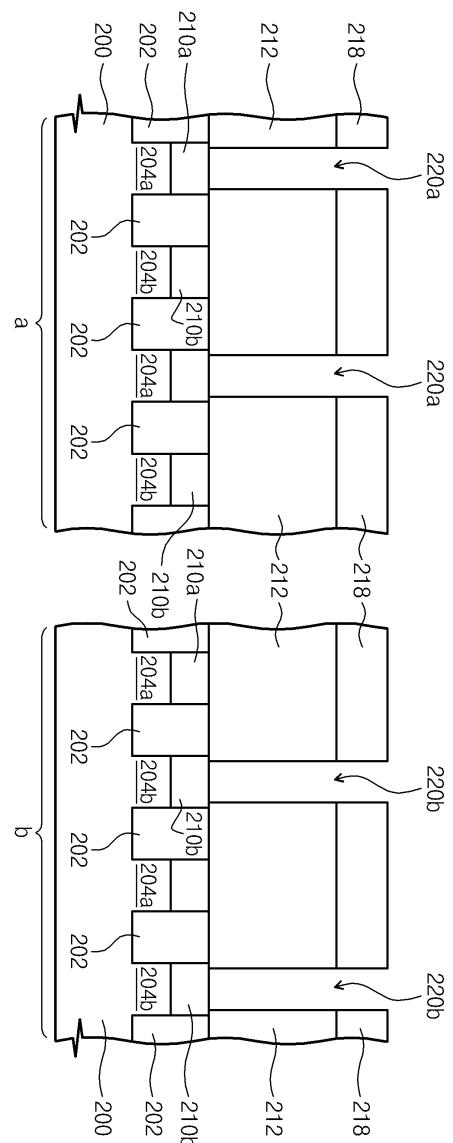
도면11a



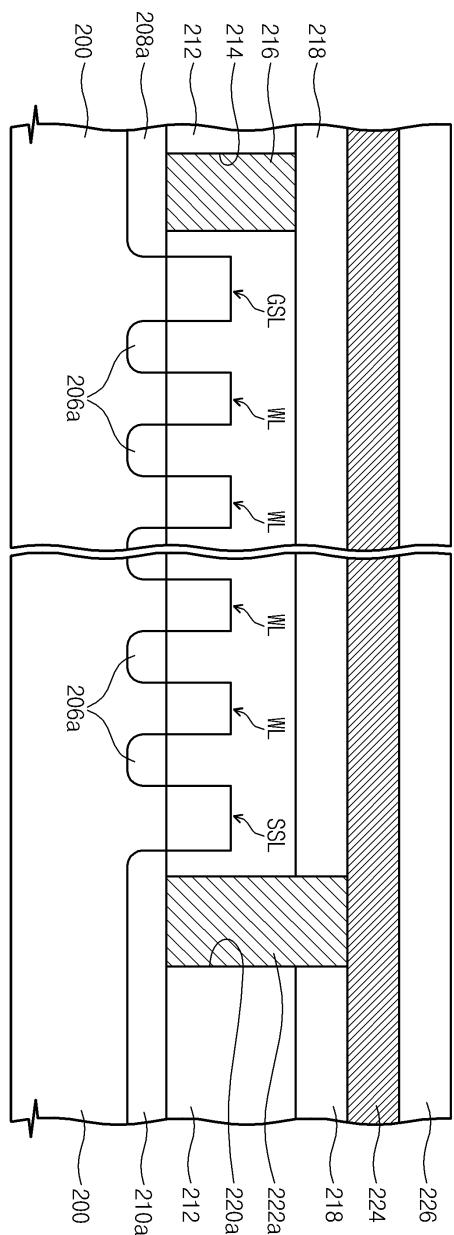
도면11b



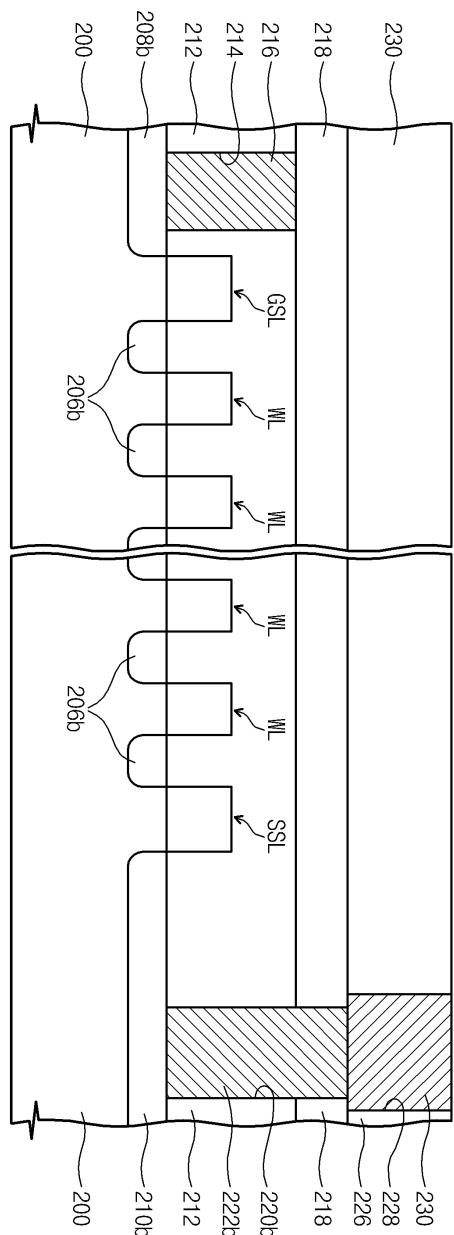
도면11c



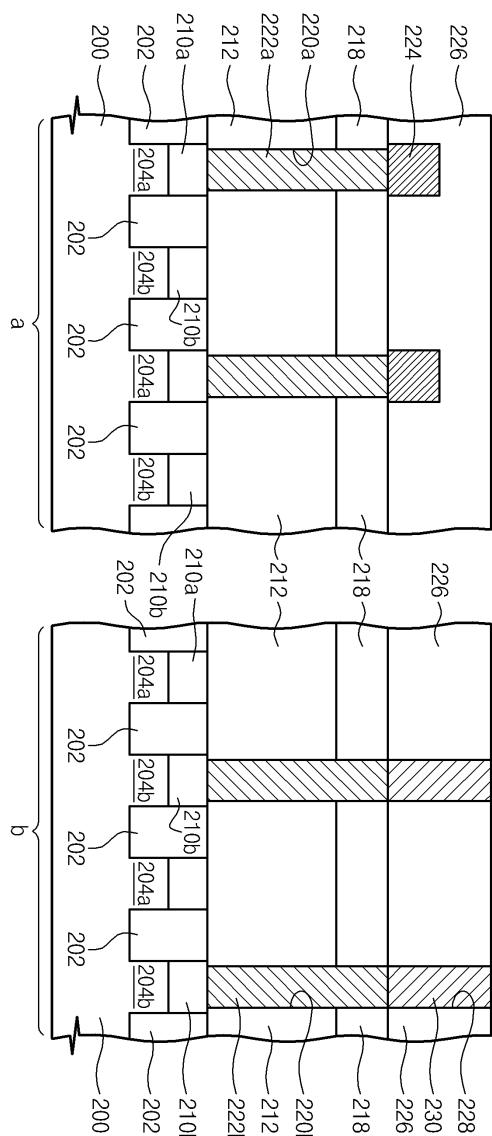
도면12a



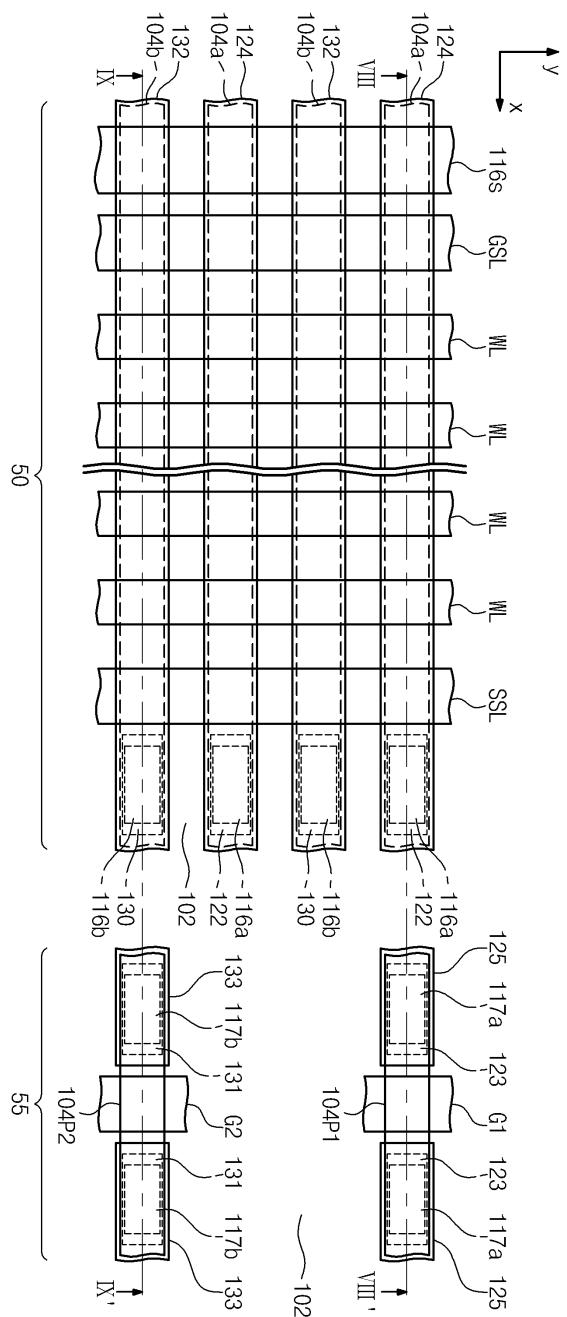
도면12b



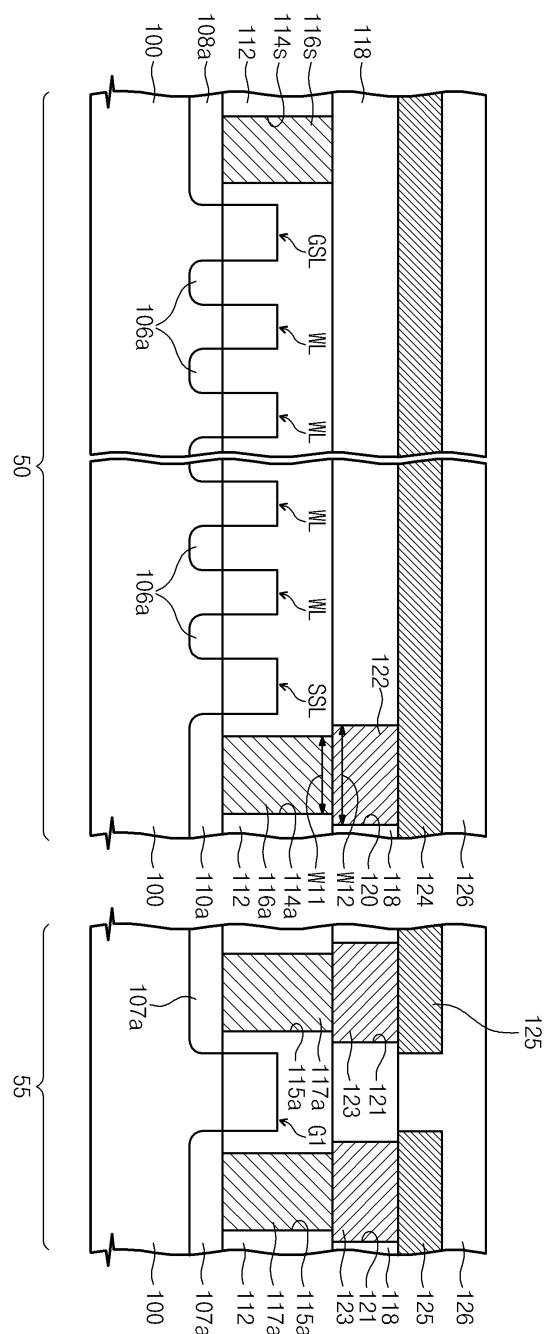
도면12c



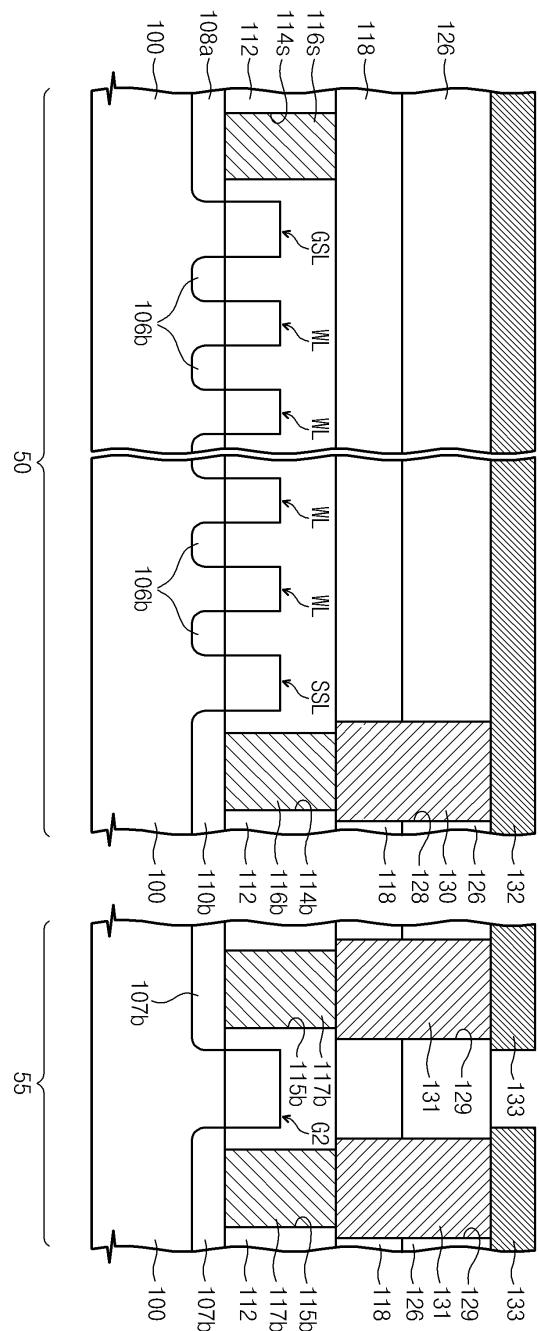
### 도면13a



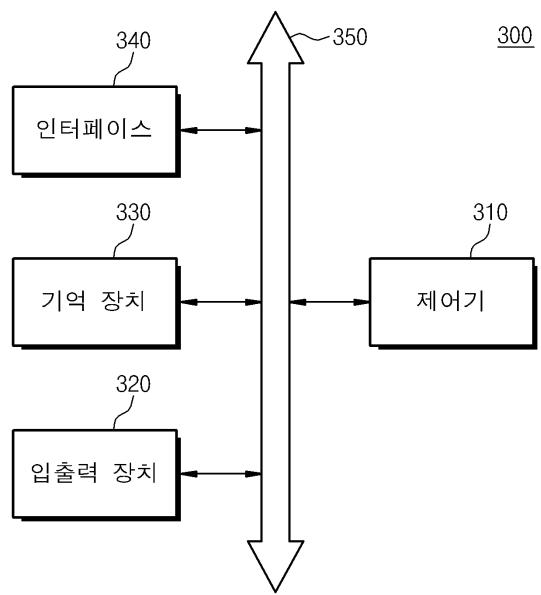
도면13b



도면13c



도면14



도면15

