

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4885924号  
(P4885924)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int. Cl.			F I		
HO2J	7/02	(2006.01)	HO2J	7/02	H
HO2J	7/00	(2006.01)	HO2J	7/00	P
B60L	11/18	(2006.01)	B60L	11/18	A
HO1M	10/44	(2006.01)	HO1M	10/44	P

請求項の数 16 (全 24 頁)

(21) 出願番号	特願2008-220301 (P2008-220301)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成20年8月28日(2008.8.28)	(73) 特許権者	000001203 新神戸電機株式会社 東京都中央区明石町8番1号
(62) 分割の表示	特願2001-258859 (P2001-258859) の分割	(74) 代理人	100077816 弁理士 春日 譲
原出願日	平成13年8月29日(2001.8.29)	(72) 発明者	宮崎 英樹 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内
(65) 公開番号	特開2008-295299 (P2008-295299A)		
(43) 公開日	平成20年12月4日(2008.12.4)		
審査請求日	平成20年8月28日(2008.8.28)		

最終頁に続く

(54) 【発明の名称】 集積回路

(57) 【特許請求の範囲】

【請求項1】

電氣的に直列に接続された複数の蓄電器を有する蓄電モジュールが電氣的に直列に接続された複数の蓄電モジュールのそれぞれに対応して設けられ、対応する蓄電モジュールが有する複数の蓄電器のそれぞれの端子電圧を検出すると共に、信号を電気信号の状態に直列に伝送する信号伝送路が構成されるように、電氣的に直列に接続されて用いられる集積回路であって、

対応する蓄電モジュールが有する複数の蓄電器のそれぞれの端子電圧を受けるための複数の電圧検出端子と、

前記複数の電圧検出端子を介して受けた前記複数の蓄電器の端子電圧から、検出する端子電圧を選択する選択回路と、

前記選択回路によって選択された蓄電器の端子電圧をデジタル値に変換するA/Dコンバータと、

ロジック回路と、

前記ロジック回路から出力された信号によって動作し、前記ロジック回路から出力された信号を前記信号伝送路に電気信号の状態に出力する信号出力回路と、

前記信号伝送路を介して、電気信号の状態に伝送される信号によって動作し、前記信号伝送路を介して、電気信号の状態に伝送される信号を前記ロジック回路に入力する信号入力回路と、を有する

ことを特徴とする集積回路。

## 【請求項 2】

請求項 1 に記載の集積回路において、  
さらに、基準電位を定めるための GND 端子と、  
所定の電圧を発生するための電源回路と、  
前記電源回路の出力部に電氣的に接続された VDD 端子と、を有する  
 ことを特徴とする集積回路。

## 【請求項 3】

請求項 2 に記載の集積回路において、  
前記信号伝送路が構成されるように、電氣的に直列に接続されたとき、前記 VDD 端子  
と前記 GND 端子との間にはキャパシタが電氣的に接続される  
 ことを特徴とする集積回路。

10

## 【請求項 4】

請求項 2 又は 3 に記載の集積回路において、  
 前記 VDD 端子と前記 GND 端子との間にはツェナーダイオードが設けられている  
 ことを特徴とする集積回路。

## 【請求項 5】

請求項 2 乃至 4 のいずれかに記載の集積回路において、  
 前記複数の電圧検出端子は、  
 対応する蓄電モジュールが有する複数の蓄電器のうちの最も高電位の蓄電器の正極端子  
 と電氣的に接続される最高位電圧検出端子と、  
 対応する蓄電モジュールが有する複数の蓄電器のうちの最も低電位の蓄電器の負極端子  
 と電氣的に接続される最低位電圧検出端子と、を含んでおり、  
 前記 GND 端子は、前記最低位電圧検出端子とは別に設けられている  
 ことを特徴とする集積回路。

20

## 【請求項 6】

請求項 1 乃至 5 のいずれかに記載の集積回路において、  
長方形の形状を成しており、  
前記長方形の一辺には前記複数の電圧検出端子が配置されており、  
 前記複数の電圧検出端子は、前記長方形の一辺において、対応する蓄電モジュールが有  
する複数の蓄電器のうちの最も低電位の蓄電器の負極端子と接続される最低位電圧検出  
端子が一方側に、対応する蓄電モジュールが有する複数の蓄電器のうちの最も高電位の蓄電  
器の正極端子と接続される最高位電圧検出端子が他方側に、それぞれ配置されると共に、  
前記最低位電圧検出端子から前記最高位電圧検出端子に向かって、低電位側の蓄電器から  
高電位側の蓄電器の電位に沿う順、かつ負極端子の次に正極端子がくる順に残りの電圧検  
出端子が配置されるように設けられている  
 ことを特徴とする集積回路。

30

## 【請求項 7】

請求項 6 に記載の集積回路において、  
さらに、対応する蓄電モジュールが有する複数の蓄電器のそれぞれの充電状態を調整す  
るための容量調整信号を発生する容量調整用回路と、  
対応する蓄電モジュールが有する複数の蓄電器のそれぞれに対応して設けられ、前記容  
量調整信号を出力する複数の容量調整用端子と、を有し、  
前記複数の容量調整用端子はそれぞれ、対応する蓄電器の負極端子と正極端子とに電氣  
的に接続される電圧検出端子の間に配置されている  
 ことを特徴とする集積回路。

40

## 【請求項 8】

請求項 2 乃至 5 のいずれかに記載の集積回路において、  
長方形の形状を成しており、  
前記長方形の一辺には前記複数の電圧検出端子が配置されており、  
前記複数の電圧検出端子は、前記長方形の一辺において、対応する蓄電モジュールが有

50

する複数の蓄電器のうちの最も低電位の蓄電器の負極端子と接続される最低位電圧検出端子が一方側に、対応する蓄電モジュールが有する複数の蓄電器のうちの最も高電位の蓄電器の正極端子と接続される最高位電圧検出端子が他方側に、それぞれ配置されると共に、前記最低位電圧検出端子から前記最高位電圧検出端子に向かって、低電位側の蓄電器から高電位側の蓄電器の電位に沿う順、かつ負極端子の次に正極端子がくる順に残りの電圧検出端子が配置されるように設けられており、

前記VDD端子は前記他方側に配置されており、

基準電位を定めるためのGND端子は前記一方側に配置されている  
ことを特徴とする集積回路。

【請求項9】

請求項1乃至8のいずれかに記載の集積回路において、  
前記A/Dコンバータは誤差補正回路を有している  
ことを特徴とする集積回路。

【請求項10】

請求項9に記載の集積回路において、  
さらに、前記A/Dコンバータの誤差を校正する信号を受ける校正端子を有し、  
前記A/Dコンバータは、前記校正端子を介して供給された校正情報に基づいて、校正された検出値を出力する  
ことを特徴とする集積回路。

【請求項11】

請求項9に記載の集積回路において、  
前記A/Dコンバータは補正ロジック回路を有すると共に、前記補正ロジック回路の動作に基づいて、検出値を補正する  
ことを特徴とする集積回路。

【請求項12】

請求項1乃至11のいずれかに記載の集積回路において、  
前記電源回路は、対応する蓄電モジュールから電圧の供給を受けて、前記信号出力回路に所定の電圧を供給する  
ことを特徴とする集積回路。

【請求項13】

請求項1乃至12のいずれかに記載の集積回路において、  
電氣的に直列に接続されて用いられたとき、前記信号伝送路が複数構成されるように、前記前記信号入力回路に電氣的に接続された信号入力端子と、前記信号出力回路に電氣的に接続された信号出力端子とを複数有している  
ことを特徴とする集積回路。

【請求項14】

請求項1乃至5のいずれかに記載の集積回路において、  
さらに、対応する前記蓄電モジュールが有する複数の蓄電器のそれぞれに対応して設けられ、対応する蓄電器の容量調整に用いられる複数の容量調整端子を有し、  
前記複数の電圧検出端子及び前記複数の容量調整端子は、前記電圧検出端子と前記容量調整端子とが交互に配置されるように設けられている  
ことを特徴とする集積回路。

【請求項15】

請求項1乃至5のいずれかに記載の集積回路において、  
さらに、対応する前記蓄電モジュールが有する複数の蓄電器のそれぞれに対応して設けられ、対応する蓄電器の充電状態の調整を制御するとき用いられる複数の容量調整端子を有し、  
前記複数の電圧検出端子及び前記複数の容量調整端子は、前記蓄電器の正極と電氣的に接続される電圧検出端子と、前記蓄電器の負極と電氣的に接続される電圧検出端子との間に、前記蓄電器の容量調整に用いられる容量調整端子が配置されるように設けられている

10

20

30

40

50

ことを特徴とする集積回路。

【請求項 16】

請求項 1 乃至 5 のいずれかに記載の集積回路において、  
さらに、対応する前記蓄電モジュールが有する複数の蓄電器のそれぞれに対応して設けられ、対応する蓄電器の充電状態の調整を制御するときに用いられる複数の容量調整端子を有し、

前記複数の電圧検出端子及び前記複数の容量調整端子は、前記蓄電器の正極と電氣的に接続される電圧検出端子と、前記蓄電器の負極と電氣的に接続される電圧検出端子と、それらの間に配置され、前記蓄電器の容量調整に用いられる容量調整端子とを備えてなる端子組が複数、前記複数の蓄電器が接続される順にしたがって配置されるように設けられている

10

ことを特徴とする集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高エネルギーの蓄電器を複数個直列に接続したものを制御する蓄電装置に用いる集積回路に係り、特に、複数個の蓄電器を直列に接続した蓄電モジュールを制御する下位の制御装置に好適な集積回路に関する。

【背景技術】

【0002】

従来の蓄電装置では、例えば、特開平10-322925号公報に記載されているように、直列に接続した複数の単電池を組電池として、複数の組電池を更に直列に接続すると共に、各組電池毎に下位の制御装置を備え、上位の制御装置から下位の制御装置に指令を送る構成としている。ここで、下位制御装置は、対応する組電池が備える単電池の状態を監視する。組電池数と同数設けられた下位制御装置は、組電池を介して電氣的に直列に接続されており、上位の制御装置と下位制御装置間の信号伝達及び下位制御装置同士の信号伝達には、フォトカプラ等の絶縁手段を用いて、制御装置間の電位差に影響されない構成としている。

20

【0003】

また、下位制御装置は、例えば、特開2000-92732号公報に記載されているように、単電池の容量調整を行うものである。容量調整とは、単電池にスイッチを介して抵抗を並列に接続し、電圧検出回路で計測した単電池の電圧が高い場合に上記スイッチを駆動して蓄えられた電気量の一部を放電し、単電池間の電圧差を小さくすることである。特に、开路電圧と残容量の相関性が高い非晶質系炭素を負極活物質に用いたリチウムイオン電池では、単電池間の電圧差を小さくすることで各単電池の容量を均等化することが有効である。

30

【0004】

また、近年、二次電池と同等な電気量を蓄積でき、かつ二次電池に比べて寿命劣化の少ないウルトラキャパシタが用いられるようになってきている。ウルトラキャパシタにおいても、例えば、特開2001-37077号公報に記載されているように、キャパシタセル間の電圧均等化法が採用されている。この方法は、キャパシタセルに並列にスイッチを接続し、キャパシタの電圧を検出して電流の一部をスイッチにバイパスさせる回路を設けるものであり、先の特開2000-92732号公報と類似している。

40

【0005】

下位制御装置は、単電池或いはキャパシタセルの電圧を検出し、電圧が高い場合に、前述のスイッチを駆動して容量調整している。一方、上位制御装置は、下位制御装置に容量調整を実施させるための指令信号を送る。特開2000-92732号公報に記載されているものでは、下位制御装置が起動時に組電池の各単電池の開放電圧を測定し、その値を上位制御装置に伝える。上位制御装置は全ての下位制御装置から得た開放電圧の値から容量調整時の電圧基準値を計算して、再び、下位制御装置に指令する。

50

【特許文献1】特開平10-322925号公報

【特許文献2】特開2000-92732号公報

【特許文献3】特開2001-37077号公報

【特許文献4】特開2000-92732号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題としては、以下の3つがある。第1は、コストの問題である。二次電池やウルトラキャパシタは電気自動車、或いはハイブリッド電気自動車用の蓄電装置として期待されているが、量産化に向けて低コスト化を達成することが求められている。蓄電装置の低コスト化には単電池或いはキャパシタセル自体の低コスト化と共に、複数個を備える下位制御装置複数の低コスト化が必要である。この方法としては、下位制御装置をIC(集積回路)化することが有効である。

10

【0007】

しかしながら、下位制御装置をIC化した場合においても、上位の制御装置と下位制御装置間の信号伝達及び下位制御装置同士の信号伝達に用いるフォトプラ等の絶縁手段は残る。リチウムイオン電池の場合を例とすれば、この電位差は単電池の電圧を3.6Vと仮定し、全部で40ヶの電池を直列に接続した場合、最低電位の電池と最高電位の電池の電位差は144Vになる。この例で、仮に単電池4ヶづつを組電池とした場合、10ヶの下位制御装置を備えることになり、それぞれの下位制御装置が入出力用に2ヶ程度の絶縁手段を備えるとすれば、合計20ヶの絶縁手段が必要になり、制御装置のコストが高くなると言う問題があった。

20

【0008】

第2は、信頼性の問題である。蓄電装置の負荷として接続されるインバータ装置等が発生するノイズによって指令信号に外乱が入る可能性があり、こうした外乱に対して、上位制御装置から下位制御装置に指令を与える場合、信号伝達の信頼性が低下するという問題があった。

【0009】

第3は、電圧検出の精度の問題である。複数の下位制御装置は、それぞれ電圧検出回路を備え、対応する蓄電モジュールに具備された蓄電器の電圧を検出するが、電池の電圧検出精度は許容される誤差が数十mVと高精度な性能が必要とされる。非晶質系炭素を負極活物質に用いたリチウムイオン電池は、開放電圧と残容量の相関性がニッケル水素電池等他の電池に比べて明確であるが、リチウムイオン電池の場合でも容量調整における電圧均等化の許容誤差は $\pm 50$  mV以下と言われている。尚、50 mVの電圧はリチウムイオン電池の残容量に換算すると約5%に相当する。リチウムイオン電池の最高電圧は約4.2Vであるが、上記50 mVは4.2Vに対して1.2%にあたり、電圧検出の精度が厳しいことが分かる。

30

【0010】

高精度な電圧検出を達成するためには、十数ビットのA/Dコンバータを用いることが一般的であるが、A/Dコンバータの精度は基準電圧源の精度に依存するため、下位制御装置は誤差が極めて小さい(例えば $\pm 25$  mV程度)の高精度基準電圧源が必要になる。ここで、各下位制御装置はそれぞれ、電位の異なる組電池に接続されるため、高精度基準電圧源を複数の下位制御装置で共通化することは難しく、それぞれの下位制御装置が独立した高精度基準電圧源を備えていた。すなわち、電圧検出の高精度化を図るには、複数の下位制御装置がそれぞれ備える基準電圧源のコストが高くなると言う問題があった。

40

【0011】

本発明の目的は、低コストな集積回路を提供することにある。

【課題を解決するための手段】

【0014】

(1) 上記目的を達成するため、本発明は、電氣的に直列に接続された複数の蓄電器を

50

有する蓄電モジュールが電氣的に直列に接続された複数の蓄電モジュールのそれぞれに対応して設けられ、対応する蓄電モジュールが有する複数の蓄電器のそれぞれの端子電圧を検出すると共に、信号を電気信号の状態10で直列に伝送する信号伝送路が構成されるように、電氣的に直列に接続されて用いられる集積回路であって、対応する蓄電モジュールが有する複数の蓄電器のそれぞれの端子電圧を受けるための複数の電圧検出端子と、前記複数の電圧検出端子を介して受けた前記複数の蓄電器の端子電圧から、検出する端子電圧を選択する選択回路と、前記選択回路によって選択された蓄電器の端子電圧をデジタル値に変換するA/Dコンバータと、ロジック回路と、前記ロジック回路から出力された信号によって動作し、前記ロジック回路から出力された信号を前記信号伝送路に電気信号の状態10で出力する信号出力回路と、前記信号伝送路を介して、電気信号の状態で伝送される信号によって動作し、前記信号伝送路を介して、電気信号の状態で伝送される信号を前記ロジック回路に入力する信号入力回路と、を有するものである。

かかる構成により、低コストな集積回路とし得るものとなる。

【発明の効果】

【0024】

本発明によれば、集積回路を低コスト化することができる。

【発明を実施するための最良の形態】

【0025】

以下、図1～図10を用いて、本発明の一実施形態による蓄電装置及びその制御方法について説明する。20

最初に、図1を用いて、本実施形態による蓄電装置の全体構成について説明する。図1は、本発明の一実施形態による蓄電装置の全体構成を示す回路図である。

【0026】

二次電池の単電池VB1, VB2, ..., VB12は、4ヶの単電池を直列に接続した形を蓄電モジュールとしている。電気自動車或いはハイブリッド電気自動車に用いられる二次電池装置は十数ヶから二十数ヶの蓄電モジュールを備える場合があるが、本実施形態では数多くのモジュールを直列に接続する場合でも同様な構成であることから、図1に示した例では、3ヶの蓄電モジュールを直列に接続した構成を例として示している。

【0027】

図示する例では、最高電位にある第一の蓄電モジュールは、単電池VB1, ..., VB4から構成されている。各単電池VB1, ..., VB4の正極及び負極は、第一の下位制御装置IC-1が備える端子T1, T3, T5, T7, T9とそれぞれ接続される。また、単電池VB1の正極と負極間には、抵抗R1とスイッチ素子S1からなる容量調整回路を備えている。スイッチ素子S1のゲート端子には、下位制御装置IC-1の端子T2から制御信号が入力する。同様に、単電池VB2, 単電池VB3, 及び単電池VB4の正極と負極間には、それぞれ、抵抗R2とスイッチ素子S2、抵抗R3とスイッチ素子S3、及び抵抗R4とスイッチ素子S4の容量調整回路を備える。スイッチ素子S2, S3, S4のゲート端子はそれぞれ下位制御装置IC-1の端子T4, T6, T8から制御信号が入力する。30

【0028】

中間電位にある第二の蓄電モジュールは、単電池VB5, ..., VB8を備えている。第一の蓄電モジュールと同様に、各単電池VB1, ..., VB4の正極及び負極は、第二の下位制御装置IC-2が備える端子T1, T3, T5, T7, T9とそれぞれ接続される。また、単電池VB5, ..., VB8も、それぞれ正極と負極間に、抵抗R5とスイッチ素子S5、抵抗R6とスイッチ素子S6、抵抗R7とスイッチ素子S7、及び抵抗R8とスイッチ素子S8を直列に接続した容量調整回路を備える。40

【0029】

同様に、最低電位にある第三の蓄電モジュールは、単電池VB9, ..., VB12の単電池を備えている。各単電池VB9, ..., VB12の正極及び負極は、第三の下位制御装置IC-3が備える端子T1, T3, T5, T7, T9とそれぞれ接続される。単電池VB50

9, ..., VB12も、正極と負極間にそれぞれ抵抗R9とスイッチ素子S9、抵抗R10とスイッチ素子S10、抵抗R11とスイッチ素子S11、及び抵抗R12とスイッチ素子S12を直列に接続した容量調整回路を備えており、各スイッチ素子は第三の下位制御装置IC-3で駆動される。

【0030】

なお、各下位制御装置IC-1, IC-2, IC-3の内部構成、機能と周辺部品の構成については、図2以降を用いて後述する。

【0031】

次に、各下位制御装置IC-1, IC-2, IC-3の接続関係について説明する。単電池VB4と単電池VB5が直列に接続されることから、第一の下位制御装置IC-1と第二の下位制御装置IC-2は直列に接続されており、同様に第二の下位制御装置IC-2は第三の下位制御装置IC-3と直列に接続される。

10

【0032】

次に、上位制御装置MPUは、第一の下位制御装置IC-1から第三の下位制御装置IC-3に指令を与える。上位制御装置MPUが出力する制御指令は、フォトカプラF1, F2, F3で絶縁され、第一の下位制御装置IC-1の入力端子In-1, In-2, In-3に伝達される。フォトカプラF1, F2, F3の受光側トランジスタは、それぞれ、抵抗RF1, RF2, RF3に接続されている。抵抗RF1, RF2, RF3は、いずれも単電池VB1の正極から電源を供給される。第一の下位制御装置IC-1は、入力端子In-1, In-2, In-3に伝達された信号を、出力端子Out-1, Out-2, Out-3から出力するが、出力端子Out-1, 出力端子Out-2, 及び出力端子Out-3は、第二の下位制御装置IC-2が備える入力端子In-1, In-2, In-3と、それぞれ、電氣的に非絶縁で接続される。

20

【0033】

同様に、第二の下位制御装置IC-2は、入力端子In-1, In-2, In-3に伝達された信号を出力端子Out-1, Out-2, Out-3から出力する。第二の下位制御装置IC-2の出力端子Out-1, ..., Out-3は、第三の下位制御装置IC-3が備える入力端子In-1, In-2, In-3とそれぞれ、電氣的に非絶縁で接続される。

【0034】

最低電位の下位制御装置IC-3は、出力端子Out-1, Out-2, Out-3から出力する信号で対応するトランジスタTr1, Tr2, Tr3を駆動し、それぞれのトランジスタ第二の下位制御装置が接続されたフォトカプラF4, F5, F6を介して、信号を上位制御装置MPUに伝達させる。ここで、フォトカプラF4, F5, F6の発光側は、いずれも下位制御装置IC-3の基準電圧出力端子VDDに接続し、基準電圧出力端子VDDから電流の供給を得る。フォトカプラF4, F5, F6の発光側とトランジスタTr1, Tr2, Tr3の間に設けた抵抗RF4, RF5, RF6は、それぞれ、フォトカプラF4, F5, F6の発光側に流れる電流を調整するために使用する。

30

【0035】

下位制御装置IC-1の内部回路は、単電池VB4の負極を基準電位とし、この基準電位をGND-1で表す。また、下位制御装置IC-2と下位制御装置IC-3の内部回路は、それぞれ、単電池VB8, 単電池VB12の負極を基準電位とし、この基準電位をGND-2, GND-3で表す。各基準電位GND-1, ..., GND-3は、いずれも対応する下位制御装置IC-1, ..., IC-3で使用する個別なグランド端子である。一方、図1の全体の構成におけるグランドは、上位制御装置MPUに対する電源Vccの負極とする。上位制御装置MPUと下位制御装置IC-1, ..., IC-3は、フォトカプラF1, ..., F6で絶縁されていることから、Vccの負極と各基準電位GND-1, ..., GND-3の間も絶縁されている。

40

【0036】

下位制御装置IC-1, ..., IC-3に備える各端子と周辺部品に関しては図2で説明

50

するが、各制御装置 IC - 1 , ... , IC - 3 での違いは、各々に設けた端子 A 1 , ... , A 3 , 及び端子 B 1 , B 2 の電位である。これらの端子は、図 7 で述べる電圧検出の誤差を補正するための端子であり、下位制御装置 IC - 1 から下位制御装置 IC - 3 が個別に持つ電圧検出誤差に応じて、端子 A 1 , ... , A 3 , 及び端子 B 1 , B 2 に、「1」又は「0」のデジタル値を与える。ここで、「1」は下位制御装置の基準電圧 VDD、「0」は下位制御装置毎の個別グランド GND - 1 , ... , GND - 3 の電位である。上記電圧検出誤差は、下位制御装置 IC - 1 から下位制御装置 IC - 3 で異なるため、図 1 の例においても、各下位制御装置 IC - 1 , ... , IC - 3 で、端子 A 1 , ... , A 3 , 及び端子 B 1 , B 2 の「1」又は「0」の値は異なることを記載している。

#### 【0037】

上位制御装置 MPU は、蓄電モジュールに流れる充電及び放電の電流を絶縁型の電流検出器 CT で検出する。また、直列に接続された蓄電モジュールの電圧合計値を抵抗 RV 1 , RV 2 で分圧して検出する。ここで、上位制御装置 MPU と各蓄電モジュールは絶縁されることから、抵抗 RV 1 , RV 2 で分圧した電圧は一旦、電圧 - 周波数変換器 VF によりパルス信号に変換され、VF の出力をフォトカプラ F 7 を介して上位制御装置 MPU に伝達する。上位制御装置 MPU は、フォトカプラ F 7 より得た電圧 - 周波数変換器 VF の出力から蓄電モジュールの総電圧を読み取り、この値と電流検出器 CT から得た電流を元に 3 ケの蓄電モジュールに対する平均的な残容量を演算する。

#### 【0038】

電気自動車或いはハイブリッド電気自動車において十数ケから二十数ケの蓄電モジュールを備える場合、最上位の下位制御装置 IC - 1 と最下位の下位制御装置 IC - 3 が上位制御装置 MPU とフォトカプラを介して接続する構成は図 1 と同じである。蓄電モジュールと同数設けられる下位制御装置の残り十数ケから二十数ケは、図 1 の下位制御装置 IC - 2 と同様に入力端子 In - 1 , In - 2 , In - 3 が 1 つ高電位の蓄電モジュール用に設けられた下位制御装置の出力端子と、またと出力端 Out - 1 , Out - 2 , Out - 3 がそれぞれ、1 つ低電位の蓄電モジュール用に設けられた下位制御装置の入力端子とそれぞれ、非絶縁で接続される。

#### 【0039】

図示する例では、絶縁手段としては、7 個のフォトカプラ F 1 , ... , F 6 , F 7 を用いている。図示の例では、3 個の下位制御装置 IC - 1 , ... , IC - 3 から構成される場合を示しているが、下位制御装置が例えば、10 個になった場合でも、絶縁手段であるフォトカプラの個数は、7 個でよいものである。一方、従来の構成では、単電池 4 ケづつを組電池とし、10 ケの下位制御装置を備えた場合、それぞれの下位制御装置が入出力用に 2 ケ程度の絶縁手段を備えるため、合計 20 個の絶縁手段が必要になる。それに対して、本実施形態では、常に 7 個で良いため、絶縁手段の個数を低減して、制御装置のコストを低減することができる。

#### 【0040】

次に、図 2 を用いて、本実施形態による蓄電装置に用いる下位制御装置内部の構成について説明する。図 2 は、本発明の一実施形態による蓄電装置に用いる下位制御装置内部の構成を示す回路図である。なお、図 2 においては、下位制御装置 IC - 1 の構成について示しているが、他の下位制御装置 IC - 2 , IC - 3 も同様である。また、図 1 と同一符号は、同一部分を示している。

#### 【0041】

スイッチ素子の駆動手段 Dr 1 , Dr 2 , Dr 3 , Dr 4 は、それぞれ、容量調整用のスイッチ素子 S 1 , S 2 , S 3 , S 4 の制御端子に接続されており、それぞれのスイッチ素子 S 1 , S 2 , S 3 , S 4 を駆動する。駆動手段 Dr 1 , Dr 2 , Dr 3 , Dr 4 は、それぞれ、下位制御装置 IC - 1 内部のロジック回路 3 から信号を得て、スイッチ素子 S 1 , ... , S 4 を個別に駆動する。

#### 【0042】

アナログスイッチ AS 1 , AS 2 , AS 3 , AS 4 は、一端が単電池の正極にそれぞれ

10

20

30

40

50



接続され、他端がキャパシタC1の+端子C1Pに共通接続されている。同様に、アナログスイッチBS1, BS2, BS3, BS4も、一端が単電池の負極にそれぞれ接続され、他端がキャパシタC1の-端子C1Nに共通接続されている。また、キャパシタC1の+端子C1Pには、アナログスイッチCS1を接続し、アナログスイッチCS1の他端は、第二のキャパシタC2の+端子C2Pに接続される。更に、キャパシタC2の-端子C1Nには、アナログスイッチCS2を接続し、アナログスイッチCS2の他端は第二のキャパシタC2の-端子C2Nに接続する。

【0043】

アナログスイッチAS1とアナログスイッチBS1, AS2とBS2, AS3とBS3, AS4とBS4はそれぞれペアであり、同時にオン、オフする。また、(a)アナログスイッチAS1, アナログスイッチBS1と、(b)アナログスイッチAS2, アナログスイッチBS2と、(c)アナログスイッチAS3, アナログスイッチBS3と、(d)アナログスイッチAS4, アナログスイッチBS4の各ペアは、4つのマルチプレクサ用スイッチとして働く。即ち、(a), ..., (d)のマルチプレクサ用スイッチで単電池VB1, ..., VB4のいずれか1つを選択し、選択した単電池と第一のキャパシタCS1を接続する。一方、アナログスイッチCS1とアナログスイッチCS2も同時にオン、オフし、これらがオンすると第一のキャパシタCS1と第二のキャパシタCS2を接続する。

10

【0044】

アナログスイッチCS1とアナログスイッチCS2がオンする動作モードを(e)とすると、例えば、単電池VB1の電圧を計測する場合、ロジック回路3は、(a)アナログスイッチAS1, アナログスイッチBS1のペアをオンさせる第一のモードと(e)アナログスイッチCS1とアナログスイッチCS2をオンさせる第二のモードを交互に繰り返す。この間、(b), ..., (d)のマルチプレクサ用スイッチはオフを維持させる。この第一のモード(a)と、第二のモード(e)を数百回、パルス的に繰り返すことにより、単電池VB1とアナログスイッチCS1、及びアナログスイッチCS2は最終的に同じ電圧になる。これは(a)と(e)を1回実施することにより、単電池VB1とアナログスイッチCS1、及びアナログスイッチCS1とアナログスイッチCS2の電位差に応じた電流が流れ、それぞれの電位差を軽減するためである。

20

【0045】

また、(b)アナログスイッチAS2, アナログスイッチBS2のペアをオンさせる第一のモードと(e)アナログスイッチCS1とアナログスイッチCS2をオンさせる第二のモードを交互に繰り返し、この間、(a), (c), (d)のマルチプレクサ用スイッチはオフを維持させ、第一のモード(b)と、第二のモード(e)を数百回、パルス的に繰り返すことにより、単電池VB2とアナログスイッチCS1、及びアナログスイッチCS2は最終的に同じ電圧になる。

30

【0046】

同様にして、(c)アナログスイッチAS3, アナログスイッチBS3のペアをオンさせる第一のモードと(e)アナログスイッチCS1とアナログスイッチCS2をオンさせる第二のモードを交互に繰り返して、単電池VB3とアナログスイッチCS1、及びアナログスイッチCS2は最終的に同じ電圧にできる。

40

【0047】

また、(d)アナログスイッチAS4, アナログスイッチBS4のペアをオンさせる第一のモードと(e)アナログスイッチCS1とアナログスイッチCS2をオンさせる第二のモードを交互に繰り返して、単電池VB4とアナログスイッチCS1、及びアナログスイッチCS2は最終的に同じ電圧にできる。

【0048】

図中、破線で示した電圧検出回路1は、上述したマルチプレクサ用スイッチ、アナログスイッチ、第一と第二のキャパシタを含む構成を有している。電圧検出回路1の出力は、アナログスイッチCS2の正極電圧(C2P)である。正極電圧C2Pは、比較器CMP1, CMP2, CMP3を用いて、それぞれ過充電電圧、過放電電圧、容量調整レベル等

50

に対応する基準電圧と比較する。基準電圧は、基準電源回路 2 から供給される。また、電圧検出回路 1 の出力 (C 2 P) は、検出セル電圧  $V_x$  として、A / D コンバータ 7 の入力へ伝えられ、A / D コンバータ 7 で正極電圧 (C 2 P) のアナログ値をデジタル値に変える。A / D コンバータ 7 は、上述した端子 A 1, ..., A 3, 及び端子 B 1, B 2 に与えられる信号によって、電圧検出誤差を補正することができる。

#### 【0049】

基準電源回路 2 は、単電池  $V_{B1} - V_{B4}$  の総電圧から一定電圧 (例えば 5 V) を作ると共に、下位制御装置 IC - 1 の外部に設けた基準電圧用素子  $V_R$  に電流を供給し、先の一定電圧より高精度な電圧を発生させ、この電圧を端子  $V_{ref-1}$  から下位制御装置 IC - 1 に取り込む。端子  $V_{ref-1}$  から入力された電圧は数種類に分圧され、比較器  $CMP1$ ,  $CMP2$ ,  $CMP3$  に応じた基準電圧として使用する。また、クロック発生器 5 は、下位制御装置 IC - 1 の外部に設けた振動子  $CZ$  を用いてクロックを作り、ロジック回路 3 等で用いる。なお、入力回路 4 と出力回路 6 の詳細構成については、図 3, 図 4 を用いて後述する。

10

#### 【0050】

次に、図 3 を用いて、本実施形態による蓄電装置の中の下位制御装置に用いる出力回路 6 及び入力回路 4 の第 1 の構成について説明する。

図 3 は、本発明の一実施形態による蓄電装置の中の下位制御装置に用いる出力回路 6 及び入力回路 4 の第 1 の構成を示す回路図である。なお、図 3 では、下位制御装置 IC - 1 の出力回路 6 と、下位制御装置 IC - 2 の入力回路 4 の詳細について示している。また、図 1, 図 2 と同一符号は、同一部分を示している。

20

#### 【0051】

電源回路 2 のトランジスタ  $Q$  は、電源制御回路 8 によって、ベース電流を制御され、端子  $V_{DD}$  に一定電圧を出力しており、この一定電圧を出力回路 6 に供給する。

#### 【0052】

出力回路 6 は、端子  $V_{DD}$  と下位制御装置 IC - 1 のグランド  $GND - 1$  間に設けられ、 $P - MOSFET (MP1)$  と、 $N - MOSFET (MN1)$  からなる相補型スイッチを備えている。 $P - MOSFET (MP1)$  と、 $N - MOSFET (MN1)$  の間には、抵抗  $R14$  が接続されている。また、 $P - MOSFET (MP1)$  には、並列に、抵抗  $R13$  が接続されている。相補型スイッチの出力は、 $P - MOSFET (MP3)$  のゲート端子に印加する。

30

#### 【0053】

ここで、ロジック回路 3 から出力された信号で、 $P - MOSFET (MP1)$  がオンすると、 $P - MOSFET (MP3)$  のゲート - ソース間をショートして、 $P - MOSFET (MP3)$  をオフさせる。また、 $N - MOSFET (MN1)$  がオンすると、端子  $V_{DD}$  の電圧を、抵抗  $R13$  と抵抗  $R14$  で分圧した電圧が発生し、抵抗  $R13$  の両端の電圧が、 $P - MOSFET (MP3)$  のゲート - ソース間に印加される。抵抗  $R13$  の両端の電圧は、 $P - MOSFET (MP3)$  のゲートしきい値電圧より大きく、 $P - MOSFET (MP3)$  をオンさせるが、 $P - MOSFET (MP3)$  の出力電流を抑制するために、ゲートしきい値電圧よりわずかに大きい値に設定する (しきい値電圧より 1 V 或いは 2 V 程度高くする)。

40

#### 【0054】

この結果、 $P - MOSFET (MP3)$  は定電流スイッチとして働き、出力の定電流を下位制御装置 IC - 2 の入力回路 4 に流し込む。 $P - MOSFET (MP3)$  の出力端子と、端子  $V_{DD}$  の間には、ダイオード  $D1$  と抵抗  $RE1$  を直列にした静電破壊防止回路を備え、出力端子  $Out - 1$  に外部からサージ電圧が入ると、このサージ電圧を抵抗  $RE1$ , ダイオード  $D1$  を介し、端子  $V_{DD}$  及び端子  $V_{DD}$  に接続されたキャパシタ  $CV1$  にバイパスして、 $P - MOSFET (MP3)$  のゲートソース間がサージ電圧で静電破壊することを防止できる。また、 $P - MOSFET (MP3)$  の出力端子と  $GND - 1$  間にも、抵抗  $RE2$  と、ダイオード  $D2$  を静電破壊対策として備えるが、さらに、これらに加えて、ツエナ

50

ーダイオードZ D 1を直列に接続している。

【0055】

図示するように、2ヶの下位制御装置I C - 1, I C - 2の入出力端子を非絶縁で接続すると、P - M O S F E T (M P 3)がオフの期間中に、出力端子O u t - 1から入力端子I n - 1を通り、更に下位制御装置I C - 2に接続された単電池を通過してG N D - 1へ戻る電流経路が作られ、単電池の放電を招くことになる。これを放置すると、単電池は過放電状態になるため、上記電流経路に単電池電圧より高い降伏電圧を有するツエナーダイオードZ D 1を放電電流遮断用として設けている。

【0056】

次に、入力回路4の構成について説明する。下位制御装置I C - 2の入力端子I n - 1は、抵抗R E 4と抵抗R E 6の直列接続を介して、単電池V B 5の負極に接続している。したがって、入力端子I n - 1の基準電位は、G N D - 2より高い単電池V B 5の負極電位になっている。入力端子I n - 1には、抵抗R E 3を介して、N - M O S F E T (M N 2)のゲート端子を接続し、N - M O S F E T (M N 2)のソース端子も、抵抗R E 6を介して、単電池V B 5の負極に接続する。N - M O S F E T (M N 2)のゲート端子と単電池V B 5の正極の間には、ダイオードD 3を、同様に、N - M O S F E T (M N 2)のゲート端子とソース端子の間には、ダイオードD 4をそれぞれ静電破壊防止用に備える。これらの構成から、N - M O S F E T (M N 2)も基準電位がG N D - 2より高い単電池V B 5の負極電位になっている。

【0057】

N - M O S F E T (M N 2)のドレイン端子と単電池V B 5の正極間には、抵抗R E 5を備え、抵抗R E 5両端の電圧をP - M O S F E T (M P 4)のゲートソース間に印加する。P - M O S F E T (M P 4)のドレイン端子は、抵抗R E 7, R E 8の直列接続を介して、G N D - 2に接続する。また、抵抗R E 8には、並列にツエナーダイオードZ D 2を設け、抵抗R E 8の両端の電圧をロジック回路3に伝える。

【0058】

以上の構成を持つ入力回路4は、多段階で電位変換を行う回路が特徴である。即ち、下位制御装置I C - 1のP - M O S F E T (M P 3)が出力した定電流を、単電池V B 5の負極を電位基準とするN - M O S F E T (M N 2)で一旦受け、N - M O S F E T (M N 2)がオンすると、抵抗R E 5に生じた電圧でP - M O S F E T (M P 4)をオンさせ、P - M O S F E T (M P 4)を流れる電流で、抵抗R E 8両端に信号電圧を作り、ロジックに伝える。

【0059】

一般的な回路、特に集積回路はグラウンドを基準電位とする入力端子、及び出力端子を有する。これに対して、本実施形態の下位制御装置は、出力が定電流、入力回路のグラウンドより高い基準電位に接続され、出力回路で多段階に電位変換する。こうした構成は制御装置間を非絶縁で接続するために必要である。先に、ツエナーダイオードZ D 1による単電池の放電防止について説明したが、もし、入力端子I n - 1の電位基準をグラウンドG N D - 2に選ぶと、単電池V B 5, ..., V B 8の単電池が、P - M O S F E T (M P 3)がオフの期間中に、下位制御装置I C - 1の出力端子O u t - 1から下位制御装置I C - 2の入力端子I n - 1を通り、放電する経路を作る。放電電流を遮断するためには、ツエナーダイオードの降伏電圧を高くせねばならない。また、P - M O S F E T (M P 3)のソースドレイン間電圧として単電池V B 5, ..., V B 8の電圧合計が印加されるため、P - M O S F E T (M P 3)は常時電圧ストレスがかかることになる。こうした点を考慮すれば、入力端子I n - 1の基準電位を高く選び、ツエナーダイオードZ D 1の降伏電圧を低くし、合わせてP - M O S F E T (M P 3)の電圧ストレスを軽減することが望ましいものである。

【0060】

以上説明したように、放電電流経路は、下位制御装置の出力端子と低電位側の蓄電モジュール内の蓄電池との間に、形成される。具体的には、下位制御装置I C - 1の出力端子

Out - 1と、この下位制御装置IC - 1よりも低電位側の蓄電池モジュール（蓄電池VB5, VB6, VB7, VB8で構成される）の中の蓄電池VB6との間には、下位制御装置IC - 1の出力端子Out - 1, 下位制御装置IC - 2の入力端子In - 1, 抵抗RE3, ダイオードD4, 蓄電池VB6の正極, 蓄電池VB5の負極, 蓄電池VB5の正極, 下位制御装置IC - 1のグランドGND - 1, ツエナーダイオードZD1, ダイオードD2, 抵抗RE2, 下位制御装置IC - 1の出力端子Out - 1と接続される放電電流経路が形成される。そこで、本実施形態では、この放電電流経路に、ツエナーダイオードZD1, ダイオードD2, D4等の蓄電池の放電を阻止する遮断素子を設けている。

#### 【0061】

次に、図4を用いて、本実施形態による蓄電装置の中の下位制御装置に用いる出力回路6及び入力回路4の第2の構成例について説明する。

10

図4は、本発明の一実施形態による蓄電装置の中の下位制御装置に用いる出力回路6及び入力回路4の第2の構成例を示す回路図である。なお、図3では、下位制御装置IC - 1の出力回路6と、下位制御装置IC - 2の入力回路4の詳細について示している。また、図1, 図2, 図3と同一符号は、同一部分を示している。

#### 【0062】

下位制御装置IC - 1の出力回路6は、図3に示した出力回路6と同じ構成を有している。

#### 【0063】

下位制御装置IC - 2の入力回路4は、図3に示した入力回路とは、次の点で異なっている。すなわち、入力端子In - 1に、P - MOSFET(MP5)のソース端子を接続し、P - MOSFET(MP5)のゲート端子は単電池VB5の正極に接続することで、入力端子In - 1の基準電位を、下位制御装置IC - 1のグランドGND - 1と電位が等しい単電池VB5の正極電圧に選んでいる。

20

#### 【0064】

P - MOSFET(MP5)には、ソースゲート間に、ツエナーダイオードZD3と抵抗RE9を並列に備え、P - MOSFET(MP3)が出力する定電流で、P - MOSFET(MP5)にゲート電圧を印加し、P - MOSFET(MP5)をオンさせる。P - MOSFET(MP5)のドレイン端子は、抵抗R4とツエナーダイオードZD4を経て、単電池VB6の負極に接続する。抵抗RE4の両端電圧は、N - MOSFET(MN2)のゲートソース間電圧として印加される。N - MOSFET(MN2)のソース端子も、ツエナーダイオードZD4を介して、単電池VB6の負極に接続する。N - MOSFET(MN2)のドレイン端子と単電池VB5の正極間には抵抗RE5を備え、抵抗RE5の両端の電圧をP - MOSFET(MP4)のゲートソース間に印加する。P - MOSFET(MP4)のドレイン端子は、抵抗RE7, RE8の直列接続を介して、グランドGND - 2に接続する。抵抗RE8には、並列にツエナーダイオードZD2を設け、抵抗RE8の両端の電圧をロジック回路3に伝える。

30

#### 【0065】

この構成によれば、下位制御装置IC - 1の出力端子Out - 1から下位制御装置IC - 2の入力端子In - 1を通り、ツエナーダイオードZD3からグランドGND - 1へ戻る経路には単電池が存在せず、電池の放電電流を心配する必要は無いものである。また、下位制御装置IC - 2の入力端子In - 1からP - MOSFET(MP5)をドレインソース間、ツエナーダイオードZD4をそれぞれ経て単電池VB6の負極に至り、単電池VB6と単電池VB5からグランドGND - 1に戻る経路が作られるが、P - MOSFET(MP3)のオフ時には、P - MOSFET(MP5)もまたオフであり、この経路で単電池VB5, VB6が放電することは無いものである。放電電流を遮断する第一の素子は、P - MOSFET(MP5)であり、ツエナーダイオードZD4は、P - MOSFET(MP5)が不良等で放電電流を流す状態になっても、これを遮断するために冗長的に用いている。

40

#### 【0066】

50

以上のように、図3若しくは図4に示した構成とすることにより、下位制御装置の入出力端子間を非絶縁で接続しても、単電池の放電電流を遮断することができ、これにより非絶縁接続が可能になる。尚、図3及び図4の例では、下位制御装置IC-1の出力回路と下位制御装置IC-2の入力回路をそれぞれ1チャンネルずつ示したが、これらは図1に記載したように1つの下位制御装置に同じ構成が複数、備えられている。

【0067】

次に、図5を用いて、本実施形態による蓄電装置の制御方法について説明する。ここでは、図1～図4に示した例において、上位制御装置MPUからの指令で下位制御装置IC-1, ..., IC3を動作させる場合の制御内容について説明する。

図5は、本発明の一実施形態による蓄電装置の制御内容を示すフローチャートである。

10

【0068】

ここでは、スリープ状態にあった下位制御装置IC-1, ..., IC-3が上位制御装置MPUからの信号で起動し、その後の正常な動作を実施する際のフローについて説明する。

【0069】

ステップs1において、上位制御装置MPUは、フォトカプラF1を介して、下位制御装置IC-1の入力端子In-1に起動信号を伝達する。

【0070】

次に、ステップs2において、下位制御装置IC-1の入力回路4は、入力端子In-1に伝達された信号の電位を変換し、この信号を内部電源回路2に伝達する。

20

【0071】

次に、ステップs3において、内部電源回路2が起動し、トランジスタQを制御する。但し、下位制御装置IC-1に外付けしたキャパシタCV1が、トランジスタQの出力電流で充電され、一定な電圧VDDに達するまでの間、時間を要する。

【0072】

次に、ステップs4において、キャパシタCV1の電圧が、電圧VDDよりわずかに小さい規定値以上になれば、ロジック3を始め、図2に示した各回路の動作が確立する。その後、CV1の電圧は一定値VDDに制御される。

【0073】

次に、ステップs5において、ロジック3は、上位制御装置MPUから伝達された起動信号を認知し、これを出力回路6を介して1つ低電位の下位制御装置IC-2に伝達する。

30

【0074】

同様にして、以下、ステップs1, ..., ステップs5と同様なフローで、下位制御装置IC-2と下位制御装置IC-3が起動する。さらに、下位制御装置IC-3は、フォトカプラF4を介して上位制御装置MPUへ起動信号を戻す。

【0075】

次に、ステップs6において、上位制御装置MPUは、全ての下位制御装置IC-1, IC-2, IC-3がスリープ状態から起動したことを認知し、次の指令に移る。即ち、上位制御装置MPUは、フォトカプラF1, ..., F3を用いて、シリアル形式の制御指令を、下位制御装置IC-1, ..., IC-3へ送る。

40

【0076】

次に、ステップs7において、下位制御装置IC-1は、入力端子In-1, ..., In-3より得たシリアル信号を入力回路4で電位変換し、これをロジック3で解読する。そして、この信号をレジスタに一旦記憶し、同じシリアル信号を次の下位制御装置IC-2へ送る。

【0077】

引き続き、下位制御装置IC-2, IC-3もステップs7と同様な動作を実施する。そして、下位制御装置IC-3は、フォトカプラF4, ..., F6を用いてシリアル信号を上位制御装置MPUへ戻す。

50

## 【 0 0 7 8 】

ステップ s 8 において、上位制御装置 M P U は、戻ってきたシリアル信号を確認し、正常な場合は次の制御指令を送る。一方、上位制御装置 M P U に戻ったシリアル信号に誤りがある場合は、ステップ s 9 において、信号伝達に関する誤り回数を積算し、回数が許容回数以下の場合は、やり直しのために同じ指令信号を下位制御装置 I C - 1 へ送る。一方、誤り回数が許容回数以上に達した場合は、異常と判断して、ステップ s 1 0 において、上位制御装置 M P U は上位のシステムへ異常信号を出力する。

## 【 0 0 7 9 】

この制御フローでは、下位制御装置 I C - 1 から I C - 3 まで指令が届くまでに時間遅延がある。しかしながら、電池の電圧変化はマイコン等制御回路の動作に比べてゆっくりしており、下位制御装置 I C - 1 から I C - 3 で実施する単電池の状態監視は約数十 m s 毎に実施する程度で良い。このため、下位制御装置 I C - 1 から I C - 3 までの信号伝達で生じる時間遅延も状態監視の周期に比べて小さければ問題は無いものである。一方、上位制御装置 M P U は下位制御装置 I C - 1 へ発した指令と下位制御装置 I C - 3 から戻った指令を比べることで、いずれかの 1 つの下位制御装置が誤った場合もこれを発見できる。特に、非絶縁で信号を送る場合には、二次電池装置に接続されたインバータ等が発生するノイズの影響が心配されるが、上述した制御方法によれば、上位制御装置 M P U は 1 つづつの指令が全ての下位制御装置で正確に認識されたことを確認でき、装置の信頼性を向上することができる。

## 【 0 0 8 0 】

次に、図 6 を用いて、本実施形態による蓄電装置における容量調整時の制御方法について説明する。図 6 は、本発明の一実施形態による蓄電装置における容量調整時の制御内容を示すフローチャートである。

## 【 0 0 8 1 】

ステップ s 1 1 において、上位制御装置 M P U は、各下位制御装置 I C - 1 , I C - 2 , I C - 3 に容量調整を指令する。

## 【 0 0 8 2 】

次に、ステップ s 1 2 において、各下位制御装置 I C - 1 , I C - 2 , I C - 3 は、指令をレジスタに格納（記憶）し、1 つ低電位の下位制御装置へ同じ指令を送る。この方法は、図 5 に示したものと同様である。

## 【 0 0 8 3 】

次に、ステップ s 1 3 において、上位制御装置 M P U は、下位制御装置 I C - 3 から戻った指令を確認し、正常ならばステップ s 1 4 に移り、誤りがある場合はステップ s 1 1 に戻り再度、同じ指令を与える。

## 【 0 0 8 4 】

正常な場合には、ステップ s 1 4 において、上位制御装置 M P U は、下位制御装置 I C - 1 , ... , I C - 3 に容量調整後、休止する指令を送る。

## 【 0 0 8 5 】

次に、ステップ s 1 5 において、上位制御装置 M P U は、この指令の戻りを確認すると、上位制御装置 M P U 自身も休止状態に入る。以後は上位制御装置 M P U から指令が来ることはなく、下位制御装置 I C - 1 , ... , I C - 3 はそれぞれスタンドアローンの状態で動作する。

## 【 0 0 8 6 】

即ち、ステップ s 1 6 において、下位制御装置 I C - 1 , ... , I C - 3 は、それぞれ、対応する蓄電モジュールに具備された単電池の電圧を、図 2 の電圧検出回路 1 で順次検出し、検出された値と判定レベル（容量調整用基準電圧：図 2 の基準電圧回路 2 が比較器 C M P 3 に出力する電圧）と比較する。

## 【 0 0 8 7 】

単電池の電圧が判定レベルより高い場合は、ステップ s 1 7 において、各単電池に対応するスイッチ素子 S 1 , ... , S 1 2 をオンさせ、再び、ステップ s 1 6 の処理を実行する

10

20

30

40

50

## 【 0 0 8 8 】

単電池の電圧が判定レベルより低くなると、ステップ s 1 8 において、下位制御装置 IC - 1 , ... , IC - 3 は、それぞれ、対応する蓄電モジュールに具備された単電池の電圧が判定値より小さくなったことを確認すると、各装置に備えた内部電源 2 をオフし、スリープ状態に入る。尚、スタンドアローンの状態では直列に接続された下位制御装置 IC - 1 , ... , IC - 3 はどういう順でスリープに入るかは決まっていない。そこで、図 3、図 4 に示したように上下装置間での入出力の非絶縁接続では定電流スイッチ MP 3 に過大な電圧が印加されたり、単電池が局部的に放電したりする不具合を防止するようにしている。

10

## 【 0 0 8 9 】

なお、以上の例では、容量調整指令は、図 2 の比較器 CMP 3 に予め備えられた容量調整用基準電圧を用いている。しかしながら、図 7 に示す A / D コンバータを用い、上位制御装置 MPU が指示する任意の電圧を容量指令値として用いることができる。この場合、ステップ s 1 6 における判定レベルは、上位制御装置 MPU が指示する任意の電圧となる。なお、この点については、図 7 を用いて後述する。

## 【 0 0 9 0 】

次に、図 7 ~ 図 1 0 を用いて、本実施形態による蓄電装置に用いる A / D コンバータ 7 の構成及び動作について説明する。本実施形態における A / D コンバータは、電圧検出手段の誤差を校正する機能を備えている。

20

最初に、図 7 及び図 8 を用いて、本実施形態による蓄電装置に用いる A / D コンバータの全体構成について説明する。

図 7 は、本発明の一実施形態による蓄電装置に用いる A / D コンバータの構成を示す回路図である。図 8 は、本発明の一実施形態による蓄電装置に用いる A / D コンバータにおけるタイミングチャートである。なお、図 1 と同一符号は、同一部分を示している。

## 【 0 0 9 1 】

A / D コンバータ 7 は、図 1 に示したように、電圧検出誤差の補正用端子 A 1 , ... , A 3 , 及び補正用端子 B 1 , B 2 を備えている。図 2 に示した電圧検出手段 1 で検出された電圧 ( C 2 P の電圧 )  $V_x$  は、スイッチ手段 S x 3 を介して、比較器 1 4 の + 端子に伝えられる。一方、定電流手段 1 6 の電流  $i$  は、スイッチ手段 S x 3 と同期して駆動されるスイッチ手段 S x 1 を介して、キャパシタ C i に蓄積される。キャパシタ C i の電圧とアンプ 1 5 が出力する調整電圧 (  $V_{offset}$  ) とを加算した電圧が、比較器 1 4 の - 端子に印加され、検出電圧  $V_x$  と比較される。キャパシタ C i は、単電池の電圧を一回、計測し終わると、論理インバータ 1 3 で駆動されたスイッチ手段 S x 2 と抵抗 R i による放電回路で放電される。即ち、スイッチ手段 S x 3 がオンして、検出電圧  $V_x$  が比較器 1 4 の + 端子に伝えられた瞬間には、キャパシタ C i の電圧はゼロであり、比較器 1 4 の - 端子電圧は調整電圧 (  $V_{offset}$  ) に等しい。スイッチ手段 S x 2 は、スイッチ手段 S x 1 とスイッチ手段 S x 3 がオンした時刻以降、オフ状態を継続する。このため、スイッチ手段 S x 1 とスイッチ手段 S x 3 がオンした時刻以降は時間と共に、キャパシタ C i の電圧が電流  $i$  を積分して増加して行く。

30

40

## 【 0 0 9 2 】

比較器 1 4 の出力は、キャパシタ C i の電圧と調整電圧 (  $V_{offset}$  ) を加算した電圧が検出すべき単電池の電圧  $V_x$  より大きくなると、「 1 」から「 0 」に変わる。A / D コンバータ 7 は、スイッチ手段 S x 1 とスイッチ S x 3 がオンした時刻から、比較器 1 4 の出力が「 0 」に変わるまでの時間を計測する積分型の検出を行う。

## 【 0 0 9 3 】

調整電圧 (  $V_{offset}$  ) を用いるのは、電池の残存容量と電圧の関係による。例えば、非晶質系炭素を用いたリチウムイオン電池の場合、残存容量が 0 % の状態で単電池電圧 ( 開放電圧 ) は約 2 . 9 V であり、容量が 1 0 0 % の状態の開放電圧は約 4 . 1 V である。A / D コンバータ 7 は、例えば、2 . 9 V から 4 . 1 V までの電圧を精度良く検出すること

50

を求められており、残存容量が0%以下の電圧は計測の対象ではない。そこで、残存容量が0%以下の電圧(例えば2V)を調整電圧(Voffset)として選定し、調整電圧以上の電圧に対して高精度な検出が行えるよう工夫したものである。ここで、調整電圧は、図2に示した基準電圧Vrefの値を抵抗Rx1, Rx2で分圧し、この値にアンプ15のゲインを掛けたものを用いている。

#### 【0094】

スイッチ手段Sx1とスイッチ手段Sx3がオンした時刻から比較器14の出力が0になるまでの時間は、次のようにして計測する。始めにクロックパルス(例えば128発)を第一カウンタ9で分周する。図8(D)に示すクロックパルスの周波数を10MHzとして、このパルスを例えば128発カウントして、図8(A)に示す半周期の信号を作る。補正用端子A1, ..., A3が「1」か「0」かの状態に応じてカウント数は異なり、図8では基準の128発に対し±3発の補正が可能な場合を例示している。なお、補正の詳細については、図9を用いて後述する。

10

#### 【0095】

図7において、比較器14の出力が1であれば、AND回路11は、第一カウンタ9で分周されたパルスを次の第二カウンタ10に伝える。第二カウンタ10は、図8(C)に示すように、比較器14の出力が0になるまで、第一カウンタ9の出力をカウントする。調整電圧を含まないCiの電圧が0V, ..., 3Vの範囲をフルスケールとして、3Vまでのカウント数を128発と想定している。第二カウンタ10の特徴はシフトレジスタ12において、図8(B)に示すように、補正用端子B1, B2が「1」か「0」かの状態に応じて、第二カウンタ10の結果に±1カウント(或いは2カウント)することである。シフトレジスタ12の出力は、上位制御装置MPUから伝達された容量調整レベルとデジタル的に比較する、或いはシフトレジスタ12の出力を上位制御装置MPUに伝える等の役割で使用する。

20

#### 【0096】

ここで、補正用端子A1, ..., A3に応じた第一カウンタ9の補正は、定電流i, キャパシタCiの値で決まるキャパシタCiの電圧値を補正することであり、ゲイン補正に相当する。また、補正用端子B1, B2による第二カウンタ10の補正は、アンプ15の出力である調整電圧を補正することであり、オフセット補正に相当する。

#### 【0097】

前述のようにクロック周波数を10MHz, 第一カウンタ9でのカウント数を128, 第二カウンタでのカウント数をフルスケールで128とすれば、単電池電圧が4Vの場合、約1.1msの時間を要する。そこで、第一及び第二カウンタでのカウント数は、所望する電圧検出の精度と計測時間に応じて変更しても良いものである。

30

#### 【0098】

A/Dコンバータ7の補正端子A1, A2, A3, B1, B2は、直列に接続された下位制御装置IC-1, ..., IC-3が個別に備える基準電圧源の精度を校正するために備えられている。そのために、予め下位制御装置IC-1, ..., IC-3毎に、定電流i, キャパシタCi, 及び調整電圧(Voffset)の誤差を検出し、これらの誤差を補正するよう、端子A1, ..., A3と端子B1, B2に「1」又は「0」の情報を与える。この「1」又は「0」は、前述のように、各端子をVDD又はGND-1に接続することによって設定でき、抵抗のレーザートリミングなどの特別な装置は必要としないものである。

40

#### 【0099】

次に、図9及び図10を用いて、本実施形態による蓄電装置に用いるA/Dコンバータの中の第一カウンタ9と第二カウンタ10の構成及び動作について説明する。

図9は、本発明の一実施形態による蓄電装置に用いるA/Dコンバータの中の第一カウンタ9と第二カウンタ10の構成を示す回路図である。図10は、本発明の一実施形態による蓄電装置に用いるA/Dコンバータにおける真理値表である。なお、図7と同一符号は、同一部分を示している。

#### 【0100】

50



カウンタ9, 10は、128カウントに応じた構成を示している。第一カウンタ9は、フリップフロップM1, ..., M7を備えており、各フリップフロップの出力を補正用ロジック18に入力する。補正用ロジック18は、補正用端子A1, ..., A3の状態に応じて、±3パルス分だけ分周の周期を変更可能とする。補正用ロジック18は、図10に示すような真理値表を論理回路或いはソフトウェア的に作ったものである。補正用ロジック18の出力によってフリップフロップM1, ..., M7がクリアされる周期は異なり、このクリアまでの周期を半周期とするパルスが、フリップフロップN1, ..., N7で構成される第二カウンタ10に届けられる。シフトレジスタ12は、フリップフロップN1, ..., N7の各出力を補正用端子B1, B2の状態に応じて±1カウント(或いは2カウント)補正し、出力する。

10

## 【0101】

比較器14で判定されるキャパシタCiの電圧範囲を0, ..., 3V(Vxで表せば0, ..., 5V)をフルスケールとすると、シフトレジスタ12で補正される±1カウントは±23.4mVに相当する。また、補正用ロジック18で補正されるパルス幅(第二カウンタの入力パルス幅)は128発に対して±3発であれば±2%の補正が可能になる。

## 【0102】

図1に示した下位制御装置IC-1, IC-2, IC-3は、それぞれ製品出荷前に電圧検出手段の精度を検査し、各々が持つ基準電圧誤差に係わる電圧検出精度を評価する。そして、下位制御装置毎に補正用端子A1, ..., A3及びB1, B2を用いて電圧検出精度が許容範囲以内になるように校正する。このようにすれば、基準電圧用に高価な高精度部品を備える必要が無く、装置の高精度化と低コストが両立できる。

20

## 【0103】

以上説明したように、本実施形態によれば、絶縁手段の個数を低減して、低コストな制御装置とすることができる。また、ノイズ等の外乱による影響を低減して、信頼性の向上した信号伝達が可能となる。さらに、電圧検出の高精度化を図れるとともに、低コスト化することができる。

## 【0104】

次に、図11を用いて、本発明の他の実施形態による蓄電装置について説明する。

図11は、本発明の他の実施形態による蓄電装置の全体構成を示す回路図である。

## 【0105】

本実施形態における蓄電装置では、充電器パッケージ100には、下位制御装置IC-1, IC-2と上位制御装置が収納されている。なお、蓄電モジュールを構成する単電池VB1-VB4と単電池VB5-VB8は、充電器パッケージ100とは別の電池パック101に収納している。

30

## 【0106】

従来、モバイル用機器では、電池の異常を検出する制御装置(下位制御装置IC-1, IC-2に相当する)を電池パック内部に搭載していた。一方、ハイブリッド電気自動車に使用されるニッケル水素或いはリチウム電池は、短時間に定格電流の数, ..., 十倍の電流を充放電可能な高出力型である。こうした高出力型電池は今後、自動車以外の民生用途(例えば電動工具やコードレスクリーナ等)に適用されるものと予想される。電動工具を例とすれば、電池定格の十倍近い電流を放電すると共に、定格の数倍の電流で急速充電を行う機能が求められる。電池定格の十倍近い電流を放電させると、制御装置の電圧検出手段は、電池の残容量と相関性がある開放電圧(電池に負荷が繋がっていない状態の電圧)と電池の内部抵抗と大電流の積で決まる電圧降下分を合成した電圧を検出することになる。合成電圧が過放電レベル以下に減少すると、検出回路が過放電と判定してしまい装置は停止する。しかしながら、高出力型電池は短時間であれば合成電圧が過放電レベル以下に減少しても電池の安全性上、支障は無いものである。また、電動工具のような場合、電池の軽量化と低コスト化が求められるため、安全上支障が無ければ電池の保護に係わる制御装置(ICなど)を電池パックとは別の充電器に搭載し、工具を使用中はサーミスタ等の簡易な温度検知手段だけで電池の異常をモニタし、電池周辺の温度が許容値を超えた場

40

50

合は、モータ等の電池負荷側で電流を遮断すれば良いものである。本実施形態では、このような電池の使い方を考慮している。

【0107】

図11に示す例では、電池パック101に、単電池を8ヶ直列に接続したものを収納している。充電器100内部には、図2に示した下位制御装置IC-1, IC-2が2ヶ直列に備えられている。下位制御装置IC-1, IC-2の周辺、即ち、容量調整用スイッチ、及び抵抗、クロック用振動子、基準電圧用部品は図1と同じ構成である。また、電圧検出補正用端子A1, A2, A3, B1, B2も、図1と同じである。

【0108】

図1と相違する点は、上位制御装置MPUと下位制御装置IC-1, IC-2の接続法であり、本実施形態では、絶縁用のフォトプラは使用せず、スイッチ素子を用いた電位変換手段を備えている。即ち、上位制御装置MPUから高電位側の下位制御装置IC-1に信号を伝達する電位変換手段は、上位制御装置MPUからゲート信号を入力されるN-MOSFET(MN3), (MN4), (MN5)を備え、これらのスイッチ手段は、それぞれ、抵抗r1と抵抗r2、抵抗r3と抵抗r4、及び抵抗r5と抵抗r6からなる直列抵抗に接続される。ここで、抵抗r1, r2, r3は、一端が最高電位の単電池VB1の正極に接続される。抵抗r1, r2, r3の電圧は、それぞれ、P-MOSFET(MP6), (MP7)、(MP8)のゲートに接続され、上位制御装置MPUによってN-MOSFET(MN3), (MN4), (MN5)がオン・オフすると、これに応じてP-MOSFET(MP6), (MP7)、(MP8)もオン・オフする。P-MOSFET(MP6), (MP7)、(MP8)のドレイン端子は、下位制御装置IC-1の入力端子In-1, In-2及びIn-3に伝達される。

【0109】

同様に低電位側の下位制御装置IC-2から上位制御装置MPUへ戻る信号を電位変換する手段は、下位制御装置IC-3の出力端子Out-1, Out-2, Out-3にそれぞれゲートが接続されたN-MOSFET(MN6), (MN7), (MN8)を備え、N-MOSFET(MN6), (MN7), (MN8)のドレイン端子と制御電源21(Vcc)の正極の間に抵抗r7, r8, r9を接続する。そして、抵抗r7, r8, r9の電圧が上位制御装置MPUに戻る。上位制御装置MPUは、充電制御用の回路にも信号を送る。即ち、高電圧電源VDCに接続されたパワーMOSFET(MN9)とそのドライバ回路22、パワーMOSFET(MN9)に接続された還流用ダイオードDF、パワーMOSFET(MN9)に一端が接続されたチョークコイルLFが充電用回路であり、高電圧電源VDCからパワーMOSFET(MN9)を経て電池パック101に流れる電流は、電流検出器CT2でモニタする。また、高電圧電源VDCは、商用交流電源に接続されるAC/DCコンバータ23で作られ、VDCの出力をDC/DCコンバータ24を用いて上位制御装置MPU用の制御電源21を作る。

【0110】

電池パック101に搭載された単電池の各電極と充電器100内部の対応する下位制御装置IC-1, IC-2は、それぞれ、端子a, ..., iで接続する。また、電池パック101と充電器100の正極, 負極をそれぞれ接続して充電電流を流す。充電器100は、上位制御装置MPUが出力する信号でパワーMOSFET(MN9)を流れる充電電流を制御する。下位制御装置IC-1, IC-2は、電池パック101の充電中或いは充電終了後に、図6にて説明した容量調整を実施する。充電中に容量調整を実施する際には、電池パック101と充電器100が接続された際に、下位制御装置IC-1, IC-2に搭載されたA/Dコンバータで各単電池の電圧を計測し、上位制御装置MPUにその数値を順次送る。上位制御装置MPUでは、各単電池の電圧から容量調整レベルを算出し、下位制御装置IC-1, IC-2に伝達する。以後、充電電流が流れる中、下位制御装置IC-1, IC-2は容量調整と過充電の検出を実施する。尚、図6のステップs18で述べた調整後にスリープする動作はないものである。

【0111】

10

20

30

40

50

以上説明したように、本実施形態によれば、絶縁手段の個数を低減して、低コストな制御装置とすることができる。また、ノイズ等の外乱による影響を低減して、信頼性の向上した信号伝達が可能となる。さらに、電圧検出の高精度化を図れるとともに、低コスト化することができる。

#### 【0112】

次に、図12を用いて、本発明のその他の実施形態による蓄電装置の制御方法について説明する。

図12は、本発明のその他の実施形態による蓄電装置における制御内容を示すタイミングチャートである。なお、本実施形態に用いる蓄電装置の構成は、図1に示すもの、図11に示すもののいずれをも用いることができる。

10

#### 【0113】

図12は、上位制御装置MPUから下位制御装置IC-1へ、或いは下位制御装置IC-1, IC-2, CI-3間で伝達される入出力データ伝送方法を示している。

#### 【0114】

上位制御装置MPUは、図12(A)に示したクロック信号と、このクロック信号に同期した入力データ(図12(B))を、最高電位にある下位制御装置IC-1に伝達する。そして、下位制御装置IC-1, ..., IC-3間では、高電位側から低電位側へ入力されたデータをシリアルで伝送する。即ち、入力クロックと入力データを受け取った下位制御装置は、図12(C), (D)に示すように、1クロック分ずらして同じ信号を出力する。

20

#### 【0115】

このようにすれば、信号が入力してから出力するまでの信号遅延時間を短縮することができる。図12(B), (D)に、破線で示したOV, UV, 及び50%ORはそれぞれ、過充電、過放電、及び容量調整判定のビットを意味している。図12で1つ高電位側から受け取った入力データにOV, UV, 及び50%ORの情報がある場合は実線で、無い場合は波線で示している。出力データでは50%ORを実線で示したが、これは入力データを受け取った下位制御装置が対応する単電圧(例えば単電池VB1, ..., VB4)の電圧を検出した結果、容量調整レベルを越える単電池があったことを意味する。このように、下位制御装置は、過充電、過放電、及び容量調整判定等に関して入力されたデータと、対応する単電池の検出結果の論理和(OR)をとり、その結果を下位制御装置に伝達する。

30

#### 【0116】

上位制御装置MPUは、戻ってきたデータでOV, UV, 50%ORのいずれかのフラグが立っていれば、全体の単電池のうち、少なくとも1つは判定レベルを超えた電池があったことを認識することができる。

#### 【0117】

以上のようなシリアル信号にすれば、複数の下位制御装置が非絶縁で接続された場合において、信号伝達の遅延も短く、OR形式によりフェールセーフ型になるため、信頼性も向上する。なお、論理和の代わりに、論理積をとることにより、充放電時の信号解析から電池電圧のバラツキを推定することができ、この検出により容量調整機能を動作させることもできる。

40

#### 【0118】

なお、図1~図12に示した実施形態において、単電池VB1, ..., VB12を二次電池としているが、これに限定するものではなく、ウルトラキャパシタでもよいものである。

#### 【図面の簡単な説明】

#### 【0119】

【図1】本発明の一実施形態による蓄電装置の全体構成を示す回路図である。

【図2】本発明の一実施形態による蓄電装置に用いる下位制御装置内部の構成を示す回路図である。

50

【図 3】本発明の一実施形態による蓄電装置の中の下位制御装置に用いる出力回路 6 及び入力回路 4 の第 1 の構成を示す回路図である。

【図 4】本発明の一実施形態による蓄電装置の中の下位制御装置に用いる出力回路 6 及び入力回路 4 の第 2 の構成例を示す回路図である。

【図 5】本発明の一実施形態による蓄電装置の制御内容を示すフローチャートである。

【図 6】本発明の一実施形態による蓄電装置における容量調整時の制御内容を示すフローチャートである。

【図 7】本発明の一実施形態による蓄電装置に用いる A / D コンバータの構成を示す回路図である。

【図 8】本発明の一実施形態による蓄電装置に用いる A / D コンバータにおけるタイミングチャートである。 10

【図 9】本発明の一実施形態による蓄電装置に用いる A / D コンバータの中の第一カウンタ 9 と第二カウンタ 10 の構成を示す回路図である。

【図 10】本発明の一実施形態による蓄電装置に用いる A / D コンバータにおける真理値表である。

【図 11】本発明の他の実施形態による蓄電装置の全体構成を示す回路図である。

【図 12】本発明のその他の実施形態による蓄電装置における制御内容を示すタイミングチャートである。

【符号の説明】

【 0 1 2 0 】 20

1 ... 電圧検出手段

2 ... 電源回路

3 ... ロジック回路

4 ... 入力回路

5 ... クロック発生回路

6 ... 出力回路

7 ... A / D コンバータ

8 ... 電源制御回路

9 ... 第一カウンタ

10 ... 第二カウンタ 30

11 ... AND 回路

12 ... シフトレジスタ

13 ... 論理インバータ

14 ... 比較器

15 ... アンプ

16 ... 定電流回路手段

17 ... デジタルな比較手段

18 ... 補正用ロジック

19 ... OR 回路

20 ... AND 回路 40

21 ... 制御電源

22 ... ドライバ回路

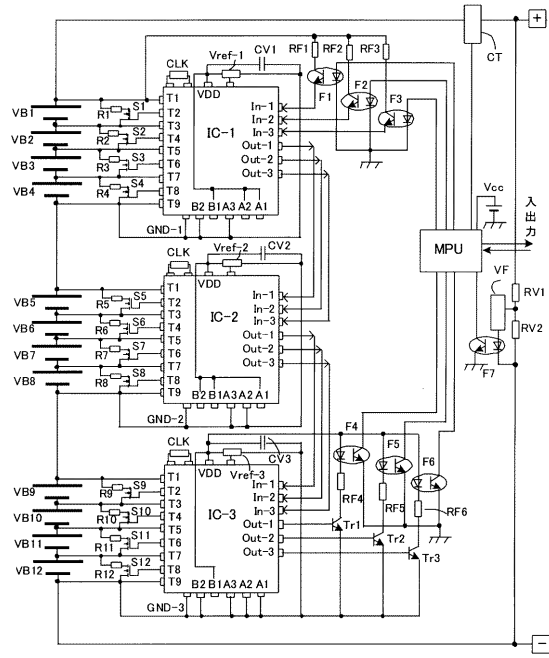
23 ... AC / DC コンバータ

24 ... DC / DC コンバータ

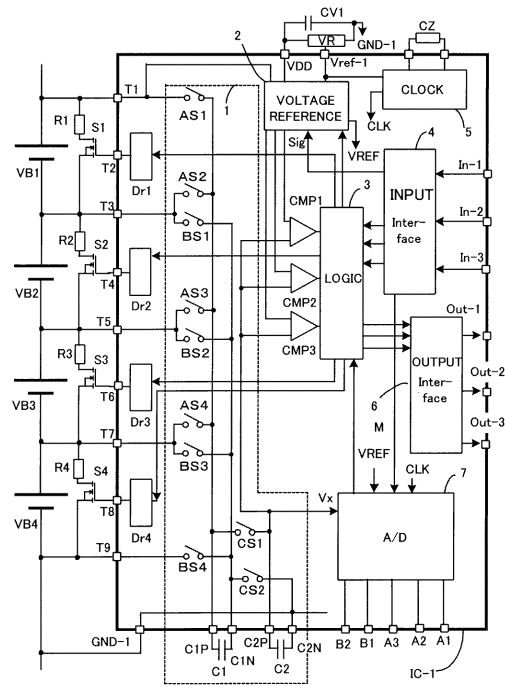
100 ... 充電器

101 ... 電池パック

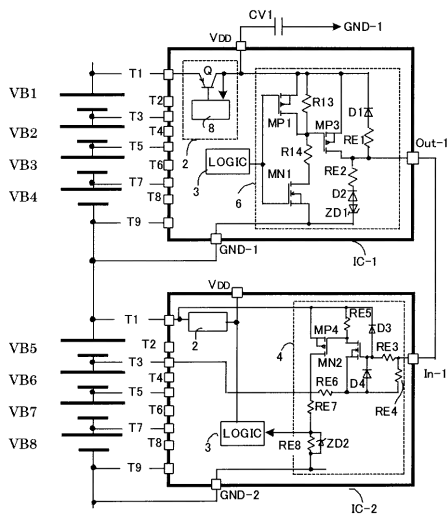
【 図 1 】



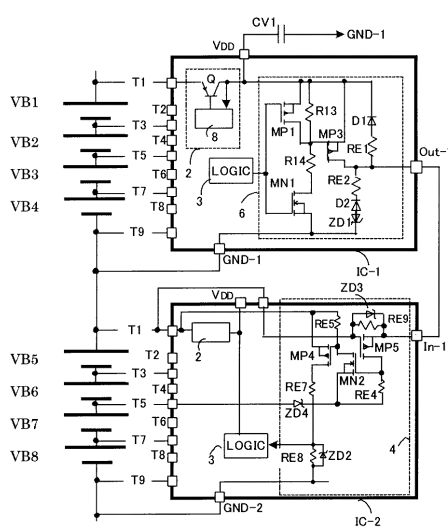
【 図 2 】



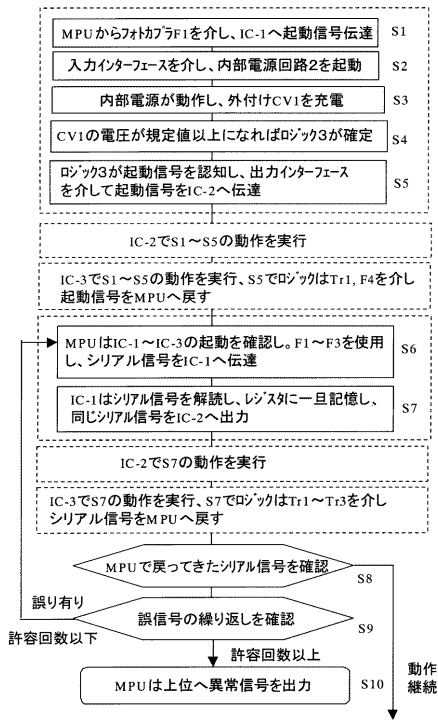
【 図 3 】



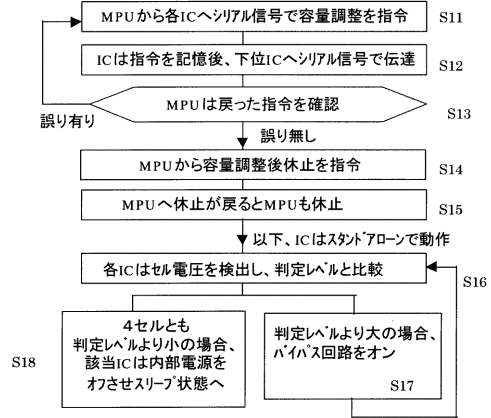
【 図 4 】



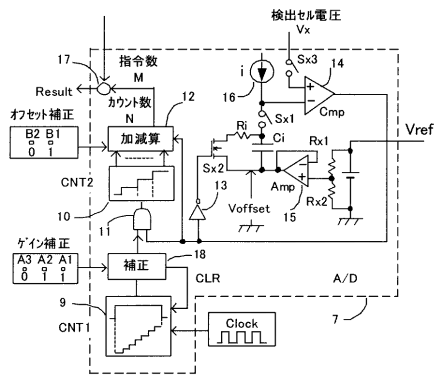
【図5】



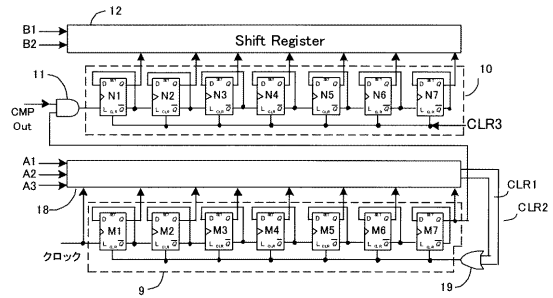
【図6】



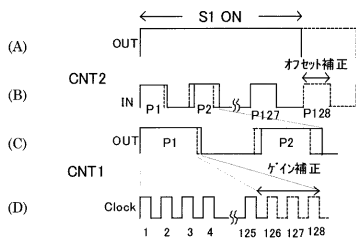
【図7】



【図9】



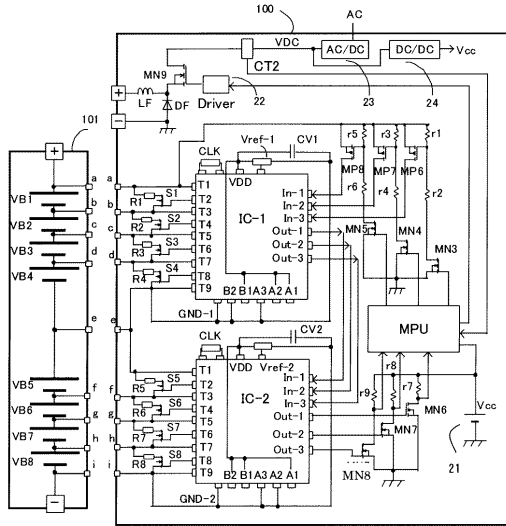
【図8】



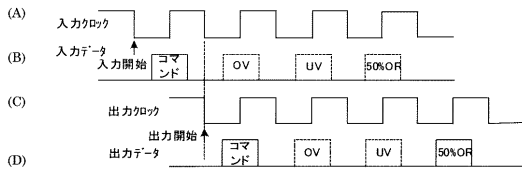
【図10】

No	A1	A2	A3	CLK	M1	M2	M3	M4	M5	M6	M7	CLR1	CLR2
1	-	0	0	0	-	-	-	-	-	-	1	1	0
2	1	1	0	0	1	-	-	-	-	-	1	0	1
3	1	0	1	0	0	1	-	-	-	-	1	0	1
4	1	1	1	0	1	1	-	-	-	-	1	0	1
5	0	1	0	0	1	1	1	1	1	1	0	0	1
6	0	0	1	0	0	1	1	1	1	1	0	0	1
7	0	1	1	0	1	0	1	1	1	1	0	0	1

【図11】



【図12】



---

フロントページの続き

- (72)発明者 江守 昭彦  
茨城県日立市大みか町七丁目1番1号  
内 株式会社日立製作所 日立研究所
- (72)発明者 工藤 彰彦  
東京都中央区日本橋本町二丁目8番7号 新神戸電機株式会社内
- (72)発明者 甲斐 剛  
東京都中央区日本橋本町二丁目8番7号 新神戸電機株式会社内

審査官 石川 晃

- (56)参考文献 特開2001-224138(JP,A)  
特開2000-173674(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J 7/02  
H02J 7/00  
B60L 11/18  
H01M 10/44