

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5458582号
(P5458582)

(45) 発行日 平成26年4月2日 (2014.4.2)

(24) 登録日 平成26年1月24日 (2014.1.24)

(51) Int. Cl.

F I

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 A

H O 4 N 5/374 (2011.01)

H O 4 N 5/335 7 4 O

H O 4 N 5/353 (2011.01)

H O 4 N 5/335 5 3 O

請求項の数 6 (全 23 頁)

(21) 出願番号 特願2009-16266 (P2009-16266)
 (22) 出願日 平成21年1月28日 (2009.1.28)
 (65) 公開番号 特開2010-177321 (P2010-177321A)
 (43) 公開日 平成22年8月12日 (2010.8.12)
 審査請求日 平成23年12月20日 (2011.12.20)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100120640
 弁理士 森 幸一
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 大池 祐輔
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項 1】

光電変換部と、当該光電変換部に蓄積された電荷を転送する転送トランジスタと、前記光電変換部に蓄積された電荷を選択的に排出する電荷排出トランジスタと、画素をリセットするためのリセットトランジスタとを有する画素が2次元配列された画素アレイ部と、

前記画素アレイ部の各画素から信号を読み出す駆動を行うとともに、前記リセットトランジスタを駆動する信号を用いて前記電荷排出トランジスタを駆動する駆動部とを備えた固体撮像装置。

【請求項 2】

前記画素は、前記転送トランジスタによって前記光電変換部から転送される電荷を保持する浮遊容量と、当該浮遊容量とは別に前記蓄積電荷を保持するメモリ部とを有し、

前記リセットトランジスタは、前記浮遊容量をリセットすることによって前記画素をリセットする

請求項 1 に記載の固体撮像装置。

【請求項 3】

前記駆動部は、前記画素からの信号読出し期間において、前記リセットトランジスタによって前記浮遊容量をリセットするよりも前に、前記光電変換部の蓄積電荷を前記メモリ部へ転送する

請求項 2 に記載の固体撮像装置。

【請求項 4】

10

20

前記駆動部は、行走査方向に対して先に信号読出しが行われる画素の前記電荷排出トランジスタの駆動信号と、それよりも後に信号読出しが行われる画素の前記リセットトランジスタの駆動信号とを共有する

請求項 1 から請求項 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

光電変換部と、当該光電変換部に蓄積された電荷を転送する転送トランジスタと、前記光電変換部に蓄積された電荷を選択的に排出する電荷排出トランジスタと、画素をリセットするためのリセットトランジスタとを有する画素が 2 次元配列された画素アレイ部を備えた固体撮像装置の駆動に当たって、

前記リセットトランジスタを駆動する信号を用いて前記電荷排出トランジスタを駆動する

10

固体撮像装置の駆動方法。

【請求項 6】

光電変換部と、当該光電変換部に蓄積された電荷を転送する転送トランジスタと、前記光電変換部に蓄積された電荷を選択的に排出する電荷排出トランジスタと、画素をリセットするためのリセットトランジスタとを有する画素が 2 次元配列された画素アレイ部と、

前記画素アレイ部の各画素から信号を読み出す駆動を行うとともに、前記リセットトランジスタを駆動する信号を用いて前記電荷排出トランジスタを駆動する駆動部と

を備えた固体撮像装置を有する電子機器。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の駆動方法および電子機器に関し、特に電子シャッタ機能を備えた CMOS イメージセンサ等の固体撮像装置、当該固体撮像装置の駆動方法および当該固体撮像装置を有する電子機器に関する。

【背景技術】

【0002】

固体撮像装置、例えば X - Y アドレス方式の固体撮像装置の一種である CMOS イメージセンサの多くは、光電変換部（受光部）に蓄積された信号電荷をリセットし、新たに信号電荷の蓄積を開始する動作を電子的に行う電子シャッタ機能を備えている。そして、一般的な CMOS イメージセンサでは、露光開始と露光終了とを画素行ごとに順次走査にて実行する、いわゆるローリングシャッタ（フォーカルプレーンシャッタとも呼ばれる）方式が採用されている。

30

【0003】

電子シャッタとしてローリングシャッタ方式を採用した場合、露光期間が画素行間で同時性がないために、動いている被写体や点滅している被写体を撮影すると、画像に歪みや破綻が発生する問題がある。これに対して、全画素に対して同一のタイミングで露光開始と露光終了とを実行するグローバル露光を実現することで、動いている被写体や点滅している被写体を撮影した際の歪みを無くすることができる。

【0004】

40

そのため、CMOS イメージセンサにてグローバル露光を実現するために、光電変換部とは別に信号電荷を保持するための保持部（FD や CCD）を設けた構成を採っている。そして、全画素同時に信号電荷を光電変換部から保持部に転送することで、露光終了を全画素同時に実行し、露光期間の同時性を実現するようにしている。

【0005】

しかし、信号電荷の保持部が追加された構造を採る CMOS イメージセンサでは、露光後に信号電荷（光電荷）を読み出している期間中、即ち信号電荷を保持部に保持し続けている期間中でも、光電変換部が入射光を受光し続けるために再度電荷の蓄積が発生する。これにより、入射光が強い場合は光電変換部が再度飽和してしまう。そして、光電変換部から溢れた信号電荷が保持部へ漏れ込むと画像が破綻することになる。

50

【 0 0 0 6 】

そのため、従来は、光電変換部内の信号電荷を F D 部（フローティングディフュージョン部）に転送する転送トランジスタとは別に、光電変換部内の信号電荷を F D 部とは別の部位へ排出するための電荷排出トランジスタを画素内に設けるようにしている（例えば、特許文献 1 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 4 - 1 4 0 1 4 9 号公報

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかし、電荷排出トランジスタを画素内に新たに追加する構成を採ると、当該電荷排出トランジスタを駆動するための信号配線が増加するために、レイアウト効率が低下する。また、信号配線の増加に伴う光電変換部の上層の配線層の配線の増加により、光電変換部への入射光が上層配線によって蹴られると光電変換部に入射する光量が減少するために感度が低下する。

【 0 0 0 9 】

そこで、本発明は、電荷排出トランジスタを設けた画素構造を採っても、レイアウト効率が低下したり、感度が低下したりしないようにした固体撮像装置、当該固体撮像装置の駆動方法および当該固体撮像装置を有する電子機器を提供することを目的とする。

20

【 課題を解決するための手段 】

【 0 0 1 0 】

上記目的を達成するために、本発明は、

光電変換部と、当該光電変換部に蓄積された電荷を選択的に排出する電荷排出トランジスタとを有する画素が 2 次元配列された画素アレイ部を備えた固体撮像装置において、

前記画素アレイ部の各画素から信号を読み出す駆動を行うための信号を用いて前記電荷排出トランジスタを駆動する。

【 0 0 1 1 】

上記構成の固体撮像装置において、画素から信号を読み出す駆動を行う際の駆動信号を用いて電荷排出トランジスタを駆動するということは、信号読出しのための駆動信号が電荷排出トランジスタの駆動信号として共用されるということである。したがって、電荷排出トランジスタの駆動信号を伝送する信号配線を設けなくても、信号読出しのための駆動信号を伝送する信号配線を用いて電荷排出トランジスタを駆動できることになる。すなわち、光電変換部に蓄積された電荷を選択的に排出する電荷排出トランジスタを設けた画素構造を採った場合において、電荷排出トランジスタを駆動するための専用の信号配線を追加しなくても、電荷排出トランジスタを駆動できることになる。

30

【 発明の効果 】

【 0 0 1 2 】

本発明によれば、電荷排出トランジスタを設けた画素構造において、当該電荷排出トランジスタを専用の信号配線を追加しなくても駆動できるために、電荷排出トランジスタの追加に伴うレイアウト効率の低下や感度の低下を招かなくて済む。

40

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 本発明が適用される C M O S イメージセンサの構成の概略を示すシステム構成図である。

【 図 2 】 画素内部にメモリ部を持たない画素構造の回路例 1 の回路構成を示す回路図である。

【 図 3 】 画素内部にメモリ部を持つ画素構造の回路例 2 の回路構成を示す回路図である。

【 図 4 】 本発明の第 1 実施形態に係る C M O S イメージセンサの要部の構成を示す回路図

50

である。

【図５】第１実施形態に係るＣＭＯＳイメージセンサの駆動方法の一例を示すタイミングチャートである。

【図６】第１実施形態におけるローリングシャッタ動作の場合の駆動例を示すタイミングチャートである。

【図７】トランジスタと配線の配置の一例を示す画素のレイアウト図である。

【図８】本発明の第２実施形態に係るＣＭＯＳイメージセンサの要部の構成を示す回路図である。

【図９】本発明の第３実施形態に係るＣＭＯＳイメージセンサの要部の構成を示す回路図である。

10

【図１０】第３実施形態に係るＣＭＯＳイメージセンサの駆動方法の一例を示すタイミングチャートである。

【図１１】第３実施形態におけるローリングシャッタ動作の場合の駆動例を示すタイミングチャートである。

【図１２】本発明の第４実施形態に係るＣＭＯＳイメージセンサの要部の構成を示す回路図である。

【図１３】本発明の第５実施形態に係るＣＭＯＳイメージセンサの要部の構成を示す回路図である。

【図１４】容量Ｃ_f、_dや容量Ｃ_mに光電荷が保持されている状態で、フォトダイオードの蓄積電荷を引き抜く必要がある場合の設計例を示すポテンシャル図である。

20

【図１５】フォトダイオードの蓄積電荷を排出することなく容量Ｃ_f、_dへ転送できることを示すポテンシャル図である。

【図１６】容量Ｃ_f、_dに保持電荷がある場合に当該保持電荷に過剰電荷が加わることなく排出が完了する様子を示す図である。

【図１７】水平２画素共有の画素構造に適用した場合の要部の構成を示す回路図である。

【図１８】本発明による電子機器の一例である撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【００１４】

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

30

１．本発明が適用される固体撮像装置（ＣＭＯＳイメージセンサの例）

１－１．システム構成

１－２．単位画素の回路構成

２．第１実施形態（選択パルスＳＥＬと共有する例）

３．第２実施形態（リセットパルスＲＳＴと共有する例１）

４．第３実施形態（リセットパルスＲＳＴと共有する例２）

５．第４実施形態（転送パルスＴＲＧと共有する例）

６．第５実施形態（転送パルスＴＲＸと共有する例）

40

７．適用例（複数画素共有構造の例）

８．変形例

９．電子機器（撮像装置の例）

【００１５】

< １．本発明が適用される固体撮像装置 >

[１－１．システム構成]

図１は、本発明が適用される固体撮像装置、例えばＸ－Ｙアドレス方式の固体撮像装置の一種であるＣＭＯＳイメージセンサの構成の概略を示すシステム構成図である。

【００１６】

図１に示すように、本適用例に係るＣＭＯＳイメージセンサ１０は、半導体基板（チッ

50

プ) 11上に形成された画素アレイ部12と、当該画素アレイ部12と同じチップ11上に集積された周辺回路部とを有する構成となっている。周辺回路部として、例えば、垂直駆動部13、カラム処理部14、水平駆動部15、出力回路部16およびシステム制御部17が設けられている。

【0017】

画素アレイ部11には、入射する可視光を光電変換し、その光量に応じた電荷量の信号電荷(光電荷)を蓄積する光電変換部(光電変換素子)を含む図示せぬ単位画素(以下、単に「画素」と記述する場合もある)が行列状に2次元配置されている。単位画素の具体的な構成については後述する。

【0018】

画素アレイ部12にはさらに、行列状の画素配列に対して行ごとに画素駆動線121が図の左右方向(画素行の画素配列方向/水平方向)に沿って配線され、列ごとに垂直信号線122が図の上下方向(画素列の画素配列方向/垂直方向)に沿って配線されている。図1では、画素駆動線121について1本として示しているが、1本に限られるものではない。画素駆動線121の一端は、垂直駆動部13の各行に対応した出力端に接続されている。

【0019】

垂直駆動部13は、シフトレジスタやアドレスデコーダからなる行走査回路などによって構成され、画素アレイ部12の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部13はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

【0020】

読出し走査系は、単位画素から信号を読み出すために、画素アレイ部12の単位画素を行単位で順に選択走査する。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【0021】

この掃出し走査系による掃出し走査により、読出し行の単位画素の光電変換部から不要な電荷が掃き出される(リセットされる)。そして、この掃出し走査系による不要電荷の掃き出し(リセット)により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する(信号電荷の蓄積を開始する)動作のことを言う。

【0022】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積帰還(露光期間)となる。

【0023】

垂直駆動部13によって選択走査された画素行の各単位画素から出力される信号は、垂直信号線122の各々を通してカラム処理部14に供給される。カラム処理部14は、画素アレイ部12の画素列ごとに、選択行の各単位画素から垂直信号線122を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0024】

具体的には、カラム処理部14は、各単位画素の信号を受けて当該信号に対して、例えばCDS(Correlated Double Sampling; 相関二重サンプリング)によるノイズ除去や、信号増幅や、AD(アナログ-デジタル)変換などの信号処理を行う。ノイズ除去処理により、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、ここで例示した信号処理は一例に過ぎず、信号処理としてはこれ

10

20

30

40

50

らに限られるものではない。

【 0 0 2 5 】

水平駆動部 1 5 は、シフトレジスタやアドレスデコーダからなる列走査回路などによって構成され、カラム処理部 1 4 の画素列に対応する単位回路を順番に選択する。この水平駆動部 1 5 による選択走査により、カラム処理部 1 4 で単位回路ごとに信号処理された画素信号が順番に水平バス 1 8 に出力され、当該水平バス 1 8 によって出力回路部 1 6 に伝送される。

【 0 0 2 6 】

出力回路部 1 6 は、水平バス 1 8 によって伝送される信号を処理して出力する。出力回路部 1 6 での処理としては、バッファリングだけの処理の場合もあるし、バッファリングの前に黒レベルを調整したり、列ごとのばらつきを補正したりするなど、各種のデジタル信号処理が挙げられる。

【 0 0 2 7 】

システム制御部 1 7 は、チップ 1 1 の外部から与えられるクロックや、動作モードを指令するデータなどを受け取り、また、本 C M O S イメージセンサ 1 0 の内部情報などのデータを出力する。システム制御部 1 7 さらには、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 1 3、カラム処理部 1 4 および水平駆動部 1 5 などの周辺回路部の駆動制御を行う。

【 0 0 2 8 】

[1 - 2 . 単位画素の回路構成]

続いて、単位画素 2 0 の回路構成の具体例について説明する。ここでは、画素内部に電荷を保持するメモリ部を持たない画素構造の場合と、当該メモリ部を持つ画素構造の場合の 2 つの回路構成を例に挙げて説明するものとする。そして、メモリ部を持たない画素構造の回路例を回路例 1 とし、メモリ部を持つ画素構造の回路例を回路例 2 とする。

【 0 0 2 9 】

(画素内部にメモリ部を持たない画素構造の例)

図 2 は、画素内部にメモリ部を持たない画素構造の回路例 1 の回路構成を示す回路図である。本回路例 1 に係る単位画素 2 0 A は、光電変換部である例えばフォトダイオード 2 1 に加えて、例えば転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4、選択トランジスタ 2 5 および電荷排出トランジスタ 2 6 を有する構成となっている。

【 0 0 3 0 】

フォトダイオード 2 1 は、アノード電極が負側電源(例えば、グランド)に接続されており、受光した可視光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換して蓄積する。フォトダイオード 2 1 のカソード電極は、転送トランジスタ 2 2 を介して増幅トランジスタ 2 4 のゲート電極と電氣的に接続されている。

【 0 0 3 1 】

以下、増幅トランジスタ 2 4 のゲート電極と電氣的に繋がったノード 2 7 を F D (フローティングディフュージョン/浮遊拡散領域)部と呼ぶ。すなわち、F D 部 2 7 は、転送トランジスタ 2 2 のドレイン領域に相当する拡散層と、増幅トランジスタ 2 4 のゲート電極と、それらをつなぐ配線からなるノードであり、浮遊容量 C f d を持っている。

【 0 0 3 2 】

転送トランジスタ 2 2 は、フォトダイオード 2 1 のカソード電極と F D 部 2 7 との間に接続されている。転送トランジスタ 2 2 は、そのゲート電極に転送パルス T R G が与えられることによってオン状態となり、フォトダイオード 2 1 内に蓄積されている光電荷を F D 部 2 7 に転送する。

【 0 0 3 3 】

リセットトランジスタ 2 3 は、F D 部 2 7 を一方の主電極とし、他方の主電極が電源 V d d の電源配線に接続されている。本例の場合、一方の主電極がソース電極となり、他方

10

20

30

40

50

の主電極がソース電極となる。リセットトランジスタ23は、そのゲート電極にリセットパルスRSTが与えられることによってオン状態となり、浮遊容量Cfdの保持電荷を電源Vddに捨てることによって当該浮遊容量Cfdをリセットする。このFD部27、即ち浮遊容量Cfdのリセットが単位画素20のリセットとなる。

【0034】

増幅トランジスタ24は、ゲート電極がFD部27に、ドレイン電極が電源Vddの電源配線にそれぞれ接続され、FD部27の電位に応じたレベルの信号を出力する。選択トランジスタ25は、例えばドレイン電極が増幅トランジスタ24のソース電極に、ソース電極が垂直信号線122にそれぞれ接続されている。

【0035】

選択トランジスタ25は、そのゲート電極に選択パルスSELが与えられることによってオン状態となり、単位画素20を選択状態として増幅トランジスタ24から与えられる信号を垂直信号線122に出力する。なお、選択トランジスタ25については、電源Vddの電源配線と増幅トランジスタ24のドレイン電極との間に接続した回路構成を採ることも可能である。

【0036】

電荷排出トランジスタ26は、フォトダイオード21と電荷排出ノード（例えば、電源Vddの電源配線）との間に接続されている。電荷排出トランジスタ26は、そのゲート電極に電荷排出パルスOFGが与えられることによってオン状態となり、フォトダイオード21内の光電荷を電荷排出ノードに選択的に捨てる（排出する）。

【0037】

電荷排出トランジスタ26は次の目的で設けられる。すなわち、前にも述べたように、光電荷の蓄積を行わない期間に電荷排出トランジスタ26をオン状態することで、過剰な光がフォトダイオード21に入射して光電荷で飽和し、飽和電荷量を超えた電荷がFD部27や周辺へ溢れ出すのを回避するためである。

【0038】

上記構成の回路例1に係る単位画素20Aにおいて、転送トランジスタ22または電荷排出トランジスタ26をオン状態にし、フォトダイオード21内の蓄積電荷を排出してから、転送トランジスタ22および電荷排出トランジスタ26をオン状態にする。これにより、フォトダイオード21での光電荷の蓄積が開始する。

【0039】

露光終了時に転送トランジスタ22をオン状態としてフォトダイオード21に蓄積された光電荷をFD部27の浮遊容量Cfdに転送する。この光電荷の転送に先立って、リセットトランジスタ23をオン状態にすることで事前にFD部27をリセットしておく。そして、リセット直後のFD部27の電圧を増幅トランジスタ24によってリセットレベルとして読み出して選択トランジスタ25を介して垂直信号線122に出力する。

【0040】

このリセットレベルを読み出した後にFD部27への電荷転送を行って、このときのFD部27の電圧を増幅トランジスタ24によって信号レベルとして読み出して選択トランジスタ25を介して垂直信号線122に出力する。なお、増幅トランジスタ24によって読み出す信号の順番は、先にリセットレベル、後に信号レベルの順番に限られるものではない。すなわち、先にフォトダイオード21からFD部27に光電荷を転送して信号レベルを読み出し、その後にFD部27をリセットしてリセットレベルを読み出すようにしてもよい。

【0041】

このようにして、単位画素20Aから順に垂直信号線122に出力されるリセットレベルと信号レベルとは、当該垂直信号線122を通して先述したカラム処理部14（図1参照）に供給される。そして、カラム処理部14において、リセットレベルと信号レベルとの差分をとるCDS処理が行われることで、画素固有の固定パターンノイズが除去された本来の信号（正しい信号）が得られる。

10

20

30

40

50

【 0 0 4 2 】

本回路例 1 に係る単位画素 2 0 A においては、転送パルス T R G、リセットパルス R S T および選択パルス S E L が、当該画素 2 0 A から信号を読み出す駆動を行うための駆動信号となる。

【 0 0 4 3 】

(画素内部にメモリ部を持つ画素構造の例)

図 3 は、画素内部にメモリ部を持つ画素構造の回路例 2 の回路構成を示す回路図であり、図中、図 2 と同等部分には同一符号を付して示している。

【 0 0 4 4 】

本回路例 2 に係る単位画素 2 0 B は、フォトダイオード 2 1、転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4、選択トランジスタ 2 5 および電荷排出トランジスタ 2 6 に加えてメモリ部 2 8 を有する構成となっている。メモリ部 2 8 は、フォトダイオード 2 1 と転送トランジスタ 2 2 との間に設けられている。

【 0 0 4 5 】

フォトダイオード 2 1、転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4、選択トランジスタ 2 5 および電荷排出トランジスタ 2 6 の接続関係および機能については、基本的に、回路例 1 に係る単位画素 2 0 A の場合と同じである。したがって、これらの説明については重複するのでここでの説明は省略する。メモリ部 2 8 は、光電荷を保持する容量 C m を有するとともに、転送パルス T R X に応答してフォトダイオード 2 1 から光電荷を容量 C m に転送する転送機能を持っている。

【 0 0 4 6 】

メモリ部 2 8 を持つ画素構造としては、例えば、C C D (Charge Coupled Device) と同様な埋め込みチャネル型の構造を用いることができる。ただし、埋め込みチャネル型の構造に限られるものではなく、それ以外の周知の構造 (例えば、特開 2 0 0 6 - 3 1 1 5 1 5 号公報や、特開 2 0 0 7 - 5 0 3 7 2 2 号公報参照) であっても構わない。

【 0 0 4 7 】

画素内部にメモリ部 2 8 を設ける本来の目的は、画素のリセット動作における k T C / q ノイズをも含めたノイズ低減処理を実現することにある (例えば、特開 2 0 0 6 - 3 1 1 5 1 5 号公報や、特開 2 0 0 7 - 5 0 3 7 2 2 号公報参照)。そして、画素内部に F D 部 2 7 以外に電荷を保持可能なメモリ部 2 8 を有する画素構造であれば、飽和時の光電荷の溢れを回避する効果も得られる。

【 0 0 4 8 】

本回路例 2 に係る単位画素 2 0 B においては、転送パルス T R G、リセットパルス R S T、選択パルス S E L および転送パルス T R X が、当該画素 2 0 B から信号を読み出す駆動を行うための駆動信号となる。

【 0 0 4 9 】

以上説明したように、C M O S イメージセンサ 1 0 において、単位画素 2 0 (2 0 A , 2 0 B) に電荷排出トランジスタ 2 5 を設けた画素構造を採る場合に、レイアウト効率が低下したり、感度が低下したりしないようにするために為されたのが本発明である。以下に、その具体的な実施形態について説明する。

【 0 0 5 0 】

< 2 . 第 1 実施形態 >

[システム構成]

図 4 は、本発明の第 1 実施形態に係る C M O S イメージセンサの要部の構成を示す回路図である。ここでは、図 2 に示した回路例 1 の単位画素 2 0 A が 2 次元配列されてなる C M O S イメージセンサの場合を例に挙げて示している。また、図面の簡略化のために、ある画素列の上下に隣接する 2 つの単位画素 2 0 A - i , 2 0 A - i - 1 を代表して示している。

【 0 0 5 1 】

図 4 に示すように、単位画素 2 0 A の各々に対して、画素駆動線 1 2 1 として、例えば

10

20

30

40

50

転送配線 1 2 1 - 1、リセット配線 1 2 1 - 2 および選択配線 1 2 1 - 3 の 3 本の駆動配線が画素行ごとに設けられている。これらの駆動配線 1 2 1 - 1, 1 2 1 - 2, 1 2 1 - 3 は、画素行ごとに垂直駆動部 1 3 の対応する出力端にそれぞれ接続されている。

【 0 0 5 2 】

そして、 i 行目を中心に説明すると、転送配線 1 2 1 - 1 は、垂直駆動部 1 3 から出力される i 行目の転送パルス $T R G_i$ を転送トランジスタ 2 2 のゲート電極に対して画素行単位で与える。リセット配線 1 2 1 - 2 は、垂直駆動部 1 3 から出力される i 行目のリセットパルス $R S T_i$ をリセットトランジスタ 2 3 のゲート電極に対して画素行単位で与える。

【 0 0 5 3 】

選択配線 1 2 1 - 3 は、垂直駆動部 1 3 から出力される i 行目の選択パルス $S E L_i$ を選択トランジスタ 2 5 のゲート電極に対して画素行単位で与えるとともに、前の行、即ち $i - 1$ 行目の電荷排出トランジスタ 2 6 のゲート電極に対しても画素行単位で与える。すなわち、行走査方向に対して先に信号読出しが行われる画素 2 2 A - $i - 1$ の電荷排出トランジスタ 2 6 の電荷排出パルス $O F G_{i - 1}$ として、それよりも後に信号読出しが行われる画素 2 2 A - i の選択トランジスタ 2 4 の選択パルス $S E L_i$ が共用されている。

【 0 0 5 4 】

[駆動例]

次に、第 1 実施形態に係る C M O S イメージセンサの駆動方法の一例について図 5 のタイミングチャートを用いて説明する。

【 0 0 5 5 】

まず、全画素行について、時刻 t_{11} で転送パルス $T R G$ とリセットパルス $R S T$ とをアクティブ (H i g h レベル) 状態にし、フォトダイオード 2 1 の蓄積電荷を排出することで、グローバル露光が開始される。この蓄積電荷を排出する動作については、前述の通り、電荷排出トランジスタ 2 6 をオン状態としても構わない場合があるため、グローバル露光では選択パルス $S E L$ をアクティブ状態とする場合もある。

【 0 0 5 6 】

グローバル露光期間中は、フォトダイオード 2 1 に光電荷が蓄積される。そして、グローバル露光が終了する時刻 t_{12} で転送パルス $T R G$ をアクティブ状態にすることで、フォトダイオード 2 1 の蓄積電荷を F D 部 2 7 の浮遊容量 C_{fd} に転送する。以上が、グローバル露光期間中の動作である。

【 0 0 5 7 】

単位画素 2 0 A からの信号の読出しは画素行ごとに実行される。具体的には、時刻 t_{13} で選択パルス $S E L_{i - 1}$ がアクティブ状態となる $i - 1$ 行目の信号読出しでは、まず F D 部 2 7 の浮遊容量 C_{fd} に保持された光電荷を信号レベルとして読み出す。この信号レベルの読出し期間を D 期間と呼ぶこととする。

【 0 0 5 8 】

次いで、時刻 t_{14} でリセットパルス $R S T_{i - 1}$ をアクティブ状態にすることで、F D 部 2 7 の浮遊容量 C_{fd} をリセットする。そして、このリセット時の F D 部 2 7 の電圧をリセットレベルとして読み出す。このリセットレベルの読出し期間を P 期間と呼ぶこととする。

【 0 0 5 9 】

引き続いて、 i 行目の読出し動作に入る訳であるが、 $i - 1$ 行目の信号読出し動作と i 行目の読出し動作との合間にフォトダイオード 2 1 が飽和して光電荷が溢れないようにするための動作が行われる。具体的には、時刻 t_{15} - 時刻 t_{16} の期間において、選択パルス $S E L$ をアクティブ状態にし、電荷排出トランジスタ 2 6 をオン状態にすることで、フォトダイオード 2 1 の光電荷を電源 V_{dd} に排出する。これにより、フォトダイオード 2 1 の飽和を回避することができる。

【 0 0 6 0 】

上述したように、第 1 実施形態に係る C M O S イメージセンサは、単位画素 2 0 A から

10

20

30

40

50

信号を読み出す駆動を行う際の選択パルスSELを用いて電荷排出トランジスタ26を駆動することを特徴としている。そして、選択パルスSELを電荷排出トランジスタ26の電荷排出パルスOFFGとして共有することで、電荷排出パルスOFFG用の専用の信号配線を設けなくても、選択パルスSEL用の選択配線121-3を兼用して電荷排出トランジスタ26を駆動できることになる。

【0061】

すなわち、電荷排出トランジスタ26を有する画素構造のCMOSイメージセンサにおいて、電荷排出トランジスタ26を駆動するための専用の信号配線を追加しなくても、電荷排出トランジスタ26を駆動できることになる。このように、電荷排出トランジスタ26を駆動するための専用の信号配線が不要な構成を採ることで、電荷排出トランジスタ26の追加に伴うレイアウト効率の低下や感度の低下を招かなくて済む。

10

【0062】

なお、本実施形態では、 $i-1$ 行目の電荷排出トランジスタ26の駆動信号（即ち、電荷排出パルスOFFG）として、それよりも後に信号読出しが行われる i 行目の選択トランジスタ24の選択パルスSEL i を共有するとしたが、これに限られるものではない。すなわち、グローバル露光動作のみで、露光期間と読出し期間を分離することが前提の場合は、任意の画素行の選択パルスSELを共有して構わない。

【0063】

ただし、選択パルスSELとの共有においては、図5の駆動例の場合のように、行走査方向（読出し走査方向）に対して先に読み出される画素の電荷排出パルスOFFGとして、それよりも後に読み出される画素の選択パルスSELを共有することが好ましい。その理由は次の通りである。

20

【0064】

行走査方向に対して先に読み出される画素の電荷排出パルスOFFGとして、それよりも後に読み出される画素の選択パルスSELを共有することで、CMOSイメージセンサの一般的な駆動であるローリングシャッタ動作に対応することができる。ここで、ローリングシャッタ動作とは、グローバル露光と異なり、行走査方向に順次でフォトダイオード21の蓄積電荷を排出して露光を開始し、露光の終了と信号の読出しとを順次実行する駆動方法である。

【0065】

図6に、ローリングシャッタ動作の場合の駆動例を示す。 $i-1$ 行目に注目すると、異なる行（ $n-1$ 行目）の読出し期間中にフォトダイオード21の蓄積電荷を排出して露光を開始し、 $i-1$ 行目の読出し期間中のP期間でリセットレベルを、D期間で信号レベルをそれぞれ読み出す。次の i 行は、同様に異なる行（ n 行目）で露光を開始する。

30

【0066】

この場合、先に読み出される画素の電荷排出パルスOFFGとして、それよりも後に読み出される画素の選択パルスSELを用いることで、読み出す前の蓄積電荷を別の行の選択パルスSELによって電荷排出トランジスタ26から捨ててしまわないように駆動することができる。

【0067】

このように、共有される電荷排出パルスOFFGは、行走査方向に対して1行（1画素）分、選択パルスSELに先んじていれば成立する。したがって、先行する行数は任意である。ただし、2行（2画素分）以上先行した画素と共有した方が効率的な読出し順序となる場合もある。

40

【0068】

例えば、ベイア配列など複数種類の色フィルタが画素ごとに積層されていて、かつ、同色の画素を加算する動作において、同色の画素を2行ずつ続けて読み出す場合がある。すなわち、 i 行目の次に $i+2$ 行目を読み出し、その後、 $i+1$ 行目と $i+3$ 行目を読み出すような動作順序が効率的な場合がある。この場合は、2行分先行した画素の選択パルスSELを電荷排出パルスOFFGとして共有することが好ましい。

50

【 0 0 6 9 】

図 7 に、トランジスタと配線の配置の一例を示す。この例では 2 行先行しており、 i 行目の選択パルス $S E L$ の選択配線 1 2 1 - 3 で、 $i - 2$ 行目の電荷排出トランジスタ 2 6 のゲート電極を駆動するようになっている。図 7 では、図面の簡略化のために、共有した選択配線 1 2 1 - 3 以外の画素駆動線 1 2 1、即ち転送配線 1 2 1 - 1 やリセット配線 1 2 1 - 2 については図示を省略している。

【 0 0 7 0 】

なお、本実施形態では、単位画素 2 0 が、図 2 に示した回路例 1 の単位画素 2 0 A の場合を例に挙げたが、図 3 に示した回路例 2 の単位画素 2 0 B、即ち F D 部 2 7 とは別にメモリ部 2 8 を有する単位画素 2 0 B でも構わない。

10

【 0 0 7 1 】

< 3 . 第 2 実施形態 >

図 8 は、本発明の第 2 実施形態に係る C M O S イメージセンサの要部の構成を示す回路図であり、図中、図 4 と同等部分には同一符号を付して示している。

【 0 0 7 2 】

本実施形態に係る C M O S イメージセンサは、図 2 に示した回路例 1 の単位画素 2 0 A が 2 次元配列されてなる C M O S イメージセンサを前提としている。ここでも、図面の簡略化のために、ある画素列の上下に隣接する 2 つの単位画素 2 0 A - i , 2 0 A - $i - 1$ を代表して示している。

20

【 0 0 7 3 】

図 8 に示すように、単位画素 2 0 A の各々に対して、画素駆動線 1 2 1 として、例えば転送配線 1 2 1 - 1、リセット配線 1 2 1 - 2 および選択配線 1 2 1 - 3 の 3 本の駆動配線が画素行ごとに設けられている。これらの駆動配線 1 2 1 - 1 , 1 2 1 - 2 , 1 2 1 - 3 は、画素行ごとに垂直駆動部 1 3 の対応する出力端にそれぞれ接続されている。

【 0 0 7 4 】

そして、 i 行目を中心に説明すると、転送配線 1 2 1 - 1 は、垂直駆動部 1 3 から出力される i 行目の転送パルス $T R G i$ を転送トランジスタ 2 2 のゲート電極に対して画素行単位で与える。選択配線 1 2 1 - 3 は、垂直駆動部 1 3 から出力される i 行目の選択パルス $S E L i$ を選択トランジスタ 2 5 のゲート電極に対して画素行単位で与える。

30

【 0 0 7 5 】

一方、リセット配線 1 2 1 - 2 は、垂直駆動部 1 3 から出力される i 行目のリセットパルス $R S T i$ をリセットトランジスタ 2 3 のゲート電極に対して画素行単位で与えるとともに、同じ画素行の電荷排出トランジスタ 2 6 のゲート電極に対しても画素行単位で与える。

【 0 0 7 6 】

このように、第 2 実施形態に係る C M O S イメージセンサは、単位画素 2 0 A から信号を読み出す駆動を行う際のリセットパルス $R S T$ を用いて電荷排出トランジスタ 2 6 を駆動することを特徴としている。そして、リセットパルス $R S T$ を電荷排出トランジスタ 2 6 の電荷排出パルス $O F G$ として共有することで、電荷排出パルス $O F G$ 用の専用の信号配線を設けなくても、リセットパルス $R S T$ 用の選択配線 1 2 1 - 2 を兼用して電荷排出トランジスタ 2 6 を駆動できることになる。

40

【 0 0 7 7 】

すなわち、第 1 実施形態の場合と同様に、電荷排出トランジスタ 2 6 を有する画素構造の C M O S イメージセンサにおいて、電荷排出トランジスタ 2 6 を駆動するための専用の信号配線を追加しなくても、電荷排出トランジスタ 2 6 を駆動できることになる。このように、電荷排出トランジスタ 2 6 を駆動するための専用の信号配線が不要な構成を採ることで、電荷排出トランジスタ 2 6 の追加に伴うレイアウト効率の低下や感度の低下を招かなくて済む。

【 0 0 7 8 】

ただし、図 2 に示した回路例 1 の単位画素 2 0 A を有する C M O S イメージセンサにお

50

いて、リセットパルス RST と電荷排出パルス OFG とを共有する場合には、電荷排出トランジスタ 26 は露光開始時の電荷排出としてのみ機能する。なぜなら、浮遊容量 Cfd に光電荷が保持されている読出し期間中に、電荷排出トランジスタ 26 をオン状態とすべくリセットパルス RST をアクティブにすると、同時にリセットトランジスタ 23 もオン状態となって浮遊容量 Cfd の蓄積電荷が失われてしまうからである。

【0079】

< 4. 第3実施形態 >

[システム構成]

図9は、本発明の第3実施形態に係るCMOSイメージセンサの要部の構成を示す回路図であり、図中、図4と同等部分には同一符号を付して示している。

10

【0080】

本実施形態に係るCMOSイメージセンサは、図3に示した回路例2の単位画素、即ち画素内部に電荷を保持するメモリ部28を有する単位画素20Bが2次元配列されてなるCMOSイメージセンサを前提としている。ここでも、図面の簡略化のために、ある画素列の上下に隣接する2つの単位画素20B - i , 20B - $i - 1$ を代表して示している。

【0081】

図9に示すように、単位画素20Bの各々に対して、画素駆動線121として、例えば転送配線121 - 1、リセット配線121 - 2、選択配線121 - 3および転送配線121 - 4の4本の駆動配線が画素行ごとに設けられている。これらの駆動配線121 - 1 , 121 - 2 , 121 - 3 , 121 - 4 は、画素行ごとに垂直駆動部13の対応する出力端

20

にそれぞれ接続されている。

【0082】

そして、 i 行目を中心に説明すると、転送配線121 - 1 は、垂直駆動部13から出力される i 行目の転送パルス $TRGi$ を転送トランジスタ22のゲート電極に対して画素行単位で与える。選択配線121 - 3 は、垂直駆動部13から出力される i 行目の選択パルス $SELi$ を選択トランジスタ25のゲート電極に対して画素行単位で与える。転送配線121 - 4 は、垂直駆動部13から出力される i 行目の転送パルス $TRXi$ をメモリ部28のゲート電極に対して画素行単位で与える。

【0083】

一方、リセット配線121 - 2 は、垂直駆動部13から出力される i 行目のリセットパルス $RSTi$ をリセットトランジスタ23のゲート電極に対して画素行単位で与えるとともに、前の行、即ち $i - 1$ 行目の電荷排出トランジスタ26のゲート電極に対しても画素行単位で与える。すなわち、行走査方向に対して先に信号読出しが行われる画素22B - $i - 1$ の電荷排出パルス $OFGi - 1$ として、それよりも後に信号読出しが行われる画素22B - i のリセットパルス $RSTi$ が共用されている。

30

【0084】

回路例2に係るメモリ部28を有する画素構造であれば、飽和時の電荷溢れを回避する効果も得られる。回路例2の単位画素20Bを有するCMOSイメージセンサでは、周知のように、グローバル露光でフォトダイオード21に蓄積された光電荷は、全画素同時にメモリ部28に転送され、容量 Cm に保持される。そして、読出し時にメモリ部28から

40

FD部27へ転送される。

【0085】

[駆動例]

次に、第3実施形態に係るCMOSイメージセンサの駆動方法の一例について図10のタイミングチャートを用いて説明する。

【0086】

まず、全画素行について、時刻 $t21$ でリセットパルス RST 、転送パルス TRX および転送パルス TRG をアクティブ状態にし、フォトダイオード21の蓄積電荷を排出することで、グローバル露光が開始される。このとき、フォトダイオード21の蓄積電荷を電荷排出トランジスタ26経由で完全に排出できる場合は、転送パルス TRX によるメモリ

50

部 2 8 への転送駆動については省略できる場合がある。

【 0 0 8 7 】

グローバル露光期間中は、フォトダイオード 2 1 に光電荷が蓄積される。そして、グローバル露光が終了する時刻 t_{22} で転送パルス TRX をアクティブ状態にすることで、フォトダイオード 2 1 の蓄積電荷をメモリ部 2 8 へ転送し、容量 C_m に保持する。以上が、グローバル露光期間中の動作である。

【 0 0 8 8 】

単位画素 2 0 B からの信号の読出しは画素行ごとに実行される。具体的には、時刻 t_{23} で選択パルス $SEL_i - 1$ がアクティブ状態となることで、 $i - 1$ 行目の信号読出し期間となる。この $i - 1$ 行目の信号読出し期間において、先ず時刻 t_{24} でリセットパルス $RST_i - 1$ をアクティブ状態にすることで、FD部 2 7 の浮遊容量 C_{fd} をリセットする。そして、このときのFD部 2 7 の電圧をリセットレベルとして読み出す (P 期間)。

【 0 0 8 9 】

次いで、時刻 t_{25} で転送パルス TRX をアクティブ状態にすることで、光電荷をメモリ部 2 8 の容量 C_m からFD部 2 7 の浮遊容量 C_{fd} へ転送する。そして、この浮遊容量 C_{fd} に保持された光電荷を信号レベルとして読み出す (D 期間)。

【 0 0 9 0 】

引き続いて、 i 行目の読出し動作に入る訳であるが、 $i - 1$ 行目の信号読出し動作と i 行目の読出し動作との合間にフォトダイオード 2 1 が飽和して光電荷が溢れないようにするための動作が行われる。具体的には、時刻 t_{26} - 時刻 t_{27} の期間において必要な頻度で、リセットパルス RST をアクティブ状態にし、電荷排出トランジスタ 2 6 をオン状態にすることで、フォトダイオード 2 1 の光電荷を電源 V_{dd} に排出する。これにより、フォトダイオード 2 1 の飽和を回避することができる。

【 0 0 9 1 】

上述したように、第 3 実施形態に係る CMOS イメージセンサにおいても、第 2 実施形態の場合と同様に、電荷排出トランジスタ 2 6 を駆動するための専用の信号配線が不要な構成を採っている。これにより、第 1 , 第 2 実施形態の場合と同様に、電荷排出トランジスタ 2 6 の追加に伴うレイアウト効率の低下や感度の低下を招かなくて済む。

【 0 0 9 2 】

図 1 1 に、ローリングシャッタ動作の場合の駆動例を示す。読出し期間でFD部 2 7 の浮遊容量 C_{fd} をリセットする前に、転送パルス TRX をアクティブ状態にしてフォトダイオード 2 1 の蓄積電荷をメモリ部 2 8 へ転送することによって露光期間を終了する。そして、リセットパルス RST をアクティブ状態にしてFD部 2 7 の浮遊容量 C_{fd} をリセットした後、リセットレベルを読み出す (P 期間)。続いて、転送パルス TRG をアクティブ状態にしてメモリ部 2 8 からFD部 2 7 へ光電荷を転送し、信号レベルを読み出す (D 期間)。

【 0 0 9 3 】

ここで、信号読出し期間において、リセットトランジスタ 2 3 によって浮遊容量 C_{fd} をリセットするよりも前に、フォトダイオード 2 1 の蓄積電荷をメモリ部 2 8 の容量 C_m へ転送する。すなわち、転送パルス TRX をリセットパルス RST に先んじてアクティブ状態にする。これにより、フォトダイオード 2 1 の蓄積電荷をメモリ部 2 8 へ退避させることができるために、次のリセットパルス RST による駆動でフォトダイオード 2 1 から蓄積電荷を失ってしまわないような駆動を実現できる。

【 0 0 9 4 】

この駆動例を採る場合、同じ画素のリセットパルス RST と電荷排出パルス $OFFG$ とを共有することができる。或いは、本実施形態の例のように、行走査方向に対して、先に読み出される画素の電荷排出パルス $OFFG$ の配線として、それより後に読み出される画素のリセットパルス RST のリセット配線 1 2 1 - 2 を共有しても構わない。

【 0 0 9 5 】

< 5 . 第 4 実施形態 >

10

20

30

40

50

図12は、本発明の第4実施形態に係るCMOSイメージセンサの要部の構成を示す回路図であり、図中、図8と同等部分には同一符号を付して示している。

【0096】

本実施形態に係るCMOSイメージセンサは、第2実施形態の場合と同様に、図2に示した回路例1の単位画素20Aが2次元配列されてなるCMOSイメージセンサを前提としている。ここでも、図面の簡略化のために、ある画素列の上下に隣接する2つの単位画素20A-i, 20A-i-1を代表して示している。

【0097】

図12に示すように、単位画素20Aの各々に対して、画素駆動線121として、例えば転送配線121-1、リセット配線121-2および選択配線121-3の3本の駆動配線が画素行ごとに設けられている。これらの駆動配線121-1, 121-2, 121-3は、画素行ごとに垂直駆動部13の対応する出力端にそれぞれ接続されている。

【0098】

そして、i行目を中心に説明すると、転送配線121-1は、垂直駆動部13から出力されるi行目の転送パルスTRGiを転送トランジスタ22のゲート電極に対して画素行単位で与えるとともに、前の行、即ちi-1行目の電荷排出トランジスタ26のゲート電極に対しても画素行単位で与える。すなわち、行走査方向に対して先に信号読出しが行われる画素22A-i-1の電荷排出パルスOFGi-1として、それよりも後に信号読出しが行われる画素22A-iの転送パルスTRGiが共用されている。

【0099】

リセット配線121-2は、垂直駆動部13から出力されるi行目のリセットパルスRS Tiをリセットトランジスタ23のゲート電極に対して画素行単位で与える。選択配線121-3は、垂直駆動部13から出力されるi行目の選択パルスSE Liを選択トランジスタ25のゲート電極に対して画素行単位で与える。

【0100】

このように、第4実施形態に係るCMOSイメージセンサは、単位画素20Aから信号を読み出す駆動を行う際の転送パルスTRGiを用いて電荷排出トランジスタ26を駆動することを特徴としている。そして、転送パルスTRGiを電荷排出パルスOFGiとして共有することで、電荷排出パルスOFGi用の専用の信号配線を設けなくても、転送パルスTRGi用の選択配線121-1を兼用して電荷排出トランジスタ26を駆動できることになる。

【0101】

すなわち、第1～第3実施形態の場合と同様に、電荷排出トランジスタ26を駆動するための専用の信号配線を追加しなくても、電荷排出トランジスタ26を駆動できることになる。このように、電荷排出トランジスタ26を駆動するための専用の信号配線が不要な構成を採ることで、電荷排出トランジスタ26の追加に伴うレイアウト効率の低下や感度の低下を招かなくて済む。

【0102】

特に、行走査方向に対して先に信号読出しが行われる画素22A-i-1の電荷排出パルスOFGi-1として、それよりも後に信号読出しが行われる画素22A-iの転送パルスTRGiを共用すると、次のような作用効果を得ることができる。すなわち、フォトダイオード21の蓄積電荷をFD部27へ転送する前に電荷転送トランジスタ26が駆動されることによってフォトダイオード21の蓄積電荷が失われてしまうような駆動を回避できる。

【0103】

< 6. 第5実施形態 >

図13は、本発明の第5実施形態に係るCMOSイメージセンサの要部の構成を示す回路図であり、図中、図9と同等部分には同一符号を付して示している。

【0104】

本実施形態に係るCMOSイメージセンサは、図3に示した回路例2の単位画素、即ち

10

20

30

40

50

画素内部に電荷を保持するメモリ部 28 を有する単位画素 20 B が 2 次元配列されてなる CMOS イメージセンサを前提としている。ここでも、図面の簡略化のために、ある画素列の上下に隣接する 2 つの単位画素 20 B - i , 20 B - i - 1 を代表して示している。

【0105】

図 13 に示すように、単位画素 20 B の各々に対して、画素駆動線 121 として、例えば転送配線 121 - 1、リセット配線 121 - 2、選択配線 121 - 3 および転送配線 121 - 4 の 4 本の駆動配線が画素行ごとに設けられている。これらの駆動配線 121 - 1 , 121 - 2 , 121 - 3 , 121 - 4 は、画素行ごとに垂直駆動部 13 の対応する出力端にそれぞれ接続されている。

【0106】

そして、i 行目を中心に説明すると、転送配線 121 - 1 は、垂直駆動部 13 から出力される i 行目の転送パルス TRGi を転送トランジスタ 22 のゲート電極に対して画素行単位で与える。リセット配線 121 - 2 は、垂直駆動部 13 から出力される i 行目のリセットパルス RSTi をリセットトランジスタ 23 のゲート電極に対して画素行単位で与える。選択配線 121 - 3 は、垂直駆動部 13 から出力される i 行目の選択パルス SELi を選択トランジスタ 25 のゲート電極に対して画素行単位で与える。

【0107】

転送配線 121 - 4 は、垂直駆動部 13 から出力される i 行目の転送パルス TRXi をメモリ部 28 のゲート電極に対して画素行単位で与えるとともに、前の行、即ち i - 1 行目の電荷排出トランジスタ 26 のゲート電極に対しても画素行単位で与える。すなわち、行走査方向に対して先に信号読出しが行われる画素 22 B - i - 1 の電荷排出パルス OFGi - 1 として、それよりも後に信号読出しが行われる画素 22 B - i の転送パルス TRXi が共用されている。

【0108】

このように、第 5 実施形態に係る CMOS イメージセンサは、単位画素 20 B から信号を読み出す駆動を行う際の転送パルス TRXi を用いて電荷排出トランジスタ 26 を駆動することを特徴としている。そして、転送パルス TRXi を電荷排出パルス OFG として共有することで、電荷排出パルス OFG 用の専用の信号配線を設けなくても、転送パルス TRXi 用の選択配線 121 - 4 を兼用して電荷排出トランジスタ 26 を駆動できることになる。

【0109】

すなわち、第 1 ~ 第 4 実施形態の場合と同様に、電荷排出トランジスタ 26 を駆動するための専用の信号配線を追加しなくても、電荷排出トランジスタ 26 を駆動できることになる。このように、電荷排出トランジスタ 26 を駆動するための専用の信号配線が不要な構成を採ることで、電荷排出トランジスタ 26 の追加に伴うレイアウト効率の低下や感度の低下を招かなくて済む。

【0110】

また、行走査方向に対して先に信号読出しが行われる画素 22 B - i - 1 の電荷排出パルス OFGi - 1 として、それよりも後に信号読出しが行われる画素 22 B - i の転送パルス TRXi を共用することで、第 4 実施形態の場合と同様の作用効果を得ることができる。すなわち、フォトダイオード 21 の蓄積電荷を FD 部 27 へ転送する前に電荷転送トランジスタ 26 が駆動されることによってフォトダイオード 21 の蓄積電荷が失われてしまうような駆動を回避できる。

【0111】

なお、第 4 , 第 5 実施形態において、FD 部 27 の浮遊容量 Cfd や、メモリ部 28 の容量 Cm に光電荷が保持されている状態で、フォトダイオード 21 の蓄積電荷を引き抜く必要がある場合は、次のように設計する必要がある。すなわち、図 14 に示すように、電荷排出トランジスタ 26 側のポテンシャルバリアの方が、転送トランジスタ 22 側のポテンシャルバリアよりも低く設計する必要がある。

【0112】

このようなポテンシャル設計とした場合は、全画素同時に電荷を転送できないため、行走査方向に沿って順次露光期間を終了していくローリングシャッタ動作となる。しかし、通常のローリングシャッタ動作のように信号読出しに律速されないため、同時性が高く歪みの小さい良好な画像を得ることができる。行走査方向に電荷転送をすることで、図15に示すように、フォトダイオード21の蓄積電荷を排出することなくFD部27の浮遊容量Cfdへ転送できる。

【0113】

また、FD部27の浮遊容量Cfdに保持電荷がある場合に、全画素同時に転送パルスTRGによる駆動を行うと、図16(a)に示すように、ポテンシャルバリアの低い電荷排出トランジスタ26側から過剰電荷が排出され始め、図16(b)に示すように、保持電荷に過剰電荷が加わることなく排出が完了する。

10

【0114】

<7. 適用例>

以上では、単位画素20が2次元配列されてなるCMOSイメージセンサに適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、図3に示した回路例2、即ち画素内部にメモリ部28を有する単位画素20Bの場合、本来は一画素ごとに設けられる構成要素の一部を複数の画素間で共有する複数画素共有構造を採るCMOSイメージセンサに対しても本発明の適用が可能である。

【0115】

[水平2画素共有の画素構造]

20

図17は、例えば水平方向(横方向)に隣接する2画素間で構成要素の一部を共有する画素構造に適用した場合の要部の構成を示す回路図であり、図中、図9と同等部分には同一符号を付して示している。

【0116】

図17に示すように、本適用例に係る画素共有構造は、リセットトランジスタ23、増幅トランジスタ24、選択トランジスタ25およびFD部27を例えば水平方向に隣接する2画素間で共有した構造となっている。そして、この水平2画素共有の画素構造に対して、本適用例では、単位画素20bから信号を読み出す駆動を行う際の選択パルスSELを、電荷排出パルスOFGとして共有する構成を採っている。

【0117】

30

具体的には、図17において、画素駆動線121として、例えば転送配線121-1、リセット配線121-2、選択配線121-3および転送配線121-4の4本の駆動配線が設けられている。そして、i行目を中心に説明すると、転送配線121-1は、垂直駆動部13から出力されるi行目の転送パルスTRGiを転送トランジスタ22のゲート電極に対して画素行単位で与える。リセット配線121-2は、垂直駆動部13から出力されるi行目のリセットパルスRSTiをリセットトランジスタ23のゲート電極に対して画素行単位で与える。

【0118】

選択配線121-3は、垂直駆動部13から出力されるi行目の選択パルスSELiを選択トランジスタ25のゲート電極に対して画素行単位で与えるとともに、前の行、即ちi-1行目の電荷排出トランジスタ26のゲート電極に対しても画素行単位で与える。これにより、行走査方向に対して先に信号読出しが行われる画素22A-i-1の電荷排出パルスOFGi-1として、それよりも後に信号読出しが行われる画素22A-iの選択トランジスタ24の選択パルスSELiが共用されることになる。

40

【0119】

このように、本発明は、水平2画素共有の画素構造に対しても適用可能である。ここでは、選択パルスSELを電荷排出パルスOFGとして共有するとしたが、選択パルスSELに限られるものではない。すなわち、第3実施形態のようにリセットパルスRSTと共有したり、第4実施形態のように転送パルスTRGと共有したり、第5実施形態のように転送パルスTRXと共有したりすることも可能である。

50

【 0 1 2 0 】

なお、適用する画素共有構造において、共有する構成要素としてはF D部 2 7以降の全ての構成要素に限られるものではない。また、画素共有構造としては、水平方向での画素共有に限らず、垂直方向（縦方向）で隣接する2画素間での共有や、水平方向および垂直方向で隣接する4画素間での共有の構造などであってもよい。要は、行走査方向に対して先述した各実施形態に係る駆動法を実現できる構成であればよい。

【 0 1 2 1 】

< 8 . 変形例 >

上記各実施形態では、単位画素 2 0（ 2 0 A , 2 0 B ）が、電荷転送トランジスタ 2 6 10
以外に4つのトランジスタを有する画素構成の場合を例に挙げたが、単位画素 2 0としては、4つのトランジスタからなる画素構成に限られるものではない。具体的には、電荷排出パルス O F G として選択パルス S E L を共有する実施形態以外は、例えば選択トランジスタ 2 5 を省略して増幅トランジスタ 2 4 に画素選択の機能を持たせた3つのトランジスタからなる画素構成を採ることも可能である。

【 0 1 2 2 】

また、上記各実施形態では、可視光の光量に応じた信号電荷を物理量として検知する単位画素が2次元配列されてなるC M O S イメージセンサに適用した場合を例に挙げて説明したが、本発明はC M O S イメージセンサへの適用に限られるものではない。すなわち、本発明は、電子シャッタ機能を備えたX - Y アドレス方式の固体撮像装置全般に対して適用可能である。 20

【 0 1 2 3 】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置に適用可能である。さらに、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の物理量分布検知装置を固体撮像装置とする場合もある。

【 0 1 2 4 】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール 30
状の形態であってもよい。

【 0 1 2 5 】

< 9 . 電子機器 >

本発明は、固体撮像装置への適用に限られるものではなく、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【 0 1 2 6 】

[撮像装置]

図 1 8 は、本発明による電子機器の一例である撮像装置の構成例を示すブロック図である。図 1 8 に示すように、本発明による撮像装置 1 0 0 は、レンズ群 1 0 1 等を含む光学系、撮像素子 1 0 2、カメラ信号処理部である D S P 回路 1 0 3、フレームメモリ 1 0 4、表示装置 1 0 5、記録装置 1 0 6、操作系 1 0 7 および電源系 1 0 8 等を有している。そして、D S P 回路 1 0 3、フレームメモリ 1 0 4、表示装置 1 0 5、記録装置 1 0 6、操作系 1 0 7 および電源系 1 0 8 がバスライン 1 0 9 を介して相互に接続された構成となっている。 40

【 0 1 2 7 】

レンズ群 1 0 1 は、被写体からの入射光（像光）を取り込んで撮像素子 1 0 2 の撮像面上に結像する。撮像素子 1 0 2 は、レンズ群 1 0 1 によって撮像面上に結像された入射光 50

の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子 1 0 2 として、先述した第 1 ~ 第 5 実施形態または適用例に係る C M O S イメージセンサが用いられる。

【 0 1 2 8 】

表示装置 1 0 5 は、液晶表示装置や有機 E L (electro luminescence) 表示装置等のパネル型表示装置からなり、撮像素子 1 0 2 で撮像された動画または静止画を表示する。記録装置 1 0 6 は、撮像素子 1 0 2 で撮像された動画または静止画を、ビデオテープや D V D (Digital Versatile Disk) 等の記録媒体に記録する。

【 0 1 2 9 】

操作系 1 0 7 は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系 1 0 8 は、D S P 回路 1 0 3、フレームメモリ 1 0 4、表示装置 1 0 5、記録装置 1 0 6 および操作系 1 0 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

10

【 0 1 3 0 】

このような撮像装置 1 0 0 は、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールに適用される。そして、この撮像装置 1 0 0 において、撮像素子 1 0 2 として先述した第 1 ~ 第 5 実施形態または適用例に係る C M O S イメージセンサを用いることができる。

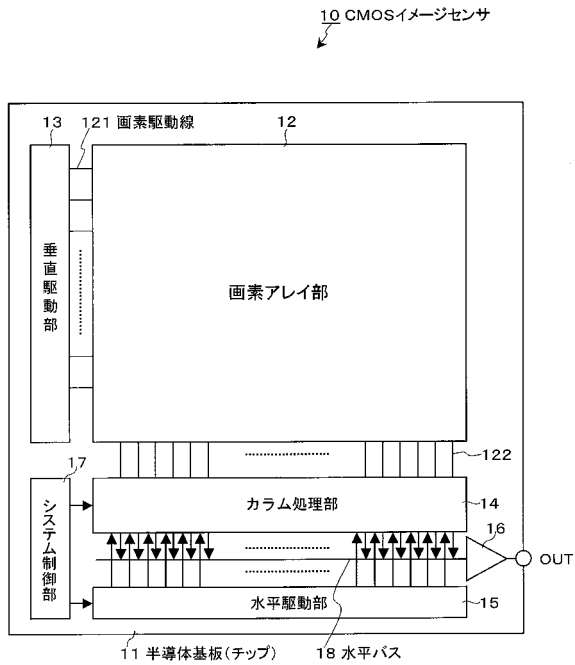
【符号の説明】

【 0 1 3 1 】

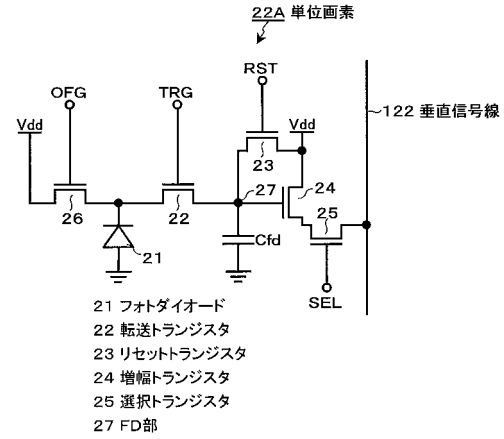
20

1 0 ... C M O S イメージセンサ、1 1 ... 半導体基板 (チップ)、1 2 ... 画素アレイ部、1 3 ... 垂直駆動部、1 4 ... カラム処理部、1 5 ... 水平駆動部、1 6 ... 出力回路部、1 7 ... システム制御部、2 0 , 2 0 A , 2 0 B ... 単位画素、2 1 ... フォトダイオード、2 2 転送トランジスタ、2 3 ... リセットトランジスタ、2 4 ... 増幅トランジスタ、2 5 ... 選択トランジスタ、2 6 ... 電荷排出トランジスタ、2 7 ... F D (フローティングディフュージョン / 浮遊拡散領域) 部、2 8 ... メモリ部

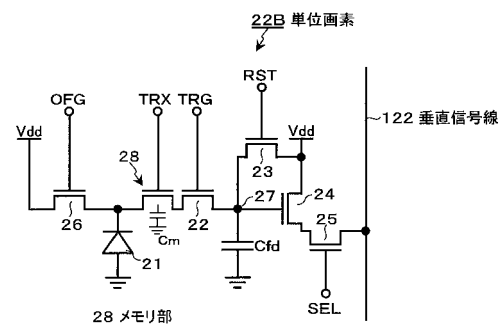
【図 1】



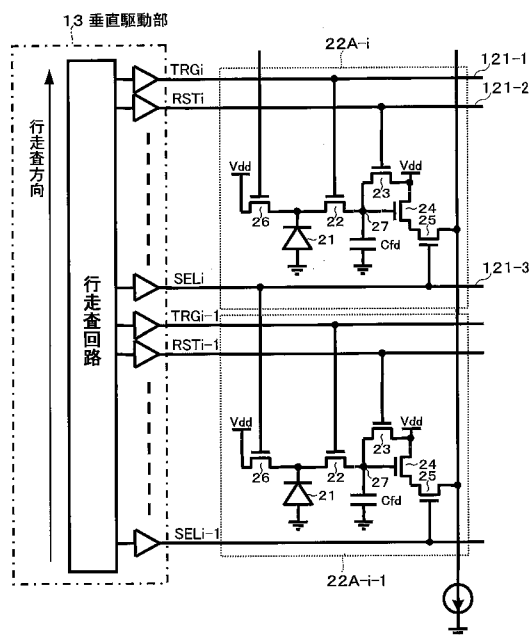
【図 2】



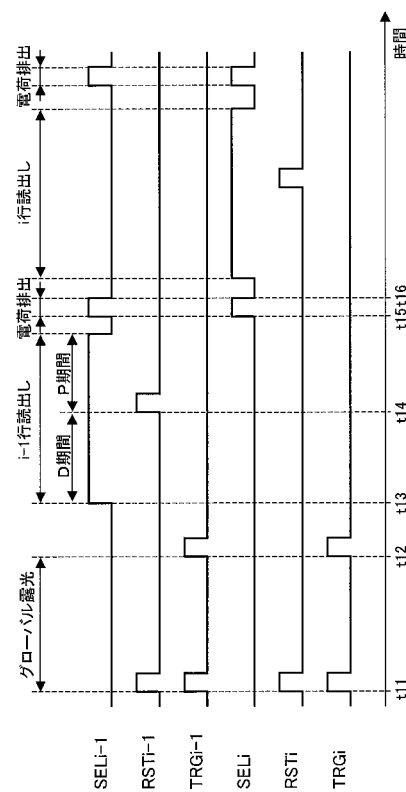
【図 3】



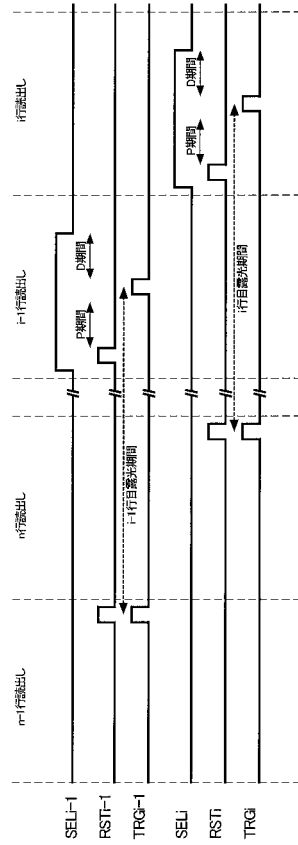
【図 4】



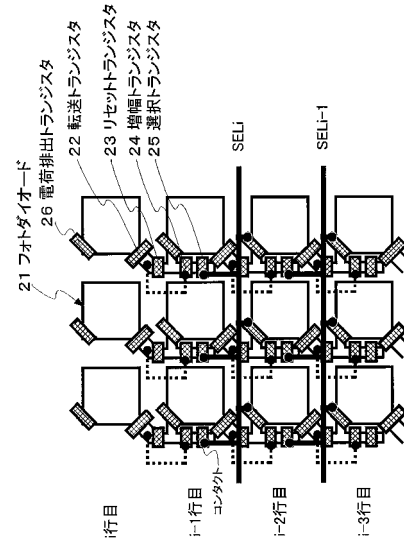
【図 5】



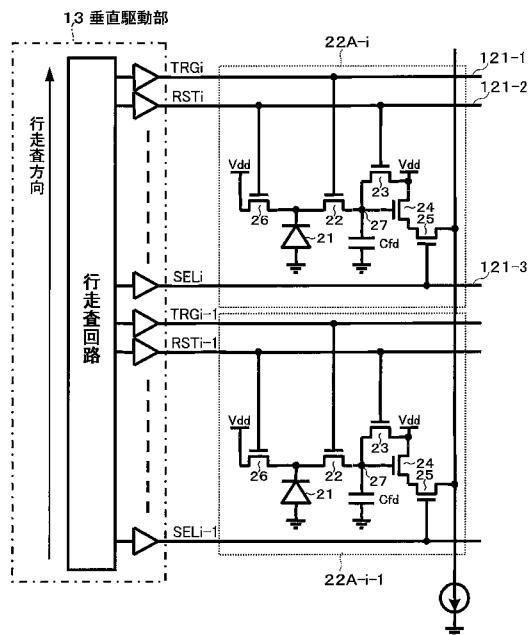
【図 6】



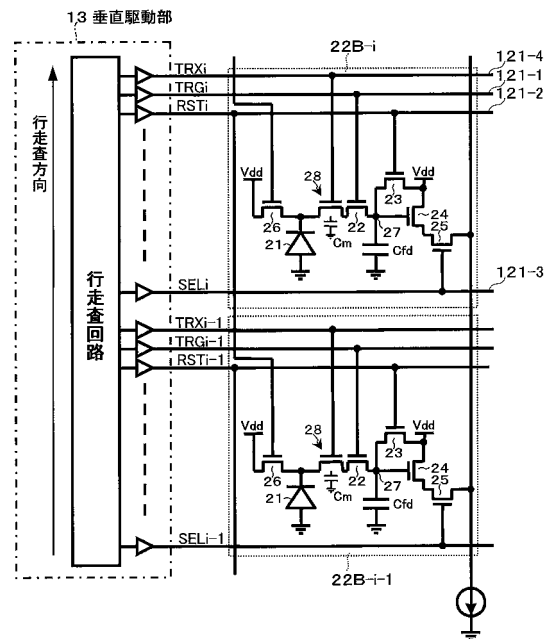
【図 7】



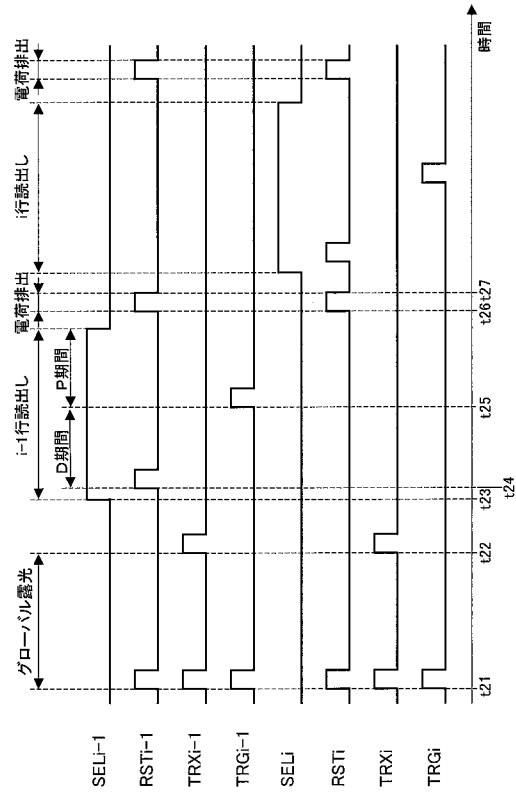
【図 8】



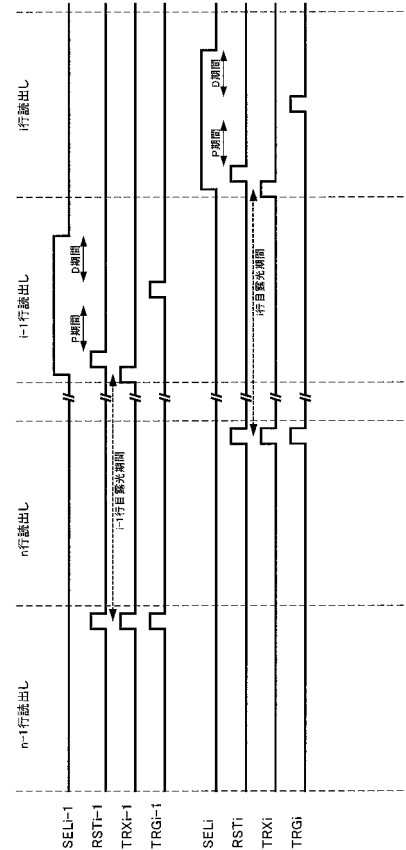
【図 9】



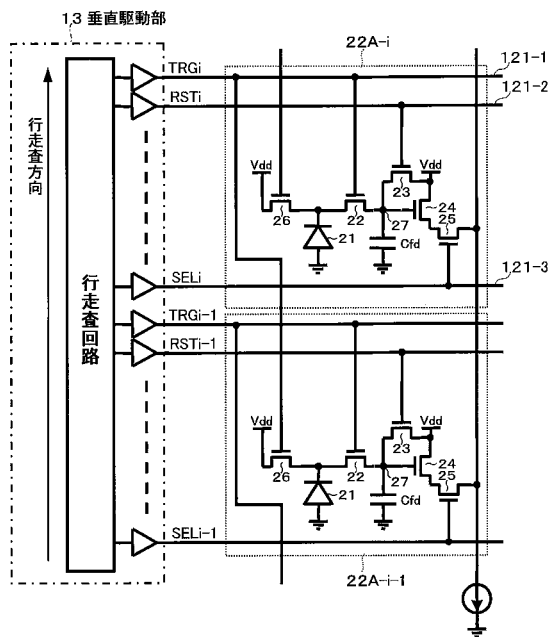
【図 10】



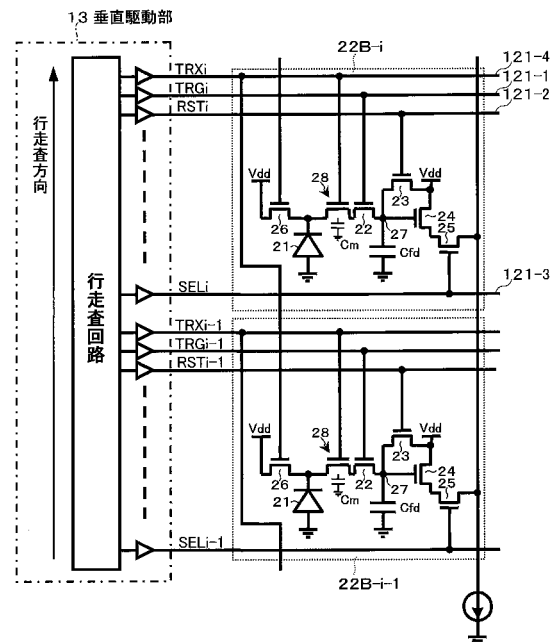
【図 11】



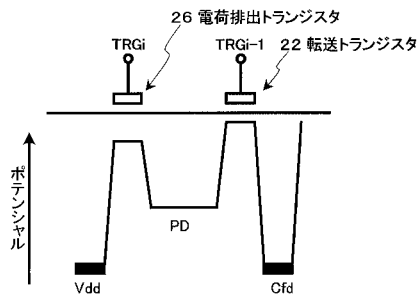
【図 12】



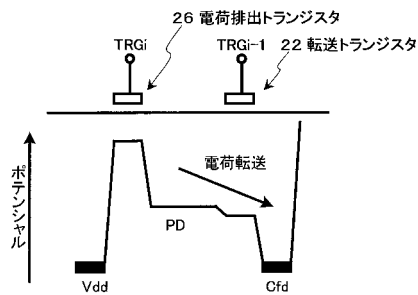
【図 13】



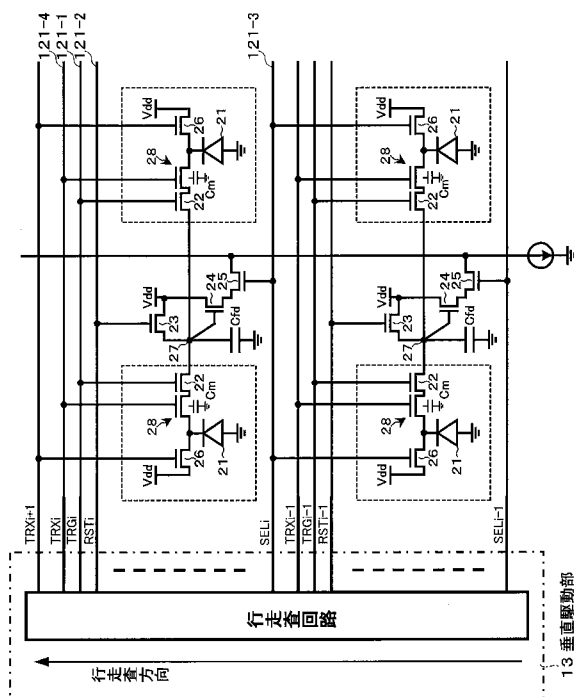
【図 14】



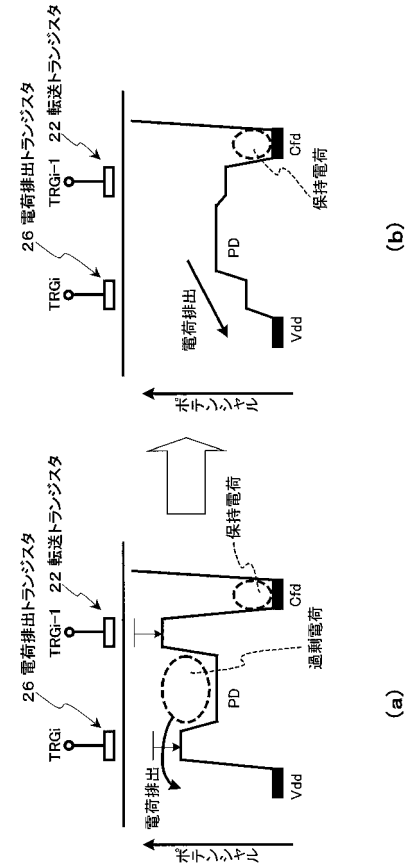
【図 15】



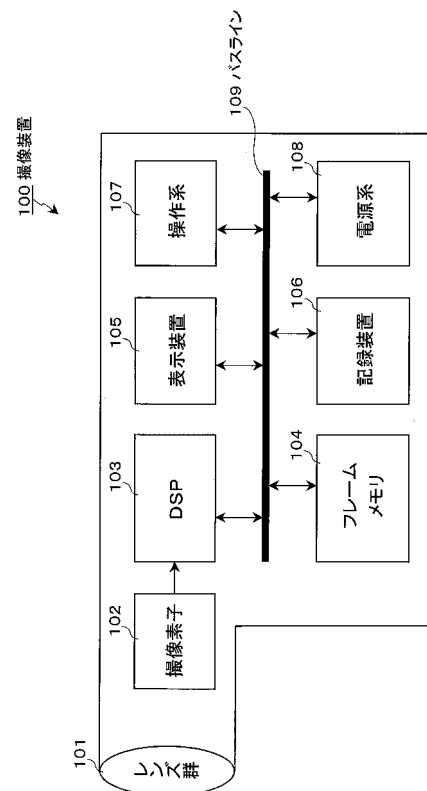
【図 17】



【図 16】



【図 18】



フロントページの続き

審査官 多賀 和宏

- (56)参考文献 特開昭57-181155(JP,A)
特開2001-177765(JP,A)
特開2007-157912(JP,A)
特開2008-193527(JP,A)
特開2005-101442(JP,A)
特開2004-111590(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 27/146
H04N 5/353、5/374