



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I492053 B

(45)公告日：中華民國 104 (2015) 年 07 月 11 日

(21)申請案號：102141942 (22)申請日：中華民國 102 (2013) 年 11 月 18 日

(51)Int. Cl. : G06F12/06 (2006.01) G06F13/16 (2006.01)

(30)優先權：2012/12/10 美國 61/735,352

2012/12/24 美國 13/726,537

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：春 德斯特 T CHUN, DEXTER T. (US)；葛德爾瑞伯 瑟瑞格 GADEL RAB, SERAG (CA)；莫羅伊 史蒂芬 MOLLOY, STEPHEN (US)；曾 湯瑪士 ZENG, THOMAS (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201205305A1 EP 1591897A2

US 2011/0320751A1 US 2012/0054455A1

審查人員：楊博翔

申請專利範圍項數：25 項 圖式數：8 共 31 頁

(54)名稱

用於管理具有相異記憶體類型之計算裝置效能之系統及方法

SYSTEM AND METHOD FOR MANAGING PERFORMANCE OF A COMPUTING DEVICE HAVING DISSIMILAR MEMORY TYPES

(57)摘要

本發明提供用於管理具有相異記憶體類型之一計算裝置之效能的系統及方法。一例示性實施例包含一種用於使相異記憶體裝置交錯之方法。該方法涉及判定一交錯頻寬比率，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬的一比率。根據該交錯頻寬比率使該等相異記憶體裝置交錯。根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置。

Systems and methods are provided for managing performance of a computing device having dissimilar memory types. An exemplary embodiment comprises a method for interleaving dissimilar memory devices. The method involves determining an interleave bandwidth ratio comprising a ratio of bandwidths for two or more dissimilar memory devices. The dissimilar memory devices are interleaved according to the interleave bandwidth ratio. Memory address requests are distributed from one or more processing units to the dissimilar memory devices according to the interleave bandwidth ratio.

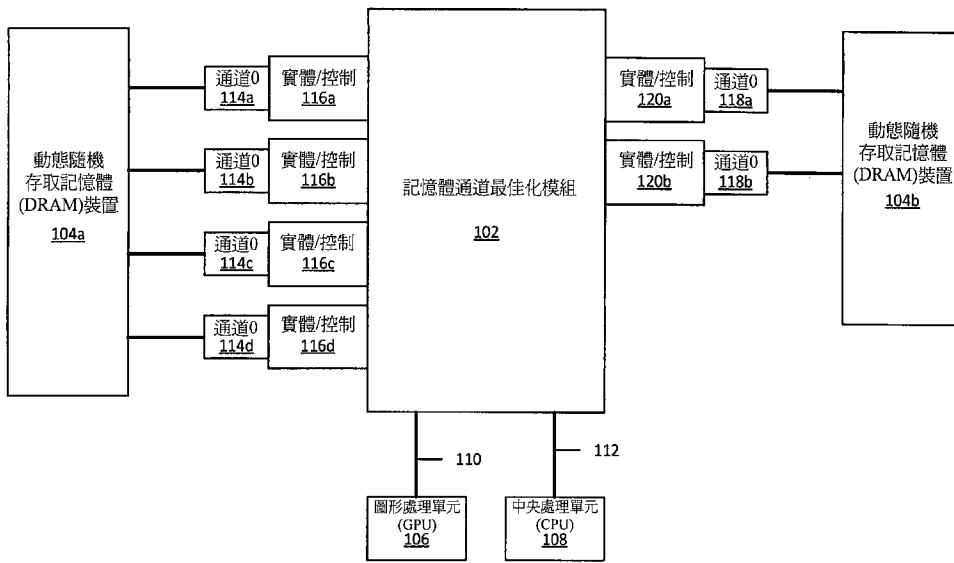


圖1

- 100 . . . 系統
- 102 . . . 記憶體通道最佳化模組
- 104a . . . 動態隨機存取記憶體(DRAM)裝置
- 104b . . . 動態隨機存取記憶體(DRAM)裝置
- 106 . . . 圖形處理單元(GPU)
- 108 . . . 中央處理單元(CPU)/觸控式螢幕顯示器
- 110 . . . 電連接
- 112 . . . 電連接
- 114a . . . 記憶體通道
- 114b . . . 記憶體通道
- 114c . . . 記憶體通道
- 114d . . . 記憶體通道
- 116a . . . 實體/控制連接件
- 116b . . . 實體/控制連接件
- 116c . . . 實體/控制連接件
- 116d . . . 實體/控制連接件
- 118a . . . 記憶體通道
- 118b . . . 記憶體通道
- 120a . . . 實體/控制連接件
- 120b . . . 實體/控制連接件

## 發明摘要

※ 申請案號：102141942

※ 申請日：102.11.18

※IPC 分類：G06F 12/06

(2006.01)

G06F 13/16

(2006.01)

## 【發明名稱】

用於管理具有相異記憶體類型之計算裝置效能之系統及方法  
 SYSTEM AND METHOD FOR MANAGING PERFORMANCE OF  
 A COMPUTING DEVICE HAVING DISSIMILAR MEMORY  
 TYPES

## 【中文】

本發明提供用於管理具有相異記憶體類型之一計算裝置之效能的系統及方法。一示例性實施例包含一種用於使相異記憶體裝置交錯之方法。該方法涉及判定一交錯頻寬比率，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬的一比率。根據該交錯頻寬比率使該等相異記憶體裝置交錯。根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置。

## 【英文】

Systems and methods are provided for managing performance of a computing device having dissimilar memory types. An exemplary embodiment comprises a method for interleaving dissimilar memory devices. The method involves determining an interleave bandwidth ratio comprising a ratio of bandwidths for two or more dissimilar memory devices. The dissimilar memory devices are interleaved according to the interleave bandwidth ratio. Memory address requests are distributed from one or more processing units to the dissimilar memory devices according to the interleave bandwidth ratio.

**【代表圖】**

**【本案指定代表圖】**：第（1）圖。

**【本代表圖之符號簡單說明】**：

100	系統
102	記憶體通道最佳化模組
104a	動態隨機存取記憶體(DRAM)裝置
104b	動態隨機存取記憶體(DRAM)裝置
106	圖形處理單元(GPU)
108	中央處理單元(CPU)/觸控式螢幕顯示器
110	電連接
112	電連接
114a	記憶體通道
114b	記憶體通道
114c	記憶體通道
114d	記憶體通道
116a	實體/控制連接件
116b	實體/控制連接件
116c	實體/控制連接件
116d	實體/控制連接件
118a	記憶體通道
118b	記憶體通道
120a	實體/控制連接件
120b	實體/控制連接件

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

用於管理具有相異記憶體類型之計算裝置效能之系統及方法  
SYSTEM AND METHOD FOR MANAGING PERFORMANCE OF  
A COMPUTING DEVICE HAVING DISSIMILAR MEMORY  
TYPES

## 優先權及相關申請案陳述

本申請案依據35 U.S.C. 119(e)主張在2012年12月10日申請、經讓渡為臨時申請案第61/735,352號(檔案號碼123065P1)且題為「用於管理具有相異記憶體類型之計算裝置效能之系統及方法(System and Method for Managing Performance of a Computing Device Having Dissimilar Memory Types)」的美國臨時專利申請案的優先權，該案之全文在此以引用之方式併入。

## 【先前技術】

在電腦系統及裝置中，尤其在諸如蜂巢式電話、攜帶型數位助理(PDA)、攜帶型遊戲控制台、掌上型電腦、平板電腦及其他攜帶型電子裝置之攜帶型計算裝置(PCD)中，系統效能及功率要求變得愈來愈高。此等裝置可包含為達成特定目的而經最佳化之兩種或兩種以上類型之處理單元。舉例而言，一或多個中央處理單元(CPU)可用於達成一般系統層級效能或其他目的，而圖形處理單元(GPU)可經特定設計以用於操控電腦圖形以供輸出至顯示裝置。隨著每一處理器需要更多效能，需要經設計以實現每一處理器之特定目的之更快速且更特殊化之記憶體裝置。通常針對特定應用而最佳化記憶體架構。CPU可需要具有可接受之系統層級效能的高密度記憶體，而GPU可需要具有實

質上高於CPU之效能的相對較低密度之記憶體。

結果，諸如PCD之單一電腦裝置可包括兩個或兩個以上相異記憶體裝置，其中每一特殊化記憶體裝置為達成其特殊目的而經最佳化，且與特定處理單元配對並專用於特定處理單元。在此習知架構(被稱作「離散」架構)中，每一專用處理單元經由複數個實體/控制層而實體地耦接至不同類型之記憶體裝置，該複數個實體/控制層各自具有對應記憶體通道。每一專用處理單元以為達成預期目的而經最佳化之不同資料速率來實體地存取對應記憶體裝置。舉例而言，在一個例示性組態中，通用CPU可以最佳化資料頻寬(例如，17 Gb/s)來實體地存取第一類型之動態隨機存取記憶體(DRAM)裝置。較高效能之專用GPU可以較高資料頻寬(例如，34 Gb/s)來實體地存取第二類型之DRAM裝置。雖然離散架構使CPU及GPU之效能個別地最佳化，但存在數個顯著缺點。

為了獲得較高效能，GPU專用記憶體必須經大小設定且經組態以處置所有潛在使用狀況、顯示解析度及系統設定。此外，較高效能「經區域化」，此係因為僅GPU能夠以較高資料頻寬來實體地存取GPU專用記憶體。雖然CPU可存取GPU專用記憶體，且GPU可存取CPU專用記憶體，但離散架構以減少之資料頻寬經由GPU與CPU之間的實體互連匯流排(例如，快速周邊組件互連(PCIE))提供此存取，該減少之資料頻寬通常小於用於任一類型之記憶體裝置的最佳化頻寬。即使GPU與CPU之間的實體互連匯流排並不充當效能「瓶頸」，離散架構仍不准許GPU抑或CPU利用兩種不同類型之記憶體裝置的組合之總可用頻寬。將各別記憶體裝置之記憶體空間置放於單獨之鄰接記憶體位址區塊中。換言之，整個記憶體映象將第一類型之記憶體裝置置放於一個鄰接區塊中，且分離地將第二類型之記憶體裝置置放於不同鄰接區塊中。在不同記憶體裝置之記憶體埠之間不存在支援駐留於同

一鄰接區塊內之實體存取的硬體協調。

因此，雖然在電腦系統中對更特殊化記憶體裝置之需求增加，以在電腦裝置中提供日益增加之系統及功率效能，但在此項技術中仍需要用於管理相異記憶體裝置之改良之系統及方法。

### 【發明內容】

提供用於管理具有相異記憶體類型之一計算裝置之效能的系統及方法。一例示性實施例包含一種用於使相異記憶體裝置交錯之方法。該方法涉及判定一交錯頻寬比率，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬的一比率。根據該交錯頻寬比率使該等相異記憶體裝置交錯。根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置。

### 【圖式簡單說明】

在諸圖中，除非另有指示，否則貫穿各種視圖，類似參考數字指類似部分。對於具有諸如「102A」或「102B」之字母字元名稱的參考數字，該等字母字元名稱可區分存在於同一圖中之兩個類似部分或元件。當參考數字意欲涵蓋所有諸圖中具有相同參考數字之所有部分時，可省略參考數字之字母字元名稱。

圖1為用於管理相異記憶體裝置之系統之實施例的方塊圖。

圖2為用於管理相異記憶體裝置的由圖1中之記憶體通道最佳化模組實行的方法之實施例的流程圖。

圖3為說明各種類型之相異記憶體裝置之交錯頻寬比率的例示性表。

圖4為說明圖1之記憶體通道最佳化模組之組件的方塊圖。

圖5為說明基於各種交錯頻寬比率之記憶體通道位址重映射的例示性表。

圖6為說明圖4之通道重映射模組之實施例的一般操作、架構及

功能性的組合流程/方塊圖。

圖7為說明用於跨越相異記憶體裝置建立多個邏輯分區之交錯方法之實施例的圖形。

圖8為說明攜帶型計算裝置中之記憶體通道最佳化模組之例示性實施的方塊圖。

### 【實施方式】

詞語「例示性」在本文中用以意謂「充當一實例、例子或說明」。不必將本文中描述為「例示性」之任何態樣解釋為比其他態樣較佳或有利。

在此描述中，術語「應用程式」亦可包括具有可執行內容之檔案，諸如：目標碼、指令碼、位元組碼、標示語言檔案，及修補程式。此外，本文所提及之「應用程式」亦可包括本質上不可執行之檔案，諸如可能需要開啓之文件或需要存取之其他資料檔案。

術語「內容」亦可包括具有可執行內容之檔案，諸如：目標碼、指令碼、位元組碼、標示語言檔案，及修補程式。此外，本文所提及之「內容」亦可包括本質上不可執行之檔案，諸如可能需要開啓之文件或需要存取之其他資料檔案。

如此描述中所使用，術語「組件」、「資料庫」、「模組」、「系統」及其類似者意欲指電腦相關實體，其為硬體、軟體、硬體與軟體之組合、軟體，抑或執行中軟體。舉例而言，組件可為(但不限於)在處理器上執行之程序、處理器、物件、可執行程式、執行緒、程式及/或電腦。藉由說明，在計算裝置上執行之應用程式及該計算裝置兩者皆可為組件。一或多個組件可駐留於程序及/或執行緒內，且一組件可位於一個電腦上及/或分散於兩個或兩個以上電腦之間。此外，此等組件可自各種電腦可讀媒體執行，該等電腦可讀媒體具有儲存於其上之各種資料結構。該等組件可藉由本端程序及/或遠端程序進行

通信，諸如，根據具有一或多個資料封包的信號(例如，來自藉由信號而與另一組件互動的組件之資料，另一組件係在本端系統中、在分散式系統中及/或跨越具有其他系統的網路(諸如，網際網路)中)。

在此描述中，術語「通信裝置」、「無線裝置」、「無線電話」、「無線通信裝置」及「無線手機」可互換地使用。隨著第三代(「3G」)無線技術及第四代(「4G」)無線技術的到來，更大頻寬可用性已使更多攜帶型計算裝置具有多種無線能力。因此，攜帶型計算裝置可包括蜂巢式電話、呼叫器、PDA、智慧型電話、導航裝置，或具有無線連接或鏈路之手持型電腦。

圖1說明包含記憶體管理架構之系統100，該記憶體管理架構可實施於具有兩個或兩個以上專用處理單元之任何合適之計算裝置中，該等處理單元用於存取不同類型之兩個或兩個以上記憶體裝置或具有不同資料頻寬的類似類型之記憶體裝置(被稱作「相異記憶體裝置」)。計算裝置可包含個人電腦；工作站；伺服器；諸如蜂巢式電話、攜帶型數位助理(PDA)、攜帶型遊戲控制台、掌上型電腦或平板電腦之攜帶型計算裝置(PCD)；及具有兩個或兩個以上相異記憶體裝置之任何其他計算裝置。如下文更詳細地描述，記憶體管理架構經組態以選擇性地提供兩個操作模式：統一模式及離散模式。在離散模式中，記憶體管理架構以如上文所描述之習知方式作為「離散架構」來操作，其中每一專用處理單元存取為達成預期目的而經最佳化之對應記憶體裝置。舉例而言，專用之通用中央處理單元(CPU)可以最佳化資料頻寬存取第一類型之記憶體裝置，且較高效能之專用圖形處理單元(GPU)可以較高資料頻寬存取第二類型之記憶體裝置。在統一模式下，記憶體管理架構經組態以使相異記憶體裝置統一，且使專用處理單元能夠選擇性地存取(個別地抑或組合地)相異記憶體裝置或其部分之組合頻寬。

如圖1之實施例中所說明，系統100包含記憶體通道最佳化模組102，其電連接至兩種不同類型之動態隨機存取記憶體(DRAM)裝置104a及104b以及可存取DRAM裝置104a及104b之兩個或兩個以上專用處理單元(例如，CPU 108及GPU 106)。GPU 106經由電連接110而耦接至記憶體通道最佳化模組102。CPU 108經由電連接112而耦接至記憶體通道最佳化模組102。記憶體通道最佳化模組102進一步包含複數個硬體連接件以用於耦接至DRAM裝置104a及104b。硬體連接件可取決於記憶體裝置之類型而變化。在圖1之實施例中，DRAM 104a支援分別連接至實體/控制連接件116a、116b、116c及116d之四個通道114a、114b、114c及114d。DRAM 104b支援分別連接至實體/控制連接件120a及120b之兩個通道118a及118b。應瞭解，實體/控制連接件之數目及組態可取決於記憶體裝置之類型(包括記憶體位址之大小(例如，32位元、64位元等))而變化。

圖2說明藉由記憶體通道最佳化模組102執行之方法200，其用於藉由使相異記憶體裝置(例如，DRAM裝置104a及104b)交錯來實施統一操作模式。在區塊202處，記憶體通道最佳化模組102判定交錯頻寬比率，該交錯頻寬比率包含DRAM裝置104a及104b之資料頻寬之比率。可基於計算裝置之啟動來判定資料頻寬。

在一實施例中，可藉由存取諸如圖3中所說明之表300的資料結構來判定交錯頻寬比率。表300識別用於實施兩個DRAM裝置104a及104b的數種類型之相異記憶體裝置之各種組合的交錯頻寬比率。欄302列出DRAM裝置104a之各種組態。列304列出DRAM裝置104b之各種組態。就此而言，每一數值資料欄位識別對應組態(列/欄組態)之交錯頻寬比率。舉例而言，用黑色突出顯示表300之上部部分中的第一資料欄位，且該第一資料欄位列出交錯頻寬比率2.00，其對應於DRAM裝置104a之12.8 GB/s的頻寬及DRAM裝置104b之6.4 GB/s之資

料頻寬。在圖3中，DRAM裝置104a及104b經最佳化以用於行動計算系統中。DRAM裝置104b包含低功率雙資料速率(LPDDR)記憶體裝置，其可習知地經最佳化以用於離散模式中從而供CPU 108專用。DRAM裝置104a包含寬I/O(寬IO)記憶體裝置，其可習知地經最佳化以用於離散模式中從而供GPU 106專用。就此而言，數值根據諸如以下各者之可變效能參數來識別DRAM裝置104a及104b之交錯頻寬比率：記憶體位址位元大小(x64、x128、x256、x512)、時脈速度(MHz)，及資料頻寬(GB/s)。記憶體通道最佳化模組102可實行查找以獲得與DRAM裝置104a及104b相關聯之交錯頻寬比率。在圖2中之區塊202處，記憶體通道最佳化模組102亦可判定數值資料頻寬(例如，自表300或直接自DRAM裝置104a及104b)，且接著使用此資料來計算交錯頻寬比率。

請注意，該等類型之記憶體裝置及效能參數可取決於正實施有系統100的特定類型之計算裝置、系統應用程式等而變化。圖3中所說明之實例類型及效能參數僅在此描述中用以描述由行動系統中之記憶體通道最佳化模組102實行的例示性交錯方法。適合於通道最佳化模組102之其他隨機存取記憶體技術的一些實例包括NOR FLASH、EEPROM、EPROM、DDR-NVM、PSRAM、SRAM、PROM及ROM。一般熟習此項技術者將易於瞭解，可實行各種替代交錯方案及方法。

再次參看圖2，在區塊204處，記憶體通道最佳化模組102根據在區塊202中判定之交錯頻寬比率來使DRAM裝置104a與104b交錯。交錯程序使至用於DRAM裝置104a及104b之記憶體通道114a、114b、114c、114d以及118a及118b中之每一者的訊務分別與該特定通道之可用頻寬匹配。舉例而言，若DRAM裝置104a具有34 GB/s之資料頻寬，且DRAM裝置104b具有17 GB/s之資料頻寬，則交錯頻寬比率為2:1。此情形意謂，DRAM裝置104a之資料速率快達DRAM裝置104b之

資料速率的兩倍。

如圖4中所說明，記憶體通道最佳化模組102可包含一或多個通道重映射模組400，其用於根據交錯頻寬比率來組態並維護DRAM裝置104a及104b之虛擬位址映射表，及根據交錯頻寬比率將訊務散佈至DRAM裝置104a及104b。圖5中說明例示性位址映射表500。位址映射表500包含位址區塊之清單502(其可具有任何大小)，與基於交錯頻寬比率的對應通道及/或記憶體裝置指派。舉例而言，在圖5中，欄504說明DRAM裝置104a(「wideio2」)與DRAM裝置104b(「lpddr3e」)之間基於1:1之交錯頻寬比率的交替指派。將偶數位址區塊(N、N+2、N+4、N+6等)指派至wideio2，且將奇數位址區塊(N+1、N+3、N+5等)指派至lpddr3e。

欄506說明針對2:1之交錯頻寬比率的另一指派。在DRAM裝置104a(「wideio2」)具有快達DRAM裝置104b(「lpddr3e」)之兩倍的速率時，針對指派至lpddr3e之每個位址區塊，將兩個連續位址區塊指派至wideio2。舉例而言，將位址區塊N及N+1指派至wideio2。將區塊N+2指派至lpddr3e。將區塊N+3及N+4指派至wideio2，等等。欄508說明針對1:2之交錯頻寬比率的另一指派，其中使指派方案顛倒，此係因為DRAM裝置104b(「lpddr3e」)快達DRAM裝置104a(「wideio2」)之兩倍。

再次參看圖2之流程圖，在區塊206處，GPU 106及CPU 108可藉由將記憶體位址請求發送至記憶體通道最佳化模組102而以習知方式存取經交錯記憶體。如圖6中所說明，可由通道重映射邏輯600接收作為對應於位址區塊N、N+1、N+2、N+3、N+4、N+5等(圖5)之請求606、608、610、612、614、616等的輸入串流的訊務。通道重映射邏輯600經組態以根據含於位址映射表500(例如，欄504、506、508等)中之交錯頻寬比率及適當指派方案而將訊務散佈(區塊208(圖2))至

DRAM裝置104a及104b。

遵循2:1之交錯頻寬比率之以上實例，通道重映射邏輯600如圖6中所說明而操縱請求606、608、610、612、614及616。可操縱分別針對位址區塊N、N+1、N+3及N+4之請求606、608、612及614至DRAM裝置104a。可操縱分別針對位址區塊N+2及N+5之請求610及616至DRAM裝置104b。以此方式，來自GPU 106及CPU 108之傳入訊務可與DRAM裝置104a之記憶體通道114及/或DRAM裝置104b之記憶體通道118中之任一者上的可用頻寬最佳地匹配。此統一操作模式使得GPU 106及CPU 108能夠個別及/或共同地存取相異記憶體裝置之組合頻寬，而非限於習知離散操作模式之「區域化」高效能操作。

如上文所提及，記憶體通道最佳化模組102可經組態以基於各種所使用情境、系統設定等來選擇性地啓用統一模式抑或離散模式。此外，應瞭解，可使相異記憶體裝置之數個部分交錯，而非使完整記憶體裝置交錯。圖7說明可由記憶體通道最佳化模組102實施以建立多個「邏輯」裝置或分區的多層交錯技術。遵循使用2:1之交錯頻寬比率之以上實例，DRAM裝置104a可包含習知地經最佳化以用於GPU 106之一對0.5 GB記憶體裝置702及704，其具有34 GB/s之高效能頻寬。DRAM裝置104b可包含習知地經最佳化以用於CPU 108之1 GB記憶體裝置706及2 GB記憶體裝置708，其各自具有17 GB/s之較低頻寬。多層交錯技術可建立兩個經交錯分區710及712，以及一非交錯分區714。分區710可經4路交錯，以提供在102 GB/s之組合頻寬下的組合1.5 GB。分區712可經2路交錯，以提供在34 GB/s下之組合1.5 GB。分區714可未經交錯，以提供在17 GB/s下之1 GB。與系統100之記憶體管理架構組合之多層交錯技術可促進經交錯部分與非交錯部分之間的轉換，此係因為可針對可收回或可遷移資料結構及緩衝器明確地指定經交錯分區710及712之內容，而可針對諸如核心操作及/或其

他低速記憶體程序之處理而指定非交錯分區714之內容。

如上文所提及，可將記憶體通道最佳化模組102併入至任何所要計算系統中。圖8說明併入於例示性攜帶型計算裝置(PCD) 800中之記憶體通道最佳化模組102。記憶體最佳化模組102可包含可經分離地製造且併入至攜帶型計算裝置800之設計中的系統單晶片(SoC)或嵌入式系統。

如所展示，PCD 800包括晶載系統322，該晶載系統322包括多核CPU 402A。多核CPU 402A可包括第零核心410、第一核心412及第N核心414。該等核心中之一者可包含(例如)GPU 106，其中其他核心中之一或多者包含CPU 108。根據替代例示性實施例，CPU 402A亦可包含單一核心類型之彼等核心，且並非具有多個核心之一者，在該狀況下，CPU 108及GPU 106可為專用處理器，如系統100中所說明。

顯示控制器328及觸控式螢幕控制器330可耦接至GPU 106。又，在晶載系統322外部之觸控式螢幕顯示器108可耦接至顯示控制器328及觸控式螢幕控制器330。

圖8進一步展示，例如以下各者之視訊編碼器334耦接至多核CPU 402A：逐行倒相(PAL)編碼器、按順序傳送彩色與儲存(sequential color a memoire, SECAM)編碼器，或國家電視系統委員會(NTSC)編碼器。另外，視訊放大器336耦接至視訊編碼器334及觸控式螢幕顯示器108。又，視訊埠338耦接至視訊放大器336。如圖8中所展示，通用串列匯流排(USB)控制器340耦接至多核CPU 402A。又，USB埠342耦接至USB控制器340。記憶體404A及用戶識別模組(SIM)卡346亦可耦接至多核CPU 402A。記憶體404A可包含兩個或兩個以上相異記憶體裝置(例如，DRAM裝置104a及104b)，如上文所描述。記憶體通道最佳化模組102可耦接至CPU 402A(包括(例如)CPU 108及GPU 106)，且記憶體404A可包含兩個或兩個以上相異記憶體裝置。可將記憶體通道

最佳化模組102作為單獨之系統單晶片(SoC)或作為SoC 322之組件來併入。

另外，如圖8中所展示，數位攝影機348可耦接至多核CPU 402A。一在例示性態樣中，數位攝影機348為電荷耦合裝置(CCD)攝影機或互補金屬氧化物半導體(CMOS)攝影機。

如圖8中進一步說明，立體音訊編碼器-解碼器(編解碼器(CODEC))350可耦接至多核CPU 402A。此外，音訊放大器352可耦接至立體音訊CODEC 350。在一例示性態樣中，第一立體聲揚聲器354及第二立體聲揚聲器356耦接至音訊放大器352。圖8展示，麥克風放大器358亦可耦接至立體音訊CODEC 350。另外，麥克風360可耦接至麥克風放大器358。在一特定態樣中，調頻(FM)無線電調諧器362可耦接至立體音訊CODEC 350。又，FM天線364耦接至FM無線電調諧器362。另外，立體聲耳機366可耦接至立體音訊CODEC 350。

圖8進一步說明，射頻(RF)收發器368可耦接至多核CPU 402A。RF開關370可耦接至RF收發器368及RF天線372。如圖8中所展示，小鍵盤204可耦接至多核CPU 402A。又，具有麥克風之單聲道頭戴式耳機376可耦接至多核CPU 402A。另外，振動器裝置378可耦接至多核CPU 402A。

圖8亦展示，電源供應器380可耦接至晶載系統322。在一特定態樣中，電源供應器380為將電力提供至PCD 800之需要電力之各種組件的直流電(DC)電源供應器。另外，在一特定態樣中，電源供應器為可再充電DC電池或DC電源供應器，該DC電源供應器係得自至連接至AC電源之DC變壓器的交流電(AC)。

圖8進一步指示，PCD 800亦可包括網路卡388，該網路卡可用以存取資料網路，例如，區域網路、個人區域網路或任何其他網路。網路卡388可為藍芽網路卡、WiFi網路卡、個人區域網路(PAN)卡、個人

區域網路超低功率技術(PeANUT)網路卡，或此項技術中熟知之任何其他網路卡。另外，網路卡388可併入至晶片中，亦即，網路卡388可為晶片中之完整解決方案，且可並非單獨網路卡388。

如圖8中所描繪，觸控式螢幕顯示器108、視訊埠338、USB埠342、攝影機348、第一立體聲揚聲器354、第二立體聲揚聲器356、麥克風360、FM天線364、立體聲耳機366、RF開關370、RF天線372、小鍵盤374、單聲道頭戴式耳機376、振動器378及電源供應器380可在晶載系統322外部。

在一特定態樣中，本文中所描述之方法步驟中的一或多者可作為電腦程式指令儲存於記憶體404A中，諸如上文結合如圖1中所說明之記憶體通道最佳化模組102描述的模組。

此等指令可藉由多核CPU 402A與記憶體通道最佳化模組102結合或合作地執行以實行本文中所描述之方法。另外，PCD 800之多核CPU 402A、記憶體通道最佳化模組102及記憶體404A或其組合可充當用於執行本文中所描述之方法步驟中的一或多者的構件。

本說明書中所描述之程序或程序流程中之某些步驟本質上先於其他步驟以使本發明如所描述而起作用。然而，若所描述之步驟之次序或序列不更改本發明之功能性，則本發明不限於該次序。亦即，認識到，在不脫離本發明之範疇及精神的情況下，一些步驟可在其他步驟之前執行、在其他步驟之後執行，或與其他步驟並行地(實質上同時地)執行。在一些例子中，可在不脫離本發明之情況下省略或不執行某些步驟。另外，諸如「此後」、「接著」、「接下來」等之詞語不意欲限制步驟之次序。此等詞語僅用以經由例示性方法之描述而指導讀者。

另外，一般熟習程式設計者能夠撰寫電腦程式碼或識別適當硬體及/或電路，以基於(例如)本說明書中之流程圖及相關聯描述而無困

難地實施所揭示之本發明。

因此，程式碼指令或詳細硬體裝置之特定集合之揭示內容未被視為對恰當地理解如何製造及使用本發明為必要的。所主張電腦實施程序之本發明功能性在以上描述中且結合可說明各種程序流程之諸圖予以更詳細地解釋。

在一或多個例示性態樣中，所描述之功能可以硬體、軟體、韌體或其任何組合來實施。若以軟體實施，則該等功能可作為一或多個指令或程式碼在一電腦可讀媒體上儲存或傳輸。電腦可讀媒體包括電腦儲存媒體及通信媒體(包括促進電腦程式自一處傳送至另一處的任何媒體)兩者。儲存媒體可為可藉由電腦存取之任何可用媒體。藉由實例而非限制，此類電腦可讀媒體可包含RAM、ROM、EEPROM、CD-ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置，或可用以攜載或儲存呈指令或資料結構之形式的所要程式碼且可由電腦存取的任何其他媒體。

又，將任何連接恰當地稱為電腦可讀媒體。舉例而言，若使用同軸電纜、光纖纜線、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術而自網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖纜線、雙絞線、DSL或諸如紅外線、無線電及微波之無線技術包括於媒體之定義中。

如本文所使用，磁碟及光碟包括緊密光碟(「CD」)、雷射光碟、光碟、數位影音光碟(「DVD」)、軟性磁碟及藍光光碟，其中磁碟通常以磁性方式再現資料，而光碟用雷射以光學方式再現資料。以上各物之組合亦應包括於電腦可讀媒體之範疇內。

在不脫離本發明之精神及範疇的情況下，用於管理相異記憶體裝置之方法200及系統100的替代實施例對於一般熟習本發明關於之技術者將變得顯而易見。因此，儘管已詳細說明並描述了選定態樣，但

應理解，在不脫離如由以下申請專利範圍界定之本發明之精神及範疇的情況下，可在其中作出各種替代及更改。

**【符號說明】**

100	系統
102	記憶體通道最佳化模組
104a	動態隨機存取記憶體(DRAM)裝置
104b	動態隨機存取記憶體(DRAM)裝置
106	圖形處理單元(GPU)
108	中央處理單元(CPU)/觸控式螢幕顯示器
110	電連接
112	電連接
114	記憶體通道
114a	記憶體通道
114b	記憶體通道
114c	記憶體通道
114d	記憶體通道
116a	實體/控制連接件
116b	實體/控制連接件
116c	實體/控制連接件
116d	實體/控制連接件
118	記憶體通道
118a	記憶體通道
118b	記憶體通道
120a	實體/控制連接件
120b	實體/控制連接件
200	用於藉由使相異記憶體裝置交錯來實施統一操作模

	式之方法
300	表
302	欄
304	列
322	晶載系統/系統單晶片(SoC)
328	顯示控制器
330	觸控式螢幕控制器
334	視訊編碼器
336	視訊放大器
338	視訊埠
340	通用串列匯流排(USB)控制器
342	通用串列匯流排(USB)埠
346	用戶識別模組(SIM)卡
348	數位攝影機
350	立體音訊編碼器-解碼器
352	音訊放大器
354	第一立體聲揚聲器
356	第二立體聲揚聲器
358	麥克風放大器
360	麥克風
362	調頻(FM)無線電調諧器
364	調頻(FM)天線
366	立體聲耳機
368	射頻(RF)收發器
370	射頻(RF)開關
372	射頻(RF)開關

374	小鍵盤
376	單聲道頭戴式耳機
378	振動器裝置
380	電源供應器
388	網路卡
400	通道重映射模組
402A	多核中央處理單元(CPU)
404A	記憶體
410	第零核心
412	第一核心
414	第N核心
500	位址映射表
502	位址區塊之清單
504	欄
506	欄
508	欄
600	通道重映射邏輯
606	請求
608	請求
610	請求
612	請求
614	請求
616	請求
702	0.5 GB記憶體裝置
704	0.5 GB記憶體裝置
706	1 GB記憶體裝置

708	2 GB記憶體裝置
710	交錯分區
712	交錯分區
714	非交錯分區
800	攜帶型計算裝置(PCD)

## 申請專利範圍

1. 一種用於使相異記憶體裝置交錯之方法，該方法包含：  
判定一交錯頻寬比率，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬之一比率；  
根據該交錯頻寬比率使該等相異記憶體裝置交錯；及  
根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置。
2. 如請求項1之方法，其中該一或多個處理單元包含一中央處理單元及一圖形處理單元。
3. 如請求項1之方法，其中該等相異記憶體裝置包含一第一類型之動態隨機存取記憶體(DRAM)及一第二類型之DRAM。
4. 如請求項3之方法，其中該第一類型之DRAM包含一雙資料速率記憶體，且該第二類型之DRAM包含一圖形雙資料速率記憶體。
5. 如請求項1之方法，其中該等相異記憶體裝置包含一低功率雙資料速率(LPDDR)記憶體及一寬I/O記憶體。
6. 一種用於使相異記憶體裝置交錯之系統，其包含：  
用於判定一交錯頻寬比率之構件，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬之一比率；  
用於根據該交錯頻寬比率使該等相異記憶體裝置交錯之構件；及  
用於根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置的構件。
7. 如請求項6之系統，其中該一或多個處理單元包含一中央處理單元及一圖形處理單元。
8. 如請求項6之系統，其中該等相異記憶體裝置包含一第一類型之

動態隨機存取記憶體(DRAM)及一第二類型之DRAM。

9. 如請求項8之系統，其中該第一類型之DRAM包含一雙資料速率記憶體，且該第二類型之DRAM包含一圖形雙資料速率記憶體。
10. 如請求項6之系統，其中該等相異記憶體裝置包含一低功率雙資料速率(LPDDR)記憶體及一寬I/O記憶體。
11. 一種用於管理一電腦系統中之記憶體裝置的記憶體系統，該記憶體系統包含：
  - 一第一類型之記憶體裝置，其經指派至一第一用戶端；
  - 一第二類型之記憶體裝置，其經指派至一第二用戶端；及
  - 一記憶體通道最佳化模組，其與該第一類型之記憶體裝置及該第二類型之記憶體裝置以及該第一用戶端及該第二用戶端通信，該記憶體通道最佳化模組可以一統一操作模式操作，從而藉由以下操作來使該第一類型之記憶體裝置及該第二類型之記憶體裝置交錯：
    - 判定一交錯頻寬比率，該交錯頻寬比率包含該第一類型之記憶體裝置及該第二類型之記憶體裝置之頻寬的一比率；
    - 根據該交錯頻寬比率使該第一類型之記憶體裝置及該第二類型之記憶體裝置交錯；及
    - 根據該交錯頻寬比率將來自該第一用戶端及該第二用戶端之記憶體位址請求散佈至該第一類型之記憶體裝置及該第二類型之記憶體裝置。
12. 如請求項11之記憶體系統，其中該第一用戶端包含一中央處理單元，且該第二用戶端包含一圖形處理單元。
13. 如請求項11之記憶體系統，其中該第一類型之記憶體裝置包含一雙資料速率記憶體，且該第二類型之記憶體裝置包含一圖形雙資料速率記憶體。

14. 如請求項11之記憶體系統，其中該第一類型之記憶體裝置包含一低功率雙資料速率(LPDDR)記憶體，且該第二類型之記憶體裝置包含一寬I/O記憶體。
15. 如請求項11之記憶體系統，其中該記憶體通道最佳化模組進一步可以一離散操作模式操作，在該離散操作模式中，該第一類型之記憶體裝置管理對該第一用戶端特定之資料，且該第二類型之記憶體裝置管理對該第二用戶端特定之資料。
16. 一種包含一電腦可使用媒體之電腦程式產品，該電腦可使用媒體具有體現於其中之一電腦可讀程式碼，該電腦可讀程式碼適於執行以實施用於使相異記憶體裝置交錯的一方法，該方法包含：
  - 判定一交錯頻寬比率，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬之一比率；
  - 根據該交錯頻寬比率使該等相異記憶體裝置交錯；及
  - 根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置。
17. 如請求項16之電腦程式產品，其中該一或多個處理單元包含一中央處理單元及一圖形處理單元。
18. 如請求項16之電腦程式產品，其中該等相異記憶體裝置包含一第一類型之動態隨機存取記憶體(DRAM)及一第二類型之DRAM。
19. 如請求項18之電腦程式產品，其中該第一類型之DRAM包含一雙資料速率記憶體，且該第二類型之DRAM包含一圖形雙資料速率記憶體。
20. 如請求項16之電腦程式產品，其中該等相異記憶體裝置包含一低功率雙資料速率(LPDDR)記憶體及一寬I/O記憶體。

21. 一種用於使相異記憶體裝置交錯之系統，該系統包含：

用於判定一交錯頻寬比率之構件，該交錯頻寬比率包含兩個或兩個以上相異記憶體裝置之頻寬之一比率；

用於根據該交錯頻寬比率使該等相異記憶體裝置交錯之構件；及

用於根據該交錯頻寬比率將來自一或多個處理單元之記憶體位址請求散佈至該等相異記憶體裝置的構件。

22. 如請求項21之系統，其中該一或多個處理單元包含一中央處理單元及一圖形處理單元。

23. 如請求項21之系統，其中該等相異記憶體裝置包含一第一類型之動態隨機存取記憶體(DRAM)及一第二類型之DRAM。

24. 如請求項23之系統，其中該第一類型之DRAM包含一雙資料速率記憶體，且該第二類型之DRAM包含一圖形雙資料速率記憶體。

25. 如請求項21之系統，其中該等相異記憶體裝置包含一低功率雙資料速率(LPDDR)記憶體及一寬I/O記憶體。

圖式

100

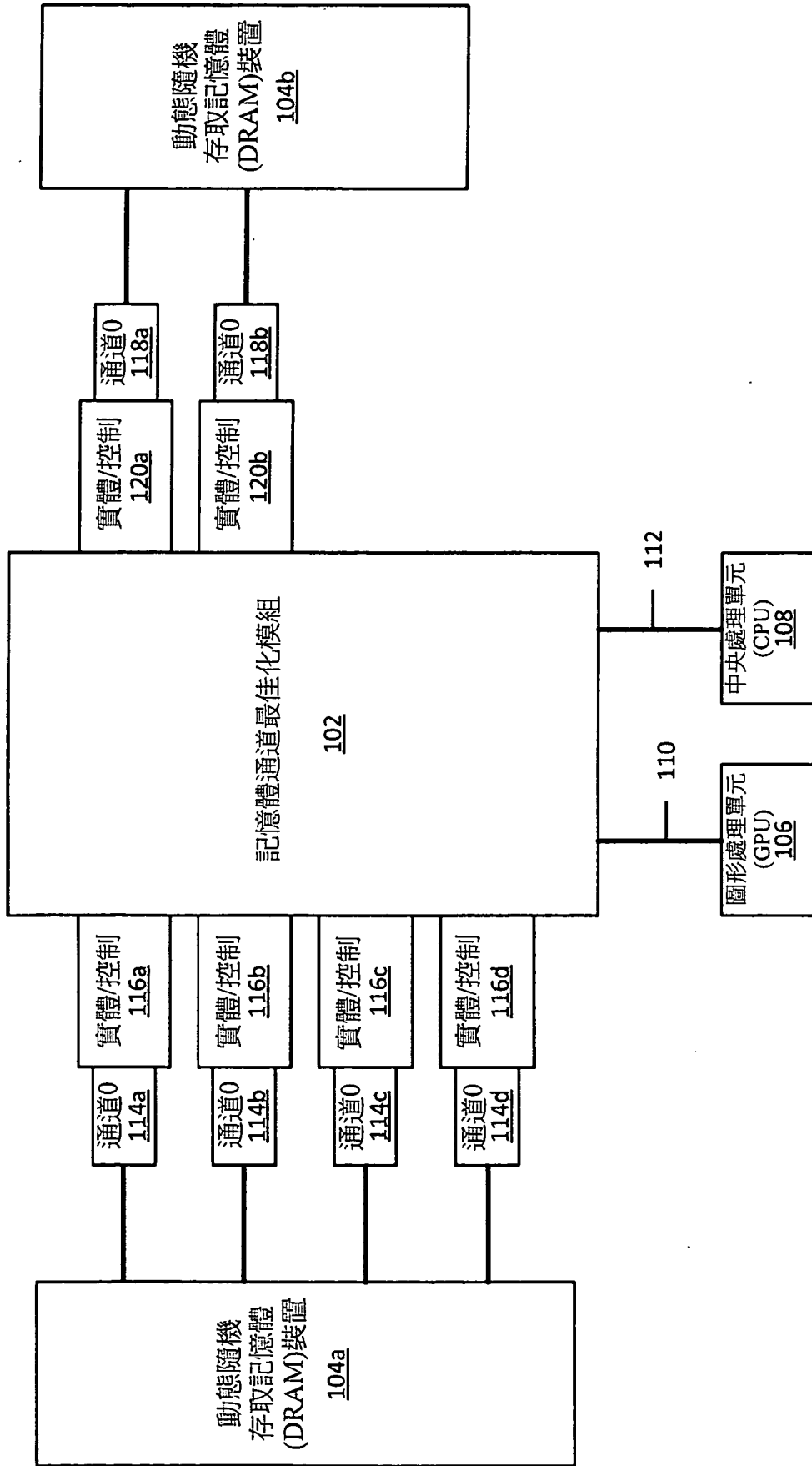


圖1

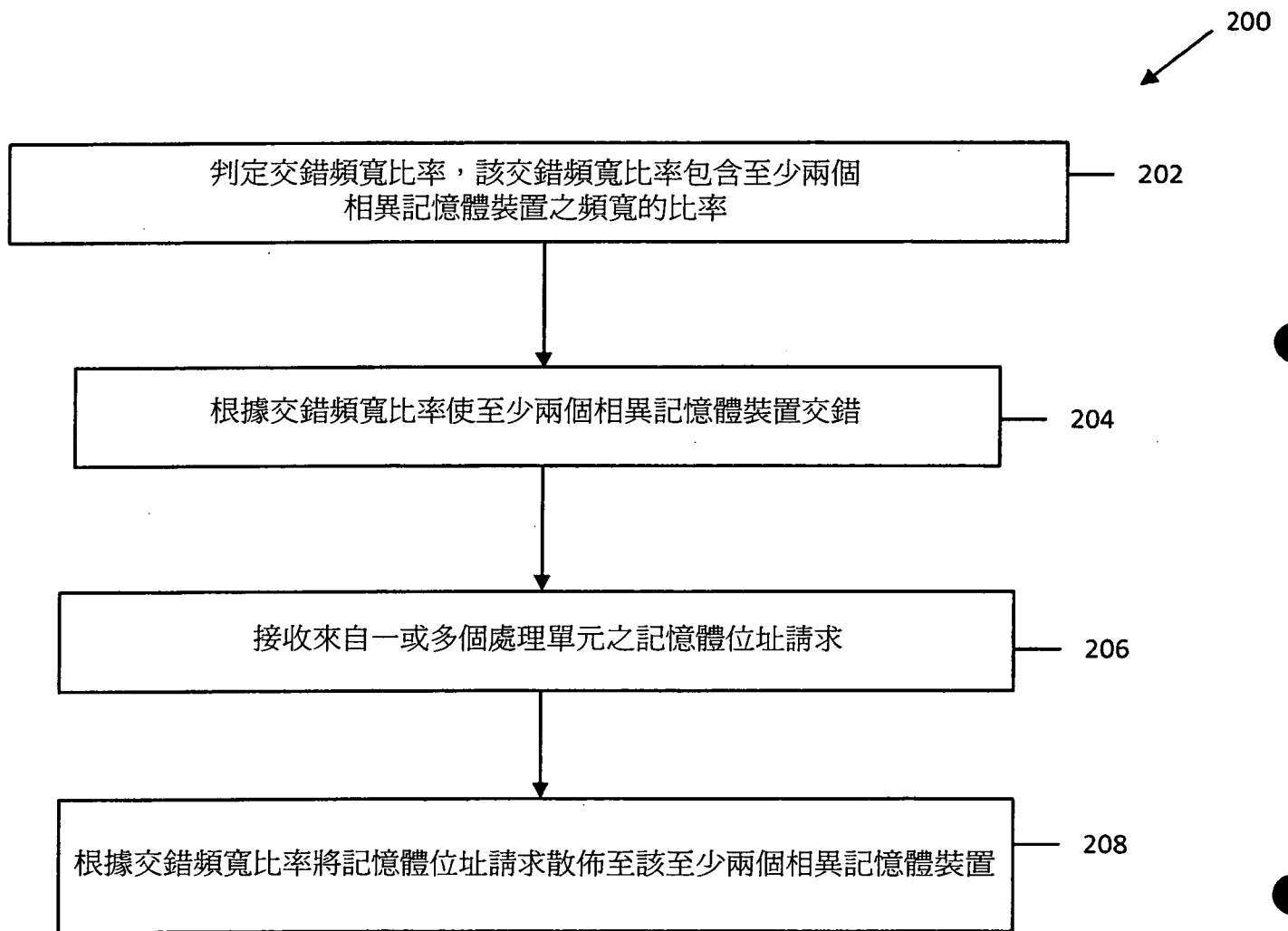


圖2

300 ↗ 304 ↗

	lpddr2 x64 200 MHz 6.4 GB/s	lpddr2 x64 266 MHz 8.5 GB/s	lpddr3 x64 200 MHz 12.8 GB/s	lpddr3 x64 266 MHz 17 GB/s	lpddr4 x64 200 MHz 25.6 GB/s	lpddr4 x64 266 MHz 34 GB/s
wideo1, x512, 200 MHz, 12.8 GB/s	2.00	1.51	1.00	0.75	0.50	0.38
wideo1, x512, 266 MHz, 17 GB/s	2.66	2.00	1.33	1.00	0.66	0.50
wideo2, x256, 200 MHz, 25.6 GB/s	4.00	3.01	2.00	1.51	1.00	0.75
wideo2, x256, 266 MHz, 34 GB/s	5.31	4.00	2.66	2.00	1.33	1.00

302 ↖ 304 ↖

	lpddr2 x128 200 MHz 12.8 GB/s	lpddr2 x128 266 MHz 17 GB/s	lpddr3 x128 200 MHz 25.6 GB/s	lpddr3 x128 266 MHz 34 GB/s	lpddr4 x128 200 MHz 51.2 GB/s	lpddr4 x128 266 MHz 68 GB/s
wideo1, x512, 200 MHz, 12.8 GB/s	1.00	0.75	0.50	0.38	0.25	0.19
wideo1, x512, 266 MHz, 17 GB/s	1.33	1.00	0.66	0.50	0.33	0.25
wideo2, x256, 200 MHz, 25.6 GB/s	2.00	1.51	1.00	0.75	0.50	0.38
wideo2, x256, 266 MHz, 34 GB/s	2.66	2.00	1.33	1.00	0.66	0.50

圖3

100

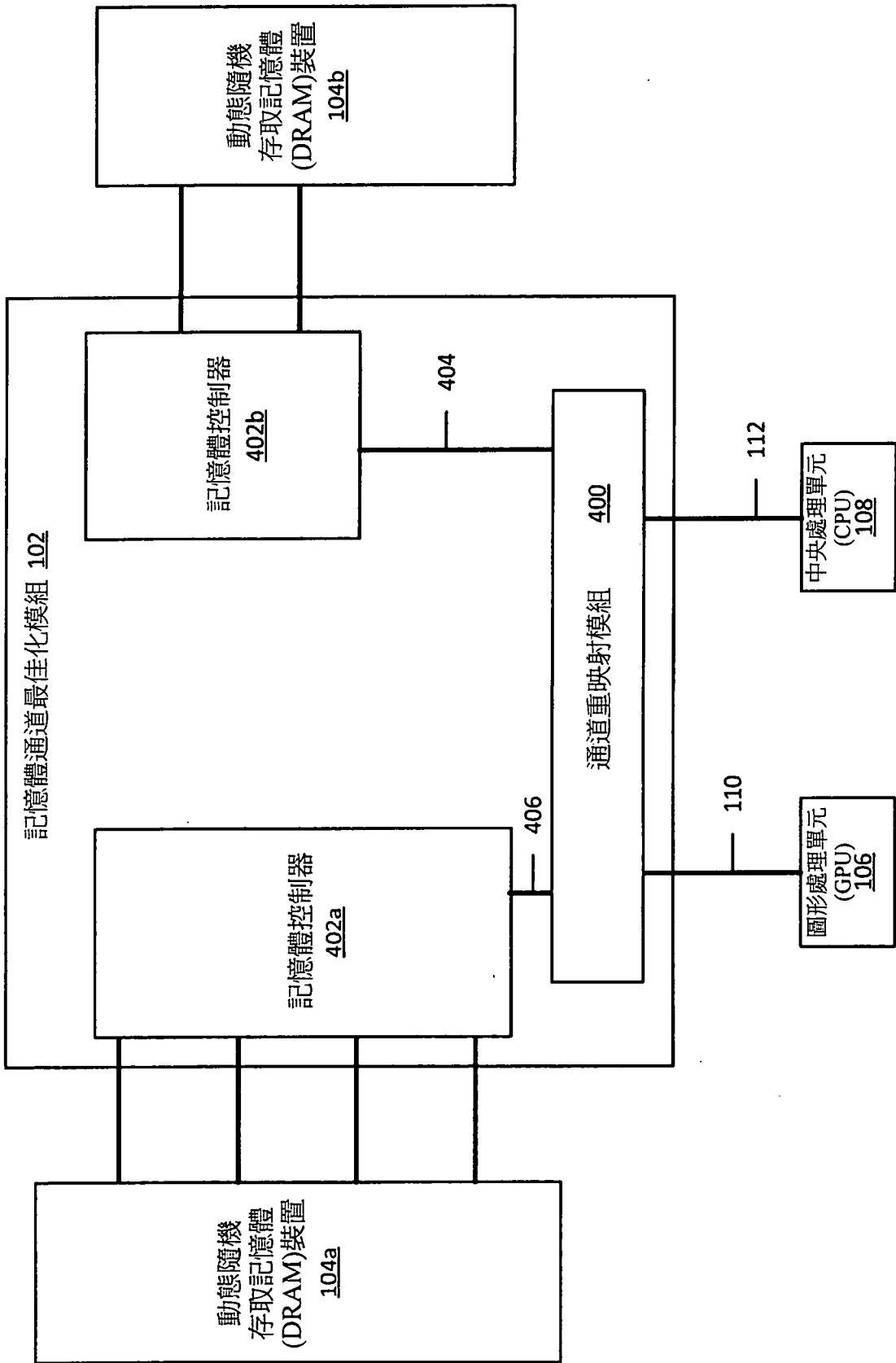


圖4

500 ↘

502 ↘

位址區塊	交錯頻寬比率		
	1:1	2:1	1:2
N	wideio2	wideio2	wideio2
N + 1	lpddr3e	wideio2	lpddr3e
N + 2	wideio2	lpddr3e	lpddr3e
N + 3	lpddr3e	wideio2	wideio2
N + 4	wideio2	wideio2	lpddr3e
N + 5	lpddr3e	lpddr3e	lpddr3e
N + 6	wideio2	wideio2	wideio2

↑ 504

↑ 506

↑ 508

圖 5

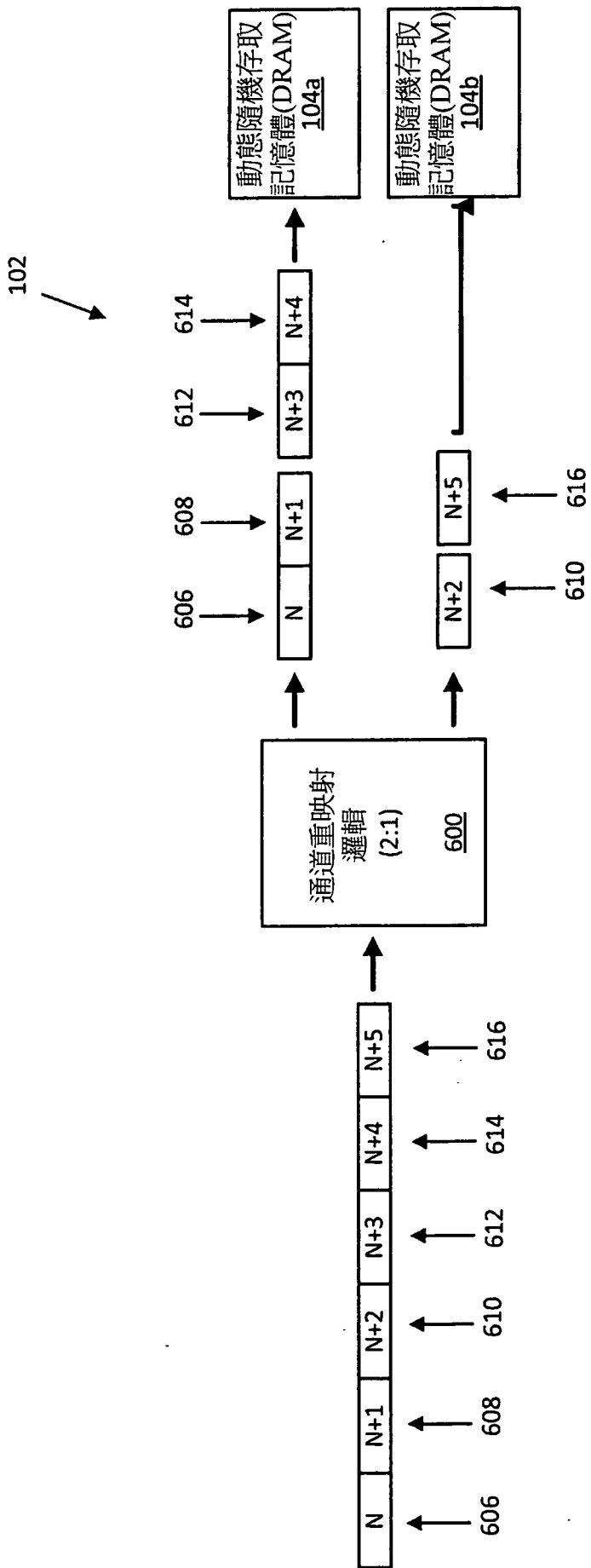


圖6

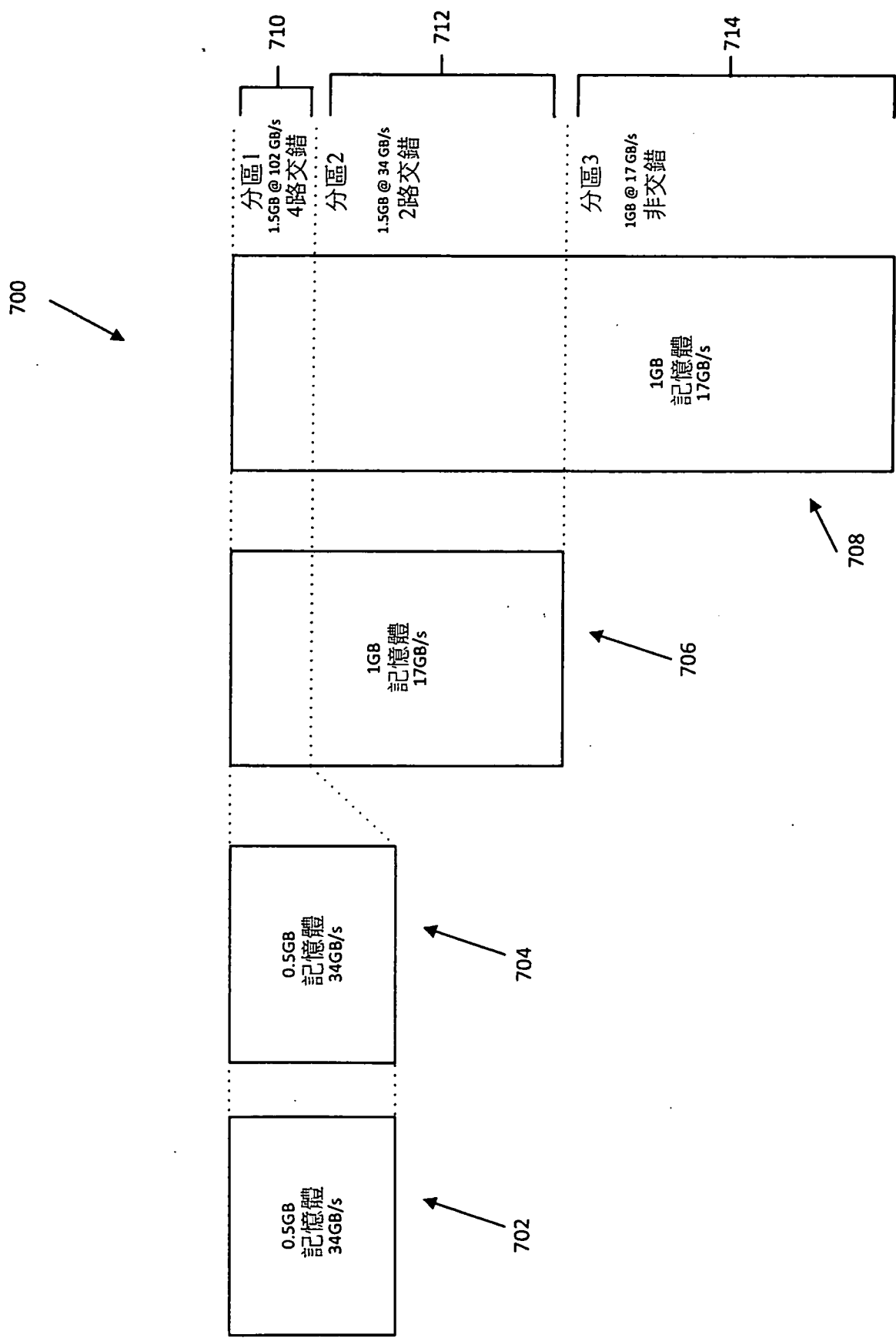


圖7

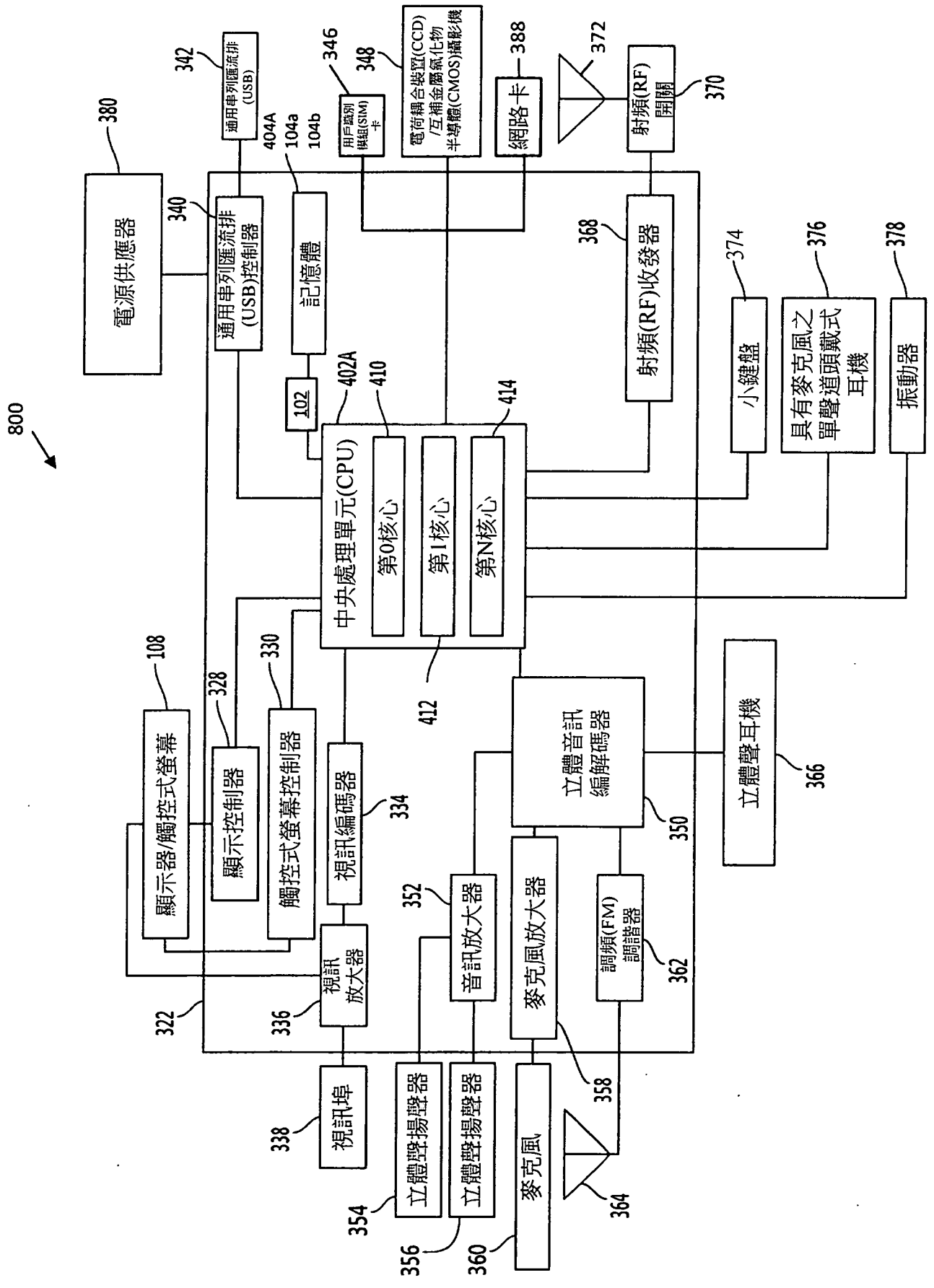


圖8