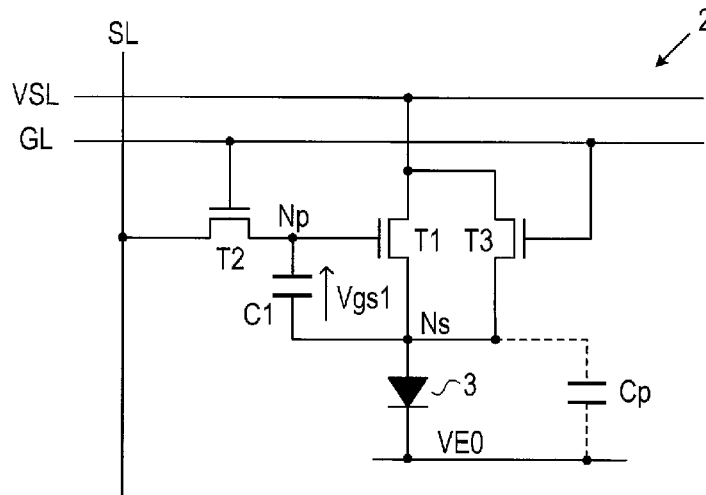




- (51) 国際特許分類 :  
G09G 3/30 (2006.01) H01L 51/50 (2006.01)  
G09G 3/20 (2006.01) H05B 33/08 (2006.01)
- (21) 国際出願番号 : PCT/JP20 12/081617
- (22) 国際出願日 : 2012 年 12 月 6 日 (06.12.2012)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :  
特願 2011-279284 2011 年 12 月 21 日 (21.12.2011) JP
- (71) 出願人 (米国を除く全ての指定国について) :  
シャープ株式会社 (SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者 ; および
- (71) 出願人 (米国についてのみ) : 山内 祥光  
IYAMAUCHI, Yoshimitsu [JP/—].
- (74) 代理人 : 政木 良文 (MASAKI, Yoshifumi); 〒  
5410042 大阪府大阪市中央区今橋 4 丁目 3 番 6  
号 淀屋橋 N A O ビル 7 F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

- (54) Title: PIXEL CIRCUIT AND DISPLAY UNIT
- (54) 発明の名称 : 画素回路及び表示装置



(571) ADStract: Provided is a pixel circuit that can stably hold a voltage with high precision between an n-channel drive transistor gate and source for controlling the light-emission current of an organic EL device, and that can control light emission with high precision. A pixel circuit (2) comprises a light-emitting element (3); an n-channel drive transistor (T1) for controlling the light-emission current that flows to the light-emitting element (3) in accordance with a light-emission control voltage between the gate and the source, the source being connected to the anode of the light-emitting element (3) and the gate being connected to the pixel node (Np); a transfer transistor (T2) having a gate connected to a scan signal line (GL), the transfer transistor (T2) being interposed between a data signal line (SL) and the pixel node (Np); a control transistor (T3) for selectively short-circuiting between the source and drain of the drive transistor (T1), the control transistor (T3) being interposed between the source and drain of the drive transistor (T1), having a gate connected to the scan signal line (GL), and being set in an ON state simultaneously with the transfer transistor (T2); and a capacitance element (C1) for holding the light-emission control voltage, the capacitance element (C1) being interposed between the gate and source of the drive transistor (T1).

(57) 要約:

[続葉有]





(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, 添付公開書類 :

NE, SN, TD, TG).

- 国際調査報告 (条約第 21 条(3))

有機 EL 素子の発光電流を制御する n チャネル型の駆動トランジスタのゲートとソース間の電圧を高精度且つ安定的に保持して、高精度に発光制御可能な画素回路を提供する。画素回路 2 が、発光素子 3 と、ソースが発光素子 3 のアノードと接続し、ゲートが画素ノード Np と接続し、ゲートとソース間の発光制御電圧に応じて発光素子 3 に流れる発光電流を制御する n チャネル型の駆動トランジスタ T1 と、データ信号線 SL と画素ノード Np 間に介装され、ゲートが走査信号線 GL と接続する転送トランジスタ T2 と、駆動トランジスタ T1 のソースとドレイン間に介装され、ゲートが走査信号線 GL と接続し、転送トランジスタ T2 と同時にオン状態となり、駆動トランジスタ T1 のソースとドレイン間を選択的に短絡する制御用トランジスタ T3 と、駆動トランジスタ T1 のゲートとソース間に介装された発光制御電圧を保持する容量素子 C1 を備える。

## 明 細 書

発明の名称 : 画素回路及び表示装置

## 技術分野

[0001] 本発明は、画素回路及び当該画素回路を備えた表示装置に関し、特に、アノード電極からカソード電極に発光電流が流れることで発光する発光素子と、当該発光電流を制御するnチャネル型の絶縁ゲート型薄膜トランジスタを備えた画素回路、及び、当該画素回路をマトリクス状に配置した画素回路アレイを備えた表示装置に関し、更に詳細には、アクティブマトリックス型の有機EL表示装置に関する。

## 背景技術

[0002] 有機EL表示装置では、有機EL素子であるOLED (Organic Light Emitting Diode) に流れる発光電流を制御することにより、発光輝度が調整される。アクティブマトリックス型の有機EL表示装置では、画素回路内に、当該発光電流をゲート電圧によって制御してOLEDを駆動する駆動トランジスタと、データ信号線から供給される発光輝度を多階調に調整するための輝度電圧を当該駆動トランジスタのゲート電極に転送する転送トランジスタを備える。駆動トランジスタと転送トランジスタは、絶縁ゲート型の薄膜トランジスタ(TFT)で形成される。

[0003] 駆動トランジスタは、pチャネル型TFTを使用する場合と、nチャネル型TFTを使用する場合があるが、nチャネル型TFTを使用する場合には、例えば、一般的に、図13に示すように、ソース電極をOLEDのアノード電極と接続したソースフォロア回路となる(例えば、下記の特許文献1及び2等参照)。TFT基板上にOLEDを形成する場合に、上側から発光を出射させるトップエミッション型の場合、マイクロキャビティ効果のため、反射金属と透明電極の積層構造(反射金属層の上に透明電極を積層)で構成された下部電極がTFT基板上に配置され、また、下側から発光を出射させるボトムエミッション型の場合、下部電極は発光素子からの発光を透過させ

る必要があるため、透明電極で構成された下部電極がTFT基板上に配置される。しかしながら、透明電極の仕事関数が大きいため、OLEDの発光を高効率で安定して実現するには、当該透明電極をアノード電極として用いることが望ましい。従って、駆動トランジスタがnチャネル型TFTの場合、ソース電極がTFT基板側に配置されるアノード電極と接続される。一方、ソースフォロア回路となるのを回避するには、透明電極の代わりに仕事関数の小さいアルカリ金属を用いたカソード電極をTFT基板上に配置することになる。この場合、当該カソード電極を極めて薄い薄膜に形成する必要が生じ、カソード電極上に良質な有機膜の形成が困難になるとともに、カソード電極の抵抗が高くなるという問題が生じる。

#### 先行技術文献

#### 特許文献

[0004] 特許文献1 :特開2007\_310311号公報

特許文献2 :特開2007\_148129号公報

#### 発明の概要

#### 発明が解決しようとする課題

[0005] OLEDの発光輝度は発光電流によって制御されるが、当該発光電流を所定の電流値に調整する場合、駆動トランジスタが飽和領域で動作し、ドレイン電流が所定の電流値となるように、ソース電極を基準としてドレイン電極とゲート電極の各電圧レベルを設定する必要がある。図13中の駆動トランジスタT1のソース電極とゲート電極間に介装された容量素子C1は、ソース電極とゲート電極間の電圧VGS1を、発光期間中を通して安定的に保持するためのものである。

[0006] 一方、容量素子をドレイン電極とゲート電極間に設けた場合は、ドレイン電極とゲート電極間の電圧VGD1は、発光期間中を通して安定的に保持されるものの、ソース電極の電圧は、駆動トランジスタT1のドレイン電流とOLEDの発光電流が等しくなる電圧（動作点）に両素子の特性に応じて定

まるため、何れか一方の素子の特性が変動すると当該動作点が移動して発光電流が変動するため、当該素子の特性変動を抑制する必要がある。

[0007] 駆動トランジスタとしてpチャネル型TFTを使用する場合は、ソース接地回路となり、駆動トランジスタのソース電極の電位が固定されるため、定電流回路となる。一方、図13に示すように、駆動トランジスタT1がnチャネル型TFTのソースフォロア回路の場合は、駆動トランジスタT1のソース電極の電位 $V_{S1}$ が、OLEDの電流電圧特性及び駆動トランジスタのトランジスタ特性に応じて変動するため、当該電位の変動を抑制して、上記容量素子C1においてソース電極とゲート電極間の電圧 $V_{GS1}$ を安定的に保持するには、上記OLED及び駆動トランジスタの特性のバラツキや経時変化を補償する必要がある。

[0008] 上記特許文献1では、図13に示す画素回路において、駆動トランジスタT1の閾値電圧及び移動度のバラツキ及び変動を補償するために、図14のタイミング図（特許文献1の図4Aに相当）に示すように、転送トランジスタT2のゲート電位 $V_{G2}$ と、駆動トランジスタT1のドレイン電位 $V_{D1}$ と、転送トランジスタT2のドレイン電位 $V_{D2}$ を外部から制御することにより、画素回路の内部ノードである駆動トランジスタT1のソース電極とゲート電極間の電圧 $V_{GS1}$ （ $= V_{G1} - V_{S1}$ ）を、以下の数1に示すように、輝度電圧 $V_{in}$ と駆動トランジスタT1の閾値電圧 $V_{t1}$ の和から駆動トランジスタT1の移動度の変動の補正量 $\Delta v$ を差し引いた値に調整できる旨の説明がなされている。尚、特許文献1では、輝度電圧 $V_{in}$ は絶対値ではなく、転送トランジスタT2がオンしている期間中における電圧変化（相対値）として与えられる。

[0009] （数1）

$$V_{GS1} = V_{in} + V_{t1} - \Delta V$$

[0010] しかしながら、実際の画素回路では、容量素子C1以外に、駆動トランジスタT1のソース電極には、OLEDのアノード電極とカソード電極間の寄生容量 $C_p$ が存在し、駆動トランジスタT1のゲート電極には、駆動トラン

ジスタT 1のゲート電極とドレイン電極間の寄生容量 $C_g 1$ と転送トランジスタT 2のゲート電極とソース電極間の寄生容量 $C_g 2$ 等を合計した寄生容量 $C_g$ が存在する。

[0011] 特許文献1の説明では、補正量 $\Delta v$ は駆動トランジスタT 1の移動度の画素回路間のバラツキに応じて変化するため、移動度のバラツキの補正が行えるとしている。しかし、駆動トランジスタT 1のゲート電位 $V_{G1}$ が $V_{in}$ だけ変化したことに伴い、駆動トランジスタT 1のソース電位 $V_{S1}$ が容量素子 $C_1$ を介した静電誘導による電位変動 $\{C_1 / (C_1 + C_p) \times V_{in}\}$ を受けるので、補正量 $\Delta v$ に対して当該電位変動を加える必要がある。当該電位変動は移動度のバラツキに関係なく、各画素回路において夫々発生するため、閾値電圧 $V_{t1}$ の補償に対しては誤差(第1の誤差 $E_1$ )となる。尚、補正量 $\Delta v$ は、駆動トランジスタT 1のゲート電位 $V_{G1}$ が $V_{in}$ だけ変化した後、転送トランジスタT 2がオフするまでの補正期間、駆動トランジスタT 1が容量素子 $C_1$ と寄生容量 $C_p$ を充電することによって生じるので、当該補正期間の長さ、寄生容量 $C_p$ の大きさ、駆動トランジスタT 1のトランジスタ特性(閾値電圧、移動度等)、及び、輝度電圧 $V_{in}$ の大きさに依存して変化する。従って、補正量 $\Delta v$ も閾値電圧 $V_{t1}$ の補償に対しては誤差(第2の誤差 $E_2$ )となっている。更に、転送トランジスタT 2がオン状態からオフ状態に遷移して次の発光期間が開始して、駆動トランジスタT 1のソース電位 $V_{S1}$ が上昇すると、容量素子 $C_1$ を介した静電誘導により、駆動トランジスタT 1のゲート電位 $V_{G1}$ も上昇する。特許文献1の説明では、寄生容量 $C_g$ の存在を無視しているため、駆動トランジスタT 1のソース電位 $V_{S1}$ の上昇量 $\Delta V_{S1}$ とゲート電位 $V_{G1}$ の上昇量 $\Delta V_{G1}$ は等しいと仮定している。つまり、駆動トランジスタT 1のソース電極とゲート電極間の電圧 $V_{GS1}$ は変動しないと仮定しているが、寄生容量 $C_g$ の存在を考慮すると、当該上昇量 $\Delta V_{G1}$ は、上昇量 $\Delta V_{S1}$ より $\{C_g / (C_1 + C_g)\} \times \Delta V_{S1}$ だけ減少するので、当該減少分が、閾値電圧 $V_{t1}$ の補償に対して誤差(第3の誤差 $E_3$ )となる。従って、トータルの誤差 $E$

は、以下の数 2 に示すように、予め想定されている誤差  $E_2$  ( $= \Delta V$ ) 以外にも、誤差  $E_1$  と誤差  $E_3$  が発生する。従って、駆動トランジスタ  $T_1$  のソース電極とゲート電極間の電圧  $V_{GS1}$  は、実際には、以下の数 3 に示すようになる。

[001 2] (数 2)

$$\begin{aligned} E &= E_1 + E_2 + E_3 \\ &= C_1 / (C_1 + C_p) \times V_{in} + \Delta V + C_g / (C_1 + C_g) \times \Delta V_{s1} \end{aligned}$$

[001 3] (数 3)

$$V_{GS1} = V_{in} + V_{t1} - \Delta V - (E_1 + E_3) = V_{in} + V_{t1} - E$$

[0014] ここで、問題となる点は、上記誤差  $E_1$  が、寄生容量  $C_p$  に大きく依存するが、その寄生容量  $C_p$  が、有機 EL 材料の特性や OLED の形状寸法等のバラツキよって変動すること、更に、上記誤差  $E_3$  の上昇量  $\Delta V_{s1}$  も、輝度電圧  $V_{in}$  と OLED の電流電圧特性に応じて変動することである。更に、上記誤差  $E_3$  の上昇量  $\Delta V_{s1}$  のソース電位  $V_{s1}$  の上昇前の電位が、閾値電圧  $V_{t1}$  と誤差  $E_1$  及び  $E_2$  に依存して変化するため、上昇量  $\Delta V_{s1}$  にも閾値電圧  $V_{t1}$  と誤差  $E_1$  及び  $E_2$  に依存する誤差が含まれるので、誤差  $E_3$  にも、閾値電圧  $V_{t1}$  と誤差  $E_1$  及び  $E_2$  に依存する誤差に  $C_g / (C_1 + C_g)$  の係数を乗じた誤差が含まれる。従って、数 3 の右辺の閾値電圧  $V_{t1}$  の係数は、1ではなく、 $C_1 / (C_1 + C_g)$  となり、閾値電圧  $V_{t1}$  の大きさに依存した誤差が発生する。更に、上述の通り、誤差  $E_2$  ( $= \Delta V$ ) も、上記補正期間の長さ、寄生容量  $C_p$  の大きさ、駆動トランジスタ  $T_1$  のトランジスタ特性 (閾値電圧、移動度等)、及び、輝度電圧  $V_{in}$  の大きさに依存して変化することである。このように、次の発光期間に移行した後の駆動トランジスタ  $T_1$  のソース電極とゲート電極間の電圧  $V_{GS1}$  が、輝度電圧  $V_{in}$  以外の条件によって変動するため、同じ輝度電圧  $V_{in}$  を入力しても OLED に同じ発光電流を流すことができない虞がある。以上より、発光期間中に容量素子  $C_1$  に保持される駆動トランジスタ  $T_1$  のソース

電極とゲート電極間の電圧  $V_{GS1}$  は、同じ輝度電圧  $V_{in}$  に対して、上記した変動要因によって大きく且つ複雑に変動するため、当該変動を計算して入力する輝度電圧  $V_{in}$  を個別に補正する必要がある。

[001 5] 従って、図 13 に示す 2 つの  $n$  チャネル型 T F T を備えたソースフォロア回路型の画素回路では、発光電流が、駆動トランジスタ  $T_1$  のソース電極とゲート電極に寄生する寄生容量  $C_p$  ,  $C_g$  の影響を大きく受けることになる。つまり、特許文献 1 における駆動トランジスタの特性のバラツキや経時変化の補償では、寄生容量  $C_p$  が容量素子  $C_1$  より極めて大きく ( $C_p \gg C_1$ )、寄生容量  $C_g$  が容量素子  $C_1$  より極めて小さい ( $C_g \ll C_1$ ) ことが大前提となっているが、画素の高精細化が進むと、斯かる前提が崩れ、補償精度が大きく低下することになる。

[001 6] 特許文献 2 に開示されている画素回路は、図 15 に示すように、図 13 に示す画素回路と同様に、駆動トランジスタ  $T_1$  が  $n$  チャネル型 T F T でソースフォロア回路型の画素回路であり、駆動トランジスタ  $T_1$  と直列に発光電流のオンオフと制御する追加のトランジスタ  $T_5$  が設けられている。しかし、当該画素回路においても、駆動トランジスタ  $T_1$  の特性のバラツキや経時変化を補償する基本的な考え方は同じであり、特許文献 1 の場合と同様、駆動トランジスタ  $T_1$  の閾値電圧  $V_t1$  のバラツキ補償に対して、数 1 に示す誤差  $E$  が発生するため、図 13 に示す画素回路と同様に、駆動トランジスタ  $T_1$  のソース電極とゲート電極に寄生する寄生容量  $C_p$  ,  $C_g$  の影響を大きく受け、有機 E L 表示装置の高精度化が進むと、補償精度が大きく低下することになる。

[001 7] ここで、寄生容量  $C_p$  ,  $C_g$  は夫々一定の値を有するため、容量素子  $C_1$  が大きくなると誤差  $E_1$  が大きくなり、誤差  $E_3$  が小さくなる。逆に、容量素子  $C_1$  が小さくなると誤差  $E_1$  も小さくなるが、誤差  $E_3$  が大きくなる。従って、例えば、誤差  $E_1$  が発生しなくなれば、容量素子  $C_1$  を寄生容量  $C_g$  に比して大きく設定すれば、誤差  $E$  を抑制できる。

[001 8] 本発明は、上記の問題点に鑑みてなされたもので、その目的は、画素回路

の内部ノードの寄生容量の多寡に依らず、発光電流を制御するnチャネル型の絶縁ゲート型薄膜トランジスタのゲート電極とソース電極間の電圧を高精度且つ安定的に保持して、高精度に発光制御可能な画素回路及び当該画素回路を使用した表示装置を提供する点にある。

### 課題を解決するための手段

[0019] 上記目的を達成するため、本発明は、

アノード電極からカソード電極に発光電流が流れることで発光する発光素子と、ソース電極が前記発光素子のアノード電極と接続し、ゲート電極が画素ノードと接続し、ゲート電極とソース電極間の発光制御電圧に応じて前記発光電流を制御するnチャネル型の絶縁ゲート型薄膜トランジスタの第1トランジスタ素子と、データ信号線と前記画素ノードとの間に介装され、走査信号線と接続する第1制御端子の電圧レベルに応じて導通非導通が制御される第1スイッチ回路と、前記第1トランジスタ素子のソース電極とドレイン電極との間に介装され、前記走査信号線と接続する第2制御端子の電圧レベルに応じて導通非導通が制御され、前記走査信号線の電圧レベルに応じて、前記第1スイッチ回路の導通時に導通状態となり、前記第1トランジスタ素子のソース電極とドレイン電極間を選択的に短絡する第2スイッチ回路と、前記第1トランジスタ素子のゲート電極とソース電極との間に介装された前記発光制御電圧を保持する容量素子と、を備えて構成されることを第1の特徴とする画素回路を提供する。

[0020] 更に、上記第1の特徴の画素回路は、前記カソード電極が基準電圧供給線と接続し、前記第1トランジスタ素子のドレイン電極が発光電圧供給線と接続し、

前記走査信号線の電圧レベルに応じて、前記第1スイッチ回路を導通状態として前記画素ノードに前記データ信号線から供給される前記発光素子の輝度に応じた輝度電圧を転送する転送期間に、前記基準電圧供給線の電圧を基準として、前記発光電圧供給線に供給される電圧レベルが前記発光素子を発光させない第1電圧レベルに維持され、

前記走査信号線の電圧レベルに応じて、前記第 1 スイッチ回路を非導通状態として、前記容量素子に前記発光制御電圧を保持して、前記発光制御電圧に応じた前記発光電流を流すことで前記発光素子が発光する発光期間に、前記基準電圧供給線の電圧を基準として、前記発光電圧供給線に供給される電圧レベルが前記発光素子に前記発光電流が流れるのに十分な第 2 電圧レベルに維持されることが好ましい。

[0021] 更に、上記第 1 の特徴の画素回路は、前記第 1 スイッチ回路が、ゲート電極が前記第 1 制御端子である n チャンネル型の絶縁ゲート型薄膜トランジスタの第 2 トランジスタ素子であり、前記第 2 トランジスタ素子のソース電極が前記画素ノードと接続し、前記第 2 トランジスタ素子のドレイン電極が前記データ信号線と接続し、前記第 2 スイッチ回路が、ゲート電極が前記第 2 制御端子である n チャンネル型の絶縁ゲート型薄膜トランジスタの第 3 トランジスタ素子であり、前記第 3 トランジスタ素子のソース電極が前記第 1 トランジスタ素子のソース電極と接続し、前記第 3 トランジスタ素子のドレイン電極が前記第 1 トランジスタ素子のドレイン電極と接続していることを第 2 の特徴とする。

[0022] 更に、上記第 1 または第 2 の特徴の画素回路は、前記第 1 トランジスタ素子が、酸化物半導体トランジスタであることが好ましい。また、上記第 2 の特徴の画素回路は、前記第 1 乃至第 3 トランジスタ素子の内、少なくとも前記第 1 トランジスタ素子と前記第 2 トランジスタが、酸化物半導体トランジスタであることが好ましい。

[0023] 更に、上記目的を達成するため、本発明は、

上記何れかの特徴の画素回路を行方向及び列方向に夫々複数配置して画素回路アレイを構成し、

同一列に配置された前記画素回路において、前記第 1 スイッチ回路の一端が前記同一列に配置された列方向に延伸する前記データ信号線に接続し、

同一行に配置された前記画素回路において、前記第 1 スイッチ回路の前記第 1 制御端子と前記第 2 スイッチ回路の前記第 2 制御端子が前記同一行に配

置された行方向に延伸する前記走査信号線に接続し、前記第 1 トランジスタ素子のドレイン電極が前記同一行に配置された行方向に延伸する発光電圧供給線に接続し、

前記データ信号線を各別に駆動するデータ信号線駆動回路と、前記走査信号線を各別に駆動する走査信号線駆動回路と、前記発光電圧供給線を各別に駆動する発光電圧供給線駆動回路と、を備えることを第 1 の特徴とする表示装置を提供する。

[0024] 更に、上記第 1 の特徴の表示装置は、前記画素回路から少なくとも前記発光素子を取り除いて構成されるダミー画素回路を有し、前記ダミー画素回路が備える前記第 1 トランジスタ素子のドレイン電極とソース電極間を流れる電流を検知することにより、前記画素回路における前記第 1 トランジスタ素子の電気的特性の変動を、疑似的にモニターするモニター回路と、前記モニター回路の検知した電流量または当該電流量と等価な値に基づいて、前記データ信号線駆動回路によって駆動される前記データ信号線の電圧レベルを補正する補正回路と、を備えることを第 2 の特徴とする。

[0025] 更に、本発明は、

画素回路を行方向及び列方向に夫々複数配置して画素回路アレイを構成し、

前記画素回路は、アノード電極からカソード電極に発光電流が流れることで発光する発光素子と、ソース電極が前記発光素子のアノード電極と接続し、ゲート電極が画素ノードと接続し、ゲート電極とソース電極間の発光制御電圧に応じて前記発光電流を制御する n チャンネル型の絶縁ゲート型薄膜トランジスタの第 1 トランジスタ素子と、データ信号線と前記画素ノードとの間に介装され、走査信号線と接続する第 1 制御端子の電圧レベルに応じて導通非導通が制御される第 1 スイッチ回路と、前記第 1 トランジスタ素子のゲート電極と前記第 1 トランジスタ素子のソース電極またはドレイン電極との間に介装された容量素子と、を少なくとも備えて構成され、

同一列に配置された前記画素回路において、前記第 1 スイッチ回路の一端

が前記同一列に配置された列方向に延伸する前記データ信号線に接続し、

同一行に配置された前記画素回路において、前記第 1 スイッチ回路の前記第 1 制御端子が前記同一行に配置された行方向に延伸する前記走査信号線に接続し、前記第 1 トランジスタ素子のドレイン電極が前記同一行に配置された行方向に延伸する発光電圧供給線に直接または他の回路素子を介して接続し、

前記データ信号線を各別に駆動するデータ信号線駆動回路と、前記走査信号線を各別に駆動する走査信号線駆動回路と、前記発光電圧供給線を各別に駆動する発光電圧供給線駆動回路と、前記画素回路から少なくとも前記発光素子を取り除いて構成されるダミー画素回路を有し、前記ダミー画素回路が備える前記第 1 トランジスタ素子のドレイン電極とソース電極間を流れる電流を検知することにより、前記画素回路における前記第 1 トランジスタ素子の電気的特性の変動を、疑似的にモニターするモニター回路と、前記モニター回路の検知した電流量または当該電流量と等価な値に基づいて、前記データ信号線駆動回路によって駆動される前記データ信号線の電圧レベルを補正する補正回路と、を備えることを第 3 の特徴とする表示装置を提供する。

[0026] 更に、上記第 2 または第 3 の特徴の表示装置は、前記モニター回路が、少なくとも 1 つの前記データ信号線に前記第 1 スイッチ回路の一端が接続する少なくとも 1 つの前記ダミー画素回路を備え、前記ダミー画素回路の前記第 1 スイッチ回路の前記第 1 制御端子がダミー走査信号線に接続していることを第 4 の特徴とする。

[0027] 更に、上記第 4 の特徴の表示装置は、複数行の前記走査信号線が、同一行の前記画素回路の前記第 1 スイッチ回路を同時に導通状態にするために、前記走査信号線駆動回路によって順次駆動される毎に、前記ダミー走査信号線が毎回駆動されることを第 5 の特徴とする。

[0028] 更に、上記第 4 または第 5 の特徴の表示装置は、前記ダミー画素回路は、前記画素回路から、少なくとも前記発光素子を取り除き、対応する前記データ信号線と前記第 1 トランジスタのドレイン電極間に介装され、モニター制

御信号線と接続する第3制御端子の電圧レベルに応じて導通非導通が制御される第3スイッチ回路を備えて構成されることを特徴とする第6の特徴とする。

[0029] 更に、上記第4乃至第6の何れかの特徴の表示装置は、前記モニター回路が、前記データ信号線に前記第1スイッチ回路の一端が接続する前記ダミー画素回路を、前記データ信号線毎に1つずつ備え、前記ダミー画素回路の夫々の前記第1スイッチ回路の前記第1制御端子が行方向に延伸する前記ダミー走査信号線に接続していることを、第7の特徴とする。

[0030] 更に、上記第2または第3の特徴の表示装置は、前記ダミー画素回路が、前記画素回路から、少なくとも前記発光素子と前記第1スイッチ回路を取り除いて構成され、前記モニター回路が、少なくとも1つの前記データ信号線に前記第1トランジスタ素子のゲート電極が接続する少なくとも1つの前記ダミー画素回路を備えることを第8の特徴とする。

[0031] 更に、上記第8の特徴の表示装置は、前記モニター回路が、前記データ信号線に前記第1トランジスタ素子のゲート電極が接続する前記ダミー画素回路を、前記データ信号線毎に1つずつ備えることを第9の特徴とする。

[0032] 更に、上記第7または第9の特徴の表示装置は、前記補正回路が、前記データ信号線毎に、前記データ信号線に接続する前記ダミー画素回路の前記第1トランジスタ素子のソース電極から各別に出力される電流の電流量または当該電流量と等価な値に基づいて、前記データ信号線駆動回路によって駆動される対応する前記データ信号線の電圧レベルを各別に補正することを第10の特徴とする。

[0033] 更に、上記第7または第9の特徴の表示装置は、前記補正回路が、前記データ信号線と同数の前記ダミー画素回路の前記第1トランジスタ素子のソース電極から夫々出力される電流の電流量または当該電流量と等価な値の合計、平均、または、その他の統計値に基づいて、前記データ信号線駆動回路によって駆動される全ての前記データ信号線の電圧レベルを一括して補正することを第11の特徴とする。

[0034] 更に、上記第2乃至第11の何れかの特徴の表示装置は、垂直プランキング期間内に、前記ダミー画素回路が備える前記第1トランジスタ素子のソース電極から出力される電流を検知することを第12の特徴とする。

[0035] 更に、上記第12の特徴の表示装置は、前記垂直プランキング期間内において、前記モニター回路が前記ダミー画素回路の前記第1トランジスタ素子のソース電極から出力される電流を検知する前に設定されたダミー転送期間に、前記データ信号線駆動回路が、前記ダミー画素回路の前記第1スイッチ回路の一端が接続する前記データ信号線にモニター用の基準輝度電圧を供給し、前記ダミー画素回路の前記第1スイッチ回路が導通状態に制御され、前記ダミー画素回路の前記画素ノードに前記データ信号線から前記基準輝度電圧が転送されることを第13の特徴とする。

### 発明の効果

[0036] 上記特徴の画素回路によれば、第1スイッチ回路と第2スイッチ回路を同時に導通状態或いは非導通状態とし、当該導通状態と非導通状態の間の遷移に同期して第1トランジスタ素子のドレイン電極の電圧を変化させるだけの簡単な制御で、第1スイッチ回路と第2スイッチ回路が導通している転送期間において、第1トランジスタ素子のソース電極に寄生する寄生容量の大きさに関係なく、容量素子に、第1トランジスタ素子のゲート電極とドレイン電極間に外部から印加された電圧を確実に保持することができ、第1スイッチ回路と第2スイッチ回路が非導通状態に遷移して発光期間が開始した後も、容量素子に当該電圧を保持することができるため、発光素子の電流電圧特性が変動しても、転送期間に読み込んだ輝度電圧に応じた発光電流を、安定的且つ高精度に維持することができる。尚、上記特徴の画素回路の第1トランジスタ素子と第1スイッチ回路が、図13及び図15に示す従来の画素回路の駆動トランジスタと転送トランジスタに夫々相当する。

[0037] ところで、上記特徴の画素回路においても、図13及び図15に示す従来の画素回路と同様に、発光期間開始後に、第1トランジスタ素子のソース電極の電位が上昇するに伴い、ゲート電極の電位が、容量素子を介して上昇す

る際に、上記数 2 に示した誤差 E 3 と同様の誤差が生じるが、当該従来の画素回路と異なり、上記数 2 に示した誤差 E 1 及び E 2 が発生しないため、第 1 トランジスタ素子の電極に寄生する寄生容量に対して、容量素子の容量を十分に大きくすることができるので、当該誤差 E 3 と同様の誤差を最小限に抑制することができる。

[0038]     ところで、上記特徴の画素回路においては、第 1 トランジスタ素子の閾値電圧の補償は画素回路内では行われない。従って、当該閾値電圧のバラツキ及び経時変化が問題となる場合は、当該バラツキや変化を別途補償する必要がある。これに対して、第 1 トランジスタ素子として酸化物半導体 トランジスタを採用することで、閾値電圧のバラツキ及び経時変化を抑制することができるため、敢えて、複雑な回路構成や誤差が重畳するような複雑なタイミング制御によって閾値電圧の補償を画素回路内で行う必要がなくなる。更に、第 1 スイッチ回路を構成する第 2 トランジスタ素子も酸化物半導体 トランジスタで構成することにより、当該 トランジスタ素子のリーク電流が大幅に抑制されることで、第 1 トランジスタ素子のゲート電極の電位変動を更に抑制できる。

[0039]     一方、第 2 乃至第 13 の特徴の表示装置によれば、第 1 トランジスタ素子の電気的特性（閾値電圧、移動度等）の経時変化を、モニター回路でモニターすることで、当該変化に応じて補正回路で補正された電圧レベルでデータ信号線が駆動されることで、第 1 トランジスタ素子のゲート電極とソース電極間の電圧が、当該変化を打ち消すように補正され、当該変化に伴う発光輝度のムラを抑制することができる。

[0040]     ここで、第 5 の特徴の表示装置によれば、画素回路アレイ内の通常の走査信号線が順次駆動される毎に、モニター回路内のダミー画素回路に接続するダミー走査信号線が毎回駆動されるので、ダミー画素回路の第 1 トランジスタ素子のゲート電極の電位は、ダミー走査信号線が駆動される毎に、画素回路アレイ内の駆動されている走査信号線に対応する画素回路内の第 1 トランジスタ素子のゲート電極と同じ電位になり、都度変化するため、画素回路ア

レイ内の画素回路の第 1 トランジスタ素子のゲート電極の電位の平均的な電位となり、ダミー画素回路は、画素回路アレイ内の画素回路が受けるストレスに対して平均的なストレスを受けることになる。また、第 7 の特徴の表示装置においても、同様に、ダミー画素回路は、画素回路アレイ内の画素回路が受けるストレスに対して平均的なストレスを受けることになる。従って、モニター回路内のダミー画素回路の第 1 トランジスタ素子の電流をモニターすることで、画素回路アレイ内の画素回路の平均的な第 1 トランジスタ素子の電気的特性（閾値電圧、移動度等）の経時変化をモニターすることができる。

- [0041] 更に、第 6 の特徴の表示装置によれば、ダミー画素回路が備える第 1 トランジスタ素子のドレイン電極とソース電極間を流れる電流を、当該ダミー画素回路に接続するデータ信号線から第 3 スイッチ回路を介して供給することができ、且つ、当該データ信号線上に置いて検知できるため、電流検出用の配線を個別に設ける必要がない。

### 図面の簡単な説明

- [0042] [図1] 本発明の表示装置の一実施形態の概略構成を示すブロック図  
[図2] 本発明の画素回路の一実施形態を示す等価回路図  
[図3] 図 2 に示す画素回路に使用される有機 EL 素子の積層構造の一例を模式的に示す要部断面図  
[図4] 図 1 に示す画素回路アレイに対する書き込み動作の動作手順を示すタイミング図  
[図5] 本発明の表示装置の他の実施形態の概略構成を示すブロック図  
[図6] 図 5 に示す表示装置で使用するモニター回路と補正回路の概略構成を示す回路ブロック図  
[図7] 図 6 に示す補正回路で実施される補正処理の原理と処理手順を模式的に示す図  
[図8] 図 6 に示すダミー画素回路アレイに対する書き込み動作とモニター回路と補正回路の動作の動作手順を示すタイミング図

[図9] 図6 に示すモニター回路を構成するダミー画素回路の回路構成の別実施例を示す等価回路図

[図10] 図6 に示すモニター回路を構成するダミー画素回路の回路構成の他の別実施例を示す等価回路図

[図11] ダミー画素回路の回路構成の他の別実施例を示す等価回路図

[図12] 図11 に示すダミー画素回路を使用するモニター回路と補正回路の概略構成を示す回路ブロック図

[図13] 従来の有機EL表示装置の画素回路の一例を示す等価回路図

[図14] 図13 に示す画素回路の動作手順を示すタイミング図

[図15] 従来の有機EL表示装置の画素回路の一例を示す等価回路図

## 発明を実施するための形態

[0043] 本発明の画素回路及び表示装置の各実施形態につき、以下において図面を参照して説明する。

[0044] [第1実施形態]

第1実施形態では、本発明の表示装置（以下、単に表示装置と称す）と本発明の画素回路（以下、単に画素回路と称す）の回路構成及びその動作について説明する。

[0045] 図1に、表示装置1の概略構成を示す。表示装置1は、画素回路アレイ10、表示制御回路11、ソースドライバ12、ゲートドライバ13、及び、アノードドライバ14を備える。画素回路アレイ10は、アクティブマトリクス基板上に、画素回路2を行方向及び列方向に夫々複数配置して構成される。尚、図1では、図面が煩雑になるのを避けるため、画素回路2はブロック化して表示している。

[0046] 図2に、画素回路2の等価回路図を示す。図2に示すように、画素回路2は、有機EL素子（OLED）3と、駆動トランジスタT1と、転送トランジスタT2と、制御用トランジスタT3と、容量素子C1を備えて構成される。各画素回路2を構成する上記の各素子は、同じアクティブマトリクス基板上に形成される。

[0047] 駆動トランジスタ $T_1$ は、ゲート電極とソース電極間の発光制御電圧 $V_{gs1}$ に応じてOLED3に流れる発光電流を制御するトランジスタで、ドレイン電極が発光電圧供給線 $V_{SL}$ と、ソース電極がOLED3のアノード電極と、ゲート電極が画素ノード $N_p$ と、夫々接続している。転送トランジスタ $T_2$ は、オン状態において、ソース線 $S_L$ から供給される輝度電圧 $V_s$ を画素ノード $N_p$ に転送するスイッチ素子で、ドレイン電極がソース線 $S_L$ と、ソース電極が画素ノード $N_p$ と、ゲート電極がゲート線 $G_L$ と、夫々接続している。制御用トランジスタ $T_3$ は、転送トランジスタ $T_2$ がオン状態に同時にオン状態となって、駆動トランジスタ $T_1$ のドレイン電極とソース電極間を短絡するスイッチ素子で、ドレイン電極が駆動トランジスタ $T_1$ のドレイン電極と、ソース電極が駆動トランジスタ $T_1$ のソース電極と、ゲート電極がゲート線 $G_L$ と、夫々接続している。容量素子 $C_1$ は、駆動トランジスタ $T_1$ のゲート電極とソース電極間に介装されている。尚、輝度電圧 $V_s$ は、画素回路2における表示画像の階調つまりOLED3の発光輝度に応じて設定された画素回路2への画像入力電圧である。また、以下の説明では、OLED3のアノード電極と駆動トランジスタ $T_1$ のソース電極の接続点を、便宜的に「基準ノード $N_s$ 」と称す。

[0048] 本実施形態では、駆動トランジスタ $T_1$ 、転送トランジスタ $T_2$ 、及び、制御用トランジスタ $T_3$ は、何れも、アクティブマトリクス基板（TFT基板）上に形成されるnチャネル型の絶縁ゲート型薄膜トランジスタで、特に、 $InGaZnO$ 等の酸化物半導体の薄膜トランジスタで構成される。尚、駆動トランジスタ $T_1$ が、「第1トランジスタ素子」に対応し、転送トランジスタ $T_2$ が「第1スイッチ回路（第2トランジスタ素子）」に相当し、制御用トランジスタ $T_3$ が「第2スイッチ回路（第3トランジスタ素子）」に相当する。

[0049] 図3に、各画素回路2のOLED3の概略の積層構造を模式的に示す。図3では、隣接する3つの画素回路2に、3原色（R，G，B）の各色に割り当てて、フルカラー表示する場合を例示している。各画素回路2のOLED

3 は、アクティブマトリクス基板 20 の上に、下から順に、反射金属層 21、ITO（インジウムスズ酸化物）アノード電極層 22、有機 EL 材料層 23、半透明のカソード電極層 24 の積層構造を有し、カソード電極層 24 の上部にカラーフィルタ 25 が配置されている。カソード電極層 24 は、隣接する画素回路 2 間で相互に接続し、画素回路アレイ 10 内で一体化している。カソード電極層 24 には、基準電圧供給線 VRL を介して画素回路アレイ 10 の外部から所定の基準電圧 VE0（例えば、接地電圧）が供給される。図 3 に示すように、3 原色（R，G，B）の各色間で、ITO アノード電極層 22 の膜厚が異なり、反射金属層 21 の表面からカソード電極層 24 の裏面までの光路長が各色の波長に応じて設定されている。各画素回路 2 の有機 EL 材料層 23 で発光した光は、直接カソード電極層 24 を通過する光と、反射金属層 21 で反射した後にカソード電極層 24 を通過する光が合成され、カラーフィルタ 25 を通過して、図中の上方に向けて出射する。尚、反射金属層 21 と ITO アノード電極層 22 がオーミック接続しており、図示していないが、反射金属層 21 が、同じアクティブマトリクス基板 20 に形成された駆動トランジスタ T1 のソース電極と電氣的に接続している。

[0050] 図 1 に示すように、画素回路アレイ 10 には、列方向に延伸する m 本のソース線 SL（SL1，SL2，……，SLm）と、行方向に延伸する n 本のゲート線 GL（GL1，GL2，……，GLn）と、行方向に延伸する n 本の発光電圧供給線 VSL（VSL1，VSL2，……，VSLn）が夫々形成されている。そして、列方向に延伸する m 本のソース線（SL1，SL2，……，SLm）と、行方向に延伸する n 本のゲート線（GL1，GL2，……，GLn）が交差する箇所に、画素回路 2 がマトリクス状に複数形成されている。尚、m、n は夫々 2 以上の自然数である。尚、便宜的に、各ソース線（SL1，SL2，……，SLm）を総称してソース線 SL と称し、各ゲート線（GL1，GL2，……，GLn）を総称してゲート線 GL と称し、各発光電圧供給線（VSL1，VSL2，……，VSLn）を総称して発光電圧供給線 VSL と称す。

[0051] 表示制御回路 11 は、各画素回路 2 の画素ノード  $N_p$  への表示画像に応じた輝度電圧  $V_s$  を書き込む動作（書き込み動作）を制御する回路である。書き込み動作時には、表示制御回路 11 は、外部の信号源から表示すべき画像を表すデータ信号  $D_v$  とタイミング信号  $C_t$  を受け取り、当該信号  $D_v$ 、 $C_t$  に基づき、画像を画素回路アレイ 10 に表示させるための信号として、ソースドライバ 12 に与えるデジタル画像信号  $D_A$  及びデータ側タイミング制御信号  $S_{tc}$  と、ゲートドライバ 13 とアノードドライバ 14 に与える走査側タイミング制御信号  $G_{tc}$  を、夫々生成する。尚、表示制御回路 11 は、その一部または全部の回路が、ソースドライバ 12 またはゲートドライバ 13 内に形成されるのも好ましい。

[0052] ソースドライバ 12 は、表示制御回路 11 からの制御により、各ソース線  $S_L$  に、所定のタイミング及び所定の電圧値のソース信号を印加する回路である。ソースドライバ 12 は、書き込み動作時には、デジタル画像信号  $D_A$  及びデータ側タイミング制御信号  $S_{tc}$  に基づき、デジタル信号  $D_A$  の表わす 1 表示ライン分の画素値に相当する各列の輝度電圧  $V_{sij}$  ( $i = 1 \sim n$ ,  $j = 1 \sim m$ ) をソース信号  $S_{c1}$ ,  $S_{c2}$ ,  $\dots$ ,  $S_{cm}$  として 1 水平期間（「1 H 期間」ともいう）毎に生成する。当該輝度電圧  $V_{sij}$  は、多階調のアナログ電圧（相互に離散した複数の電圧値）であり、その電圧範囲は、最小輝度電圧  $V_{smin}$  以上最大輝度電圧  $V_{smax}$  以下である。そして、ソースドライバ 12 は、これらのソース信号  $S_{cj}$  ( $j = 1 \sim m$ ) を、夫々対応するソース線  $S_{L1}$ ,  $S_{L2}$ ,  $\dots$ ,  $S_{Lm}$  に印加する。

[0053] ゲートドライバ 13 は、表示制御回路 11 からの制御により、各ゲート線  $G_L$  に、所定のタイミング及び所定の電圧振幅のゲート信号を印加する回路である。ゲートドライバ 13 は、走査側タイミング制御信号  $G_{tc}$  に基づき、ソース信号  $S_{c1}$ ,  $S_{c2}$ ,  $\dots$ ,  $S_{cm}$  を各画素回路 2 に書き込むために、デジタル画像信号  $D_A$  の各フレーム期間において、ゲート線  $G_{L1}$ ,  $G_{L2}$ ,  $\dots$ ,  $G_{Ln}$  をほぼ 1 水平期間ずつ順次選択する。尚、ゲートドライバ 13 は、画素回路 2 と同様に、アクティブマトリクス基板 20 上に、形

成されても構わない。

- [0054] アノードドライバ 14 は、表示制御回路 11 からの制御により、走査側タイミング制御信号  $G_{tc}$  に基づき、ゲート信号の発生タイミングと同じタイミングで、各発光電圧供給線  $V_{SL}$  に 2 種類の異なる電圧レベルの発光用電源電圧を印加する回路である。尚、アノードドライバ 14 は、画素回路 2 と同様に、アクティブマトリクス基板 20 上に、形成されても構わない。
- [0055] 尚、ソース線  $S_L$  が「データ信号線」に対応し、ゲート線  $G_L$  が「走査信号線」に対応する。ソースドライバ 12 が「データ信号線駆動回路」に、ゲートドライバ 13 が「走査信号線駆動回路」に、アノードドライバ 14 が「発光電圧供給線駆動回路」に、夫々対応する。
- [0056] 次に、画素回路 2 に対する書き込み動作について説明する。図 4 に、画素回路アレイ 10 内の任意の列 ( $j$  番目の列) の 1 行目と 2 行目と  $n$  行目の 3 つの画素回路 2 ( $1, j$ ), 2 ( $2, j$ ), 2 ( $n, j$ ) に対して書き込み動作を行う場合における、3 本のゲート線  $G_{L1}$ ,  $G_{L2}$ ,  $G_{Ln}$ 、ソース線  $S_{Lj}$ 、3 本の発光電圧供給線  $V_{SL1}$ ,  $V_{SL2}$ ,  $V_{SLn}$  の各信号電圧の電圧波形、及び、3 つの画素回路 2 ( $1, j$ ), 2 ( $2, j$ ), 2 ( $n, j$ ) の各画素ノード  $N_p(1, j)$ ,  $N_p(2, j)$ ,  $N_p(n, j)$  と各基準ノード  $N_s(1, j)$ ,  $N_s(2, j)$ ,  $N_s(n, j)$  のノード電圧の電圧波形を、夫々示す。但し、 $j = 1 \sim m$ 。
- [0057] 時刻  $t_0$  から時刻  $t_{O'}$  までの期間が 1 フレーム期間で、1 フレーム期間は、 $n$  個の水平期間  $T_{h1} \sim T_{hn}$  と垂直プランキング期間  $T_{vb}$  で構成されている。水平期間  $T_{h1}$  において 1 行目の各画素回路 2 ( $1, j$ ) に対して書き込み動作が行われ、水平期間  $T_{h2}$  において 2 行目の各画素回路 2 ( $2, j$ ) に対して書き込み動作が行われ、水平期間  $T_{hn}$  において  $n$  行目の各画素回路 2 ( $n, j$ ) に対して書き込み動作が行われる。各行の書き込み動作は全く同じ要領で行われるので、2 行目を例に説明する。
- [0058] 時刻  $t_1$  において、ゲート線  $G_{L2}$  に印加されるゲート信号の電圧レベルが低電圧レベル  $V_{GL0}$  から高電圧レベル  $V_{GL1}$  に遷移し、発光電圧供給

線  $V_{SL2}$  に印加される発光用電源電圧の電圧レベルが第2電圧レベル  $V_{E2}$  から第1電圧レベル  $V_{E1}$  に遷移し、ソース線  $S_{Lj}$  に印加されるソース信号  $S_{cj}$  の電圧レベルが、1行目  $j$  列目の画素値に相当する輝度電圧  $V_{s1j}$  から2行目  $j$  列目の画素値に相当する輝度電圧  $V_{s2j}$  に遷移する。時刻  $t_1$  より所定の転送期間  $T_t$  の経過後で時刻  $t_2$  より前に、ゲート線  $GL_2$  に印加されるゲート信号の電圧レベルが、高電圧レベル  $V_{GL1}$  から低電圧レベル  $V_{GL0}$  に復帰し、発光電圧供給線  $V_{SL2}$  に印加される発光用電源電圧の電圧レベルが第1電圧レベル  $V_{E1}$  から第2電圧レベル  $V_{E2}$  に復帰する。転送期間  $T_t$  の終了時点から次のフレームの転送期間  $T_t$  の開始時点までは、発光期間となる。

[0059] ゲート信号の低電圧レベル  $V_{GL0}$  と高電圧レベル  $V_{GL1}$  は、ソース信号  $S_{cj}$  の電圧レベルが輝度電圧  $V_{sij}$  の電圧範囲内において転送トランジスタ  $T_2$  が、夫々オフ状態とオン状態になるのに十分な電圧レベルであり、更に、制御用トランジスタ  $T_3$  が、夫々オフ状態とオン状態になるのに十分な電圧レベルである。従って、上記転送期間  $T_t$  において、転送トランジスタ  $T_2$  と制御用トランジスタ  $T_3$  は共にオン状態で、転送期間  $T_t$  後の発光期間中は夫々オフ状態に維持される。発光用電源電圧の第1電圧レベル  $V_{E1}$  は、当該電圧レベルが  $OLED3$  のアノード電極に印加されても、カソード電極に印加される基準電圧  $V_{E0}$  との電圧差  $(V_{E1} - V_{E0})$  によって  $OLED3$  に閾値電流以上の発光電流が流れないように設定され、本実施形態では、一例として、基準電圧  $V_{E0}$  と同電圧に設定される。尚、閾値電流はそれ以上の発光電流が  $OLED3$  に流れると  $OLED3$  が当該発光電流の大きさに応じた輝度で発光する電流を指す。

[0060] 転送期間  $T_t$  において、画素回路2 (2、 $j$ ) の画素ノード  $N_p$  に輝度電圧  $V_{s2j}$  が、基準ノード  $N_s$  に第1電圧レベル  $V_{E1}$  ( $= V_{E0}$ ) が、夫々書き込まれる。ここで、注目すべき点は、基準ノード  $N_s$  の電圧レベルは、オン状態の制御用トランジスタ  $T_3$  によって直接駆動されるため、基準ノード  $N_s$  に寄生する寄生容量  $C_p$  の影響を受けることなく、正確に第1電圧

レベル  $V_{E1}$  に設定される点である。同様に、画素ノード  $N_p$  の電圧レベルは、オン状態の転送トランジスタ  $T_2$  によって直接駆動されるため、画素ノード  $N_p$  に寄生する寄生容量  $C_g$  の影響を受けることなく、正確に輝度電圧  $V_{s2j}$  に設定される点である。従って、転送期間  $T_t$  の終了時点において、容量素子  $C_1$  の両端には、発光制御電圧  $V_{GS1}$  ( $= V_{s2j} - V_{E1}$ ) が保持される。

[0061] 転送期間  $T_t$  の経過後は、転送トランジスタ  $T_2$  と制御用トランジスタ  $T_3$  は共にオフ状態となり、発光用電源電圧の電圧レベルが第1電圧レベル  $V_{E1}$  から第2電圧レベル  $V_{E2}$  に復帰するため、駆動トランジスタ  $T_1$  がオフ状態からオン状態に変化する。第2電圧レベル  $V_{E2}$  と基準電圧  $V_{E0}$  との電圧差は、輝度電圧  $V_{s2j}$  が最大輝度電圧  $V_{smax}$  時においても、駆動トランジスタ  $T_1$  が飽和領域で動作するのに十分なドレイン電極とソース電極間の電圧と、当該飽和動作時のドレイン電流が発光電流として  $OLED3$  に流れた場合における  $OLED3$  のアノード電極とカソード電極間の電圧の合計以上の電圧に設定される。従って、駆動トランジスタ  $T_1$  が第2電圧レベル  $V_{E2}$  に遷移した直後から、駆動トランジスタ  $T_1$  には、発光制御電圧  $V_{gs1}$  ( $= V_{s2j} - V_{E1}$ ) に応じた飽和動作時のドレイン電流が流れるため、基準ノード  $N_s$  は、当該ドレイン電流によって電圧レベルが、 $OLED3$  の電流電圧特性で定まる動作点  $V_x$  まで上昇する。基準ノード  $N_s$  の電圧が、第1電圧レベル  $V_{E1}$  から動作点  $V_x$  まで上昇すると、その電圧変化分 ( $V_x - V_{E1}$ ) が容量素子  $C_1$  を介して画素ノード  $N_p$  に伝達され、画素ノード  $N_p$  の電圧レベルも輝度電圧  $V_{s2j}$  から当該電圧変化分 ( $V_x - V_{E1}$ ) だけ上昇した値に遷移する。

[0062] ここで、転送期間  $T_t$  の経過時点においてゲート信号の電圧レベルが低下し、発光用電源電圧の電圧レベルが上昇することで、転送トランジスタ  $T_2$  のゲート電極とソース電極間の第1の寄生容量による第1の電圧変動と、駆動トランジスタ  $T_1$  のゲート電極とドレイン電極間の第2の寄生容量による第2の電圧変動が画素ノード  $N_p$  に生じ、制御用トランジスタ  $T_3$  のゲート

電極とソース電極間の第3の寄生容量による第3の電圧変動が基準ノードN<sub>s</sub>に生じる。しかし、第1及び第2の電圧変動は、第1及び第2の寄生容量に対して容量素子C<sub>1</sub>の容量を十分に大きくすることで無視できる。また、第3の電圧変動は、第3の寄生容量に対して容量素子C<sub>1</sub>の容量とOLED3のアノード電極とカソード電極間の寄生容量の合計を十分に大きくすることで無視できる。ここで、注目すべき点は、容量素子C<sub>1</sub>の容量を大きくして、基準ノードN<sub>s</sub>における総容量に対する容量素子C<sub>1</sub>の容量比が大きくなっても、基準ノードN<sub>s</sub>の電圧レベルの変動に悪影響を及ぼすことが無い点である。従って、基準ノードN<sub>s</sub>の電圧が動作点V<sub>x</sub>まで上昇した後も、発光制御電圧V<sub>gs1</sub>は転送期間T<sub>t</sub>の終了時点とほぼ同じ電圧を維持できるため、発光期間中を通して安定して同じ発光電流でOLED3を駆動できる。

[0063] 発光電流は駆動トランジスタT<sub>1</sub>の発光制御電圧V<sub>gs1</sub>で定まるため、画素回路2間で、OLED3の電流電圧特性にバラツキがあつて、動作点V<sub>x</sub>が変動しても、OLED3には、発光制御電圧V<sub>gs1</sub>が同じであれば、同じ発光電流が流れるため、OLED3の発光輝度に変動は生じない。

[0064] 尚、本実施形態では、画素回路2の容量素子C<sub>1</sub>に保持される発光制御電圧V<sub>gs1</sub>には、駆動トランジスタT<sub>1</sub>の閾値電圧が含まれておらず、閾値電圧のバラツキや経時変化に対する補償は行われていないため、当該バラツキ等によって発光電流にバラツキが生じる恐れはある。従って、本実施形態では、少なくとも駆動トランジスタT<sub>1</sub>当該閾値電圧のバラツキ等の小さい酸化物半導体の薄膜トランジスタを使用している。

[0065] [第2実施形態]

第2実施形態では、駆動トランジスタT<sub>1</sub>のトランジスタ特性（閾値電圧、移動度等）が上記書き込み動作を繰り返すことで加えられる電氣的ストレスによって変動した場合の補償を、個々の画素回路2内で行うのではなく、画素回路アレイ10の外部で行う回路構成について説明する。

[0066] 図5に、第2実施形態に係る表示装置4の概略構成を示す。表示装置4は

、画素回路アレイ 10、表示制御回路 11、ソースドライバ 12、ゲートドライバ 13、アノードドライバ 14 に加えて、モニター回路 30 と補正回路 31 を更に備える。画素回路アレイ 10、表示制御回路 11、ソースドライバ 12、ゲートドライバ 13、アノードドライバ 14、及び、画素回路アレイ 10 を構成する画素回路 2 は、第 1 実施形態で説明した表示装置 1 と同じ回路構成であり、書き込み動作時の制御も同じであるので、重複する説明は省略する。

[0067] 図 6 に、モニター回路 30 と補正回路 31 の概略構成を示す。モニター回路 30 は、画素回路アレイ 10 の列数  $m$  と同数の  $m$  個のダミー画素回路 32 と  $m$  個の電流計 33 を備えて構成される。本実施形態では、ダミー画素回路 32 は、図 2 に示す画素回路 2 から OLED 3 を取り外した回路構成となっており、駆動トランジスタ  $T_1$  と、転送トランジスタ  $T_2$  と、制御用トランジスタ  $T_3$  と、容量素子  $C_1$  を備えて構成される。駆動トランジスタ  $T_1$  のソース電極には、OLED 3 に代えて、電流計 33 が接続する。 $m$  個のダミー画素回路 32 によって 1 行  $\times$   $m$  列のダミー画素回路アレイ 34 が形成され、画素回路アレイ 10 に隣接して配置される。ダミー画素回路アレイ 34 内の  $j$  列目のダミー画素回路 32 の転送トランジスタ  $T_2$  のドレイン電極が、対応する  $j$  列目のソース線  $SL_j$  と接続している。また、各ダミー画素回路 32 の転送トランジスタ  $T_2$  のゲート電極がダミーゲート線  $GL_d$  に接続し、駆動トランジスタ  $T_1$  のドレイン電極がダミー発光電圧供給線  $VSL_d$  に接続している。本実施形態では、ダミーゲート線  $GL_d$  はゲートドライバ 13 により駆動され、ダミー発光電圧供給線  $VSL_d$  がアノードドライバ 14 により駆動される構成としているが、少なくとも何れか一方が表示制御回路 11 から直接制御される構成であっても良い。

[0068] 補正回路 31 は、電流計 33 の検出値とソース線  $SL_j$  に印加する輝度電圧  $V_{si,j}$  に対する補正量  $\Delta V_{adj}$  を対応付けて記憶したルックアップテーブル (LUT) 35 と、 $m$  列分の検出値に対して順番に LUT 35 にアクセスして対応する各列の補正量  $\Delta V_{adj}$  を読み出して、ソースドライバ 12

2 に出力する LUT 制御回路 36 を備えて構成される。本実施形態では、ソースドライバ 12 は、LUT 制御回路 36 から各列の補正量  $\Delta v_{adj}$  を受け取り、当該補正量  $\Delta v_{adj}$  に基づいて対応する列 (j 列目) のソース線  $S_{Lj}$  に印加する輝度電圧  $V_{sij}$  に対して、全ての行に対して同じ補正量  $\Delta V_{adj}$  を加える。

[0069] 駆動トランジスタ T1 の飽和動作時のドレイン電流  $I_{d1}$  は、以下の数 4 に示すように、ゲート電極とソース電極間の発光制御電圧  $V_{gs1}$  と閾値電圧  $V_{t1}$  の差の二乗に比例するので、ドレイン電流  $I_{d1}$  の平方根と発光制御電圧  $V_{gs1}$  は線形な関係となる。尚、数 4 中の  $\beta$  は、駆動トランジスタ T1 のトランスコンダクタンスである。

[0070] (数 4)

$$I_{d1} = \beta \times (V_{gs1} - V_{t1})^2 / 2$$

$$I_{d1}^{1/2} = (\beta / 2)^{1/2} \times (V_{gs1} - V_{t1})$$

[0071] 従って、電流計 33 の検出値から、ドレイン電流  $I_{d1}$  の平方根とその目標値との間の誤差を求めると、発光制御電圧  $V_{gs1}$  に対する補正量が分かる。LUT 35 は、当該線形関係に基づいて、予めドレイン電流  $I_{d1}$  の平方根の目標値からの誤差と補正量の関係を記憶したものである。図 7 に上記補正処理の原理と処理手順を模式的に示す。

[0072] 次に、ダミー画素回路 32 に対する書き込み動作とモニター回路 30 と補正回路 31 の動作について説明する。図 8 に、画素回路アレイ 10 内の任意の列 (j 番目の列) の 1 行目と 2 行目と n 行目の 3 つの画素回路 2(1, j), 2(2, j), 2(n, j) と同じ列 (j 番目の列) のダミー画素回路 32j に対して書き込み動作を行う場合における、3 本のゲート線  $GL1$ ,  $GL2$ ,  $GLn$ 、ソース線  $S_{Lj}$ 、3 本の発光電圧供給線  $V_{SL1}$ ,  $V_{SL2}$ ,  $V_{SLn}$ 、ダミーゲート線  $GLd$ 、ダミー発光電圧供給線  $V_{SLd}$  の各信号電圧の電圧波形を、夫々示す。

[0073] ダミーゲート線  $GLd$  は、全ての水平期間  $T_{h1} \sim T_{hn}$  の各転送期間  $T_t$  中に、高電圧レベル  $V_{GL1}$  に維持され、ダミー画素回路 32 の転送トラ

ンジスタ $T_2$ がオン状態となって、各水平期間 $T_{hi}$ にソース線 $SL_j$ に印加される輝度電圧 $V_{sij}$ が画素ノード $N_p$ に印加される。全ての水平期間 $T_{h1} \sim T_{hn}$ の各転送期間 $T_t$ 以外は、ダミー画素回路32の転送トランジスタ $T_2$ と制御用トランジスタ $T_3$ がオフ状態となって駆動トランジスタ $T_1$ には、発光制御電圧 $V_{gs1}$ に応じた発光電流が流れる。但し、各水平期間 $T_{hi}$ では、当該発光電流は、電流計33によって検知されない。1つの水平期間 $T_{hi}$ だけを見れば、ダミー画素回路32に対する外部からの動作と選択された画素回路2に対する外部から動作は同じである。

[0074] 最後の水平期間 $T_{hn}$ が終了後の垂直プランキング期間 $T_{vb}$ において、ダミー転送期間 $T_{td}$ が設けられ、当該ダミー転送期間 $T_{td}$ において、ダミーゲート線 $GL_d$ が高電圧レベル $V_{GL1}$ に遷移し、ダミー画素回路32の転送トランジスタ $T_2$ と制御用トランジスタ $T_3$ がオン状態となって、ダミー転送期間 $T_{td}$ にソース線 $SL_j$ に印加される基準輝度電圧 $V_{s0}$ が画素ノード $N_p$ に印加される。基準輝度電圧 $V_{s0}$ は、輝度電圧 $V_{sij}$ の電圧範囲内の所定値（例えば、当該電圧範囲の中央値、最大輝度電圧値 $V_{smax}$ 等）に設定される。

[0075] ダミー転送期間 $T_{td}$ の終了時点で、ダミー画素回路32の転送トランジスタ $T_2$ と制御用トランジスタ $T_3$ がオフ状態となって駆動トランジスタ $T_1$ には、基準発光制御電圧 $V_{0gs1} (= V_{s0j} - V_{E1})$ に応じたダミー発光電流が流れる。モニター回路30の $m$ 個の電流計33は、垂直プランキング期間 $T_{vb}$ 内のダミー転送期間 $T_{td}$ 後において、夫々対応する当該ダミー発光電流をソース線 $SL_j$ 毎に各別に検出する。

[0076] 引き続いて、補正回路31のLUT制御回路36が、 $m$ 列分の検出されたダミー発光電流に基づいて各列の補正量 $\Delta v_{adj}$ をLUT35から読み出して、ソースドライバ12に出力する。ソースドライバ12は、新たなフレーム期間が開始すると、以降の各水平期間 $T_{hi}$ において、更新された補正量 $\Delta v_{adj}$ に基づいて対応する列（ $j$ 列目）のソース線 $SL_j$ に印加する輝度電圧 $V_{sij}$ に対して、全ての行に対して同じ補正量 $\Delta v_{adj}$ を加え

る。

[0077] 図8 に例示するタイミング図では、毎フレーム期間の垂直プランキング期間 $T_{vb}$ において、ダミー発光電流の検出と補正量 $\Delta_{vad}$ の抽出及び更新（これらを纏めて「外部補償動作」と称す）を行う場合を想定しているが、当該外部補償動作は、必ずしも各フレーム期間において毎回実行する必要はない。例えば、 $k$  フレーム毎（ $k$  は2 以上の整数）に外部補償動作を実行する場合は、外部補償動作を行った後の1 回目のフレーム期間では、行数  $i$  を値  $k$  で除した剰余 $\text{mod}(i, k)$  が0 となる行が選択される水平期間 $T_{hi}(\text{mod}(i, k) = 0)$  の転送期間 $T_t$ のみ、ダミー画素回路32 の転送トランジスタ $T_2$  と制御用トランジスタ $T_3$  をオン状態とし、それ以外の水平期間 $T_{hi}(\text{mod}(i, k) \neq 0)$  では、ダミー画素回路32 の転送トランジスタ $T_2$  と制御用トランジスタ $T_3$  をオン状態とする制御を行い、外部補償動作を行った後の2 回目から $k$  回目までのフレーム期間ではフレーム期間毎に当該剰余を1 ずつ増加し、 $k'$  番目のフレーム期間では、行数  $i$  を値  $k$  で除した剰余 $\text{mod}(i, k)$  が、 $k' - 1$  となる水平期間 $T_{hi}(\text{mod}(i, k) = k' - 1)$  の転送期間 $T_t$ のみ、ダミー画素回路32 の転送トランジスタ $T_2$  と制御用トランジスタ $T_3$  をオン状態とし、それ以外の水平期間 $T_{hi}(\text{mod}(i, k) \neq k' - 1)$  では、ダミー画素回路32 の転送トランジスタ $T_2$  と制御用トランジスタ $T_3$  をオン状態とする制御を行う。そして、 $k$  回目までのフレーム期間の最後の水平期間 $T_{hn}$ 後の垂直プランキング期間 $T_{vb}$ において、上記外部補償動作を行うようにしても良い。

[0078] [別実施形態]

以下に、別実施形態につき説明する。

[0079] 〈1〉 上記各実施形態では、画素回路2 及びダミー画素回路32 を構成する3 つの薄膜トランジスタ $T_1 \sim T_3$  は、何れも $n$  チャネル型の酸化物半導体薄膜トランジスタで形成される場合を想定し、特に、酸化物半導体として、 $\text{InGaZnO}$  を想定した。しかし、薄膜トランジスタ $T_2$  ,  $T_3$  の導

電型は必ずしも  $n$  チャネル型に限定されるものではない。薄膜 トランジスタ  $T_2$ 、 $T_3$  は  $p$  チャネル型であっても良い。また、上記実施形態では、駆動 トランジスタ  $T_1$  として トランジスタ特性のバラツキの少ない トランジスタの使用を想定しているが、当該 トランジスタ特性のバラツキの少ない トランジスタは、必ずしも酸化物半導体薄膜 トランジスタに限定されるものではない。

[0080]     <2>     上記各実施形態では、画素回路 2 内に設ける発光素子として有機 EL 素子 (OLED) の使用を想定したが、当該発光素子としては、駆動 トランジスタ  $T_1$  によって当該発光素子のアノード電極からカソード電極に向けて流れる発光電流を制御することで発光輝度が制御される発光素子であれば、有機 EL 素子に限定されるものではない。また、当該発光素子が整流性を有していることは必要な条件とはならない。

[0081]     <3>     上記第 2 実施形態の表示回路 4 で使用されるダミー画素回路 32 は、必ずしも図 6 に示すような、図 2 に示す画素回路 2 から OLED 3 だけを取り外した回路構成に限定されるものではない。例えば、図 9 に示すように、図 2 に示す画素回路 2 から OLED 3 と制御用 トランジスタ  $T_3$  を取り外した回路構成、或いは、図 10 に示すように、図 2 に示す画素回路 2 から OLED 3 と転送 トランジスタ  $T_2$  と制御用 トランジスタ  $T_3$  を取り外した回路構成であっても良い。

[0082]     ダミー画素回路 32 が図 9 に示す回路構成の場合には、ダミー画素回路 32 の転送 トランジスタ  $T_2$  がオン状態となる転送期間  $T_t$  中において、駆動 トランジスタ  $T_1$  のソース電極を、基準電圧  $V_{E0}$  となるように各電流計 33 側から駆動するようにしても良い。この場合、ダミー発光電圧供給線  $V_{SLd}$  には、常時第 2 電圧レベル  $V_{E2}$  を印加しても良く、また、転送期間  $T_t$  中は、第 1 電圧レベル  $V_{E1}$  ( $= V_{E0}$ ) を印加し、転送期間  $T_t$  以外に第 2 電圧レベル  $V_{E2}$  を印加するようにしても良い。

[0083]     また、ダミー画素回路 32 が図 10 に示す回路構成の場合には、 $j$  列目のダミー画素回路 32 の駆動 トランジスタ  $T_1$  のゲート電極を対応するソース

線  $SL_j$  に直接接続し、駆動トランジスタ  $T_1$  のソース電極を、基準電圧  $VE_0$  となるように各電流計 33 側から駆動するようにしても良い。この場合、ダミー発光電圧供給線  $VSL_d$  には、常時第 2 電圧レベル  $VE_2$  を印加しても良く、また、転送期間  $T_t$  中は、第 1 電圧レベル  $VE_1 (= VE_0)$  を印加し、転送期間  $T_t$  以外に第 2 電圧レベル  $VE_2$  を印加するようにしても良い。

[0084]     〈 4 〉     更に、上記第 2 実施形態の表示回路 4 で使用されるダミー画素回路 32 は、図 6 に示す回路構成に代えて、図 2 に示す画素回路 2 から  $OLED_3$  と制御用トランジスタ  $T_3$  と容量素子  $C_1$  の内の少なくとも  $OLED_3$  を取り外し、同じダミー画素回路 32 の転送トランジスタ  $T_2$  のドレイン電極が接続するソース線  $SL$  と第 1 トランジスタ  $T_1$  のドレイン電極間に介装され、モニター制御信号線  $MCL$  と接続する第 3 制御端子の電圧レベルに応じて導通非導通が制御される第 3 スイッチ回路を備えた回路構成としても良い。具体的には、当該ダミー画素回路 32 は、例えば、図 11 に示すように、駆動トランジスタ  $T_1$  と、転送トランジスタ  $T_2$  と、第 3 スイッチ回路としてのモニター制御用トランジスタ  $T_4$  と、容量素子  $C_1$  を備えて構成される。駆動トランジスタ  $T_1$  のソース電極には、 $OLED_3$  を接続するのに代えて、基準電圧供給線  $URL$  を介して画素回路アレイ 10 に供給される基準電圧  $VE_0$  (例えば、接地電圧) が供給される。モニター制御用トランジスタ  $T_4$  は、他のトランジスタ  $T_1 \sim T_3$  と同様に、 $\eta$  チャネル型の絶縁ゲート型薄膜トランジスタで形成され、ドレイン電極がソース線  $SL$  と、ゲート電極がモニター制御信号線  $MCL$  と、ソース電極が駆動トランジスタ  $T_1$  のドレイン電極と夫々接続する。尚、容量素子  $C_1$  は、駆動トランジスタ  $T_1$  のゲート電極に寄生する容量で代用しても構わない。

[0085]     図 11 に示すダミー画素回路 32 を  $m$  個用いてモニター回路 30 を構成する場合、図 12 に示すように、 $m$  個のダミー画素回路 32 によって 1 行  $\times m$  列のダミー画素回路アレイ 34 が形成され、画素回路アレイ 10 に隣接して配置される。ダミー画素回路アレイ 34 内の「列」目のダミー画素回路 32 の

モニター制御用トランジスタ $T_4$ のドレイン電極が、対応する $j$ 列目のソース線 $SL_j$ と接続している。また、各ダミー画素回路17の転送トランジスタ $T_2$ のゲート電極がダミーゲート線 $GL_d$ に接続し、モニター制御用トランジスタ $T_4$ のゲート電極がモニター制御信号線 $MCL$ に接続している。本実施形態では、ダミーゲート線 $GL_d$ はゲートドライバ13により駆動され、モニター制御信号線 $MCL$ がアノードドライバ14により駆動される構成としているが、少なくとも何れか一方が表示制御回路11から直接制御される構成であっても良い。

[0086] 各水平期間 $T_{h1} \sim T_{hn}$ 及び垂直ブランキング期間 $T_{vb}$ におけるダミーゲート線 $GL_d$ の駆動は、図8に示す第2実施形態の場合と同じである。また、各水平期間 $T_{h1} \sim T_{hn}$ 及び垂直ブランキング期間 $T_{vb}$ のダミー転送期間 $T_{td}$ における各ソース線 $SL_j$ の駆動は、図8に示す第2実施形態の場合と同じである。モニター制御信号線 $MCL$ の電圧レベルは、ダミーゲート線 $GL_d$ の電圧レベルとは逆位相となり、転送トランジスタ $T_2$ のオフ状態の時にモニター制御用トランジスタ $T_4$ がオン状態となり、転送トランジスタ $T_2$ のオン状態の時にモニター制御用トランジスタ $T_4$ がオフ状態となるように制御される。垂直ブランキング期間 $T_{vb}$ のダミー転送期間 $T_{td}$ 後に、ソース線 $SL_j$ に接続する電流計33で、駆動トランジスタ $T_1$ に流れる電流を検知するため、ソース線 $SL_j$ の電圧レベルは、駆動トランジスタ $T_1$ が飽和領域で動作するように制御される。

[0087] <5> 上記第2実施形態では、補正回路31のLUT制御回路36は、 $m$ 個の電流計33から $m$ 列分の検出値を夫々受け取り、順番にLUT35にアクセスして各検出値に対応する各列の補正量 $\Delta v_{adj}$ を読み出して、ソースドライバ12に出力し、ソースドライバ12は、当該列毎の補正量 $\Delta v_{adj}$ に基づいて対応する列( $j$ 列目)のソース線 $SL_j$ に印加する輝度電圧 $V_{sij}$ に対して、全ての行に対して同じ補正量 $\Delta v_{adj}$ を加える補正処理を行う構成であったが、つまり、列毎に独立した補正処理(列単位補正処理)であったが、全ての列または複数列の列グループに対して同じ補正処

理（一括補正処理）を行うようにしても良い。上記別実施形態の〈３〉及び〈４〉においても同様である。具体的には、全ての列に一括補正処理を行う場合は、ＬＵＴ制御回路３６は、 $m$ 個の電流計３３から $m$ 列分の検出値を夫々受け取り、例えば、これらの検出値の平均値（中央値、最大値、最小値、合計等の他の統計値であっても良い）を求め、当該平均値に対してＬＵＴ３５にアクセスして１つの補正量 $\Delta v_{ad}$ を読み出して、ソースドライバ１２に出力し、ソースドライバ１２は、当該１つの補正量 $\Delta v_{ad}$ に基づいて全てのソース線 $S_{Lj}$ に印加する輝度電圧 $V_{sij}$ に対して、全ての行において同じ補正量 $\Delta v_{ad}$ を加える補正処理を行う。列グループ単位で当該一括補正処理を行う場合には、画素回路アレイ１０を行方向に複数のサブアレイ（行数は画素回路アレイ１０と同じ $n$ ）に分割し、サブアレイ単位に各列の補正量 $\Delta v_{adj}$ の平均値を求め、サブアレイと同数の当該平均値に対してＬＵＴ３５にアクセスして補正量 $\Delta v_{ad}$ を夫々読み出して、ソースドライバ１２に出力し、ソースドライバ１２は、当該サブアレイと同数の補正量 $\Delta v_{ad}$ に基づいてサブアレイ毎に、対応するソース線 $S_{Lj}$ に印加する輝度電圧 $V_{sij}$ に対して、同じサブアレイ内の全ての行において同じ補正量 $\Delta v_{ad}$ を加える補正処理を行う。

[0088] 〈６〉 更に、上記第２実施形態では、１フレーム期間毎に、外部補償動作を行う場合には、全ての水平期間 $T_{h1} \sim T_{hn}$ の各転送期間 $T_t$ 中に、ダミーゲート線 $GL_d$ が高電圧レベル $V_{GL1}$ に維持され、ダミー画素回路３２の転送トランジスタ $T_2$ がオン状態となるように制御される場合を想定したが、例えば、ダミーゲート線 $GL_d$ を２本設け、偶数列のダミー画素回路３２は、一方のダミーゲート線 $GL_{de}$ に接続し、奇数列のダミー画素回路３２は、他方のダミーゲート線 $GL_{do}$ に接続するようにし、偶数行目の水平期間 $T_{hi}$ （ $i$ ＝偶数）の転送期間 $T_t$ にのみ一方のダミーゲート線 $GL_{de}$ が高電圧レベル $V_{GL1}$ に維持され、偶数列のダミー画素回路３２の転送トランジスタ $T_2$ がオン状態となるように制御され、奇数行目の水平期間 $T_{hi}$ （ $i$ ＝奇数）の転送期間 $T_t$ にのみ他方のダミーゲート線 $GL_{do}$

が高電圧レベル  $V_{GL1}$  に維持され、奇数列のダミー画素回路 32 の転送トランジスタ  $T_2$  がオン状態となるように制御される構成としても良い。上記別実施形態の〈3〉（但し、図10に示すダミー画素回路32の場合は除く）及び上記別実施形態の〈4〉においても同様である。また、ダミーゲート線  $GL_d$  は2本ではなく、3本以上にして、転送トランジスタ  $T_2$  が同時にオン状態となるダミー画素回路32のグループ数を3以上に増やしても良い。

[0089]     <7>     更に、上記第2実施形態では、ダミー画素回路32は、全てのソース線  $SL$  に夫々設ける場合を説明したが、ダミー画素回路32は、 $m$ 本のソース線  $SL$  の一部（例えば、1本）のソース線  $SL$  にのみ設けるようにしても良い。上記別実施形態の〈3〉及び〈4〉においても同様である。

[0090]     〈8〉     更に、上記第2実施形態では、ダミー画素回路アレイ34は、1つの画素回路アレイ10に対して1つだけ設ける場合を説明したが、例えば、画素回路アレイ10を列方向に2分して、一方側の半分に対して1つのダミー画素回路アレイ34を設けて、画素回路アレイ10の当該一方側の端部に隣接して配置し、他方側の半分に対して1つのダミー画素回路アレイ34を設けて、画素回路アレイ10の当該他方側の端部に隣接して配置するようにしても良い。そして、一方側のダミー画素回路アレイ34から検出されるダミー発光電流に基づいて、画素回路アレイ10の当該一方側の半分に対して補正処理を行い、他方側のダミー画素回路アレイ34から検出されるダミー発光電流に基づいて、画素回路アレイ10の当該他方側の半分に対して補正処理を行うようにしても良い。また、一方側と他方側の両方のダミー画素回路アレイ34から検出されるダミー発光電流に基づいて、画素回路アレイ10の全体に対して補正処理を行うようにしても良い。上記別実施形態の〈3〉及び〈4〉においても同様である。

[0091]     〈9〉     更に、上記第2実施形態では、ダミー画素回路アレイ34は、1本のソース線  $SL$  に対して1つのダミー画素回路32を設けて構成されているが、1本のソース線  $SL$  に対して2以上のダミー画素回路32を設けるよ

うにしても良い。例えば、ダミー画素回路アレイ 34 が 2 行 X m 列に構成されている場合に、1 行目のダミー画素回路 32 の転送トランジスタ T2 のゲート電極がダミーゲート線 GLdo に接続し、駆動トランジスタ T1 のドレイン電極がダミー発光電圧供給線 VSLdo に接続し、2 行目のダミー画素回路 32 の転送トランジスタ T2 のゲート電極がダミーゲート線 GLde に接続し、駆動トランジスタ T1 のドレイン電極がダミー発光電圧供給線 VSLde に接続するようにし、偶数行目の水平期間 Thi (i = 偶数) の転送期間 Tt にのみ一方のダミーゲート線 GLde が高電圧レベル VGL1 に維持され、偶数列のダミー画素回路 32 の転送トランジスタ T2 がオン状態となるように制御され、奇数行目の水平期間 Thi (i = 奇数) の転送期間 Tt にのみ他方のダミーゲート線 GLdo が高電圧レベル VGL1 に維持され、奇数列のダミー画素回路 32 の転送トランジスタ T2 がオン状態となるように制御される構成としても良い。

[0092]     < 10 >     更に、上記第 2 実施形態では、補正回路 31 は、LUT35 を用いて補正量  $\Delta v_{adj}$  を読み出す構成を採用しているが、つまり、デジタル処理により補正量  $\Delta v_{adj}$  を導出しているが、LUT35 に代えて、電流計 33 の検出値を入力として、補正量  $\Delta V_{adj}$  を出力するアナログ回路を設けても良い。この場合、列単位補正処理を行う場合には、当該アナログ回路を列毎に設け、一括補正処理を行う場合には、一括補正処理の単位となる列グループ毎に当該アナログ回路を設ける。上記別実施形態の < 3 > 及び < 4 > においても同様である。

[0093]     < 11 >     また、上記第 2 実施形態では、LUT制御回路 36 からソースドライバ 12 に補正量  $\Delta v_{adj}$  が出力される構成であり、ソースドライバ 12 が輝度電圧  $V_{sij}$  に対して実際の補正処理を行う構成であったが、当該構成に代えて、LUT35 に、輝度電圧  $V_{sij}$  の補正量  $\Delta V_{adj}$  ではなく、輝度電圧  $V_{sij}$  を導出するためのデジタル画像信号 DA に対する補正量を格納しておき、LUT制御回路 36 が LUT35 から読み出した当該補正量を表示制御回路 11 に出力し、表示制御回路 11 がデジタル画像

信号 D A を当該補正量に基づいて補正した後、ソースドライバ 12 に出力する構成としても良い。上記別実施形態の〈3〉及び〈4〉においても同様である。

[0094] 〈12〉 また、上記第2実施形態では、補正回路31は、表示装置4内に設ける構成としたが、補正回路31の内の少なくともLUT35を表示装置4の外部に設けるようにしても良い。更に、補正回路31を表示装置4の外部に設ける場合は、ソースドライバ12がソース線SL<sub>j</sub>に印加する輝度電圧V<sub>s i j</sub>に対して補正処理を行うのではなく、外部回路において、表示装置4に入力するデータ信号D<sub>s</sub>に対して補正処理を行うようにしても良い。上記別実施形態の〈3〉及び〈4〉においても同様である。

[0095] 〈13〉 また、上記第2実施形態では、画素回路アレイ10に用いる画素回路2としては、第1実施形態で説明した図2に示す等価回路の回路構成の画素回路2を使用した。画素回路アレイ10に対してモニター回路30と補正回路31を設けて上記の外部補償動作を行う構成では、画素回路2と同様にnチャネル型の駆動トランジスタがソースフォロア回路を形成する類似の回路構成の画素回路を使用した画素回路アレイ10に対しても、同様のモニター回路30と補正回路31を設けることで、当該類似の回路構成の画素回路の駆動トランジスタT1におけるトランジスタ特性の経時変化に対する補償を行うことができる。

[0096] 例えば、図13及び図15に示すような従来の画素回路で構成される画素回路アレイに対しても、モニター回路30と補正回路31を設けることで、上記外部補償動作を行うことで、駆動トランジスタT1のトランジスタ特性の経時変化に対する補償を行うことができる。斯かる場合においても、上記別実施形態の〈4〉と同様に、対応するソース線SLに電流計33を設け、ソース線SL側からダミー画素回路32の駆動トランジスタT1を流れる電流を検知するのも好ましい。

## 符号の説明

[0097] 1 : 表示装置

- 2 : 画素回路
- 3 : 有機 E L 素子 (O L E D)
- 10 : 画素回路アレイ
- 11 : 表示制御回路
- 12 : ソースドライバ
- 13 : ゲートドライバ
- 14 : アノードドライバ
- 20 : アクティブマトリクス基板
- 21 : 反射金属層
- 22 : I T O アノード電極層
- 23 : 有機 E L 材料層
- 24 : カソード電極層
- 25 : カラーフィルタ
- 30 : モニター回路
- 31 : 補正回路
- 32 : ダミー画素回路
- 33 : 電流計
- 34 : ダミー画素回路アレイ
- 35 : ルックアップテーブル (L U T)
- 36 : L U T 制御回路
- C 1 : 容量素子
- C p : 駆動トランジスタのソース電極 (基準ノード) の寄生容量
- C t : タイミング信号
- D 1 : ダイオード
- D A : デジタル画像信号
- D v : データ信号
- G L (G L 1 , G L 2 , …… , G L n ) : ゲート線
- G L d : ダミーゲート線

G t c : 走査側タイミング制御信号

O L E D : 有機発光素子

N s : 基準ノード (駆動トランジスタのソース電極)

N p : 画素ノード (駆動トランジスタのゲート電極)

S L ( S L 1 , S L 2 , …… , S L m ) : ソース線

S t c : データ側タイミング制御信号

T 1 : 駆動トランジスタ (第 1 トランジスタ素子)

T 2 : 転送トランジスタ (第 2 トランジスタ素子、第 1 スイッチ回路 )

T 3 : 制御用トランジスタ (第 3 トランジスタ素子、第 2 スイッチ回路 )

T 4 : モニター制御用トランジスタ (第 3 スイッチ回路)

T h 1 , T h 2 , …… , T h n : 水平期間

T t : 転送期間

T t d : ダミー転送期間

T v b : 垂直ブランキング期間

V E 0 : O L E D のカソード電極に印加される基準電圧

V E 1 : 発光電圧供給線に印加される発光用電源電圧の第 1 電圧レベル

V E 2 : 発光電圧供給線に印加される発光用電源電圧の第 2 電圧レベル

V G L 0 : ゲート信号の低電圧レベル

V G L 1 : ゲート信号の高電圧レベル

V R L : 基準電圧供給線

V S L ( V S L 1 , V S L 2 , …… , V S L n ) : 発光電圧供給線

V S L d : ダミー発光電圧供給線

V x : 基準ノードの動作点

## 請求の範囲

[請求項 1]           アノード電極からカソード電極に発光電流が流れることで発光する発光素子と、

ソース電極が前記発光素子のアノード電極と接続し、ゲート電極が画素ノードと接続し、ゲート電極とソース電極間の発光制御電圧に応じて前記発光電流を制御する  $n$  チャネル型の絶縁ゲート型薄膜トランジスタの第 1 トランジスタ素子と、

データ信号線と前記画素ノードとの間に介装され、走査信号線と接続する第 1 制御端子の電圧レベルに応じて導通非導通が制御される第 1 スイッチ回路と、

前記第 1 トランジスタ素子のソース電極とドレイン電極との間に介装され、前記走査信号線と接続する第 2 制御端子の電圧レベルに応じて導通非導通が制御され、前記走査信号線の電圧レベルに応じて、前記第 1 スイッチ回路の導通時に導通状態となり、前記第 1 トランジスタ素子のソース電極とドレイン電極間を選択的に短絡する第 2 スイッチ回路と、

前記第 1 トランジスタ素子のゲート電極とソース電極との間に介装された前記発光制御電圧を保持する容量素子と、を備えて構成されることを特徴とする画素回路。

[請求項 2]           前記カソード電極が基準電圧供給線と接続し、前記第 1 トランジスタ素子のドレイン電極が発光電圧供給線と接続し、

前記走査信号線の電圧レベルに応じて、前記第 1 スイッチ回路を導通状態として前記画素ノードに前記データ信号線から供給される前記発光素子の輝度に応じた輝度電圧を転送する転送期間に、前記基準電圧供給線の電圧を基準として、前記発光電圧供給線に供給される電圧レベルが前記発光素子を発光させない第 1 電圧レベルに維持され、

前記走査信号線の電圧レベルに応じて、前記第 1 スイッチ回路を非導通状態として、前記容量素子に前記発光制御電圧を保持して、前記

発光制御電圧に応じた前記発光電流を流すことで前記発光素子が発光する発光期間に、前記基準電圧供給線の電圧を基準として、前記発光電圧供給線に供給される電圧レベルが前記発光素子に前記発光電流が流れるのに十分な第2電圧レベルに維持されることを特徴とする請求項1に記載の画素回路。

[請求項3] 前記第1スイッチ回路が、ゲート電極が前記第1制御端子であるnチャネル型の絶縁ゲート型薄膜トランジスタの第2トランジスタ素子であり、前記第2トランジスタ素子のソース電極が前記画素ノードと接続し、前記第2トランジスタ素子のドレイン電極が前記データ信号線と接続し、

前記第2スイッチ回路が、ゲート電極が前記第2制御端子であるnチャネル型の絶縁ゲート型薄膜トランジスタの第3トランジスタ素子であり、前記第3トランジスタ素子のソース電極が前記第1トランジスタ素子のソース電極と接続し、前記第3トランジスタ素子のドレイン電極が前記第1トランジスタ素子のドレイン電極と接続していることを特徴とする請求項1または2に記載の画素回路。

[請求項4] 前記第1トランジスタ素子が、酸化物半導体トランジスタであることを特徴とする請求項1～3の何れか1項に記載の画素回路。

[請求項5] 前記第1乃至第3トランジスタ素子の内、少なくとも前記第1トランジスタ素子と前記第2トランジスタが、酸化物半導体トランジスタであることを特徴とする請求項3に記載の画素回路。

[請求項6] 請求項1～5の何れか1項に記載の画素回路を行方向及び列方向に夫々複数配置して画素回路アレイを構成し、

同一列に配置された前記画素回路において、前記第1スイッチ回路の一端が前記同一列に配置された列方向に延伸する前記データ信号線に接続し、

同一行に配置された前記画素回路において、前記第1スイッチ回路の前記第1制御端子と前記第2スイッチ回路の前記第2制御端子が前

記同一行に配置された行方向に延伸する前記走査信号線に接続し、前記第1トランジスタ素子のドレイン電極が前記同一行に配置された行方向に延伸する発光電圧供給線に接続し、

前記データ信号線を各別に駆動するデータ信号線駆動回路と、

前記走査信号線を各別に駆動する走査信号線駆動回路と、

前記発光電圧供給線を各別に駆動する発光電圧供給線駆動回路と、を備えることを特徴とする表示装置。

[請求項7]

前記画素回路から少なくとも前記発光素子を取り除いて構成されるダミー画素回路を有し、前記ダミー画素回路が備える前記第1トランジスタ素子のドレイン電極とソース電極間を流れる電流を検知することにより、前記画素回路における前記第1トランジスタ素子の電気的特性の変動を、疑似的にモニターするモニター回路と、

前記モニター回路の検知した電流量または当該電流量と等価な値に基づいて、前記データ信号線駆動回路によって駆動される前記データ信号線の電圧レベルを補正する補正回路と、を備えることを特徴とする請求項6に記載の表示装置。

[請求項8]

画素回路を行方向及び列方向に夫々複数配置して画素回路アレイを構成し、

前記画素回路は、

アノード電極からカソード電極に発光電流が流れることで発光する発光素子と、

ソース電極が前記発光素子のアノード電極と接続し、ゲート電極が画素ノードと接続し、ゲート電極とソース電極間の発光制御電圧に応じて前記発光電流を制御するnチャネル型の絶縁ゲート型薄膜トランジスタの第1トランジスタ素子と、

データ信号線と前記画素ノードとの間に介装され、走査信号線と接続する第1制御端子の電圧レベルに応じて導通非導通が制御される第1スイッチ回路と、

前記第 1 トランジスタ素子のゲート電極と前記第 1 トランジスタ素子のソース電極またはドレイン電極との間に介装された容量素子と、を少なくとも備えて構成され、

同一列に配置された前記画素回路において、前記第 1 スイッチ回路の一端が前記同一列に配置された列方向に延伸する前記データ信号線に接続し、

同一行に配置された前記画素回路において、前記第 1 スイッチ回路の前記第 1 制御端子が前記同一行に配置された行方向に延伸する前記走査信号線に接続し、前記第 1 トランジスタ素子のドレイン電極が前記同一行に配置された行方向に延伸する発光電圧供給線に直接または他の回路素子を介して接続し、

前記データ信号線を各別に駆動するデータ信号線駆動回路と、

前記走査信号線を各別に駆動する走査信号線駆動回路と、

前記発光電圧供給線を各別に駆動する発光電圧供給線駆動回路と、

前記画素回路から少なくとも前記発光素子を取り除いて構成されるダミー画素回路を有し、前記ダミー画素回路が備える前記第 1 トランジスタ素子のドレイン電極とソース電極間を流れる電流を検知することにより、前記画素回路における前記第 1 トランジスタ素子の電気的特性の変動を、疑似的にモニターするモニター回路と、

前記モニター回路の検知した電流量または当該電流量と等価な値に基づいて、前記データ信号線駆動回路によって駆動される前記データ信号線の電圧レベルを補正する補正回路と、を備えることを特徴とする表示装置。

[請求項 9]

前記モニター回路は、少なくとも 1 つの前記データ信号線に前記第 1 スイッチ回路の一端が接続する少なくとも 1 つの前記ダミー画素回路を備え、前記ダミー画素回路の前記第 1 スイッチ回路の前記第 1 制御端子がダミー走査信号線に接続していることを特徴とする請求項 7 または 8 に記載の表示装置。

- [請求項10] 複数行の前記走査信号線が、同一行の前記画素回路の前記第1スイッチ回路を同時に導通状態にするために、前記走査信号線駆動回路によって順次駆動される毎に、前記ダミー走査信号線が毎回駆動されることを特徴とする請求項9に記載の表示装置。
- [請求項11] 前記ダミー画素回路は、前記画素回路から、少なくとも前記発光素子を取り除き、対応する前記データ信号線と前記第1トランジスタのドレイン電極間に介装され、モニター制御信号線と接続する第3制御端子の電圧レベルに応じて導通非導通が制御される第3スイッチ回路を備えて構成されることを特徴とする請求項9または10に記載の表示装置。
- [請求項12] 前記モニター回路は、前記データ信号線に前記第1スイッチ回路の一端が接続する前記ダミー画素回路を、前記データ信号線毎に1つつ備え、前記ダミー画素回路の夫々の前記第1スイッチ回路の前記第1制御端子が行方向に延伸する前記ダミー走査信号線に接続していることを特徴とする請求項9～11の何れか1項に記載の表示装置。
- [請求項13] 前記ダミー画素回路は、前記画素回路から、少なくとも前記発光素子と前記第1スイッチ回路を取り除いて構成され、  
前記モニター回路は、少なくとも1つの前記データ信号線に前記第1トランジスタ素子のゲート電極が接続する少なくとも1つの前記ダミー画素回路を備えることを特徴とする請求項7または8に記載の表示装置。
- [請求項14] 前記モニター回路は、前記データ信号線に前記第1トランジスタ素子のゲート電極が接続する前記ダミー画素回路を、前記データ信号線毎に1つつ備えることを特徴とする請求項13に記載の表示装置。
- [請求項15] 前記補正回路は、前記データ信号線毎に、前記データ信号線に接続する前記ダミー画素回路の前記第1トランジスタ素子のソース電極から各別に出力される電流の電流量または当該電流量と等価な値に基づいて、前記データ信号線駆動回路によって駆動される対応する前記デ

ータ信号線の電圧レベルを各別に補正することを特徴とする請求項 12 または 14 に記載の表示装置。

[請求項16]

前記補正回路は、前記データ信号線と同数の前記ダミー画素回路の前記第 1 トランジスタ素子のソース電極から夫々出力される電流の電流量または当該電流量と等価な値の合計、平均、または、その他の統計値に基づいて、前記データ信号線駆動回路によって駆動される全ての前記データ信号線の電圧レベルを一括して補正することを特徴とする請求項 12 または 14 に記載の表示装置。

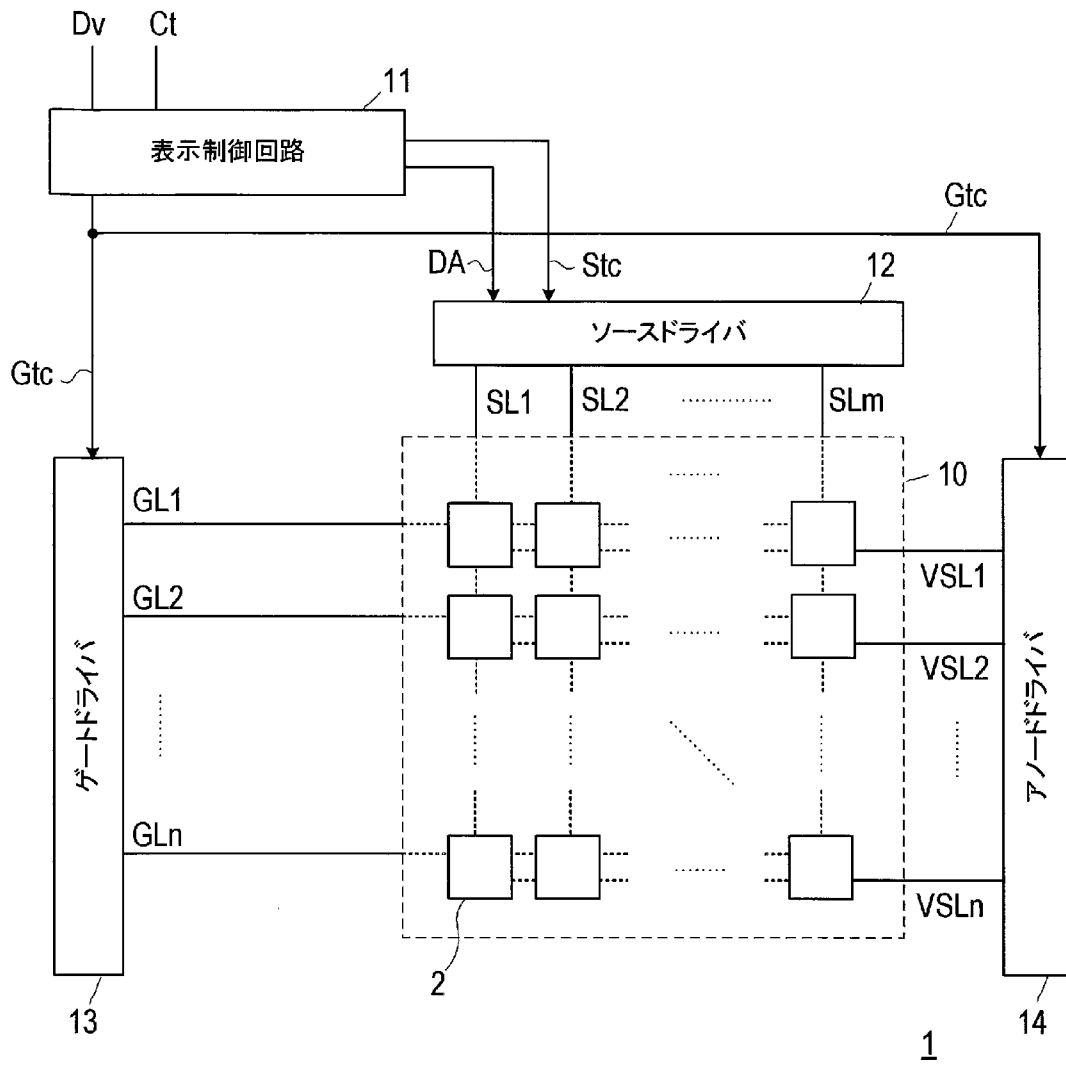
[請求項17]

前記モニター回路は、垂直ブランキング期間内に、前記ダミー画素回路が備える前記第 1 トランジスタ素子のソース電極から出力される電流を検知することを特徴とする請求項 7 ~ 16 の何れか 1 項に記載の表示装置。

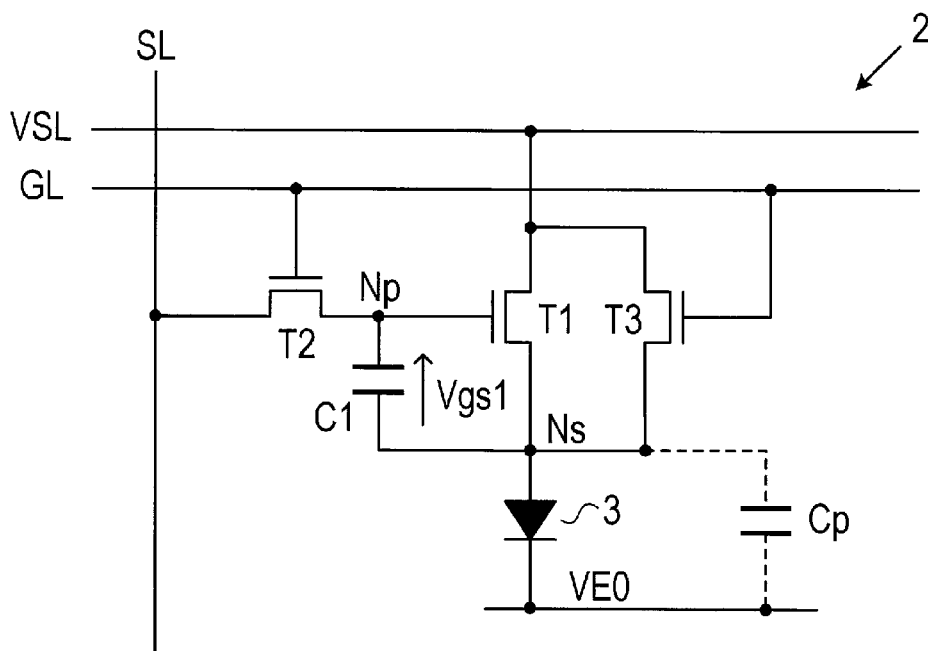
[請求項18]

前記垂直ブランキング期間内において、前記モニター回路が前記ダミー画素回路の前記第 1 トランジスタ素子のソース電極から出力される電流を検知する前に設定されたダミー転送期間に、前記データ信号線駆動回路が、前記ダミー画素回路の前記第 1 スイッチ回路の一端が接続する前記データ信号線にモニター用の基準輝度電圧を供給し、前記ダミー画素回路の前記第 1 スイッチ回路が導通状態に制御され、前記ダミー画素回路の前記画素ノードに前記データ信号線から前記基準輝度電圧が転送されることを特徴とする請求項 17 に記載の表示装置。

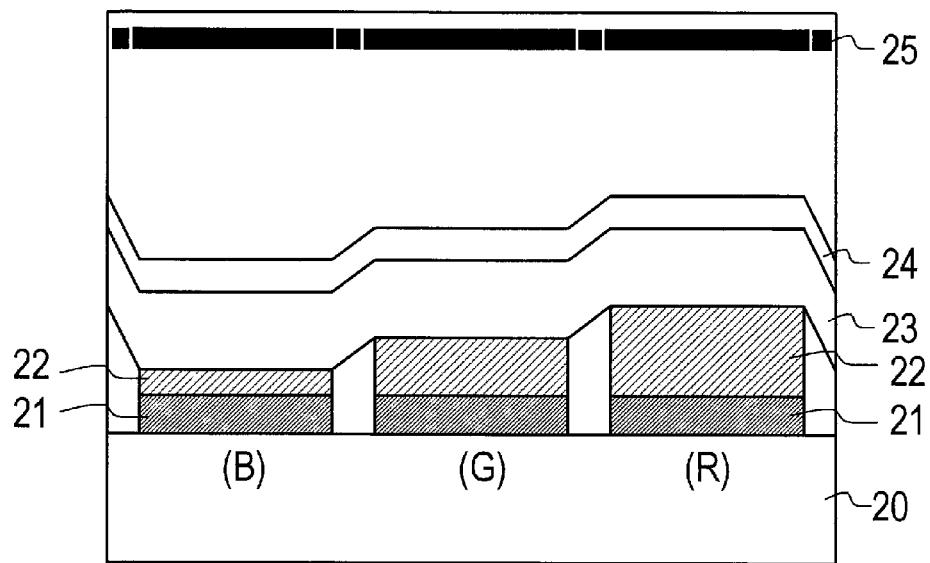
[図1]



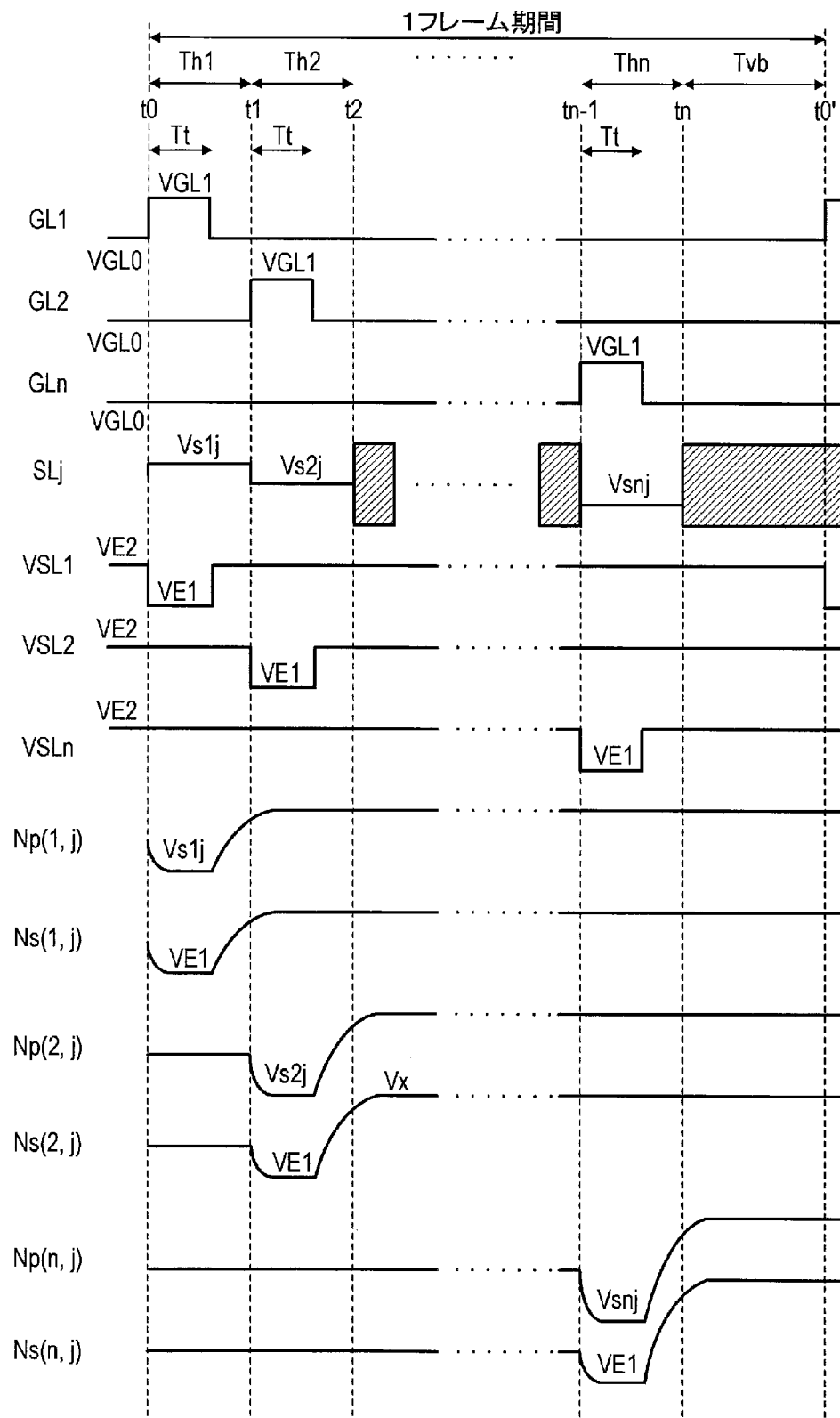
[図2]



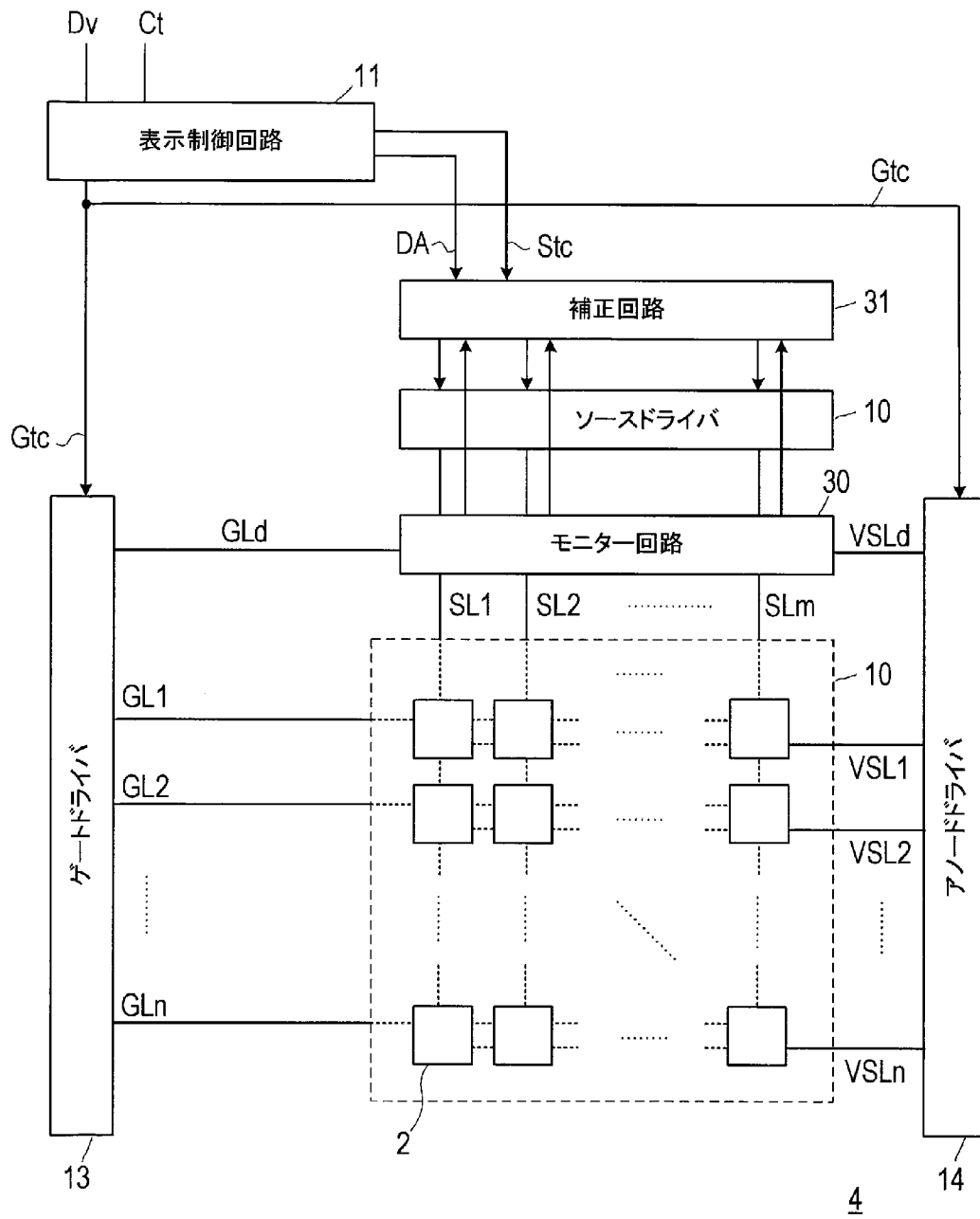
[図3]



[図4]

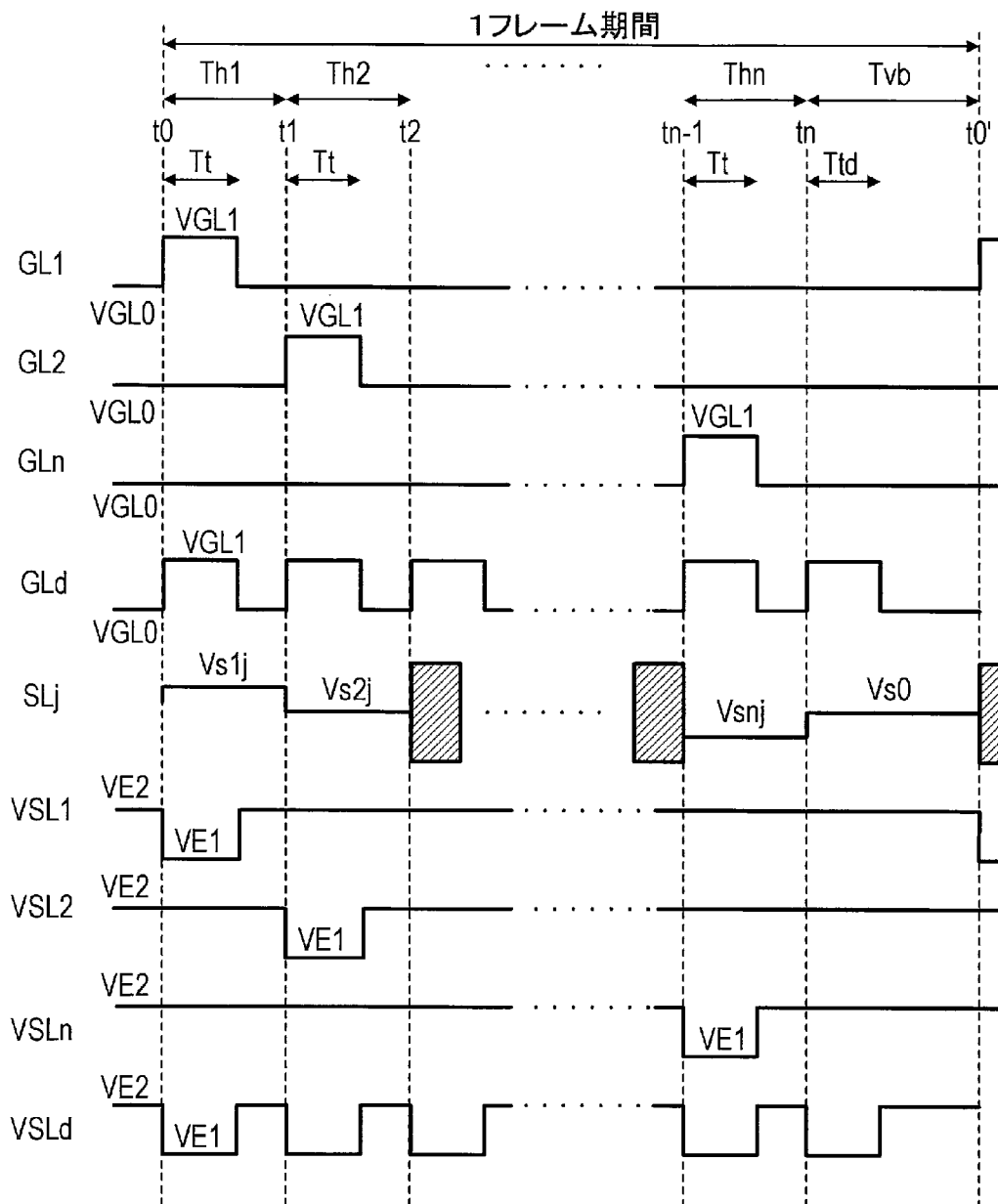


[図5]

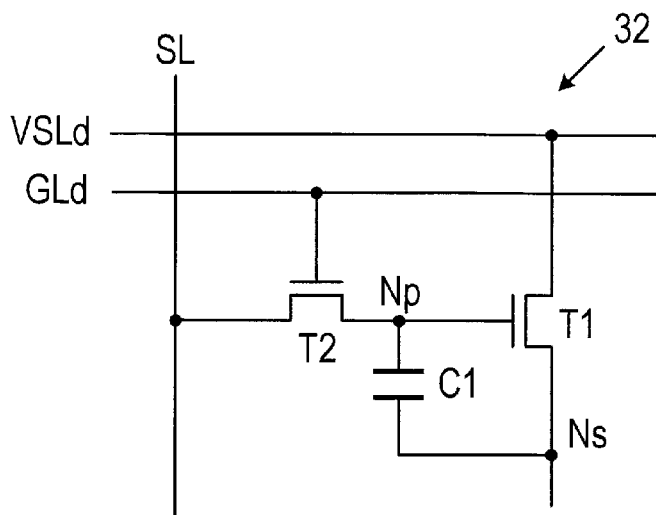




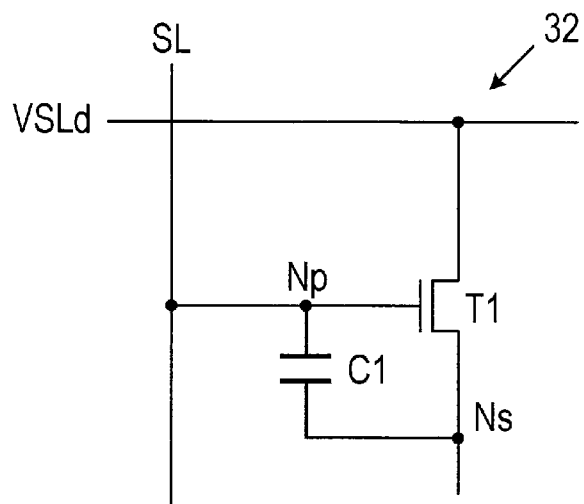
[図8]



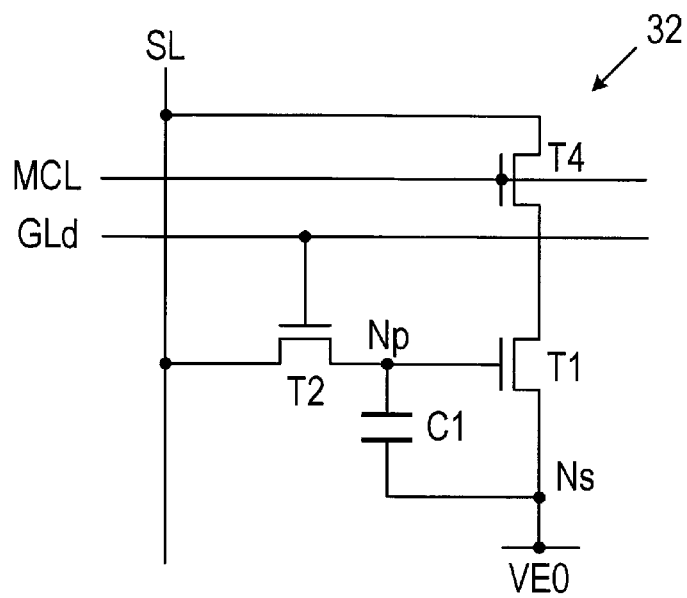
[図9]



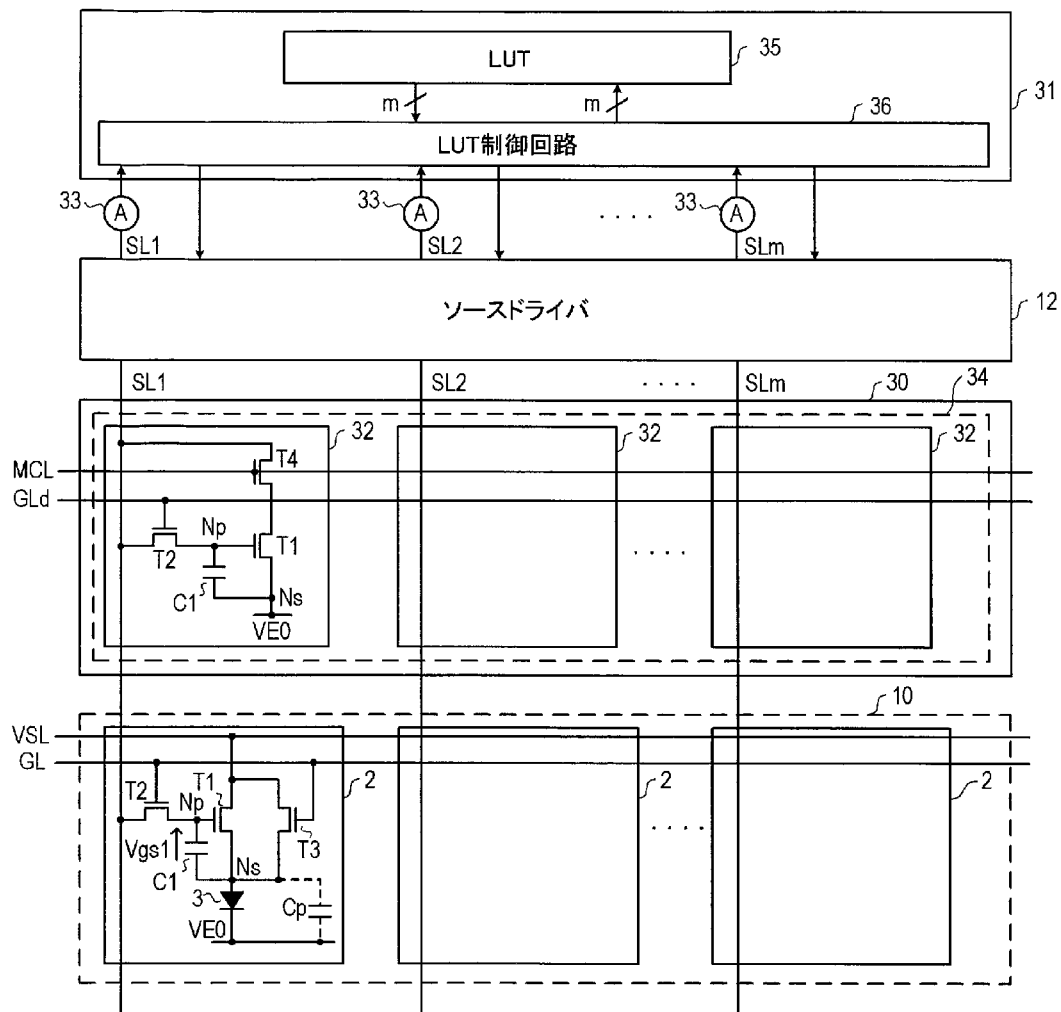
[図10]



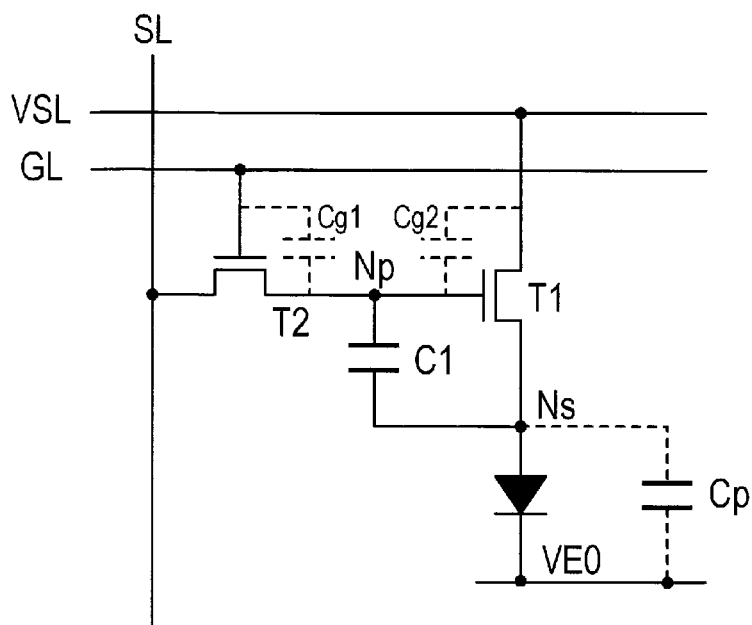
[図11]



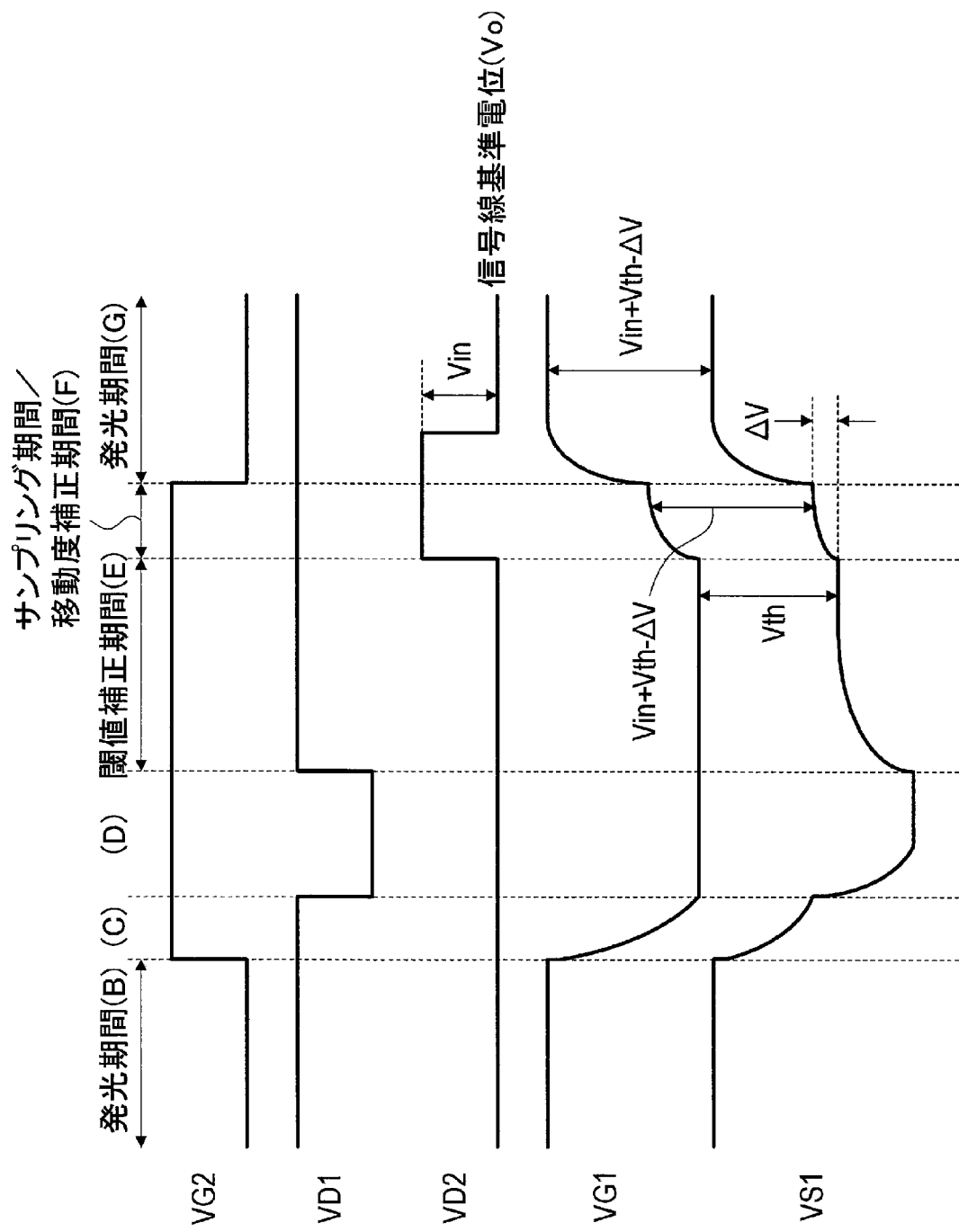
[図12]



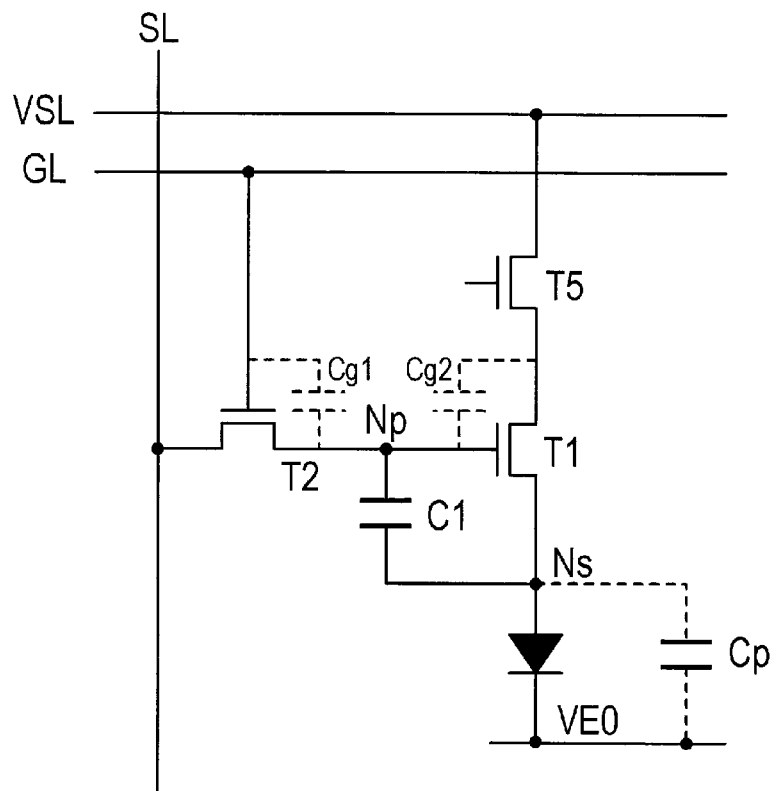
[図13]



[図14]



[図15]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 081617

## A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30 (2006.01)i, G09G3/20 (2006.01)i, H01L51/50 (2006.01)i, H05B33/08 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50, H05B33/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|         |         |        |           |         |         |        |      |           |
|---------|---------|--------|-----------|---------|---------|--------|------|-----------|
| Jitsuyo | Shinan  | Koho   | 1922-1996 | Jitsuyo | Shinan  | Toroku | Koho | 1996-2013 |
| Kokai   | Jitsuyo | Shinan | 1971-2013 | Toroku  | Jitsuyo | Shinan | Koho | 1994-2013 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                                       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>A    | J P 2005-534990 A (Koni nkl i j k e Phi l i p s<br>E l e c t r o n i c s N . V . ) ,<br>17 November 2005 (17.11.2005),<br>paragraphs [0031] to [0036]; fig. 4<br>& US 2006/0113919 A1 & GB 218170 D<br>& EP 1529276 A & WO 2004/015667 A1<br>& DE 60306656 D & AT 332557 T<br>& KR 10-2005-0035253 A & CN 1675669 A<br>& AU 2003247058 A | 1-6<br>7-18           |
| A         | J P 2007-072162 A (M i t s u b i s h i E l e c t r i c C o r p . ) ,<br>22 March 2007 (22.03.2007),<br>paragraphs [0017] to [0038]; fig. 1 to 3<br>& US 2007/0052646 A1 & KR 10-2007-0028237 A<br>& CN 1928682 A                                                                                                                         | 7-18                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 February, 2013 (25.02.13)

Date of mailing of the international search report

05 March, 2013 (05.03.13)

Name and mailing address of the ISA/

Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 081617

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                            | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2004-004675 A (Seiko Epson Corp.),<br>08 January 2004 (08.01.2004),<br>paragraphs [0028] to [0066]; figs. 1 to 5<br>& US 2004/0108518 A1 & CN 1448908 A<br>& TWB 001293748 | 7-18                  |
| A         | JP 2010-002796 A (Sony Corp.),<br>07 January 2010 (07.01.2010),<br>paragraphs [0117] to [0122]; fig. 11<br>& US 2009/0315813 A1 & CN 101615381 A<br>& TW 201003607 A          | 7-18                  |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/30 (2006. 01) i, G09G3/20 (2006. 01) i, H01L51/50 (2006. 01) i, H05B33/08 (2006. 01) i

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/30, G09G3/20, H01L51/50, H05B33/08

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |         |
|-------------|---------|
| 日本国実用新案公報   | 1922-19 |
| 日本国公開実用新案公報 | 1971-20 |
| 日本国実用新案登録公報 | 1996-20 |
| 日本国登録実用新案公報 | 1994-20 |

国際調査で使用する電子データベース (データベースの名称、調査に使用した用語)  
8年

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                                           | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| X<br>A          | JP 2005-534990 A (コーニンクレツカ フィリップス エレクトロ<br>ユクス エヌ ヴイ) 2005. 11. 17, 段落 0031—0036, 第4<br>図 & US 2006/0113919 AI & GB 218170 D & EP 1529276 A & wo<br>2004/015667 AI & DE 60306656 D & AT 332557 T & KR 10-2005-0035253<br>A & CN 1675669 A & AU 2003247058 A | 1-6<br>7-18    |
| A               | JP 2007-072162 A (三菱電機株式会社) 2007. 03. 22, 段落 0017<br>- 0038, 第1—3図 & US 2007/0052646 A1 & KR 10-2007-0028237<br>A & CN 1928682 A                                                                                                                            | 7-18           |

☒ c 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」

IE 「国際出願 日前の出願または特許であるが、国際出願 日以後に公表されたもの」

I 「優先権主張に疑義を提起する文献又は他の文献の発行 日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」

IΘ 「口頭による開示、使用、展示等に言及する文献」

IP 「国際出願 日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

Iτ 「国際出願 日又は優先 日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

Y 「特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」

I&amp; 「同一パテントファミリー文献」

国際調査を完了した日

25. 02. 2013

国際調査報告の発送日

05. 03. 2013

国際調査機関の名称及びあて先

日本国特許庁 (ISA / JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山崎 仁之

電話番号 03-3581-1101 内線 3226

2G

3015

| C (続き) . 関連すると認められる文献 |                                                                                                                                          |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                        | 関連する<br>請求項の番号 |
| A                     | JP 2004-004675 A (セイコーエプソン株式会社) 2004. 01. 08, 段落<br>0 0 2 8 — 0 0 6 6 , 第 1 — 5 図 & US 2004/0108518 A1 & CN 1448908<br>A & TWB 001293748 | 7-18           |
| A                     | JP 2010-002796 A (ソニー株式会社) 2010. 01. 07, 段落 0 1 1 7 —<br>0 1 2 2 , 第 1 1 図 & US 2009/0315813 A1 & CN 101615381 A & TW<br>201003607 A     | 7-18           |