(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-3072
(P2010-3072A)
(43)公開日　平成22年1月7日(2010.1.7)

(51)Int.Cl.	F I	テーマコード（参考）
G06F 13/16 (2006.01)	G06F 13/16 510A	5B060

審査請求 有　請求項の数 9　ＯＬ　（全 19 頁）

(21)出願番号　特願2008-160692 (P2008-160692)
(22)出願日　平成20年6月19日 (2008.6.19)

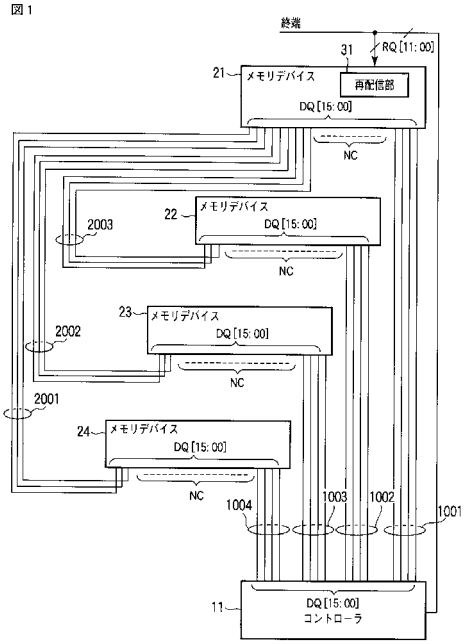
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100075672
弁理士　峰　隆司

最終頁に続く

(54)【発明の名称】メモリシステムおよびメモリデバイス

(57)【要約】
【課題】信号品質の低下を招くことなく、メモリサイズの拡張に柔軟に対応することができるメモリシステムを実現する。
【解決手段】メモリデバイス２１，２２，２３，２４の各々は複数のデータピンを有している。各メモリデバイス２１，２２，２３，２４においては、複数のデータピンの内の幾つかは、コントローラ１１とのデータ転送に使用される。すなわち、複数のデータピンの内の幾つかは、コントローラ１１からのライトデータの受信およびコントローラ１１へのリードデータの送信に使用される。通常は、残りのデータピンは使用されないが、本メモリシステムでは、残りのデータピンは、コントローラ１１から受信されたアドレスおよびコマンドを、メモリデバイス２１から他の各メモリデバイス２２，２３，２４に対して再配信するために用いられる。
【選択図】　図１

図１



【特許請求の範囲】
【請求項１】
複数の第１データピンを有し、前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第１メモリデバイスと、
複数の第２データピンを有し、前記複数の第２データピン内の１以上の第２データピンを介して、前記コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第２メモリデバイスと、
前記第１メモリデバイスに設けられ、前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信し前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上の第１データピンを介して前記第２メモリデバイスに再配信する再配信手段とを具備することを特徴とするメモリシステム。
【請求項２】
前記残りの１以上の第１データピンは、前記複数の第２データピン内の残りの１以上の第２データピンに接続されていることを特徴とする請求項１記載のメモリシステム。
【請求項３】
複数の第３データピンを有し、前記複数の第３データピン内の１以上の第３データピンを介して、前記コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第３メモリデバイスをさらに具備し、
前記再配信手段は、
前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の前記残りの１以上の第１データピンを介して前記第２メモリデバイスに再配信すると共に、前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の別の残りの１以上の第１データピンを介して前記第３メモリデバイスに再配信するように構成されており、前記別の残りの１以上の第１データピンは前記複数の第３データピン内の残りの１以上の第３データピンに接続されていることを特徴とする請求項２記載のメモリシステム。
【請求項４】
前記第１メモリデバイスは、前記第１メモリデバイス内のレジスタに予め設定された制御情報に従って、前記複数の第１データピンの中から前記１以上の第１データピンを、前記コントローラとのデータ転送に使用すべきデータピンとして選択する第１データ転送幅制御手段を含むことを特徴とする請求項１記載のメモリシステム。
【請求項５】
前記第２メモリデバイスは、前記第２メモリデバイス内のレジスタに予め設定された制御情報に従って、前記複数の第２データピンの中から前記１以上の第２データピンを、前記コントローラとのデータ転送に使用すべきデータピンとして選択する第２データ転送幅制御手段を含むことを特徴とする請求項４記載のメモリシステム。
【請求項６】
前記第１メモリデバイスに設けられ、前記第２メモリデバイスへの前記アドレスおよびコマンドの再配信に要する時間に対応する所定の待ち時間だけ、前記第１メモリデバイスによって実行されるべきメモリアクセス動作の開始タイミングを遅延させるタイミング調整手段をさらに具備することを特徴とする請求項１記載のメモリシステム。
【請求項７】
メモリコアと、
データ転送をそれぞれ実行可能な複数の第１データピンと、
前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行うデータ入出力手段と、
前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信するための１以上の信号ピンと、
前記１以上の信号ピンを介して受信されたアドレスおよびコマンドをデコードして、前

記メモリコアをアクセスするための制御信号を前記メモリコアに出力するデコーダと、
前記受信されたアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上のデータピンを介して他のメモリデバイスに再配信する再配信手段とを具備することを特徴とするメモリデバイス。
【請求項８】
前記他のメモリデバイスは複数の第２データピンを含み、前記複数の第２データピン内の１以上のデータピンは前記コントローラに接続され、前記複数の第２データピン内の残りの１以上のデータピンは、前記再配信手段からのアドレスおよびコマンドを受信するように前記複数の第１データピン内の前記残りの１以上のデータピンに接続されていることを特徴とする請求項７記載のメモリデバイス。
【請求項９】
前記他のメモリデバイスへの前記アドレスおよびコマンドの再配信に要する時間に対応する所定の待ち時間だけ、前記制御信号が前記メモリユニットに出力されるタイミングを遅延させるタイミング調整手段をさらに具備することを特徴とする請求項７記載のメモリデバイス。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は各種電子機器で使用されるメモリシステムおよびメモリデバイスに関し、特にメモリサイズの拡張に柔軟に対応できるように改良されたメモリシステムおよびメモリデバイスに関する。
【背景技術】
【０００２】
一般に、DDR SDRAMのようなメモリデバイスから構成されるメモリシステムにおいては、複数のメモリデバイスによってバス（データバス、コマンドバス、アドレスバス）が共有されている。個々のメモリデバイス単位、またはメモリデバイス群単位でチップセレクト信号が割り当てられる。コントローラ（メモリコントローラ）は、チップセレクト信号を選択的にアサートすることにより、１つのデバイスまたは１セットのデバイスを選択することができる。
【０００３】
しかし、このように複数のメモリデバイスによってバスが共有されるメモリシステムにおいては、バスに接続されるメモリデバイスの個数が増加するほど、バスに加わる負荷が増大する。このため、メモリシステムのメモリサイズを拡張するために多くのメモリデバイスをバスに接続すると、データ信号、アドレス信号、制御信号等の信号品質が低下し、これによって動作の信頼性が低下する可能性がある。
【０００４】
最近では、高速データ転送速度を実現するために、ポイントツーポイント形式のデータ相互接続をサポートしたメモリデバイスが開発されている（例えば、非特許文献１参照）。
【０００５】
また、ポイントツーポイント形式のデータ相互接続をサポートしたメモリデバイスとしては、XDR™ DRAMが知られている。XDR™ DRAMはコントローラにポイントツーポイント接続可能な複数のデータピンを含んでいる。また、XDR™ DRAMは、Dynamic Width Controlと称される機能を有しており、複数のデータピンの中の幾つかのみをコントローラとのデータ転送に使用することができる。この場合、残りのデータピンは余ることになる。
【非特許文献１】“ダイナミックポイントツーポイント技術(Dynamic Point-to-Point Technology)”、［online］、ラムバス社、［２００８年６月１７日検索］、インターネット＜URL：http://www.rambus.com/us/patents/innovations/detail/dpp.html＞
【発明の開示】
【発明が解決しようとする課題】

【０００６】
しかし、XDRメモリシステムにおいては、データ線はメモリデバイス毎に独立しているものの、アドレス信号およびコマンド信号を搬送するための制御信号線は複数のメモリデバイス間で共有される。このため、メモリサイズの拡張のためにメモリデバイスを増設すると、アドレス信号またはコマンド信号の信号品質が低下される可能性がある。
【０００７】
よって、信号品質の低下を招くことなく、メモリサイズの拡張に柔軟に対応可能な新たな機能の実現が必要である。
【０００８】
本発明は上述の事情を考慮してなされたものであり、信号品質の低下を招くことなく、メモリサイズの拡張に柔軟に対応することができるメモリシステムおよびメモリデバイスを提供することを目的とする。
【課題を解決するための手段】
【０００９】
上述の課題を解決するため、本発明のメモリシステムは、複数の第１データピンを有し、前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第１メモリデバイスと、複数の第２データピンを有し、前記複数の第２データピン内の１以上の第２データピンを介して、前記コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第２メモリデバイスと、前記第１メモリデバイスに設けられ、前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信し前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上の第１データピンを介して前記第２メモリデバイスに再配信する再配信手段とを具備することを特徴とする。
【００１０】
また、本発明のメモリデバイスは、メモリコアと、データ転送をそれぞれ実行可能な複数の第１データピンと、前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行うデータ入出力手段と、前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信するための１以上の信号ピンと、前記１以上の信号ピンを介して受信されたアドレスおよびコマンドをデコードして、前記メモリコアをアクセスするための制御信号を前記メモリコアに出力するデコーダと、前記受信されたアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上のデータピンを介して他のメモリデバイスに再配信する再配信手段とを具備することを特徴とする。
【００１１】
この場合、前記他のメモリデバイスは、次のように構成することが出来る。すなわち、前記他のメモリデバイスは、複数の第２データピンを含み、前記複数の第２データピン内の１以上のデータピンは前記コントローラに接続され、前記複数の第２データピン内の残りの１以上のデータピンは、前記再配信手段からのアドレスおよびコマンドを受信するように前記複数の第１データピン内の前記残りの１以上のデータピンに接続されている。
【発明の効果】
【００１２】
本発明によれば、信号品質の低下を招くことなく、メモリサイズの拡張に柔軟に対応することができる。
【発明を実施するための最良の形態】
【００１３】
以下、図面を参照して本発明の実施形態を説明する。
【００１４】
図１は、本発明の一実施形態に係るメモリシステムの構成が示されている。このメモリシステムは、パーソナルコンピュータ、サーバ、ＴＶ、ゲーム機といった各種電子機器に

搭載して使用される。このメモリシステムは、コントローラ（メモリコントローラ）１１と、複数のメモリデバイスとから構成されている。図１においては、４個のメモリデバイス２１，２２，２３，２４がメモリシステムに搭載されている場合が例示されている。

【００１５】

メモリデバイス２１，２２，２３，２４の各々は複数のデータピンを有している。各メモリデバイス２１，２２，２３，２４においては、複数のデータピンの内の幾つかは、コントローラ１１とのデータ転送に使用される。すなわち、複数のデータピンの内の幾つかは、コントローラ１１からのライトデータの受信およびコントローラ１１へのリードデータの送信に使用される。通常は、残りのデータピンは使用されないが、本実施形態では、残りのデータピンは、コントローラ１１から受信されたアドレスおよびコマンドを、メモリデバイス２１から他の各メモリデバイス２２，２３，２４に対して再配信するために用いられる。

【００１６】

以下、メモリデバイス２１，２２，２３，２４の各々の構成について説明する。

【００１７】

メモリデバイス２１，２２，２３，２４の各々は、例えば、XDR™ DRAMのような、コントローラ１１にポイントツーポイント接続可能な複数のデータピンを含む高速メモリデバイスから構成されている。ここで、高速メモリデバイスの特徴を、XDR™ DRAMを例示して説明する。

【００１８】

XDR™ DRAMにおいては、データピン（差動ペア）当たりのデータ転送速度が非常に速い。データ転送速度は、3.2GHz、4.0GHz、または4.8GHzである。将来は6.4GHzも計画されている。コントローラから各XDR™ DRAMに供給されるクロック信号（CFM,CFMNの差動ペア）の周波数は、400MHz，500MHz，600MHz，または800MHzである。データ転送速度は、クロック信号の周波数の8倍のレートである。

【００１９】

コントローラと各XDR™ DRAMのデータピンとの間の接続は、ピアツーピア（1対1）である。データ伝送のための電圧振幅は非常に小さい（200mV）。また、XDR™ システムには、微妙な位相調整を自動的に行う機構（FlexPhase）が組み込まれている。

【００２０】

XDR™ DRAMは、“Dynamic Width Control”と称される機能を有しており、同じメモリデバイスが、×16モードのバス幅（16bit），×8モードのバス幅（8bit），×4モードのバス幅（4bit），×2モードのバス幅（2bit）をサポートする。規格上は、×1モードのバス幅（1bit）も定義されている。リクエストパケットは、コマンドとアドレスをコントローラから各XDR™ DRAMに伝送するために使用される。リクエストパケット（コマンドとアドレス）を搬送するための制御信号線は、例えば、シングルエンドの12本の制御信号線(RQ[11:00])を含んでいる。リクエストパケットはクロック信号（CFM,CFMNの差動ペア）の両エッジに同期して伝送され、これにより１タイムスロット当たり24ビットの情報が伝送される。

【００２１】

XDR™ DRAMは、シリアル通信を用いたレジスタアクセスをサポートしている。コントローラは、シリアルクロックSCK、レジスタアクセスのためのコマンドCMD、リセット信号RSTを出力する。シリアルクロックSCK線、コマンドCMD線、およびリセット信号RST線の各々は全てのXDR™ DRAMによって共有される。

【００２２】

XDR™ DRAMは、隣のXDR™ DRAMからシリアルデータ入力SDIを入力し、自分のシリアルデータ出力SDOを逆隣のXDR™ DRAMへ向けて出力する。すなわち、SDI,SDOに関しては、XDR™ DRAM間はデイジーチェイン接続される。最後のXDR™ DRAMからのSDOは、コントローラへSRDとして出力される。XDR™ DRAMひとつひとつに対して、個別にレジスタのリードライトができる。ライトの場合は、全部のXDR™ DRAMに対して書き込むことも出来る。レ

ジスタアクセスは、SCKが数十メガヘルツ以下の、比較的ゆっくりした速度で行われる。
【００２３】
図１の各メモリデバイス２１，２２，２３，２４は、複数のデータピン、例えば16個のデータピン(DQ[15:00])を有している。各データピンは、例えば、差動信号を双方向伝送するための一対のピン（差動ペア）を含んでいる。したがって、実際には、各メモリデバイス２１，２２，２３，２４は、16ペアのデータピン(DQ[15:00])を有していることになる。
【００２４】
各メモリデバイス２１，２２，２３，２４は、DQ[15:00]内の幾つかのデータピン（幾つかの差動ペア）を用いてコントローラ１１とのデータ転送を行う。
【００２５】
図１においては、メモリデバイス２１，２２，２３，２４の各々が、×4モードのバス幅でコントローラ１１とのデータ転送を行う場合が例示されている。この場合、メモリデバイス２１においては、DQ[15:00]の内の４つのデータピン（４つの差動ペア）が４つの差動信号線対１００１を介してコントローラ１１にピアツーピア接続される。メモリデバイス２１は、４つのデータピン（４つの差動ペア）を介して、コントローラ１１からのライトデータの受信およびコントローラ１１へのリードデータの送信を行う。
【００２６】
メモリデバイス２２，２３，２４の各々においても、DQ[15:00]の内の４つのデータピン（４つの差動ペア）がコントローラ１１にピアツーピア接続される。すなわち、メモリデバイス２２の４つのデータピン（４つの差動ペア）は、４つの差動信号線対１００２を介してコントローラ１１にピアツーピア接続される。同様に、メモリデバイス２３の４つのデータピン（４つの差動ペア）は、４つの差動信号線対１００３を介してコントローラ１１にピアツーピア接続され、メモリデバイス２４の４つのデータピン（４つの差動ペア）は、４つの差動信号線対１００４を介してコントローラ１１にピアツーピア接続される。メモリデバイス２２，２３，２４の各々は、４つのデータピン（４つの差動ペア）を介して、コントローラ１１からのライトデータの受信およびコントローラ１１へのリードデータの送信を行う。
【００２７】
通常は、全てのメモリデバイス２１，２２，２３，２４が、12本の制御信号線(RQ[11:00])からなる制御バスに接続されるが、本実施形態では、メモリデバイス２１だけが制御信号線(RQ[11:00])に接続されている。これは、本実施形態のメモリシステムのメモリサイズの拡張のためにたとえ多くのメモリデバイスを増設しても、制御信号線(RQ[11:00])の負荷の増大を防止できるようにするためである。
【００２８】
メモリデバイス２１は、再配信部３１を備えている。再配信部３１は、制御信号線(RQ[11:00])を介して受信したアドレスおよびコマンドを、各メモリデバイス２２，２３，２４に再配信する。この場合、再配信部３１は、メモリデバイス２１に設けられたDQ[15:00])の内の未使用のデータピン（未使用の差動ペア）を用いて、メモリデバイス２２，２３，２４の各々へのアドレスおよびコマンドの再配信を行う。各メモリデバイス２２，２３，２４に対して、未使用の１以上のデータピン（未使用の１以上の差動ペア）がアドレスおよびコマンドの再配信に使用される。図１においては、メモリデバイス２２，２３，２４の各々に対して、３つのデータピン（３つの差動ペア）がアドレスおよびコマンドの再配信に使用されている例が示されている。
【００２９】
メモリデバイス２１の３つのデータピン（３つの差動ペア）は、３つの差動信号線対２００１を介してメモリデバイス２４の３つのデータピン（３つの差動ペア）にピアツーピア接続される。３つの差動信号線対２００１に接続されるメモリデバイス２４の３つのデータピン（３つの差動ペア）は、コントローラ１１とのデータ転送に使用されないデータピンである。メモリデバイス２４は、３つのデータピン（３つの差動ペア）を介して受信

したリクエストパケット（アドレスおよびデータ）を、12本の制御信号線(RQ[11:00])を介してコントローラ１１から送信されるリクエストパケットとして取り扱う。

【００３０】

メモリデバイス２１の別の３つのデータピン（３つの差動ペア）は、３つの差動信号線対２００２を介してメモリデバイス２３の３つのデータピン（３つの差動ペア）にピアツーピア接続される。３つの差動信号線対２００２に接続されるメモリデバイス２３の３つのデータピン（３つの差動ペア）は、コントローラ１１とのデータ転送に使用されないデータピンである。メモリデバイス２３は、３つのデータピン（３つの差動ペア）を介して受信したリクエストパケット（アドレスおよびデータ）を、12本の制御信号線(RQ[11:00])を介してコントローラ１１から送信されるリクエストパケットとして取り扱う。

【００３１】

メモリデバイス２１のさらに別の３つのデータピン（３つの差動ペア）は、３つの差動信号線対２００３を介してメモリデバイス２２の３つのデータピン（３つの差動ペア）にピアツーピア接続される。３つの差動信号線対２００３に接続されるメモリデバイス２２の３つのデータピン（３つの差動ペア）は、コントローラ１１とのデータ転送に使用されないデータピンである。メモリデバイス２２は、３つのデータピン（３つの差動ペア）を介して受信したリクエストパケット（アドレスおよびデータ）を、12本の制御信号線(RQ[11:00])を介してコントローラ１１から送信されるリクエストパケットとして取り扱う。

【００３２】

このように、メモリデバイス２１は12本の制御信号線(RQ[11:00])に接続された12本の信号ピンを介してリクエストパケットを受信し、そして受信したリクエストパケットを、データ転送に使用されない幾つかのデータピンのペアを介して、メモリデバイス２２，２３，２４の各々に再配信する。したがって、たとえメモリデバイスの数を増やした場合でも、12本の制御信号線(RQ[11:00])に接続されるのは一つのメモリデバイスのみである。よって、アドレス信号およびコマンド信号の信号品質の低下を招くことなく、メモリデバイスの増設を実現できる。

【００３３】

（メモリサイズ拡張方法）

図２は、DDR SDRAM等のメモリデバイスを使用したメモリシステムにおける、一般的なメモリサイズ拡張方法を示したものである。

【００３４】

図２の左側は、１個のDDR SDRAM４１を含むメモリシステムを示している。DDR SDRAM４１およびコントローラ３１は、バス（データバス、コマンドバス、アドレスバス）にそれぞれ接続される。またコントローラ３１からDDR SDRAM４１にはチップセレクト信号CSが供給される。

【００３５】

図２の中央は、２個のDDR SDRAM４１を含むメモリシステムを示している。これら２個のDDR SDRAM４１はそれぞれバスに接続される。またコントローラ３１からの２つのチップセレクト信号CS1,CS2が２個のDDR SDRAM４１にそれぞれ供給される。

【００３６】

図２の右側は、４個のDDR SDRAM４１を含むメモリシステムを示している。これら４個のDDR SDRAM４１はそれぞれバスに接続される。またコントローラ３１からの４つのチップセレクト信号CS1,CS2,CS3,CS4が４個のDDR SDRAM４１にそれぞれ供給される。

【００３７】

図３は、ポイントツーポイント形式のデータ相互接続をサポートしたメモリデバイス(例えば、XDR™ DRAM）を使用したメモリシステムにおけるメモリサイズ拡張方法を示している。

【００３８】

コントローラ１１に一対一接続されるデータピンを有する、XDR™ DRAMのようなメモリデバイスにおいては、図２で説明したバス方式によるメモリ容量拡張は適用できない。デ

ータ転送速度が超高速であるため、コントローラ１１と各メモリデバイス２０との間のデータ線の接続は1対1接続しか許されないからである。XDR™ DRAMのようなメモリデバイスにおいては、上述のDynamic Width Control機能を用いて、メモリ容量の拡張を行うことができる。Dynamic Width Control機能は、データ転送に使用するデータピンの数を変更してデータ転送幅を制御する機能である。

【００３９】

図３では、各メモリデバイス２０が512Mbit構成で、16bit幅のデータインタフェースを有する場合を想定している。すなわち、各メモリデバイス２０は、データ入出力のためのインタフェースとして、１６ペアのデータピン(DQ[15:00])を有している。

【００４０】

図３の左側は、１個のメモリデバイス２０を含むメモリシステムを示している。合計容量は64Mバイトである。メモリデバイス２０は、×16モードで使用される。

【００４１】

図３の中央は、２個のメモリデバイス２０を含むメモリシステムを示している。コントローラ１１の有するデータピンのペア数が１６ペアである場合には、２個のメモリデバイス２０の各々を、×8モードで使用することが必要になる（合計16bit）。２個のメモリデバイス２０の合計容量は128Mバイトである。通常は、２個のメモリデバイス２０の各々は、12本の制御信号線(RQ[11:00])に接続されている。２個のメモリデバイス２０は、制御信号線(RQ[11:00])を介してコントローラ１１から供給されるリクエストパケット（アドレス、コマンド）に応じて、同時に動作する。

【００４２】

図３の右側は、４個のメモリデバイス２０を含むメモリシステムを示している。コントローラ１１の有するデータピンのペア数が１６ペアである場合には、４個のメモリデバイス２０の各々を、×4モードで使用することが必要になる（合計16bit）。４個のメモリデバイス２０の合計容量は256Mバイトである。通常は、４個のメモリデバイス２０の各々は、12本の制御信号線(RQ[11:00])に接続されている。４個のメモリデバイス２０は、制御信号線(RQ[11:00])を介してコントローラ１１から供給されるリクエストパケット（アドレス、コマンド）に応じて、同時に動作する。

【００４３】

もし8個のメモリデバイス２０の各々を×2モードで使用した場合には、合計データ幅16bit、合計容量512Mバイトのメモリシステムが実現される。また、もし16個のメモリデバイス２０の各々を×1モードで使用した場合には、合計データ幅16bit、合計容量1024Mバイトのメモリシステムが実現される。

【００４４】

通常、データ転送に使用されない余ったデータピン（差動ペア）は、未接続(NC)となる。各メモリデバイスにおいては、×8モードでは8ペアのデータピンが余り、×4モードでは12ペアのデータピンが余り、×2モードでは14ペアのデータピンが余り、×1モードでは15ペアのデータピンが余る。

【００４５】

図４は、Dynamic Width Control機能を用いてメモリ容量の拡張を行う場合にRQ（リクエストパケット）の信号品質を確保するのが、困難になることを示したものである。

【００４６】

コントローラ１１からのリクエストパケットRQは、全てのメモリデバイス２０に送信することが必要である。しかし、全てのメモリデバイス２０が12本の制御信号線(RQ[11:00])を共有する構成においては、メモリデバイスの個数が多くなると、アドレス信号、コマンド信号の信号品質を確保するのが困難になる。この図４では、４つのメモリデバイス２０によってRQ[11:00]が共有されている場合を図示している。実際には、8個のメモリデバイスまたは16個のメモリデバイスによってRQ[11:00]が共有される場合も考えられれる。この場合には、RQ[11:00]によって搬送される信号の品質を維持することはさらに困難となる。

【００４７】
一方、データについては高速データ転送を実現するために注意深くシステム設計されている（1対1接続に限定、差動信号、小振幅、FlexPhase、など）。
【００４８】
（再配信機能）
図５の右側は、Dynamic Width Control機能を用いてメモリ容量の拡張を行う場合において、余って使われないデータピン（差動）を用いて、リクエストパケットRQの情報（アドレス情報、コマンド情報）をメモリデバイス間でシェアするために利用する様子を示したものである。図５の左側は、図４のメモリシステムと同じもを比較のために示している。
【００４９】
例えば、4個のメモリデバイス２１，２２，２３，２４それぞれを×4モードで使う場合、各メモリデバイスには12ペアのデータピンが余る。4個のメモリデバイス２１，２２，２３，２４のうちの一つ目のメモリデバイス２１には、通常通り、RQ[11:0]を接続する。残りの3個のメモリデバイス２２，２３，２４に対しては、一つ目のメモリデバイス２１から、リクエストパケットRQを再配信する。
【００５０】
リクエストパケットRQの再配信に利用するデータピンは、メモリデバイス２１と他の各メモリデバイスとの間で1対1に接続される。メモリデバイス２１からメモリデバイス２２，２３，２４の各々へのリクエストパケットRQの再配信には、3ペアのデータピンが使用される。4.8GHzのメモリデバイスの場合、一つのデータピンペアで、4.8Gbpsのデータ転送能力がある。3ペアのデータピンを使うと、14.4Gbpsとなり、RQのパケット情報に必要なデータ転送レートをまかなうことができる。RQ[11:0]に接続されるメモリデバイスは一つ目のメモリデバイスだけなので、メモリシステムに含まれるメモリデバイスの個数が増えても、RQの信号品質は確保される。
【００５１】
次に、本実施形態で使用される各メモリデバイス２１に設けられた機能について説明する。
【００５２】
（RQ送り手側のメモリデバイスの機能）
本実施形態においては、RQ送り手側のメモリデバイス（メモリデバイス２１）には、例えば、以下の機能が設けられている。
【００５３】
（１）信号ピンRQ[11:0]によって受け取ったリクエストパケットを、余った１以上のデータペアを使って再配信する機能
この再配信機能は上述の再配信部３１によって実行される。再配信部３１は、信号ピンRQ[11:0]によって受信された24bitのリクエストパケットを、コントローラ１１とのデータ転送に使用されない、１以上のデータピンを使用して、メモリデバイス２２，２３，２４の各々に再配信する。
【００５４】
（２）コマンド実行開始タイミングを調整する（受け手側メモリデバイスの開始タイミングに合わせて、自分のコマンド実行開始タイミングを遅らせる）タイミング調整性機能
このタイミング調整性機能は、メモリデバイス２１から他の各メモリデバイス２２，２３，２４へのリクエストパケット（アドレスおよびコマンド）の再配信に要する時間に対応する所定の待ち時間だけ、メモリデバイス２１によって実行されるべきメモリアクセス動作の開始タイミング（コマンド実行開始タイミング）を遅延させる機能である。このタイミング調整性機能は、全てのメモリデバイスが、リクエストパケットに従って同時にメモリアクセス動作を開始することを可能にする。
【００５５】
（３）機能の設定を制御するためのレジスタ

このレジスタには、各機能（再配信機能、タイミング調整機能等）の設定（有効・無効、再配信に使用すべきデータピンペアの指定、コマンド実行開始タイミング指定（待ち時間の指定）、など）を制御するための制御データが予め格納される。レジスタへの制御データの書き込みは、シリアルインタフェースを介して実行することができる。コントローラ１１または他のマイクロコンピュータ等がシリアルインタフェースを介して制御データをレジスタに書き込むことが出来る。

【００５６】

（４）（オプション）FlexPhaseのような位相調整機能

FlexPhaseは、メモリデバイスのデータピンとコントローラのデータピンとの間のスキューを調整する機能であり、通常は、コントローラ側に多くの回路（位相自動調整を行う）が実装されている。本実施形態では、メモリデバイス２１が１以上のデータピンペアを使用して他の各メモリデバイスにリクエストパケットを再配信する。したがって、メモリデバイス２１には、メモリデバイス２１のデータピンと他のメモリデバイスのデータピンとの間のスキューを調整する位相調整機能を設けることが好ましい。この場合、位相調整は、リクエストパケットの再配信に使用されるデータピンのみを対象に行えばよい。

【００５７】

（RQ受け手側のメモリデバイスの機能）

RQ受け手側のメモリデバイス（メモリデバイス２２，２３，２４）には、例えば、以下の機能が設けられている。

【００５８】

（５）余ったデータペアを使って受け取ったリクエストパケットを、RQ[11:0]で受け取ったものの代わりに使用する機能

（６）（オプション）コマンド実行開始タイミングを調整する機能

受け手側のメモリデバイスは、リクエストパケットを受信したことに応答して、待つことなく、即座にコマンド実行を開始してもよい。この場合、受け手側受け手側のメモリデバイスには、タイミング調整機能は不要である。

【００５９】

（７）機能の設定を制御するためのレジスタ

このレジスタには、各機能（再配信される情報を受信及び処理する機能、タイミング調整機能等）の設定（有効・無効、再配信される情報の受信に使用すべきデータピンペアの指定、コマンド実行開始タイミング指定（待ち時間の指定）、など）を制御するための制御データが予め格納される。レジスタへの制御データの書き込みは、シリアルインタフェースを介して実行することができる。コントローラ１１または他のマイクロコンピュータ等がシリアルインタフェースを介して制御データをレジスタに書き込むことが出来る。

【００６０】

（８）（オプション）FlexPhaseのような位相調整機能

通常は、コントローラとの間で位相自動調整を行うように設計されている。受け手側のメモリデバイスは、送り手側のメモリデバイスとの間で位相調整を行うこともできる。

【００６１】

（RQ送り手側のメモリデバイスの構成例）

図６には、RQ送り手側として機能するメモリデバイス２１の具体的な構成例が示されている。

【００６２】

メモリデバイス２１は、データ転送をそれぞれ実行可能な１６ペアのデータピンDQ[15:00]、リクエストパケットを受信するための１２個のRQ信号ピンRQ[11:00]、リセット入力ピンRST、シリアルクロック入力ピンSCK、コマンド入力ピンCMD、シリアルデータ入力ピンSDI、シリアルデータ出力ピンSDO等を有している。

【００６３】

またメモリデバイス２１は、複数のバンクアレイ１０１、複数のセンスアンプアレイ１０２、コントロールレジスタ１０３、デマルチプレクサ(1:2 DEMUX)１０４、デコーダ１

０５、遅延制御部１０６、デマルチプレクサ(1:16 DEMUX)１０７、マルチプレクサ(1:16 MUX)１０８、データ転送幅制御部(Dynamic width Demux (WR))１０９、データ転送幅制御部(Dynamic width Mux (RD))１１０、再配信部３１、コマンド実行タイミング調整部３２、位相調整部３３、等を備えている。

【００６４】

複数のバンクアレイ１０１および複数のセンスアンプアレイ１０２は、メモリコアとして機能する。デマルチプレクサ(1:2 DEMUX)１０４は１２個のRQ信号ピンRQ[11:00]に接続されている。RQ信号ピンRQ[11:00]は、リクエストパケットを受信する。デマルチプレクサ(1:2 DEMUX)１０４は、クロック信号の立ち上がりエッジおよび立ち下がりエッジでそれぞれ12ビットの情報を取り込むことにより、24ビットのリクエストパケットを出力する。24ビットのリクエストパケットはデコーダ１０５に送られると共に、再配信部３１に送られる。

【００６５】

デコーダ１０５は、24ビットのリクエストパケット（アドレスまたはコマンド）を受信する度に、そのリクエストパケット（アドレスまたはコマンド）をデコードする。そして、デコーダ１０５は、デコード結果に従って、メモリコアをアクセスするための制御信号（ACT,ROW,PRE,COL,またはR/W）をメモリコアに出力する。ACTはアクセス対象のバンクを選択するためのアクティブコマンドである。ROWは、選択されたバンク内のページを選択するためのローアドレスである。選択されたページは対応するセンスアンプアレイ１０２にロードされる。PREは、プリジャージ対象のバンクを選択するためのプリチャージコマンドである。COLは、選択されたページ内のカラムを指定するカラムアドレスである。R/Wは、リードアクセス／ライトアクセスを指定するコマンドである。

【００６６】

これら制御信号（ACT,ROW,PRE,COL,またはR/W）は、遅延制御部１０６を介してメモリコアに送られる。遅延制御部１０６には、コマンド実行タイミング調整部３２が設けられている。コマンド実行タイミング調整部３２は、コントローラ１１によって制御レジスタ１０３にセットされた待ち時間をリードし、その待ち時間だけ、制御信号がメモリユニットに出力されるタイミングを遅延させる。制御レジスタ１０３にセットされた待ち時間は、リクエストパケットの再配信に要する時間に対応している。これにより、メモリデバイス２１によって実行されるべきメモリアクセス動作の開始タイミングは、待ち時間だけ遅延される。この結果、受け手側メモリデバイスのメモリアクセス動作の開始タイミングに合わせて、メモリデバイス２１のメモリアクセス動作を開始することが可能となる。

【００６７】

デマルチプレクサ(1:16 DEMUX)１０７、マルチプレクサ(1:16 MUX)１０８、データ転送幅制御部(Dynamic width Demux (WR))１０９、データ転送幅制御部(Dynamic width Mux (RD))１１０はデータ入出力部として機能し、１６ペアのデータピンDQ[15:00]から選択された幾つかのペアを介してコントローラからのライトデータの受信およびコントローラへのリードデータの送信を行うデータ入出力部として機能する。

【００６８】

ライトトランザクションにおいては、DQ[15:00]は、例えば、16×16ビットのライトデータを１６クロックサイクルで受信することができる。なお、ここでのクロックサイクルは、データ転送レート(3.2GHz、4.0GHz、または4.8GHz、将来は6.4GHzも計画されている)に対応したクロックサイクルを意味している。すなわち、データ転送に使用されるデータピンペア毎に、１６クロックサイクル当たり16ビットのライトデータが受信される。デマルチプレクサ(1:16 DEMUX)１０７は、データピンペア毎に16ビットのライトデータを取り込み、16×16ビットのライトデータをデータ転送幅制御部(Dynamic width Demux (WR))１０９に送る。

【００６９】

リードトランザクションにおいては、DQ[15:00]は、例えば、16×16ビットのリードデータを１６クロックサイクルで出力することができる。すなわち、データ転送に使用され

るデータピンペア毎に、１６クロックサイクル当たり16ビットのライトデータを出力する。マルチプレクサ(1:16 MUX)１０８は、データピンペア毎に16ビットのリードデータを出力することができる。

【００７０】

データ転送幅制御部(Dynamic width Demux (WR))１０９およびデータ転送幅制御部(Dynamic width Mux (RD))１１０は、16ペアのDQ[15:00]の中から、コントローラに接続されているデータピンペアを、コントローラとのデータ転送に使用すべきデータピンペアとして選択する。すなわち、データ転送幅制御部(Dynamic width Demux (WR))１０９およびデータ転送幅制御部(Dynamic width Mux (RD))１１０は、コントローラとのデータ転送に使用すべきデータピンの数（データピンペアの数）を変更することにより、データ転送幅を×16モード,×8モード,×4モード,×2モード,または×1モードに設定する。データ転送に使用すべきデータピンペアの数は、コントロールレジスタ１０３に設定された幅情報(Width)によって制御される。

【００７１】

また、データ転送幅制御部(Dynamic width Mux (RD))１１０は、上述の再配信機能を実現するために、コントロールレジスタ１０３に設定されたデータペア指定信号によって指定される各データピンペアを、リクエストパケットの再配信に使用するデータピンペアとして選択する機能も有している。

【００７２】

位相調整部３３は、メモリデバイス２１のデータピンと受け手側の各メモリデバイスのデータピンとの間のスキューを調整する位相調整処理を実行する。

【００７３】

（RQ受け手側メモリデバイスの構成例）

図７には、RQ受け手側であるメモリデバイス２２の具体的な構成例が示されている。

【００７４】

メモリデバイス２２は、データ転送をそれぞれ実行可能な１６ペアのデータピンDQ[15:00]、リクエストパケットを受信するための１２個のRQ信号ピンRQ[11:00]、リセット入力ピンRST、シリアルクロック入力ピンSCK、コマンド入力ピンCMD、シリアルデータ入力ピンSDI、シリアルデータ出力ピンSDO等を有している。

【００７５】

複数のバンクアレイ２０１および複数のセンスアンプアレイ２０２は、メモリコアとして機能する。受け手側のメモリデバイスにおいては、デマルチプレクサ(1:2 DEMUX)２０４は使用されない。その代わり、再配信された24ビットのリクエストパケット（アドレスまたはコマンド）がデコーダ２０５に送られる。再配信された24ビットのリクエストパケット、またはデマルチプレクサ(1:2 DEMUX)２０４の出力のどちらを、デコーダ２０５へ供給するかについては、制御レジスタ２０３に設定された制御データによって制御することができる。

【００７６】

デコーダ２０５は、再配信された24ビットのリクエストパケット（アドレスまたはコマンド）を受信する度に、そのリクエストパケット（アドレスまたはコマンド）をデコードする。そして、デコーダ２０５は、デコード結果に従って、メモリコアをアクセスするための制御信号（ACT,ROW,PRE,COL,またはR/W）をメモリコアに出力する。これら制御信号（ACT,ROW,PRE,COL,またはR/W）は、遅延制御部２０６を介してメモリコアに送られる。遅延制御部２０６は、コマンド実行タイミング調整部５２を備えていても良い。このコマンド実行タイミング調整部５２は、コントローラ１１によって制御レジスタ２０３にセットされた待ち時間をリードし、その待ち時間だけ、制御信号がメモリユニットに出力されるタイミングを遅延させる。

【００７７】

デマルチプレクサ(1:16 DEMUX)２０７、マルチプレクサ(1:16 MUX)２０８、データ転送幅制御部(Dynamic width Demux (WR))２０９、データ転送幅制御部(Dynamic width Mux (

RD))２１０はデータ入出力部として機能し、１６ペアのデータピンDQ[15:00]から選択された幾つかのペアを介してコントローラからのライトデータの受信およびコントローラへのリードデータの送信を行うデータ入出力部として機能する。

【００７８】

データ転送幅制御部(Dynamic width Demux (WR))２０９およびデータ転送幅制御部(Dynamic width Mux (RD))２１０は、16ペアのDQ[15:00]の中から、コントローラに接続されているデータピンペアを、コントローラとのデータ転送に使用すべきデータピンペアとして選択する。すなわち、データ転送幅制御部(Dynamic width Demux (WR))２０９およびデータ転送幅制御部(Dynamic width Mux (RD))２１０は、コントローラとのデータ転送に使用すべきデータピンの数（データピンペアの数）を変更することにより、データ転送幅を×16モード,×8モード,×4モード,×2モード,または×1モードに設定する。データ転送に使用すべきデータピンペアの数は、コントロールレジスタ２０３に設定された幅情報(Width)によって制御される。

【００７９】

また、データ転送幅制御部(Dynamic width Demux (WR))２０９は、上述の再配信機能を実現するために、コントロールレジスタ２０３に設定されたデータペア指定信号によって指定される各データピンペアを、リクエストパケットの受信に使用するデータピンペアとして選択する機能も有している。データ転送幅制御部(Dynamic width Demux (WR))２０９内のRQ受信処理部５１は、データペア指定信号によって指定されるデータピンペアを介して受信された24ビットのリクエストパケットを、デマルチプレクサ(1:2 DEMUX)２０４の出力情報の代わりとして、デコーダ２０５の入力に供給する。

【００８０】

位相調整部５３は、送り手側のメモリデバイスとの間で位相調整を行う。

【００８１】

他の受けて側のメモリデバイス２３，２４の各々も、メモリデバイス２２と同じ構成を有している。

【００８２】

なお、送り手側のメモリデバイスに対応する機能および受けて側のメモリデバイスに対応する機能の双方を各メモリデバイスに設けておいてもよい。この場合、各メモリデバイスが送り手側および受けて側のどちらのメモリとして使用されるかに応じて、各機能の有効／無効を設定すればよい。

【００８３】

（レイテンシー）

本実施形態では、ある一つのメモリデバイスから他の各メモリデバイスにリクエストパケットを再配信しているので、レイテンシーが増える可能性がある。ただし、メモリデバイス側でのリクエストパケット再配信に伴う動作開始タイミングの遅れを見込んで、コントローラ側でリクエストパケットを早だしすることは可能である。いくつかのメモリ操作に関しては、コントローラ側でのリクエストパケット早出しによって、レイテンシー増加の影響を少なくすることが出来る。

【００８４】

（レジスタ設定）

本実施形態のメモリシステムにおいては、コントローラは、個々のメモリデバイスに対して、リクエストパケットをRQ[11:0]から直接受け取るのか、それとも、他のメモリデバイスから再配信によって受け取るのか、をあらかじめ設定する。この設定処理は、例えば、システム初期化処理において行われる。

【００８５】

（階層化）

リクエストパケットを、他のメモリデバイスから再配信で受け取ったメモリデバイスが、さらに、他のメモリデバイスへ再配信する構成も、利用することもできる。この場合、全体での動作開始タイミングを揃えるために、コントローラは、待ち時間もメモリデバイ

ス毎に個別に設定すればよい。

【００８６】

以上のように、本実施形態においては、Dynamic Width Control機能等を用いてメモリ容量の拡張を行う場合において、余って使われないデータピン（差動ペア）を使って、RQパケット情報をメモリデバイス間でシェアするために利用することにより、メモリ個数が多くなってもRQの信号品質を確保し、安定した高速動作を実現することができる。

【００８７】

なお、本実施形態の再配信機能が適用されるメモリデバイスは、複数のデータピン内の幾つかのみをコントローラとのデータ転送に使用でき、且つ残りのデータピンをアドレスやコマンドの再配信のための送信または受信に使用できるように構成されたメモリデバイスであればよい。したがって、本実施形態の再配信機能は、XDR^{TM} DRAMに限定されるものではなく、例えば、×16ビット構成のメモリデバイスであるが、×8ビット構成としても使用可能で、且つ残りの８つのデータピンをコマンドやアドレスの再配信の送信／受信に使用し得る、DDR SDRAM等の他の任意のタイプのメモリデバイスに適用し得る。

【００８８】

また、本実施形態では、各データピンが差動ペアから構成されている場合を例示したが、これに限られるものではない。

【００８９】

また本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【００９０】

【図１】本発明の一実施形態に係るメモリシステムの構成例を示すブロック図。

【図２】DDR SDRAM等のメモリデバイスを使用したメモリシステムにおける、一般的なメモリサイズ拡張方法を説明するためのブロック図。

【図３】XDR^{TM} DRAMのようなメモリデバイスを使用したメモリシステムにおけるメモリメモリサイズ拡張方法を説明するためのブロック図。

【図４】図３の拡張方法を適用した場合にはRQ（リクエストパケット）の信号品質を確保することが困難になる場合があることを説明するためのブロック図。

【図５】同実施形態に係るメモリシステムで用いられるRQ（リクエストパケット）の再配信機能を説明するためのブロック図。

【図６】同実施形態に係るメモリシステムにおいて、RQ送り手側として機能するメモリデバイスの構成例を示すブロック図。

【図７】同実施形態に係るメモリシステムにおいて、RQ受け手側メモリデバイスとして機能するメモリデバイスの構成例を示すブロック図。

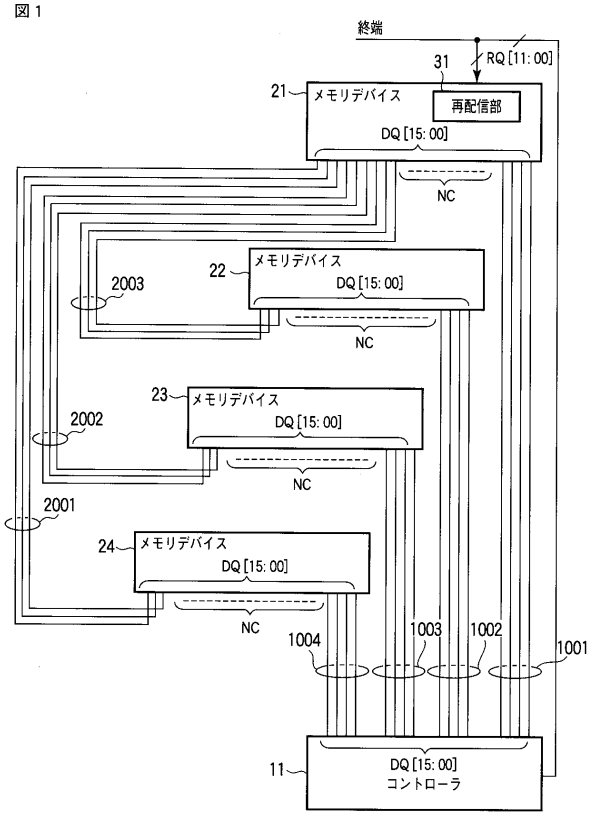
【符号の説明】

【００９１】

１１…コントローラ、２１，２２，２３，２４…メモリデバイス、３１…再配信部、３２，５２…コマンド実行タイミング調整部、３３，５３…位相調整部、１０１，２０１…バンクアレイ、１０２，２０２…センスアンプアレイ、１０３，２０３…コントロールレジスタ、１０４，２０４…デマルチプレクサ(1:2 DEMUX)、１０５，２０５…デコーダ、１０６，２０６…遅延制御部、１０７，２０７…デマルチプレクサ(1:16 DEMUX)、１０８，２０８…マルチプレクサ(1:16 MUX)、１０９，２０９，１１０，２１０…データ転送幅制御部、５１…RQ受信処理部。

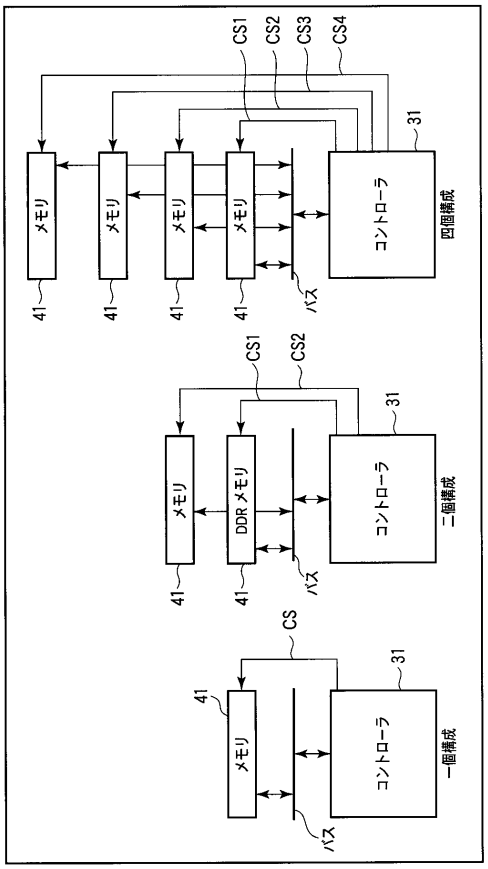
【図１】

図１



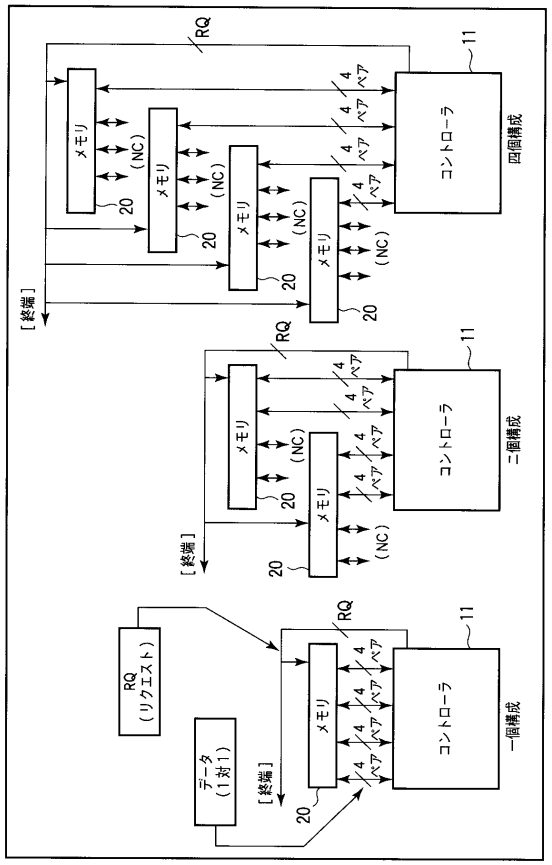
【図２】

図２



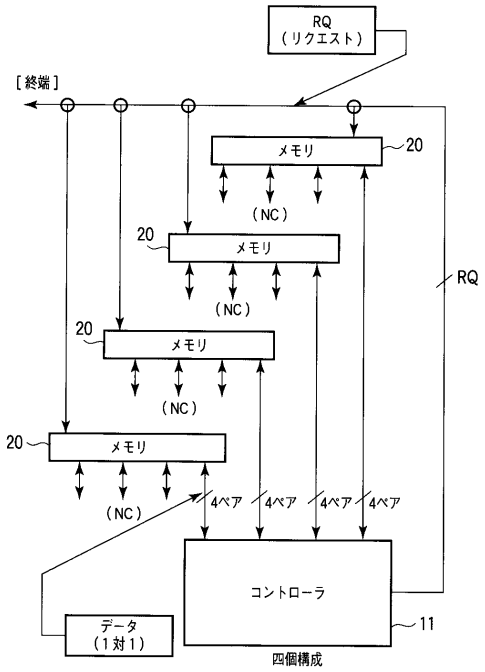
【図３】

図３



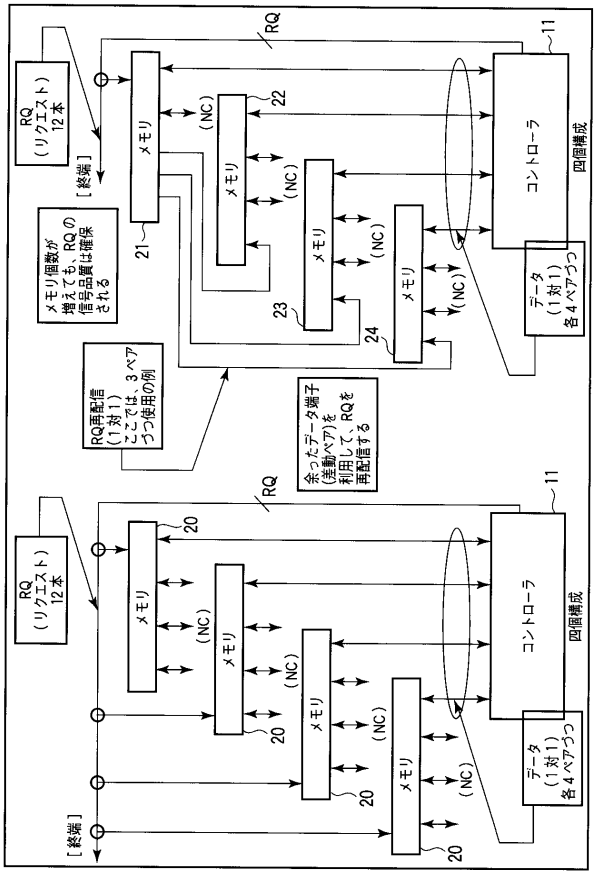
【図４】

図４



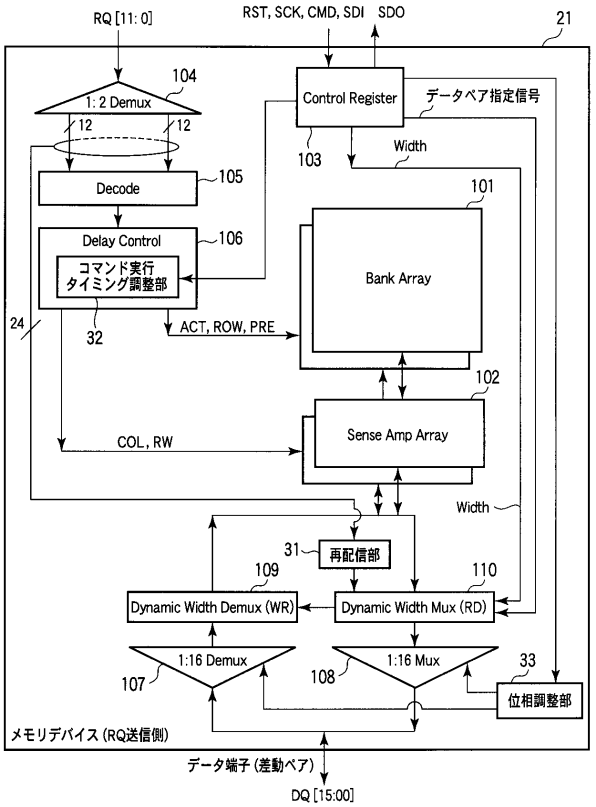
【図５】

図５



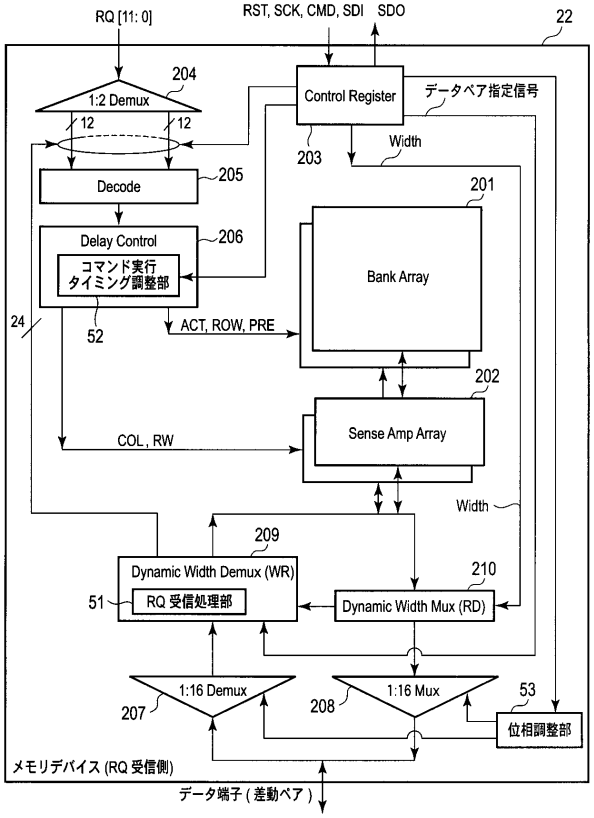
【図６】

図６



【図７】

図７



【手続補正書】
【提出日】平成21年9月3日(2009.9.3)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
複数の第１データピンを有し、前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第１メモリデバイスであって、前記１以上の第１データピンは前記コントローラの１以上のデータピンにポイントツーポイント接続されている第１メモリデバイスと、
複数の第２データピンを有し、前記複数の第２データピン内の１以上の第２データピンを介して、前記コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第２メモリデバイスであって、前記１以上の第２データピンは前記コントローラの別の１以上のデータピンにポイントツーポイント接続されている第２メモリデバイスと、
前記第１メモリデバイスに設けられ、前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信し前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上の第１データピンを介して前記第２メモリデバイスに再配信する再配信手段とを具備することを特徴とするメモリシステム。
【請求項２】
前記残りの１以上の第１データピンは、前記複数の第２データピン内の残りの１以上の第２データピンに接続されていることを特徴とする請求項１記載のメモリシステム。
【請求項３】
複数の第３データピンを有し、前記複数の第３データピン内の１以上の第３データピンを介して、前記コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第３メモリデバイスであって、前記１以上の第３データピンは前記コントローラのさらに別の１以上のデータピンにポイントツーポイント接続されている第３メモリデバイスとをさらに具備し、
前記再配信手段は、
前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の前記残りの１以上の第１データピンを介して前記第２メモリデバイスに再配信すると共に、前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の別の残りの１以上の第１データピンを介して前記第３メモリデバイスに再配信するように構成されており、前記別の残りの１以上の第１データピンは前記複数の第３データピン内の残りの１以上の第３データピンに接続されていることを特徴とする請求項２記載のメモリシステム。
【請求項４】
前記第１メモリデバイスは、前記第１メモリデバイス内のレジスタに予め設定された制御情報に従って、前記複数の第１データピンの中から前記１以上の第１データピンを、前記コントローラとのデータ転送に使用すべきデータピンとして選択する第１データ転送幅制御手段を含むことを特徴とする請求項１記載のメモリシステム。
【請求項５】
前記第２メモリデバイスは、前記第２メモリデバイス内のレジスタに予め設定された制御情報に従って、前記複数の第２データピンの中から前記１以上の第２データピンを、前記コントローラとのデータ転送に使用すべきデータピンとして選択する第２データ転送幅制御手段を含むことを特徴とする請求項４記載のメモリシステム。
【請求項６】

前記第１メモリデバイスに設けられ、前記第２メモリデバイスへの前記アドレスおよびコマンドの再配信に要する時間に対応する所定の待ち時間だけ、前記第１メモリデバイスによって実行されるべきメモリアクセス動作の開始タイミングを遅延させるタイミング調整手段をさらに具備することを特徴とする請求項１記載のメモリシステム。

【請求項７】

メモリコアと、

データ転送をそれぞれ実行可能な複数の第１データピンと、

前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行うデータ入出力手段と、

前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信するための１以上の信号ピンと、

前記１以上の信号ピンを介して受信されたアドレスおよびコマンドをデコードして、前記メモリコアをアクセスするための制御信号を前記メモリコアに出力するデコーダと、

前記受信されたアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上のデータピンを介して他のメモリデバイスに再配信する再配信手段とを具備することを特徴とするメモリデバイス。

【請求項８】

前記他のメモリデバイスは複数の第２データピンを含み、前記複数の第２データピン内の１以上のデータピンは前記コントローラに接続され、前記複数の第２データピン内の残りの１以上のデータピンは、前記再配信手段からのアドレスおよびコマンドを受信するように前記複数の第１データピン内の前記残りの１以上のデータピンに接続されていることを特徴とする請求項７記載のメモリデバイス。

【請求項９】

前記他のメモリデバイスへの前記アドレスおよびコマンドの再配信に要する時間に対応する所定の待ち時間だけ、前記制御信号が前記メモリコアに出力されるタイミングを遅延させるタイミング調整手段をさらに具備することを特徴とする請求項７記載のメモリデバイス。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００９

【補正方法】変更

【補正の内容】

【０００９】

上述の課題を解決するため、本発明のメモリシステムは、複数の第１データピンを有し、前記複数の第１データピン内の１以上の第１データピンを介して、コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第１メモリデバイスであって、前記１以上の第１データピンは前記コントローラの１以上のデータピンにポイントツーポイント接続されている第１メモリデバイスと、複数の第２データピンを有し、前記複数の第２データピン内の１以上の第２データピンを介して、前記コントローラからのライトデータの受信および前記コントローラへのリードデータの送信を行う第２メモリデバイスであって、前記１以上の第２データピンは前記コントローラの別の１以上のデータピンにポイントツーポイント接続されている第２メモリデバイスと、前記第１メモリデバイスに設けられ、前記コントローラから所定の信号線を介して送信されるアドレスおよびコマンドを受信し前記受信したアドレスおよびコマンドを、前記複数の第１データピン内の残りの１以上の第１データピンを介して前記第２メモリデバイスに再配信する再配信手段とを具備することを特徴とする。

フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100100952
弁理士 風間 鉄也
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100070437
弁理士 河井 将次
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 中村 伸隆
東京都港区芝浦一丁目１番１号 株式会社東芝内

Ｆターム(参考) 5B060 MB10