(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 19 日(19.02.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/022744 A1

(51) 国際特許分類:
H01L 21/8238 (2006.01) *H01L 27/092* (2006.01)
H01L 21/336 (2006.01) *H01L 27/11* (2006.01)
H01L 21/8244 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2013/071968

(22) 国際出願日: 2013 年 8 月 15 日(15.08.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラプラザ ＃１６－０４ Singapore (SG).

(72) 発明者; および

(71) 出願人 (米国についてのみ): 舛岡 富士雄(MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京都千代田区九段北１－１５－２ 九段坂パークビル４Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目７番地 協販ビル２階 Tokyo (JP).

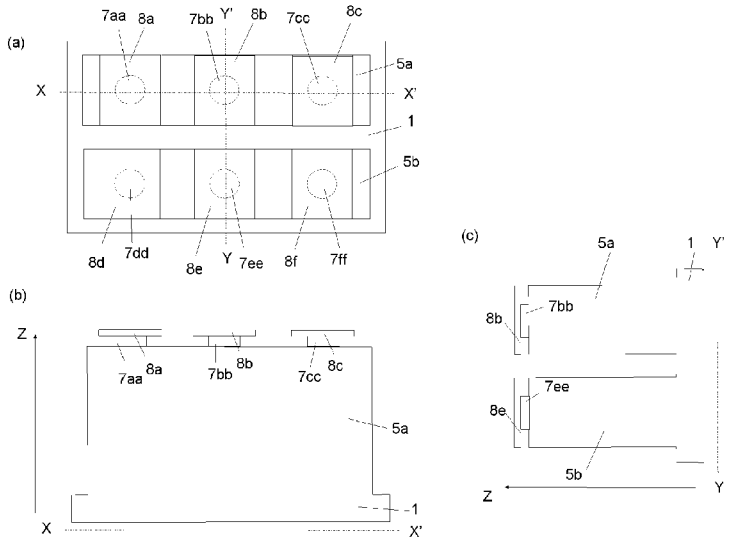
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE HAVING SGT

(54) 発明の名称 : ＳＧＴを有する半導体装置の製造方法



(57) **Abstract**: In the present invention, SiO_2 layers (7aa, 7bb, 7cc, 7dd, 7ee, 7ff) having a circular shape in a planar view are formed by means of isotropic etching using, as masks, SiN layers (8a, 8b, 8c, 8d, 8e, 8f), which are formed on i-layers (5a, 5b) on an i-layer substrate (1), said i-layers having an island-like structure, and which have a rectangular shape identical to that of the i-layers (5a, 5b) in a planar view. Then, the SiN layers (8a, 8b, 8c, 8d, 8e, 8f) are removed, and Si columns (P1-P6) are formed by etching the i-layers (5a, 5b) using the SiO_2 layers (7aa, 7bb, 7cc, 7dd, 7ee, 7ff) as masks, then, SGTs (surrounding gate MOS transistors) are formed on the Si columns (P1-P6).

(57) 要約:

[続葉有]

WO 2015/022744 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

ｉ層基板（１）上の島状構造を有するｉ層（５ａ、５ｂ）上に形成した、ｉ層（５ａ、５ｂ）と平面視で同一の矩形状とされたＳｉＮ層（８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆ）をマスクとして用い、等方エッチングにより、平面視円形状のＳｉＯ$_2$層（７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆ）を形成する。次に、ＳｉＮ層（８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆ）を除去し、ＳｉＯ$_2$層（７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆ）をマスクとして用い、ｉ層（５ａ、５ｂ）をエッチングすることでＳｉ柱（Ｐ１～Ｐ６）を形成した後、Ｓｉ柱（Ｐ１～Ｐ６）にＳＧＴ（Surrounding Gate MOS Transistor）を形成する。

明　細　書

発明の名称 ： ＳＧＴを有する半導体装置の製造方法

技術分野

[0001] 本発明はＳＧＴ（Surrounding Gate MOS Transistor）を有する半導体装置の製造方法に関する。

背景技術

[0002] 近年、ＳＧＴは、高集積な半導体装置を提供する半導体素子としてますますその用途が拡大しつつある。これに伴い、ＳＧＴを有する半導体装置の更なる高密度化が求められている。

[0003] プレナー型ＭＯＳトランジスタでは、Ｐ、ＮチャネルＭＯＳトランジスタのチャネルはソース、ドレイン間の表面方向に存在する。これに対して、ＳＧＴのチャネルは半導体基板表面に対して垂直方向にある（例えば、特許文献１、非特許文献１を参照）。このため、ＳＧＴはプレナー型ＭＯＳトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図７に、ＮチャネルＳＧＴの構造模式図を示す。Ｐ型導電性又はｉ型（真性型）導電性を有するＳｉ柱Ｐａ（以下、シリコン半導体柱を「Ｓｉ柱」という。）の上下の位置に、一方がソースとなる場合に、他方がドレインとなり、一方がドレインとなる場合に、他方がソースとなるN^+領域１００ａ、１００ｂ（ドナー不純物を高濃度で含む領域を、以降、「N^+領域」と呼ぶ。）が形成されている。このソース、ドレインとなるN^+領域１００ａ、１００ｂ間のＳｉ柱Ｐａがチャネル領域１０１となる。このチャネル領域１０１を囲むようにゲート絶縁層１０２が形成され、ゲート絶縁層１０２を囲むようにゲート導体層１０３が形成されている。ＳＧＴではソース、ドレインとなるN^+領域１００ａ、１００ｂ、チャネル領域１０１、ゲート絶縁層１０２、ゲート導体層１０３が、単一のＳｉ柱Ｐａに形成される。ここで、Ｓｉ柱Ｐａの水平断面形状は円形であることが望ましい。これによって、ＳＧＴの表面占有面積は、見かけ上、プレナーＭＯＳトランジスタの単一のソース又はド

レインＮ$^+$領域面積に相当したものになる。そのため、ＳＧＴを有する回路チップは、プレナー型ＭＯＳトランジスタを有する回路チップと比較して、チップサイズの更なる縮小化が可能になり、この結果、半導体装置の高密度化が実現される。

[0005] 図８に、ＳＧＴを用いたＣＭＯＳインバータ回路の断面図を示す（例えば、特許文献２を参照）。

絶縁層基板１０５上にｉ層１０６（「ｉ層」は真性型Ｓｉ層を示す。以下、「ｉ層」と呼ぶ。）が形成され、ｉ層１０６上にＰチャネルＳＧＴ用Ｓｉ柱Ｐｂ１、Ｐｂ２とＮチャネルＳＧＴ用Ｓｉ柱Ｐｂ３とが形成される（ここでは、並列に接続された２個のＰチャネルＳＧＴが負荷トランジスタとなり、１個のＮチャネルＳＧＴが駆動用トランジスタとなって、インバータ回路が形成される）。ｉ層１０６はＣＭＯＳインバータ回路が形成される領域を定める領域であり、隣接して形成した他の回路と絶縁基板１０５とによって分離されている。

ＰチャネルＳＧＴ用Ｓｉ柱Ｐｂ１、Ｐｂ２の下部に繋がるｉ層１０６と同層に、ＰチャネルＳＧＴのドレインＰ$^+$領域１０９ａ（アクセプタ不純物を高濃度で含む領域を、以降「Ｐ$^+$領域」と呼ぶ。）がＳｉ柱Ｐｂ３の下部を囲むように形成されている。また、ｉ層１０６と同層に、ＮチャネルＳＧＴのドレインＮ$^+$領域１１０ａが、Ｓｉ柱Ｐｂ３の下部を囲むように形成されている。

さらに、ＰチャネルＳＧＴ用Ｓｉ柱Ｐｂ１、Ｐｂ２の頭頂部にＰチャネルＳＧＴのソースＰ$^+$領域１０９ｂａ、１０９ｂｂが形成され、ＮチャネルＳＧＴ用Ｓｉ柱Ｐｂ３の頭頂部にＮチャネルＳＧＴのソースＮ$^+$領域１１０ｂが形成されている。

[0006] そして、図８に示すように、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３を囲むようにゲート絶縁層１０７ａ、１０７ｂ、１０７ｃが形成され、ゲート絶縁層１０７ａ、１０７ｂ、１０７ｃを囲むように、ＰチャネルＳＧＴのゲート導体層１０８ａとＮチャネルＳＧＴのゲート導体層１０８ｂとが形成されている。

また、ゲート導体層１０８ａ、１０８ｂと、Ｓｉ柱Ｐｂ１，Ｐｂ２、Ｐｂ３の頭頂部のＰ$^+$領域１０９ｂａ、１０９ｂｂ、Ｎ$^+$領域１１０ｂを囲むように、絶縁層（サイドウオール窒化膜）１１１ａ、１１１ｂが形成されている。そして、ＰチャネルＳＧＴのドレインＰ$^+$領域１０９ａは、シリサイド層１１３を介して、ＮチャネルＳＧＴのドレインＮ$^+$領域１１０ａと接続されている。

[0007] このようなＳＧＴを有するＣＭＯＳインバータ回路は、例えば、以下のようにして形成される。即ち、図８に示すように、ＣＶＤ（Chemical Vapor deposition）法を用いて、絶縁層基板１０５、ｉ層１０６、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３を覆うようにSiO_2層１１２を形成する。また、SiO_2層１１２において、コンタクトホール１１４ａ、１１４ｂ、１１４ｃ、１１４ｄ、１１４ｅ、１１４ｆを、ゲート導体層１０８ａ、１０８ｂ上、Ｐ$^+$領域１０９ｂａ、１０９ｂｂ上、Ｎ$^+$領域１１０ｂ上、シリサイド層１１３上に形成する。

ここで、図８に示すように、コンタクトホール１１４ｂ、１１４ｃを介して、SiO_2層１１２上に形成した電源配線金属層ＶｃｃがＰチャネルＳＧＴのソースＰ$^+$領域１０９ｂａ、１０９ｂｂに接続されている。また、コンタクトホール１１４ｄ及びシリサイド層１１３を介して、SiO_2層１１２上に形成された出力配線金属層ＶｏｕｔがＰチャネルＳＧＴのドレインＰ$^+$領域１０９ａ、ＮチャネルＳＧＴのドレインＮ$^+$領域１１０ａにそれぞれ接続されている。また、コンタクトホール１１４ａ、１１４ｆを介して、SiO_2層１１２上に形成した入力配線金属層Ｖｉｎ１、Ｖｉｎ２がＮチャネル、ＰチャネルＳＧＴのゲート導体層１０８ａ、１０８ｂに接続されている。また、コンタクトホール１１４ｅを介して、SiO_2層１１２上に形成したグランド配線金属層ＶｓｓがＮチャネルＳＧＴのソースＮ$^+$領域１１０ｂに接続されている。

このＳＧＴを有するＣＭＯＳインバータ回路では、ＰチャネルＳＧＴとＮチャネルＳＧＴとが、それぞれＳｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３内に形成されるため、垂直方向からみた場合の回路面積が縮小され、従来例のプレナー型

ＭＯＳトランジスタを有するインバータ回路と比較してさらに回路の縮小化が可能となる。

[0008] 以上のように、ＳＧＴを有するＣＭＯＳインバータ回路では、ｉ層１０６上にＳｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３が形成される。このＳｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３は、平面視でｉ層１０６の外周からはみ出ることなく、高い位置精度で形成されることが必要となる。

[0009] 以下、図９Ａ～図９Ｃを用いて、ｉ層１０６上に、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３を形成する方法について説明する。これら各図において、（ａ）は平面図を示し、（ｂ）は、（ａ）のＸ－Ｘ’線方向の断面図を示す。

[0010] 図９Ａに示すように、絶縁基板１０５（図１１における絶縁基板１０５に対応している。）上にｉ層１１６を形成する。さらに、ｉ層１１６上に熱酸化法により、SiO_2層１１７を形成する。

[0011] 次に、図９Ｂに示すように、リソグラフィ法と、SiO_2膜エッチング法とを用い、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３の頭頂部に対応するように、SiO_2層１１７から平面視円形状SiO_2層１１８ａ、１１８ｂ、１１８ｃを形成する。そして、これら平面視円形状SiO_2層１１８ａ、１１８ｂ、１１８ｃをマスクとして用い、ｉ層１１６をエッチングすることでＳｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３（図８のＳｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３に対応する。）を形成する。このエッチングでは、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３と絶縁基板１０５との間に、ｉ層１１６ａを残存させる。

[0012] 次に、図９Ｃに示すように、マスク合わせを伴うリソグラフィ法と、Ｓｉエッチング法と、により、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３の位置に合わせて、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３の外側に位置するｉ層１１６ａをエッチングすることで、ｉ層１０６（図８のｉ層１０６に対応する。）を形成する。このようにして、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３が、ｉ層１０６上に形成される。

[0013] 以上のように、従来の製造方法では、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３が形成された後に、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３にマスク合わせをリソグラフ

ィ法を用いてＣＭＯＳ回路領域を定めるｉ層１０６を形成する。ここで、Ｓｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３は、平面視でｉ層１０６の外周からはみ出ることなく、高い位置精度で形成されることが必要である。この位置精度が高いほど、ＳＧＴを有するＣＭＯＳインバータ回路の縮小化が進行する。

先行技術文献

特許文献

[0014] 特許文献1：特開平２－１８８９６６号公報

特許文献2：米国特許出願公開第２０１２／０２７０３７４号明細書

非特許文献

[0015] 特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol. 38, No. 3, pp. 573-578 (1991)

発明の概要

発明が解決しようとする課題

[0016] ＳＧＴを有するＣＭＯＳインバータ回路の高集積化を実現するには、ＳＧＴを形成する水平断面が平面視円形状の半導体柱（図１１のＳｉ柱Ｐｂ１、Ｐｂ２、Ｐｂ３に対応する。）が、回路形成領域（図１１のｉ層１０６に対応する。）に、高い位置精度で形成されることが必要である。

課題を解決するための手段

[0017] 本発明の第１の観点に係る半導体装置の製造方法は、

半導体基板上に第１の材料層を形成し、前記第１の材料層上に第２の材料層を形成する第１・第２材料層形成工程と、

平面視矩形状のマスクを用い、前記第１の材料層、前記第２の材料層をエッチングすることで、平面視で同一の矩形状とされ、かつ互いに重なる、第３の材料層、第４の材料層を形成する第３・第４材料層形成工程と、

縦方向若しくは横方向に延びる平面視矩形状、又は平面視正方形状のマスクを用い、前記半導体基板、前記第３の材料層、及び前記第４の材料層をエ

ッチングすることで、平面視で同一の矩形状とされ、かつ互いに重なる前記第３の材料層及び前記第４の材料層と、縦方向及び横方向の少なくとも一方向に延びる一端辺が、前記第３の材料層及び前記第４の材料層の縦方向及び横方向の少なくとも一方向に延びる一端辺と一致する第１の島状半導体層と、を形成する第１島状半導体層形成工程と、

前記第４の材料層をマスクとして用い、等方エッチングによって、前記第３の材料層を、前記第４の材料層の外周から内側にエッチングすることで、平面視円形状の第５の材料層を形成する第５材料層形成工程と、

前記第４の材料層を除去する材料層除去工程と、

前記第５の材料層をマスクとして用い、前記第１の島状半導体層をエッチングすることで、前記第１島状半導体層から、平面視円形状の第１の半導体柱と、前記第１の半導体柱の下方に位置する第２島状半導体層と、を形成する第１半導体柱形成工程と、

前記第１の半導体柱の外周に第１のゲート絶縁層を形成する第１ゲート絶縁層形成工程と、

前記第１のゲート絶縁層の外周に、第１のゲート導体層を形成する第１ゲート導体層形成工程と、

前記第１の半導体柱の下方に位置する半導体基板内に、ドナーまたはアクセプタ不純物を含む、第１の不純物領域を形成するとともに、前記第１の半導体柱の内部であって、かつ前記第１の不純物領域から上方に離れた位置に、前記第１の不純物領域と同じ導電性を有する第２の不純物領域を形成する第１・第２不純物領域形成工程と、

を有し、

前記第１の不純物領域及び前記第２の不純物領域の一方がソースとなる場合に、他方がドレインとなり、前記第１の不純物領域と前記第２の不純物領域の間に位置する前記第１の半導体柱を第１のチャネルとし、前記第１のチャネルを囲む、前記第１の半導体柱の外周に前記第１のゲート絶縁層が形成され、前記第１のゲート絶縁層の外周に前記第１のゲート導体層が形成され

ている第１のＳＧＴ（Surrounding Gate MOS Transistor）が形成される、

ことを特徴とする。

[0018] 前記第１島状半導体層形成工程の後、前記第１半導体柱形成工程の前に、前記第１の島状半導体層の外周に位置する前記半導体基板の表面に、イオン注入によって、ドナーまたはアクセプタ不純物を含む第３の不純物領域を形成する、第３不純物領域形成工程を行う、

ことが望ましい。

[0019] 前記第１島状半導体層形成工程の後、前記第１半導体柱形成工程の前に、前記第１の島状半導体層と、前記第１の島状半導体層の外周に位置する前記半導体基板と、を覆うように、酸化速度の小さい第６の材料層を形成する第６材料層形成工程と、

前記第１の島状半導体層の下方側面に、前記第６の材料層を残存させる第６材料層残存工程と、

前記第６の材料層で覆われていない前記第１の島状半導体層の側面に酸化層を形成する酸化層形成工程と、を備え、

前記第３不純物領域形成工程は、前記酸化層形成工程の後に行う、

ことが望ましい。

[0020] 前記第１の半導体柱は、前記第３不純物領域形成工程の後、前記第１の島状半導体層の内側に熱拡散された前記第３の不純物領域の内周縁の内側に形成される、

ことが望ましい。

[0021] 互いに重なる前記第３の材料層及び前記第４の材料層の形状が、平面視正方形状である、

ことが望ましい。

[0022] 前記第１の半導体柱を囲む前記第１のゲート導体層の外周が、前記第２の島状半導体層の上方に位置している、

ことが望ましい。

[0023] 前記第１の島状半導体層は、前記第３の材料層及び前記第４の材料層の、

縦方向及び横方向の一端辺がいずれも一致するように形成する、

ことが望ましい。

[0024] 本発明の第２の観点に係る半導体装置の製造方法は、

半導体基板上に第１の材料層を形成し、前記第１の材料層上に第２の材料層を形成する第１・第２材料層形成工程と、

前記第２の材料層上に第６の材料層を形成する第６材料層形成工程と、

平面視正方形状のマスクを用い、前記第１の材料層、前記第２の材料層、前記第６の材料層をエッチングすることで、平面視で同一の正方形状とされ、かつ互いに重なる、第３の材料層、第４の材料層、第７の材料層を形成する第３・第４・第７材料層形成工程と、

前記第３の材料層、前記第４の材料層、及び前記第７の材料層をマスクとして用い、前記半導体基板をエッチングすることで、縦方向及び横方向の一端辺のいずれもが、前記第３の材料層、前記第４の材料層、及び前記第７の材料層の縦方向及び横方向の一端辺と一致する第３の島状半導体層を形成する第３島状半導体層形成工程と、

前記第７の材料層をマスクとして用い、等方エッチングによって、前記第３の材料層と前記第４の材料層とを、前記第７の材料層の外周から内側にエッチングすることで、平面視円形状の第８の材料層及び平面視円形状の第９の材料層を形成する第８・第９材料層形成工程と、

前記第７の材料層を除去する第７材料層除去工程と、

前記第８の材料層及び前記第９の材料層をマスクとして用い、前記第３の島状半導体層をエッチングすることで、前記第３島状半導体層から、第２の半導体柱を形成する第２半導体柱形成工程と、

前記第９の材料層をマスクとして用い、等方エッチングによって、前記第８の材料層を、前記第９の材料層の外周から内側にエッチングすることで、前記第８の材料層から第１０の材料層を形成する、第１０材料層形成工程と、

前記第９の材料層を除去する第９材料層除去工程と、

前記第１０の材料層をマスクとして用い、前記第２の半導体柱をエッチングすることで、平面視円形状の第３の半導体柱及び平面視円形状の第４の半導体柱を形成する第３・第４半導体柱形成工程と、

前記第４の半導体柱の底部に、ドナー又はアクセプタ不純物を含む第４の不純物領域と、前記第４の半導体柱の内部であって、かつ前記第４の不純物領域から上方に離れた位置に、前記第４の不純物領域と同じ導電性を有する第５の不純物領域を形成する第４・第５不純物領域形成工程と、

前記第３の半導体柱の底部に、ドナーまたはアクセプタ不純物を含む、第６の不純物領域と、前記第３の半導体柱の内部であって、かつ前記第６の不純物領域から上方に離れた位置に、前記第６の不純物領域と同じ導電性を有する第７の不純物領域を形成する第６・第７不純物領域形成工程と、

前記第４の不純物領域と前記第５の不純物領域との間であって、前記第４の半導体柱の外周に第２のゲート絶縁層を形成する第２ゲート絶縁層形成工程と、

前記第２のゲート絶縁層の外周に第２のゲート導体層を形成する第２ゲート導体層形成工程と、

前記第６の不純物領域と前記第７の不純物領域との間であって、前記第３の半導体柱の外周に第３のゲート絶縁層を形成する第３ゲート絶縁層形成工程と、

前記第３のゲート絶縁層の外周に第３のゲート導体層を形成する第３ゲート導体層形成工程と、

を有し、

前記第４の不純物領域及び前記第５の不純物領域の一方がソースとなる場合に、他方がドレインとなり、前記第４の不純物領域と前記第５の不純物領域の間に位置する前記第４の半導体柱を第２のチャネルとし、前記第２のチャネルを囲む、前記第４の半導体柱の外周に前記第２のゲート絶縁層が形成され、前記第２のゲート絶縁層の外周に前記第２ゲート導体層が形成されている第２のＳＧＴが形成され、

前記第６の不純物領域及び前記第７の不純物領域の一方がソースとなる場合に、他方がドレインとなり、前記第６の不純物領域と前記第７の不純物領域の間に位置する前記第３の半導体柱を第３のチャネルとし、前記第３のチャネルを囲む、前記第３の半導体柱の外周に前記第３のゲート絶縁層が形成され、前記第３のゲート絶縁層の外周に前記第３ゲート導体層が形成されている第３のＳＧＴを形成する、

ことを特徴とする。

発明の効果

[0025] 本発明によれば、回路形成領域に、ＳＧＴを構成する半導体柱が高い位置精度で形成され、これによりＳＧＴを有するＣＭＯＳインバータ回路の高密度化を図ることができる。

図面の簡単な説明

[0026] [図1A]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路図である。

[図1B]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路のＳｉ柱配置図である。

[図2A]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2B]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2C]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2D]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2E]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2F]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2G]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2H]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2I]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2J]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2K]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2L]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図2M]第１実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図3A]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図3B]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳインバータ回路の平面図と断面図である。

[図3C]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳインバータ回路の平面図と断面図である。

[図3D]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳインバータ回路の平面図と断面図である。

[図3E]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳインバータ回路の平面図と断面図である。

[図3F]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図3G]第２実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図4A]第３実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図4B]第３実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図4C]第３実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図4D]第３実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図4E]第３実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型ＳＲＡＭセル回路の平面図と断面図である。

[図5A]第４実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＳＧＴの平面図と断面図である。

[図5B]第４実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＳＧＴの平面図と断面図である。

[図5C]第４実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＳＧＴの平面図と断面図である。

[図5D]第４実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＳＧＴの平面図と断面図である。

[図5E]第４実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＳＧＴの平面図と断面図である。

[図6A]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図6B]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図6C]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図6D]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図6E]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図6F]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図6G]第５実施形態に係る、ＳＧＴを有する半導体装置の製造方法を説明するためのＣＭＯＳ型インバータ回路の平面図と断面図である。

[図7]従来例の、ＳＧＴを示す模式構造図である。

[図8]従来例の、ＳＧＴを有するＣＭＯＳインバータ回路のＳｉ柱配置図である。

[図9A]従来例の、ＳＧＴを有するＣＭＯＳインバータ回路の製造方法を説明するための平面図と断面図である。

[図9B]従来例の、ＳＧＴを有するＣＭＯＳインバータ回路の製造方法を説明するための平面図と断面図である。

[図9C]従来例の、ＳＧＴを有するＣＭＯＳインバータ回路の製造方法を説明するための平面図と断面図である。

発明を実施するための形態

[0027] 以下、本発明の実施形態に係る、ＳＧＴを有する半導体装置の製造方法について、図面を参照しながら説明する。

[0028] （第１実施形態）

以下、図１Ａ、図１Ｂ、図２Ａ～図２Ｍを参照しながら、本発明の第１実施形態に係る、ＳＧＴを有するＣＭＯＳ型ＳＲＡＭ(Static Random Access Memory)セル回路の製造方法について説明する。

[0029] 図１Ａに、本実施形態のＳＲＡＭセル回路図を示す。本ＳＲＡＭセルは２個のインバータ回路を含んでいる。一方のインバータ回路は、負荷トランジスタとしてのＰチャネルＳＧＴ＿Ｐｃ１と、駆動トランジスタとしてのＮチャネルＳＧＴ＿Ｎｃ１から構成されている。他方のインバータ回路は、負荷トランジスタとしてのＰチャネルＳＧＴ＿Ｐｃ２と、駆動トランジスタとしてのＮチャネルＳＧＴ＿Ｎｃ２と、から構成されている。ＰチャネルＳＧＴ＿Ｐｃ１

とＮチャネルＳＧＴ_Ｎｃ１のそれぞれのゲートが接続されることで、ＰチャネルＳＧＴ_Ｐｃ２のドレインがＮチャネルＳＧＴ_Ｎｃ２のドレインに接続されている。これと同様に、ＰチャネルＳＧＴ_Ｐｃ２とＮチャネルＳＧＴ_Ｎｃ２のそれぞれのゲートが接続されることで、ＰチャネルＳＧＴ_Ｐｃ１のドレインがＮチャネルＳＧＴ_Ｎｃ１のドレインに接続されている。

[0030] 図１Ａに示すように、ＰチャネルＳＧＴ_Ｐｃ１、Ｐｃ２のソースは、電源端子Ｖｄｄに接続されている。そして、ＮチャネルＳＧＴ_Ｎｃ１、Ｎｃ２のソースは、グランド端子Ｖｓｓに接続されている。選択ＮチャネルＳＧＴ_ＳＮ１、ＳＮ２のゲートは、ワード線端子ＷＬｔに接続されている。選択ＮチャネルＳＧＴ_ＳＮ１のソース、ドレインは、ＮチャネルＳＧＴ_Ｎｃ１、ＰチャネルＳＧＴ_Ｐｃ１のドレインと反転ビット線端子ＢＬＢｔとに接続されている。選択ＮチャネルＳＧＴ_ＳＮ２のソース、ドレインはＮチャネルＳＧＴ_Ｎｃ２、ＰチャネルＳＧＴ_Ｐｃ２のドレインとビット線端子ＢＬｔとに接続されている。このように、本実施形態のＳＲＡＭセルを有する回路（以下、「ＳＲＡＭセル回路」という。）は、２個のＰチャネルＳＧＴ_Ｐｃ１、Ｐｃ２と、４個のＮチャネルＳＧＴ_Ｎｃ１、Ｎｃ２、ＳＮ１、ＳＮ２とからなる合計６個のＳＧＴから構成されている。そして、このＳＲＡＭセル回路は、ＰチャネルＳＧＴ_Ｐｃ１、ＮチャネルＳＧＴ_Ｎｃ１、ＳＮ１よりなる回路領域Ｃ１と、ＰチャネルＳＧＴ_Ｐｃ２、ＮチャネルＳＧＴ_Ｎｃ２、ＳＮ２よりなる回路領域Ｃ２と、に区分される。

[0031] 図１Ｂに、図１Ａに示すＳＲＡＭセル回路を半導体基板上に形成する場合の各素子の配置図を示す。即ち、Ｓｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６において、Ｓｉ柱Ｐ１にＮチャネルＳＧＴ_Ｎｃ１、Ｓｉ柱Ｐ２にＰチャネルＳＧＴ_Ｐｃ２、Ｓｉ柱Ｐ３にＮチャネルＳＧＴ_ＳＮ２、Ｓｉ柱Ｐ４にＮチャネルＳＧＴ_ＳＮ１、Ｓｉ柱Ｐ５にＰチャネルＳＧＴ_Ｐｃ１、Ｓｉ柱Ｐ６にＮチャネルＳＧＴ_Ｎｃ１がそれぞれ形成されている。ここで、回路形成領域ＩＡ１は、図１Ａの回路領域Ｃ１に対応し、回路形成領域ＩＡ２は、回路領域Ｃ２に対応している。

[0032] 以下、図２Ａ～図２Ｍを参照しながら、図１Ａ、図１Ｂに示すＳＧＴを有するＣＭＯＳ型ＳＲＡＭセル回路の製造方法について説明する。図２Ａ～図２Ｍにおいて、（ａ）は平面図であり、（ｂ）は（ａ）のＸ－Ｘ‘線（図１ＢのＸ－Ｘ’線に対応する。）方向の断面図であり、（ｃ）は（ａ）のＹ－Ｙ‘線（図１ＢのＹ－Ｙ’線に対応している）方向の断面図である。（ａ）、（ｂ）、（ｃ）の関係は、以降の各図においても同様である。

[0033] まず、図２Ａに示すように、熱酸化法によってｉ層基板１上にＳｉＯ$_2$層２を形成し、ＳｉＯ$_2$層２上に窒化シリコン（ＳｉＮ）層３を形成する。

[0034] 次に、図２Ｂに示すように、リソグラフィ法によって、図１Ｂにおける回路形成領域ＩＡ１、ＩＡ２に対応する、平面視矩形状のレジスト層４ａ、４ｂを形成する。その後、レジスト層４ａ、４ｂをマスクとして用い、ＳｉＯ$_2$層２、ＳｉＮ層３をエッチングすることで、ｉ層基板１上に、平面視で同一の矩形状とされ、かつ互いに重なるＳｉＯ$_2$層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂを形成する。

[0035] 次に、図２Ｃに示すように、レジスト層４ａ、４ｂ、ＳｉＯ$_2$層２、ＳｉＮ層３をマスクとして用い、ＲＩＥ（Reactive Ion Etching）法によって、ｉ層基板１をエッチングすることで、平面視矩形状のｉ層５ａ、５ｂを形成する。ここで、ｉ層５ａ、５ｂは、島状構造を有している。

[0036] 次に、図２Ｄに示すように、リソグラフィ法によって、ｉ層５ａ、５ｂに直交する方向（（ａ）のＹ－Ｙ‘線方向）に延びる平面視矩形状のレジスト層６ａ、６ｂ、６ｃを形成する。続いて、レジスト層６ａ、６ｂ、６ｃをマスクとして用い、ＳｉＮ層３ａ、３ｂ、ＳｉＯ$_2$層２ａ、２ｂをエッチングすることで、ｉ層５ａ、５ｂ上に、ＳｉＯ$_2$層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆ、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆを形成する。ここでは、図２Ｄ（ｂ）、（ｃ）に示すように、ｉ層５ａ、５ｂ、ＳｉＯ$_2$層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆ、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆの、Ｙ－Ｙ’線方向の一端辺のみが一致するようになる。その後、レジスト層６ａ、６ｂ、６ｃを除去する。ここで、レジスト層６ａ、６ｂ、６ｃの

Ｘ－Ｘ’線方向の幅をＬａと、ｉ層５ａ、５ｂのＹ－Ｙ’線方向の幅Ｌｂとは互いに等しいことが望ましい。これにより、Ｓｉ柱Ｐ１～Ｐ６の水平方向の断面を平面視円形状にすることができる。

[0037] 次に、図２Ｅに示すように、等方性プラズマエッチング法によって、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆをマスクとして用い、SiO_2層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆをエッチングすることで、SiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆを形成する。SiO_2層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆは、平面視矩形状のＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆの外周から内側にエッチングされる。これにより、SiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆは平面視円形状になる。その後、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆを除去する。

[0038] 次に、図２Ｆに示すように、ＲＩＥ（Reactive Ion Etching）法によって、SiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆをマスクとして用い、Ｓｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４，Ｐ５、Ｐ６を形成する。これにより、ｉ層基板１上に、ＳＧＴが形成される領域に相当する、平面視矩形状のｉ層５ａａ、５ｂｂを形成する。

[0039] 次に、図２Ｇに示すように、ＣＶＤ（Chemical Vapor Deposition）法によって、ｉ層基板１、ｉ層５ａａ、５ｂｂ、Ｓｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６を覆うように、ＳｉＮ層９を形成する。続いて、ＣＶＤ法によって、全体に亘ってSiO_2層１０を堆積する。その後、SiO_2層１０の表面をＣＭＰ（Chemical Mechanical Polishing）法によって平坦化する。

[0040] 次に、図２Ｈに示すように、エッチバック（Etch Back）法によって、SiO_2層１０を均一にエッチングすることで、ｉ層５ａａ、５ｂｂの外側に位置するｉ層基板１上にSiO_2層１０の一部であるSiO_2層１０ａを残存させる。

[0041] 次に、図２Ｉに示すように、SiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆ上及びＳｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６の側面に露出しているＳｉＮ層９をエッチングする。このとき、SiO_2層１０ａはそ

のまま残存する。また、ｉ層基板１とｉ層５ａａ、５ｂｂの側面にはＳｉＮ層９ａが残存する。その後、ＡＬＤ（Atomic Layer Deposition）法によって、全体に亘ってSiO_2層９ｂを薄く堆積する。続いて、リソグラフィ法によって、Ｓｉ柱Ｐ２、Ｐ５を覆うように、かつＹ－Ｙ‘線方向に延びる平面視矩形状のレジスト層１１を形成する。続いて、レジスト層１１と、ｉ層基板１上のSiO_2層１０ａとをマスクとして用い、砒素（Ａｓ）イオン注入法によって、ｉ層５ａａ、５ｂｂにN^+領域１２ａ、１２ｂ、１２ｃ、１２ｄを形成する。その後、レジスト層１１を除去する。

[0042] 次に、図２Ｊに示すように、N^+領域１２ａ、１２ｂと同様にして、Ｓｉ柱Ｐ２、Ｐ５の外側であってN^+領域１２ａ、１２ｂの間と、N^+領域１２ｃ、１２ｄの間とのｉ層５ａａ、５ｂｂに、P^+領域１３ａ、１３ｂを形成する。続いて、エッチングによって、Ｓｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６の頭頂部のSiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅを除去する。続いて、ＡＬＤ（Atomic Layer Deposition）法によって、全体に亘って酸化ハフニウム（HfO_2）層９ｄと、窒化チタン（ＴｉＮ）層１４と、によって覆う。Ｓｉ柱Ｐ１～Ｐ６を囲むＴｉＮ層１４の外周が、ｉ層５ａａ、５ｂｂの上方に位置している。続いて、全体に亘ってレジストで被覆し、このレジストを均一にエッチバックすることで、上部表面の位置がＳｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６の頭頂部よりも低い位置にあるレジスト層１５を形成する。続いて、レジスト層１５をマスクとして用い、Ｓｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６の頭頂部のＴｉＮ層１４、HfO_2層９ｄをエッチングすることで除去する。その後、レジスト層１５を除去する。ここで、酸化ハフニウム（HfO_2）層９ｄ及び窒化チタン（ＴｉＮ）層１４で被覆され、断面が円形であるＳｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６の最外周（ＴｉＮ層１４の最外周）の直径Ｌｃは、ｉ層５ａ、５ｂのＹ－Ｙ’線方向の幅Ｌｂよりも短いことが望ましい。これにより、HfO_2層９ｄとＴｉＮ層１４で囲まれるＳｉ柱Ｐ１～Ｐ６を、平面視矩形状のｉ層５ａａ、５ｂｂ上にて、ｉ層５ａａ、５ｂｂの外周からはみ出ることなく形成することができる

。この結果、HfO_2層９ｄとＴｉＮ層１４とにより囲まれたＳｉ柱Ｐ１～Ｐ６を、平面視矩形状のｉ層５ａａ、５ｂｂ上に形成することが容易となる。

[0043] 次に、図２Ｋに示すように、イオン注入法によって、Ｓｉ柱Ｐ１、Ｐ３、Ｐ４、Ｐ６の頭頂部に、N^+領域１６ａ、１６ｂ、１６ｃ、１６ｄを形成し、Ｓｉ柱Ｐ２、Ｐ５の頭頂部にP^+領域１７ａ、１７ｂを形成する。続いて、リソグラフィ法によって、Ｓｉ柱Ｐ１、Ｐ２を覆うレジスト層１８ａ、Ｓｉ柱Ｐ３を覆うレジスト層１８ｂ、Ｓｉ柱Ｐ４を覆うレジスト層１８ｃ、Ｓｉ柱Ｐ５，Ｐ６を覆うレジスト層１８ｄをそれぞれ形成する。続いて、ＲＩＥ法によって、レジスト層１８ａ、１８ｂ、１８ｃ、１８ｄをマスクとして用い、ＴｉＮ層１４をエッチングすることで、Ｓｉ柱Ｐ１～Ｐ６を覆うＴｉＮ層１４ａ、１４ｂ、１４ｃ、１４ｄを形成する。その後、レジスト層１８ａ、１８ｂ、１８ｃ、１８ｄを除去する。Ｓｉ柱Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６の外周には、ゲート絶縁層であるHfO_2層９ｄが形成されている。ここで、ＴｉＮ層１４ａ、１４ｂ、１４ｃ、１４ｄのＹ－Ｙ’線方向の幅Ｌｄは、ｉ層５ａ、５ｂのＹ－Ｙ’線方向の幅Ｌｂよりも短く、かつリソグラフィのマスク合せマージンを考慮すると、ＴｉＮ層１４ａ、１４ｂ、１４ｃ、１４ｄがｉ層５ａ、５ｂ上に形成されることが望ましい。

[0044] 次に、図２Ｌに示すように、熱処理を行うことで、N^+領域１２ａ、１２ｂ、１２ｃ、１２ｄ、１６ａ、１６ｂ、１６ｃ、１６ｄと、P^+領域１３ａ、１３ｂ、１７ａ、１７ｂとのドナー不純物、アクセプタ不純物をそれぞれ熱拡散させ、N^+領域１２ａａ、１２ｂｂ、１２ｃｃ、１２ｄｄ、１６ａａ、１６ｂｂ、１６ｃｃ、１６ｄｄと、P^+領域１３ａａ、１３ｂｂ、１７ａａ、１７ｂｂとをそれぞれ形成する。

[0045] 次に、図２Ｍに示すように、ＣＶＤ法によってSiO_2層１９を形成した後、SiO_2層１９の表面をＣＭＰ（Chemical Mechanical Polish）法によって平坦化する。続いて、Ｓｉ柱Ｐ１上にコンタクトホール１９ａ、Ｓｉ柱Ｐ６上にコンタクトホール１９ｂ、ＴｉＮ層１４ｃ上にコンタクトホール１９ｃ、ＴｉＮ層１４ｂ上にコンタクトホール１９ｄをそれぞれ形成する。続いて

、コンタクトホール１９ａ、１９ｂを介して、N^+領域１６ａａ、１６ｄｄに接続されるグランド配線金属層ＶＳＳ１、ＶＳＳ２を形成するとともに、コンタクトホール１９ｃ、１９ｄを介して、ＴｉＮ層１４ｃ、１４ｄに接続されるワード配線金属層ＷＬを形成する。続いて、ＣＶＤ法によって、表層にSiO_2層２０を形成し、SiO_2層２０の表面をＣＭＰ（Chemical Mechanical Polishing）法によって平坦化する。続いて、ＴｉＮ層１４ａ上にコンタクトホール２１ａ、Ｓｉ柱Ｐ２上にコンタクトホール２１ｂ、N^+領域１２ｂｂとP^+領域１３ａａとの境界線上にコンタクトホール２１ｃ、Ｓｉ柱Ｐ３上にコンタクトホール２１ｄ、Ｓｉ柱Ｐ４上にコンタクトホール２１ｅ、N^+領域１２ｃｃとP^+領域１３ｂｂとの境界線上にコンタクトホール２１ｆ、Ｓｉ柱Ｐ５上にコンタクトホール２１ｇ、ＴｉＮ層１４ｄ上にコンタクトホール２１ｈ、をそれぞれ形成する。そして、コンタクトホール２１ｅを介してN^+領域１６ｃｃに接続される反転ビット配線金属層ＢＬＢを形成し、コンタクトホール２１ａ、２１ｆを介してＴｉＮ層１４ａ、N^+領域１２ｃｃ、P^+領域１３ｂｂに接続される配線金属層２２ａを形成する。続いて、コンタクトホール２１ｂ、２１ｇを介してP^+領域１７ａａ、１７ｂｂに接続される電源配線金属層ＶＤＤを形成し、コンタクトホール２１ｃ、２１ｈを介して、ＴｉＮ層１４ｄ、N^+領域１２ｂｂ、P^+領域１３ａａに接続される配線金属層２２ｂを形成する。その後、コンタクトホール２１ｄを介して、N^+領域１２ｂｂに接続されるビット配線金属層ＢＬを形成する。これによって、ＳＧＴを有するＳＲＡＭセル回路が形成される。

[0046] 本発明の第１の実施形態によれば、以下の効果が得られる。

１．Ｓｉ柱Ｐ１～Ｐ６は、島状構造とされたｉ層５ａ、５ｂ上に形成された平面視円形状のSiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆをマスクに用いたＲＩＥエッチングによって形成される。Ｓｉ柱Ｐ１～Ｐ６と、Ｓｉ柱Ｐ１～Ｐ６の下部に位置するｉ層５ａａ、５ｂｂとの位置関係は、図２Ｄに示すように、ｉ層５ａ、５ｂ及びレジスト層６ａ、６ｂ、６ｃの、リソグラフィによるマスク合せの位置関係で定められる。Ｘ－Ｘ’線方

向とＹ－Ｙ’線方向に移動するマスク合せにおいて、Ｙ－Ｙ’線方向のマスク合せによる位置ズレは、SiO_2層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆ、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆ、及びｉ層５ａ、５ｂの相互の位置関係に影響を与えない。このように、Ｓｉ柱Ｐ１～Ｐ６は、ｉ層５ａａ、５ｂｂ上にて、Ｙ－Ｙ’線方向に自己整合で形成される。この結果、Ｙ－Ｙ’線方向では、リソグラフィ工程でのマスク合せマージンが不要となるので、より一層、セル面積の小さいＳＲＡＭセル回路を実現することができる。

２．レジスト層６ａ、６ｂ、６ｃのＸ－Ｘ’線方向の幅Ｌａと、ｉ層５ａ、５ｂのＹ－Ｙ’線方向の幅Ｌｂとを、互いに等しい長さとすることで、Ｓｉ柱Ｐ１～Ｐ６の水平断面形状を平面視円形状にすることができる。この結果、チャネルの水平断面内での電位分布が同心状となるＳＧＴが、Ｓｉ柱Ｐ１～Ｐ６に形成され、その電流駆動能力が大きくなる。

３．酸化ハフニウム（HfO_2）層９ｄ及び窒化チタン（ＴｉＮ）層１４で被覆され、断面が円形であるＳｉ柱Ｐ１～Ｐ６の最外周（ＴｉＮ層１４の最外周）の直径Ｌｃを、ｉ層５ａ、５ｂのＹ－Ｙ’線方向の幅Ｌｂよりも短くすることで、HfO_2層９ｄとＴｉＮ層１４で囲まれるＳｉ柱Ｐ１～Ｐ６を、ｉ層５ａａ、５ｂｂ上にて、平面視矩形状のｉ層５ａａ、５ｂｂの外周からはみ出ることなく形成することができる。この結果、HfO_2層９ｄとＴｉＮ層１４で囲まれたＳｉ柱Ｐ１～Ｐ６を、平面視矩形状のｉ層５ａａ、５ｂｂ上に形成することが容易となる。

[0047] （第２実施形態）

以下、図３Ａ～図３Ｇを参照しながら、本発明の第２実施形態に係る、ＳＧＴを有するＣＭＯＳ型ＳＲＡＭセル回路の製造方法を示す。

[0048] 第２実施形態は、オフ電流の低いＳＧＴを得るためのＮ型ウエルまたはＰ型ウエルを形成する場合、又は、回路間を確実に分離するための素子分離不純物拡散層を有する回路形成する場合に、有用である。

[0049] まず、図３Ａに示すように、Ｐ層基板２５上にｉ層２６を形成する。続い

て、図２Ａと同様にして、ｉ層２６上に、熱酸化法によりＳｉＯ$_2$層２を形成し、ＳｉＯ$_2$層２上にＳｉＮ層３を形成する。

[0050] 次に、図３Ｂに示すように、図２Ｂ、図２Ｃと同様にして、リソグラフィ法によって、図１Ｂの回路形成領域ＩＡ１、ＩＡ２に対応するレジスト層４ａ、４ｂを形成する。レジスト層４ａ、４ｂをマスクとして用い、ＳｉＯ$_2$層２及びＳｉＮ層３をエッチングすることで、ｉ層２６上にＳｉＯ$_2$層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂを形成する。続いて、レジスト層４ａ、４ｂ、ＳｉＯ$_2$層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂをマスクとして用い、ＲＩＥ法によって、ｉ層２６をエッチングすることで、平面視矩形状のｉ層５ａ、５ｂを形成する。その後、レジスト層４ａ、４ｂを除去する。ここでは、図３Ｂ（ｂ）、（ｃ）に示すように、ｉ層５ａ、５ｂ、ＳｉＯ$_2$層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂの、Ｘ－Ｘ’線方向及びＹ－Ｙ’線方向の一端辺がいずれも一致するようになる。

[0051] 次に、図３Ｃに示すように、熱酸化法によって、ｉ層５ａ、ｉ層２６の表層にＳｉＯ２層２７を形成する。その後、ＳｉＯ$_2$層２、ＳｉＮ層３をマスクとして用い、砒素（Ａｓ）イオン注入を行うことで、ｉ層５ａ、５ｂの外側に位置するｉ層２６の表層にＮ領域２８（ドナー不純物を含む領域を、以降「Ｎ領域」と呼ぶ。）を形成する。

[0052] 次に、図３Ｄに示すように、熱処理を行うことで、Ｎ領域２８のドナー不純物を熱拡散させ、ｉ層５ａ、５ｂの外側に位置するｉ層２６の表層と、ｉ層５ａ、５ｂの底部側面から内部に広がる領域とに、Ｎ領域２８ａを形成する。ここで、図３Ｄ（ａ）に示すように、平面視において、Ｎ$^+$領域２８ａの内周縁２９ａ、２９ｂは、ｉ層５ａ、５ｂの内側に位置している。

[0053] 次に、図３Ｅに示すように、ＳｉＯ$_2$層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂをマスクとして用い、ボロン（Ｂ）イオン注入を行うことで、ｉ層５ａ、５ｂの外側に位置するｉ層２６の表層にＰ$^+$領域３０を形成する。ここで、チャンネルストッパであるＰ$^+$領域３０のアクセプタ不純物の濃度は、Ｎウェルとなるｎ領域２８のドナー不純物の濃度よりも大きい。

[0054] 次に、図３Ｆに示すように、図２Ｄ、図２Ｅ、図２Ｆと同様な工程を経て、平面視円形状のSiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆをマスクとして用い、ＲＩＥ法によって、平面視円形状のSiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆで覆われていないｉ層５ａ、５ｂをエッチングすることで、Ｓｉ柱Ｐ１～Ｐ６を形成するとともに、ｉ層２６上にＳＧＴが形成される領域であるｉ層５ａａ、５ｂｂを残存させる。そうすると、Ｓｉ柱Ｐ１～Ｐ６は、N^+領域２８ａの内周縁２９ａ、２９ｂの内周縁の内側に形成される。ここで、ｉ層５ａ、５ｂの外側に位置するｉ層２６の上面方向から、Ａｓ、Ｂイオンが加速されて注入されるときに、ｉ層５ａ、５ｂの側面が垂直面から僅かに傾斜しているか、又は、ｉ層２６の表面での反射により、注入されたＡｓ、Ｂイオンの一部が、ｉ層５ａ、５ｂの側面表層に注入されるようになる。第２実施形態によれば、上述したように、Ａｓ、Ｂイオンの注入後にＳｉ柱Ｐ１～Ｐ６の外側に位置するｉ層５ａ、５ｂがエッチングで除去されるため、ｉ層５ａ、５ｂの側面表層に注入されたＡｓ、Ｂ不純物が除去される。この結果、Ａｓ、Ｂ不純物がＳｉ柱Ｐ１～Ｐ６に進入することによるＳＧＴの特性バラツキを抑制することができる。

[0055] 次に、図３Ｇに示すように、図２Ｇ～図２Ｍと同様な工程を経ることで、ｉ層５ａａ、５ｂｂの外周にSiO_2層１０ａを形成し、Ｓｉ柱Ｐ１～Ｐ６の外周を囲むようにゲートＨｆO_2層９ｄ、ゲートＴｉＮ層１４ａ、１４ｂ、１４ｃ、１４ｄを形成する。また、ＣＶＤ法によってSiO_2層１９を形成し、SiO_2層１９の表面をＣＭＰ（Chemical Mechanical Polishing）法によって平坦化する。続いて、Ｓｉ柱Ｐ１上にコンタクトホール１９ａ、Ｓｉ柱Ｐ６上にコンタクトホール１９ｂ、ＴｉＮ層１４ｃ上にコンタクトホール１９ｃ、ＴｉＮ層１４ｂ上にコンタクトホール１９ｄをそれぞれ形成する。続いて、コンタクトホール１９ａ、１９ｂを介して、N^+領域１６ａａ、１６ｄｄに接続されるグランド配線金属層ＶＳＳ１、ＶＳＳ２を形成し、コンタクトホール１９ｃ、１９ｄを介して、ＴｉＮ層１４ｃ、１４ｄに接続されるワード配線金属層ＷＬを形成する。続いて、ＣＶＤ法によってSiO_2層２０を形

成し、SiO_2層２０の表面をＣＭＰ法によって平坦化する。続いて、ＴｉＮ層１４ａ上にコンタクトホール２１ａ、Ｓｉ柱Ｐ２上にコンタクトホール２１ｂ、N^+領域１２ｂｂとP^+領域１３ａａの境界線上にコンタクトホール２１ｃ、Ｓｉ柱Ｐ３上にコンタクトホール２１ｄ、Ｓｉ柱Ｐ４上にコンタクトホール２１ｅ、N^+領域１２ｃｃとP^+領域１３ｂｂの境界線上にコンタクトホール２１ｆ、Ｓｉ柱Ｐ５上にコンタクトホール２１ｇ、ＴｉＮ層１４ｄ上にコンタクトホール２１ｈをそれぞれ形成する。そして、コンタクトホール２１ｅを介して、N^+領域１６ｃｃに接続される反転ビット配線金属層ＢＬＢが形成され、コンタクトホール２１ａ、２１ｆを介して、ＴｉＮ層１４ａ、N^+領域１２ｃｃ、P^+領域１３ｂｂに接続される配線金属層２２ａを形成し、コンタクトホール２１ｂ、２１ｇを介してP^+領域１７ａａ、１７ｂｂに接続される電源配線金属層ＶＤＤを形成し、コンタクトホール２１ｃ、２１ｈを介して、ＴｉＮ層１４ｄ、N^+領域１２ｂｂ、P^+領域１３ａａに接続される配線金属層２２ｂを形成し、コンタクトホール２１ｄを介して、N^+領域１２ｂｂに接続されるビット配線金属層ＢＬを形成する。

[0056] 次に、図３Ｇに示すように、図２Ｇ～図２Ｍと同様な工程を経ることで、Ｎ領域２８ａ、２８ｂ、P^+領域３０、Ｐ層基板２５のドナー不純物、アクセプタ不純物をそれぞれ熱拡散させ、Ｎ領域２８ａａ、２８ａｂ、P^+領域３０ａ、Ｐ層基板２５ａをそれぞれ形成する。Ｎ領域２８ａａ、２８ａｂは、ｉ層５ａａ、５ｂｂに形成されたＮウエルとなり、P^+領域３０ａは素子分離チャネルストッパ領域となる。この結果、SiO_2層１０ａとP^+領域３０ａとにより素子分離され、ＮウエルのＮ領域２８ａａ、２８ａｂ上に形成したＳＧＴを有するＳＲＡＭセル回路が得られる。

[0057] 本発明の第２の実施形態によれば、以下の効果が得られる。

１．ｉ層５ａ、５ｂを形成した後に、砒素（Ａｓ）及びボロン（Ｂ）のイオン注入を行うことで、ＮウエルのＮ領域２８と、素子分離チャネルストッパ領域用のP^+領域３０をそれぞれ形成する。続いて、ＲＩＥ法によって、平面視円形状のSiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆ

をマスクとして用い、ｉ層５ａ、５ｂをエッチングすることで、Ｓｉ柱Ｐ１～Ｐ６を形成している。ここで、ｉ層５ａ、５ｂの外周に位置するｉ層２６の上面方向から、Ａｓ、Ｂイオンが加速されて注入されるときに、ｉ層５ａ、５ｂの側面が垂直面から僅かに傾斜しているか、又は、ｉ層２６の表面での反射により、注入されたＡｓ、Ｂイオンの一部が、ｉ層５ａ、５ｂの側面表層に注入されるようになる。ここでは、Ａｓ、Ｂイオンの注入後にＳｉ柱Ｐ１～Ｐ６の外側に位置するｉ層５ａ、５ｂがエッチングで除去される。このため、ｉ層５ａ、５ｂの側面表層に注入されたＡｓ、Ｂ不純物が除去される。この結果、Ａｓ、Ｂ不純物がＳｉ柱Ｐ１～Ｐ６に進入することによるＳＧＴの特性バラツキを抑制することができる。

２．図３Ｆ（ａ）に示すように、Ｎ領域２８ａの内周縁２９ａ、２９ｂは、ｉ層５ａａ、５ｂｂの内側に位置し、かつＳｉ柱Ｐ１～Ｐ６の外側に位置している。このため、Ｎ領域２８ａ、P^+領域３０を形成するとき、ｉ層５ａ、５ｂの側面表層に注入されたＡｓ、Ｂ不純物は、Ｓｉ柱Ｐ１～Ｐ６形成のためにｉ層５ａ、５ｂをエッチングした際に、ｉ層５ａ、５ｂの外側に位置するＳｉ層と共に除去される。この結果、Ａｓ、Ｂ不純物がＳｉ柱Ｐ１～Ｐ６に残存することによるＳＧＴの特性バラツキを抑制することができる。

[0058]（第３実施形態）

以下、図４Ａ～図４Ｅを参照しながら、本発明の第３実施形態に係る、ＳＧＴを有するＣＭＯＳ型ＳＲＡＭセル回路の製造方法について説明する。

第３実施形態によれば、第２実施形態と比較して、Ｓｉ柱Ｐ１～Ｐ６内へのＡｓ、Ｂ不純物の進入を、さらに抑制することができる。

[0059] まず、図４Ａに示すように、図１Ａ～図２Ｃと同様な工程を経た後、レジスト層４ａ、４ｂを除去する。ここでは、図４Ａ（ｂ）、（ｃ）に示すように、ｉ層５ａ、５ｂ、SiO_2層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂの、Ｘ－Ｘ’線方向及びＹ－Ｙ’線方向の一端辺がいずれも一致するようになる。続いて、熱酸化法によって、平面視矩形状のｉ層５ａ、５ｂの側面、及びｉ層２６の表面に、SiO_2層３１を形成する。その後、ＡＬＤ（Atomic Layer Dep

osition）法によって、ｉ層５ａ、５ｂ及びｉ層２６の全体を、耐熱金属であり、酸化速度の小さいタングステン（Ｗ）層３２で被覆する。

[0060] 次に、図４Ｂに示すように、レジスト（図示せず）を塗布した後、エッチバック法によって、このレジストを表層から均一にエッチングすることで、ｉ層５ａ、５ｂの外側に位置するｉ層２６上にレジスト層３３を形成する。続いて、等方プラズマエッチング法によって、レジスト層３３で覆われていないSiO_2層３１及びW層３２を除去するとともに、レジスト層３３で覆われているSiO_2層３１ａ及びW層３２ａをｉ層５ａ、５ｂの下方側面に残存させる。その後、レジスト層３３を除去する。

[0061] 次に、図４Ｃに示すように、熱酸化法によって、ＳｉＮ層３ａ、３ｂ、SiO_2層３１ａ及びW層３２ａで覆われていないｉ層５ａ、５ｂの側面に、ＳｉＮよりも酸化速度が速いSiO_2からなるSiO_2層３４ａ、３４ｂを厚く形成する。その後、SiO_2層３１ａ及びW層３２ａを除去する。

[0062] 次に、図４Ｄに示すように、図３Ｃと同様な工程を経ることで、Ａｓイオン注入を行い、ｉ層５ａ、５ｂの外側に位置するｉ層２６の表層にＮ領域２８を形成する。

[0063] 次に、図４Ｅに示すように、図３Ｄ、図３Ｅと同様な工程を経ることで、Ｎ領域２８の不純物領域を熱拡散によってｉ層５ａａ、５ｂｂの内部方向に広げてＮ領域２８ａを形成する。続いて、Ｂイオン注入を行い、ｉ層５ａａ、５ｂｂの外側に位置するｉ層２６の表層にP^+領域２９を形成する。続いて、ＲＩＥ法によって、SiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆをマスクとして用い、エッチングを行うことで、Ｓｉ柱Ｐ１～Ｐ６を形成する。その後、図２Ｇ～図２Ｍと同様な工程を経ることで、ＳＧＴを有するＣＭＯＳ型ＳＲＡＭセル回路が得られる。

[0064] 第３実施形態によれば、図４Ｄに示すように、厚さの厚いSiO_2層３３ａ、３３ｂがｉ層５ａ、５ｂの側面に存在することで、ｉ層５ａ、５ｂの外側に位置するｉ層２６の上面方向から、Ａｓ、Ｂイオンが加速されて注入されるときに、ｉ層５ａ、５ｂの側面が垂直面から僅かに傾斜しているか、又は

、ｉ層２６の表面での反射により、ｉ層５ａ、５ｂの側面表層に注入されることが防止される。このため、第２実施形態と比較して、Ａｓ、Ｂ不純物がＳｉ柱Ｐ１～Ｐ６に進入することによるＳＧＴの特性バラツキを抑制することができる。

[0065] （第４実施形態）

以下、図５Ａ～図５Ｅを参照しながら、本発明の第４実施形態に係る、ＣＭＯＳ型ＳＲＡＭセル回路の製造方法について説明する。

第４実施形態は、第１実施形態ではＳｉ柱Ｐ１～Ｐ６が、ｉ層５ａａ、５ｂｂ上にて、Ｙ－Ｙ’線方向に自己整合で形成されるが、Ｘ－Ｘ’線方向には自己整合で形成されていないのに対して、Ｓｉ柱ＰＳのベースとなるｉ層５ａａ、５ｂｂに対して、Ｘ－Ｘ’線方向とＹ－Ｙ’線方向の両方向に自己整合で形成されることに特徴がある。

[0066] まず、図５Ａに示すように、図２Ａと同様な工程を経ることで、熱酸化法によって、ｉ層基板３５上にSiO_2層３６を形成し、SiO_2層３６上に窒化シリコン（ＳｉＮ）層３７を形成する。

[0067] 次に、図５Ｂに示すように、リソグラフィ法によって形成されたレジスト層をマスクとして用い、ＳｉＮ層３７及びSiO_2層３６をエッチングすることで、平面視矩形状のSiO_2層３６ａ及びＳｉＮ層３７ａを形成する（図５Ｂ（ａ）参照）。その後、SiO_2層３６ａ及びＳｉＮ層３７ａをマスクとして用い、ｉ層基板３５をエッチングすることで、ｉ層基板３５の上方に平面視矩形状のｉ層３８を形成する。ここで、ｉ層３８は、Ｘ－Ｘ’線方向及びＹ－Ｙ’線方向の一端辺の長さＬｓ１、Ｌｓ２が等長であり、平面視正方形状であることが望ましい。ここでは、図５Ｂ（ｂ）、（ｃ）に示すように、ｉ層３８、SiO_2層３６ａ、ＳｉＮ層３７ａの、Ｘ－Ｘ’線方向及びＹ－Ｙ’線方向の一端辺がいずれも一致するようになる。

[0068] 次に、図５Ｃに示すように、等方性プラズマエッチング法によって、ＳｉＮ層３７ａをマスクとして用い、SiO_2層３６ａをエッチングすることで平面視円形状のSiO_2層３６ｂを形成する。

[0069] 次に、図５Ｄに示すように、ＳｉＮ層３７ａを除去した後、SiO_2層３６ｂをマスクとして用い、ｉ層３８をエッチングすることでＳｉ柱Ｐｓを形成する。これにより、Ｓｉ柱Ｐｓの下方にｉ層３８ａが形成される。

[0070] その後、図２Ｇ～図２Ｍと同様な工程を経ることで、図５Ｅに示すように、ｉ層３８ａの外側に位置するｉ層基板３５上にSiO_2層４０が形成される。Ｓｉ柱Ｐｓの外側に位置するｉ層３８ａにN^+領域（さらに後の工程を経ることで、Ｓｉ柱Ｐｓの底部に、N^+領域４１が熱拡散によって広がるように形成される。）が形成される。Ｓｉ柱Ｐｓの外周を囲むように、ゲートとなるSiO_2層４２が形成される。SiO_2層４２を囲むように、ゲートとなるＴｉＮ層４３が形成される。Ｓｉ柱Ｐｓの頭頂部にN^+領域４４が形成される。ＣＶＤ法によってSiO_2層４５が形成される。ＴｉＮ層４３に繋がるコンタクトホール４６ａ、N^+領域４４に繋がるコンタクトホール４６ｂ、N^+領域４１に繋がるコンタクトホール４６ｃがそれぞれ形成される。さらに、SiO_2層４５上に配線され、コンタクトホール４６ａを介してゲートとなるＴｉＮ層４３に繋がる金属配線層Ｇと、コンタクトホール４６ｂを介してN^+領域４４に繋がる金属配線層Ｓと、コンタクトホール４６ｃを介してN^+領域４１に繋がる金属配線層Ｄがそれぞれ形成される。これにより、N^+領域４１、４４のいずれかがソースとなる場合に、他方がドレインとなり、Ｓｉ柱Ｐｓの外側に、SiO_2層４２、ＴｉＮ層４３、及びN^+領域４１、４４の間に位置するＳｉ柱ＰｓをチャネルとしたＮチャネルＳＧＴが形成される。

[0071] 本発明の第４実施形態によれば、以下の効果が得られる。

１．Ｓｉ柱Ｐｓのベースとなる平面視矩形状のｉ層３８ａと、Ｓｉ柱Ｐｓを形成するためのエッチングマスクとなる平面視円形状のSiO_2層３６ｂとのいずれもが、平面視矩形状のＳｉＮ層３７ａをエッチングマスクとして形成される。このため、Ｓｉ柱Ｐｓとｉ層３８ａとの位置関係が、何らのマスク合せ工程を必要とすることなく決定される。このように、Ｓｉ柱Ｐｓとｉ層３８ａは、Ｘ－Ｘ’線方向とＹ－Ｙ’線方向の両方向において自己整合によって形成される。これにより、ＳＧＴを有するＣＭＯＳ型ＳＲＡＭセル回

路の高密度化が実現される。

２．Ｓｉ柱Ｐｓのベースとなる平面視矩形状のｉ層３８ａと、Ｓｉ柱Ｐｓを形成するためのエッチングマスクとなる平面視円形状のSiO_2層３６ｂとのいずれもが、平面視矩形状のＳｉＮ層３７ａをエッチングマスクとして形成される。これに対して、第１実施形態では、まず、平面視矩形状のｉ層４ａ、４ｂを形成し、その後に、Ｓｉ柱Ｐ１～Ｐ６を形成するための平面視矩形状のSiO_2層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆ、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆを形成している。このため、第３実施形態は、第１実施形態と比較して、リソグラフィ工程を１回分省略することができる。このように工程が省略されることで、ＳＧＴを有するＣＭＯＳ型ＳＲＡＭセル回路の低コスト化が実現される。

[0072] なお、第４実施形態では、ＳｉＮ層３７ａは平面視矩形状であると記述したが、平面視正方形状も含まれる。一般に、ＳｉＮ層３７ａのエッチングマスクとして用いられる、平面視矩形状のレジストの角部は丸みを帯びている。さらに、レジストの加工寸法が小さくなるに従って、このレジストの平面視での形状は円形に近づく。この結果、Ｓｉ柱Ｐｓを形成するためのSiO_2層３６ｂの形状は、望ましい形状である平面視円形状になる。このため、ＳｉＮ層３７ａ及びSiO_2層３６ａの形状は、等方プラズマエッチング法によって形成される、SiO_2層３６ｂの形状が平面視円形状になるものであればいずれの形状であってもよい。

[0073]（第５実施形態）

以下、図６Ａ～図６Ｇを参照しながら、本発明の第５実施形態に係る、ＳＧＴを有するＣＭＯＳインバータ回路の製造方法について説明する。

第５実施形態は、ベースとなるｉ層基板５０に形成されたＮチャネルＳＧＴとＰチャネルＳＧＴとからなるＣＭＯＳ型インバータ回路の形成にあたり、ＮチャネルＳＧＴとＰチャネルＳＧＴとを形成するＳｉ柱５５、５６が、ベースとなるｉ層基板５０に対して、Ｘ－Ｘ’線方向とＹ－Ｙ’線方向の両方向において、自己整合により形成されることに特徴がある。

[0074] まず、図６Ａに示すように、熱酸化法によって、ｉ層基板５０上にSiO_2層５１を形成し、SiO_2層５１上にＳｉＮ層５２を形成する。さらに、ＡＬＤ法によって、ＳｉＮ層５２上にHfO_2層５３を形成する。

[0075] 次に、図６Ｂに示すように、リソグラフィ法によって形成されたレジスト層をマスクとして用い、ＲＩＥエッチングによって、平面視で同一の矩形状とされ、かつ互いに重なるSiO_2層５１ａ、ＳｉＮ層５２ａ、及びHfO_2層５３ａを形成する。続いて、SiO_2層５１ａ、ＳｉＮ層５２ａ、及びHfO_2層５３ａをマスクとして用い、ｉ層基板５０をエッチングすることで、平面視矩形状のｉ層５４を形成する。ここで、SiO_2層５１ａ、ＳｉＮ層５２ａ、及びHfO_2層５３ａは、Ｘ－Ｘ’線方向及びＹ－Ｙ’線方向の一端辺の長さが等長であり、平面視正方形状であることが望ましい。ここでは、図６Ｂ（ｂ）、（ｃ）に示すように、ｉ層５４、SiO_2層５１ａ、ＳｉＮ層５２ａの、Ｘ－Ｘ’線方向及びＹ－Ｙ’線方向の一端辺がいずれも一致するようになる。

[0076] 次に、図６Ｃに示すように、等方プラズマエッチング法によって、HfO_2層５３ａをマスクとして用い、HfO_2層５３ａの外周から内側にSiO_2層５１ａ及びＳｉＮ層５２ａをエッチングすることで、平面視円形状のSiO_2層５１ｂ及びＳｉＮ層５２ｂを形成する。その後、HfO_2層５３ａを除去する。

[0077] 次に、図６Ｄに示すように、SiO_2層５１ａ及びＳｉＮ層５２ａをマスクとして用い、ｉ層５４をエッチングすることで、Ｓｉ柱５５を形成する。ここで、Ｓｉ柱５５の下方に平面視矩形状のＳｉ柱５４ａを形成する。

[0078] 次に、図６Ｅに示すように、等方プラズマエッチング法によって、ＳｉＮ層５２ｂをマスクとして用い、ＳｉＮ層５２ａの外周から内側にSiO_2層５１ａをエッチングすることで、SiO_2層５１ｂよりも更に小径とされた平面視円形状のSiO_2層５１ｃを形成する。その後、ＳｉＮ層５２ｂを除去する。

[0079] 次に、図６Ｆに示すように、SiO_2層５１ｃをマスクとして用い、Ｓｉ柱

５５をエッチングすることで、Ｓｉ柱５６を形成する。ここでは、Ｓｉ柱５６の下方にＳｉ柱５５ａが形成されるようにエッチングを行う。これによって、平面視矩形状のＳｉ柱５４ａ上に、第１のＳＧＴ（図６ＧにおいてＮチャネルＳＧＴになる。）が形成されるＳｉ柱５５ａと、Ｓｉ柱５５ａ上に、第２のＳＧＴ（図６ＧにおいてＰチャネルＳＧＴとなる。）が形成されるＳｉ柱５６と、が形成される。

[0080] 次に、図６Ｇに示すように、Ｓｉ柱５４ａの外側に位置するｉ層基板５０上に、SiO_2層５８が形成される。Ｓｉ柱５５ａの外側に位置するＳｉ柱５４ａにN^+領域５９ａ（後の工程の熱処理を経ることで、このようにＳｉ柱５５ａの内部方向に熱拡散で広げられたN^+領域５９ａとなる。）が形成される。Ｓｉ柱５５ａの上方にN^+領域５９ｂ（後の工程の熱処理を経ることで、このようにＳｉ柱５５ａの上方に熱拡散で広げられたN^+領域５９ｂとなる。）が形成される。Ｓｉ柱５６の外側に位置するＳｉ柱５５ａの頭頂部にP^+領域６０ａ（後の工程の熱処理を経ることで、このようにＳｉ柱５６の底部に熱拡散で広げられたP^+領域６０ａとなる。）が形成される。続いて、Ｓｉ柱５５ａの外周を囲むように、ゲート絶縁層となるSiO_2層６１ａが形成され、SiO_2層６１ａを囲むようにゲート導電層となるＴｉＮ層６２ａが形成される。続いて、ＣＶＤ法によって、ＴｉＮ層６２ａの外周を囲むようにSiO_2層６３が形成される。続いて、Ｓｉ柱５６の外周を囲むように、ゲート絶縁層となるSiO_2層６１ｂが形成され、SiO_2層６１ｂを囲むように、ゲート導電層となるＴｉＮ層６２ｂが形成される。続いて、Ｓｉ柱５６の頭頂部にP^+領域６０ｂが形成される。続いて、ＣＶＤ法によって、ＴｉＮ層６２ｂの外周を囲むように、SiO_2層６４が形成される。続いて、SiO_2層６３、６４に、コンタクトホール６５ａ、６５ｂ、６５ｃ、６５ｄが形成される。ここで、コンタクトホール６５ａは、SiO_2層６３、６４とＴｉＮ層６２ｂとを貫通し、SiO_2層６３の下方のＴｉＮ層６２ａの表面に到達する。その後、SiO_2層６４上に、コンタクトホール６５ａを介して、ＴｉＮ層６２ａ、６２ｂに繋がる入力配線金属層Ｖｉが形成され、コンタクトホール６５

ｂを介してＰ$^+$領域６０ｂに繋がる電源配線金属層ＶＤＤが形成される。また、コンタクトホール６５ｃを介してＰ$^+$領域６０ａ、Ｎ$^+$領域５９ｂに繋がる出力配線金属層Ｖｏが形成され、コンタクトホール６５ｄを介してＮ$^+$領域５９ａに繋がるグランド配線金属層ＶＳＳが形成される。このようにして、Ｓｉ柱５５ａに形成されたＮチャネルＳＧＴと、Ｓｉ柱５６に形成されたＰチャネルＳＧＴと、からＣＭＯＳ型インバータ回路が形成される。

[0081] 本発明の第５実施形態によれば、以下の効果が得られる。

１．ＮチャネルＳＧＴを構成するＳｉ柱５５ａが、平面視矩形状のHfO_2層５３ａをエッチングマスクとして形成された平面視円形状のSiO_2層５１ｂ及びＳｉＮ層５２ｂによって形成される。これによって、平面視矩形状のＳｉ柱５４ａと、Ｓｉ柱５５ａとが、Ｘ－Ｘ’線方向とＹ－Ｙ’線方向の両方向において自己整合によって形成される。また、ＰチャネルＳＧＴを構成するＳｉ柱５６が、ＳｉＮ層５２ｂをエッチングマスクとして形成された平面視円形状のSiO_2層５１ｃによって形成される。これによって、Ｓｉ柱５５ａ、５６は、Ｘ－Ｘ’線方向とＹ－Ｙ’線方向の両方向において自己整合によって形成される。このように、Ｓｉ柱５５ａは、平面視矩形状のＳｉ柱５４ａ及びＳｉ柱５６と、Ｘ－Ｘ’線方向とＹ－Ｙ’線方向の両方向において自己整合によって形成されるので、平面視矩形状のＳｉ柱５４ａ、Ｓｉ柱５５ａ、５６のいずれもが互いに自己整合によって形成される。この結果、ＳＧＴを有するＣＭＯＳインバータ回路の高密度化が実現される。

２．Ｓｉ柱５４ａ、及びＳｉ柱５５ａ、５６を形成するためのリソグラフィ工程は、SiO_2層５１ａ、ＳｉＮ層５２ａ、HfO_2層５３ａを同時に形成するために１回のみが必要であり、Ｓｉ柱５５ａをＳｉ柱５４ａ上に形成するためのリソグラフィ工程と、Ｓｉ柱５６をＳｉ柱５５ａ上に形成するためのリソグラフィ工程とは不要である。このような製造工程の省略によって、ＳＧＴを有するＣＭＯＳインバータ回路の低コスト化が実現される。

[0082] なお、上記各実施形態では、半導体柱としてＳｉ柱を用いたＳＧＴについて説明したが、他の材料からなる半導体柱を用いたＳＧＴにも本発明の技術

思想を適用することができる。

[0083] 上記各実施形態では、ｉ層基板１の代わりに、ｉ層基板１の底部に絶縁基板を有するＳＯＩ基板を用いることができる。

[0084] 第１実施形態では、ｉ層基板１上にSiO_2層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂを形成するに際に、エッチングマスクとしてリソグラフィ法で形成したレジスト層４ａを用いた。しかし、このエッチングマスクはレジスト層４ａ、４ｂでなくてもよく、例えば、ＳｉＮ層３上にHfO_2層を設け、リソグラフィ法で形成したレジスト層４ａ、４ｂをマスクとして用い、HfO_2層をエッチングすることもできる。この場合、このレジスト層４ａ、４ｂを除去した後、HfO_2層をマスクとして用い、SiO_2層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂを形成することができる。さらに、HfO_2層は他の材料からなる層であってもよい。

[0085] 上記各実施形態では、レジスト層４ａ、４ｂ、SiO_2層２ａ、２ｂ、ＳｉＮ層３ａ、３ｂを構成する材料も、以下の要求を満足するものであれば、他の材料を使用してもよい。例えば、レジスト層４ａ、４ｂに対応する材料層をマスクとして用い、SiO_2層２、ＳｉＮ層３をエッチングすることができること、ＳｉＮ層３ａ、３ｂに対応する材料層をマスクとして用い、SiO_2層２に対応する材料層を等方エッチングすることで、SiO_2層２ａ、２ｂに対応する材料層を形成することができること、SiO_2層２ａ、２ｂに対応する材料層をマスクとして用いて、ｉ層基板１をエッチングすることで、ｉ層５ａ、５ｂを形成することができること、である。このように、各実施形態におけるエッチングマスク材料層と、このエッチングマスク材料層に対してエッチングされる被エッチング材料層においては、上記要求が満足される限り、任意の材料を選択して用いることができる。

[0086] 第１実施形態では、等方プラズマエッチング法によって、ＳｉＮ層８ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆをマスクとして用い、平面視円形状のSiO_2層７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆを形成した。しかしこれに限られず、SiO_2層７ａ、７ｂ、７ｃ、７ｄ、７ｅ、７ｆがＳｉＮ層８

ａ、８ｂ、８ｃ、８ｄ、８ｅ、８ｆの外周から内側にエッチングされる方法であれば、プラズマエッチング法以外の等方エッチングであってもよい。このことは、他の実施形態においても同様である。

[0087] 第２及び第３実施形態では、第１実施形態と同様にＣＭＯＳ型ＳＲＡＭセル回路を使用した。しかしこれに限られず、第１実施形態と同様のＣＭＯＳ型ＳＲＡＭセル回路は、Ｓｉ柱の外側に形成する素子分離領域（図２Ｃ、図２Ｅにおける Ｎ領域２８、またはP^+領域３０が形成される領域に対応する領域）にウエル、またはチャネルストッパ不純物領域を形成するための領域を形成する他の実施形態でＳＧＴを有する回路を形成する場合にも適用することができる。

[0088] 第１実施形態では、ゲート絶縁層としてHfO_2層９ｄ、ゲート導電層としてＴｉＮ層１４を用いた。しかしこれに限られず、ゲート絶縁層及びゲート導電層は、他の材料からなる層であっても良い。また、このように単一の材料からなる単層構成に限られず、多層構成であっても良い。このことは、他の実施形態においても同様である。

[0089] 本発明の技術思想は、Ｓｉ柱Ｐ１～Ｐ６、Ｓｉ柱Ｐｓ、Ｓｉ柱５５ａ、５６の形成方法に特徴を有するので、Ｓｉ柱Ｐ１～Ｐ６、Ｓｉ柱Ｐｓ、Ｓｉ柱５５ａ、５６の形成方法以外の他の工程については、上記各実施形態の製造方法以外の半導体素子の製造方法を採用することができる。

[0090] 第５実施形態では、ｉ層基板５０上に２段構造のＳｉ柱５４ａ、５５を形成した。これに限られず、３段構造以上のＳｉ柱を、ｉ層基板５０上に自己整合して形成するにあたっても、本発明の技術思想を適用することができる。

[0091] 上記各実施形態では、ＣＭＯＳ型ＳＲＡＭセル回路、ＣＭＯＳ型インバータ回路、単体のＳＧＴを形成したが、本発明の技術思想は、その他のＳＧＴを有する回路を形成する場合にも適用可能である。

[0092] ＳＧＴは、半導体柱の外周にゲート絶縁膜が形成され、さらにこのゲート絶縁膜の外周にゲート導体層が形成されている構造を有する。このようなゲ

ート導体層とゲート絶縁層との間に電気的に浮遊した導体層を有するフラッシュメモリ素子であっても、ＳＧＴの一類型であるので、本発明の技術思想が適用できる。

[0093] 上記各実施形態では、一つの半導体柱にＳＧＴが形成された場合について説明したが、本発明の技術思想は、ＳＧＴとそれ以外の素子（例えば、フォトダイオードなど）が組み込まれた半導体装置の製造方法にも適用することができる。

[0094] 第４実施形態では、平面視矩形状、もしくは平面視正方形状のＳｉＮ層３７ａのエッチングマスクとして用いられる、平面視矩形状のレジストの角部は丸みを帯びている。さらに、レジストの加工寸法が小さくなるに従って、このレジストの平面視での形状は円形に近づく。この結果、Ｓｉ柱Ｐｓを形成するためのSiO_2層３６ｂの形状は、望ましい形状である平面視円形状になる。このため、ＳｉＮ層３７ａ及びSiO_2層３６ａの形状は、等方プラズマエッチング法によって形成される、SiO_2層３６ｂの形状が平面視円形状になるものであればいずれの形状であってもよい。このことは、他の実施形態においても同様である。

[0095] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記各実施形態及びそれらの変形例は任意に組み合わせることができる。さらに、必要に応じて本発明の構成要件の一部を除いても本発明の技術的思想の範囲内となる。

産業上の利用可能性

[0096] 本発明によれば、高密度化された、ＳＧＴを有する半導体装置が実現される。

符号の説明

[0097] ＢＬ　ビット線金属層

ＢＬｔ　ビット線端子

ＢＬＢ　反転ビット線金属層

ＢＬＢｔ　反転ビット線端子

Ｎｃ１、Ｎｃ２　ＮチャネルＳＧＴ

ＳＮ１、ＳＮ２　選択ＮチャネルＳＧＴ

Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５、Ｐ６、Ｐｓ、５５ａ、５６　Ｓｉ柱

Ｐｃ１、Ｐｃ２　ＰチャネルＳＧＴ

ＶＤＤ　電源配線金属層

Ｖｄｄ　電源端子

ＶＳＳ、ＶＳＳ１、ＶＳＳ２　グランド配線金属層

Ｖｓｓ　グランド端子

１、５０　ｉ層基板

２、２ａ、２ｂ、７ａ、７ｂ、７ｃ、７ｅ、７ｆ、７ａａ、７ｂｂ、７ｃｃ、７ｄｄ、７ｅｅ、７ｆｆ、９ｂ、１０、１０ａ、１９、２０、３１、３３、３４ａ、３４ｂ　SiO_2層

３、３ａ、３ｂ、８ａ、８ｂ、８ｃ、８ｅ、８ｆ、９、９ａ、１４　ＳｉＮ層

４ａ、４ｂ、６ａ、６ｂ、６ｃ、１１、１５、３３　レジスト層

５ａ、５ｂ、５ａａ、５ｂｂ　ｉ層

１２ａ、１２ｂ、１２ｃ、１２ｄ、１２ａａ、１２ｂｂ、１６ａ、１６ｂ、１６ｃ、１６ｄ、１６ａａ、１６ｂｂ、１６ｃｃ、１６ｄｄ　N^+領域

１３ａ、１３ａａ、１７ａ、１７ａａ、３０　P^+領域

９ｃ、９ｄ、５３、５３ａ　HfO_2層

１４、１４ａ、１４ｂ、１４ｃ、１４ｄ　ＴｉＮ層

１９ａ、１９ｂ、１９ｃ、１９ｄ、２１ａ、２１ｂ、２１ｃ、２１ｄ、２１ｅ、２１ｆ、２１ｇ　コンタクトホール

２５、２５ａ　Ｐ層基板

２６　ｉ層

２８、２８ａ、２８ａａ、２８ａｂ　Ｎ領域

２９ａ、２９ｂ　Ｎ領域の内周縁

３２、３２ａ、３２ｂ　Ｗ層

請求の範囲

［請求項1］ 半導体基板上に第１の材料層を形成し、前記第１の材料層上に第２の材料層を形成する第１・第２材料層形成工程と、

平面視矩形状のマスクを用い、前記第１の材料層、前記第２の材料層をエッチングすることで、平面視で同一の矩形状とされ、かつ互いに重なる、第３の材料層、第４の材料層を形成する第３・第４材料層形成工程と、

縦方向若しくは横方向に延びる平面視矩形状、又は平面視正方形状のマスクを用い、前記半導体基板、前記第３の材料層、及び前記第４の材料層をエッチングすることで、平面視で同一の矩形状とされ、かつ互いに重なる前記第３の材料層及び前記第４の材料層と、縦方向及び横方向の少なくとも一方向に延びる一端辺が、前記第３の材料層及び前記第４の材料層の縦方向及び横方向の少なくとも一方向に延びる一端辺と一致する第１の島状半導体層と、を形成する第１島状半導体層形成工程と、

前記第４の材料層をマスクとして用い、等方エッチングによって、前記第３の材料層を、前記第４の材料層の外周から内側にエッチングすることで、平面視円形状の第５の材料層を形成する第５材料層形成工程と、

前記第４の材料層を除去する材料層除去工程と、

前記第５の材料層をマスクとして用い、前記第１の島状半導体層をエッチングすることで、前記第１島状半導体層から、平面視円形状の第１の半導体柱と、前記第１の半導体柱の下方に位置する第２島状半導体層と、を形成する第１半導体柱形成工程と、

前記第１の半導体柱の外周に第１のゲート絶縁層を形成する第１ゲート絶縁層形成工程と、

前記第１のゲート絶縁層の外周に、第１のゲート導体層を形成する第１ゲート導体層形成工程と、

前記第１の半導体柱の下方に位置する半導体基板内に、ドナーまたはアクセプタ不純物を含む、第１の不純物領域を形成するとともに、前記第１の半導体柱の内部であって、かつ前記第１の不純物領域から上方に離れた位置に、前記第１の不純物領域と同じ導電性を有する第２の不純物領域を形成する第１・第２不純物領域形成工程と、

を有し、

前記第１の不純物領域及び前記第２の不純物領域の一方がソースとなる場合に、他方がドレインとなり、前記第１の不純物領域と前記第２の不純物領域の間に位置する前記第１の半導体柱を第１のチャネルとし、前記第１のチャネルを囲む、前記第１の半導体柱の外周に前記第１のゲート絶縁層が形成され、前記第１のゲート絶縁層の外周に前記第１のゲート導体層が形成されている第１のＳＧＴ（Surrounding Gate MOS Transistor）が形成される、

ことを特徴とする、ＳＧＴを有する半導体装置の製造方法。

［請求項2］ 前記第１島状半導体層形成工程の後、前記第１半導体柱形成工程の前に、前記第１の島状半導体層の外周に位置する前記半導体基板の表面に、イオン注入によって、ドナーまたはアクセプタ不純物を含む第３の不純物領域を形成する、第３不純物領域形成工程を行う、ことを特徴とする請求項１に記載のＳＧＴを有する半導体装置の製造方法。

［請求項3］ 前記第１島状半導体層形成工程の後、前記第１半導体柱形成工程の前に、前記第１の島状半導体層と、前記第１の島状半導体層の外周に位置する前記半導体基板と、を覆うように、酸化速度の小さい第６の材料層を形成する第６材料層形成工程と、

前記第１の島状半導体層の下方側面に、前記第６の材料層を残存させる第６材料層残存工程と、

前記第６の材料層で覆われていない前記第１の島状半導体層の側面に酸化層を形成する酸化層形成工程と、を備え、

前記第３不純物領域形成工程は、前記酸化層形成工程の後に行う、

ことを特徴とする請求項２に記載のＳＧＴを有する半導体装置の製造方法。

［請求項4］ 前記第１の半導体柱は、前記第３不純物領域形成工程の後、前記第１の島状半導体層の内側に熱拡散された前記第３の不純物領域の内周縁の内側に形成される、ことを特徴とする請求項２又は３に記載のＳＧＴを有する半導体装置の製造方法。

［請求項5］ 互いに重なる前記第３の材料層及び前記第４の材料層の形状が、平面視正方形状である、ことを特徴とする請求項１に記載のＳＧＴを有する半導体装置の製造方法。

［請求項6］ 前記第１の半導体柱を囲む前記第１のゲート導体層の外周が、前記第２の島状半導体層の上方に位置している、ことを特徴とする請求項１に記載のＳＧＴを有する半導体装置の製造方法。

［請求項7］ 前記第１の島状半導体層は、前記第３の材料層及び前記第４の材料層の、縦方向及び横方向の一端辺がいずれも一致するように形成する、ことを特徴とする請求項１に記載のＳＧＴを有する半導体装置の製造方法。

［請求項8］ 半導体基板上に第１の材料層を形成し、前記第１の材料層上に第２の材料層を形成する第１・第２材料層形成工程と、

前記第２の材料層上に第６の材料層を形成する第６材料層形成工程と、

平面視正方形状のマスクを用い、前記第１の材料層、前記第２の材料層、前記第６の材料層をエッチングすることで、平面視で同一の正方形状とされ、かつ互いに重なる、第３の材料層、第４の材料層、第７の材料層を形成する第３・第４・第７材料層形成工程と、

前記第３の材料層、前記第４の材料層、及び前記第７の材料層をマスクとして用い、前記半導体基板をエッチングすることで、縦方向及び横方向の一端辺のいずれもが、前記第３の材料層、前記第４の材料層、及び前記第７の材料層の縦方向及び横方向の一端辺と一致する第

３の島状半導体層を形成する第３島状半導体層形成工程と、

前記第７の材料層をマスクとして用い、等方エッチングによって、前記第３の材料層と前記第４の材料層とを、前記第７の材料層の外周から内側にエッチングすることで、平面視円形状の第８の材料層及び平面視円形状の第９の材料層を形成する第８・第９材料層形成工程と、

前記第７の材料層を除去する第７材料層除去工程と、

前記第８の材料層及び前記第９の材料層をマスクとして用い、前記第３の島状半導体層をエッチングすることで、前記第３島状半導体層から、第２の半導体柱を形成する第２半導体柱形成工程と、

前記第９の材料層をマスクとして用い、等方エッチングによって、前記第８の材料層を、前記第９の材料層の外周から内側にエッチングすることで、前記第８の材料層から第１０の材料層を形成する、第１０材料層形成工程と、

前記第９の材料層を除去する第９材料層除去工程と、

前記第１０の材料層をマスクとして用い、前記第２の半導体柱をエッチングすることで、平面視円形状の第３の半導体柱及び平面視円形状の第４の半導体柱を形成する第３・第４半導体柱形成工程と、

前記第４の半導体柱の底部に、ドナー又はアクセプタ不純物を含む第４の不純物領域と、前記第４の半導体柱の内部であって、かつ前記第４の不純物領域から上方に離れた位置に、前記第４の不純物領域と同じ導電性を有する第５の不純物領域を形成する第４・第５不純物領域形成工程と、

前記第３の半導体柱の底部に、ドナーまたはアクセプタ不純物を含む、第６の不純物領域と、前記第３の半導体柱の内部であって、かつ前記第６の不純物領域から上方に離れた位置に、前記第６の不純物領域と同じ導電性を有する第７の不純物領域を形成する第６・第７不純物領域形成工程と、

前記第４の不純物領域と前記第５の不純物領域との間であって、前記第４の半導体柱の外周に第２のゲート絶縁層を形成する第２ゲート絶縁層形成工程と、

前記第２のゲート絶縁層の外周に第２のゲート導体層を形成する第２ゲート導体層形成工程と、

前記第６の不純物領域と前記第７の不純物領域との間であって、前記第３の半導体柱の外周に第３のゲート絶縁層を形成する第３ゲート絶縁層形成工程と、

前記第３のゲート絶縁層の外周に第３のゲート導体層を形成する第３ゲート導体層形成工程と、

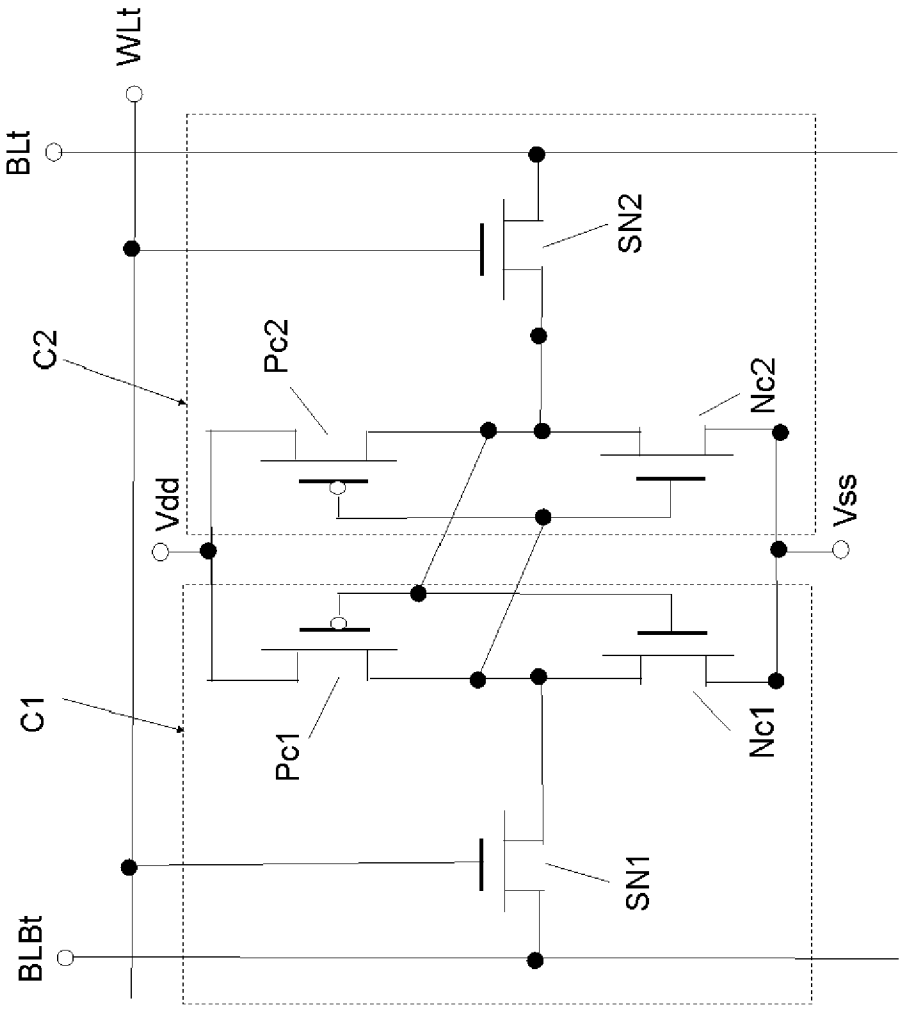
を有し、

前記第４の不純物領域及び前記第５の不純物領域の一方がソースとなる場合に、他方がドレインとなり、前記第４の不純物領域と前記第５の不純物領域の間に位置する前記第４の半導体柱を第２のチャネルとし、前記第２のチャネルを囲む、前記第４の半導体柱の外周に前記第２のゲート絶縁層が形成され、前記第２のゲート絶縁層の外周に前記第２ゲート導体層が形成されている第２のＳＧＴが形成され、

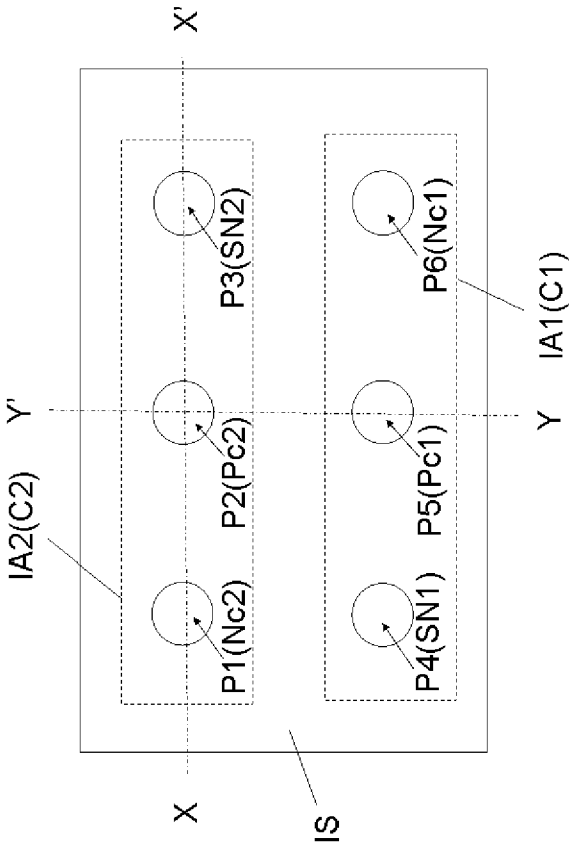
前記第６の不純物領域及び前記第７の不純物領域の一方がソースとなる場合に、他方がドレインとなり、前記第６の不純物領域と前記第７の不純物領域の間に位置する前記第３の半導体柱を第３のチャネルとし、前記第３のチャネルを囲む、前記第３の半導体柱の外周に前記第３のゲート絶縁層が形成され、前記第３のゲート絶縁層の外周に前記第３ゲート導体層が形成されている第３のＳＧＴを形成する、

ことを特徴とするＳＧＴを有する半導体装置の製造方法。

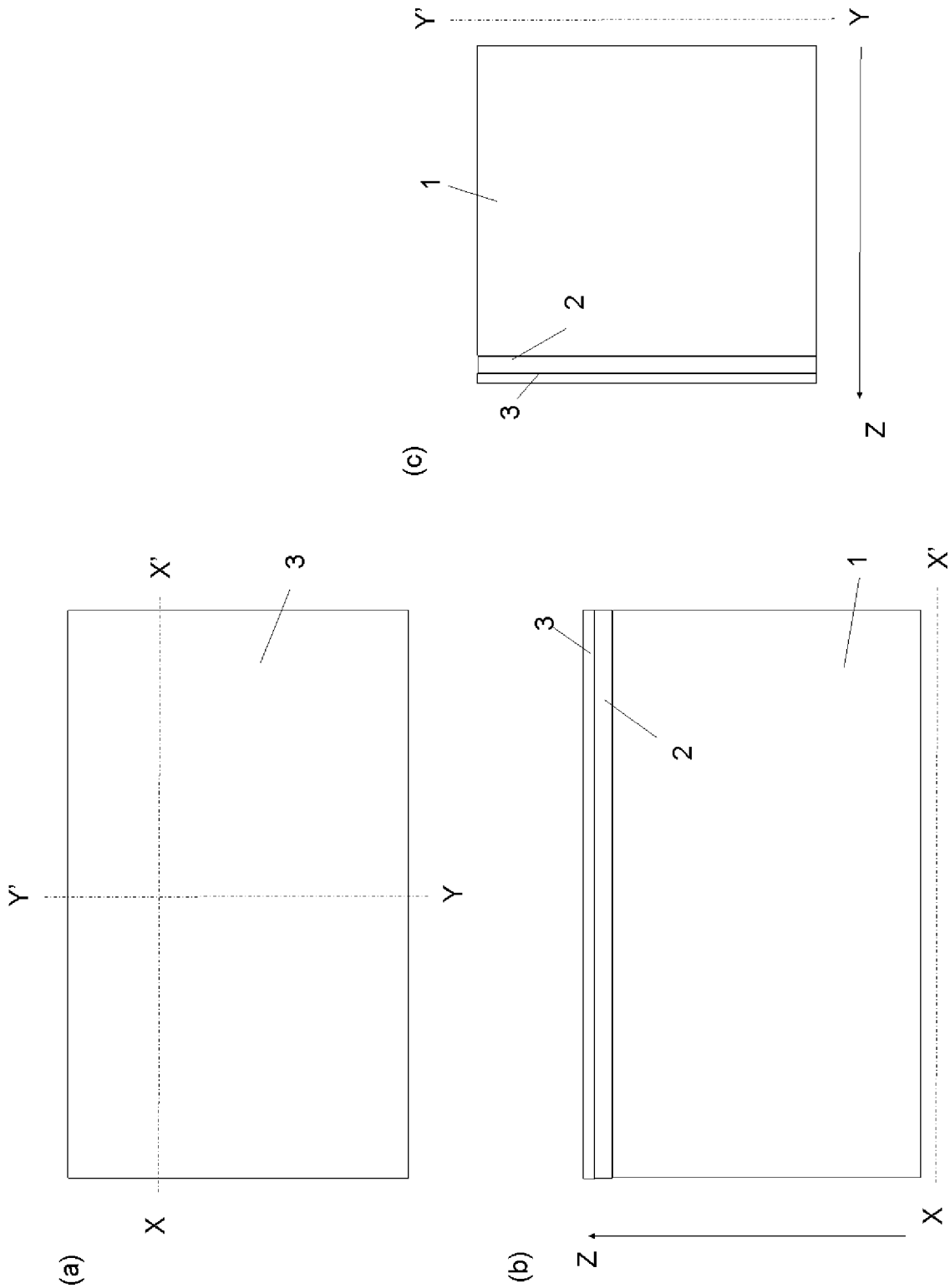
[図1A]



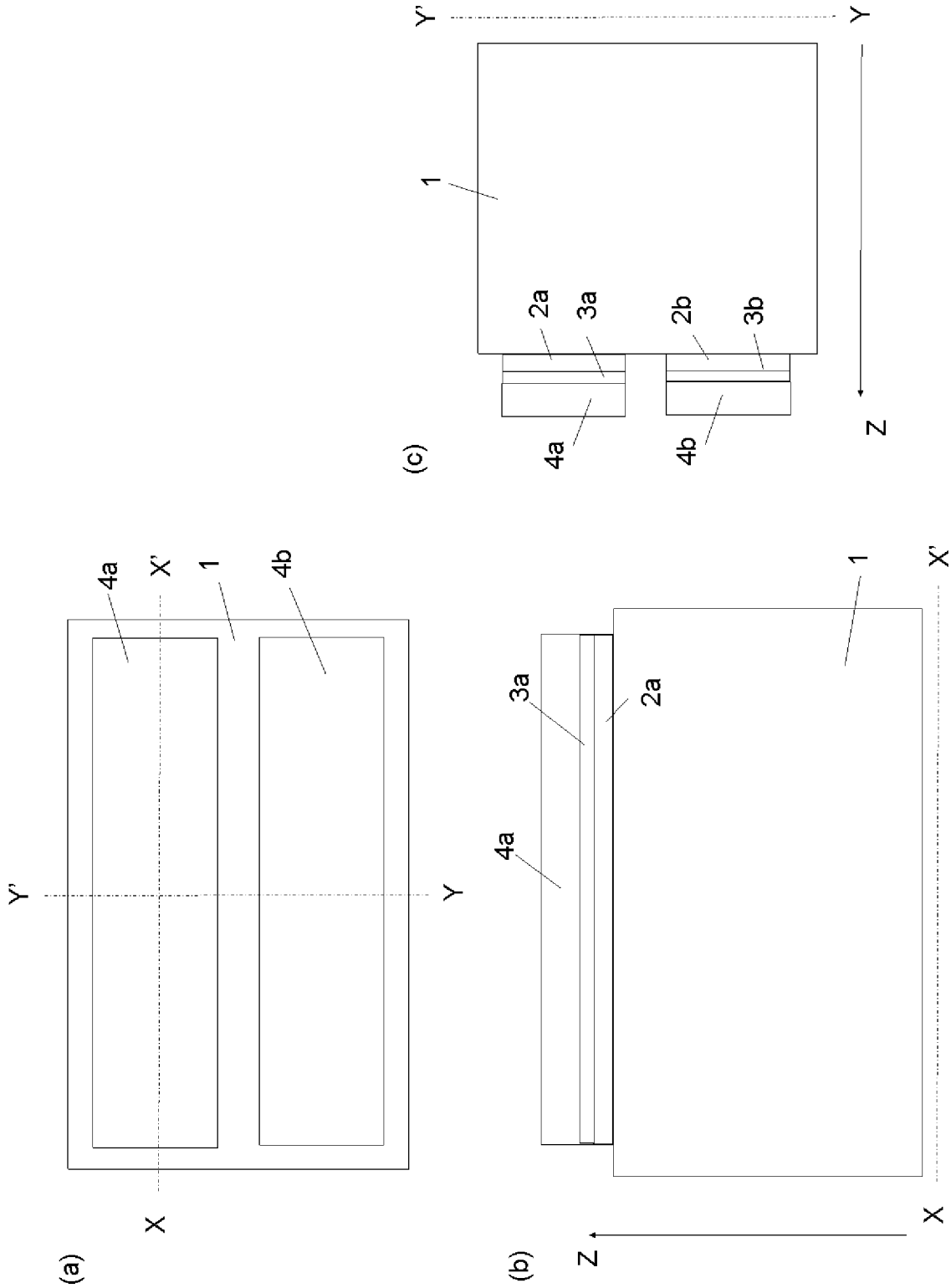
[図1B]



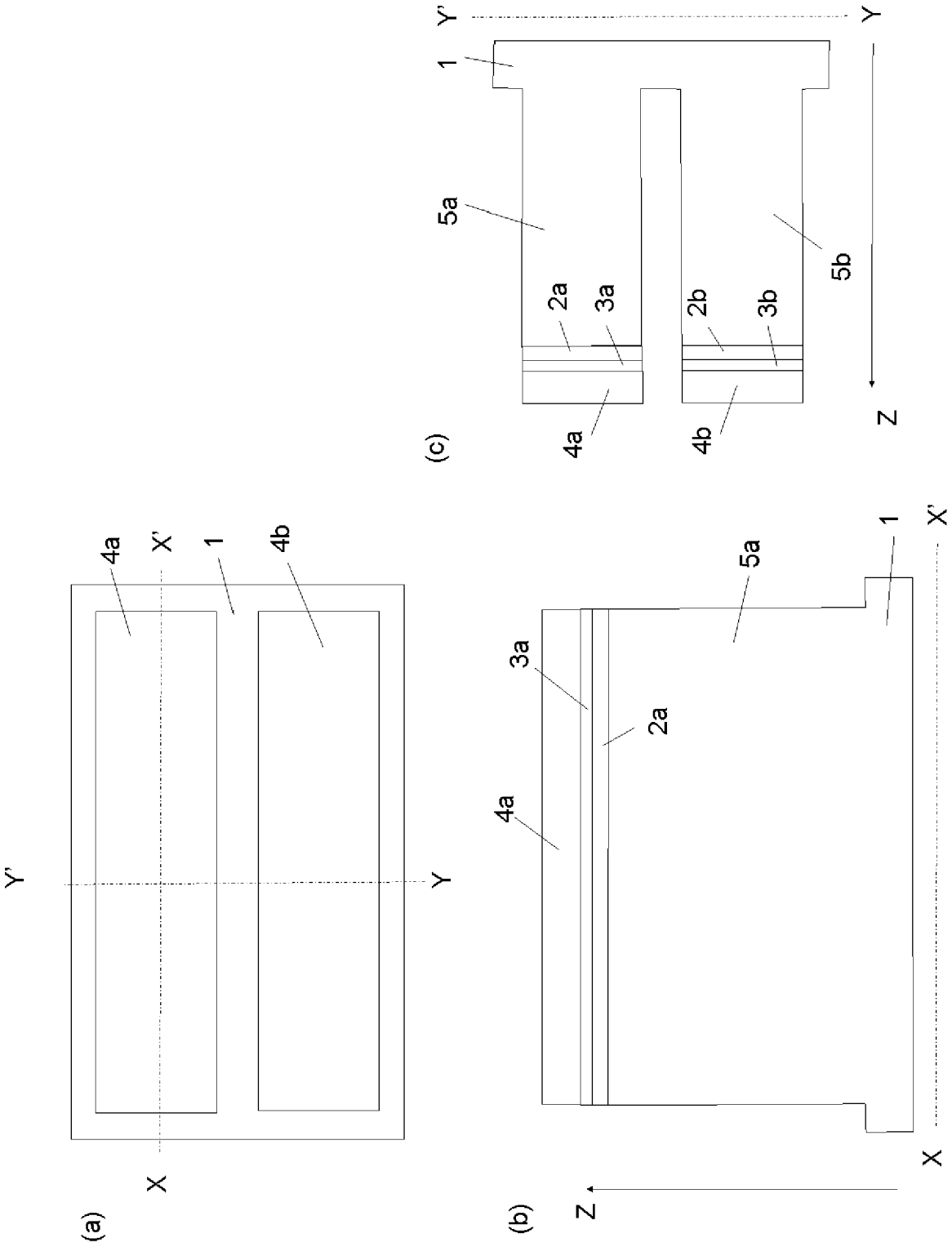
[図2A]



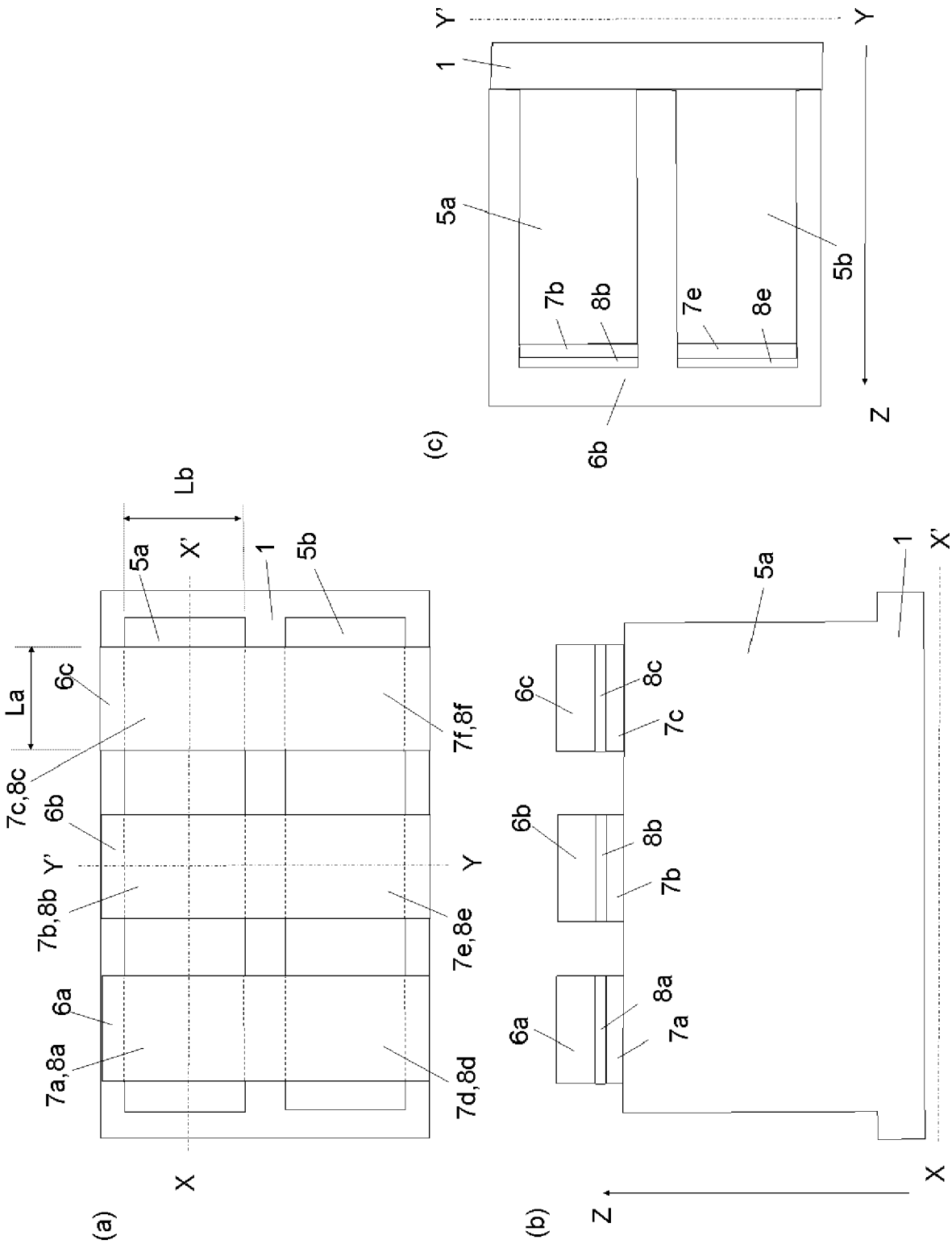
[図2B]



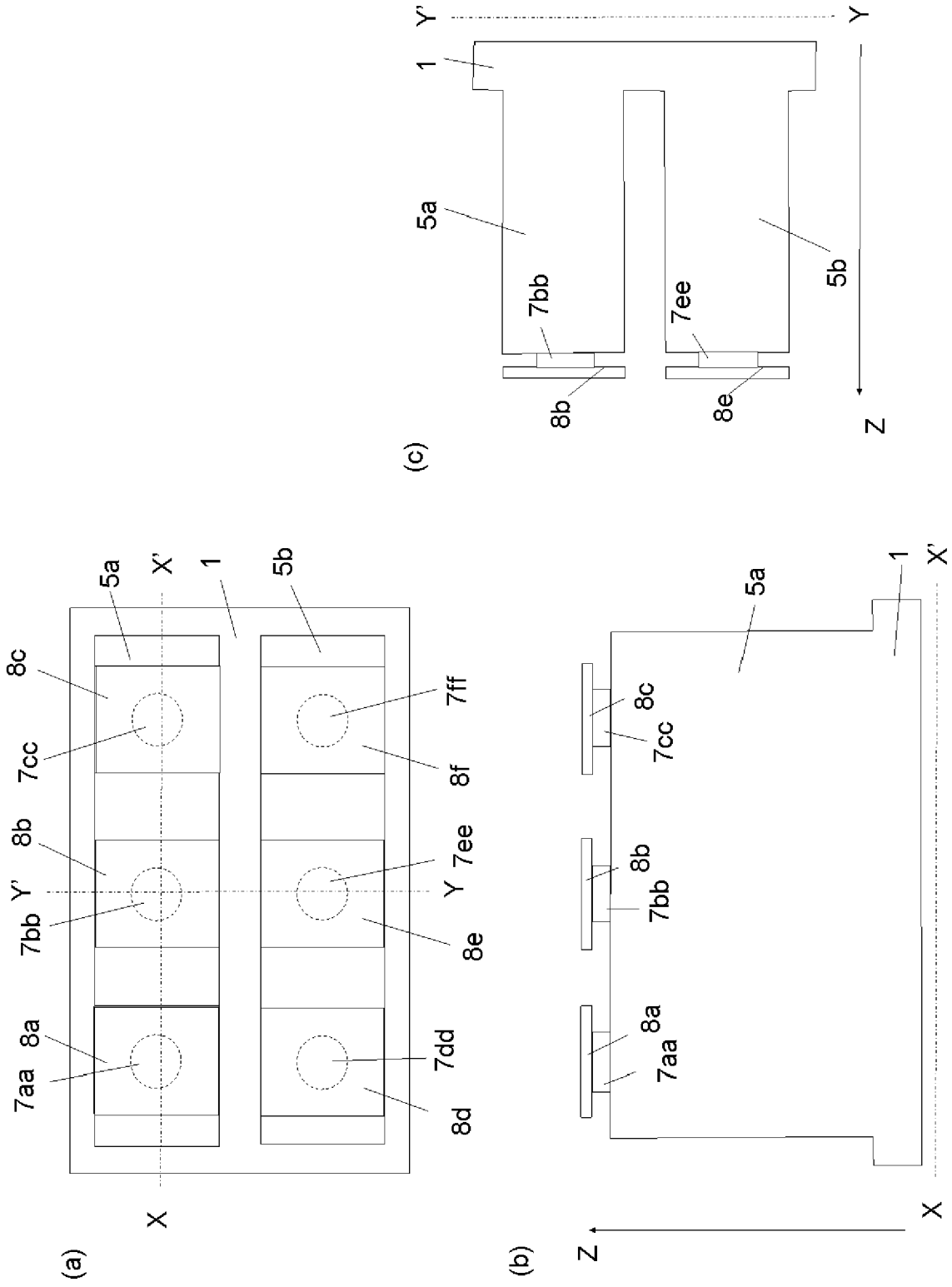
[図2C]



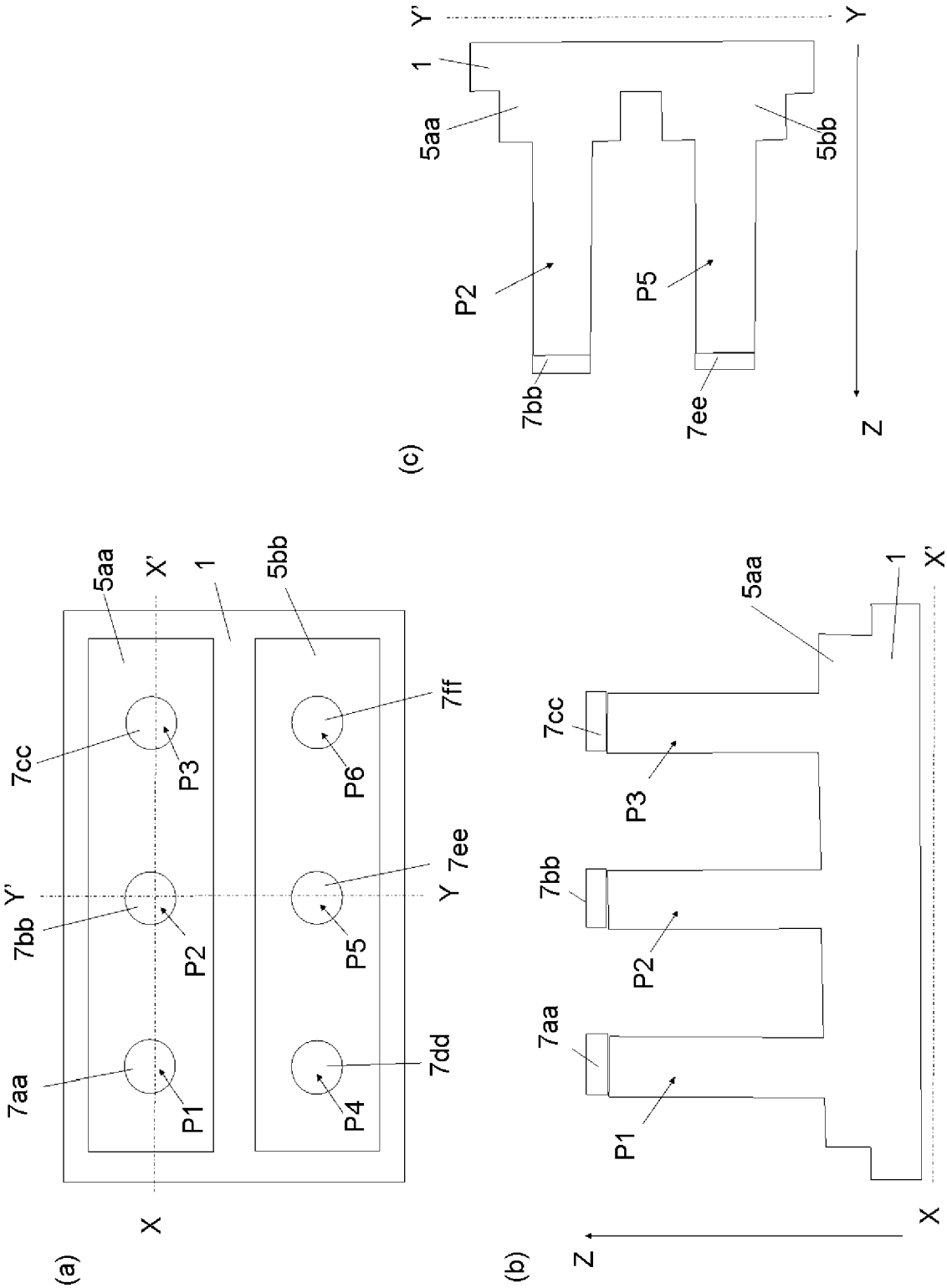
[図2D]


(a)
Lb
La
X'
X
Y'
Y
5a
5b
1
6c
6b
6a
7c,8c
7b,8b
7a,8a
7f,8f
7e,8e
7d,8d
(b)
Z
(c)
7b
8b
7e
8e
6b

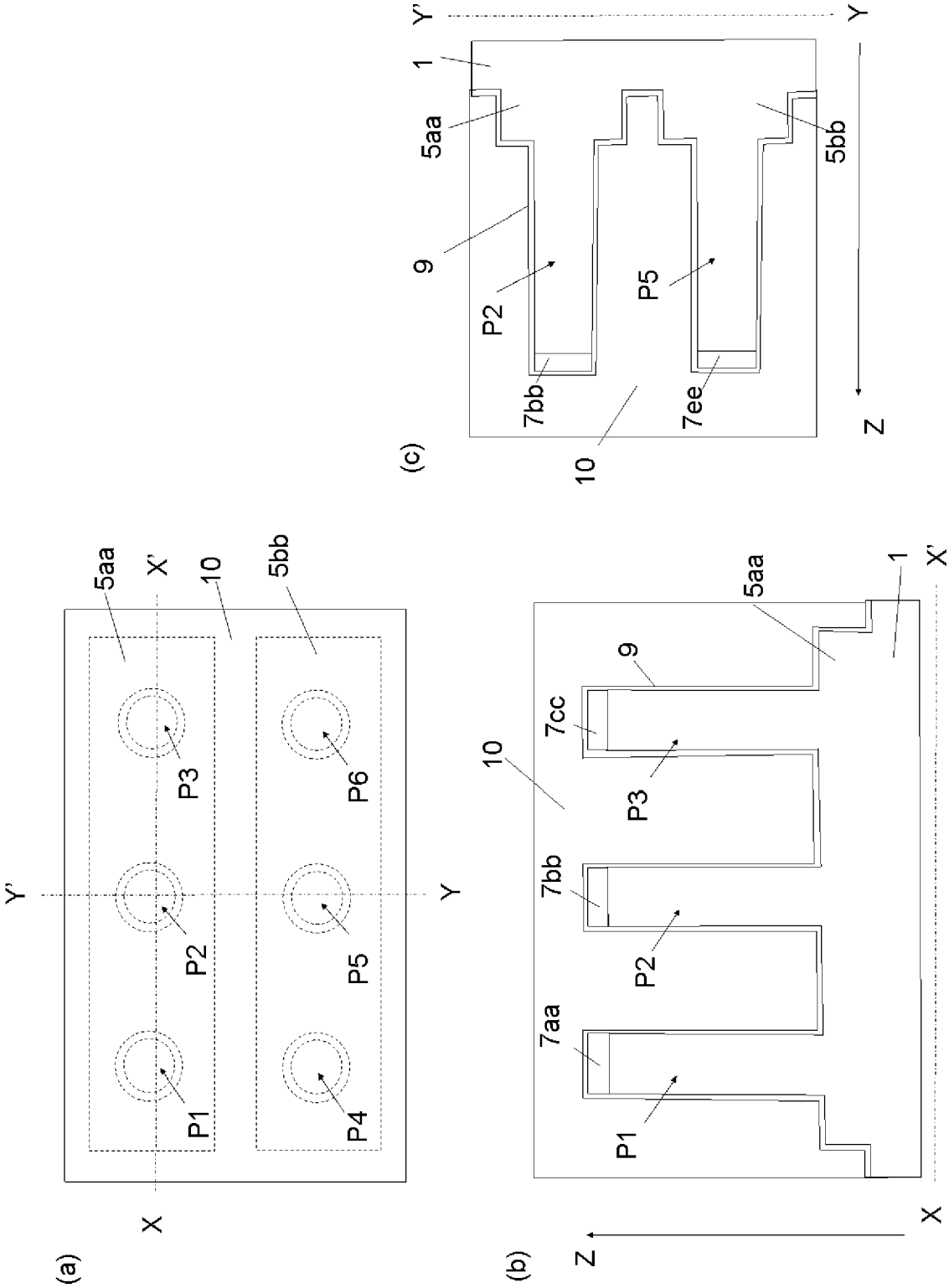
[図2E]


Y'
Y
1
5a
5b
7bb
7ee
8b
8e
Z
(c)
5a
X'
1
5b
8c
7ff
7cc
8f
8b
7ee
Y'
Y
7bb
8e
8a
7dd
7aa
8d
X
(a)
5a
1
X'
8c
7cc
8b
7bb
8a
7aa
Z
X
(b)

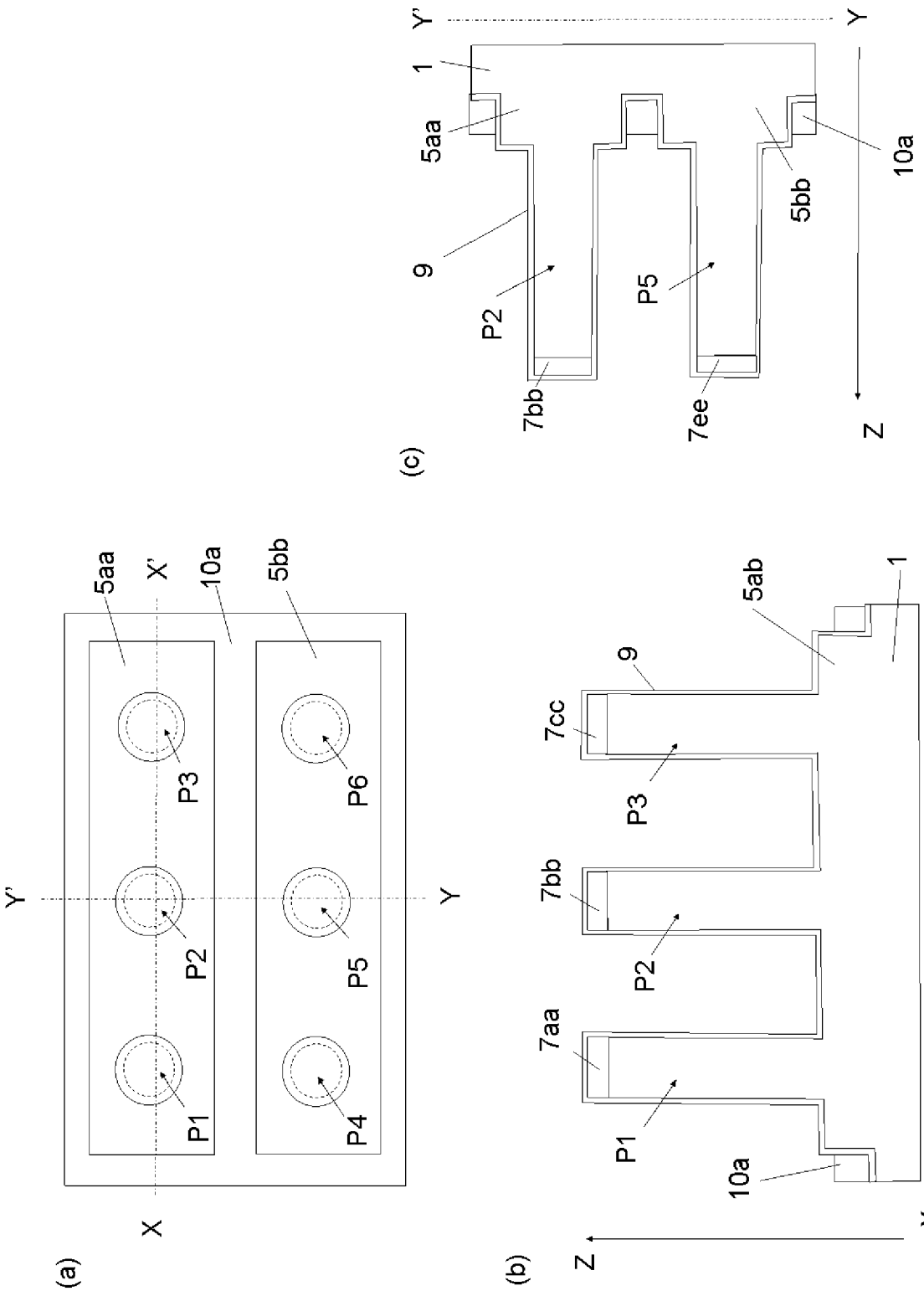
[図2F]


(a)
5aa
X'
1
5bb
7cc
P3
P6
7ff
Y'
7bb
P2
P5
Y
7ee
7aa
P1
P4
7dd
X
(b)
5aa
1
X'
7cc
P3
7bb
P2
7aa
P1
Z
X
(c)
Y'
Y
1
5aa
5bb
P2
P5
7bb
7ee
Z

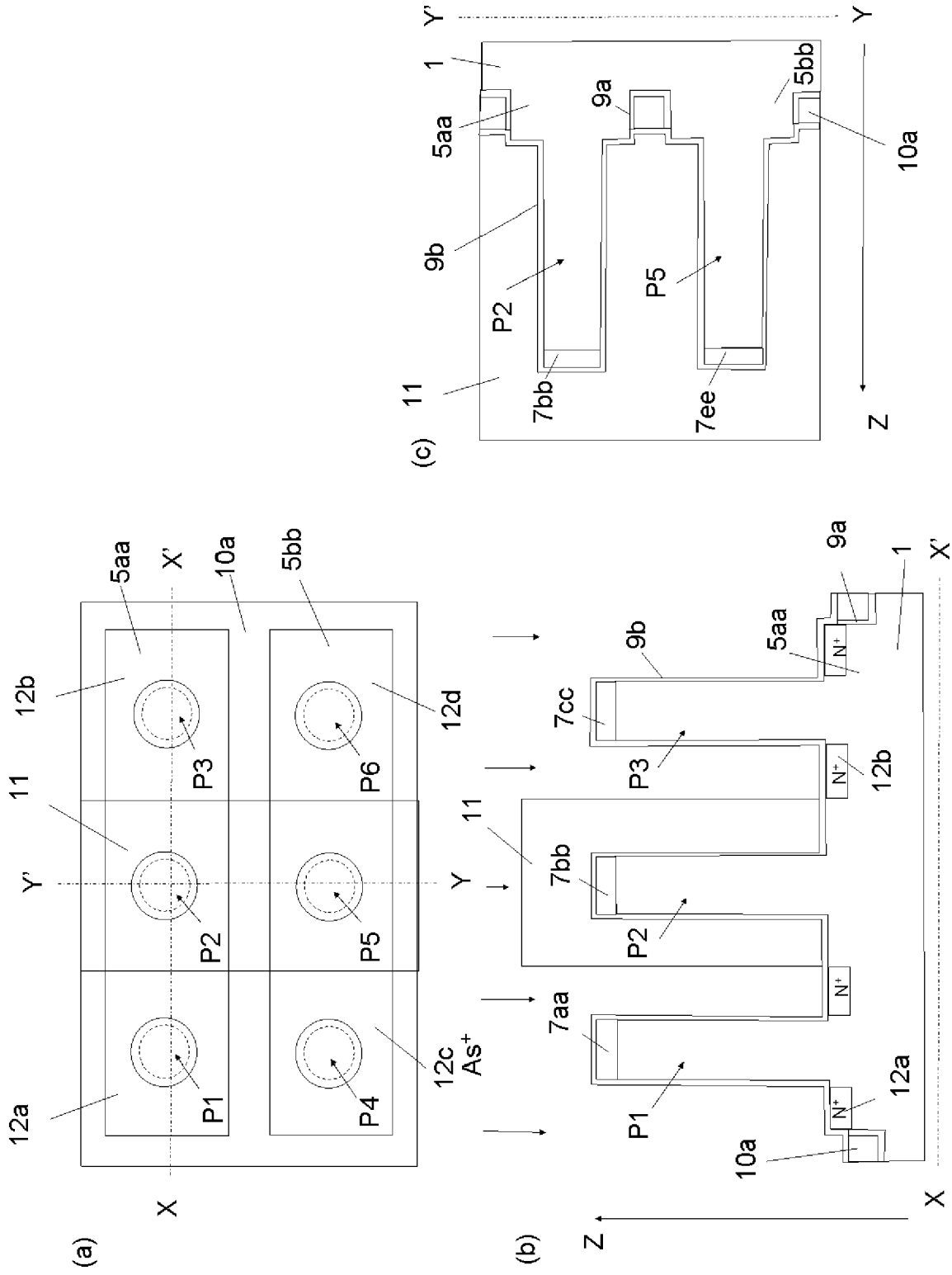
[図2G]


Y'
Y
1
5aa
5bb
9
P2
P5
7bb
7ee
10
Z
(c)
5aa
X'
10
5bb
P3
P6
Y'
Y
P2
P5
P1
P4
X
(a)
5aa
1
X'
9
7cc
10
P3
7bb
P2
7aa
P1
X
Z
(b)

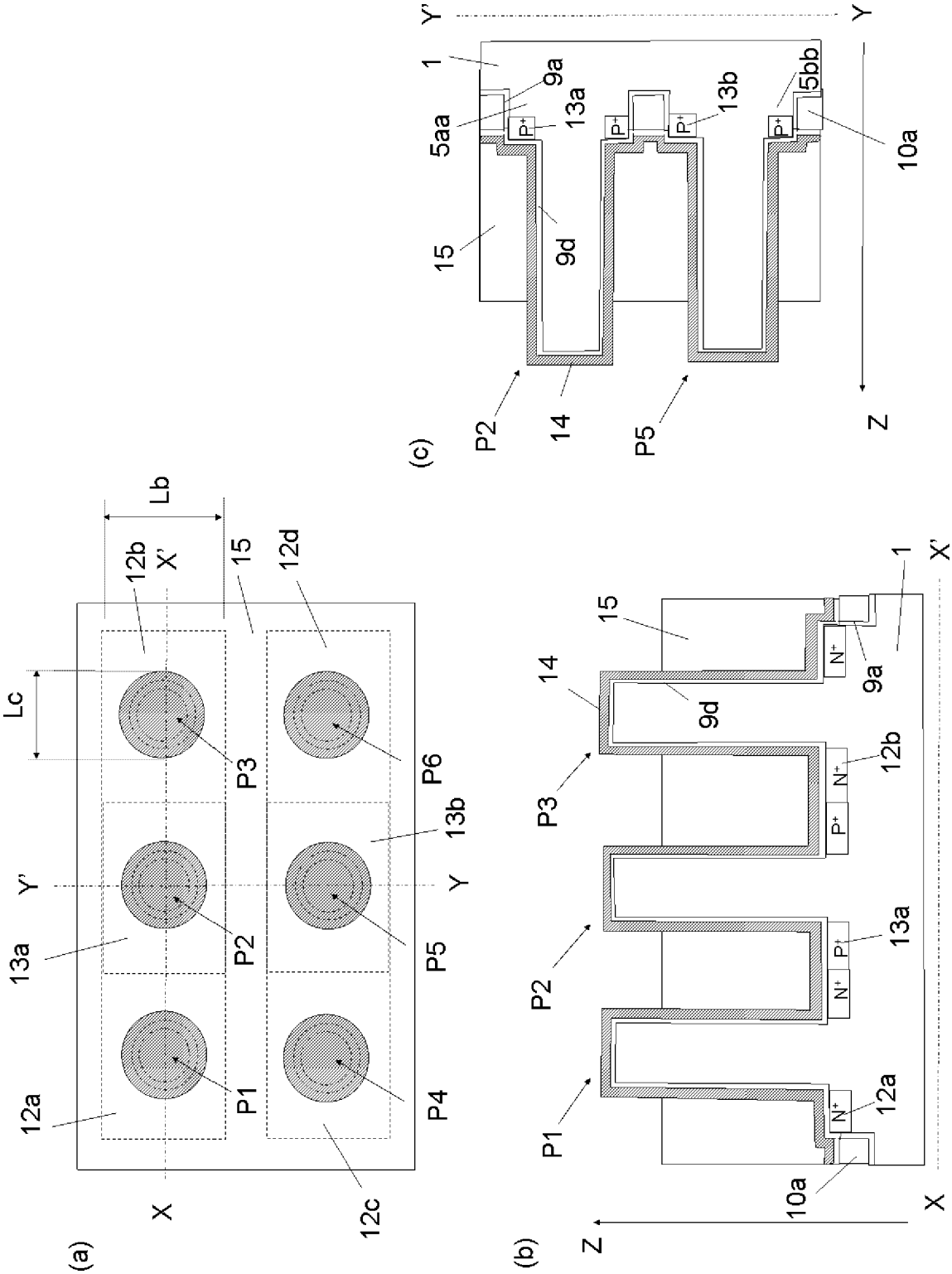
[図2H]


(a)
5aa
X'
10a
5bb
Y'
Y
X
P1
P2
P3
P4
P5
P6
(b)
5ab
1
X'
9
7cc
P3
7bb
P2
7aa
P1
10a
Z
X
(c)
Y'
Y
1
5aa
5bb
10a
9
P2
P5
7bb
7ee
Z

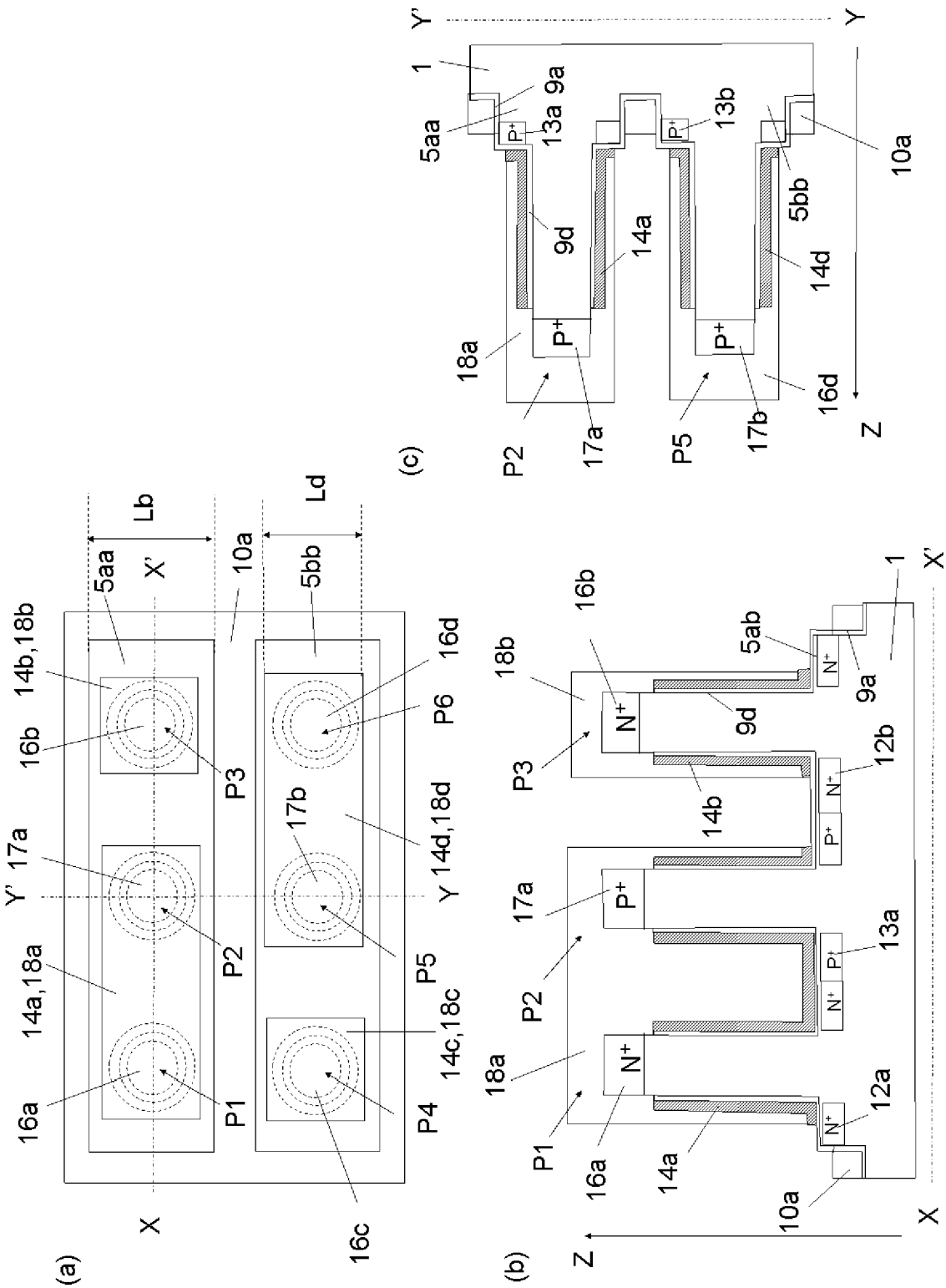
[図2I]


(a)
X
X'
Y'
5aa
10a
5bb
12b
12d
11
12a
12c
P1
P2
P3
P4
P5
P6
(b)
Z
X
X'
Y
9a
1
5aa
9b
7cc
7bb
7aa
12b
12a
10a
N+
As+
(c)
Y'
Y
Z
1
5aa
9a
5bb
10a
9b
P2
P5
11
7bb
7ee

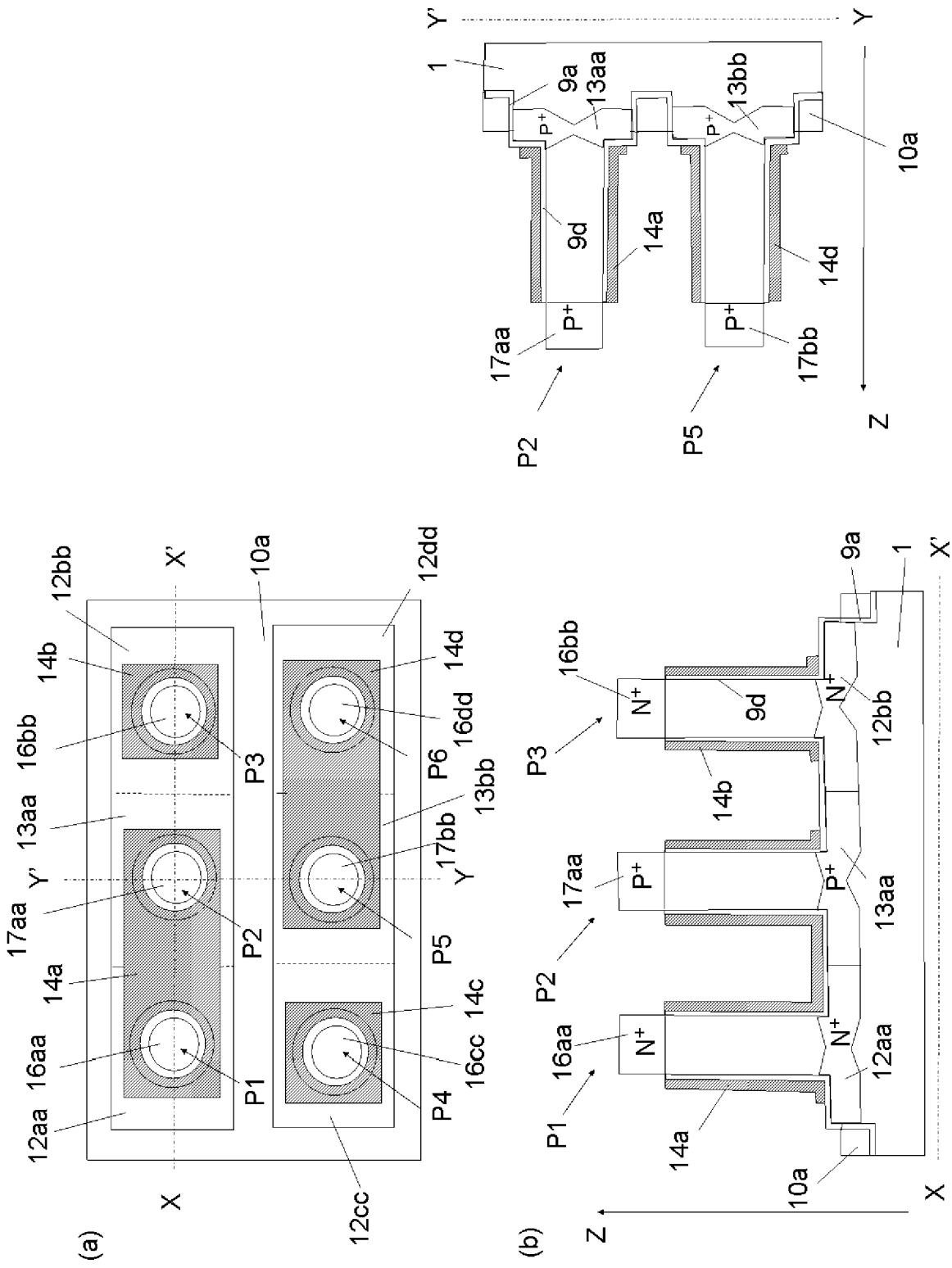
[図2J]


(a)
Lb
Lc
12b
X'
15
12d
P3
P6
13b
Y'
Y
P2
P5
13a
P1
P4
12a
12c
X
(b)
Z
X'
X
1
15
14
9a
9d
12b
13a
12a
10a
P1
P2
P3
N+
P+
(c)
Y'
Y
1
5aa
9a
13a
13b
5bb
10a
15
9d
P2
14
P5
Z
P+

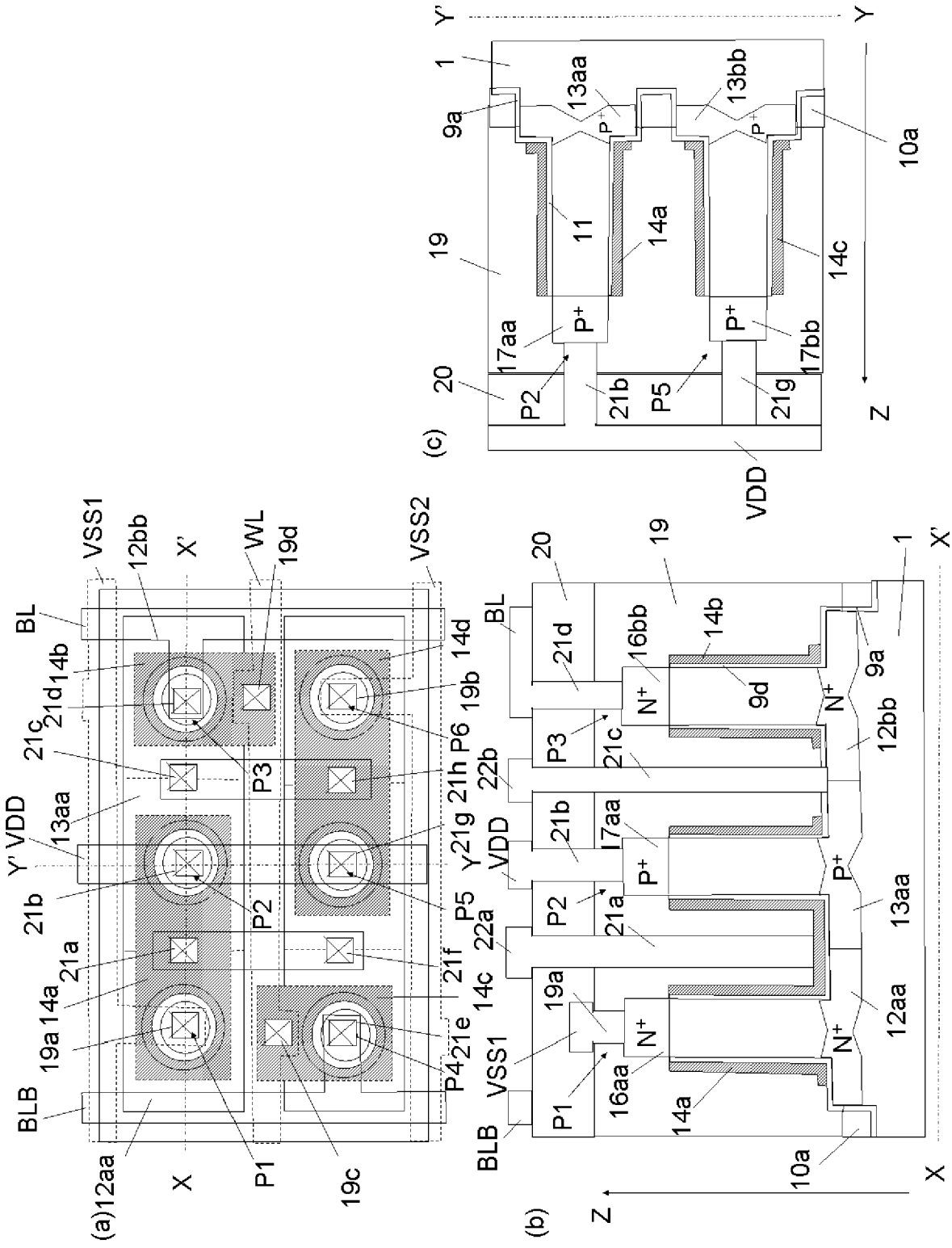
[図2K]


(a)
(b)
(c)
X
X'
Y
Y'
Z
Lb
Ld
5aa
5bb
5ab
10a
1
9a
9d
12a
12b
13a
13b
14a
14b
14d
16a
16b
16c
16d
17a
17b
18a
18b
P1
P2
P3
P4
P5
P6
P+
N+

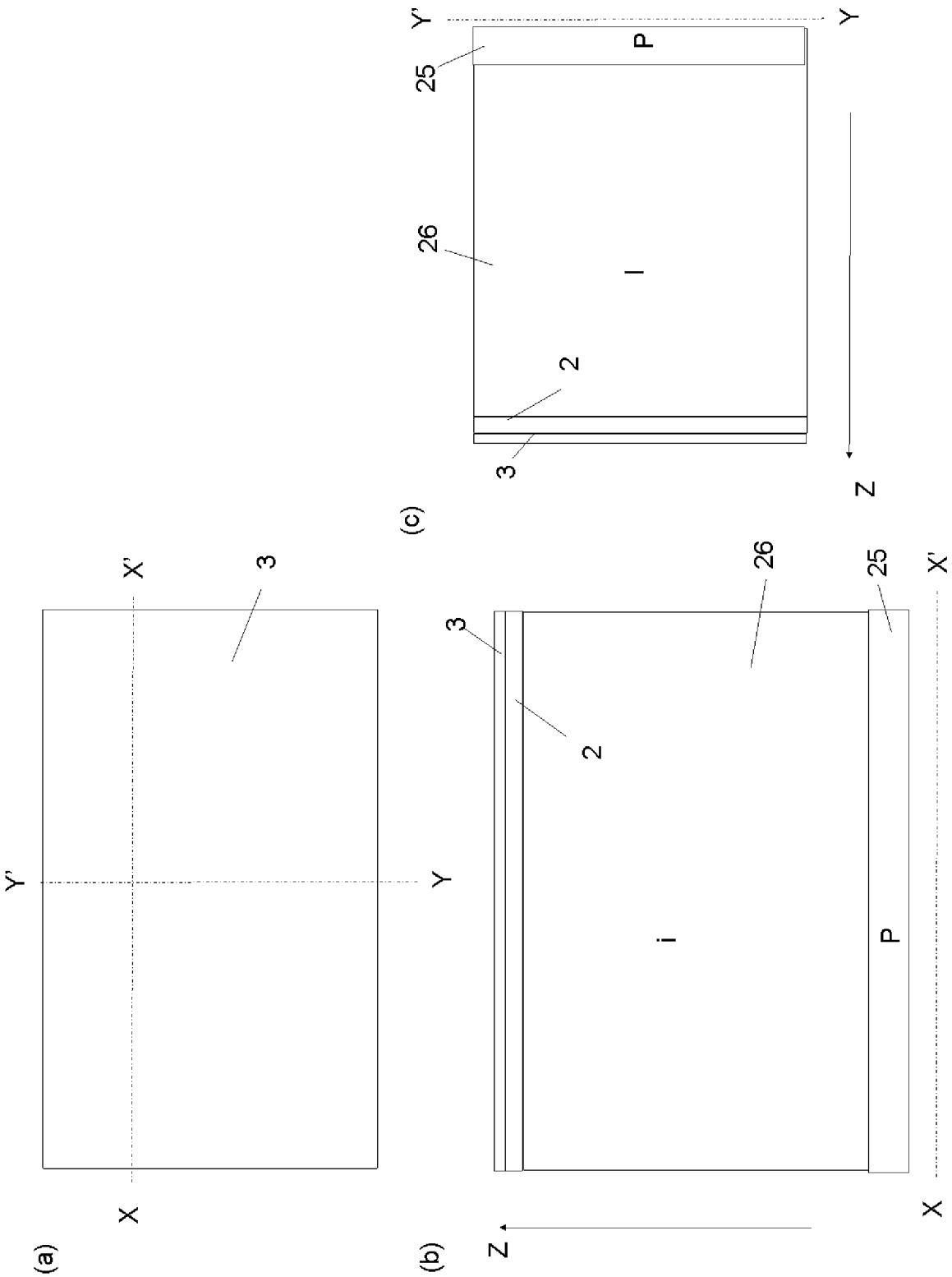
[図2L]


Y'
Y
1
9a
13aa
13bb
P+
10a
9d
14a
14d
17aa
17bb
P2
P5
Z
(a)
12bb
X'
10a
12dd
14b
14d
16bb
16dd
P3
P6
13aa
13bb
Y'
Y
17aa
17bb
P2
P5
14a
14c
16aa
16cc
P1
P4
12aa
12cc
X
(b)
9a
1
X'
16bb
N+
9d
12bb
P3
14b
17aa
P+
13aa
P2
16aa
12aa
P1
14a
10a
Z
X

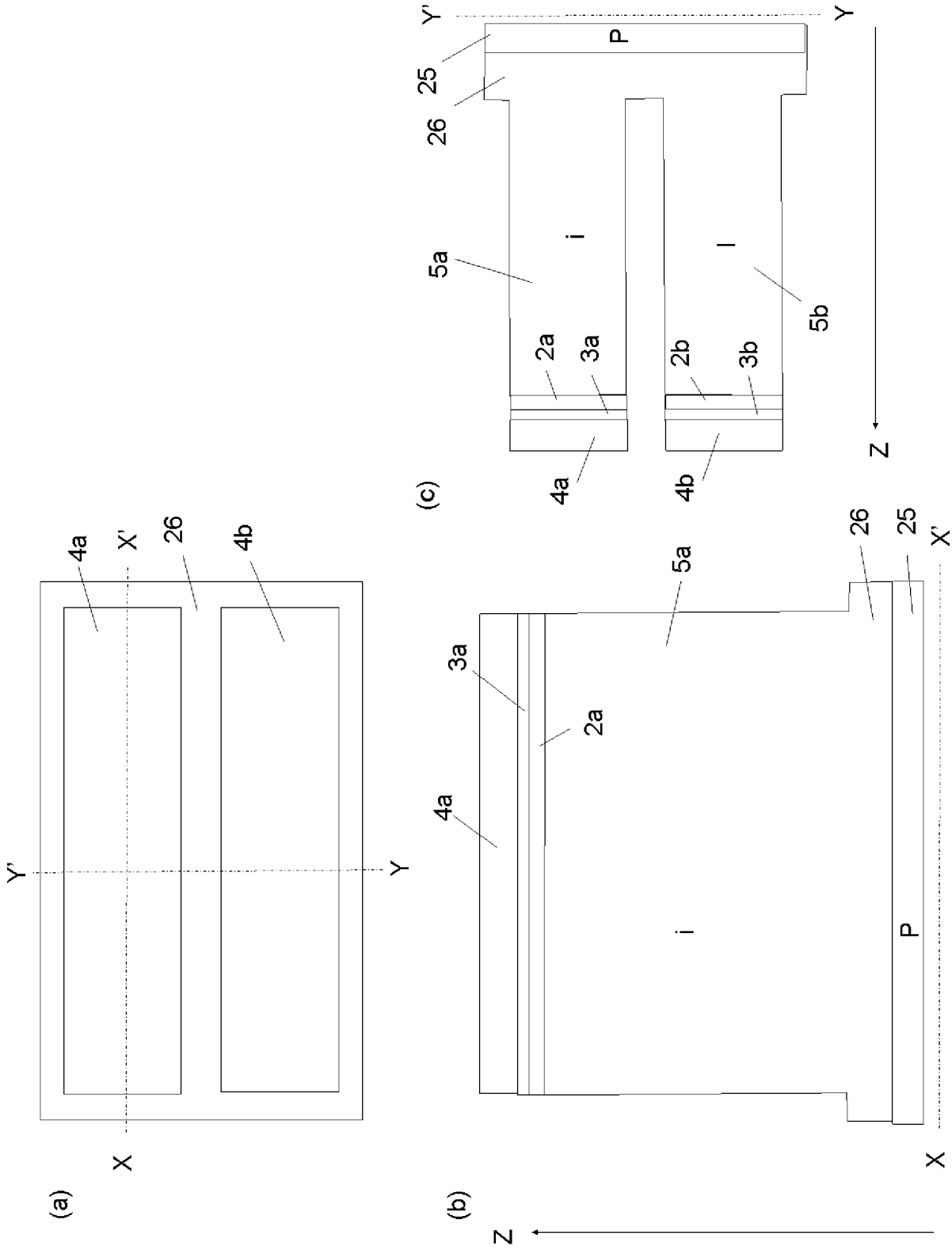
[図2M]


(a)
(b)
(c)
VSS1
VSS2
WL
VDD
BL
BLB
X
X'
Y
Y'
Z
P1
P2
P3
P4
P5
P6
N+
P+
1
9a
9d
10a
11
12aa
12bb
13aa
13bb
14a
14b
14c
14d
16aa
16bb
17aa
17bb
19
19a
19b
19c
19d
20
21a
21b
21c
21d
21e
21f
21g
21h
22a
22b

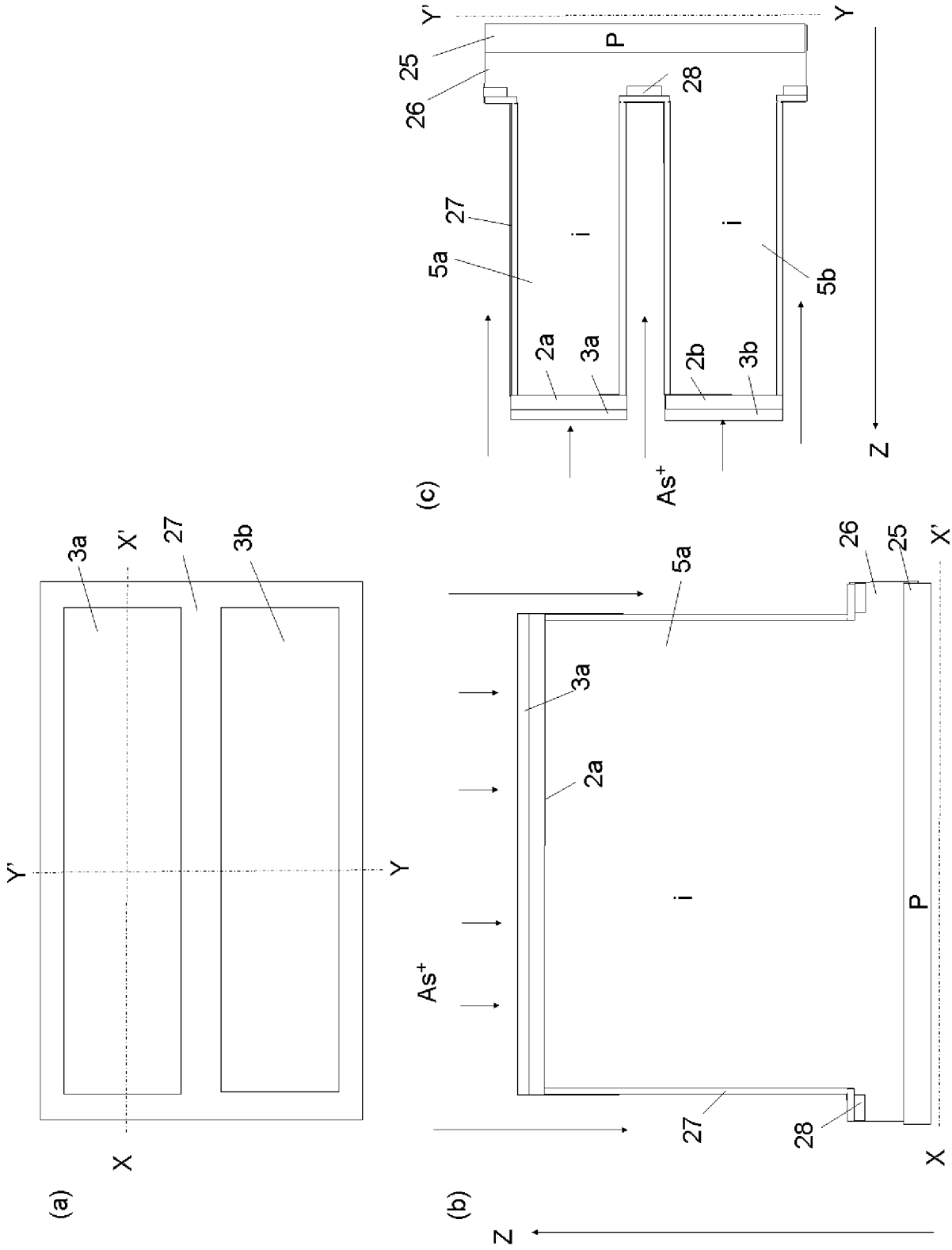
[図3A]



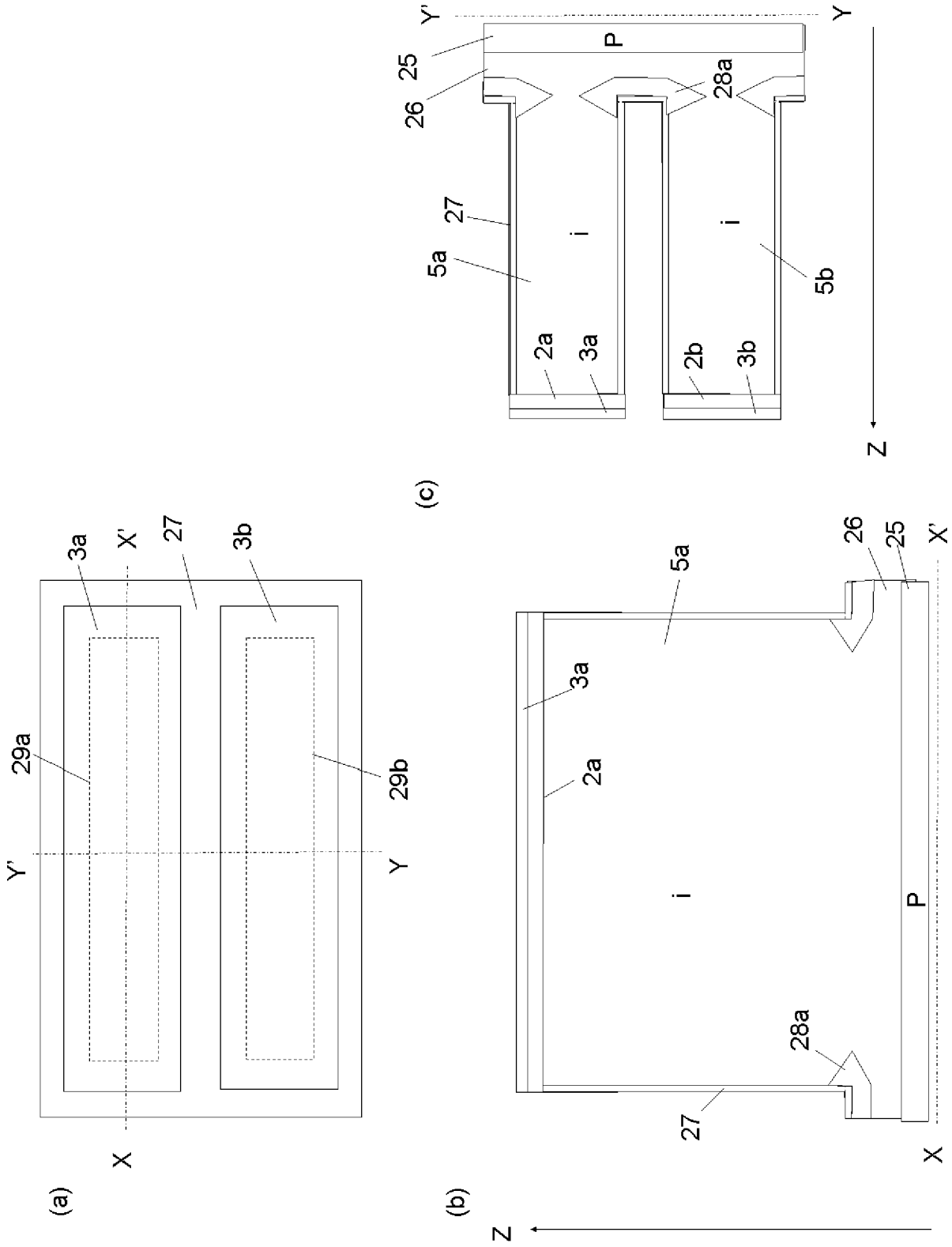
[図3B]


Y'
Y
P
25
26
5a
i
I
5b
2a
3a
2b
3b
Z
(c)
4a
4b
4a
X'
26
4b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
4a
i
P
X
(b)
Z

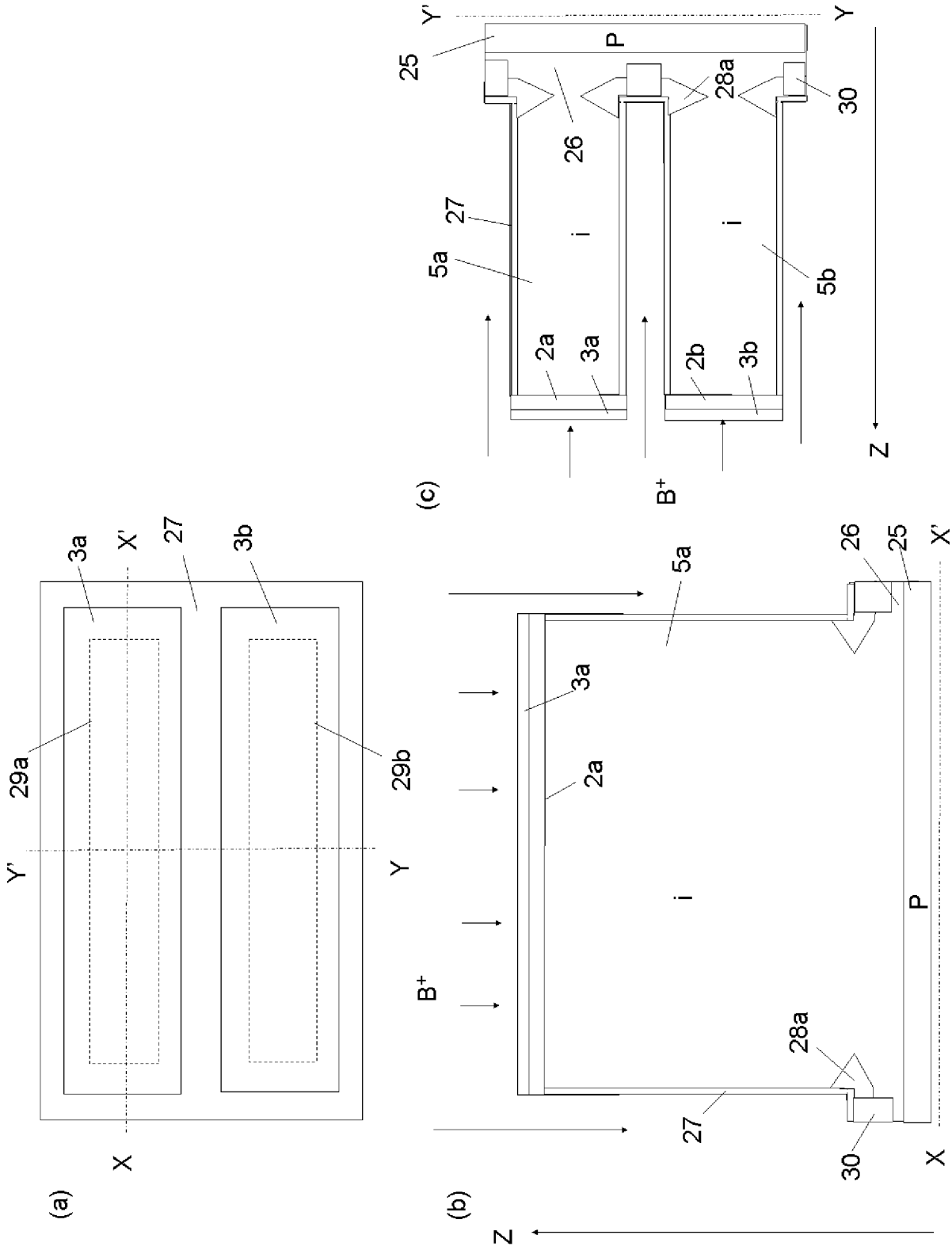
[図3C]


Y'
Y
25
26
P
28
27
i
i
5a
5b
2a
3a
2b
3b
(c)
As+
Z
3a
X'
27
3b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
i
P
As+
27
28
X
(b)
Z

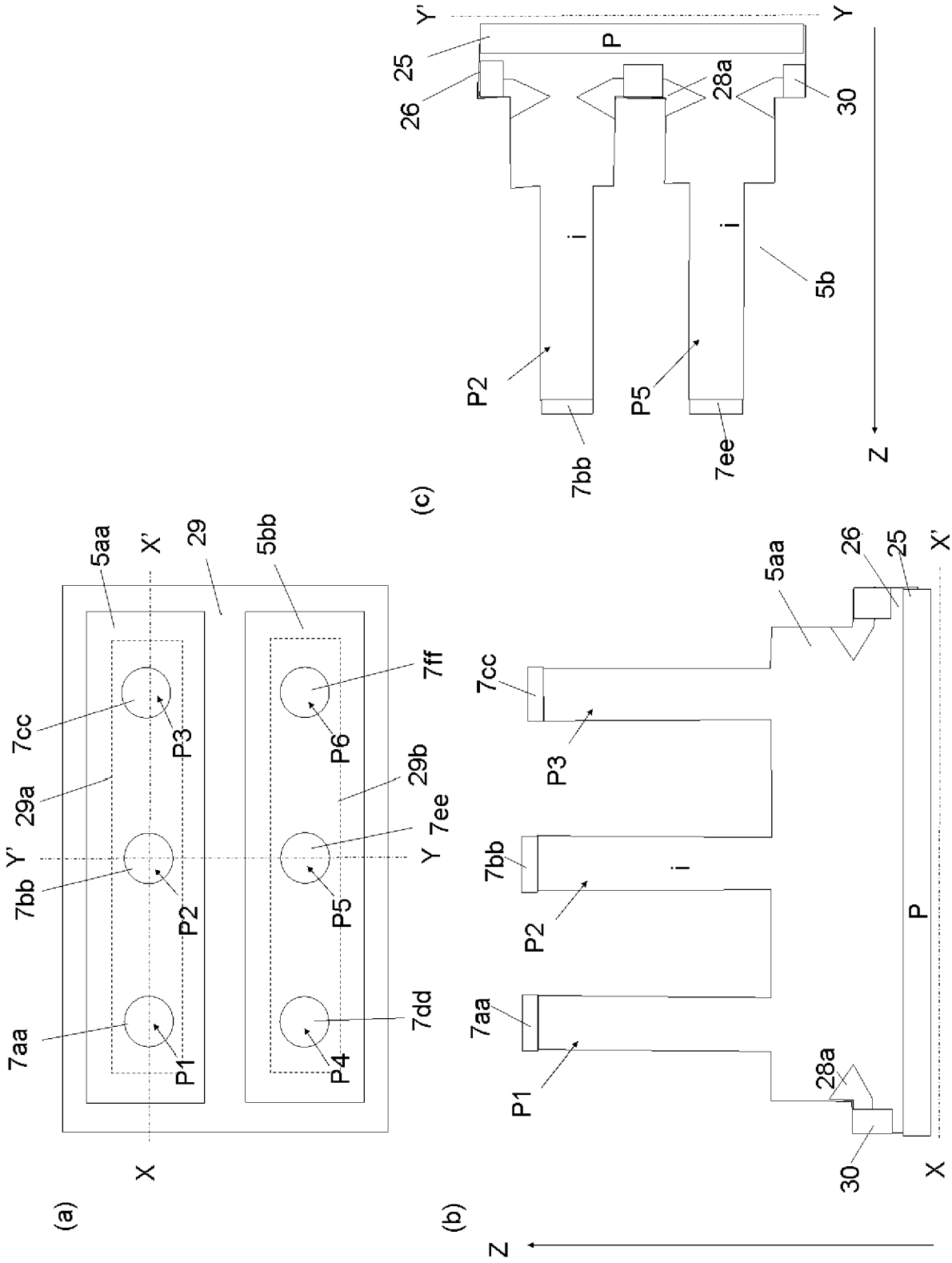
[図3D]


Y'
Y
P
25
26
28a
27
i
i
5a
5b
2a
3a
2b
3b
Z
(c)
3a
X'
27
3b
29a
29b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
i
P
28a
27
X
(b)
Z

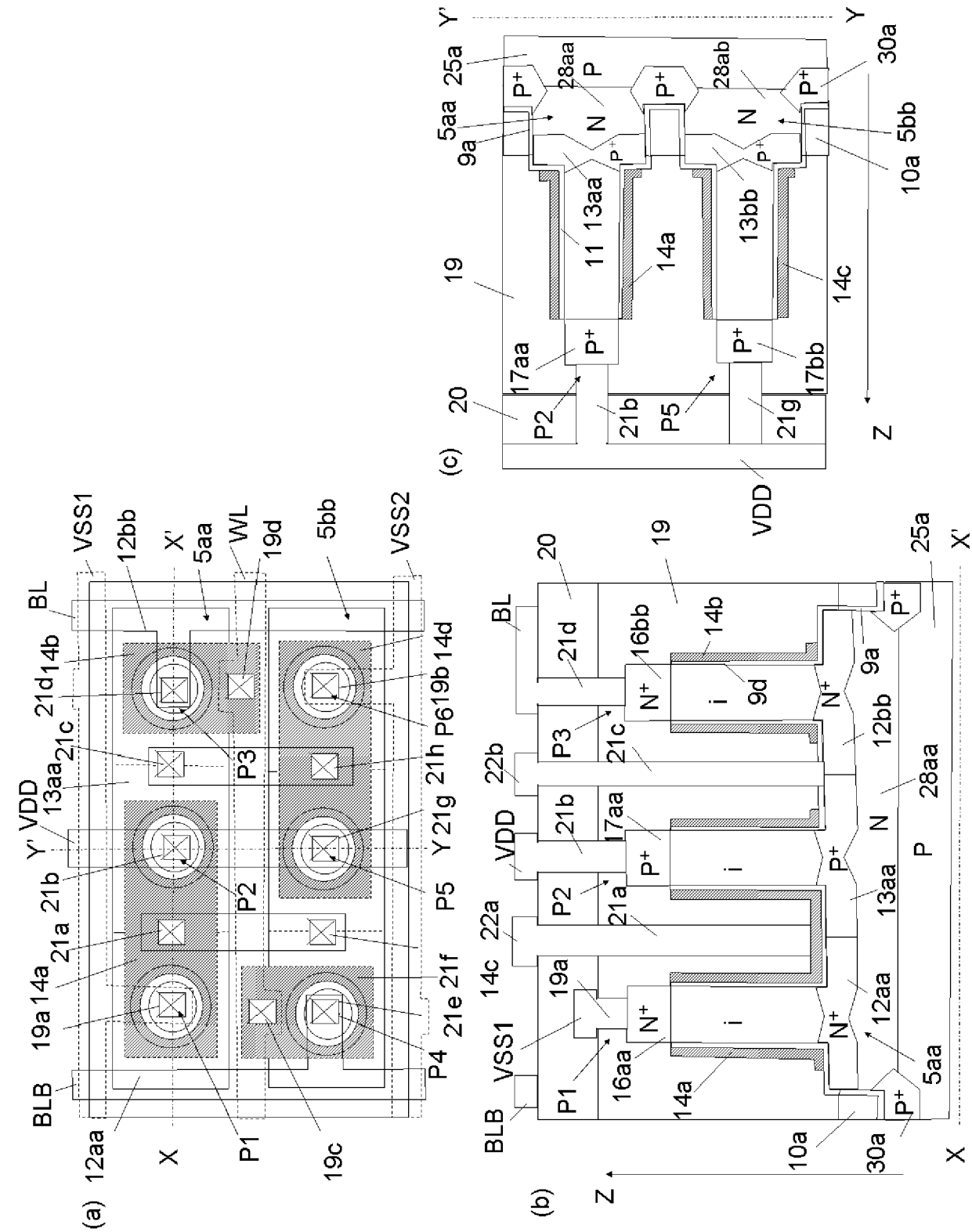
[図3E]


Y'
Y
25
P
28a
30
26
27
i
i
5a
5b
2a
3a
2b
3b
Z
(c)
B+
3a
X'
27
3b
29a
29b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
i
P
B+
28a
27
30
X
(b)
Z

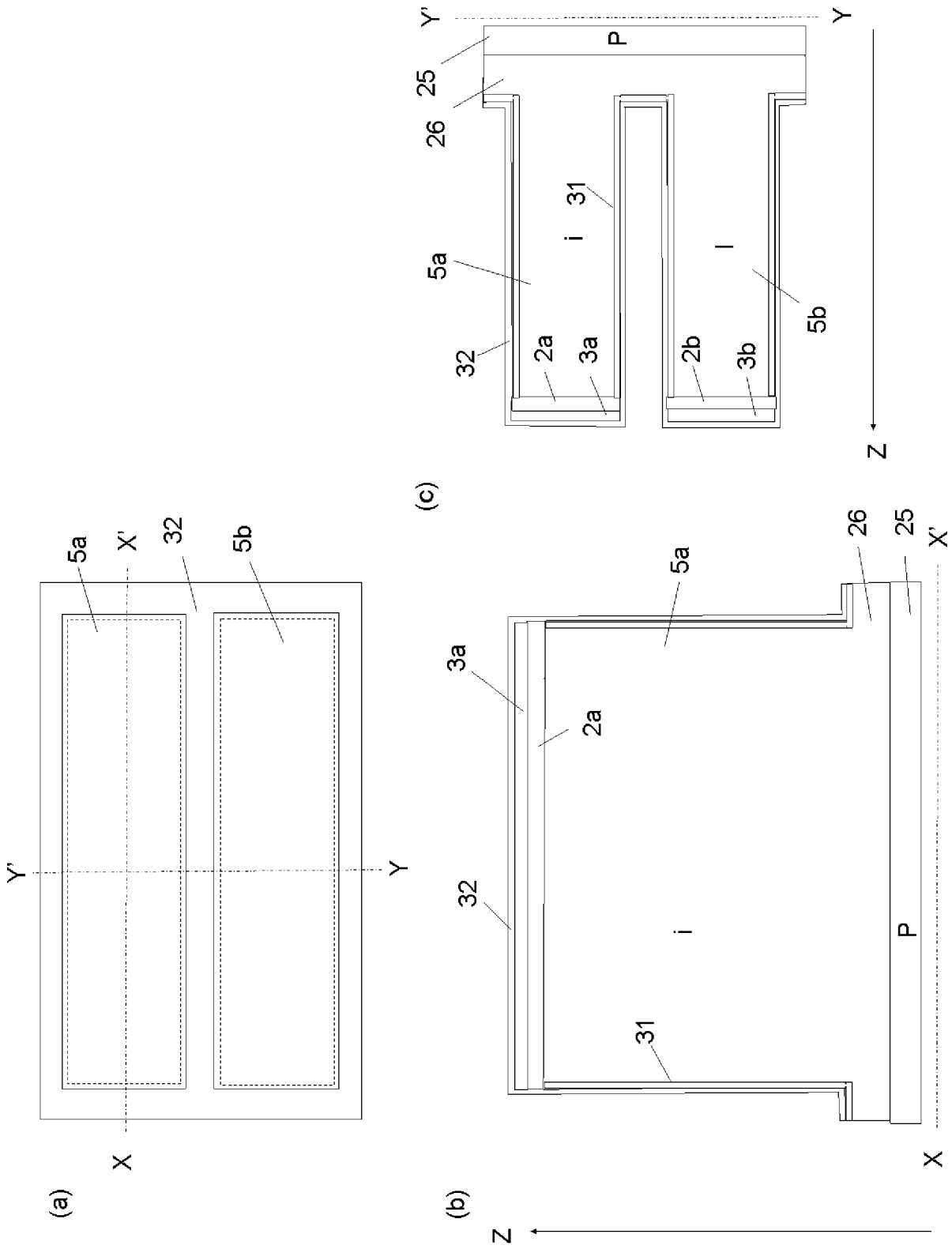
[図3F]


(a)
5aa
X'
29
5bb
7cc
P3
7ff
P6
29a
29b
Y'
7ee
Y
7bb
P2
P5
7aa
P1
7dd
P4
X
(b)
5aa
26
25
X'
7cc
P3
7bb
i
P2
P
7aa
P1
28a
30
X
Z
(c)
Y'
Y
25
P
26
28a
30
i
i
5b
P2
P5
7bb
7ee
Z

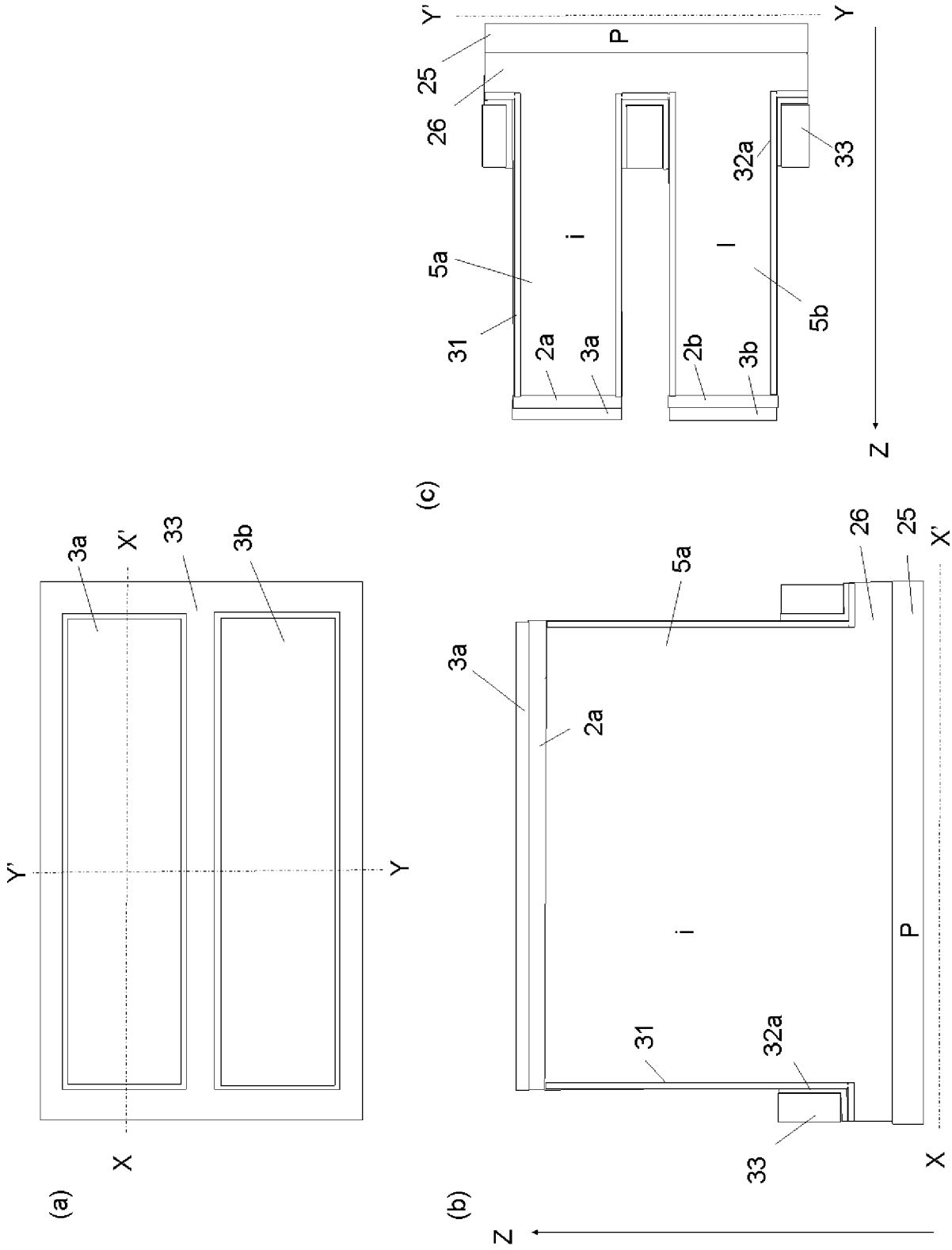
[図3G]


(a)
(b)
(c)
VSS1
VSS2
BL
BLB
WL
VDD
12aa
12bb
19c
19d
5aa
5bb
14a
14b
14c
14d
19a
19b
21a
21b
21c
21d
21e
21f
21g
21h
P1
P2
P3
P4
P5
P6
X
X'
Y
Y'
Z
N+
P+
i
N
P
9a
9d
10a
11
12aa
13aa
13bb
16aa
16bb
17aa
17bb
19
20
22a
22b
25a
28aa
28ab
30a

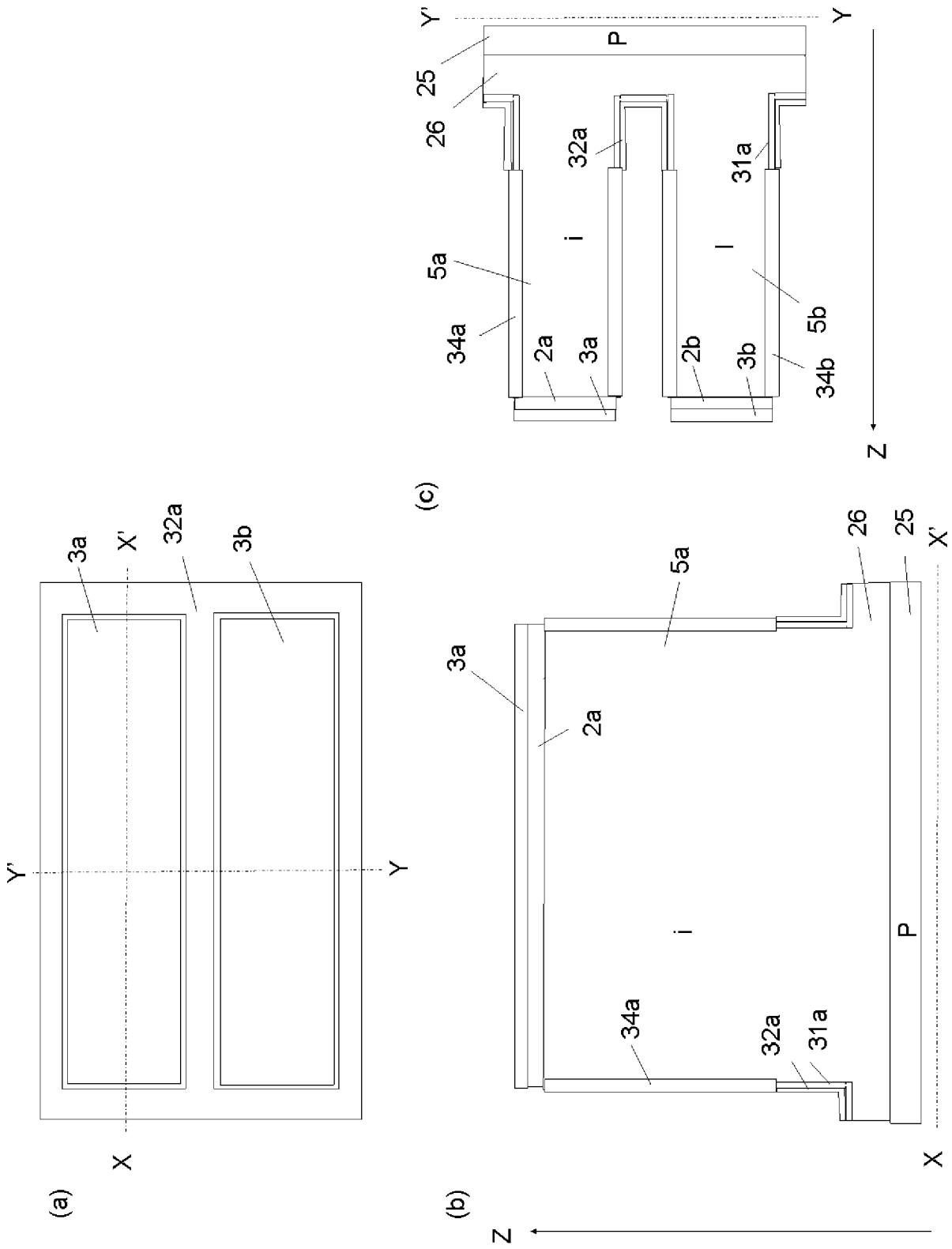
[図4A]


Y'
Y
P
25
26
31
i
I
5a
5b
32
2a
3a
2b
3b
Z
(c)
5a
X'
32
5b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
32
i
P
31
X
(b)
Z

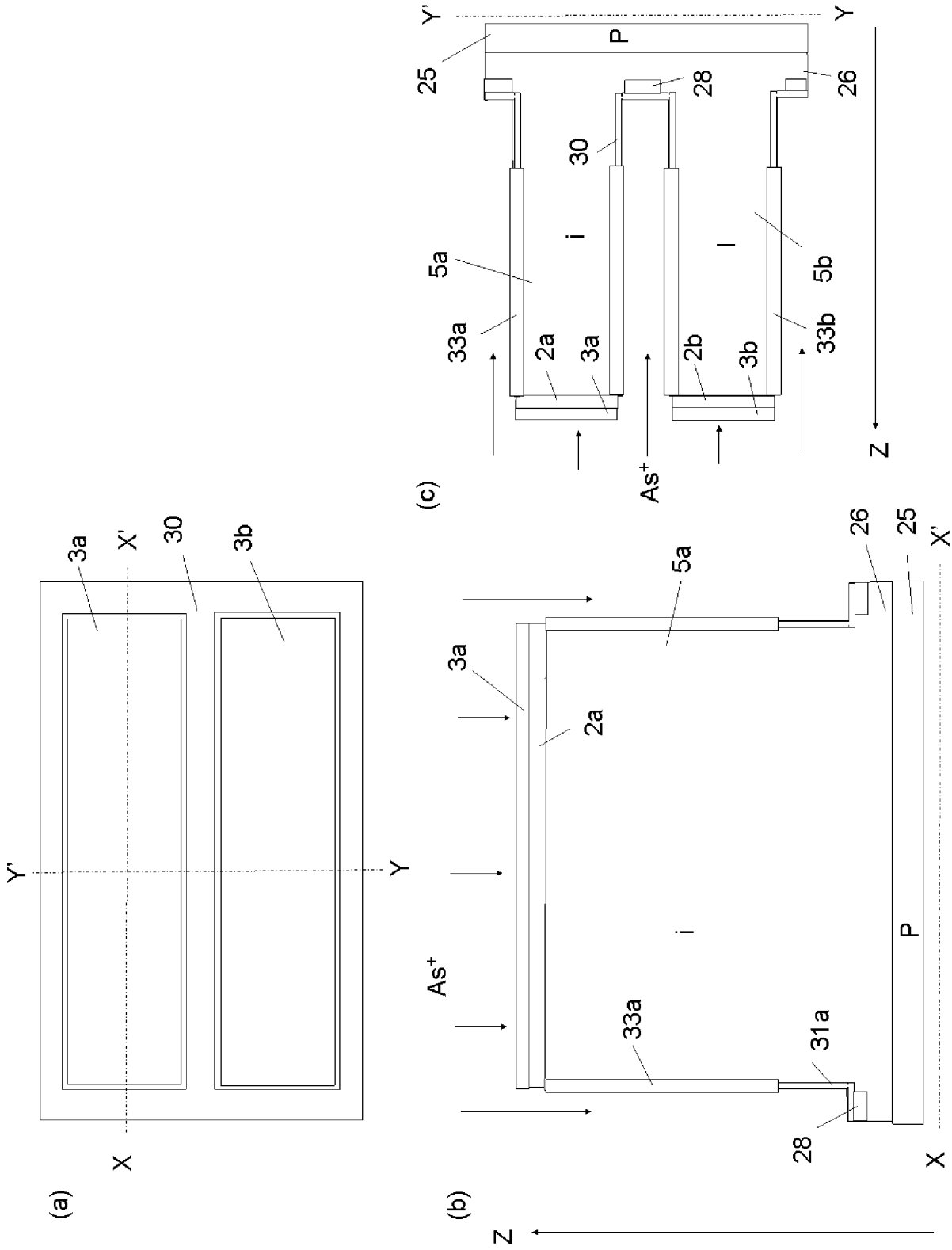
[図4B]


Y'
Y
P
25
26
32a
33
5a
i
I
5b
31
2a
3a
2b
3b
Z
(c)
3a
X'
33
3b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
i
P
31
32a
33
X
(b)
Z

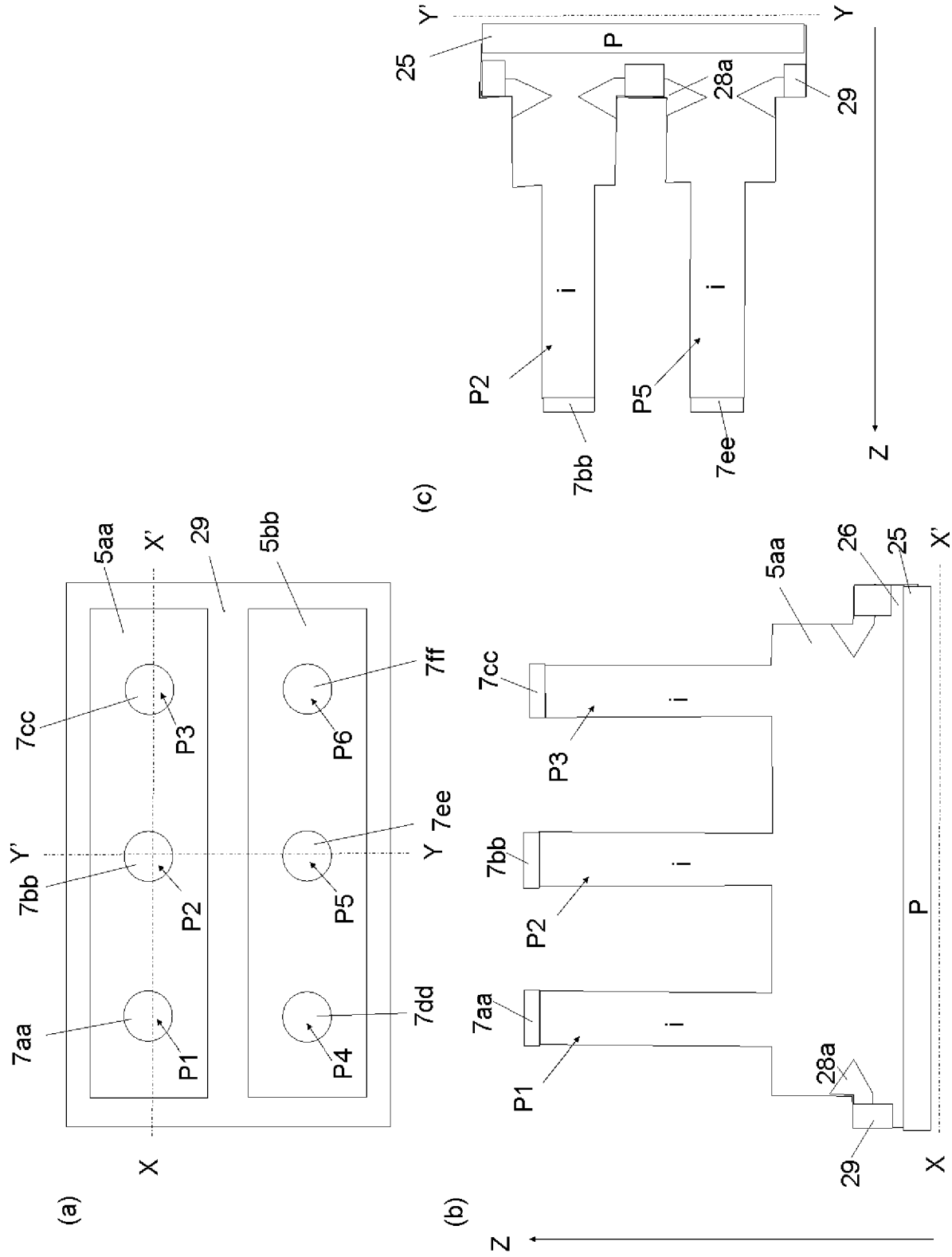
[図4C]


Y'
Y
P
25
26
32a
31a
i
I
5a
5b
34a
2a
3a
2b
3b
34b
Z
(c)
3a
X'
32a
3b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
i
P
34a
32a
31a
X
(b)
Z

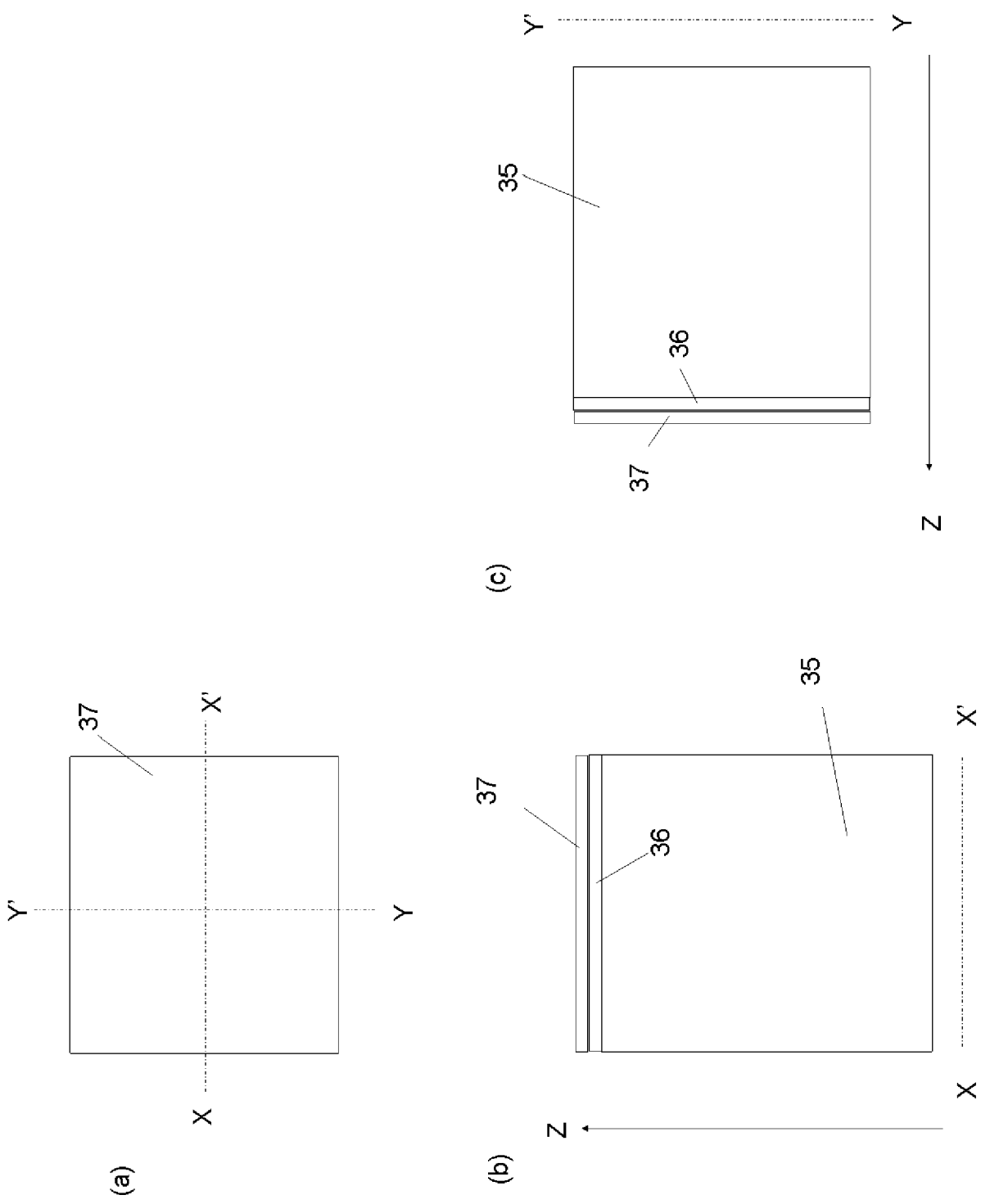
[図4D]


Y'
Y
25
P
28
26
30
i
I
5a
5b
33a
2a
3a
2b
3b
33b
Z
(c)
As+
3a
X'
30
3b
Y'
Y
X
(a)
26
25
X'
5a
3a
2a
As+
i
P
33a
31a
28
X
(b)
Z

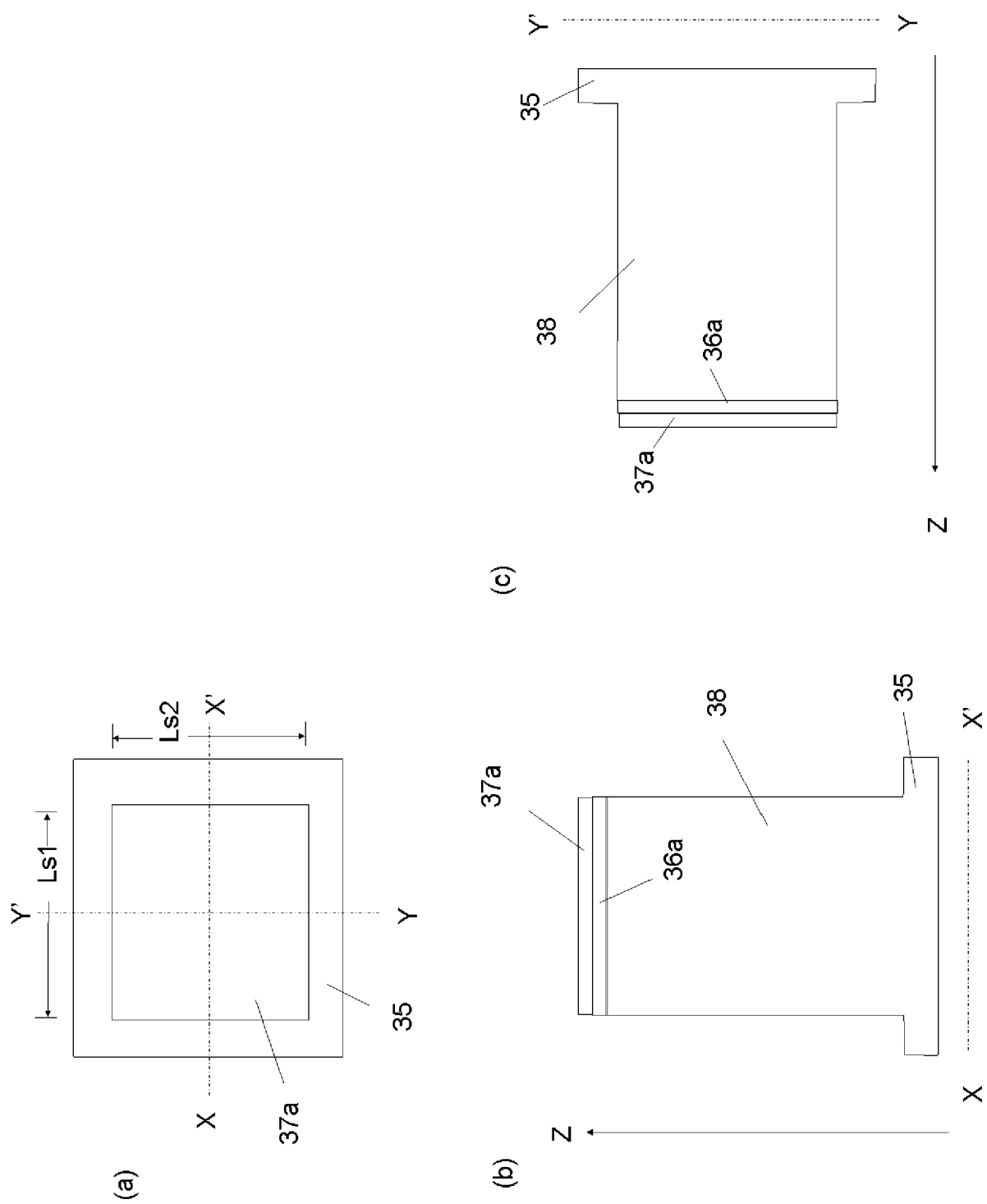
[図4E]


(a)
5aa
X'
29
5bb
7cc
P3
P6
7ff
Y'
7bb
P2
P5
7ee
Y
7aa
P1
P4
7dd
X
(b)
5aa
26
25
X'
7cc
P3
i
7bb
P2
i
7aa
P1
i
P
28a
29
X
Z
(c)
Y'
25
P
28a
29
Y
i
i
P2
P5
7bb
7ee
Z

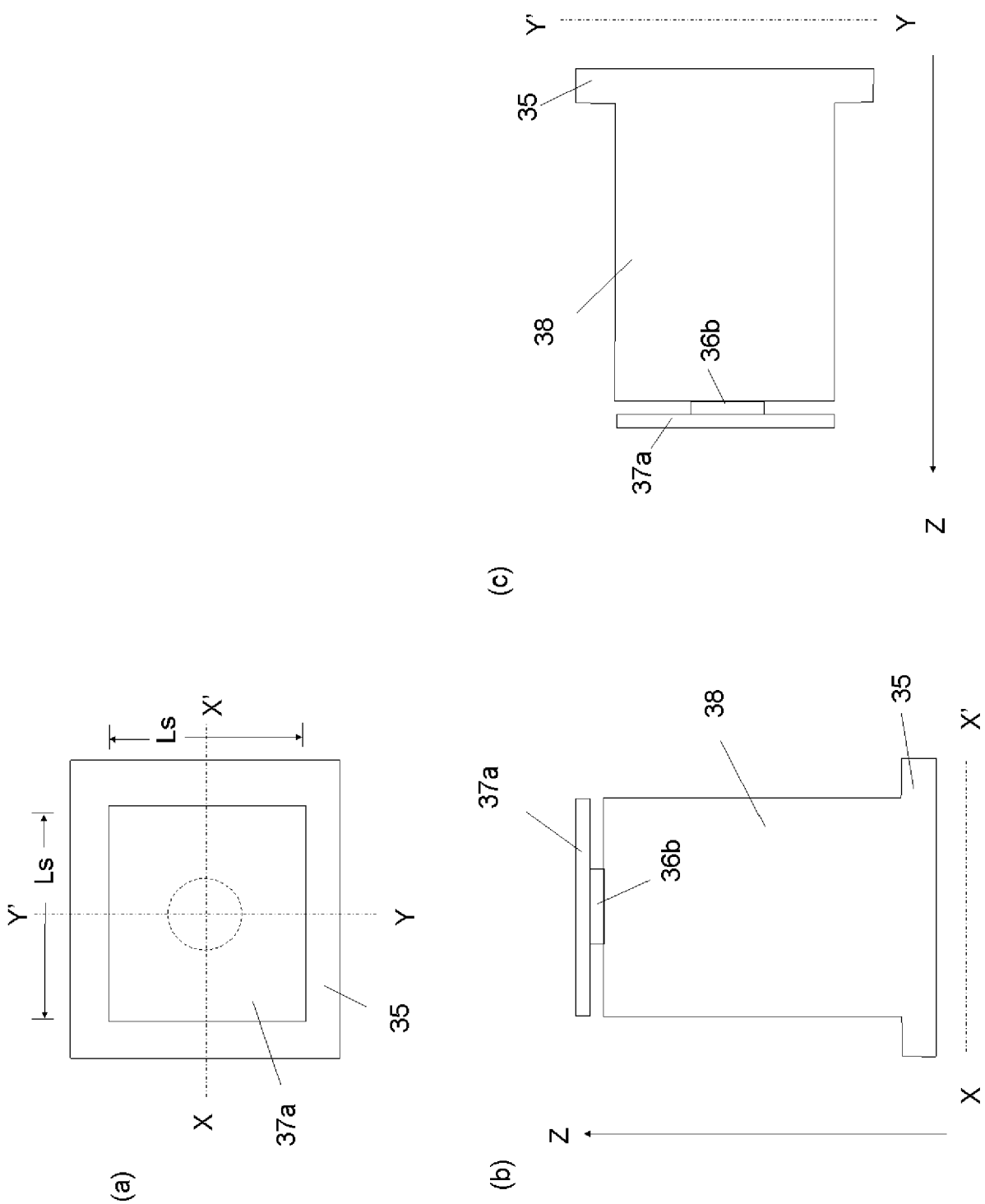
[図5A]



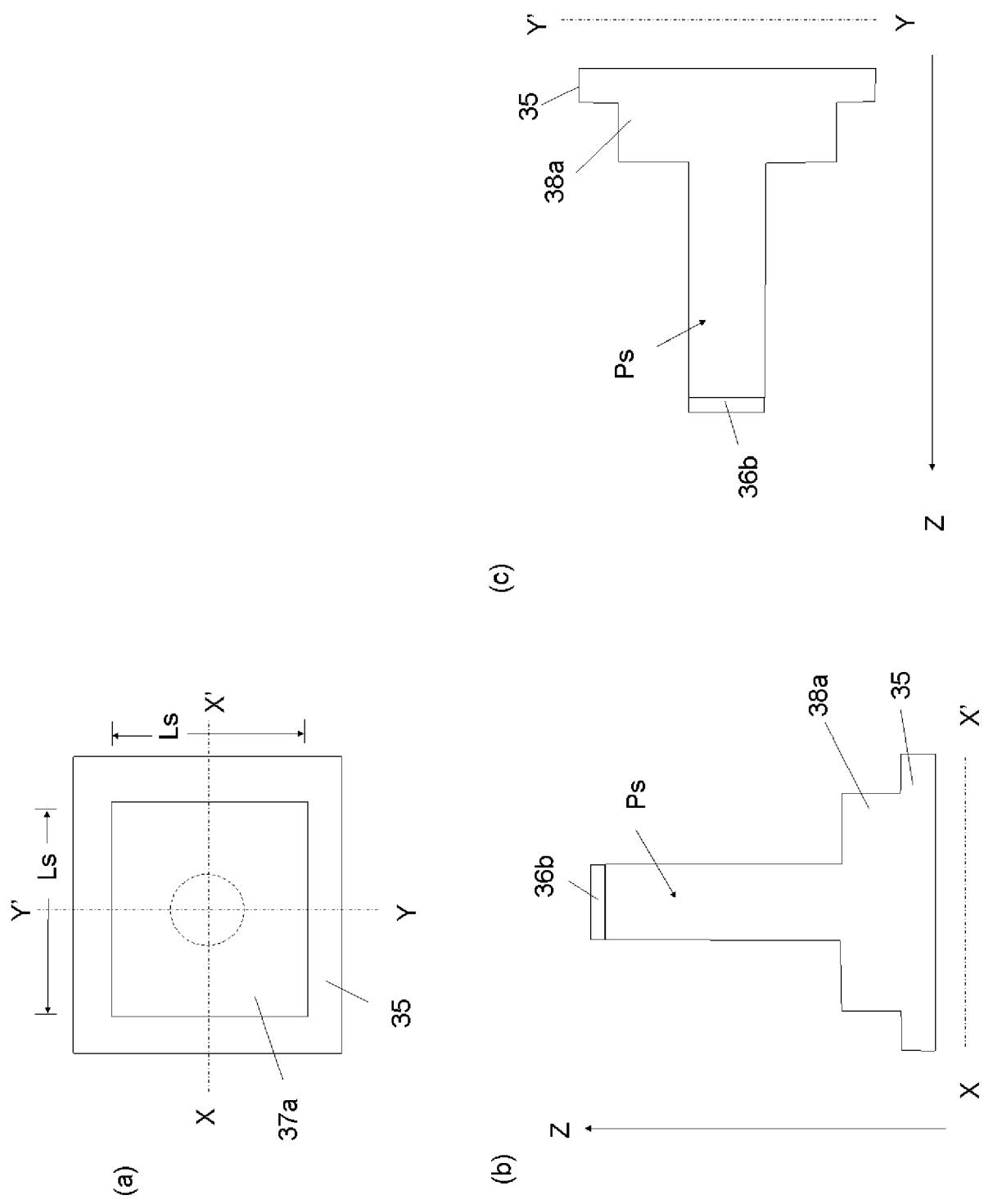
[図5B]



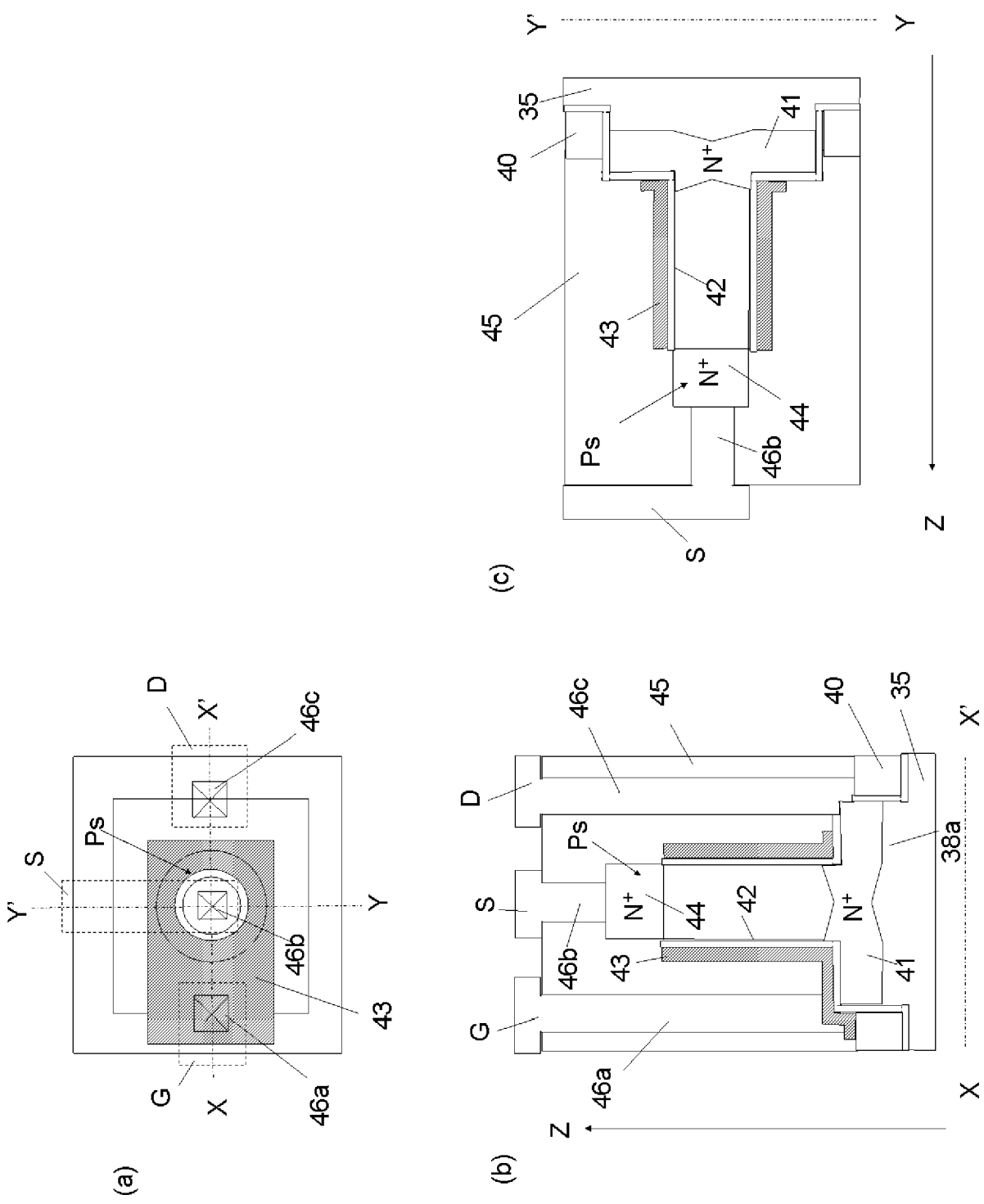
[図5C]



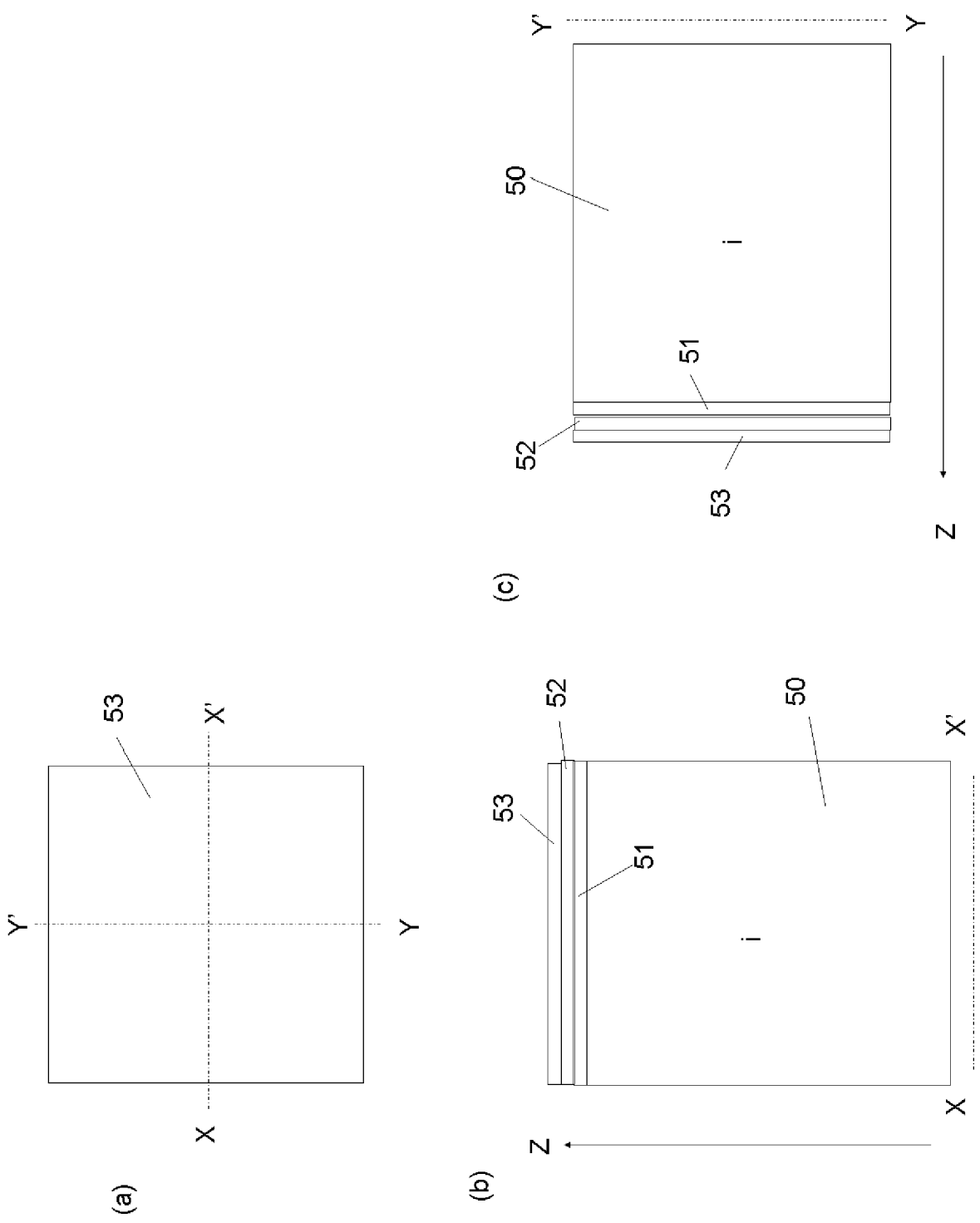
[図5D]



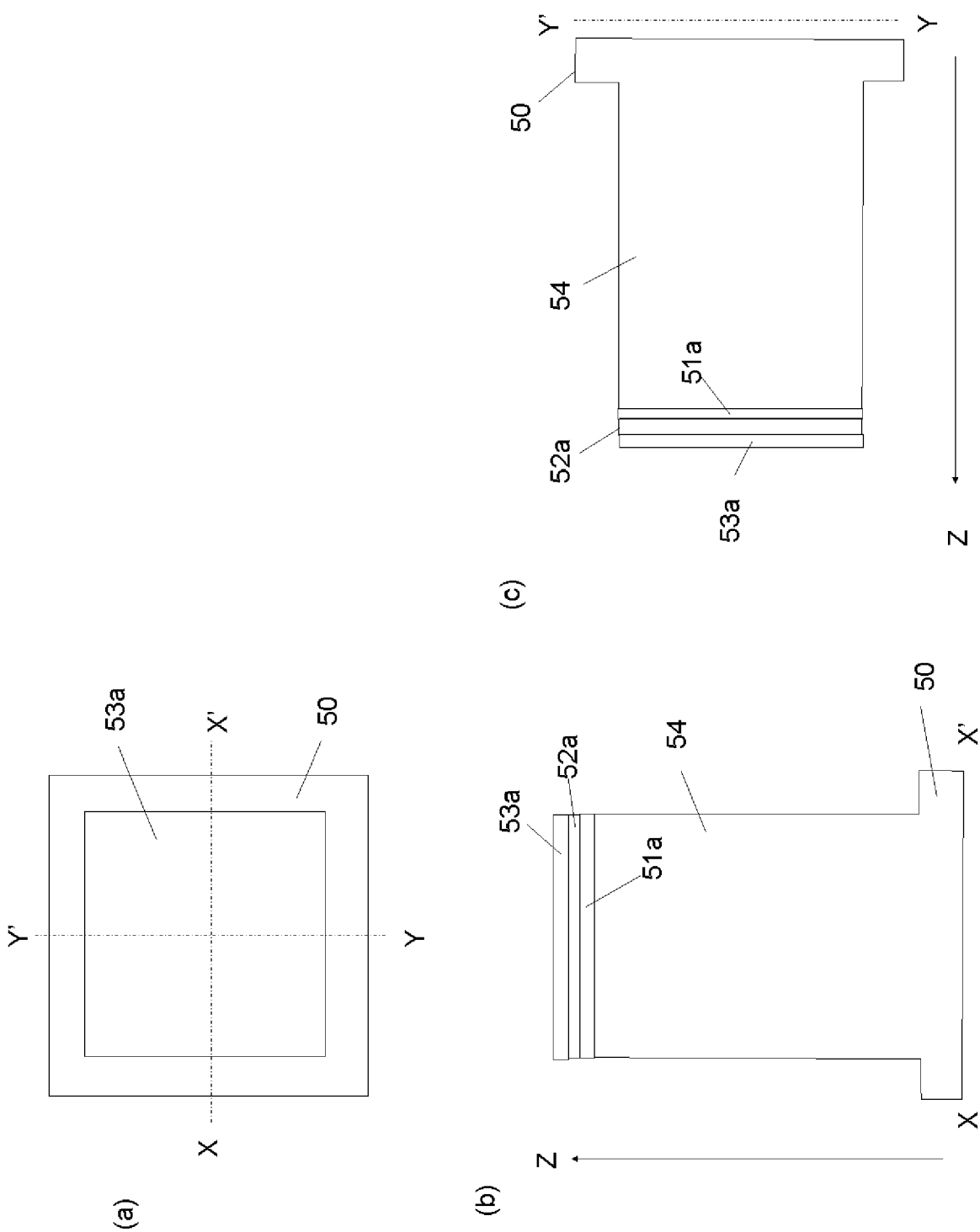
[図5E]


Y'
Y
35
41
40
N+
45
42
43
N+
44
Ps
46b
S
Z
(c)
D
X'
46c
Ps
S
Y'
Y
46b
43
G
X
46a
(a)
46c
45
40
35
X'
D
Ps
38a
S
N+
44
42
N+
46b
43
41
G
46a
X
Z
(b)

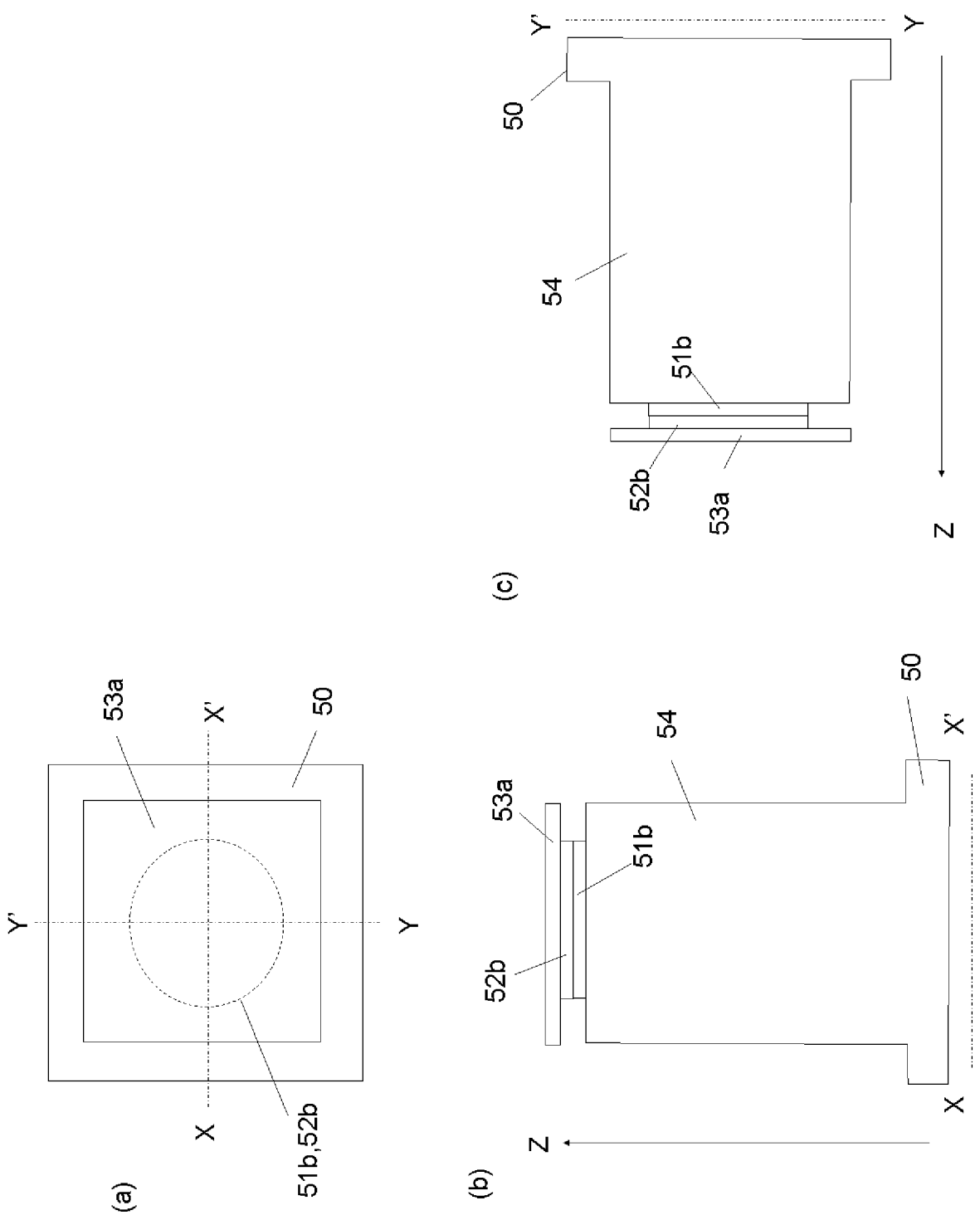
[図6A]



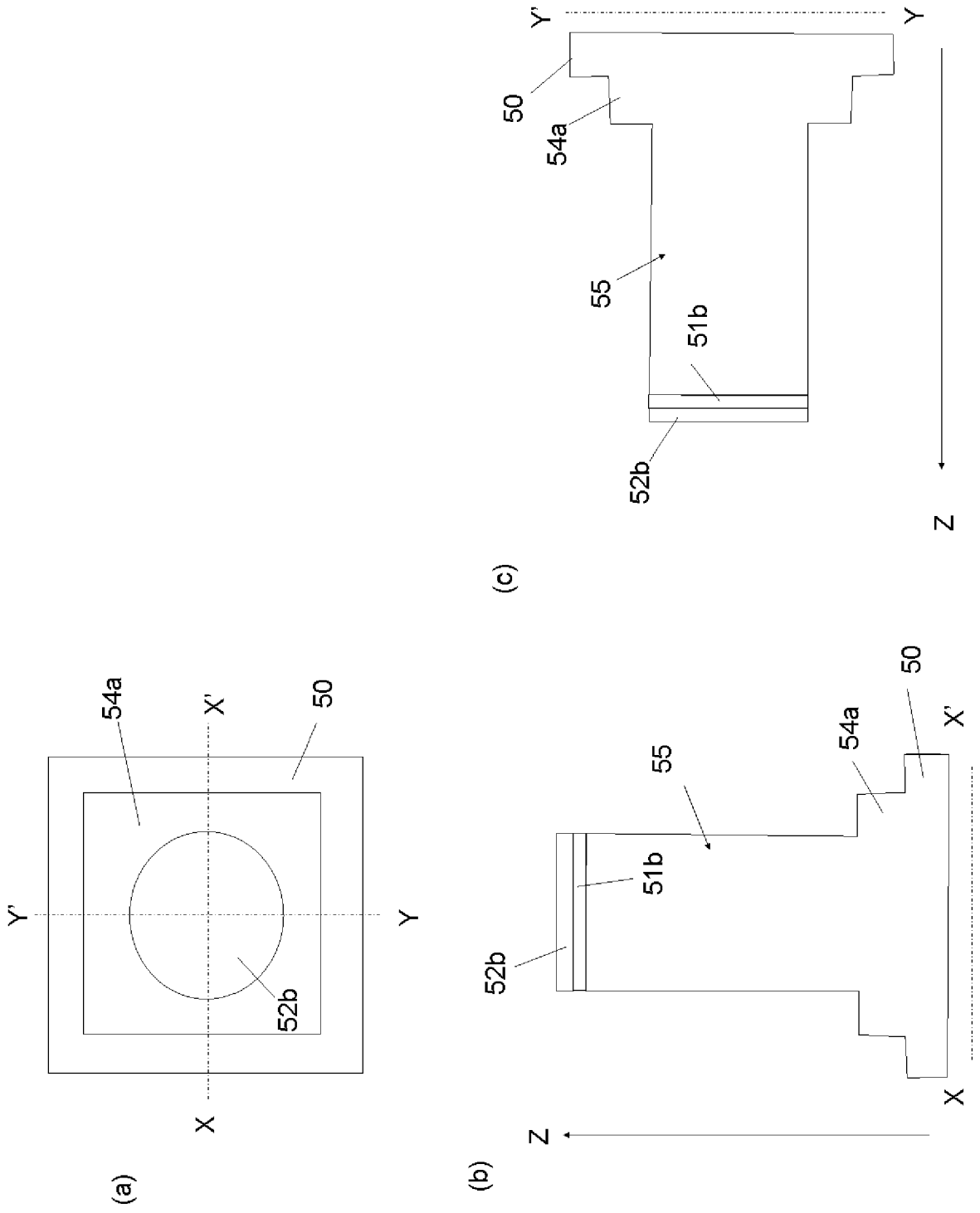
[図6B]



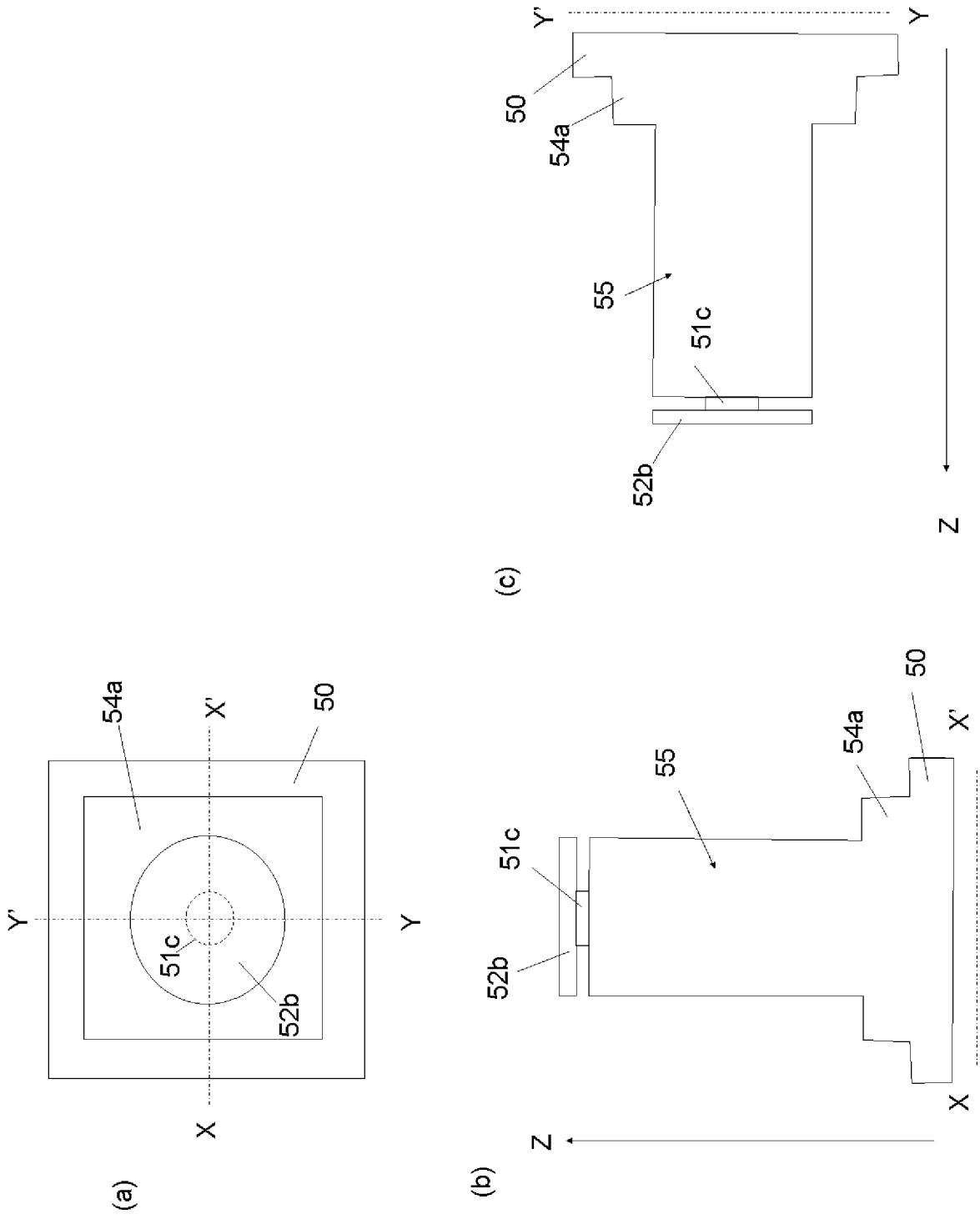
[図6C]


Y'
Y
50
54
51b
52b
53a
Z
(c)
53a
X'
50
Y'
Y
X
51b,52b
(a)
50
54
X'
53a
51b
52b
X
Z
(b)

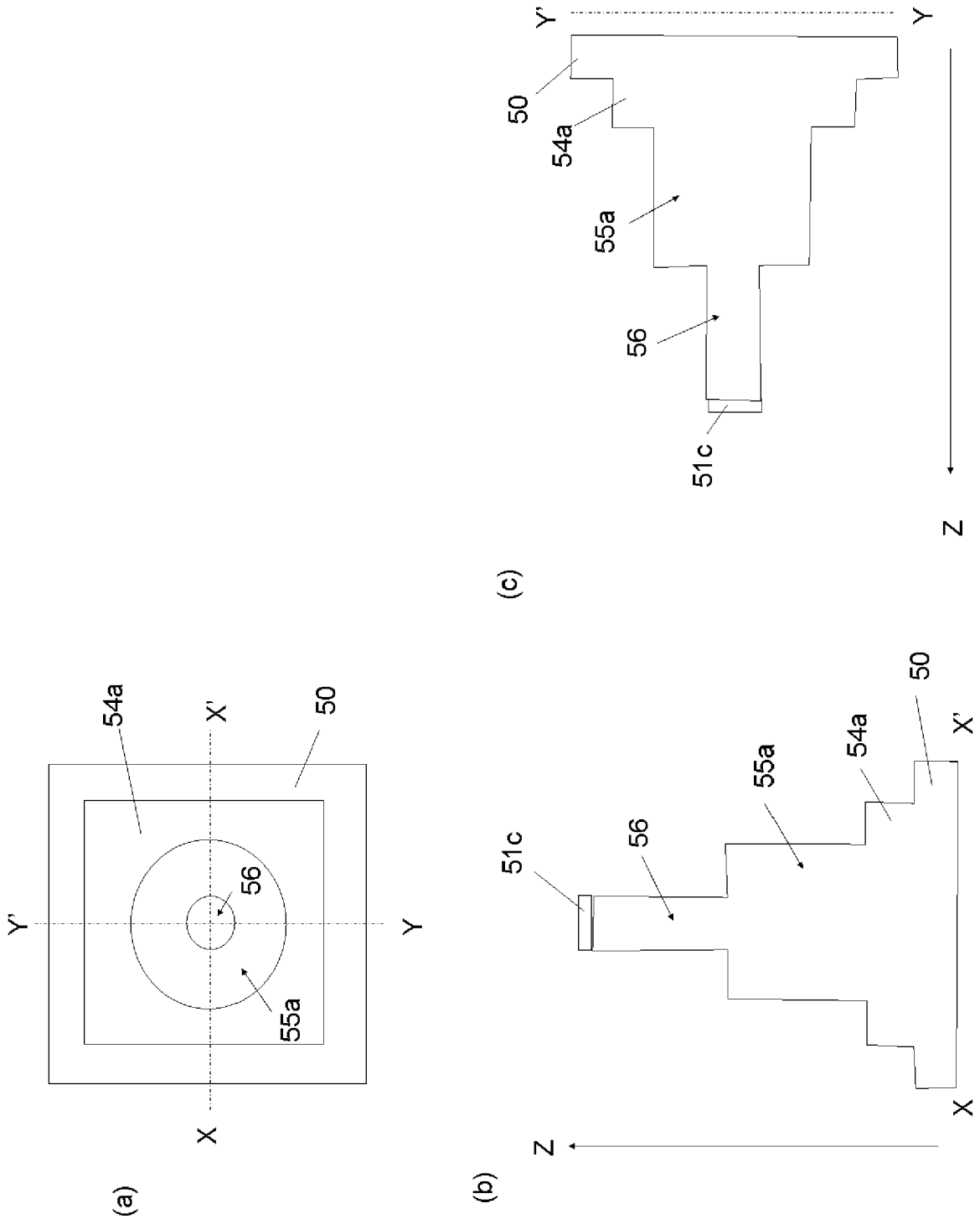
[図6D]



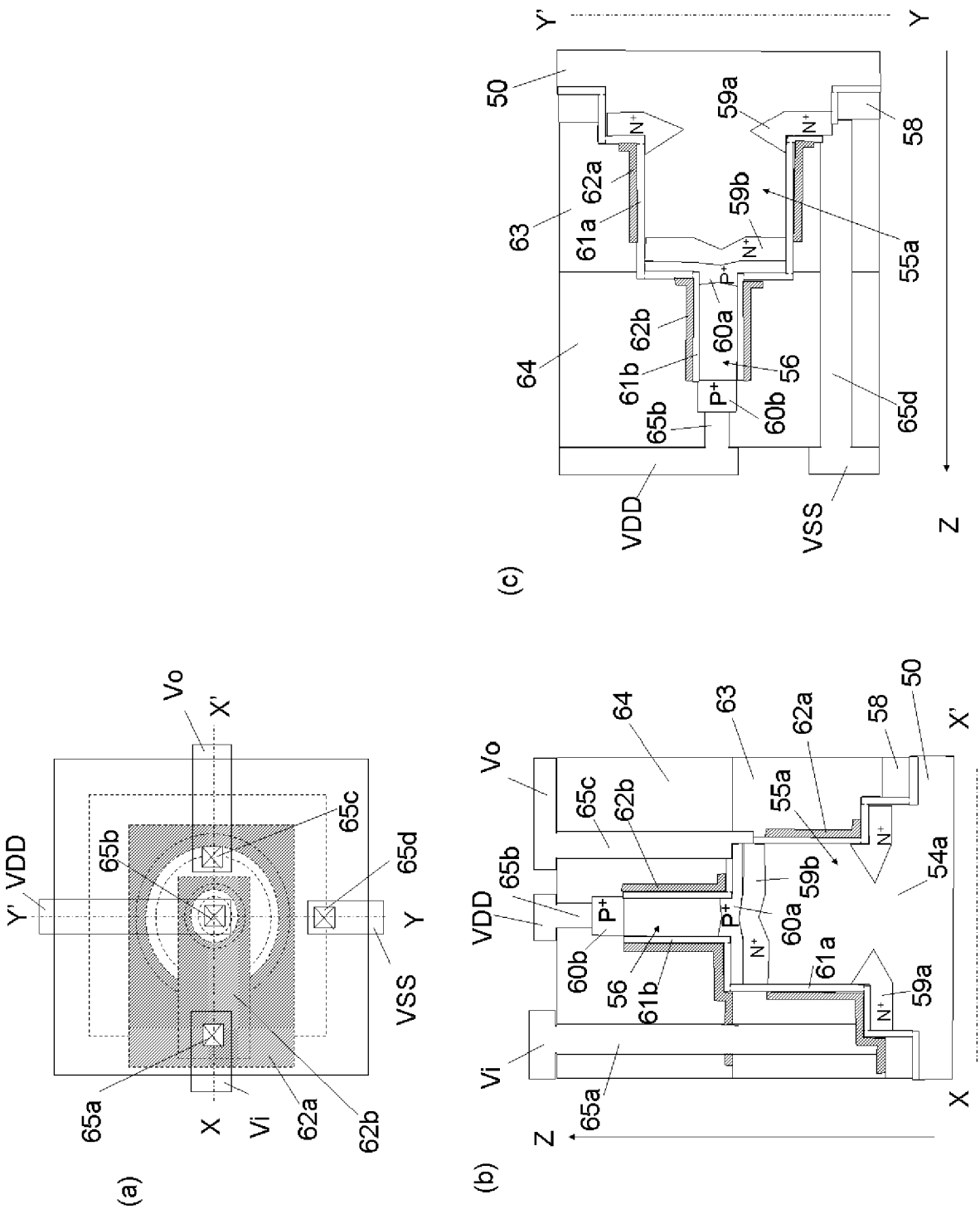
[図6E]


Y'
Y
50
54a
55
51c
52b
Z
(c)
54a
X'
50
Y'
Y
51c
52b
X
(a)
50
54a
X'
55
51c
52b
X
Z
(b)

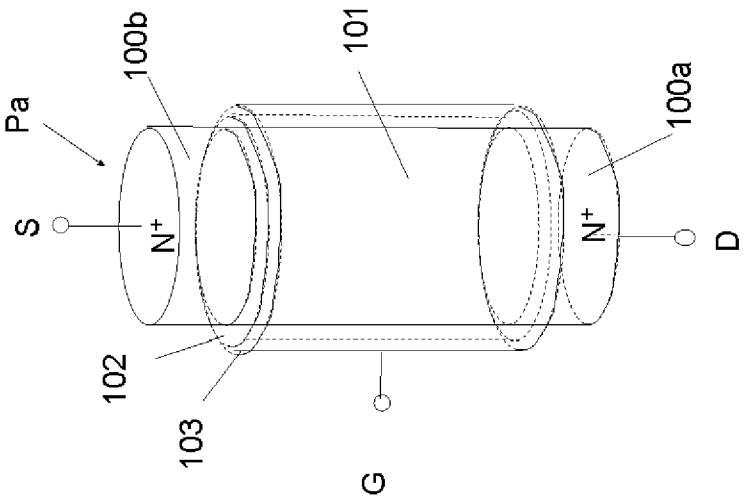
[図6F]



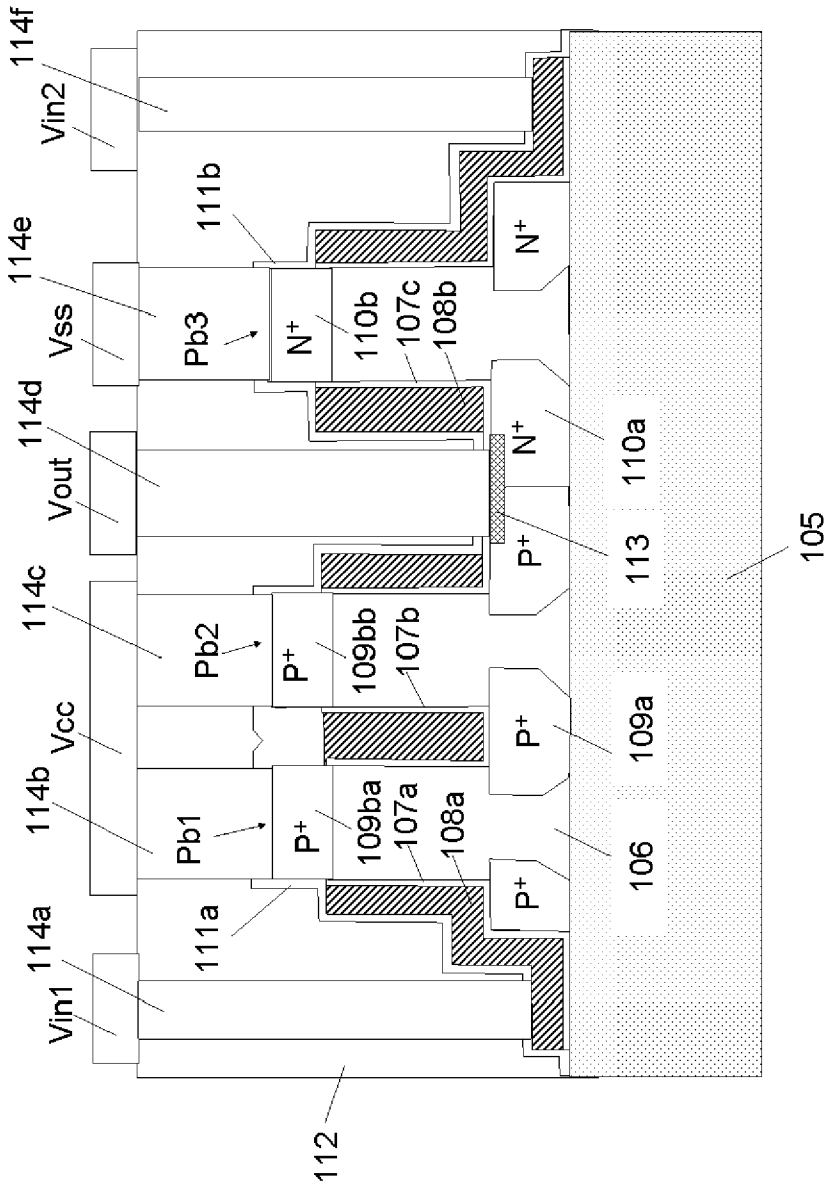
[図6G]


Y'
Y
50
59a
58
63
62a
61a
59b
55a
64
62b
60a
56
61b
60b
65b
65d
VDD
VSS
Z
(c)
Vo
X'
65c
VDD
65b
65d
Y'
Y
VSS
65a
X
Vi
62a
62b
(a)
64
63
62a
58
50
X'
Vo
65c
62b
55a
65b
54a
59b
VDD
60a
60b
56
61b
61a
59a
Vi
65a
X
Z
(b)

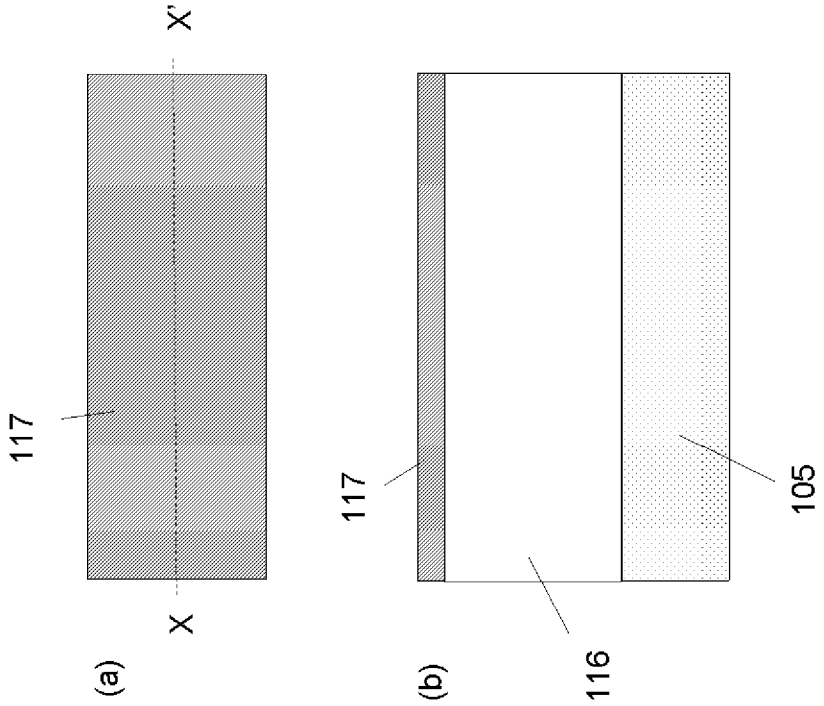
[図7]



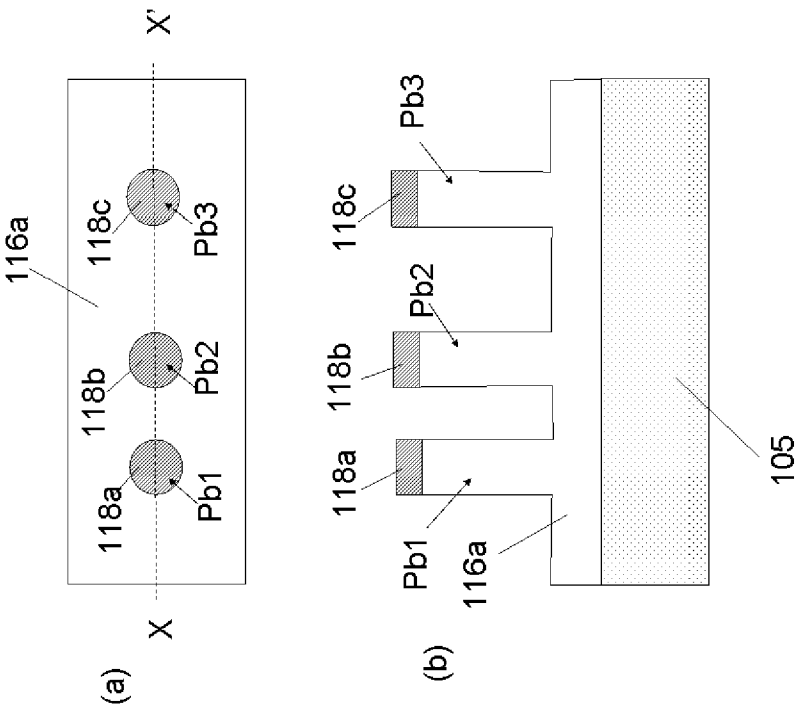
[図8]


114f
Vin2
111b
N+
114e
Vss
Pb3
N+
110b
107c
108b
114d
Vout
N+
110a
P+
113
105
114c
Pb2
P+
109bb
107b
Vcc
P+
109a
114b
Pb1
P+
109ba
107a
108a
106
P+
111a
114a
Vin1
112

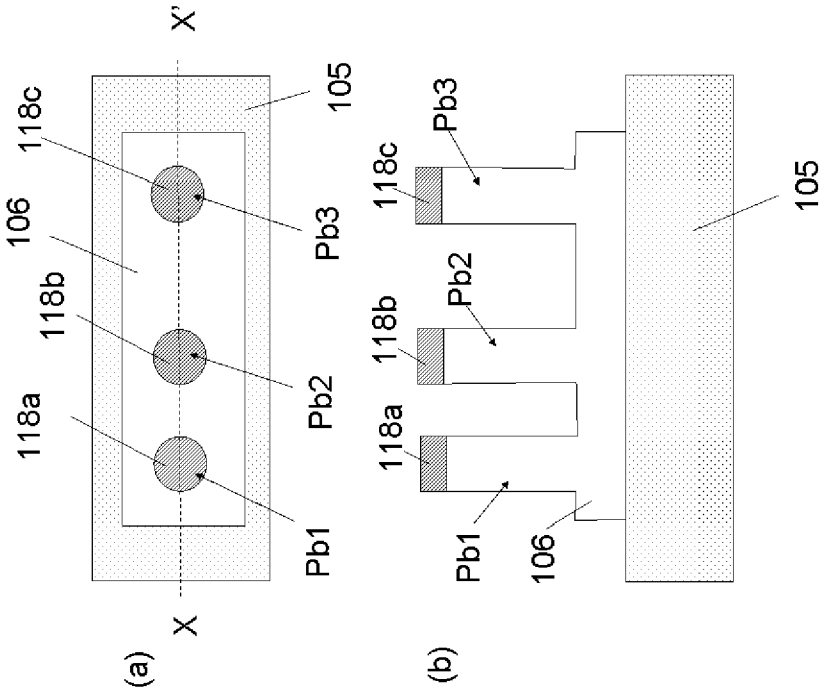
[図9A]



[図9B]


X'
116a
118c
Pb3
118b
Pb2
118a
Pb1
X
(a)
Pb3
118c
Pb2
118b
118a
Pb1
116a
105
(b)

[図9C]


X'
105
118c
106
Pb3
118b
Pb2
118a
Pb1
X
(a)
Pb3
118c
105
Pb2
118b
118a
Pb1
106
(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/071968

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8238(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/8244*(2006.01)i, *H01L27/092*(2006.01)i, *H01L27/11*(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8238, H01L21/336, H01L21/8244, H01L27/092, H01L27/11, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-108702 A (Unisantis Electronics Japan Ltd.), 02 June 2011 (02.06.2011), paragraphs [0021] to [0033]; fig. 14 to 25 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-8
A	WO 2009/096000 A1 (Unisantis Electronics Japan Ltd.), 06 August 2009 (06.08.2009), paragraph [0023]; fig. 4 & WO 2009/096467 A1 & US 2012/0181622 A1 & US 2010/0200913 A1 & TW 200935591 A & KR 10-2010-0109948 A & EP 2239772 A1 & CN 101911286 A	1-8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 October, 2013 (30.10.13)	12 November, 2013 (12.11.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７１９６８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238(2006.01)i, H01L21/336(2006.01)i, H01L21/8244(2006.01)i, H01L27/092(2006.01)i, H01L27/11(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238, H01L21/336, H01L21/8244, H01L27/092, H01L27/11, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-108702 A (日本ユニサンティスエレクトロニクス株式会社) 2011.06.02, 段落 0021-0033、図 14-25 & US 2011/0115011 A1 & EP 2323166 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-8
A	WO 2009/096000 A1 (日本ユニサンティスエレクトロニクス株式会社) 2009.08.06, 段落 0023、図 4 & WO 2009/096467 A1 & US 2012/0181622 A1 & US 2010/0200913 A1 & TW 200935591 A & KR 10-2010-0109948 A & EP 2239772 A1 & CN 101911286 A	1-8

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３０．１０．２０１３	１２．１１．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３５５
岩本　勉
電話番号　０３－３５８１－１１０１　内線　３５１６