

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-149571

(P2019-149571A)

(43) 公開日 令和1年9月5日(2019.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
H01C 7/00 (2006.01)	H01C 7/00 110	5E033
H01C 13/02 (2006.01)	H01C 7/00 210	
	H01C 13/02 B	
	H01C 13/02 Z	

審査請求 有 請求項の数 12 O L (全 95 頁)

(21) 出願番号	特願2019-90979 (P2019-90979)	(71) 出願人	000116024
(22) 出願日	令和1年5月13日 (2019.5.13)		ローム株式会社
(62) 分割の表示	特願2017-236447 (P2017-236447) の分割	(74) 代理人	110002310 特許業務法人あい・特許事務所
原出願日	平成24年12月19日 (2012.12.19)	(72) 発明者	玉川 博詞 京都市右京区西院溝崎町21番地 ローム株式会社内
(31) 優先権主張番号	特願2012-22296 (P2012-22296)	(72) 発明者	山本 浩貴 京都市右京区西院溝崎町21番地 ローム株式会社内
(32) 優先日	平成24年2月3日 (2012.2.3)	(72) 発明者	近藤 靖浩 京都市右京区西院溝崎町21番地 ローム株式会社内
(33) 優先権主張国・地域又は機関	日本国 (JP)	Fターム (参考)	5E033 AA02 BB02
(31) 優先権主張番号	特願2012-42300 (P2012-42300)		
(32) 優先日	平成24年2月28日 (2012.2.28)		
(33) 優先権主張国・地域又は機関	日本国 (JP)		

最終頁に続く

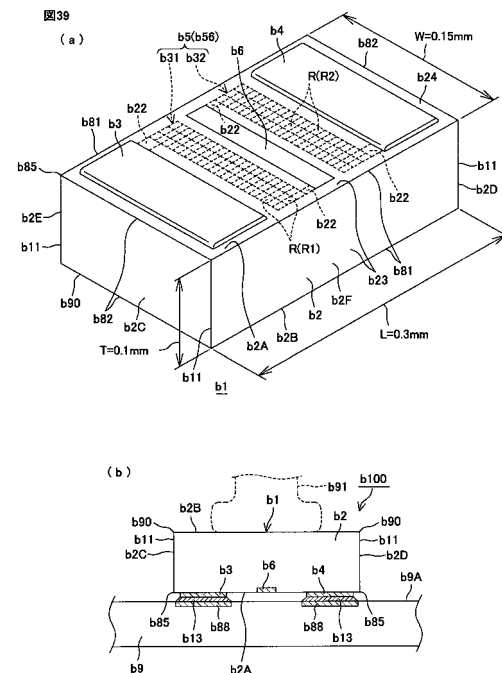
(54) 【発明の名称】 チップ抵抗器

(57) 【要約】

【課題】 正確な抵抗値を有するチップ抵抗器を提供する。

【解決手段】 チップ抵抗器は、基板と、基板上に形成された抵抗体膜、および抵抗体膜に接するように積層された配線膜をそれぞれ有する複数の抵抗体と、基板上に設けられた電極と、複数の抵抗体を電極にそれぞれ接続する切断可能な複数のヒューズとを含む。抵抗体膜は、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなる。基板は、抵抗体、電極およびヒューズが設けられた表面と、基板の厚さ方向において表面とは反対側に位置し、表面に平行な裏面と、表面および裏面のそれぞれに交差して延びて表面と裏面との間を繋ぎ、表面と裏面との間の全域において直線状に形成された側面とを有する。

【選択図】 図39



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に形成された抵抗体膜、および前記抵抗体膜に接するように積層された配線膜をそれぞれ有する複数の抵抗体と、

前記基板上に設けられた電極と、

前記複数の抵抗体を前記電極にそれぞれ接続する切断可能な複数のヒューズとを含み、

前記抵抗体膜が、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなり、

前記基板は、

前記抵抗体、前記電極および前記ヒューズが設けられた表面と、

前記基板の厚さ方向において前記表面とは反対側に位置し、前記表面に平行な裏面と、

前記表面および前記裏面のそれぞれに交差して延びて前記表面と前記裏面との間を繋ぎ、前記表面と前記裏面との間の全域において直線状に形成された側面とを有することを特徴とする、チップ抵抗器。

【請求項 2】

前記抵抗体膜の温度係数が、1000 ppm/°C未満であることを特徴とする、請求項 1 に記載のチップ抵抗器。

【請求項 3】

前記抵抗体膜の温度係数が、50 ppm/°C～200 ppm/°Cであることを特徴とする、請求項 2 に記載のチップ抵抗器。

【請求項 4】

前記抵抗体膜の膜厚が、300 Å～1 μmであることを特徴とする、請求項 1～3 のいずれか一項に記載のチップ抵抗器。

【請求項 5】

前記抵抗体が、1 μm～1.5 μmの線幅を有する線状要素を含むことを特徴とする、請求項 1～4 のいずれか一項に記載のチップ抵抗器。

【請求項 6】

前記抵抗体は、抵抗体膜上に、前記線状方向に一定間隔を開けて積層された導体膜を備え、

前記導体膜が積層されていない前記一定間隔部分の抵抗体膜が1個の単位抵抗体を構成していることを特徴とする、請求項 5 記載のチップ抵抗器。

【請求項 7】

前記抵抗体膜上に積層された前記導体膜と、前記ヒューズとは、同一レイヤーに形成された同一材料の金属膜を含むことを特徴とする、請求項 6 に記載のチップ抵抗器。

【請求項 8】

前記単位抵抗体が複数個直列に接続され、抵抗回路が形成されていることを特徴とする、請求項 6 または 7 に記載のチップ抵抗器。

【請求項 9】

前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が直列に等比数列的に増加されて接続された複数種類の直列抵抗回路を含むことを特徴とする、請求項 8 に記載のチップ抵抗器。

【請求項 10】

前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が並列に等比数列的に増加されて接続された複数種類の並列抵抗回路を含むことを特徴とする、請求項 8 に記載のチップ抵抗器。

【請求項 11】

前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が直列に等比数列的に増加されて接続された複数種類の直列抵抗回路、お

10

20

30

40

50

よび、等しい抵抗値を有する単位抵抗体が並列に等比数列的に増加されて接続された複数種類の並列抵抗回路を含むことを特徴とする、請求項 8 に記載のチップ抵抗器。

【請求項 12】

前記側面は、前記表面および前記裏面のそれぞれに対して傾斜していることを特徴とする、請求項 1～11 のいずれか一項に記載のチップ抵抗器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、ディスクリット部品としてのチップ抵抗器に関する。

【背景技術】

10

【0002】

チップ部品の一例として、たとえばチップ抵抗器は、従来、セラミック等の絶縁基板と、その表面に材料ペーストをスクリーン印刷して形成された抵抗膜と、抵抗膜に接続された電極とを含む構成をしている。そして、チップ抵抗器の抵抗値を目標値に合わせるために、抵抗膜に対してレーザー光線を照射してトリミング溝を刻設するレーザートリミングが行われていた（特許文献 1 参照）。

【0003】

また、チップ抵抗器の他の従来例が、特許文献 2 に開示されている。開示されたチップ抵抗器は、金属製のチップ状の抵抗体の下面に、一对の電極が空隙を介して離間して設けられた構成である。このチップ抵抗器では、抵抗値の合わせ込み等はいできない。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2001-76912 号公報

【特許文献 2】特開 2004-186541 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

この発明は、正確な抵抗値を有するチップ抵抗器を提供することを目的とする。

【課題を解決するための手段】

30

【0006】

請求項 1 記載の発明は、基板と、前記基板上に形成された抵抗膜、および前記抵抗膜に接するように積層された配線膜をそれぞれ有する複数の抵抗体と、前記基板上に設けられた電極と、前記複数の抵抗体を前記電極にそれぞれ接続する切断可能な複数のヒューズとを含み、前記抵抗膜が、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、Ta₂SiO₂、TiN、TiNO、およびTiSiONからなる群から選択した 1 種以上を含む材料からなり、前記基板は、前記抵抗体、前記電極および前記ヒューズが設けられた表面と、前記基板の厚さ方向において前記表面とは反対側に位置し、前記表面に平行な裏面と、前記表面および前記裏面のそれぞれに交差して延びて前記表面と前記裏面との間を繋ぎ、前記表面と前記裏面との間の全域において直線状に形成された側面とを有することを特徴とする、チップ抵抗器である。前記側面は、前記表面および前記裏面のそれぞれに対して傾斜している。この構成によれば、抵抗膜を、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、Ta₂SiO₂、TiN、TiNO、およびTiSiONからなる群から選択した 1 種以上を含む材料で形成することにより、微細加工に適し、かつ、温度特性の影響を受けにくく、正確な抵抗値のチップ抵抗器とすることができる。

40

【0007】

請求項 2 記載の発明は、前記抵抗膜の温度係数が、1000 ppm/°C 未満であることを特徴とする、請求項 1 に記載のチップ抵抗器である。この構成によれば、抵抗膜の温度係数が 1000 ppm/°C 未満であるから、温度特性は抵抗値に実質的に影響を与え

50

ない。

請求項 3 記載の発明は、前記抵抗体膜の温度係数が、 $50 \text{ ppm}/^{\circ}\text{C} \sim 200 \text{ ppm}/^{\circ}\text{C}$ であることを特徴とする、請求項 2 に記載のチップ抵抗器である。この構成によれば、温度特性の影響を受けにくく、より正確な抵抗値のチップ抵抗器とすることができる。

【0008】

請求項 4 記載の発明は、前記抵抗体膜の膜厚が、 $300 \text{ \AA} \sim 1 \text{ }\mu\text{m}$ であることを特徴とする、請求項 1～3 のいずれか一項に記載のチップ抵抗器である。この膜厚範囲で、 $50 \text{ ppm}/^{\circ}\text{C} \sim 200 \text{ ppm}/^{\circ}\text{C}$ を実現することができる。

請求項 5 記載の発明は、前記抵抗体が、 $1 \text{ }\mu\text{m} \sim 1.5 \text{ }\mu\text{m}$ の線幅を有する線状要素を含むことを特徴とする、請求項 1～4 のいずれか一項に記載のチップ抵抗器である。この構成によれば、微細加工されたチップ抵抗器とすることができる。

【0009】

請求項 6 記載の発明は、前記抵抗体は、抵抗体膜上に、前記線状方向に一定間隔を開けて積層された導体膜を備え、前記導体膜が積層されていない前記一定間隔部分の抵抗体膜が 1 個の単位抵抗体を構成していることを特徴とする、請求項 5 記載のチップ抵抗器である。この構成によれば、単位抵抗体の直列接続により抵抗値を正確に設定できるチップ抵抗器とすることができる。

【0010】

請求項 7 記載の発明は、前記抵抗体膜上に積層された前記導体膜と、前記ヒューズとは同一レイヤーに形成された同一材料の金属膜を含むことを特徴とする、請求項 6 に記載のチップ抵抗器である。この構成によれば、製造が容易で、比較的少ないプロセスにより簡単に複数の用途の金属膜（導体膜）を一度に形成することができる。

請求項 8 記載の発明は、前記単位抵抗体が複数個直列に接続され、抵抗回路が形成されていることを特徴とする、請求項 6 または 7 に記載のチップ抵抗器である。この構成によれば、抵抗値の調整がしやすい高抵抗化されたチップ抵抗器とすることができる。

【0011】

請求項 9 記載の発明は、前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が直列に等比数列的に増加されて接続された複数種類の直列抵抗回路を含むことを特徴とする、請求項 8 に記載のチップ抵抗器である。この構成によれば、高抵抗で、抵抗値の調整がしやすいチップ抵抗器とすることができる。

請求項 10 記載の発明は、前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が並列に等比数列的に増加されて接続された複数種類の並列抵抗回路を含むことを特徴とする、請求項 8 に記載のチップ抵抗器である。この構成によれば、低抵抗で、抵抗値の調整がしやすいチップ抵抗器とすることができる。

【0012】

請求項 11 記載の発明は、前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が直列に等比数列的に増加されて接続された複数種類の直列抵抗回路、および、等しい抵抗値を有する単位抵抗体が並列に等比数列的に増加されて接続された複数種類の並列抵抗回路を含むことを特徴とする、請求項 8 に記載のチップ抵抗器である。この構成によれば、抵抗値が調整しやすく、種々の抵抗値に合わせ込めるチップ抵抗器とすることができる。

【図面の簡単な説明】

【0013】

【図 1】図 1（A）は、この発明の一実施形態に係るチップ抵抗器 10 の外観構成を示す図解的な斜視図であり、図 1（B）は、チップ抵抗器 10 が基板上に実装された状態を示す側面図である。

【図 2】図 2 は、チップ抵抗器 10 の平面図であり、第 1 接続電極 12、第 2 接続電極 13 および抵抗回路網 14 の配置関係ならびに抵抗回路網 14 の平面視の構成を示す図である。

10

20

30

40

50

【図 3 A】図 3 A は、図 2 に示す抵抗回路網 1 4 の一部分を拡大して描いた平面図である。

【図 3 B】図 3 B は、抵抗回路網 1 4 における抵抗体 R の構成を説明するために描いた長さ方向の縦断面図である。

【図 3 C】図 3 C は、抵抗回路網 1 4 における抵抗体 R の構成を説明するために描いた幅方向の縦断面図である。

【図 4】図 4 は、抵抗膜ライン 2 0 および導体膜 2 1 の電気的特徴を回路記号および電気回路図で示した図である。

【図 5】図 5 (A) は、図 2 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 5 (B) は、図 5 (A) の B-B に沿う断面構造を示す図である。

10

【図 6】図 6 は、図 2 に示す抵抗回路網 1 4 における複数種類の抵抗単位体を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

【図 7】図 7 は、抵抗回路網 1 4 の電気回路図である。

【図 8】図 8 は、チップ抵抗器 3 0 の平面図であり、第 1 接続電極 1 2、第 2 接続電極 1 3 および抵抗回路網 1 4 の配置関係ならびに抵抗回路網 1 4 の平面視の構成を示す図である。

【図 9】図 9 は、図 8 に示す抵抗回路網 1 4 における複数種類の抵抗単位体を接続する接続用導体膜 C およびヒューズ膜 F の配置関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

20

【図 1 0】図 1 0 は、抵抗回路網 1 4 の電気回路図である。

【図 1 1】図 1 1 (A) (B) は、図 1 0 に示す電気回路の変形例を示す電気回路図である。

【図 1 2】図 1 2 は、この発明のさらに他の実施形態に係る抵抗回路網 1 4 の電気回路図である。

【図 1 3】図 1 3 は、具体的な抵抗値を表示したチップ抵抗器における抵抗回路網の構成例を示す電気回路図である。

【図 1 4】図 1 4 は、この発明のさらに他の実施形態に係るチップ抵抗器 9 0 の要部構造を説明するための図解的な平面図である。

30

【図 1 5】図 1 5 は、チップ抵抗器 1 0 の製造工程の一例を示すフロー図である。

【図 1 6】図 1 6 は、ヒューズ膜 F の溶断工程とその後形成するパッシベーション膜 2 2 および樹脂膜 2 3 を示す図解的な断面図である。

【図 1 7】図 1 7 は、半導体ウエハから個々のチップ抵抗器に分離する処理工程を示す図解図である。

【図 1 8】図 1 8 は、半導体ウエハ（シリコンウエハ）からチップ抵抗器が切り出されることを説明する図解図である。

【図 1 9】図 1 9 (A) は、第 1 参考例の一実施形態に係るチップ抵抗器 a 1 0 の外観構成を示す図解的な斜視図であり、図 1 9 (B) は、チップ抵抗器 a 1 0 が基板上に実装された状態を示す側面図である。

40

【図 2 0】図 2 0 は、チップ抵抗器 a 1 0 の平面図であり、第 1 接続電極 a 1 2、第 2 接続電極 a 1 3 および抵抗回路網 a 1 4 の配置関係ならびに抵抗回路網 a 1 4 の平面視の構成を示す図である。

【図 2 1 A】図 2 1 A は、図 2 0 に示す抵抗回路網 a 1 4 の一部分を拡大して描いた平面図である。

【図 2 1 B】図 2 1 B は、抵抗回路網 a 1 4 における抵抗体 R の構成を説明するために描いた長さ方向の縦断面図である。

【図 2 1 C】図 2 1 C は、抵抗回路網 a 1 4 における抵抗体 R の構成を説明するために描いた幅方向の縦断面図である。

【図 2 2】図 2 2 は、抵抗膜ライン a 2 0 および導体膜 a 2 1 の電気的特徴を回路記号お

50

よび電気回路図で示した図である。

【図 2 3】図 2 3 (A) は、図 2 0 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 2 3 (B) は、図 2 3 (A) の B-B に沿う断面構造を示す図である。

【図 2 4】図 2 4 は、図 2 0 に示す抵抗回路網 a 1 4 における複数種類の抵抗単位体を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

【図 2 5】図 2 5 は、抵抗回路網 a 1 4 の電気回路図である。

【図 2 6】図 2 6 は、チップ抵抗器 a 3 0 の平面図であり、第 1 接続電極 a 1 2、第 2 接続電極 a 1 3 および抵抗回路網 a 1 4 の配置関係ならびに抵抗回路網 a 1 4 の平面視の構成を示す図である。

10

【図 2 7】図 2 7 は、図 2 6 に示す抵抗回路網 a 1 4 における複数種類の抵抗単位体を接続する接続用導体膜 C およびヒューズ膜 F の配置関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

【図 2 8】図 2 8 は、抵抗回路網 a 1 4 の電気回路図である。

【図 2 9】図 2 9 (A) (B) は、図 2 8 に示す電気回路の変形例を示す電気回路図である。

【図 3 0】図 3 0 は、第 1 参考例のさらに他の実施形態に係る抵抗回路網 a 1 4 の電気回路図である。

【図 3 1】図 3 1 は、具体的な抵抗値を表示したチップ抵抗器における抵抗回路網の構成例を示す電気回路図である。

20

【図 3 2】図 3 2 は、第 1 参考例のさらに他の実施形態に係るチップ抵抗器 a 9 0 の要部構造を説明するための図解的な平面図である。

【図 3 3】図 3 3 は、チップ抵抗器 a 1 0 の製造工程の一例を示すフロー図である。

【図 3 4】図 3 4 は、ヒューズ膜 F の溶断工程とその後形成するパッシベーション膜 a 2 2 および樹脂膜 a 2 3 を示す図解的な断面図である。

【図 3 5】図 3 5 は、基板から個々のチップ抵抗器に分離する処理工程を示す図解図である。

【図 3 6】図 3 6 は、基板からチップ抵抗器が切り出されることを説明する図解図である。

30

【図 3 7】図 3 7 は、第 1 参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

【図 3 8】図 3 8 は、筐体 a 2 0 2 の内部に収容された電子回路アセンブリ a 2 1 0 の構成を示す図解的な平面図である。

【図 3 9】図 3 9 (a) は、第 2 参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図であり、図 3 9 (b) は、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。

【図 4 0】図 4 0 は、チップ抵抗器の平面図であり、第 1 電極、第 2 電極、第 3 電極および素子の配置関係ならびに素子の平面視の構成を示す図である。

40

【図 4 1 A】図 4 1 A は、図 4 0 に示す素子の一部分を拡大して描いた平面図である。

【図 4 1 B】図 4 1 B は、素子における抵抗体の構成を説明するために描いた図 4 1 A の B-B に沿う長さ方向の縦断面図である。

【図 4 1 C】図 4 1 C は、素子における抵抗体の構成を説明するために描いた図 4 1 A の C-C に沿う幅方向の縦断面図である。

【図 4 2】図 4 2 は、抵抗体膜ラインおよび配線膜の電気的特徴を回路記号および電気回路図で示した図である。

【図 4 3】図 4 3 (a) は、図 4 0 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 4 3 (b) は、図 4 3 (a) の B-B に沿う断面構造を示す図である。

50

【図４４】図４４は、第２参考例の実施形態に係る素子の電気回路図である。

【図４５】図４５は、第２参考例の他の実施形態に係る素子の電気回路図である。

【図４６】図４６は、第２参考例のさらに他の実施形態に係る素子の電気回路図である。

【図４７】図４７は、チップ抵抗器の模式的な断面図である。

【図４８Ａ】図４８Ａは、図４７に示すチップ抵抗器の製造方法を示す図解的な断面図である。

【図４８Ｂ】図４８Ｂは、図４８Ａの次の工程を示す図解的な断面図である。

【図４８Ｃ】図４８Ｃは、図４８Ｂの次の工程を示す図解的な断面図である。

【図４８Ｄ】図４８Ｄは、図４８Ｃの次の工程を示す図解的な断面図である。

【図４８Ｅ】図４８Ｅは、図４８Ｄの次の工程を示す図解的な断面図である。

10

【図４８Ｆ】図４８Ｆは、図４８Ｅの次の工程を示す図解的な断面図である。

【図４８Ｇ】図４８Ｇは、図４８Ｆの次の工程を示す図解的な断面図である。

【図４８Ｈ】図４８Ｈは、図４８Ｇの次の工程を示す図解的な断面図である。

【図４８Ｉ】図４８Ｉは、図４８Ｈの次の工程を示す図解的な断面図である。

【図４８Ｊ】図４８Ｊは、図４８Ｉの次の工程を示す図解的な断面図である。

【図４８Ｋ】図４８Ｋは、図４８Ｊの次の工程を示す図解的な断面図である。

【図４８Ｌ】図４８Ｌは、図４８Ｋの次の工程を示す図解的な断面図である。

【図４８Ｍ】図４８Ｍは、図４８Ｌの次の工程を示す図解的な断面図である。

【図４９】図４９は、図４８Ｈの工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

20

【図５０】図５０は、トリミング前の素子の電気回路図である。

【図５１】図５１は、トリミング後の素子の電気回路図である。

【図５２】図５２は、第１電極および第２電極の製造工程を説明するための図である。

【図５３】図５３は、第２参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

【図５４】図５４は、スマートフォンの筐体の内部に収容された回路アセンブリの構成を示す図解的な平面図である。

【図５５】図５５（ａ）は、第３参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図であり、図５５（ｂ）は、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。

30

【図５６】図５６は、チップ抵抗器の平面図であり、第１接続電極、第２接続電極および素子の配置関係ならびに素子の平面視の構成を示す図である。

【図５７Ａ】図５７Ａは、図５６に示す素子の一部分を拡大して描いた平面図である。

【図５７Ｂ】図５７Ｂは、素子における抵抗体の構成を説明するために描いた図５７ＡのＢ－Ｂに沿う長さ方向の縦断面図である。

【図５７Ｃ】図５７Ｃは、素子における抵抗体の構成を説明するために描いた図５７ＡのＣ－Ｃに沿う幅方向の縦断面図である。

【図５８】図５８は、抵抗体膜ラインおよび配線膜の電気的特徴を回路記号および電気回路図で示した図である。

40

【図５９】図５９（ａ）は、図５６に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図５９（ｂ）は、図５９（ａ）のＢ－Ｂに沿う断面構造を示す図である。

【図６０】図６０は、第３参考例の実施形態に係る素子の電気回路図である。

【図６１】図６１は、第３参考例の他の実施形態に係る素子の電気回路図である。

【図６２】図６２は、第３参考例のさらに他の実施形態に係る素子の電気回路図である。

【図６３】図６３は、チップ抵抗器の模式的な断面図である。

【図６４Ａ】図６４Ａは、図６３に示すチップ抵抗器の製造方法を示す図解的な断面図である。

【図６４Ｂ】図６４Ｂは、図６４Ａの次の工程を示す図解的な断面図である。

50

【図 6 4 C】図 6 4 C は、図 6 4 B の次の工程を示す図解的な断面図である。

【図 6 4 D】図 6 4 D は、図 6 4 C の次の工程を示す図解的な断面図である。

【図 6 4 E】図 6 4 E は、図 6 4 D の次の工程を示す図解的な断面図である。

【図 6 4 F】図 6 4 F は、図 6 4 E の次の工程を示す図解的な断面図である。

【図 6 4 G】図 6 4 G は、図 6 4 F の次の工程を示す図解的な断面図である。

【図 6 5】図 6 5 は、素子の製造工程を説明するための図である。

【図 6 6】図 6 6 は、素子の製造工程におけるスパッタリングでの酸素流量と完成した抵抗膜の抵抗温度係数との関係を示すグラフである。

【図 6 7】図 6 7 は、図 6 4 B の工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

【図 6 8】図 6 8 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。

【図 6 9】図 6 9 は、第 3 参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

【図 7 0】図 7 0 は、スマートフォンの筐体の内部に収容された回路アセンブリの構成を示す図解的な平面図である。

【発明を実施するための形態】

【0014】

以下には、この発明の実施の形態を、添付図面を参照して詳細に説明する。以下の実施形態では、チップ部品の一例としてのチップ抵抗器を用いて具体的に説明する。

図 1 (A) は、この発明の一実施形態に係るチップ抵抗器 10 の外観構成を示す図解的な斜視図であり、図 1 (B) は、チップ抵抗器 10 が基板上に実装された状態を示す側面図である。

【0015】

図 1 (A) を参照して、この発明の一実施形態に係るチップ抵抗器 10 は、基板 11 上に形成された第 1 接続電極 12 と、第 2 接続電極 13 と、抵抗回路網 14 とを備えている。基板 11 は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L = 0.3 \text{ mm}$ 、短辺方向の幅 $W = 0.15 \text{ mm}$ 、厚み $T = 0.1 \text{ mm}$ 程度の大きさの微少なチップである。基板 11 は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では、基板 11 がシリコン基板の場合を例にとって説明する。

【0016】

チップ抵抗器 10 は、図 18 に示すように、半導体ウエハ（シリコンウエハ）上に格子状に多数個のチップ抵抗器 10 が形成され、半導体ウエハ（シリコンウエハ）が切断されて個々のチップ抵抗器 10 に分離されることにより得られる。

シリコン基板 11 上において、第 1 接続電極 12 はシリコン基板 11 の一方短辺 111 に沿って設けられた短辺 111 方向に長手の矩形電極である。第 2 接続電極 13 は、シリコン基板 11 上の他方短辺 112 に沿って設けられた短辺 112 方向に長手の矩形電極である。抵抗回路網 14 は、シリコン基板 11 上の第 1 接続電極 12 と第 2 接続電極 13 とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網 14 の一端側は第 1 接続電極 12 に電氣的に接続されており、抵抗回路網 14 の他端側は第 2 接続電極 13 に電氣的に接続されている。これら第 1 接続電極 12、第 2 接続電極 13 および抵抗回路網 14 は、たとえば一例として、シリコン基板 11 上に半導体製造プロセスを用いて設けることができる。換言すれば、半導体装置を製造するための装置、設備を使用してディスクリットなチップ抵抗器 10 を製造することができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網 14 を形成することができる。

【0017】

第 1 接続電極 12 および第 2 接続電極 13 は、それぞれ、外部接続電極として機能する。チップ抵抗器 10 が回路基板 15 に実装された状態においては、図 1 (B) に示すよう

10

20

30

40

50

に、第1接続電極12および第2接続電極13が、それぞれ、回路基板15の回路（図示せず）と半田により電気的かつ機械的に接続される。なお、外部接続電極として機能する第1接続電極12および第2接続電極13は、半田濡れ性の向上および信頼性の向上のために、金（Au）で形成するか、または表面に金メッキを施すことが望ましい。

【0018】

図2は、チップ抵抗器10の平面図であり、第1接続電極12、第2接続電極13および抵抗回路網14の配置関係ならびに抵抗回路網14の平面視の構成（レイアウトパターン）が示されている。

図2を参照して、チップ抵抗器10は、シリコン基板上面の一方短辺111に長辺が沿うように配置された平面視略矩形をした第1接続電極12と、シリコン基板上面の他方短辺112に長辺が沿うように配置された平面視略矩形をした第2接続電極13と、第1接続電極12および第2接続電極13間の平面視矩形の領域に設けられた抵抗回路網14とを含んでいる。

【0019】

抵抗回路網14には、シリコン基板11上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（図2の例では、行方向（シリコン基板の長手方向）に沿って8個の単位抵抗体Rが配列され、列方向（シリコン基板の幅方向）に沿って44個の単位抵抗体Rが配列され、合計352個の単位抵抗体Rを含む構成）を有している。そして、これら多数個の単位抵抗体Rの1～64個の所定の個数が（Al、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属で形成された配線膜で）電気的に接続されて、接続された単位抵抗体Rの数に応じた複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は導体膜C（Al、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成された配線膜）で所定の態様に接続されている。

【0020】

さらに、抵抗回路を抵抗回路網14に電気的に組み込んだり、または、抵抗回路網14から電気的に分離するために溶断可能な複数のヒューズ膜F（Al、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成された配線膜であり、以下、「ヒューズ」ともいう）が設けられている。複数のヒューズ膜Fは、第2接続電極13の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜Fおよび接続用導体膜Cが隣接するように配列され、その配列方向が直線状になるように配置されている。

【0021】

図3Aは、図2に示す抵抗回路網14の一部分を拡大して描いた平面図であり、図3Bおよび図3Cは、それぞれ、抵抗回路網14における単位抵抗体Rの構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。

図3A、図3Bおよび図3Cを参照して、単位抵抗体Rの構成について説明をする。基板としてのシリコン基板11の上面には絶縁層（SiO₂）19が形成され、絶縁層19上に抵抗体膜20が配置されている。抵抗体膜20は、TiN、TiONまたはTiSiONにより形成される。この抵抗体膜20は、第1接続電極12と第2接続電極13との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ライン20は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ライン20上には、導体膜片21としてのたとえばアルミニウム膜が積層されている。各導体膜片21は、抵抗体膜ライン20上に、ライン方向に一定間隔Rを開けて積層されている。

【0022】

この構成の抵抗体膜ライン20および導体膜片21の電気的特徴を回路記号で示すと、図4の通りである。すなわち、図4（A）に示すように、所定間隔Rの領域の抵抗体膜ライン20部分が、それぞれ、一定の抵抗値rの単位抵抗体Rを形成している。導体膜片21が積層された領域は、当該導体膜片21で抵抗体膜ライン20が短絡されている。よって、図4（B）に示す抵抗rの単位抵抗体Rの直列接続からなる抵抗回路が形成されてい

る。

【0023】

また、隣接する抵抗体膜ライン20同士は抵抗体膜ライン20および導体膜片21で接続されているから、図3Aに示す抵抗回路網は、図4(C)に示す抵抗回路を構成している。

図3Bおよび図3Cに示す図解的な断面図において、参照番号11はシリコン基板、19は絶縁層としての二酸化シリコン SiO_2 層、20は絶縁層19上に形成されたTiN、TiONまたはTiSiONの抵抗体膜、21はアルミニウム(Al)の配線膜、22は保護膜としてのSiN膜、23は保護層としてのポリイミド層を示している。配線膜21は、Alに換え、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成されてもよい。配線膜21(ヒューズ膜Fを含む)をこのようにアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

10

【0024】

なお、かかる構成の抵抗回路網14の製造プロセスについては、後に詳述する。

この実施形態では、シリコン基板上11に形成された抵抗回路網14に含まれる単位抵抗体Rは、抵抗体膜ライン20と、抵抗体膜ライン20上に、ライン方向に一定間隔をあけて積層された複数の導体膜片21とを含み、導体膜片21が積層されていない一定間隔R部分の抵抗体膜ライン20が、1個の単位抵抗体Rを構成している。単位抵抗体Rを構成している抵抗体膜ライン20は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、シリコン基板11上にマトリックス状に配列された多数個の単位抵抗体Rは、等しい抵抗値を有している。

20

【0025】

抵抗体膜ライン20上に積層された導体膜片21は、単位抵抗体Rを形成するとともに、複数個の単位抵抗体Rを接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。

図5(A)は、図2に示すチップ抵抗器10の平面図の一部分を拡大して描いたヒューズ膜Fを含む領域の部分拡大平面図であり、図5(B)は、図5(A)のB-Bに沿う断面構造を示す図である。

【0026】

図5(A)(B)に示すように、ヒューズ膜Fも、抵抗体膜20上に積層された配線膜21により形成されている。すなわち、単位抵抗体Rを形成する抵抗体膜ライン20上に積層された導体膜片21と同じレイヤーに、導体膜片21と同じ金属材料であるアルミニウム(Al)により形成されている。なお、導体膜片21は、前述したように、抵抗回路を形成するために、複数個の単位抵抗体Rを電氣的に接続する接続用導体膜Cとしても用いられている。

30

【0027】

つまり、抵抗体膜20上に積層された同一レイヤーにおいて、単位抵抗体R形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網14を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網14を第1接続電極12および第2接続電極13に接続するための配線膜が、同一のアルミニウム系金属材料(たとえばアルミニウム)を用いて、同じ製造プロセス(たとえばスパッタリングおよびフォトリソグラフィプロセス)によって形成されている。これにより、このチップ抵抗器10の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜20とのアライメント性も向上する。

40

【0028】

図6は、図2に示す抵抗回路網14における複数種類の抵抗回路を接続する接続用導体膜Cおよびヒューズ膜Fの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗回路との接続関係を図解的に示す図である。

図6を参照して、第1接続電極12には、抵抗回路網14に含まれる基準抵抗回路R8

50

の一端が接続されている。基準抵抗回路 R 8 は、8 個の単位抵抗体 R の直列接続からなり、その他端はヒューズ膜 F 1 に接続されている。

【0029】

ヒューズ膜 F 1 と接続用導体膜 C 2 とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R 64 の一端および他端が接続されている。

接続用導体膜 C 2 とヒューズ膜 F 4 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。

ヒューズ膜 F 4 と接続用導体膜 C 5 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。

【0030】

接続用導体膜 C 5 とヒューズ膜 F 6 とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R 16 の一端および他端が接続されている。

ヒューズ膜 F 7 および接続用導体膜 C 9 には、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。

接続用導体膜 C 9 およびヒューズ膜 F 10 には、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。

【0031】

ヒューズ膜 F 11 および接続用導体膜 C 12 には、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。

接続用導体膜 C 12 およびヒューズ膜 F 13 には、1 個の単位抵抗体 R からなる抵抗回路 R 1 の一端および他端が接続されている。

ヒューズ膜 F 13 および接続用導体膜 C 15 には、2 個の単位抵抗体 R の並列接続からなる抵抗回路 R/2 の一端および他端が接続されている。

【0032】

接続用導体膜 C 15 およびヒューズ膜 F 16 には、4 個の単位抵抗体 R の並列接続からなる抵抗回路 R/4 の一端および他端が接続されている。

ヒューズ膜 F 16 および接続用導体膜 C 18 には、8 個の単位抵抗体 R の並列接続からなる抵抗回路 R/8 の一端および他端が接続されている。

接続用導体膜 C 18 およびヒューズ膜 F 19 には、16 個の単位抵抗体 R の並列接続からなる抵抗回路 R/16 の一端および他端が接続されている。

【0033】

ヒューズ膜 F 19 および接続用導体膜 C 22 には、32 個の単位抵抗体 R の並列接続からなる抵抗回路 R/32 が接続されている。

複数のヒューズ膜 F および接続用導体膜 C は、それぞれ、ヒューズ膜 F 1、接続用導体膜 C 2、ヒューズ膜 F 3、ヒューズ膜 F 4、接続用導体膜 C 5、ヒューズ膜 F 6、ヒューズ膜 F 7、接続用導体膜 C 8、接続用導体膜 C 9、ヒューズ膜 F 10、ヒューズ膜 F 11、接続用導体膜 C 12、ヒューズ膜 F 13、ヒューズ膜 F 14、接続用導体膜 C 15、ヒューズ膜 F 16、ヒューズ膜 F 17、接続用導体膜 C 18、ヒューズ膜 F 19、ヒューズ膜 F 20、接続用導体膜 C 21、接続用導体膜 C 22 が、直線状に配置されて直列に接続されている。各ヒューズ膜 F が溶断されると、ヒューズ膜 F に隣接接続された接続用導体膜 C との間の電氣的接続が遮断される構成である。

【0034】

この構成を、電気回路図で示すと図 7 の通りである。すなわち、全てのヒューズ膜 F が溶断されていない状態では、抵抗回路網 14 は、第 1 接続電極 12 および第 2 接続電極 13 間に設けられた 8 個の単位抵抗体 R の直列接続からなる基準抵抗回路 R 8（抵抗値 $8r$ ）の抵抗回路を構成している。たとえば、1 個の単位抵抗体 R の抵抗値 r を $r = 80 \Omega$ とすれば、 $8r = 640 \Omega$ の抵抗回路により、第 1 接続電極 12 および第 2 接続電極 13 が接続されたチップ抵抗器 10 が構成されている。

【0035】

そして、基準抵抗回路 R 8 以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜 F が

10

20

30

40

50

並列的に接続され、各ヒューズ膜 F によりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路 R 8 には、12 種類 13 個の抵抗回路 R 64 ~ R / 32 が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ膜 F により短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網 14 に組み込まれてはいない。

【0036】

この実施形態に係るチップ抵抗器 10 は、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断する。それにより、並列的に接続されたヒューズ膜 F が溶断された抵抗回路は、抵抗回路網 14 に組み込まれることになる。よって、抵抗回路網 14 の全体の抵抗値を、溶断されたヒューズ膜 F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

10

【0037】

換言すれば、この実施形態に係るチップ抵抗器 10 は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路（たとえば、F 1、F 4、F 13 が溶断されると、抵抗回路 R 64、R 32、R 1 の直列接続）を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 14 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 10 とすることができる。

【0038】

また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、および 64 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個、および 32 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜 F で短絡された状態で直列に接続されている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 14 全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

20

【0039】

図 8 は、この発明の他の実施形態に係るチップ抵抗器 30 の平面図であり、第 1 接続電極 12、第 2 接続電極 13 および抵抗回路網 4 の配置関係ならびに抵抗回路網 14 の平面視の構成が示されている。

30

チップ抵抗器 30 が、前述したチップ抵抗器 10 と異なるところは、抵抗回路網 14 における単位抵抗体 R の接続態様である。

【0040】

すなわち、チップ抵抗器 30 の抵抗回路網 14 には、シリコン基板上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R（図 8 の構成では、行方向（シリコン基板の長手方向）に沿って 8 個の単位抵抗体 R が配列され、列方向（シリコン基板の幅方向）に沿って 44 個の単位抵抗体 R が配列され、合計 352 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1 ~ 128 個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜 F により並列態様で接続されている。複数のヒューズ膜 F は、第 2 接続電極 13 の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜 F が溶断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網 14 から電氣的に分離される構成である。

40

【0041】

なお、抵抗回路網 14 を構成する多数個の単位抵抗体 R の構造や、接続用導体膜、ヒューズ膜 F の構造は、先に説明したチップ抵抗器 10 における対応する部位の構造と同様であるから、ここでの説明については省略する。

図 9 は、図 8 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜 F の配列関係ならびにヒューズ膜 F に接続された複数種類の抵抗回路の

50

接続関係を図解的に示す図である。

【0042】

図9を参照して、第1接続電極12には、抵抗回路網14に含まれる基準抵抗回路R／16の一端が接続されている。基準抵抗回路R／16は、16個の単位抵抗体Rの並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜Cに接続されている。

ヒューズ膜F1と接続用導体膜Cとは、128個の単位抵抗体Rの直列接続からなる抵抗回路R128の一端および他端が接続されている。

【0043】

ヒューズ膜F5と接続用導体膜Cとは、64個の単位抵抗体Rの直列接続からなる抵抗回路R64の一端および他端が接続されている。

抵抗膜F6と接続用導体膜Cとは、32個の単位抵抗体Rの直列接続からなる抵抗回路R32の一端および他端が接続されている。

ヒューズ膜F7と接続用導体膜Cとは、16個の単位抵抗体Rの直列接続からなる抵抗回路R16の一端および他端が接続されている。

【0044】

ヒューズ膜F8と接続用導体膜Cとは、8個の単位抵抗体Rの直列接続からなる抵抗回路R8の一端および他端が接続されている。

ヒューズ膜F9と接続用導体膜Cとは、4個の単位抵抗体Rの直列接続からなる抵抗回路R4の一端および他端が接続されている。

ヒューズ膜F10と接続用導体膜Cとは、2個の単位抵抗体Rの直列接続からなる抵抗回路R2の一端および他端が接続されている。

【0045】

ヒューズ膜F11と接続用導体膜Cとは、1個の単位抵抗体Rの直列接続からなる抵抗回路R1の一端および他端が接続されている。

ヒューズ膜F12と接続用導体膜Cとは、2個の単位抵抗体Rの並列接続からなる抵抗回路R／2の一端および他端が接続されている。

ヒューズ膜F13と接続用導体膜Cとは、4個の単位抵抗体Rの並列接続からなる抵抗回路R／4の一端および他端が接続されている。

【0046】

ヒューズ膜F14、F15、F16は電氣的に接続されており、これらヒューズ膜F14、F15、F16と接続用導体Cとは、8個の単位抵抗体Rの並列接続からなる抵抗回路R／8の一端および他端が接続されている。

ヒューズ膜F17、F18、F19、F20、F21は電氣的に接続されており、これらヒューズ膜F17～F21と接続用導体膜Cとは、16個の単位抵抗体Rの並列接続からなる抵抗回路R／16の一端および他端が接続されている。

【0047】

ヒューズ膜Fは、ヒューズ膜F1～F21の21個備えられていて、これらは全て第2接続電極13に接続されている。

かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜Fが溶断されると、そのヒューズ膜Fに一端が接続された抵抗回路は、抵抗回路網14から電氣的に切り離される。

【0048】

図9の構成、すなわちチップ抵抗器30に備えられた抵抗回路網14の構成を、電気回路図で示すと図10の通りである。全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網14は、第1接続電極14および第2接続電極13間に、基準抵抗回路R／16と、12種類の抵抗回路R／16、R／8、R／4、R／2、R1、R2、R4、R8、R16、R32、R64、R128の並列接続回路との直列接続回路を構成している。

【0049】

そして、基準抵抗回路R／16以外の12種類の抵抗回路には、それぞれ、ヒューズ膜Fが直列に接続されている。よって、この抵抗回路網14を有するチップ抵抗器30では

10

20

30

40

50

、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズ膜 F に対応する抵抗回路（ヒューズ膜 F が直列に接続された抵抗回路）は、抵抗回路網 14 から電氣的に分離され、チップ抵抗器 10 の抵抗値を調整することができる。

【0050】

換言すれば、この実施形態に係るチップ抵抗器 30 も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 14 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 30 とすることができる。

10

【0051】

また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 14 全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

【0052】

なお、図 10 に示す電気回路においては、基準抵抗回路 R / 16 および、並列接続された抵抗回路のうち、抵抗値の小さな抵抗回路には、過電流が流れる傾向があり、抵抗設定時に、抵抗に流せる定格電流を大きく設計しなければならない。

20

そこで、電流を分散させるために、図 10 に示す電気回路を、図 11 (A) に示す電気回路構成となるように、抵抗回路網の接続構造を変更してもよい。すなわち、基準抵抗回路 R / 16 を無くし、かつ、並列接続される抵抗回路は、最小の抵抗値を r とし、抵抗値 r の抵抗単位体 R1 を複数組並列に接続した構成 140 を含む回路に変えるのである。

【0053】

図 11 (B) は、具体的な抵抗値を示した電気回路図であり、80 Ω の単位抵抗体とヒューズ膜 F との直列接続を複数組並列に接続した構成 140 を含む回路とされている。これにより、流れる電流の分散を図ることができる。

30

図 12 は、この発明のさらに他の実施形態に係るチップ抵抗器に備えられる抵抗回路網 14 の回路構成を電気回路図で示した図である。図 12 に示す抵抗回路網 14 の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。

【0054】

直列接続される複数種類の抵抗回路には、先の実施形態と同様、各抵抗回路毎に、並列にヒューズ膜 F が接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ膜 F で短絡状態とされている。従って、ヒューズ膜 F を溶断すると、そのヒューズ膜 F で短絡されていた抵抗回路が、抵抗回路網 14 に電氣的に組み込まれることになる。

一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ膜 F が接続されている。従って、ヒューズ膜 F を溶断することにより、ヒューズ膜 F が直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

40

【0055】

かかる構成とすれば、たとえば、1 k Ω 以下の小抵抗は並列接続側で作り、1 k Ω 以上の抵抗回路を直列接続側で作ることができる。よって、数 Ω の小抵抗から数 M Ω の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗回路網 14 を用いて作ることができる。

また、より精度良く抵抗値を設定する場合は、要求抵抗値に近い直列接続側抵抗回路のヒューズ膜を予めカットしておけば、細かな抵抗値の調整を並列接続側の抵抗回路のヒューズ膜を溶断することにより行うことができ、所望の抵抗値への合わせ込みの精度が上がる。

50

る。

【0056】

図13は、 $10\Omega \sim 1M\Omega$ の抵抗値を有するチップ抵抗器における抵抗回路網14の具体的な構成例を示す電気回路図である。

図13に示す抵抗回路網14も、ヒューズ膜Fで短絡された複数種類の抵抗回路の直列接続と、ヒューズ膜Fが直列接続された複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっている。

【0057】

図13の抵抗回路によれば、並列接続側において、 $10 \sim 1k\Omega$ の任意の抵抗値を精度1%以内で設定できる。また、直列接続側の回路で、 $1k \sim 1M\Omega$ の任意の抵抗値を、精度1%以内で設定できる。直列接続側の回路を使用する場合は、所望の抵抗値に近い抵抗回路のヒューズ膜Fを予め溶断し、所望の抵抗値に合わせ込んでおくことで、より精度良く抵抗値を設定できるという利点がある。

【0058】

なお、ヒューズ膜Fは、接続用導体膜Cと同一のレイヤーを用いる場合のみを説明したが、接続用導電膜C部分は、その上に更に別の導体膜を積層するようにし、導体膜の抵抗値を下げるようにしてもよい。また、抵抗膜をなくして、接続用導体膜Cのみとしても良い。なお、この場合であっても、ヒューズ膜Fの上に導体膜を積層しなければ、ヒューズ膜Fの溶断性が悪くなることはない。

【0059】

図14は、この発明のさらに他の実施形態に係るチップ抵抗器90の要部構造を説明するための図解的な平面図である。

たとえば、前述したチップ抵抗器10（図1、図2参照）や、チップ抵抗器30（図8参照）では、抵抗回路を構成する抵抗膜ライン20と導体膜片21の関係を平面視で表わすと、図14（A）に示す構成になっている。すなわち、図14（A）に示すように、所定間隔Rの領域の抵抗膜ライン20部分が、一定の抵抗値rの単位抵抗Rを形成している。そして単位抵抗Rの両側には導体膜片21が積層され、当該導体膜片21で抵抗膜ライン20が短絡されている。

【0060】

ここで、前述したチップ抵抗器10およびチップ抵抗器30では、単位抵抗Rを形成している抵抗膜ライン20部分の長さは、たとえば $12\mu m$ であり、抵抗膜ライン20の幅は、たとえば $1.5\mu m$ であり、単位抵抗（シート抵抗）は $10\Omega/\square$ である。このため、単位抵抗Rの抵抗値rは、 $r = 80\Omega$ である。

ところで、たとえば図1、図2に示すチップ抵抗器10において、抵抗回路網14の配置領域を広げることなく、抵抗回路網14の抵抗値を高めて、チップ抵抗器10の高抵抗化を図りたいといった要望がある。

【0061】

そこで、この実施形態に係るチップ抵抗器90では、抵抗回路網14のレイアウトを変更するとともに、抵抗回路網に含まれる抵抗回路を構成する単位抵抗を、平面視において、図14（B）に示す形状および大きさとした。

図14（B）を参照して、抵抗膜ライン20は、幅 $1.5\mu m$ で直線状に延びるライン状の抵抗膜ライン20を含む。そして、抵抗膜ライン20において、所定間隔R'の抵抗膜ライン20部分が、一定の抵抗値r'の単位抵抗R'を形成している。単位抵抗R'の長さは、たとえば $17\mu m$ にする。こうすれば、単位抵抗R'の抵抗値r'は、図14（A）に示す単位抵抗Rに比べて、ほぼ2倍の $r' = 160\Omega$ の単位抵抗とすることができる。

【0062】

また、抵抗膜ライン20上に積層される導体膜片21の長さは、図14（A）に示すものにおいても、（B）に示すものにおいても、同じ長さで構成することができる。それゆえ、抵抗回路網14に含まれる抵抗回路を構成する各単位抵抗R'のレイアウトパタ

ーンを変更し、単位抵抗体 R' が直列状に接続できるレイアウトパターンとすることにより、チップ抵抗器 90 は高抵抗化が実現されたものとなる。

【0063】

図 15 は、図 1～7 を参照して説明したチップ抵抗器 10 の製造工程の一例を示すフロー図である。次に、このフロー図の製造工程に従って、かつ、必要に応じて図 1～7 を参照しつつ、チップ抵抗器 10 の製造方法について詳細に説明をする。

ステップ S1：まず、基板 11（実際には個々のチップ抵抗器 10 に切り分けられる前のシリコンウエハ（図 17 参照））が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、絶縁層 19 としての二酸化シリコン（ SiO_2 ）層が形成される。

【0064】

ステップ S2：次に、たとえばスパッタ法によって、 TiN 、 TiON または TiSiON の抵抗体膜 20 が絶縁層 19 の表面全域に形成される。

ステップ S3：次に、たとえばスパッタ法によって、抵抗体膜 20 の表面全域にたとえばアルミニウム（ Al ）の配線膜 21 が積層形成される。積層された抵抗体膜 20 および配線膜 21 の 2 層の膜の合計膜厚は $8000 \text{ \AA}$ 程度とされてもよい。配線膜 21 は、 Al に換え、 AlSi 、 AlSiCu 、または AlCu などのアルミニウム系金属膜で形成されてもよい。配線膜 21 を、 Al 、 AlSi 、 AlSiCu 、または AlCu などのアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

【0065】

ステップ S4：次に、フォトリソグラフィプロセスを用い、配線膜 21 の表面に、抵抗回路網 14 の平面視の構成（導体膜 C およびヒューズ膜 F を含むレイアウトパターン）に対応したレジストパターンが形成される（第 1 レジストパターンの形成）。

ステップ S5：そして、第 1 エッチング工程が行われる。すなわち、ステップ S4 で形成された第 1 レジストパターンをマスクとして、抵抗体膜 20 および配線膜 21 という積層された 2 層膜が、たとえば反応性イオンエッチング（ RIE ）によりエッチングされる。そして、エッチング後に第 1 レジストパターンは剥離される。

【0066】

ステップ S6：再び、フォトリソグラフィプロセスを用いて、第 2 レジストパターンが形成される。ステップ S6 で形成される第 2 レジストパターンは、抵抗体膜 20 上に積層された配線膜 21 を選択的に除去して、単位抵抗体 R （図 2 で細いドットを付して示す領域）を形成するためのパターンである。

ステップ S7：ステップ S6 で形成された第 2 レジストパターンをマスクとして、たとえばウェットエッチングにより、配線膜 21 のみが選択的にエッチングされる（第 2 エッチング工程）。エッチング後、第 2 レジストパターンが剥離される。これにより、図 2 に示した抵抗回路網 14 のレイアウトパターンが得られる。

【0067】

ステップ S8：この段階で、基板表面に形成された抵抗回路網 14 の抵抗値（回路網 14 全体の抵抗値）が測定される。この測定は、たとえばマルチプローブピンを図 2 に示す第 1 接続電極 12 とつながる側の抵抗回路網 14 の端部と、第 2 接続電極 13 につながる側のヒューズ膜および抵抗回路網 14 の端部とに接触させて測定する。この測定により、製造された抵抗回路網 14 の初期状態における良否が判定できる。

【0068】

ステップ S9：次いで、基板 11 の上に形成された抵抗回路網 14 の全面を覆うように、たとえば窒化膜からなるカバー膜 22a が形成される。カバー膜 22a は、窒化膜（ SiN 膜）に換え、酸化膜（ SiO_2 膜）であってもよい。このカバー膜 22a の形成は、プラズマ CVD 法によって行われてもよく、たとえば膜厚 $3000 \text{ \AA}$ 程度の窒化シリコン膜（ SiN 膜）が形成されてもよい。カバー膜 22a は、パターンニングされた配線膜 21、抵抗体膜 20 およびヒューズ膜 F を覆う。

【0069】

ステップ S10：この状態から、ヒューズ膜 F を選択的に溶断して、チップ抵抗器 10

10

20

30

40

50

を所望の抵抗値に合わせ込むためのレーザートリミングが行われる。すなわち、図16(A)に示すように、ステップS8で行われた全抵抗値測定の測定結果に応じて選択されたヒューズ膜Fにレーザー光を当てて、そのヒューズ膜Fおよびその下に位置する抵抗体膜20が溶断される。これにより、ヒューズ膜Fで短絡されていた対応する抵抗回路が抵抗回路網14中に組み込まれ、抵抗回路網14の抵抗値を所望の抵抗値に合わせ込むことができる。ヒューズ膜Fにレーザー光を当てるとき、カバー膜22aの働きによって、ヒューズ膜Fの近傍にレーザー光のエネルギーが蓄積され、それによって、ヒューズ膜Fおよびその下層の抵抗体膜20が溶断する。

【0070】

ステップS11：次に、図16(B)に示すように、たとえばプラズマCVD法によって、カバー膜22a上に窒化シリコン膜が堆積され、パッシベーション膜22が形成される。前述のカバー膜22aは、最終形態において、パッシベーション膜22と一体化し、このパッシベーション膜22の一部を構成する。ヒューズ膜Fおよびその下層の抵抗体膜20の切断後に形成されたパッシベーション膜22は、ヒューズ膜Fおよびその下層の抵抗体膜20の溶断の際に同時に破壊されたカバー膜22aの開口22b内に入り込み、ヒューズ膜Fおよびその下層の抵抗体膜20の切断面を保護する。従って、パッシベーション膜22は、ヒューズ膜Fの切断箇所に異物が入り込んだり水分が進入したりすることを防ぐ。パッシベーション膜22は、全体で、たとえば1000~20000Å程度の厚みであればよく、たとえば8000Å程度の膜厚を有するように形成されてもよい。また、上述のように、パッシベーション膜22はシリコン酸化膜であってもよい。

【0071】

ステップS12：次いで、図16(C)に示すように、全面に樹脂膜23が塗布される。樹脂膜23としては、たとえば感光性のポリイミドの塗布膜23が用いられる。

ステップS13：この樹脂膜23に対して、前記第1接続電極12、第2接続電極13の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる。これにより、樹脂膜23に第1接続電極12および第2接続電極13のためのパッド開口が形成される。

【0072】

ステップS14：その後、樹脂膜23を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜23が安定化される。熱処理は、例えば170℃~700℃程度の温度で行ってもよい。その結果、抵抗体（抵抗体膜20およびパターニングされた配線膜21）の特性が安定するというメリットもある。

ステップS15：次に、第1接続電極12および第2接続電極13を形成すべき位置に貫通孔を有するポリイミド膜23をマスクとしてパッシベーション膜22のエッチングが行われる。それによって、配線膜21を第1接続電極12の領域および第2接続電極13の領域において露出させるパッド開口が形成される。パッシベーション膜22のエッチングは、反応性イオンエッチング（RIE）によって行われてもよい。

【0073】

ステップS16：2つのパッド開口から露出した配線膜21にマルチプローブピンが接触され、チップ抵抗器の抵抗値が所望の抵抗値になっていることを確認するための抵抗値測定（アフター測定）が行われる。このように、アフター測定を行うこと、換言すれば、最初の測定（イニシャル測定）→ヒューズ膜Fの溶断（レーザーリペア）→アフター測定という一連の処理を行うことで、チップ抵抗器10に対するトリミング処理能力が大幅に向上する。

【0074】

ステップS17：2つのパッド開口内に、たとえば無電解めっき法によって、外部接続電極としての第1接続電極12および第2接続電極13を成長させる。

ステップS18：その後、ウエハ表面に配列形成された多数個（たとえば50万個）の各チップ抵抗器を個々のチップ抵抗器10に分離するために、フォトリソグラフィによって第3のレジストパターンが形成される。レジスト膜はウエハの表面において、たとえば

図 18 における各チップ抵抗器 10 を保護すべく設けられ、各チップ抵抗器 10 間がエッチングされるように形成される。

【0075】

ステップ S 19：そしてプラズマダイシングが実行される。プラズマダイシングは、第 3 レジストパターンをマスクとしたエッチングであり、基板であるシリコンウエハの表面から所定深さの溝が、各チップ抵抗器 10 の間に形成される。その後レジスト膜が剥離される。

ステップ S 20：そして、たとえば図 17 (A) に示すように、表面に保護テープ 100 が貼着される。

【0076】

ステップ S 21：次いで、シリコンウエハの裏面研削が行われて、チップ抵抗器は個々のチップ抵抗器 10 に分離される (図 17 (A) (B))。

ステップ S 22：そして、図 17 (C) に示すように、裏面側にキャリアテープ (熱発泡シート) 200 が貼られて、個々のチップ抵抗器に分離された多数個のチップ抵抗器 10 は、キャリアテープ 200 上に配列された状態で保持される。一方で、表面に貼着された保護テープは取り除かれる (図 17 (D))。

【0077】

ステップ S 23：熱発泡シート 200 は、加熱されることによりその内部に含まれる熱発泡粒子 201 が膨らみ、それによりキャリアテープ 200 表面に接着されている各チップ抵抗器 10 はキャリアテープ 200 から剥離されて個々に分離される (図 17 (E) (F))。

以上、この発明の実施形態として、チップ抵抗器を用いて説明したが、この発明は、チップ抵抗器以外のチップ部品に対しても適用することが可能である。

【0078】

たとえば、他のチップ部品の例としてチップコンデンサを例示できる。チップコンデンサは、基板と、基板上に配置された第 1 外部電極と、同じく基板上に配置された第 2 外部電極とを備えている。基板のたとえば長手方向両端部に第 1 外部電極および第 2 外部電極がそれぞれ配置され、第 1 外部電極および第 2 外部電極の間にキャパシタ配置領域が設けられ、機能素子としての複数のキャパシタ要素が配置されている。複数のキャパシタ要素は、複数のヒューズを介してそれぞれ第 1 外部電極に電氣的に接続されている。

【0079】

かかるチップコンデンサにおいても、本発明を適用し、アルミニウム系配線膜により配線およびヒューズを一体的に形成することにより、表記の課題を解決できる。

さらに、他のチップ部品の例として、チップインダクタを例示することができる。チップインダクタは、たとえば基板上に多層配線構造を有し、多層配線構造内にインダクタ (コイル) およびそれに関連する配線を有する部品で、多層配線構造内の任意のインダクタがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。かかるチップインダクタにおいても、この発明によるアルミニウム系配線膜により配線およびヒューズを一体的に形成することにより、小型で高性能のチップインダクタ (チップ部品) とすることができる。

【0080】

さらに他のチップ部品の例として、チップダイオードを例示することもできる。チップダイオードは、たとえば基板上に多層配線構造を有し、多層配線構造内に複数のダイオードおよびそれに関連する配線を有する部品で、多層配線構造内の任意のダイオードがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。回路に組み込むダイオードを選択することにより、チップダイオードの整流特性を変更したり、調整することができる。また、チップダイオードの電圧降下特性 (抵抗値) を設定できる。さらに、ダイオードが LED (ライトエミッティングダイオード) であるチップ LED の場合、回路に組み込む LED を選択し、発光色を選べるチップ LED とすることができる。このようなチップダイオード、チップ LED に対しても、この発明のアルミニウム系

10

20

30

40

50

配線膜により配線およびヒューズを一体的に形成することができ、それによって、小型で高性能の、取り扱い易いチップダイオード、チップLEDといったチップ部品とすることができる。

【0081】

この発明は、以上説明した実施形態の製造方法に限定されるものではなく、特許請求の範囲に記載された事項の範囲内で種々の設計変更を施すことが可能である。たとえば、請求項で特定されていない製造の工程を変更したり、割愛したり、追加したものも、この発明の範囲に含まれる。

＜第1参考例に係る発明＞

(1) 第1参考例に係る発明の特徴

10

たとえば、第1参考例に係る発明の特徴は、以下のA1～A11である。

(A1) 基板と、前記基板上に形成された抵抗体膜、および前記抵抗体膜に接するように積層された配線膜をそれぞれ有する複数の抵抗体と、前記基板上に設けられた電極と、前記複数の抵抗体を前記電極にそれぞれ接続する切断可能な複数のヒューズとを含み、前記抵抗体膜が、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、Ta₂SiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなることを特徴とする、チップ抵抗器。

【0082】

この構成によれば、抵抗体膜を、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、Ta₂SiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料で形成することにより、微細加工に適し、かつ、温度特性の影響を受けにくく、正確な抵抗値のチップ抵抗器とすることができる。

20

(A2) 前記抵抗体膜の温度係数が、1000 ppm/°C未満であることを特徴とする、A1に記載のチップ抵抗器。

【0083】

この構成によれば、抵抗体膜の温度係数が1000 ppm/°C未満であるから、温度特性は抵抗値に実質的に影響を与えない。

(A3) 前記抵抗体膜の温度係数が、50 ppm/°C～200 ppm/°Cであることを特徴とする、A2に記載のチップ抵抗器。

この構成によれば、温度特性の影響を受けにくく、より正確な抵抗値のチップ抵抗器とすることができる。

30

(A4) 前記抵抗体膜の膜厚が、300 Å～1 μmであることを特徴とする、A1～A3のいずれか一項に記載のチップ抵抗器。

【0084】

この膜厚範囲で、50 ppm/°C～200 ppm/°Cを実現することができる。

(A5) 前記抵抗体が、1 μm～1.5 μmの線幅を有する線状要素を含むことを特徴とする、A1～A4のいずれか一項に記載のチップ抵抗器。

この構成によれば、微細加工されたチップ抵抗器とすることができる。

(A6) 前記抵抗体は、抵抗体膜上に、前記線状方向に一定間隔を開けて積層された導体膜を備え、前記導体膜が積層されていない前記一定間隔部分の抵抗体膜が1個の単位抵抗体を構成していることを特徴とする、A5記載のチップ抵抗器。

40

【0085】

この構成によれば、単位抵抗体の直列接続により抵抗値を正確に設定できるチップ抵抗器とすることができる。

(A7) 前記抵抗体膜上に積層された前記導体膜と、前記ヒューズとは同一レイヤーに形成された同一材料の金属膜を含むことを特徴とする、A1～A6のいずれか一項に記載のチップ抵抗器。

【0086】

この構成によれば、製造が容易で、比較的少ないプロセスにより簡単に複数の用途の金属膜（導体膜）を一度に形成することができる。

50

(A 8) 前記単位抵抗体が複数個直列に接続され、抵抗回路が形成されていることを特徴とする、A 6またはA 7に記載のチップ抵抗器。

この構成によれば、抵抗値の調整がしやすい高抵抗化されたチップ抵抗器とすることができる。

(A 9) 前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が直列に等比数列的に増加されて接続された複数種類の直列抵抗回路を含むことを特徴とする、A 8に記載のチップ抵抗器。

【0087】

この構成によれば、高抵抗で、抵抗値の調整がしやすいチップ抵抗器とすることができる。

10

(A 10) 前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が並列に等比数列的に増加されて接続された複数種類の並列抵抗回路を含むことを特徴とする、A 8に記載のチップ抵抗器。

【0088】

この構成によれば、低抵抗で、抵抗値の調整がしやすいチップ抵抗器とすることができる。

(A 11) 前記抵抗回路は、複数種類形成されており、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体が直列に等比数列的に増加されて接続された複数種類の直列抵抗回路、および、等しい抵抗値を有する単位抵抗体が並列に等比数列的に増加されて接続された複数種類の並列抵抗回路を含むことを特徴とする、A 8に記載のチップ抵抗器。

20

【0089】

この構成によれば、抵抗値が調整しやすく、種々の抵抗値に合わせ込めるチップ抵抗器とすることができる。

(2) 第1参考例に係る発明の実施形態

以下には、第1参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図19～図38で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

【0090】

図19(A)は、第1参考例の一実施形態に係るチップ抵抗器a10の外観構成を示す図解的な斜視図であり、図19(B)は、チップ抵抗器a10が基板上に実装された状態を示す側面図である。

30

図19(A)を参照して、第1参考例の一実施形態に係るチップ抵抗器a10は、基板a11上に形成された第1接続電極a12と、第2接続電極a13と、抵抗回路網a14とを備えている。基板a11は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L=0.3\text{ mm}$ 、短辺方向の幅 $W=0.15\text{ mm}$ 、厚み $T=0.1\text{ mm}$ 程度の大きさの微少なチップである。基板a11は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では、基板a11がシリコン基板の場合を例にとって説明する。

【0091】

チップ抵抗器a10は、図36に示すように、基板上に格子状に多数個のチップ抵抗器a10が形成され、基板が切断されて個々のチップ抵抗器a10に分離されることにより得られる。

40

基板a11上において、第1接続電極a12は基板a11の一方短辺a111に沿って設けられた短辺a111方向に長手の矩形電極である。第2接続電極a13は、基板a11上の他方短辺a112に沿って設けられた短辺a112方向に長手の矩形電極である。抵抗回路網a14は、基板a11上の第1接続電極a12と第2接続電極a13とで挟まれた中央領域(回路形成面または素子形成面)に設けられている。そして、抵抗回路網a14の一端側は第1接続電極a12に電氣的に接続されており、抵抗回路網a14の他端側は第2接続電極a13に電氣的に接続されている。これら第1接続電極a12、第2接続電極a13および抵抗回路網a14は、たとえば一例として、基板a11上に微細加工

50

プロセスを用いて設けることができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網 a 1 4 を形成することができる。

【0092】

第1接続電極 a 1 2 および第2接続電極 a 1 3 は、それぞれ、外部接続電極として機能する。チップ抵抗器 a 1 0 が回路基板 a 1 5 に実装された状態においては、図 1 9 (B) に示すように、第1接続電極 a 1 2 および第2接続電極 a 1 3 が、それぞれ、回路基板 a 1 5 の回路 (図示せず) と半田により電気的かつ機械的に接続される。なお、外部接続電極として機能する第1接続電極 a 1 2 および第2接続電極 a 1 3 は、半田濡れ性の向上および信頼性の向上のために、少なくとも表面領域を金 (Au) で形成するか、または表面に金メッキを施すことが望ましい。

10

【0093】

図 2 0 は、チップ抵抗器 a 1 0 の平面図であり、第1接続電極 a 1 2、第2接続電極 a 1 3 および抵抗回路網 a 1 4 の配置関係ならびに抵抗回路網 a 1 4 の平面視の構成 (レイアウトパターン) が示されている。

図 2 0 を参照して、チップ抵抗器 a 1 0 は、基板 a 1 1 上面の一方短辺 a 1 1 1 に長辺が沿うように配置された平面視略矩形をした第1接続電極 a 1 2 と、基板 a 1 1 上面の他方短辺 a 1 1 2 に長辺が沿うように配置された平面視略矩形をした第2接続電極 a 1 3 と、第1接続電極 a 1 2 および第2接続電極 a 1 3 間の平面視矩形の領域に設けられた抵抗回路網 a 1 4 とを含んでいる。

20

【0094】

抵抗回路網 a 1 4 には、基板 a 1 1 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R (図 2 0 の例では、行方向 (基板 a 1 1 の長手方向) に沿って 8 個の単位抵抗体 R が配列され、列方向 (基板 a 1 1 の幅方向) に沿って 4 4 個の単位抵抗体 R が配列され、合計 3 5 2 個の単位抵抗体 R を含む構成) を有している。そして、これら多数個の単位抵抗体 R の 1 ~ 6 4 個の所定の個数が導体膜 C (導体膜 C は、好ましくは Al、AlSi、AlSiCu、または AlCu などのアルミニウム系金属で形成された配線膜) 電気的に接続されて、接続された単位抵抗体 R の数に応じた複数種類の抵抗回路が形成されている。

【0095】

さらに、抵抗回路を抵抗回路網 a 1 4 に電気的に組み込んだり、または、抵抗回路網 a 1 4 から電気的に分離するために溶断可能な複数のヒューズ膜 F (好ましくは、導体膜 C と同じ材料である Al、AlSi、AlSiCu、または AlCu などのアルミニウム系金属膜で形成された配線膜であり、以下、「ヒューズ」ともいう) が設けられている。複数のヒューズ膜 F は、第2接続電極 a 1 3 の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜 F および接続用導体膜 C が隣接するように配列され、その配列方向が直線状になるように配置されている。

30

【0096】

図 2 1 A は、図 2 0 に示す抵抗回路網 a 1 4 の一部分を拡大して描いた平面図であり、図 2 1 B および図 2 1 C は、それぞれ、抵抗回路網 a 1 4 における単位抵抗体 R の構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。

40

図 2 1 A、図 2 1 B および図 2 1 C を参照して、単位抵抗体 R の構成について説明をする。

【0097】

基板 a 1 1 の上面には絶縁層 (SiO₂) a 1 9 が形成され、絶縁層 a 1 9 上に抵抗体膜 a 2 0 が配置されている。抵抗体膜 a 2 0 は、抵抗体膜 a 2 0 は、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、および TiSiON からなる群から選択した 1 種以上を含む材料からなる。抵抗体膜 a 2 0 をこのような材料で形成することにより、フォトリソグラフィによる微細加工が可能になる。また、温度特性の影響により抵抗値が変化しにくい、正確な抵抗値のチップ抵抗器を

50

作ることができる。この抵抗体膜 a 2 0 は、第 1 接続電極 a 1 2 と第 2 接続電極 a 1 3 との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ライン a 2 0 は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ライン a 2 0 上には、導体膜片 a 2 1 としてのたとえばアルミニウム膜が積層されている。各導体膜片 a 2 1 は、抵抗体膜ライン a 2 0 上に、ライン方向に一定間隔 R を開けて積層されている。

【0098】

この構成の抵抗体膜ライン a 2 0 および導体膜片 a 2 1 の電気的特徴を回路記号で示すと、図 2 2 の通りである。すなわち、図 2 2 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン a 2 0 部分が、それぞれ、一定の抵抗値 r の単位抵抗体 R を形成している。導体膜片 a 2 1 が積層された領域は、当該導体膜片 a 2 1 で抵抗体膜ライン a 2 0 が短絡されている。よって、図 2 2 (B) に示す抵抗 r の単位抵抗体 R の直列接続からなる抵抗回路が形成されている。

10

【0099】

また、隣接する抵抗体膜ライン a 2 0 同士は抵抗体膜ライン a 2 0 および導体膜片 a 2 1 で接続されているから、図 2 1 A に示す抵抗回路網は、図 2 2 (C) に示す抵抗回路を構成している。

図 2 1 B および図 2 1 C に示す図解的な断面図において、参照番号 a 1 1 は基板、a 1 9 は絶縁層としての二酸化シリコン SiO_2 層、a 2 0 は絶縁層 a 1 9 上に形成された抵抗体膜 a 2 1 はアルミニウム (Al) の配線膜、a 2 2 は保護膜としての SiN 膜、a 2 3 は保護層としてのポリイミド層を示している。

20

【0100】

抵抗体膜 a 2 0 の材質は、上記のとおり、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなる。また、抵抗体膜 a 2 0 の膜厚は、300 Å ~ 1 μm であることが望ましい。抵抗体膜 a 2 0 の膜厚をこの範囲とすれば、抵抗体膜 a 2 0 の温度係数を 50 ppm/°C ~ 200 ppm/°C に実現でき、温度特性の影響を受けにく

いチップ抵抗器となるからである。

【0101】

なお、抵抗体膜 a 2 0 の温度係数は、1000 ppm/°C 未満であれば、実用上良好なチップ抵抗器を得られる。

30

さらに、抵抗体膜 a 2 0 は、1 μm ~ 1.5 μm の線幅を有する線状要素を含む構造であることが望ましい。抵抗回路の微細化と良好な温度特性とを両立できるからである。

配線膜 a 2 1 は、Al に換え、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成されてもよい。配線膜 a 2 1 (ヒューズ膜 F を含む) をこのようにアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

【0102】

なお、かかる構成の抵抗回路網 a 1 4 の製造プロセスについては、後に詳述する。

この実施形態では、基板上 1 1 に形成された抵抗回路網 a 1 4 に含まれる単位抵抗体 R は、抵抗体膜ライン a 2 0 と、抵抗体膜ライン a 2 0 上に、ライン方向に一定間隔をあけて積層された複数の導体膜片 a 2 1 とを含み、導体膜片 a 2 1 が積層されていない一定間隔 R 部分の抵抗体膜ライン a 2 0 が、1 個の単位抵抗体 R を構成している。単位抵抗体 R を構成している抵抗体膜ライン a 2 0 は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、基板 a 1 1 上にマトリックス状に配列された多数個の単位抵抗体 R は、等しい抵抗値を有している。

40

【0103】

抵抗体膜ライン a 2 0 上に積層された導体膜片 a 2 1 は、単位抵抗体 R を形成するとともに、複数の単位抵抗体 R を接続して抵抗回路を構成するための接続用配線膜の役目も

50

果たしている。

図 2 3 (A) は、図 2 0 に示すチップ抵抗器 a 1 0 の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 2 3 (B) は、図 2 3 (A) の B - B に沿う断面構造を示す図である。

【0104】

図 2 3 (A) (B) に示すように、ヒューズ膜 F も、抵抗体膜 a 2 0 上に積層された配線膜 a 2 1 により形成されている。すなわち、単位抵抗体 R を形成する抵抗体膜ライン a 2 0 上に積層された導体膜片 a 2 1 と同じレイヤーに、導体膜片 a 2 1 と同じ金属材料であるアルミニウム (A 1) により形成されている。なお、導体膜片 a 2 1 は、前述したように、抵抗回路を形成するために、複数の単位抵抗体 R を電氣的に接続する接続用導体膜 C としても用いられている。

10

【0105】

つまり、抵抗体膜 a 2 0 上に積層された同一レイヤーにおいて、単位抵抗体 R 形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網 a 1 4 を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網 a 1 4 を第 1 接続電極 a 1 2 および第 2 接続電極 a 1 3 に接続するための配線膜が、同一のアルミニウム系金属材料 (たとえばアルミニウム) を用いて、同じ製造プロセス (たとえばスパッタリングおよびフォトリソグラフィプロセス) によって形成されている。これにより、このチップ抵抗器 a 1 0 の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜 a 2 0 とのアライメント性も向上する。

20

【0106】

図 2 4 は、図 2 0 に示す抵抗回路網 a 1 4 における複数種類の抵抗回路を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗回路との接続関係を図解的に示す図である。

図 2 4 を参照して、第 1 接続電極 a 1 2 には、抵抗回路網 a 1 4 に含まれる基準抵抗回路 R 8 の一端が接続されている。基準抵抗回路 R 8 は、8 個の単位抵抗体 R の直列接続からなり、その他端はヒューズ膜 F 1 に接続されている。

【0107】

ヒューズ膜 F 1 と接続用導体膜 C 2 とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R 6 4 の一端および他端が接続されている。

30

接続用導体膜 C 2 とヒューズ膜 F 4 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。

ヒューズ膜 F 4 と接続用導体膜 C 5 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。

【0108】

接続用導体膜 C 5 とヒューズ膜 F 6 とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 6 の一端および他端が接続されている。

ヒューズ膜 F 7 および接続用導体膜 C 9 には、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。

接続用導体膜 C 9 およびヒューズ膜 F 1 0 には、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。

40

【0109】

ヒューズ膜 F 1 1 および接続用導体膜 C 1 2 には、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。

接続用導体膜 C 1 2 およびヒューズ膜 F 1 3 には、1 個の単位抵抗体 R からなる抵抗回路 R 1 の一端および他端が接続されている。

ヒューズ膜 F 1 3 および接続用導体膜 C 1 5 には、2 個の単位抵抗体 R の並列接続からなる抵抗回路 R / 2 の一端および他端が接続されている。

【0110】

接続用導体膜 C 1 5 およびヒューズ膜 F 1 6 には、4 個の単位抵抗体 R の並列接続から

50

なる抵抗回路 $R/4$ の一端および他端が接続されている。

ヒューズ膜 $F16$ および接続用導体膜 $C18$ には、8 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。

接続用導体膜 $C18$ およびヒューズ膜 $F19$ には、16 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。

【0111】

ヒューズ膜 $F19$ および接続用導体膜 $Ca22$ には、32 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/32$ が接続されている。

複数のヒューズ膜 F および接続用導体膜 C は、それぞれ、ヒューズ膜 $F1$ 、接続用導体膜 $C2$ 、ヒューズ膜 $F3$ 、ヒューズ膜 $F4$ 、接続用導体膜 $C5$ 、ヒューズ膜 $F6$ 、ヒューズ膜 $F7$ 、接続用導体膜 $C8$ 、接続用導体膜 $C9$ 、ヒューズ膜 $F10$ 、ヒューズ膜 $F11$ 、接続用導体膜 $C12$ 、ヒューズ膜 $F13$ 、ヒューズ膜 $F14$ 、接続用導体膜 $C15$ 、ヒューズ膜 $F16$ 、ヒューズ膜 $F17$ 、接続用導体膜 $C18$ 、ヒューズ膜 $F19$ 、ヒューズ膜 $F20$ 、接続用導体膜 $Ca21$ 、接続用導体膜 $Ca22$ が、直線状に配置されて直列に接続されている。各ヒューズ膜 F が溶断されると、ヒューズ膜 F に隣接接続された接続用導体膜 C との間の電氣的接続が遮断される構成である。

【0112】

この構成を、電気回路図で示すと図 25 の通りである。すなわち、全てのヒューズ膜 F が溶断されていない状態では、抵抗回路網 $a14$ は、第 1 接続電極 $a12$ および第 2 接続電極 $a13$ 間に設けられた 8 個の単位抵抗体 R の直列接続からなる基準抵抗回路 $R8$ (抵抗値 $8r$) の抵抗回路を構成している。たとえば、1 個の単位抵抗体 R の抵抗値 r を $r = 80\Omega$ とすれば、 $8r = 640\Omega$ の抵抗回路により、第 1 接続電極 $a12$ および第 2 接続電極 $a13$ が接続されたチップ抵抗器 $a10$ が構成されている。

【0113】

そして、基準抵抗回路 $R8$ 以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜 F が並列的に接続され、各ヒューズ膜 F によりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路 $R8$ には、12 種類 13 個の抵抗回路 $R64 \sim R/32$ が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ膜 F により短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網 $a14$ に組み込まれてはいない。

【0114】

この実施形態に係るチップ抵抗器 $a10$ は、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断する。それにより、並列的に接続されたヒューズ膜 F が溶断された抵抗回路は、抵抗回路網 $a14$ に組み込まれることになる。よって、抵抗回路網 $a14$ の全体の抵抗値を、溶断されたヒューズ膜 F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

【0115】

換言すれば、この実施形態に係るチップ抵抗器 $a10$ は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路 (たとえば、 $F1$ 、 $F4$ 、 $F13$ が溶断されると、抵抗回路 $R64$ 、 $R32$ 、 $R1$ の直列接続) を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 $a14$ の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 $a10$ とすることができる。

【0116】

また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、および 64 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個、および 32 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜 F で短絡された状態で直列に接続されている。よって、ヒューズ膜 F を選択的に溶断する

ことにより、抵抗回路網 a 1 4 全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

【0117】

図 2 6 は、第 1 参考例の他の実施形態に係るチップ抵抗器 a 3 0 の平面図であり、第 1 接続電極 a 1 2、第 2 接続電極 a 1 3 および抵抗回路網 4 の配置関係ならびに抵抗回路網 a 1 4 の平面視の構成が示されている。

チップ抵抗器 a 3 0 が、前述したチップ抵抗器 a 1 0 と異なるところは、抵抗回路網 a 1 4 における単位抵抗体 R の接続態様である。

【0118】

すなわち、チップ抵抗器 a 3 0 の抵抗回路網 a 1 4 には、基板 a 1 1 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R（図 2 6 の構成では、行方向（基板 a 1 1 の長手方向）に沿って 8 個の単位抵抗体 R が配列され、列方向（基板 a 1 1 の幅方向）に沿って 4 4 個の単位抵抗体 R が配列され、合計 3 5 2 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1 ～ 1 2 8 個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜 F により並列態様で接続されている。複数のヒューズ膜 F は、第 2 接続電極 a 1 3 の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜 F が溶断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網 a 1 4 から電氣的に分離される構成である。

【0119】

なお、抵抗回路網 a 1 4 を構成する多数個の単位抵抗体 R の材質および構造や、接続用導体膜、ヒューズ膜 F の材質および構造は、先に説明したチップ抵抗器 a 1 0 における対応する部位の構造と同様であるから、ここでの説明については省略する。

図 2 7 は、図 2 6 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜 F の配列関係ならびにヒューズ膜 F に接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

【0120】

図 2 7 を参照して、第 1 接続電極 a 1 2 には、抵抗回路網 a 1 4 に含まれる基準抵抗回路 R / 1 6 の一端が接続されている。基準抵抗回路 R / 1 6 は、1 6 個の単位抵抗体 R の並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜 C に接続されている。ヒューズ膜 F 1 と接続用導体膜 C とには、1 2 8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 2 8 の一端および他端が接続されている。

【0121】

ヒューズ膜 F 5 と接続用導体膜 C とには、6 4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 6 4 の一端および他端が接続されている。

抵抗膜 F 6 と接続用導体膜 C とには、3 2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。

ヒューズ膜 F 7 と接続用導体膜 C とには、1 6 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 6 の一端および他端が接続されている。

【0122】

ヒューズ膜 F 8 と接続用導体膜 C とには、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。

ヒューズ膜 F 9 と接続用導体膜 C とには、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。

ヒューズ膜 F 1 0 と接続用導体膜 C とには、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。

【0123】

ヒューズ膜 F 1 1 と接続用導体膜 C とには、1 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 の一端および他端が接続されている。

ヒューズ膜 F 1 2 と接続用導体膜 C とには、2 個の単位抵抗体 R の並列接続からなる抵

10

20

30

40

50

抗回路 $R/2$ の一端および他端が接続されている。

ヒューズ膜 $F13$ と接続用導体膜 C とには、4 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。

【0124】

ヒューズ膜 $F14$ 、 $F15$ 、 $F16$ は電氣的に接続されており、これらヒューズ膜 $F14$ 、 $F15$ 、 $F16$ と接続用導体膜 C とには、8 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。

ヒューズ膜 $F17$ 、 $F18$ 、 $F19$ 、 $F20$ 、 $F21$ は電氣的に接続されており、これらヒューズ膜 $F17 \sim F21$ と接続用導体膜 C とには、16 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。

10

【0125】

ヒューズ膜 F は、ヒューズ膜 $F1 \sim F21$ の 21 個備えられていて、これらは全て第 2 接続電極 $a13$ に接続されている。

かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜 F が溶断されると、そのヒューズ膜 F に一端が接続された抵抗回路は、抵抗回路網 $a14$ から電氣的に切り離される。

【0126】

図 27 の構成、すなわちチップ抵抗器 $a30$ に備えられた抵抗回路網 $a14$ の構成を、電気回路図で示すと図 28 の通りである。全てのヒューズ膜 F が溶断されていない状態では、抵抗回路網 $a14$ は、第 1 接続電極 14 および第 2 接続電極 $a13$ 間に、基準抵抗回路 $R/16$ と、12 種類の抵抗回路 $R/16$ 、 $R/8$ 、 $R/4$ 、 $R/2$ 、 $R1$ 、 $R2$ 、 $R4$ 、 $R8$ 、 $R16$ 、 $R32$ 、 $R64$ 、 $R128$ の並列接続回路との直列接続回路を構成している。

20

【0127】

そして、基準抵抗回路 $R/16$ 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ膜 F が直列に接続されている。よって、この抵抗回路網 $a14$ を有するチップ抵抗器 $a30$ では、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズ膜 F に対応する抵抗回路（ヒューズ膜 F が直列に接続された抵抗回路）は、抵抗回路網 $a14$ から電氣的に分離され、チップ抵抗器 $a10$ の抵抗値を調整することができる。

30

【0128】

換言すれば、この実施形態に係るチップ抵抗器 $a30$ も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 $a14$ の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 $a30$ とすることができる。

【0129】

また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 $a14$ 全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

40

【0130】

なお、図 28 に示す電気回路においては、基準抵抗回路 $R/16$ および、並列接続された抵抗回路のうち、抵抗値の小さな抵抗回路には、過電流が流れる傾向があり、抵抗設定時に、抵抗に流せる定格電流を大きく設計しなければならない。

そこで、電流を分散させるために、図 28 に示す電気回路を、図 29 (A) に示す電気回路構成となるように、抵抗回路網の接続構造を変更してもよい。すなわち、基準抵抗回

50

路 R／16 を無くし、かつ、並列接続される抵抗回路は、最小の抵抗値を r とし、抵抗値 r の抵抗単位体 R1 を複数組並列に接続した構成 a140 を含む回路に変えるのである。

【0131】

図29(B)は、具体的な抵抗値を示した電気回路図であり、 80Ω の単位抵抗体とヒューズ膜Fとの直列接続を複数組並列に接続した構成 a140 を含む回路とされている。これにより、流れる電流の分散を図ることができる。

図30は、第1参考例のさらに他の実施形態に係るチップ抵抗器に備えられる抵抗回路網 a14 の回路構成を電気回路図で示した図である。図30に示す抵抗回路網 a14 の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。

【0132】

直列接続される複数種類の抵抗回路には、先の実施形態と同様、各抵抗回路毎に、並列にヒューズ膜Fが接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ膜Fで短絡状態とされている。従って、ヒューズ膜Fを溶断すると、そのヒューズ膜Fで短絡されていた抵抗回路が、抵抗回路網 a14 に電氣的に組み込まれることになる。

一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ膜Fが接続されている。従って、ヒューズ膜Fを溶断することにより、ヒューズ膜Fが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

【0133】

かかる構成とすれば、たとえば、 $1\text{ k}\Omega$ 以下の小抵抗は並列接続側で作し、 $1\text{ k}\Omega$ 以上の抵抗回路を直列接続側で作ることができる。よって、数 Ω の小抵抗から数 $\text{M}\Omega$ の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗回路網 a14 を用いて作ることができる。

また、より精度良く抵抗値を設定する場合は、要求抵抗値に近い直列接続側抵抗回路のヒューズ膜を予めカットしておけば、細かな抵抗値の調整を並列接続側の抵抗回路のヒューズ膜を溶断することにより行うことができ、所望の抵抗値への合わせ込みの精度が上がる。

【0134】

図31は、 $10\Omega\sim 1\text{ M}\Omega$ の抵抗値を有するチップ抵抗器における抵抗回路網 a14 の具体的な構成例を示す電気回路図である。

図31に示す抵抗回路網 a14 も、ヒューズ膜Fで短絡された複数種類の抵抗回路の直列接続と、ヒューズ膜Fが直列接続された複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっている。

【0135】

図31の抵抗回路によれば、並列接続側において、 $10\sim 1\text{ k}\Omega$ の任意の抵抗値を、精度1%以内で設定できる。また、直列接続側の回路で、 $1\text{ k}\sim 1\text{ M}\Omega$ の任意の抵抗値を、精度1%以内で設定できる。直列接続側の回路を使用する場合は、所望の抵抗値に近い抵抗回路のヒューズ膜Fを予め溶断し、所望の抵抗値に合わせ込んでおくことで、より精度良く抵抗値を設定できるという利点がある。

【0136】

なお、ヒューズ膜Fは、接続用導体膜Cと同一のレイヤーを用いる場合のみを説明したが、接続用導電膜C部分は、その上に更に別の導体膜を積層するようにし、導体膜の抵抗値を下げるようにしてもよい。また、抵抗体膜をなくして、接続用導体膜Cのみとしても良い。なお、この場合であっても、ヒューズ膜Fの上に導体膜を積層しなければ、ヒューズ膜Fの溶断性が悪くなることはない。

【0137】

図32は、第1参考例のさらに他の実施形態に係るチップ抵抗器 a90 の要部構造を説明するための図解的な平面図である。

たとえば、前述したチップ抵抗器 a10 (図19、図20参照)や、チップ抵抗器 a30 (図26参照)では、抵抗回路を構成する抵抗体膜ライン a20 と導体膜片 a21 の関

10

20

30

40

50

係を平面視で表わすと、図 3 2 (A) に示す構成になっている。すなわち、図 3 2 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン a 2 0 部分が、一定の抵抗値 r の単位抵抗体 R を形成している。そして単位抵抗体 R の両側には導体膜片 a 2 1 が積層され、当該導体膜片 a 2 1 で抵抗体膜ライン a 2 0 が短絡されている。

【0138】

ここで、前述したチップ抵抗器 a 1 0 およびチップ抵抗器 a 3 0 では、単位抵抗体 R を形成している抵抗体膜ライン a 2 0 部分の長さは、たとえば $12\ \mu\text{m}$ であり、抵抗体膜ライン a 2 0 の幅は、たとえば $1.5\ \mu\text{m}$ であり、単位抵抗 (シート抵抗) は $10\ \Omega/\square$ である。このため、単位抵抗体 R の抵抗値 r は、 $r = 80\ \Omega$ である。

ところで、たとえば図 1 9、図 2 0 に示すチップ抵抗器 a 1 0 において、抵抗回路網 a 1 4 の配置領域を拡げることなく、抵抗回路網 a 1 4 の抵抗値を高めて、チップ抵抗器 a 1 0 の高抵抗化を図りたいといった要望がある。

【0139】

そこで、この実施形態に係るチップ抵抗器 a 9 0 では、抵抗回路網 a 1 4 のレイアウトを変更するとともに、抵抗回路網に含まれる抵抗回路を構成する単位抵抗体を、平面視において、図 3 2 (B) に示す形状および大きさとした。

図 3 2 (B) を参照して、抵抗体膜ライン a 2 0 は、幅 $1.5\ \mu\text{m}$ で直線状に延びるライン状の抵抗体膜ライン a 2 0 を含む。そして、抵抗体膜ライン a 2 0 において、所定間隔 R' の抵抗体膜ライン a 2 0 部分が、一定の抵抗値 r' の単位抵抗体 R' を形成している。単位抵抗体 R' の長さは、たとえば $17\ \mu\text{m}$ にする。こうすれば、単位抵抗体 R' の抵抗値 r' は、図 3 2 (A) に示す単位抵抗体 R に比べて、ほぼ 2 倍の $r' = 160\ \Omega$ の単位抵抗体とすることができる。

【0140】

また、抵抗体膜ライン a 2 0 上に積層される導体膜片 a 2 1 の長さは、図 3 2 (A) に示すものにおいても、(B) に示すものにおいても、同じ長さで構成することができる。それゆえ、抵抗回路網 a 1 4 に含まれる抵抗回路を構成する各単位抵抗体 R' のレイアウトパターンを変更し、単位抵抗体 R' が直列状に接続できるレイアウトパターンとすることにより、チップ抵抗器 a 9 0 は高抵抗化が実現されたものとなる。

【0141】

図 3 3 は、図 1 9 ~ 2 5 を参照して説明したチップ抵抗器 a 1 0 の製造工程の一例を示すフロー図である。次に、このフロー図の製造工程に従って、かつ、必要に応じて図 1 9 ~ 2 5 を参照しつつ、チップ抵抗器 a 1 0 の製造方法について詳細に説明をする。

ステップ S 1 : まず、基板 a 1 1 (実際には個々のチップ抵抗器 a 1 0 に切り分けられる前のシリコンウエハ (図 3 5 参照)) が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、絶縁層 a 1 9 としての二酸化シリコン (SiO_2) 層が形成される。

【0142】

ステップ S 2 : 次に、たとえばスパッタ法によって、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、Ta₂SiO₂、TiN、TiNO、およびTiSiON からなる群から選択した 1 種以上を含む材料、たとえば TiN、TiON または TiSiON の抵抗体膜 a 2 0 が絶縁層 a 1 9 の表面全域に形成される。

ステップ S 3 : 次に、たとえばスパッタ法によって、抵抗体膜 a 2 0 の表面全域にたとえばアルミニウム (Al) の配線膜 a 2 1 が積層形成される。積層された抵抗体膜 a 2 0 および配線膜 a 2 1 の 2 層の膜の合計膜厚は $8000\ \text{\AA}$ 程度とされてもよい。配線膜 a 2 1 は、Al に換え、AlSi、AlSiCu、または AlCu などのアルミニウム系金属膜で形成されてもよい。配線膜 a 2 1 を、Al、AlSi、AlSiCu、または AlCu などのアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

【0143】

ステップ S 4 : 次に、フォトリソグラフィプロセスを用い、配線膜 a 2 1 の表面に、抵

抗回路網 a 1 4 の平面視の構成（導体膜 C およびヒューズ膜 F を含むレイアウトパターン）に対応したレジストパターンが形成される（第 1 レジストパターンの形成）。

ステップ S 5：そして、第 1 エッチング工程が行われる。すなわち、ステップ S 4 で形成された第 1 レジストパターンをマスクとして、抵抗体膜 a 2 0 および配線膜 a 2 1 という積層された 2 層膜が、たとえば反応性イオンエッチング（R I E）によりエッチングされる。そして、エッチング後に第 1 レジストパターンは剥離される。

【0144】

ステップ S 6：再び、フォトリソグラフィプロセスを用いて、第 2 レジストパターンが形成される。ステップ S 6 で形成される第 2 レジストパターンは、抵抗体膜 a 2 0 上に積層された配線膜 a 2 1 を選択的に除去して、単位抵抗体 R（図 2 0 で細いドットを付して示す領域）を形成するためのパターンである。

ステップ S 7：ステップ S 6 で形成された第 2 レジストパターンをマスクとして、たとえばウェットエッチングにより、配線膜 a 2 1 のみが選択的にエッチングされる（第 2 エッチング工程）。エッチング後、第 2 レジストパターンが剥離される。これにより、図 2 0 に示した抵抗回路網 a 1 4 のレイアウトパターンが得られる。

【0145】

ステップ S 8：この段階で、基板表面に形成された抵抗回路網 a 1 4 の抵抗値（回路網 a 1 4 全体の抵抗値）が測定される。この測定は、たとえばマルチプローブピンを図 2 0 に示す第 1 接続電極 a 1 2 とつながる側の抵抗回路網 a 1 4 の端部と、第 2 接続電極 a 1 3 につながる側のヒューズ膜および抵抗回路網 a 1 4 の端部とに接触させて測定する。この測定により、製造された抵抗回路網 a 1 4 の初期状態における良否が判定できる。

【0146】

ステップ S 9：次いで、基板 a 1 1 の上に形成された抵抗回路網 a 1 4 の全面を覆うように、たとえば窒化膜からなるカバー膜 a 2 2 a が形成される。カバー膜 a 2 2 a は、窒化膜（S i N 膜）に換え、酸化膜（S i O₂ 膜）であってもよい。このカバー膜 a 2 2 a の形成は、プラズマ C V D 法によって行われてもよく、たとえば膜厚 3 0 0 0 Å 程度の窒化シリコン膜（S i N 膜）が形成されてもよい。カバー膜 a 2 2 a は、パターンニングされた配線膜 a 2 1、抵抗体膜 a 2 0 およびヒューズ膜 F を覆う。

【0147】

ステップ S 1 0：この状態から、ヒューズ膜 F を選択的に溶断して、チップ抵抗器 a 1 0 を所望の抵抗値に合わせ込むためのレーザートリミングが行われる。すなわち、図 3 4（A）に示すように、ステップ S 8 で行われた全抵抗値測定の測定結果に応じて選択されたヒューズ膜 F にレーザー光を当てて、そのヒューズ膜 F およびその下に位置する抵抗体膜 a 2 0 が溶断される。これにより、ヒューズ膜 F で短絡されていた対応する抵抗回路が抵抗回路網 a 1 4 中に組み込まれ、抵抗回路網 a 1 4 の抵抗値を所望の抵抗値に合わせ込むことができる。ヒューズ膜 F にレーザー光を当てるとき、カバー膜 a 2 2 a の働きによって、ヒューズ膜 F の近傍にレーザー光のエネルギーが蓄積され、それによって、ヒューズ膜 F およびその下層の抵抗体膜 a 2 0 が溶断する。

【0148】

ステップ S 1 1：次に、図 3 4（B）に示すように、たとえばプラズマ C V D 法によって、カバー膜 a 2 2 a 上に窒化シリコン膜が堆積され、パッシベーション膜 a 2 2 が形成される。前述のカバー膜 a 2 2 a は、最終形態において、パッシベーション膜 a 2 2 と一体化し、このパッシベーション膜 a 2 2 の一部を構成する。ヒューズ膜 F およびその下層の抵抗体膜 a 2 0 の切断後に形成されたパッシベーション膜 a 2 2 は、ヒューズ膜 F およびその下層の抵抗体膜 a 2 0 の溶断の際に同時に破壊されたカバー膜 a 2 2 a の開口 a 2 2 b 内に入り込み、ヒューズ膜 F およびその下層の抵抗体膜 a 2 0 の切断面を保護する。従って、パッシベーション膜 a 2 2 は、ヒューズ膜 F の切断箇所にも異物が入り込んだり水分が進入したりすることを防ぐ。パッシベーション膜 a 2 2 は、全体で、たとえば 1 0 0 0 ~ 2 0 0 0 0 Å 程度の厚みであればよく、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。また、上述のように、パッシベーション膜 a 2 2 はシリコン酸化膜

であってもよい。

【0149】

ステップS12：次いで、図34（C）に示すように、全面に樹脂膜a23が塗布される。樹脂膜a23としては、たとえば感光性のポリイミドの塗布膜a23が用いられる。

ステップS13：この樹脂膜a23に対して、前記第1接続電極a12、第2接続電極a13の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる。これにより、樹脂膜a23に第1接続電極a12および第2接続電極a13のためのパッド開口が形成される。

【0150】

ステップS14：その後、樹脂膜a23を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜a23が安定化される。熱処理は、例えば170℃～700℃程度の温度で行ってもよい。その結果、抵抗体（抵抗体膜a20およびパターニングされた配線膜a21）の特性が安定するというメリットもある。

ステップS15：次に、第1接続電極a12および第2接続電極a13を形成すべき位置に貫通孔を有するポリイミド膜a23をマスクとしてパッシベーション膜a22のエッチングが行われる。それによって、配線膜a21を第1接続電極a12の領域および第2接続電極a13の領域において露出させるパッド開口が形成される。パッシベーション膜a22のエッチングは、反応性イオンエッチング（RIE）によって行われてもよい。

【0151】

ステップS16：2つのパッド開口から露出した配線膜a21にマルチプローブピンが接触され、チップ抵抗器の抵抗値が所望の抵抗値になっていることを確認するための抵抗値測定（アフター測定）が行われる。このように、アフター測定を行うこと、換言すれば、最初の測定（イニシャル測定）→ヒューズ膜Fの溶解（レーザーリペア）→アフター測定という一連の処理を行うことで、チップ抵抗器a10に対するトリミング処理能力が大幅に向上する。

【0152】

ステップS17：2つのパッド開口内に、たとえば無電解めっき法によって、外部接続電極としての第1接続電極a12および第2接続電極a13を成長させる。

ステップS18：その後、ウエハ表面に配列形成された多数個（たとえば50万個）の各チップ抵抗器を個々のチップ抵抗器a10に分離するために、フォトリソグラフィによって第3のレジストパターンが形成される。レジスト膜はウエハの表面において、たとえば図36における各チップ抵抗器a10を保護すべく設けられ、各チップ抵抗器a10間

【0153】

ステップS19：そしてプラズマダイシングが実行される。プラズマダイシングは、第3レジストパターンをマスクとしたエッチングであり、基板a11の表面から所定深さの溝が、各チップ抵抗器a10の間に形成される。その後レジスト膜が剥離される。

ステップS20：そして、たとえば図35（A）に示すように、表面に保護テープa100が貼着される。

【0154】

ステップS21：次いで、シリコンウエハの裏面研削が行われて、チップ抵抗器は個々のチップ抵抗器a10に分離される（図35（A）（B））。

ステップS22：そして、図35（C）に示すように、裏面側にキャリアテープ（熱発泡シート）a200が貼られて、個々のチップ抵抗器に分離された多数個のチップ抵抗器a10は、キャリアテープa200上に配列された状態で保持される。一方で、表面に貼着された保護テープは取り除かれる（図35（D））。

【0155】

ステップS23：熱発泡シートa200は、加熱されることによりその内部に含まれる熱発泡粒子201が膨らみ、それによりキャリアテープa200表面に接着されている各

10

20

30

40

50

チップ抵抗器 a 1 0 はキャリアテープ a 2 0 0 から剥離されて個々に分離される（図 3 5（E）（F））。

図 3 7 は、第 1 参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン a 2 0 1 は、扁平な直方体形状の筐体 a 2 0 2 の内部に電子部品を収納して構成されている。筐体 a 2 0 2 は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が 4 つの側面で結合されている。筐体 a 2 0 2 の一つの主面には、液晶パネルや有機 E L パネル等で構成された表示パネル a 2 0 3 の表示面が露出している。表示パネル a 2 0 3 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

【0156】

表示パネル a 2 0 3 は、筐体 a 2 0 2 の一つの主面の大部分を占める長方形形状に形成されている。表示パネル a 2 0 3 の一つの短辺に沿うように、操作ボタン a 2 0 4 が配置されている。この実施形態では、複数（3 つ）の操作ボタン a 2 0 4 が表示パネル a 2 0 3 の短辺に沿って配列されている。使用者は、操作ボタン a 2 0 4 およびタッチパネルを操作することによって、スマートフォン a 2 0 1 に対する操作を行い、必要な機能呼び出して実行させることができる。

【0157】

表示パネル a 2 0 3 の別の一つの短辺の近傍には、スピーカ a 2 0 5 が配置されている。スピーカ a 2 0 5 は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン a 2 0 4 の近くには、筐体 a 2 0 2 の一つの側面にマイクロフォン a 2 0 6 が配置されている。マイクロフォン a 2 0 6 は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

【0158】

図 3 8 は、筐体 a 2 0 2 の内部に収容された電子回路アセンブリ a 2 1 0 の構成を示す図解的な平面図である。電子回路アセンブリ a 2 1 0 は、配線基板 a 2 1 1 と、配線基板 a 2 1 1 の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（I C）a 2 1 2－a 2 2 0 と、複数のチップ部品とを含む。複数の I C は、伝送処理 I C a 2 1 2、ワンセグ T V 受信 I C a 2 1 3、G P S 受信 I C a 2 1 4、F M チューナ I C a 2 1 5、電源 I C a 2 1 6、フラッシュメモリ a 2 1 7、マイクロコンピュータ a 2 1 8、電源 I C a 2 1 9 およびベースバンド I C a 2 2 0 を含む。複数のチップ部品は、チップインダクタ a 2 2 1、a 2 2 5、a 2 3 5、チップ抵抗器 a 2 2 2、a 2 2 4、a 2 3 3、チップキャパシタ a 2 2 7、a 2 3 0、a 2 3 4、およびチップダイオード a 2 2 8、a 2 3 1 を含む。チップ抵抗器 a 2 2 2、a 2 2 4、a 2 3 3 は、第 1 参考例に係る構成のものである。

【0159】

伝送処理 I C a 2 1 2 は、表示パネル a 2 0 3 に対する表示制御信号を生成し、かつ表示パネル a 2 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル a 2 0 3 との接続のために、伝送処理 I C a 2 1 2 には、フレキシブル配線 a 2 0 9 が接続されている。

ワンセグ T V 受信 I C a 2 1 3 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグ T V 受信 I C a 2 1 3 の近傍には、複数のチップインダクタ a 2 2 1 と、複数のチップ抵抗器 a 2 2 2 とが配置されている。ワンセグ T V 受信 I C a 2 1 3、チップインダクタ a 2 2 1 およびチップ抵抗器 a 2 2 2 は、ワンセグ放送受信回路 a 2 2 3 を構成している。チップインダクタ a 2 2 1 およびチップ抵抗器 a 2 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 a 2 2 3 に高精度な回路定数を与える。

【0160】

G P S 受信 I C a 2 1 4 は、G P S 衛星からの電波を受信してスマートフォン a 2 0 1

10

20

30

40

50

の位置情報を入力する電子回路を内蔵している。

F Mチューナ I C a 2 1 5 は、その近傍において配線基板 a 2 1 1 に実装された複数のチップ抵抗器 a 2 2 4 および複数のチップインダクタ a 2 2 5 とともに、F M放送受信回路 a 2 2 6 を構成している。チップ抵抗器 a 2 2 4 およびチップインダクタ a 2 2 5 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、F M放送受信回路 a 2 2 6 に高精度な回路定数を与える。

【0161】

電源 I C a 2 1 6 の近傍には、複数のチップキャパシタ a 2 2 7 および複数のチップダイオード a 2 2 8 が配線基板 a 2 1 1 の実装面に実装されている。電源 I C a 2 1 6 は、チップキャパシタ a 2 2 7 およびチップダイオード a 2 2 8 とともに、電源回路 a 2 2 9 を構成している。フラッシュメモリ a 2 1 7 は、オペレーティングシステムプログラム、スマートフォン a 2 0 1 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

【0162】

マイクロコンピュータ a 2 1 8 は、C P U、R O M および R A M を内蔵しており、各種の演算処理を実行することにより、スマートフォン a 2 0 1 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ a 2 1 8 の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。

電源 I C a 2 1 9 の近くには、複数のチップキャパシタ a 2 3 0 および複数のチップダイオード a 2 3 1 が配線基板 a 2 1 1 の実装面に実装されている。電源 I C a 2 1 9 は、チップキャパシタ a 2 3 0 およびチップダイオード a 2 3 1 とともに、電源回路 a 2 3 2 を構成している。

【0163】

ベースバンド I C a 2 2 0 の近くには、複数のチップ抵抗器 a 2 3 3、複数のチップキャパシタ a 2 3 4、および複数のチップインダクタ a 2 3 5 が、配線基板 a 2 1 1 の実装面に実装されている。ベースバンド I C a 2 2 0 は、チップ抵抗器 a 2 3 3、チップキャパシタ a 2 3 4 およびチップインダクタ a 2 3 5 とともに、ベースバンド通信回路 a 2 3 6 を構成している。ベースバンド通信回路 a 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

【0164】

このような構成によって、電源回路 a 2 2 9、a 2 3 2 によって適切に調整された電力が、伝送処理 I C a 2 1 2、G P S 受信 I C a 2 1 4、ワンセグ放送受信回路 a 2 2 3、F M放送受信回路 a 2 2 6、ベースバンド通信回路 a 2 3 6、フラッシュメモリ a 2 1 7 およびマイクロコンピュータ a 2 1 8 に供給される。マイクロコンピュータ a 2 1 8 は、伝送処理 I C a 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 I C a 2 1 2 から表示パネル a 2 0 3 に表示制御信号を出力して表示パネル a 2 0 3 に各種の表示を行わせる。

【0165】

タッチパネルまたは操作ボタン a 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 a 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル a 2 0 3 に出力し、受信された音声をスピーカ a 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ a 2 1 8 によって実行される。

また、スマートフォン a 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ a 2 1 8 は、G P S 受信 I C a 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

【0166】

さらに、タッチパネルまたは操作ボタン a 2 0 4 の操作によって F M 放送受信指令が入力されると、マイクロコンピュータ a 2 1 8 は、F M 放送受信回路 a 2 2 6 を起動し、受信された音声をスピーカ a 2 0 5 から出力させるための演算処理を実行する。

フラッシュメモリ a 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピ

ュータ a 2 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ a 2 1 8 は、必要に応じて、フラッシュメモリ a 2 1 7 に対してデータを書き込み、またフラッシュメモリ a 2 1 7 からデータを読み出す。

【0167】

電話通信またはデータ通信の機能は、ベースバンド通信回路 a 2 3 6 によって実現される。マイクロコンピュータ a 2 1 8 は、ベースバンド通信回路 a 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。

＜第2参考例に係る発明＞

(1) 第2参考例に係る発明の特徴

10

たとえば、第2参考例に係る発明の特徴は、以下の B 1 ～ B 1 6 である。

(B 1) 基板と、前記基板上に形成された第1電極および第2電極と、基板上に形成され正の抵抗温度係数を有する第1材料からなる第1抵抗体膜、および前記第1抵抗体膜に接するように積層された第1配線膜を有する複数の第1抵抗体を含む第1抵抗回路網と、基板上に形成され負の抵抗温度係数を有する第2材料からなる第2抵抗体膜、および前記第2抵抗体膜に接するように積層された第2配線膜を有する複数の第2抵抗体を含み、前記第1抵抗回路網に接続された第2抵抗回路網と、前記第1電極に前記複数の第1抵抗体をそれぞれ接続する切断可能な複数の第1ヒューズと、前記第2電極に前記複数の第2抵抗体をそれぞれ接続する切断可能な複数の第2ヒューズとを含む、チップ抵抗器。

【0168】

20

この構成によれば、このチップ抵抗器では、一つまたは複数の第1ヒューズを選択して切断することにより、任意の第1抵抗体を第1抵抗回路網から切り離したり、第1抵抗回路網に組み込んだりすることができる。同様に、一つまたは複数の第2ヒューズを選択して切断することにより、任意の第2抵抗体を第2抵抗回路網から切り離したり、第2抵抗回路網に組み込んだりすることができる。このようにすることで、チップ抵抗器全体の抵抗値を任意の値に調整できるので、チップ抵抗器では、複数種類の抵抗値に、容易にかつ速やかに対応することができる。つまり、このチップ抵抗器では、同一設計構造で複数種類の要求抵抗値に容易に対応できる。さらに、正の抵抗温度係数を有する第1抵抗回路網と負の抵抗温度係数を有する第2抵抗回路網とを接続することによって、チップ抵抗器全体の抵抗温度係数の絶対値を小さくすることができる。これにより、チップ抵抗器の精度

30

(B 2) 前記第1抵抗体膜が、抵抗温度係数が正の値となるように酸素の組成比を制御した T i O N または T i O N S i からなり、前記第2抵抗体膜が、抵抗温度係数が負の値となるように酸素の組成比を制御した T i O N または T i O N S i からなる、B 1 に記載のチップ抵抗器。

【0169】

この構成によれば、酸素の組成比を制御した T i O N または T i O N S i によって、抵抗温度係数が正の値となる第1抵抗体膜や、抵抗温度係数が負の値となる第2抵抗体膜を形成することができる。

(B 3) 抵抗温度係数の絶対値が 3 0 0 p p m / ° C 以下である B 1 または 2 に記載のチップ抵抗器。

40

【0170】

この構成によれば、チップ抵抗器全体の抵抗温度係数の絶対値が 3 0 0 p p m / ° C 以下と小さくなっているので、チップ抵抗器の精度の向上を図ることができる。

(B 4) 前記第1抵抗回路網および前記第2抵抗回路網を接続する第3電極をさらに含む、B 1 ～ B 3 のいずれか一項に記載のチップ抵抗器。

この構成によれば、第1電極と第3電極との間で第1抵抗回路網全体の抵抗値を測定し、第2電極と第3電極との間で第2抵抗回路網全体の抵抗値を測定することができる。これにより、チップ抵抗器全体の要求抵抗値に基づいて、第1抵抗回路網および第2抵抗回路網のそれぞれでトリミングの対象となる抵抗値を算出し、当該抵抗値を得るために切断

50

すべき第 1 ヒューズおよび第 2 ヒューズを選択することができる。

(B 5) 前記第 1 電極および前記第 2 電極を露出させ、前記第 1 抵抗回路網、前記第 2 抵抗回路網および前記第 3 電極を覆う保護膜をさらに含む、B 4 に記載のチップ抵抗器。

【0171】

この構成によれば、保護膜によって、第 1 抵抗回路網、第 2 抵抗回路網および第 3 電極を保護することができる。

(B 6) 前記複数の第 1 ヒューズおよび前記複数の第 2 ヒューズの少なくとも一つが切断されており、当該切断されたヒューズの切断面が前記保護膜によって覆われている、B 5 に記載のチップ抵抗器。

【0172】

この構成によれば、ヒューズの切断箇所に異物が入り込んだり水分が侵入したりすることが保護膜によって防止されているので、チップ抵抗器の信頼性を向上させることができる。

(B 7) 前記保護膜が、SiN からなってもよい。

(B 8) 前記保護膜を覆う樹脂膜をさらに含む、B 5 ～ B 7 のいずれか一項に記載のチップ抵抗器。

【0173】

この構成によれば、保護膜および樹脂膜によって、第 1 抵抗回路網、第 2 抵抗回路網および第 3 電極を二重に保護することができる。

(B 9) 前記樹脂膜が、ポリイミドからなってもよい。

(B 10) 前記樹脂膜が、前記第 1 電極および前記第 2 電極を露出させるように形成されている、B 8 または B 9 に記載のチップ抵抗器。

【0174】

この構成によれば、チップ抵抗器は、実装基板に実装されたときに、樹脂膜から露出された第 1 電極および第 2 電極によって、実装基板との電気的接続を達成することができる。

(B 11) 前記第 1 配線膜および前記第 2 配線膜が、Al からなってもよい。

(B 12) 前記第 1 ヒューズおよび前記第 2 ヒューズが、Al からなってもよい。

(B 13) 前記第 1 電極および前記第 2 電極のそれぞれが、Ni 層と、Au 層とを含み、前記 Au 層が最表面に露出している、B 1 ～ B 12 のいずれか一項に記載のチップ抵抗器。

【0175】

この構成によれば、電極では、Ni 層の表面が Au 層によって覆われているので、Ni 層が酸化することを防止できる。

(B 14) 前記第 1 電極および前記第 2 電極のそれぞれが、前記 Ni 層と前記 Au 層との間に介装された Pd 層をさらに含む、B 13 に記載のチップ抵抗器。

この構成によれば、電極では、Au 層を薄くすることによって Au 層に貫通孔（ピンホール）ができてしまっても、Ni 層と Au 層との間に介装された Pd 層が当該貫通孔を塞いでいるので、当該貫通孔から Ni 層が外部に露出されて酸化することを防止できる。

(B 15) 回路アセンブリは、以上のようなチップ抵抗器を備えることが好ましい。

(B 16) 電子機器は、以上のようなチップ抵抗器を備えることが好ましい。

(2) 第 2 参考例に係る発明の実施形態

以下では、第 2 参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図 39 ～ 図 54 で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

【0176】

図 39 (a) は、第 2 参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図である。

このチップ抵抗器 b 1 は、微小なチップ部品であり、図 39 (a) に示すように、直方体形状をなしている。チップ抵抗器 b 1 の平面形状は、直交する二辺（長辺 b 81、短辺

10

20

30

40

50

b 8 2) がそれぞれ 0.4 mm 以下、0.2 mm 以下の矩形である。好ましくは、チップ抵抗器 b 1 の寸法に関し、長さ L (長辺 b 8 1 の長さ) が約 0.3 mm であり、幅 W (短辺 b 8 2 の長さ) が約 0.15 mm であり、厚さ T が約 0.1 mm である。

【0177】

このチップ抵抗器 b 1 は、基板上に多数個のチップ抵抗器 b 1 を格子状に形成してから当該基板に溝を形成した後、裏面研磨 (または当該基板を溝で分断) して個々のチップ抵抗器 b 1 に分離することによって得られる。

チップ抵抗器 b 1 は、チップ抵抗器 b 1 の本体を構成する基板 b 2 と、一对の外部接続電極となる第 1 電極 b 3 および第 2 電極 b 4 と、第 1 電極 b 3 および第 2 電極 b 4 によって外部接続される素子 b 5 とを主に備えている。

10

【0178】

基板 b 2 は、略直方体のチップ形状である。基板 b 2 において図 39 (a) における上面は、表面 b 2 A である。表面 b 2 A は、基板 b 2 において素子 b 5 が形成される表面であり、略長方形形状である。基板 b 2 の厚さ方向において表面 b 2 A とは反対側の面は、裏面 b 2 B である。表面 b 2 A と裏面 b 2 B とは、ほぼ同寸法かつ同形状であり、互いに平行である。表面 b 2 A における一对の長辺 b 8 1 および短辺 b 8 2 によって区画された矩形状の縁を、周縁部 b 8 5 ということにし、裏面 b 2 B における一对の長辺 b 8 1 および短辺 b 8 2 によって区画された矩形状の縁を、周縁部 b 9 0 ということにする。表面 b 2 A (裏面 b 2 B) に直交する法線方向から見ると、周縁部 b 8 5 と周縁部 b 9 0 とは、重なっている。

20

【0179】

基板 b 2 は、表面 b 2 A および裏面 b 2 B 以外に、複数の側面 (側面 b 2 C、側面 b 2 D、側面 b 2 E および側面 b 2 F) を有している。当該複数の側面は、表面 b 2 A および裏面 b 2 B のそれぞれに交差 (詳しくは、直交) して延びて、表面 b 2 A および裏面 b 2 B の間を繋いでいる。

側面 b 2 C は、表面 b 2 A および裏面 b 2 B における長手方向一方側 (図 39 (a) における左手前側) の短辺 b 8 2 間に架設されていて、側面 b 2 D は、表面 b 2 A および裏面 b 2 B における長手方向他方側 (図 39 (a) における右奥側) の短辺 b 8 2 間に架設されている。側面 b 2 C および側面 b 2 D は、当該長手方向における基板 b 2 の両端面である。側面 b 2 E は、表面 b 2 A および裏面 b 2 B における短手方向一方側 (図 39 (a) における左奥側) の長辺 b 8 1 間に架設されていて、側面 b 2 F は、表面 b 2 A および裏面 b 2 B における短手方向他方側 (図 39 (a) における右手前側) の長辺 b 8 1 間に架設されている。側面 b 2 E および側面 b 2 F は、当該短手方向における基板 b 2 の両端面である。側面 b 2 C および側面 b 2 D のそれぞれは、側面 b 2 E および側面 b 2 F のそれぞれと交差 (詳しくは、直交) している。そのため、表面 b 2 A ~ 側面 b 2 F において隣り合うもの同士が直角を成している。

30

【0180】

基板 b 2 では、表面 b 2 A および側面 b 2 C ~ 2 F のそれぞれの全域がパッシベーション膜 b 2 3 (保護膜) で覆われている。そのため、厳密には、図 39 (a) では、表面 b 2 A および側面 b 2 C ~ b 2 F のそれぞれの全域は、パッシベーション膜 b 2 3 の内側 (裏側) に位置していて、外部に露出されていない。さらに、チップ抵抗器 b 1 は、樹脂膜 b 2 4 を有している。樹脂膜 b 2 4 は、表面 b 2 A 上のパッシベーション膜 b 2 3 の全域 (周縁部 b 8 5 およびその内側領域) を覆っている。パッシベーション膜 b 2 3 および樹脂膜 b 2 4 については、以降で詳説する。

40

【0181】

第 1 電極 b 3 および第 2 電極 b 4 は、基板 b 2 の表面 b 2 A 上において周縁部 b 8 5 よりも内側の領域 (周縁部 b 8 5 から間隔を開けた位置) に形成されていて、表面 b 2 A 上の樹脂膜 b 2 4 から突出して部分的に露出されている。換言すれば、樹脂膜 b 2 4 は、第 1 電極 b 3 および第 2 電極 b 4 を露出させた状態で表面 b 2 A (厳密には表面 b 2 A 上のパッシベーション膜 b 2 3) を覆っている。第 1 電極 b 3 および第 2 電極 b 4 のそれぞれ

50

は、たとえば、Ni（ニッケル）、Pd（パラジウム）およびAu（金）をこの順番で表面b2A上に積層することによって構成されている。第1電極b3および第2電極b4は、表面b2Aの長手方向に互いに間隔を開けて配置されており、表面b2Aの短手方向において長手の長形状である。図39（a）では、表面b2Aにおいて、側面b2C寄りの位置に第1電極b3が設けられ、側面b2D寄りの位置に第2電極b4が設けられている。第1電極b3および第2電極b4は、前述した法線方向から見た平面視において、ほぼ同寸法かつ同形状である。

【0182】

素子b5は、回路素子であって、基板b2の表面b2Aにおける第1電極b3と第2電極b4との間の領域に形成されていて、パッシベーション膜b23および樹脂膜b24によって上から被覆されている。この実施形態の素子b5は、抵抗b56である。抵抗b56は、等しい抵抗値を有する複数個の（単位）抵抗体Rを表面b2A上でマトリックス状に配列した抵抗回路網によって構成されている。抵抗体Rは、TiON（酸化窒化チタン）またはTiONSi（TiSiON）からなる。

【0183】

チップ抵抗器b1は、第1電極b3および第2電極b4の他に、第3電極b6を含んでいる。第3電極b6は、表面b2A上に形成されていて、表面b2Aの短手方向において長手の長形状である。図39（a）では、第3電極b6の長手方向寸法は、第1電極b3および第2電極b4のそれぞれの長手方向寸法とほぼ同じであり、第3電極b6の短手方向寸法は、第1電極b3および第2電極b4のそれぞれの短手方向寸法よりも小さく、たとえば、第1電極b3および第2電極b4のそれぞれの短手方向寸法の半分程度である。第3電極b6は、第1電極b3および第2電極b4よりも薄い。

【0184】

第3電極b6は、表面b2Aにおいて第1電極b3と第2電極b4との間かつ、第1電極b3および第2電極b4のそれぞれから等しい距離を隔てた位置に配置されている。これにより、表面b2A上の素子b5（抵抗b56）は、第3電極b3によって、第1電極b3側の第1抵抗回路網b31と、第2電極b4側の第2抵抗回路網b32とに分割されている。

【0185】

第1抵抗回路網b31は、後述する配線膜b22に電氣的に接続されていて、配線膜b22を介して第1電極b3と第3電極b6とに電氣的に接続されている。第2抵抗回路網b32は、配線膜b22に電氣的に接続されていて、配線膜b22を介して第2電極b4と第3電極b6とに電氣的に接続されている。つまり、第3電極b6は、第1抵抗回路網b31と第2抵抗回路網b32との間に介在されていて、第1抵抗回路網b31および第2抵抗回路網b32を接続している。換言すれば、第1抵抗回路網b31と第2抵抗回路網b32とは、第3電極b6を介して互いに接続されている。

【0186】

前述したように第1電極b3および第2電極b4が樹脂膜b24から部分的に露出されているのに対して、第1電極b3および第2電極b4よりも薄い第3電極b6は、パッシベーション膜b23および樹脂膜b24によって上から被覆されていて、外部に露出されていない。

図39（b）は、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。なお、図39（b）では、要部のみを断面で示している。

【0187】

図39（b）に示すように、チップ抵抗器b1は、実装基板b9に実装される。この状態におけるチップ抵抗器b1および実装基板b9は、回路アセンブリb100を構成している。図39（b）における実装基板b9の上面は、実装面b9Aである。実装面b9Aには、実装基板b9の内部回路（図示せず）に接続された一対（2つ）のランドb88が形成されている。各ランドb88は、たとえば、Cuからなる。各ランドb88の表面に

は、半田b 1 3が当該表面から突出するように設けられている。

【0188】

チップ抵抗器b 1を実装基板b 9に実装する場合、自動実装機（図示せず）の吸着ノズルb 9 1をチップ抵抗器b 1の裏面b 2 Bに吸着してから吸着ノズルb 9 1を動かすことによって、チップ抵抗器b 1を搬送する。このとき、吸着ノズルb 9 1は、裏面b 2 Bの長手方向における略中央部分に吸着する。

そして、チップ抵抗器b 1を吸着した吸着ノズルb 9 1を実装基板b 9まで移動させる。このとき、チップ抵抗器b 1の表面b 2 Aと実装基板b 9の実装面b 9 Aとが互いに対向する。この状態で、吸着ノズルb 9 1を移動させて実装基板b 9に押し付け、チップ抵抗器b 1において、第1電極b 3を一方のランドb 8 8の半田b 1 3に接触させ、第2電極b 4を他方のランドb 8 8の半田b 1 3に接触させる。次いで、半田b 1 3を加熱すると、半田b 1 3が溶融する。その後、半田b 1 3が冷却されて固まると、第1電極b 3と当該一方のランドb 8 8とが半田b 1 3を介して接合し、第2電極b 4と当該他方のランドb 8 8とが半田b 1 3を介して接合する。つまり、2つのランドb 8 8のそれぞれが、第1電極b 3および第2電極b 4において対応する電極に半田接合される。これにより、実装基板b 9へのチップ抵抗器b 1の実装（フリップチップ接続）が完了して、回路アセンブリb 1 0 0が完成する。なお、外部接続電極として機能する第1電極b 3および第2電極b 4は、半田濡れ性の向上および信頼性の向上のために、金（Au）で形成するか、または、後述するように表面に金メッキを施すことが望ましい。

【0189】

次に、チップ抵抗器b 1の構成をさらに詳しく説明する。

図40は、チップ抵抗器の平面図であり、第1電極、第2電極、第3電極および素子の配置関係ならびに素子の平面視の構成（レイアウトパターン）を示す図である。なお、説明の便宜上、図40では、チップ抵抗器b 1の長さLと幅Wとの比率が、図39の場合と異なっている。

【0190】

図40を参照して、素子b 5における第1抵抗回路網b 3 1および第2抵抗回路網b 3 2のそれぞれは、一例として、行方向（基板b 2の長手方向）に沿って配列された8個の抵抗体Rと、列方向（基板b 2の幅方向）に沿って配列された44個の抵抗体Rとで構成された合計352個の抵抗体Rを有している。これらの抵抗体Rは、第1抵抗回路網b 3 1および第2抵抗回路網b 3 2のそれぞれを構成する複数の素子要素である。ここで、抵抗体Rの特性（後述する抵抗温度係数）は、第1抵抗回路網b 3 1および第2抵抗回路網b 3 2のそれぞれにおいて異なっている。そのため、以下では、第1抵抗回路網b 3 1を構成する複数の抵抗体Rのそれぞれを第1抵抗体R 1といい、第2抵抗回路網b 3 2を構成する複数の抵抗体Rのそれぞれを第2抵抗体R 2ということがある。

【0191】

第1抵抗回路網b 3 1および第2抵抗回路網b 3 2のそれぞれでは、これら多数個の抵抗体Rが1個～64個の所定個数毎にまとめられて電氣的に接続されることによって、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、導体膜D（導体で形成された配線膜）で所定の態様に接続されている。さらに、基板b 2の表面b 2 Aには、抵抗回路を素子b 5（第1抵抗回路網b 3 1および第2抵抗回路網b 3 2のどちらかに対応する方）に対して電氣的に組み込んだり、または、素子b 5から電氣的に分離したりするために切断（溶断）可能な複数のヒューズFが設けられている。複数のヒューズFおよび導体膜Dは、第1電極b 3および第2電極b 4のそれぞれの内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、第1電極b 3および第2電極b 4のそれぞれの内側辺沿いにおいて、複数のヒューズFおよび導体膜Dが隣接するように配置され、その配列方向が直線状になっている。第1電極b 3の内側辺沿いの複数のヒューズF（「第1ヒューズF 1」ということがある）は、複数種類の抵抗回路（抵抗回路毎の複数の第1抵抗体R 1）を第1電極b 3（第1電極b 3と第3電極b 6との間）に対してそれぞれ切断可能（切り離し可能）に接続している。第2電極b 4の内側辺沿いの複数

のヒューズF（「第2ヒューズF2」ということがある）は、複数種類の抵抗回路（抵抗回路毎の複数の第2抵抗体R2）を第2電極b4（第2電極b4と第3電極b6との間）に対してそれぞれ切断可能（切り離し可能）に接続している。

【0192】

図41Aは、図40に示す素子の一部分を拡大して描いた平面図である。図41Bは、素子における抵抗体の構成を説明するために描いた図41AのB-Bに沿う長さ方向の縦断面図である。図41Cは、素子における抵抗体の構成を説明するために描いた図41AのC-Cに沿う幅方向の縦断面図である。

図41A、図41Bおよび図41Cを参照して、抵抗体Rの構成について説明をする。

【0193】

チップ抵抗器b1は、前述した配線膜b22、パッシベーション膜b23および樹脂膜b24の他に、絶縁層b20と抵抗体膜b21とをさらに備えている（図41Bおよび図41C参照）。絶縁層b20、抵抗体膜b21、配線膜b22、パッシベーション膜b23および樹脂膜b24は、基板b2（表面b2A）上に形成されている。

絶縁層b20は、SiO₂（酸化シリコン）からなる。絶縁層b20は、基板b2の表面b2Aの全域を覆っている。絶縁層b20の厚さは、約10000Åである。

【0194】

抵抗体膜b21は、絶縁層b20上に形成されている。抵抗体膜b21が抵抗体Rを構成することから、抵抗体膜b21についても、抵抗体Rと同様に、第1抵抗回路網b31の抵抗体膜b21を第1抵抗体膜b21Aといい、第2抵抗回路網b32の抵抗体膜b21を第2抵抗体膜b21Bということがある（後述する図43参照）。

抵抗体膜b21は、TiN、TiONまたはTiONSiにより形成されている。抵抗体膜b21の厚さは、約2000Åである。抵抗体膜b21は、第1電極b3と第3電極b6との間や第2電極b4と第3電極b6との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ラインb21L」という）を構成していて、抵抗体膜ラインb21Lは、ライン方向に所定の位置で切断されている場合がある（図41A参照）。

【0195】

抵抗体膜ラインb21L上には、配線膜b22が積層されている。配線膜b22は、Al（アルミニウム）またはアルミニウムとCu（銅）との合金（AlCu合金）からなる。配線膜b22の厚さは、約8000Åである。配線膜b22は、抵抗体膜ラインb21L上に、ライン方向に一定間隔Rを開けて積層されていて、抵抗体膜ラインb21Lに接している。配線膜b22についても、抵抗体膜b21と同様に、第1抵抗回路網b31の配線膜b22を第1配線膜b22Aといい、第2抵抗回路網b32の配線膜b22を第2配線膜b22Bということがある。そのため、第1抵抗回路網b31では、第1配線膜b22Aが第1抵抗体膜b21Aの抵抗体膜ラインb21Lに接するように積層されていて、第2抵抗回路網b32では、第2配線膜b22Bが第2抵抗体膜b21Bの抵抗体膜ラインb21Lに接するように積層されている（図43参照）。ただし、この実施形態では、第1配線膜b22Aと第2配線膜b22Bとは同じ材料（Al）で形成されていて、第1配線膜b22Aおよび第2配線膜b22Bに特性上の違いはない。

【0196】

この構成の抵抗体膜ラインb21Lおよび配線膜b22の電気的特徴を回路記号で示すと、図42の通りである。すなわち、図42（a）に示すように、所定間隔Rの領域の抵抗体膜ラインb21L部分が、それぞれ、一定の抵抗値rを有する1つの抵抗体Rを形成している。

そして、配線膜b22が積層された領域では、配線膜b22が隣り合う抵抗体R同士を電気的に接続することによって、当該配線膜b22で抵抗体膜ラインb21Lが短絡されている。よって、図42（b）に示す抵抗rの抵抗体Rの直列接続からなる抵抗回路が形成されている。

【0197】

また、隣接する抵抗体膜ラインb21L同士は抵抗体膜b21および配線膜b22で接

10

20

30

40

50

続されているから、図 4 1 A に示す素子 b 5 における第 1 抵抗回路網 b 3 1 および第 2 抵抗回路網 b 3 2 のそれぞれは、図 4 2 (c) に示す (前述した抵抗体 R の単位抵抗からなる) 抵抗回路を構成している。このように、抵抗体膜 b 2 1 および配線膜 b 2 2 は、抵抗体 R や抵抗回路 (つまり素子 b 5 における第 1 抵抗回路網 b 3 1 および第 2 抵抗回路網 b 3 2 のそれぞれ) を構成している。そして、各抵抗体 R は、抵抗体膜ライン b 2 1 L (抵抗体膜 b 2 1) と、抵抗体膜ライン b 2 1 L 上にライン方向に一定間隔をあけて積層された複数の配線膜 b 2 2 とを有している。特に、第 1 抵抗回路網 b 3 1 では、第 1 抵抗体 R 1 が、第 1 抵抗体膜 b 2 1 A および第 1 配線膜 b 2 2 A を有していて、第 2 抵抗回路網 b 3 2 では、第 2 抵抗体 R 2 が、第 2 抵抗体膜 b 2 1 B および第 2 配線膜 b 2 2 B を有している (図 4 3 参照)。そして、第 1 抵抗回路網 b 3 1 および第 2 抵抗回路網 b 3 2 のそれぞれでは、配線膜 b 2 2 が積層されていない一定間隔 R 部分の抵抗体膜ライン b 2 1 L が、1 個の抵抗体 R を構成している。抵抗体 R を構成している部分における抵抗体膜ライン b 2 1 L は、その形状および大きさが全て等しい。よって、基板 b 2 上にマトリックス状に配列された多数個の抵抗体 R は、等しい抵抗値を有している。

【0198】

また、抵抗体膜ライン b 2 1 L 上に積層された配線膜 b 2 2 は、抵抗体 R を形成するとともに、複数の抵抗体 R を接続して抵抗回路を構成するための導体膜 D の役目も果たしている (図 4 0 参照)。

図 4 3 (a) は、図 4 0 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 4 3 (b) は、図 4 3 (a) の B-B に沿う断面構造を示す図である。

【0199】

図 4 3 (a) および (b) に示すように、第 1 抵抗回路網 b 3 1 および第 2 抵抗回路網 b 3 2 のそれぞれでは、前述したヒューズ F および導体膜 D も、抵抗体 R を形成する抵抗体膜 b 2 1 上に積層された配線膜 b 2 2 により形成されている。すなわち、抵抗体 R を形成する抵抗体膜ライン b 2 1 L 上に積層された配線膜 b 2 2 と同じレイヤーに、配線膜 b 2 2 と同じ金属材料である A 1 または A 1 C u 合金によってヒューズ F および導体膜 D が形成されている。なお、配線膜 b 2 2 は、前述したように、抵抗回路を形成するために、複数の抵抗体 R を電氣的に接続する導体膜 D としても用いられている。

【0200】

つまり、抵抗体膜 b 2 1 上に積層された同一レイヤーにおいて、抵抗体 R を形成するための配線膜や、ヒューズ F (第 1 ヒューズ F 1 および第 2 ヒューズ F 2) や、導体膜 D や、さらには、素子 b 5 (第 1 抵抗回路網 b 3 1 および第 2 抵抗回路網 b 3 2) を第 1 電極 b 3 および第 2 電極 b 4 に接続するための配線膜が、配線膜 b 2 2 として、同一の金属材料 (A 1 または A 1 C u 合金) を用いて形成されている。なお、ヒューズ F を配線膜 b 2 2 と異ならせている (区別している) のは、ヒューズ F が切断しやすいように細く形成されていること、および、ヒューズ F の周囲に他の回路要素が存在しないように配置されていることによるからである。

【0201】

ここで、配線膜 b 2 2 において、ヒューズ F (第 1 フューズ F 1 および第 2 フューズ F 2) が配置された領域を、トリミング対象領域 X ということにする (図 4 0 および図 4 3 (a) 参照)。トリミング対象領域 X は、第 1 電極 b 3 および第 2 電極 b 4 のそれぞれの内側辺沿いの直線状領域であって、トリミング対象領域 X には、ヒューズ F だけでなく、導体膜 D も配置されている。また、トリミング対象領域 X の配線膜 b 2 2 の下方にも抵抗体膜 b 2 1 が形成されている (図 4 3 (b) 参照)。そして、ヒューズ F は、配線膜 b 2 2 において、トリミング対象領域 X 以外の部分よりも配線間距離が大きい (周囲から離れた) 配線である。

【0202】

なお、ヒューズ F は、配線膜 b 2 2 の一部だけでなく、抵抗体 R (抵抗体膜 b 2 1) の一部と抵抗体膜 b 2 1 上の配線膜 b 2 2 の一部とのまとまり (ヒューズ素子) を指してい

10

20

30

40

50

てもよい。

また、ヒューズFは、導体膜Dと同一のレイヤーを用いる場合のみを説明したが、導体膜Dでは、その上に更に別の導体膜を積層するようにし、導体膜D全体の抵抗値を下げるようにしてもよい。なお、この場合であっても、ヒューズFの上に導体膜を積層しなければ、ヒューズFの溶断性が悪くなることはない。

【0203】

また、図43(b)を参照して、前述した抵抗体膜b21は、第1抵抗回路網b31と第2抵抗回路網b32との境界において途切れていて、配線膜b22は、当該境界を塞ぐように絶縁層b20上に直接積層され、基板b2の短手方向へ直線状に延びている。配線膜b22において当該境界を塞いでいる部分は、前述した第3電極b6である。

10

また、図43では、一例として、図43(a)のB-B上に位置する第2ヒューズF2が切断された状態を示している。図43(b)に示すように、切断された第2ヒューズF2の切断箇所には、パッシベーション膜b23が入り込んでいて、第2ヒューズF2の切断面FMは、パッシベーション膜b23によって覆われている。

【0204】

図44は、第2参考例の実施形態に係る素子の電気回路図である。

図44を参照して、素子b5における第1抵抗回路網b31および第2抵抗回路網b32のそれぞれは、基準抵抗回路R8と、抵抗回路R64、2つの抵抗回路R32、抵抗回路R16、抵抗回路R8、抵抗回路R4、抵抗回路R2、抵抗回路R1、抵抗回路R/2、抵抗回路R/4、抵抗回路R/8、抵抗回路R/16、抵抗回路R/32とを第1電極b3または第2電極b4からこの順番で直列接続することによって構成されている。基準抵抗回路R8および抵抗回路R64~R2のそれぞれは、自身の末尾の数(R64の場合には「64」と同数の抵抗体Rを直列接続することで構成されている。抵抗回路R1は、1つの抵抗体Rで構成されている。抵抗回路R/2~R/32のそれぞれは、自身の末尾の数(R/32の場合には「32」と同数の抵抗体Rを並列接続することで構成されている。抵抗回路の末尾の数の意味については、後述する図45および図46においても同じである。

20

【0205】

そして、基準抵抗回路R8以外の抵抗回路R64~抵抗回路R/32のそれぞれに対して、ヒューズFが1つずつ並列的に接続されている。ヒューズF同士は、直接または導体膜D(図43(a)参照)を介して直列に接続されている。

30

図44に示すように全てのヒューズFが溶断されていない状態では、第1抵抗回路網b31および第2抵抗回路網b32は、第1電極b3および第3電極b6間に設けられた基準抵抗回路R8(8個の抵抗体Rの直列接続からなる)と第2電極b4および第3電極b6間に設けられた別の基準抵抗回路R8とを直列接続した抵抗回路を構成している。たとえば、1個の抵抗体Rの抵抗値rを $r = 8 \Omega$ とすれば、 $8r = 64 \Omega$ の抵抗回路(基準抵抗回路R8)を2つ直列接続したものにより第1電極b3および第2電極b4が接続されたチップ抵抗器b1が構成されている。

【0206】

また、第1抵抗回路網b31および第2抵抗回路網b32のそれぞれでは、全てのヒューズFが溶断されていない状態では、基準抵抗回路R8以外の複数種類の抵抗回路は、短絡された状態となっている。つまり、第1抵抗回路網b31および第2抵抗回路網b32のそれぞれでは、基準抵抗回路R8には、12種類13個の抵抗回路R64~R/32が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズFにより短絡されているので、電気的に見ると、各抵抗回路は素子b5(第1抵抗回路網b31および第2抵抗回路網b32)に組み込まれてはいない。

40

【0207】

この実施形態に係るチップ抵抗器b1では、要求される抵抗値に応じて、ヒューズFを選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズFが溶断された抵抗回路は、素子b5(第1抵抗回路網b31および第2抵抗回路網b32に

50

において対応する方)に組み込まれることになる。よって、素子b 5の全体の抵抗値を、溶断されたヒューズFに対応する抵抗回路が直列に接続されて組み込まれた抵抗値とすることができる。

【0208】

特に、複数種類の抵抗回路は、等しい抵抗値を有する抵抗体Rが、直列に1個、2個、4個、8個、16個、32個…と、公比が2となる等比数列的に抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の抵抗体Rが並列に2個、4個、8個、16個…と、公比が2となる等比数列的に抵抗体Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そのため、ヒューズF(前述したヒューズ素子も含む)を選択的に溶断することにより、素子b 5(抵抗b 56)全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値となるように調整して、チップ抵抗器b 1において所望の値の抵抗を発生させることができる。

10

【0209】

図45は、第2参考例の他の実施形態に係る素子の電気回路図である。

図44に示すように基準抵抗回路R 8および抵抗回路R 64～抵抗回路R / 32を直列接続して第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれを構成する代わりに、図45に示すように第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれを構成しても構わない。詳しくは、第1電極b 3または第2電極b 4と第3電極b 6との間で、基準抵抗回路R / 16と、12種類の抵抗回路R / 16、R / 8、R / 4、R / 2、R 1、R 2、R 4、R 8、R 16、R 32、R 64、R 128の並列接続回路との直列接続回路によって第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれを構成してもよい。

20

【0210】

この場合、第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれにおいて、基準抵抗回路R / 16以外の12種類の抵抗回路には、それぞれ、ヒューズFが直列に接続されている。全てのヒューズFが溶断されていない状態では、各抵抗回路は素子b 5(第1抵抗回路網b 31および第2抵抗回路網b 32)に対して電氣的に組み込まれている。要求される抵抗値に応じて、ヒューズFを選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズFに対応する抵抗回路(ヒューズFが直列に接続された抵抗回路)は、素子b 5(第1抵抗回路網b 31および第2抵抗回路網b 32において対応する方)から電氣的に分離されるので、チップ抵抗器b 1全体の抵抗値を調整することができる。

30

【0211】

図46は、第2参考例のさらに他の実施形態に係る素子の電気回路図である。

図46に示す素子b 5の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とを直列に接続することで第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれが構成されていることである。第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれにおいて、直列接続される複数種類の抵抗回路には、先の実施形態と同様、抵抗回路毎に、並列にヒューズFが接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズFで短絡状態とされている。従って、ヒューズFを溶断すると、その溶断されるヒューズFで短絡されていた抵抗回路が、素子b 5に電氣的に組み込まれることになる。

40

【0212】

一方、第1抵抗回路網b 31および第2抵抗回路網b 32のそれぞれにおいて、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズFが接続されている。従って、ヒューズFを溶断することにより、溶断されたヒューズFが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

かかる構成とすれば、たとえば、1kΩ以下の小抵抗は並列接続側で作り、1kΩ以上の抵抗回路を直列接続側で作れば、数Ωの小抵抗から数MΩの大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗の回路網(第1抵抗回路網b 31および第2抵抗回路網b 32)を用いて作ることができる。つまりチップ抵抗器b 1では、一つまた

50

は複数のヒューズFを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体Rを組み合わせることによって、様々な抵抗値のチップ抵抗器b 1を共通の設計で実現することができる。

【0213】

以上のように、このチップ抵抗器b 1では、トリミング対象領域Xにおいて、複数の抵抗体R（抵抗回路）の接続状態が変更可能である。

図47は、チップ抵抗器の模式的な断面図である。

次に、図47を参照して、チップ抵抗器b 1についてさらに詳しく説明する。なお、説明の便宜上、図47では、前述した素子b 5については簡略化して示しているとともに、基板b 2以外の各要素にはハッチングを付している。

【0214】

ここでは、前述したパッシベーション膜b 23および樹脂膜b 24について説明する。

パッシベーション膜b 23は、たとえばSiN（窒化シリコン）からなり、その厚さは、1000Å～5000Å（ここでは、約3000Å）である。パッシベーション膜b 23は、表面b 2Aおよび側面b 2C～b 2Fのそれぞれにおける全域に亘って設けられている。表面b 2A上のパッシベーション膜b 23は、抵抗体膜b 21および抵抗体膜b 21上の各配線膜b 22（つまり、素子b 5であって第1抵抗回路網b 31および第2抵抗回路網b 32の両方）を表面（図47の上側）から被覆していて、素子b 5における各抵抗体Rの上面を覆っている。そのため、パッシベーション膜b 23は、前述したトリミング対象領域Xにおける配線膜b 22（ヒューズF）も覆っている（図43（b）参照）。また、パッシベーション膜b 23は、素子b 5（配線膜b 22および抵抗体膜b 21）に接しており、抵抗体膜b 21以外の領域では絶縁層b 20にも接している。これにより、表面b 2A上のパッシベーション膜b 23は、素子b 5（第1抵抗回路網b 31および第2抵抗回路網b 32）、ヒューズF、第3電極b 6および絶縁層b 20の上から表面b 2A全域を覆っている。そのため、パッシベーション膜b 23によって、第1抵抗回路網b 31、第2抵抗回路網b 32および第3電極b 6を保護することができる。また、表面b 2Aでは、パッシベーション膜b 23によって、抵抗体R間における配線膜b 22以外での短絡（隣り合う抵抗体膜ラインb 21L間における短絡）が防止されている。

【0215】

一方、側面b 2C～b 2Fのそれぞれに設けられたパッシベーション膜b 23は、側面b 2C～b 2Fのそれぞれを保護する保護層として機能している。側面b 2C～b 2Fのそれぞれと表面b 2Aとの境界は、前述した周縁部b 85であるが、パッシベーション膜b 23は、当該境界（周縁部b 85）も覆っている。パッシベーション膜b 23において、周縁部b 85を覆っている部分（周縁部b 85に重なっている部分）を端部b 23Aとすることにする。なお、パッシベーション膜b 23は極めて薄い膜なので、本実施形態では、側面b 2C～b 2Fのそれぞれを覆うパッシベーション膜b 23を、基板b 2の一部とみなすことにする。そのため、側面b 2C～b 2Fのそれぞれを覆うパッシベーション膜b 23を、側面b 2C～b 2Fそのものとみなすことにしている。

【0216】

樹脂膜b 24は、パッシベーション膜b 23とともにチップ抵抗器b 1の表面b 2Aを保護するものであり、ポリイミド等の樹脂からなる。樹脂膜b 24の厚みは、約5μmである。

樹脂膜b 24は、表面b 2A上のパッシベーション膜b 23上に形成されていて、パッシベーション膜b 23の表面（パッシベーション膜b 23に被覆された抵抗体膜b 21および配線膜b 22も含む）の全域を被覆している。そのため、パッシベーション膜b 23および樹脂膜b 24によって、第1抵抗回路網b 31、第2抵抗回路網b 32および第3電極b 6を二重に保護することができる。樹脂膜b 24の周縁部は、平面視において、パッシベーション膜b 23の端部b 23A（表面b 2Aの周縁部b 85）と一致している。

【0217】

樹脂膜 b 2 4 において、平面視で離れた 2 つの位置には、開口 b 2 5 が 1 つずつ形成されている。各開口 b 2 5 は、樹脂膜 b 2 4 およびパッシベーション膜 b 2 3 を、それぞれの厚さ方向において連続して貫通する貫通孔である。そのため、開口 b 2 5 は、樹脂膜 b 2 4 だけでなくパッシベーション膜 b 2 3 にも形成されている。各開口 b 2 5 からは、配線膜 b 2 2 の一部が露出されている。配線膜 b 2 2 において各開口 b 2 5 から露出された部分は、外部接続用のパッド領域 b 2 2 P となっている。

【0218】

2 つの開口 b 2 5 のうち、一方の開口 b 2 5 は、第 1 電極 b 3 によって埋め尽くされ、他方の開口 b 2 5 は、第 2 電極 b 4 によって埋め尽くされている。

ここで、第 1 電極 b 3 および第 2 電極 b 4 のそれぞれは、Ni 層 b 3 3、Pd 層 b 3 4 および Au 層 b 3 5 を表面 b 2 A 側からこの順で有している。そのため、第 1 電極 b 3 および第 2 電極 b 4 のそれぞれにおいて、Ni 層 b 3 3 と Au 層 b 3 5 との間に Pd 層 b 3 4 が介装されている。第 1 電極 b 3 および第 2 電極 b 4 のそれぞれにおいて、Ni 層 b 3 3 は各接続電極の大部分を占めており、Pd 層 b 3 4 および Au 層 b 3 5 は、Ni 層 b 3 3 に比べて格段に薄く形成されている。Ni 層 b 3 3 は、チップ抵抗器 b 1 が実装基板 b 9 に実装された際に（図 39（b）参照）、各開口 b 2 5 のパッド領域 b 2 2 P における配線膜 b 2 2 の A 1 と、前述した半田 b 1 3 とを中継する役割を有している。

【0219】

このように、第 1 電極 b 3 および第 2 電極 b 4 では、Ni 層 b 3 3 の表面が Au 層 b 3 5 によって覆われているので、Ni 層 b 3 3 が酸化することを防止できる。また、第 1 電極 b 3 および第 2 電極 b 4 では、Au 層 b 3 5 を薄くすることによって Au 層 b 3 5 に貫通孔（ピンホール）ができてしまっても、Ni 層 b 3 3 と Au 層 b 3 5 との間に介装された Pd 層 b 3 4 が当該貫通孔を塞いでいるので、当該貫通孔から Ni 層 b 3 3 が外部に露出されて酸化することを防止できる。

【0220】

そして、第 1 電極 b 3 および第 2 電極 b 4 のそれぞれでは、Au 層 b 3 5 が、最表面に露出しており、樹脂膜 b 2 4 の開口 b 2 5 から外部を臨んでいる。第 1 電極 b 3 は、一方の開口 b 2 5 を介して、この開口 b 2 5 におけるパッド領域 b 2 2 P に接触し、当該パッド領域 b 2 2 P において配線膜 b 2 2 に対して電氣的に接続されている。また、第 2 電極 b 4 は、他方の開口 b 2 5 を介して、この開口 b 2 5 におけるパッド領域 b 2 2 P に接触し、当該パッド領域 b 2 2 P において配線膜 b 2 2 に対して電氣的に接続されている。第 1 電極 b 3 および第 2 電極 b 4 のそれぞれでは、Ni 層 b 3 3 がパッド領域 b 2 2 P に対して接続されている。これにより、第 1 電極 b 3 および第 2 電極 b 4 のそれぞれは、素子 b 5 に対して電氣的に接続されている。ここで、ここで、第 1 電極 b 3 に接触しているパッド領域 b 2 2 P を第 1 電極 b 3 の一部とみなすことにし、第 2 電極 b 4 に接触しているパッド領域 b 2 2 P を第 2 電極 b 4 の一部とみなすことにする。また、配線膜 b 2 2 は、抵抗体 R のまとめ（抵抗 b 5 6）、第 1 電極 b 3、第 2 電極 b 4 および第 3 電極 b 6 のそれぞれに接続された配線を形成している。

【0221】

このように、開口 b 2 5 が形成された樹脂膜 b 2 4 およびパッシベーション膜 b 2 3 は、開口 b 2 5 から第 1 電極 b 3 および第 2 電極 b 4 を露出させた状態で表面 b 2 A を覆っている。そのため、チップ抵抗器 b 1 は、実装基板 b 9 に実装されたときに、樹脂膜 b 2 4 から露出された第 1 電極 b 3 および第 2 電極 b 4 によって、実装基板 b 9 との電氣的接続を達成することができる（図 39（b）参照）。

【0222】

そして、第 1 抵抗回路網 b 3 1 および第 2 抵抗回路網 b 3 2 の間に位置する配線膜 b 2 2（前述した第 3 電極 b 6）は、パッシベーション膜 b 2 3 および樹脂膜 b 2 4 によって覆われている。

図 48 A～図 48 M は、図 47 に示すチップ抵抗器の製造方法を示す図解的な断面図である。

10

20

30

40

50

【0223】

まず、図48Aに示すように、基板b2の元となる基層b30を用意する。この場合、基板b30の表面b30Aは、基板b2の表面b2Aであり、基板b30の裏面b30Bは、基板b2の裏面b2Bである。

そして、基板b30の表面b30Aを熱酸化して、表面b30Aに SiO_2 等からなる絶縁層b20を形成する。

【0224】

次いで、絶縁層b20上に、レジストパターンb36を形成する。レジストパターンb36は、絶縁層b20において、前述した第2抵抗回路網b32および第3電極b6が形成される予定の領域を覆っていて、それ以外の領域（第1抵抗回路網b31が形成される予定の領域）は覆っていない。

次いで、スパッタリングにより、 TiON または TiONSi の第1抵抗膜b21Aを形成する。第1抵抗膜b21Aは、レジストパターンb36が形成されている領域では、レジストパターンb36上に形成され、レジストパターンb36が形成されていない領域では、絶縁層b20上に形成される。ここでのスパッタリングは、酸素および窒素を流しながら行われる。この際、 Ti のターゲットに対して窒素や酸素が衝突することで、 Ti の原子がターゲットから弾き飛ばされる。 Ti の原子と窒素原子や酸素原子が結合することによって、 TiON が生成され、第1抵抗膜b21Aとなって絶縁層b20上やレジストパターンb36上に付着する。この際、絶縁層b20に付着した TiON と、絶縁層b20下の基板b30（ここでは、 Si からなるシリコン基板）の Si とが結合すると、絶縁層b20上には、 TiONSi からなる第1抵抗膜b21Aが形成される。

【0225】

ここで、スパッタリング中に流す酸素の流量は、目標とする抵抗温度係数に応じて調整される。抵抗温度係数とは、抵抗膜b21の温度特性の1つであり、抵抗膜b21を構成する物質に専ら依存するものである。そのため、抵抗膜b21が完成した後に、当該抵抗膜b21の抵抗温度係数を調整することは困難である。そこで、抵抗膜b21の形成中であるスパッタリング中において、酸素流量を調整することによって、抵抗膜b21を構成する TiON または TiONSi の組成を調整して抵抗温度係数を所望の値となるように制御する。

【0226】

具体的には、スパッタリング中での酸素流量を増やすと、その分、 Ti 原子と酸素原子との結合が促進されるので、完成した抵抗膜b21の TiON または TiONSi における酸素の組成比が増加する。酸素の組成比（換言すれば、酸素流量）が増加するのに応じて、抵抗膜b21では抵抗温度係数が低下する。つまり、酸素流量を調整することによって抵抗膜Rの温度特性（抵抗温度係数）の制御が可能である。

【0227】

ここでのスパッタリングの際、完成した第1抵抗膜b21Aの抵抗温度係数が正の値（好ましくは、 $300 \text{ ppm}/^\circ\text{C}$ 以下の正の値）となるように、酸素流量が（少なくなるように）調整される。これにより、完成した第1抵抗膜b21Aは、抵抗温度係数が正の値となるよう酸素の組成比が制御された TiON または TiONSi （第1材料）からなる。

【0228】

このように第1抵抗膜b21Aを形成した後、別のスパッタリングによって、第1抵抗膜b21Aに接するように第1抵抗膜b21Aの上にアルミニウム（ Al ）の第1配線膜b22Aを積層する。

その後、レジストパターンb36とともに、レジストパターンb36上の第1抵抗膜b21Aおよび第1配線膜b22Aをリフトオフ（除去）する。これにより、第1抵抗回路網b31が形成される予定の領域だけに、第1抵抗膜b21Aおよび第1配線膜b22Aが残る。

【0229】

その後、フォトリソグラフィプロセスを用い、たとえばR I E (Reactive Ion Etching : 反応性イオンエッチング) 等のドライエッチングによって、図48Bに示すように、第1抵抗体膜b 2 1 Aおよび第1配線膜b 2 2 Aを選択的に除去してパターンニングする。これにより、平面視で、第1抵抗回路網b 3 1が形成される予定の領域において、第1抵抗体膜b 2 1 Aが積層された一定幅の抵抗体膜ラインb 2 1 L (図41A参照) が一定間隔をあけて列方向に配列される構成を得る。このとき、部分的に抵抗体膜ラインb 2 1 Lおよび配線膜b 2 2 が切断された領域も形成されるとともに、前述したトリミング対象領域XにおいてヒューズFおよび導体膜Dが形成される (図40参照)。ここで、ドライエッチングによって、抵抗体膜ラインb 2 1 L (換言すれば、複数の抵抗体Rとなる部分) およびヒューズFを高精度に形成することができる。

10

【0230】

続いて、たとえばウェットエッチングにより、第1抵抗体膜b 2 1 Aの抵抗体膜ラインb 2 1 Lの上に積層された第1配線膜b 2 2 Aを、図48Cに示すように選択的に除去する。この結果、第1抵抗体膜b 2 1 Aの抵抗体膜ラインb 2 1 L上に一定間隔Rをあけて配線膜b 2 2 が積層された構成の第1抵抗回路網b 3 1が得られる。この際、第1抵抗体膜b 2 1 Aおよび第1配線膜b 2 2 Aが目標寸法で形成されたか否かを確かめるために、第1抵抗回路網b 3 1全体の抵抗値を測定してもよい。

【0231】

次いで、絶縁層b 2 0および第1抵抗回路網b 3 1上に、レジストパターンb 3 7を形成する。レジストパターンb 3 7は、絶縁層b 2 0において、第1抵抗回路網b 3 1が形成された領域と第3電極b 6が形成される予定の領域とを覆っていて、それ以外の領域 (第2抵抗回路網b 3 2が形成される予定の領域) は覆っていない。

20

次いで、スパッタリングにより、T i O NまたはT i O N S iの第2抵抗体膜b 2 1 Bを形成する。第2抵抗体膜b 2 1 Bは、レジストパターンb 3 7が形成されている領域では、レジストパターンb 3 7上に形成され、レジストパターンb 3 7が形成されていない領域では、絶縁層b 2 0上に形成される。ここでのスパッタリングは、第1抵抗体膜b 2 1 Aを形成する場合のスパッタリングと同様である。そして、ここでのスパッタリングでは、第1抵抗体膜b 2 1 Aを形成する場合のスパッタリングと同様に、酸素流量が調整される。ただし、ここでのスパッタリングの際、第1抵抗体膜b 2 1 Aを形成する場合のスパッタリングとは異なり、完成した第2抵抗体膜b 2 1 Bの抵抗温度係数が負の値 (好ましくは $-300 \text{ ppm}/^{\circ}\text{C}$ 以上の負の値) となるように、酸素流量が (増えるように) 調整される。これにより、完成した第2抵抗体膜b 2 1 Bは、抵抗温度係数が負の値となるよう酸素の組成比が制御されたT i O NまたはT i O N S i (第2材料) からなる。

30

【0232】

以上のように、酸素の組成比を制御したT i O NまたはT i O N S iによって、抵抗温度係数が正の値となる第1抵抗体膜b 2 1 Aや、抵抗温度係数が負の値となる第2抵抗体膜b 2 1 Bを形成することができる。

そして、このように第2抵抗体膜b 2 1 Bを形成した後、別のスパッタリングによって、第2抵抗体膜b 2 1 Bに接するように第2抵抗体膜b 2 1 Bの上にアルミニウム (A l) の第2配線膜b 2 2 Bを積層する。

40

【0233】

その後、レジストパターンb 3 7とともに、レジストパターンb 3 7上の第2抵抗体膜b 2 1 Bおよび第2配線膜b 2 2 Bをリフトオフ (除去) する。これにより、第2抵抗回路網b 3 2が形成される予定の領域だけに、第2抵抗体膜b 2 1 Bおよび第2配線膜b 2 2 Bが残る。

その後、フォトリソグラフィプロセスを用い、たとえばR I E等のドライエッチングによって、図48Dに示すように、第2抵抗体膜b 2 1 Bおよび第2配線膜b 2 2 Bを選択的に除去してパターンニングする。これにより、平面視で、第2抵抗回路網b 3 2が形成される予定の領域だけに、第2抵抗体膜b 2 1 Bが積層された一定幅の抵抗体膜ラインb 2 1 L (図41A参照) が一定間隔をあけて列方向に配列される構成を得る。このとき、部

50

分的に抵抗体膜ラインb 2 1 Lおよび配線膜b 2 2が切断された領域も形成されるとともに、前述したトリミング対象領域XにおいてヒューズFおよび導体膜Dが形成される（図40参照）。

【0234】

続いて、たとえばウェットエッチングにより、第2抵抗体膜b 2 1 Bの抵抗体膜ラインb 2 1 Lの上に積層された第2配線膜b 2 2 Bを、図48Eに示すように選択的に除去する。この結果、第2配線膜b 2 2 Bの抵抗体膜ラインb 2 1 L上に一定間隔Rをあけて配線膜b 2 2が積層された構成の第2抵抗回路網b 3 2が得られる。この際、第2抵抗体膜b 2 1 Bおよび第2配線膜b 2 2 Bが目標寸法で形成されたか否かを確かめるために、第2抵抗回路網b 3 2全体の抵抗値を測定してもよい。

10

【0235】

次いで、図48Fに示すように、絶縁層b 2 0において第1抵抗回路網b 3 1と第2抵抗回路網b 3 2との境界に、アルミニウム（A1）の配線膜b 2 2を積層する。この際、基板b 3 0上において、当該領域以外の部分をレジストパターン（図示せず）で覆った状態でのA1のスパッタリングによって、当該境界に配線膜b 2 2が積層される。当該境界に積層された配線膜b 2 2は、第3電極b 6となる。

【0236】

第3電極b 6が完成すると、第1抵抗回路網b 3 1と第2抵抗回路網b 3 2とが第3電極b 6によって電氣的に直列接続され、素子b 5全体が完成したことになる。抵抗温度係数が正の値である第1抵抗回路網b 3 1と、抵抗温度係数が負の値である第2抵抗回路網b 3 2とが接続されていることによって、第1抵抗回路網b 3 1の抵抗温度係数と第2抵抗回路網b 3 2の抵抗温度係数とが差し引きされる。これにより、素子b 5全体の抵抗温度係数の絶対値は、 $300 \text{ ppm}/^{\circ}\text{C}$ 以下と極めて小さくなっている。前述した酸素流量の調整によって抵抗温度係数の制御が可能ではあるが、酸素流量の調整（つまり抵抗体膜b 2 1の成膜条件）だけで抵抗温度係数の絶対値を小さくすることには限界がある。そこで、本実施形態のように、第1抵抗回路網b 3 1の正の抵抗温度係数と第2抵抗回路網b 3 2の負の抵抗温度係数とを打ち消し合うようにすることで、素子b 5全体の抵抗温度係数の絶対値を小さくすることが可能になる。

20

【0237】

なお、この実施形態では、第1配線膜b 2 2 Aと、第2配線膜b 2 2 Bと、第3電極b 6の配線膜b 2 2とは、同じ材料で形成されているので、先に、第1抵抗体膜b 2 1 Aおよび第2抵抗体膜b 2 1 Bの形成（エッチングも含む）を済ませておいてから、第1配線膜b 2 2 Aと、第2配線膜b 2 2 Bと、第3電極b 6の配線膜b 2 2とを一括形成してもよい。

30

【0238】

図48Fを参照して、素子b 5（接続状態の第1抵抗回路網b 3 1および第2抵抗回路網b 3 2のまとまり）は、1枚の基板b 3 0に形成するチップ抵抗器b 1の数に応じて、基板b 3 0の表面b 3 0 A上における多数の箇所に形成される。基板b 3 0において素子b 5が形成された1つの領域をチップ部品領域Yという、基板b 3 0の表面b 3 0 Aには、複数のチップ部品領域Y（つまり、素子b 5）が形成（設定）される。1つのチップ部品領域Yは、完成した1つのチップ抵抗器b 1（図47参照）を平面視したものと一致する。そして、基板b 3 0の表面b 3 0 Aにおいて、隣り合うチップ部品領域Yの間の領域を、境界領域Zということにする。境界領域Zは、帯状をなして、平面視で格子状に延びている。境界領域Zによって区画された1つの格子の中にチップ部品領域Yが1つ配置されている。境界領域Zの幅は、 $1 \mu\text{m} \sim 60 \mu\text{m}$ （たとえば $20 \mu\text{m}$ ）と極めて狭いので、基板b 3 0では多くのチップ部品領域Yを確保でき、結果としてチップ抵抗器b 1の大量生産が可能になる。

40

【0239】

次いで、図48Gに示すように、CVD（Chemical Vapor Deposition：化学的気相成長）法によって、SiNからなる絶縁膜b 4 5を、基板b 3 0の表面b 3 0 Aの全域に亘

50

って形成する。絶縁膜 b 4 5 は、絶縁層 b 2 0 および絶縁層 b 2 0 上の素子 b 5（抵抗膜 b 2 1 や配線膜 b 2 2）を全て覆っていて、これらに接している。そのため、絶縁膜 b 4 5 は、前述したトリミング対象領域 X（図 4 0 参照）における配線膜 b 2 2 も覆っている。また、絶縁膜 b 4 5 は、基板 b 3 0 の表面 b 3 0 A において全域に亘って形成されることから、表面 b 3 0 A において、トリミング対象領域 X 以外の領域にまで延びて形成される。これにより、絶縁膜 b 4 5 は、表面 b 3 0 A（表面 b 3 0 A 上の素子 b 5 も含む）全域を保護する保護膜となる。

【0240】

次いで、図 4 8 H に示すように、絶縁膜 b 4 5 を全て覆うように、基板 b 3 0 の表面 b 3 0 A の全域に亘ってレジストパターン b 4 1 を形成する。レジストパターン b 4 1 には、開口 b 4 2 が形成されている。

図 4 9 は、図 4 8 H の工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

【0241】

図 4 9 を参照して、レジストパターン b 4 1 の開口 b 4 2 は、多数のチップ抵抗器 b 1（換言すれば、前述したチップ部品領域 Y）を行列状（格子状でもある）に配置した場合において平面視で隣り合うチップ抵抗器 b 1 の輪郭の間の領域（図 4 9 においてハッチングを付した部分であり、換言すれば、境界領域 Z）に一致（対応）している。そのため、開口 b 4 2 の全体形状は、互いに直交する直線部分 b 4 2 A および b 4 2 B を複数有する格子状になっている。

【0242】

レジストパターン b 4 1 では、開口 b 4 2 において互いに直交する直線部分 b 4 2 A および b 4 2 B は、互いに直交した状態を保ちながら（湾曲することなく）つながっている。そのため、直線部分 b 4 2 A および b 4 2 B の交差部分 b 4 3 は、平面視で略 90° をなすように尖っている。

図 4 8 H を参照して、レジストパターン b 4 1 をマスクとするプラズマエッチングにより、絶縁膜 b 4 5、絶縁層 b 2 0 および基板 b 3 0 のそれぞれを選択的に除去する。これにより、隣り合う素子 b 5（チップ部品領域 Y）の間の境界領域 Z において基板 b 3 0 の材料が除去される。その結果、平面視においてレジストパターン b 4 1 の開口 b 4 2 と一致する位置（境界領域 Z）には、絶縁膜 b 4 5 および絶縁層 b 2 0 を貫通して基板 b 3 0 の表面 b 3 0 A から基板 b 3 0 の厚さ途中まで到達する所定深さの溝 b 4 4 が形成される。溝 b 4 4 は、互いに対向する 1 対の側壁 b 4 4 A と、当該 1 対の側壁 b 4 4 A の下端（基板 b 3 0 の裏面 b 3 0 B 側の端）の間を結ぶ底壁 b 4 4 B とによって区画されている。基板 b 3 0 の表面 b 3 0 A を基準とした溝 b 4 4 の深さは約 100 μm であり、溝 b 4 4 の幅（対向する側壁 b 4 4 A の間隔）は約 20 μm であって、深さ方向全域に渡って一定である。

【0243】

基板 b 3 0 における溝 b 4 4 の全体形状は、平面視でレジストパターン b 4 1 の開口 b 4 2（図 4 9 参照）と一致する格子状になっている。そして、基板 b 3 0 の表面 b 3 0 A では、各素子 b 5 が形成されたチップ部品領域 Y のまわりを溝 b 4 4 における矩形枠体部分（境界領域 Z）が取り囲んでいる。基板 b 3 0 において素子 b 5 が形成された部分は、チップ抵抗器 b 1 の半製品 b 5 0 である。基板 b 3 0 の表面 b 3 0 A では、溝 b 4 4 に取り囲まれたチップ部品領域 Y に半製品 b 5 0 が 1 つずつ位置していて、これらの半製品 b 5 0 は、行列状に整列配置されている。このように溝 b 4 4 を形成することによって、基板 b 3 0 を複数のチップ部品領域 Y 毎の基板 b 2 に分離する。

【0244】

図 4 8 H に示すように溝 b 4 4 が形成された後、レジストパターン b 4 1 を除去し、図 4 8 I に示すようにマスク b 6 5 を用いたエッチングによって、絶縁膜 b 4 5 を選択的に除去する。マスク b 6 5 では、絶縁膜 b 4 5 において平面視で各パッド領域 b 2 2 P（図 4 7 参照）と第 3 電極 b 6 とに一致する部分に、開口 b 6 6 が形成されている。これによ

り、エッチングによって、絶縁膜 b 4 5 において開口 b 6 6 と一致する部分が除去され、当該部分には、開口 b 2 5 が形成される。これにより、絶縁膜 b 4 5 は、開口 b 2 5 において各パッド領域 b 2 2 P と第 3 電極 b 6 とを露出させるように形成されたことになる。1 つの半製品 b 5 0 につき、開口 b 2 5 は 3 つ形成される。

【0245】

各半製品 b 5 0 において、絶縁膜 b 4 5 に 3 つの開口 b 2 5 を形成した後に、抵抗測定装置（図示せず）のプローブ b 7 0 を各開口 b 2 5 のパッド領域 b 2 2 P および第 3 電極 b 6 に接触させて、第 1 抵抗回路網 b 3 1 の抵抗値、第 2 抵抗回路網 b 3 2 の抵抗値、および素子 b 5 全体の抵抗値を測定する。ここでの測定結果に基づいて、複数のヒューズ F のなかから切断すべきヒューズ F（複数の第 1 ヒューズ F 1 および複数の第 2 ヒューズ F 2 の少なくとも一つ）を選択する。

10

【0246】

そして、絶縁膜 b 4 5 越しにレーザ光（図示せず）を（先程選択された）ヒューズ F（図 40 参照）に照射することによって、前述したトリミング対象領域 X の配線膜 b 2 2 をレーザ光でトリミングして、当該ヒューズ F を切断（溶断）する。このようにして、必要な抵抗値となるようにヒューズ F を溶断（トリミング）することによって、前述したように、半製品 b 5 0（換言すれば、チップ抵抗器 b 1）全体の抵抗値を調整できる。

【0247】

図 50 は、トリミング前の素子の電気回路図である。図 51 は、トリミング後の素子の電気回路図である。

20

次に、図 50 および図 51 を参照して、トリミングの手順の詳細について説明する。図 50 および図 51 のそれぞれにおいて、 R_A は、第 1 抵抗回路網 b 3 1 全体の当初（トリミング前）の抵抗値であり、 R_B は、第 2 抵抗回路網 b 3 2 全体の当初（トリミング前）の抵抗値である。 R_a は、チップ抵抗器 b 1 全体の要求抵抗値 R に基づいて第 1 抵抗回路網 b 3 1 においてトリミングによって変化（詳しくは、増加）させるべき抵抗値（第 1 抵抗回路網 b 3 1 においてトリミングの対象とすべき第 1 抵抗体 R 1 の合計抵抗値）である。 R_b は、前記要求抵抗値 R に基づいて第 2 抵抗回路網 b 3 2 においてトリミングによって変化（詳しくは、増加）させるべき抵抗値（第 2 抵抗回路網 b 3 2 においてトリミングの対象とすべき第 2 抵抗体 R 2 の合計抵抗値）である。また、 TCR_A は、第 1 抵抗回路網 b 3 1 を構成する第 1 抵抗体膜 b 2 1 A に固有の抵抗温度係数であり、 TCR_B は、第 2 抵抗回路網 b 3 2 を構成する第 2 抵抗体膜 b 2 1 B に固有の抵抗温度係数である。

30

【0248】

ここで、要求抵抗値 R は、 R_A と、 R_a と、 R_B と、 R_b との合計値（当初の R_A および R_B の合計に対して R_a および R_b の合計だけ変化した値）であるから、以下の式（1）で表される。

$$\text{要求抵抗値 } R = R_A + R_a + R_B + R_b \cdots \text{式 (1)}$$

一例として、チップ抵抗器 b 1 全体の要求抵抗値 R をいずれの温度においても 2000Ω とし、チップ抵抗器 b 1 全体の抵抗温度係数 TCR を $0 \text{ ppm}/^\circ\text{C}$ に合わせ込む場合を考える。抵抗温度係数 TCR を $0 \text{ ppm}/^\circ\text{C}$ に合わせ込むと、たとえば、常温（ 25°C ）におけるチップ抵抗器 b 1 全体の抵抗値 R_{25} と、 125°C におけるチップ抵抗器 b 1 全体の抵抗値 R_{125} とは、いずれも 2000Ω となる。よって、 $TCR = 0 \text{ ppm}/^\circ\text{C}$ となり、 $R_{25} = R_{125} = 2000 \Omega$ となるように R_a および R_b を算出して、算出後の R_a および R_b が発生するようにトリミングすればよい。

40

【0249】

この場合、まず、図 50 を参照して、 25°C および 125°C のそれぞれにおける R_A および R_B を測定する。具体的には、それぞれの温度において、前述したプローブ b 7 0（図 48 I 参照）を第 1 電極 b 3（第 1 電極 b 3 が接続される予定のパッド領域 b 2 2 P）および第 3 電極 b 6 のそれぞれに接触させて、第 1 電極 b 3 と第 3 電極 b 6 との間（つまり第 1 抵抗回路網 b 3 1）における抵抗値 R_A を測定する。また、それぞれの温度において、プローブ b 7 0 を第 2 電極 b 4（第 2 電極 b 4 が接続される予定のパッド領域 b 2 2

50

P) および第3電極b6のそれぞれに接触させて、第2電極b4と第3電極b6との間（つまり第2抵抗回路網b32）における抵抗値 R_B を測定する。25℃における R_A を、 R_{A25} といい（後述する R_{a25} においても同様）、125℃における R_A を、 R_{A125} ということにする（後述する R_{a125} においても同様）。同様に、25℃における R_B を、 R_{B25} といい（後述する R_{b25} においても同様）、125℃における R_B を、 R_{B125} ということにする（後述する R_{b125} においても同様）。ここでは、測定の結果、 R_{A25} が800.0Ωであって、 R_{A125} が840.0Ωであって、 R_{B25} が700.0Ωであって、 R_{B125} が672.0Ωであったとする。

【0250】

次いで、先程測定した25℃および125℃のそれぞれにおける R_A を次の式(2)に代入してTCR_Aを算出し、先程測定した25℃および125℃のそれぞれにおける R_B を次の式(3)に代入してTCR_Bを算出する。

$$\begin{aligned} \text{TCR}_A &= (R_{A125} - R_{A25}) / (R_{A25} \cdot \Delta \text{temp}) \\ &= (R_{a125} - R_{a25}) / (R_{a25} \cdot \Delta \text{temp}) \cdots \text{式(2)} \end{aligned}$$

$$\begin{aligned} \text{TCR}_B &= (R_{B125} - R_{B25}) / (R_{B25} \cdot \Delta \text{temp}) \\ &= (R_{b125} - R_{b25}) / (R_{b25} \cdot \Delta \text{temp}) \cdots \text{式(3)} \end{aligned}$$

ここで、上記式(2)および式(3)において、 $\Delta \text{temp} = 100^\circ\text{C} (= 125^\circ\text{C} - 25^\circ\text{C})$ である。

【0251】

そして、先程の R_{A25} および R_{A125} の測定結果より、式(2)から、TCR_Aが500ppm/℃であることが算出される。また、先程の R_{B25} および R_{B125} の測定結果より、式(3)から、TCR_Bが-400ppm/℃であることが算出される。

次に、 R_a および R_b を式(1)～式(3)に基づいて算出する。

ここで、25℃の温度条件を加味して、25℃における要求抵抗値Rを R_{25} と表すと、式(1)は、次の式(4)として表すことができる。

【0252】

$$R_{25} = R_{A25} + R_{a25} + R_{B25} + R_{b25} \cdots \text{式(4)}$$

また、125℃の温度条件を加味して、125℃における要求抵抗値Rを R_{125} と表すと、式(1)は、次の式(5)として表すことができる。

$$R_{125} = R_{A125} + R_{a125} + R_{B125} + R_{b125} \cdots \text{式(5)}$$

ここで、式(2)より、以下の式(6)および式(7)が得られ、式(6)および式(7)を合わせると、式(8)が得られる。また、式(3)より、以下の式(9)および式(10)が得られ、式(9)および式(10)を合わせると、式(11)が得られる。

【0253】

$$R_{A125} = R_{A25} \cdot \Delta \text{temp} \cdot \text{TCR}_A + R_{A25} \cdots \text{式(6)}$$

$$R_{a125} = R_{a25} \cdot \Delta \text{temp} \cdot \text{TCR}_A + R_{a25} \cdots \text{式(7)}$$

$$\begin{aligned} R_{A125} + R_{a125} &= \text{TCR}_A \cdot (R_{A25} + R_{a25}) \cdot \Delta \text{temp} + (R_{A25} \\ &+ R_{a25}) \\ \cdots \text{式(8)} \end{aligned}$$

$$R_{B125} = R_{B25} \cdot \Delta \text{temp} \cdot \text{TCR}_B + R_{B25} \cdots \text{式(9)}$$

$$R_{b125} = R_{b25} \cdot \Delta \text{temp} \cdot \text{TCR}_B + R_{b25} \cdots \text{式(10)}$$

$$\begin{aligned} R_{B125} + R_{b125} &= \text{TCR}_B \cdot (R_{B25} + R_{b25}) \cdot \Delta \text{temp} + (R_{B25} \\ &+ R_{b25}) \\ \cdots \text{式(11)} \end{aligned}$$

また、式(5)に式(8)および式(11)を代入すると、次の式(12)が得られる。

【0254】

$$\begin{aligned} R_{125} &= R_{A125} + R_{a125} + R_{B125} + R_{b125} \\ &= \text{TCR}_A \cdot (R_{A25} + R_{a25}) \cdot \Delta \text{temp} + (R_{A25} + R_{a25}) \\ &+ \text{TCR}_B \cdot (R_{B25} + R_{b25}) \cdot \Delta \text{temp} + (R_{B25} + R_{b25}) \cdots \end{aligned}$$

式 (12)

そして、式 (4) および式 (12) からなる連立方程式に、先程得られた TCR_A ($= 500 \text{ ppm}/^\circ\text{C}$)、 TCR_B ($= -400 \text{ ppm}/^\circ\text{C}$)、 R_{A25} ($= 800.0 \Omega$)、 R_{B25} ($= 700.0 \Omega$) および Δtemp ($= 100^\circ\text{C}$) を代入して、 R_{a25} および R_{b25} を算出する。ここで、前提として、 $R_{25} = R_{125}$ ($= 2000 \Omega$) である。

【0255】

算出の結果、 R_{a25} が 88.9Ω となり、 R_{b25} が 411.1Ω となる。

そして、常温の第1抵抗回路網 $b31$ において 88.9Ω の R_{a25} が発生するように、1つまたは複数の第1ヒューズ $F1$ (88.9Ω の R_{a25} を発生させるのにトリミングする必要がある第1ヒューズ $F1$) を選択する。同様に、常温の第2抵抗回路網 $b32$ において 411.1Ω 分の R_{b25} が発生するように、1つまたは複数の第2ヒューズ $F2$ (411.1Ω の R_{b25} を発生させるのにトリミングする必要がある第2ヒューズ $F2$) を選択する。

【0256】

このように、第3電極 $b6$ が設けられていることから、第1電極 $b3$ と第3電極 $b6$ との間で第1抵抗回路網 $b31$ 全体の抵抗値 R_A を測定し、第2電極 $b4$ と第3電極 $b6$ との間で第2抵抗回路網 $b32$ 全体の抵抗値 R_B を測定することができる。これにより、チップ抵抗器 $b1$ 全体の要求抵抗値 R に基づいて、第1抵抗回路網 $b31$ および第2抵抗回路網 $b32$ のそれぞれでトリミングの対象となる抵抗値 R_a および R_b を算出し、当該抵抗値を得るために切断すべき第1ヒューズ $F1$ および第2ヒューズ $F2$ を選択することができる。

【0257】

そして、このように選択した第1ヒューズ $F1$ および第2ヒューズ $F2$ をレーザによって切断 (トリミング) する。これにより、要求抵抗値 R が 2000Ω であり、かつ抵抗温度係数 TCR が $0 \text{ ppm}/^\circ\text{C}$ となったチップ抵抗器 $b1$ を製造することができる。

図48Iに戻り、ここでのトリミングの際、絶縁膜 $b45$ が素子 $b5$ を覆うカバー膜となっているので、溶断の際に生じた破片などが素子 $b5$ に付着して短絡が生じることを防止できる。また、絶縁膜 $b45$ がヒューズ F (抵抗体膜 $b21$) を覆っていることから、レーザ光のエネルギーをヒューズ F に蓄えてヒューズ F を確実に溶断することができる。

【0258】

その後、CVD法によって絶縁膜 $b45$ 上に SiN を形成し、絶縁膜 $b45$ を厚くする。このとき、図48Jに示すように、溝 $b44$ の内周面 (前述した側壁 $b44A$ の区画面 $44C$ や底壁 $b44B$ の上面) の全域にも絶縁膜 $b45$ が形成される。最終的な絶縁膜 $b45$ (図48Jに示された状態) は、 $1000 \text{ \AA} \sim 5000 \text{ \AA}$ (ここでは、約 $3000 \text{ \AA}$) の厚さを有している。このとき、絶縁膜 $b45$ の一部は、各開口 $b25$ に入り込んで開口 $b25$ を塞いでいる。

【0259】

また、ここで形成された SiN (新しく形成された絶縁膜 $b45$) の一部は、ヒューズ溶断の際に同時に破壊された前記カバー膜 (絶縁膜 $b45$) の開口内に入り込み、切断されたヒューズ F (複数の第1ヒューズ $F1$ および第2ヒューズ $F2$ の少なくとも一つのヒューズ F) の切断面 FM (図43(b)参照) を覆って保護する。したがって、絶縁膜 $b45$ (最終的にパッシベーション膜 $b23$ となる) によって、ヒューズ F の切断箇所に異物が入り込んだり水分が侵入したりすることが防止されているので (図43(b)の切断された第2ヒューズ $F2$ を参照)、チップ抵抗器 $b1$ の信頼性を向上させることができる。

【0260】

このように絶縁膜 $b45$ が形成された後、ポリイミドからなる感光性樹脂の液体を、基板 $b30$ に対して、絶縁膜 $b45$ の上からスプレー塗布して、図48Jに示すように感光性樹脂の樹脂膜 $b46$ を形成する。この際、当該液体が溝 $b44$ 内に入り込まないように

、平面視で溝b44だけを覆うパターンを有するマスク（図示せず）越しに、当該液体が基板b30に対して塗布される。その結果、当該液状の感光性樹脂は、基板b30上だけに形成され、基板b30上において、樹脂膜b46となる。表面b30A上の樹脂膜b46の表面は、表面b30Aに沿って平坦になっている。

【0261】

なお、当該液体が溝b44内に入り込んでいないので、溝b44内には、樹脂膜b46が形成されていない。また、感光性樹脂の液体をスプレー塗布する以外に、当該液体をスピン塗布したり、感光性樹脂からなるシートを基板b30の表面b30Aに貼り付けたりすることによって、樹脂膜b46を形成してもよい。

次いで、樹脂膜b46に熱処理（キュア処理）を施す。これにより、樹脂膜b46の厚みが熱収縮するとともに、樹脂膜b46が硬化して膜質が安定する。

【0262】

次いで、図48Kに示すように、樹脂膜b46をパターニングし、表面b30A上の樹脂膜b46において平面視で配線膜b22の各パッド領域b22P（開口b25）と一致する部分を選択的に除去する。具体的には、平面視で各パッド領域b22Pに整合（一致）するパターンの開口61が形成されたマスク62を用いて、樹脂膜b46を、当該パターンで露光して現像する。これにより、各パッド領域b22Pの上方で樹脂膜b46が分離される。次いで、図示しないマスクを用いたRIEによって各パッド領域b22P上の絶縁膜b45が除去されることで、各開口b25が開放されてパッド領域b22Pが露出される。

【0263】

次いで、無電解めっきによって、Ni、PdおよびAuを積層することで構成されたNi/Pd/Au積層膜を各開口b25におけるパッド領域b22P上に形成することによって、図48Lに示すように、パッド領域b22P上に第1電極b3および第2電極b4を形成する。

図52は、第1電極および第2電極の製造工程を説明するための図である。

【0264】

詳しくは、図52を参照して、まず、パッド領域b22Pの表面が浄化されることで、当該表面の有機物（炭素のしみ等のスマットや油脂性の汚れも含む）が除去（脱脂）される（ステップS1）。次いで、当該表面の酸化膜が除去される（ステップS2）。次いで、当該表面においてジンケート処理が実施されて、当該表面における（配線膜b22の）AlがZnに置換される（ステップS3）。次いで、当該表面上のZnが硝酸等で剥離されて、パッド領域b22Pでは、新しいAlが露出される（ステップS4）。

【0265】

次いで、パッド領域b22Pをめっき液に浸けることによって、パッド領域b22Pにおける新しいAlの表面にNiめっきが施される。これにより、めっき液中のNiが化学的に還元析出されて、当該表面にNi層b33が形成される（ステップS5）。

次いで、Ni層b33を別のめっき液に浸けることによって、当該Ni層b33の表面にPdめっきが施される。これにより、めっき液中のPdが化学的に還元析出されて、当該Ni層b33の表面にPd層b34が形成される（ステップS6）。

【0266】

次いで、Pd層b34をさらに別のめっき液に浸けることによって、当該Pd層b34の表面にAuめっきが施される。これにより、めっき液中のAuが化学的に還元析出されて、当該Pd層b34の表面にAu層b35が形成される（ステップS7）。これによって、第1電極b3および第2電極b4が形成され、形成後の第1電極b3および第2電極b4を乾燥させると（ステップS8）、第1電極b3および第2電極b4の製造工程が完了する。なお、前後するステップの間には、半製品b50を水で洗浄する工程が適宜実施される。また、ジンケート処理は複数回実施されてもよい。

【0267】

図48Lでは、各半製品b50において第1電極b3および第2電極b4が形成された

10

20

30

40

50

後の状態を示している。

以上のように、第1電極b3および第2電極b4を無電解めっきによって形成するので、第1電極b3および第2電極b4を電解めっきによって形成する場合に比べて、第1電極b3および第2電極b4についての形成工程の工程数（たとえば、電解めっきで必要となるリソグラフィ工程やレジストマスクの剥離工程等）を削減してチップ抵抗器b1の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる第1電極b3および第2電極b4についての形成位置にずれが生じないので、第1電極b3および第2電極b4の形成位置精度を向上して歩留まりを向上できる。

【0268】

このように第1電極b3および第2電極b4が形成されてから、第1電極b3および第2電極b4間での通電検査が行われた後に、基板b30が裏面b30Bから研削される。

具体的には、溝b44を形成した後に、図48Mに示すように、PET（ポリエチレンテレフタレート）からなる薄板状であって粘着面b72を有する支持テープb71が、粘着面b72において、各半製品b50における第1電極b3および第2電極b4側（つまり、表面b30A）に貼着される。これにより、各半製品b50が支持テープb71に支持される。ここで、支持テープb71として、たとえば、ラミネートテープを用いることができる。

【0269】

各半製品b50が支持テープb71に支持された状態で、基板b30を裏面b30B側から研削する。研削によって、溝b44の底壁b44B（図48L参照）の上面に達するまで基板b30が薄型化されると、隣り合う半製品b50を連結するものがなくなるので、溝b44を境界として基板b30が分割され、半製品b50が個別に分離してチップ抵抗器b1の完成品となる。つまり、溝b44（換言すれば、境界領域Z）において基板b30が切断（分断）され、これによって、個々のチップ抵抗器b1が切り出される。なお、基板b30を裏面b30B側から溝b44の底壁b44Bまでエッチングすることによってチップ抵抗器b1を切り出しても構わない。

【0270】

完成した各チップ抵抗器b1では、溝b44の側壁b44Aの区画面44Cをなしていた部分が、基板b2の側面b2C～b2Fのいずれかとなり、裏面b30Bが裏面b2Bとなる。つまり、前述したようにエッチングによって溝b44を形成する工程（図48H参照）は、側面b2C～b2Fを形成する工程に含まれる。また、絶縁膜b45がパッシベーション膜b23となり、分離した樹脂膜b46が樹脂膜b24となる。

【0271】

以上のように、溝b44を形成してから基板b30を裏面b30B側から研削すれば、基板b30に形成された複数のチップ部品領域Yを一斉に個々のチップ抵抗器b1（チップ部品）に分割できる（複数のチップ抵抗器b1の個片を一度に得ることができる）。よって、複数のチップ抵抗器b1の製造時間の短縮によってチップ抵抗器b1の生産性の向上を図ることができる。

【0272】

なお、完成したチップ抵抗器b1における基板b2の裏面b2Bを研磨やエッチングすることによって鏡面化して裏面b2Bを綺麗にしてもよい。

以上のように、このチップ抵抗器b1では、一つまたは複数の第1ヒューズF1を選択して切断することにより、任意の第1抵抗体R1を第1抵抗回路網b31から切り離したり、第1抵抗回路網b31に組み込んだりすることができる。同様に、一つまたは複数の第2ヒューズF2を選択して切断することにより、任意の第2抵抗体R2を第2抵抗回路網b32から切り離したり、第2抵抗回路網b32に組み込んだりすることができる。このようにすることで、チップ抵抗器b1全体の抵抗値を任意の値に調整できるので、チップ抵抗器b1では、複数種類の抵抗値に、容易にかつ速やかに対応することができる。つまり、このチップ抵抗器b1では、同一設計構造で複数種類の要求抵抗値に容易に対応で

10

20

30

40

50

きる。また、チップ抵抗器 b 1 においてこのように調整された抵抗値では、その許容差の絶対値が 1 % 以下になっていて、精度が高くなっている。

【0273】

さらに、正の抵抗温度係数を有する第 1 抵抗回路網 b 3 1 と負の抵抗温度係数を有する第 2 抵抗回路網 b 3 2 とを接続することによって、チップ抵抗器 b 1 全体の抵抗温度係数の絶対値を小さくするように制御することができる。これにより、チップ抵抗器 b 1 の精度の向上を図ることができる。特に、チップ抵抗器 b 1 全体の抵抗温度係数の絶対値が 300 ppm/°C 以下と小さくなっているため、チップ抵抗器 b 1 の精度の向上を図ることができる。

【0274】

以上、第 2 参考例のチップ抵抗器 b 1 について説明してきたが、第 2 参考例はさらに他の形態で実施することもできる。

たとえば、前述の実施形態では、チップ抵抗器 b 1 の場合、複数の抵抗回路が公比 r ($0 < r$ 、 $r \neq 1$) = 2 の等比数列をなす抵抗値を有する複数の抵抗回路を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。

【0275】

また、基板 b 2 の表面に絶縁層 b 2 0 が形成されているが、基板 b 2 が絶縁性の基板であれば、絶縁層 b 2 0 を省くこともできる。

また、前述した第 1 電極 b 3 および第 2 電極 b 4 において、Ni 層 b 3 3 と Au 層 b 3 5 との間に介装されていた Pd 層 b 3 4 を省略することもできる。Ni 層 b 3 3 と Au 層 b 3 5 との接着性が良好なので、Au 層 b 3 5 に前述したピンホールができないのであれば、Pd 層 b 3 4 を省略しても構わない。

【0276】

図 5 3 は、第 2 参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン b 2 0 1 は、扁平な直方体形状の筐体 b 2 0 2 の内部に電子部品を収納して構成されている。筐体 b 2 0 2 は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が 4 つの側面で結合されている。筐体 b 2 0 2 の一つの主面には、液晶パネルや有機 EL パネル等で構成された表示パネル b 2 0 3 の表示面が露出している。表示パネル b 2 0 3 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

【0277】

表示パネル b 2 0 3 は、筐体 b 2 0 2 の一つの主面の大部分を占める長方形形状に形成されている。表示パネル b 2 0 3 の一つの短辺に沿うように、操作ボタン b 2 0 4 が配置されている。この実施形態では、複数 (3 つ) の操作ボタン b 2 0 4 が表示パネル b 2 0 3 の短辺に沿って配列されている。使用者は、操作ボタン b 2 0 4 およびタッチパネルを操作することによって、スマートフォン b 2 0 1 に対する操作を行い、必要な機能呼び出して実行させることができる。

【0278】

表示パネル b 2 0 3 の別の一つの短辺の近傍には、スピーカ b 2 0 5 が配置されている。スピーカ b 2 0 5 は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン b 2 0 4 の近くには、筐体 b 2 0 2 の一つの側面にマイクロフォン b 2 0 6 が配置されている。マイクロフォン b 2 0 6 は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとしても用いることもできる。

【0279】

図 5 4 は、筐体 b 2 0 2 の内部に收容された回路アセンブリ b 1 0 0 の構成を示す図解的な平面図である。回路アセンブリ b 1 0 0 は、前述した実装基板 b 9 と、実装基板 b 9 の実装面 b 9 A に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子 (IC) b 2 1 2 - b 2 2 0 と、複数のチップ部品とを含む。複数の IC は、伝送処理 IC b 2 1 2、ワンセグ TV 受信 IC b 2 1 3、GPS 受信 IC b 2 1 4、FM チューナ I

10

20

30

40

50

C b 2 1 5、電源 I C b 2 1 6、フラッシュメモリ b 2 1 7、マイクロコンピュータ b 2 1 8、電源 I C b 2 1 9 および ベースバンド I C b 2 2 0 を含む。複数のチップ部品は、チップインダクタ b 2 2 1, b 2 2 5, b 2 3 5、チップ抵抗器（第 2 参考例のチップ抵抗器に相当する）b 2 2 2, b 2 2 4, b 2 3 3、チップキャパシタ b 2 2 7, b 2 3 0, b 2 3 4、およびチップダイオード b 2 2 8, b 2 3 1 を含む。

【0280】

伝送処理 I C b 2 1 2 は、表示パネル b 2 0 3 に対する表示制御信号を生成し、かつ表示パネル b 2 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル b 2 0 3 との接続のために、伝送処理 I C b 2 1 2 には、フレキシブル配線 b 2 0 9 が接続されている。

ワンセグTV受信 I C b 2 1 3 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグTV受信 I C b 2 1 3 の近傍には、複数のチップインダクタ b 2 2 1 と、複数のチップ抵抗器 b 2 2 2 とが配置されている。ワンセグTV受信 I C b 2 1 3、チップインダクタ b 2 2 1 およびチップ抵抗器 b 2 2 2 は、ワンセグ放送受信回路 b 2 2 3 を構成している。チップインダクタ b 2 2 1 およびチップ抵抗器 b 2 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 b 2 2 3 に高精度な回路定数を与える。

【0281】

GPS 受信 I C b 2 1 4 は、GPS 衛星からの電波を受信してスマートフォン b 2 0 1 の位置情報を出力する電子回路を内蔵している。

FMチューナ I C b 2 1 5 は、その近傍において実装基板 b 9 に実装された複数のチップ抵抗器 b 2 2 4 および複数のチップインダクタ b 2 2 5 とともに、FM放送受信回路 b 2 2 6 を構成している。チップ抵抗器 b 2 2 4 およびチップインダクタ b 2 2 5 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 b 2 2 6 に高精度な回路定数を与える。

【0282】

電源 I C b 2 1 6 の近傍には、複数のチップキャパシタ b 2 2 7 および複数のチップダイオード b 2 2 8 が実装基板 b 9 の実装面に実装されている。電源 I C b 2 1 6 は、チップキャパシタ b 2 2 7 およびチップダイオード b 2 2 8 とともに、電源回路 b 2 2 9 を構成している。

フラッシュメモリ b 2 1 7 は、オペレーティングシステムプログラム、スマートフォン b 2 0 1 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

【0283】

マイクロコンピュータ b 2 1 8 は、CPU、ROM および RAM を内蔵しており、各種の演算処理を実行することにより、スマートフォン b 2 0 1 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ b 2 1 8 の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。

電源 I C b 2 1 9 の近くには、複数のチップキャパシタ b 2 3 0 および複数のチップダイオード b 2 3 1 が実装基板 b 9 の実装面に実装されている。電源 I C b 2 1 9 は、チップキャパシタ b 2 3 0 およびチップダイオード b 2 3 1 とともに、電源回路 b 2 3 2 を構成している。

【0284】

ベースバンド I C b 2 2 0 の近くには、複数のチップ抵抗器 b 2 3 3、複数のチップキャパシタ b 2 3 4、および複数のチップインダクタ b 2 3 5 が、実装基板 b 9 の実装面 b 9 A に実装されている。ベースバンド I C b 2 2 0 は、チップ抵抗器 b 2 3 3、チップキャパシタ b 2 3 4 およびチップインダクタ b 2 3 5 とともに、ベースバンド通信回路 b 2 3 6 を構成している。ベースバンド通信回路 b 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

10

20

30

40

50

【0285】

このような構成によって、電源回路b229、b232によって適切に調整された電力が、伝送処理ICb212、GPS受信ICb214、ワンセグ放送受信回路b223、FM放送受信回路b226、ベースバンド通信回路b236、フラッシュメモリb217およびマイクロコンピュータb218に供給される。マイクロコンピュータb218は、伝送処理ICb212を介して入力される入力信号に応答して演算処理を行い、伝送処理ICb212から表示パネルb203に表示制御信号を出力して表示パネルb203に各種の表示を行わせる。

【0286】

タッチパネルまたは操作ボタンb204の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路b223の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネルb203に出力し、受信された音声をスピーカb205から音響化させるための演算処理が、マイクロコンピュータb218によって実行される。

また、スマートフォンb201の位置情報が必要とされるときには、マイクロコンピュータb218は、GPS受信ICb214が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

【0287】

さらに、タッチパネルまたは操作ボタンb204の操作によってFM放送受信指令が入力されると、マイクロコンピュータb218は、FM放送受信回路b226を起動し、受信された音声をスピーカb205から出力させるための演算処理を実行する。

フラッシュメモリb217は、通信によって取得したデータの記憶や、マイクロコンピュータb218の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータb218は、必要に応じて、フラッシュメモリb217に対してデータを書き込み、またフラッシュメモリb217からデータを読み出す。

【0288】

電話通信またはデータ通信の機能は、ベースバンド通信回路b236によって実現される。マイクロコンピュータb218は、ベースバンド通信回路b236を制御して、音声またはデータを送受信するための処理を行う。

<第3参考例に係る発明>

(1) 第3参考例に係る発明の特徴

たとえば、第3参考例に係る発明の特徴は、以下のC1～C17である。

(C1) 基板と、前記基板上に形成された一对の電極と、基板上に形成され抵抗温度係数の絶対値が $200 \text{ ppm}/^{\circ}\text{C}$ 以上の材料からなる抵抗体膜、および前記抵抗体膜に接するように積層された配線膜によって構成され、前記一对の電極の間に形成された複数の抵抗体と、前記一对の電極の間に前記複数の抵抗体をそれぞれ接続する切断可能な複数のヒューズを含む、チップ抵抗器。

【0289】

この構成によれば、一つまたは複数のヒューズを選択して切断することにより、一对の電極間から任意の数の抵抗体を切り離したり、一对の電極間に任意の数の抵抗体を組み込んだりすることができる。これにより、チップ抵抗器全体の抵抗値を目標値に正確に合わせ込むことができる。さらに、抵抗体を構成する抵抗体膜は、抵抗温度係数の絶対値が $200 \text{ ppm}/^{\circ}\text{C}$ 以上の材料からなることから、チップ抵抗器では、抵抗体の温度に対する感度が向上されている。以上の結果、より正確に抵抗値を合わせ込むことができ、かつ温度の検出に適したチップ抵抗器を提供できる。

(C2) 前記チップ抵抗器が、温度センサである、C1に記載のチップ抵抗器。

【0290】

この構成によれば、チップ抵抗器を温度センサとして用いることができる。

(C3) 前記抵抗体膜が、抵抗温度係数の絶対値が $200 \text{ ppm}/^{\circ}\text{C}$ 以上となるように酸素の組成比を制御したTiONまたはTiONSiからなる、C1またはC2に記載のチ

10

20

30

40

50

チップ抵抗器。

この構成によれば、酸素の組成比を制御したTiONまたはTiONSiによって、抵抗温度係数の絶対値が200ppm/°C以上となる抵抗体膜を構成することができる。

(C4) 前記抵抗体膜が、TiON、TiONSi、Pt、Ni、およびCuのうちの1種以上を含むものであってもよい。

(C5) 前記ヒューズが、Alからなることが好ましい。

(C6) 前記基板上に設けられ、前記抵抗体およびヒューズの上から前記基板の表面を覆うパッシベーション膜をさらに含む、C1～C5のいずれか一項に記載のチップ抵抗器。

【0291】

この構成によれば、パッシベーション膜によって、基板の表面、抵抗体およびヒューズを保護することができる。

(C7) 前記電極を露出させた状態で前記パッシベーション膜上に形成される保護樹脂膜をさらに含む、C6に記載のチップ抵抗器。

この構成によれば、パッシベーション膜および保護樹脂膜によって、基板の表面、抵抗体およびヒューズを二重に保護することができる。

(C8) 抵抗温度係数の絶対値が200ppm/°C以上の材料からなる抵抗体膜を基板上に形成する工程と、前記抵抗体膜上に配線膜を形成する工程と、前記配線膜および前記抵抗体膜をエッチングによってパターンニングすることにより、複数の抵抗体、および前記複数の抵抗体をそれぞれ切り離し可能な複数のヒューズを形成するエッチング工程と、前記複数の抵抗体の全抵抗値を測定する工程と、前記測定された全抵抗値に基づいて、前記複数のヒューズのなかから切断すべきヒューズを選択する工程と、前記選択されたヒューズを切断する工程とを含む、チップ抵抗器の製造方法。

【0292】

この方法によれば、一つまたは複数のヒューズを選択して切断することにより、チップ抵抗器全体の抵抗値（前記全抵抗値）を目標値に正確に合わせ込むことができる。さらに、抵抗体を構成する抵抗体膜は、抵抗温度係数の絶対値が200ppm/°C以上の材料からなることから、チップ抵抗器では、抵抗体の温度に対する感度が向上されている。以上の結果、より正確に抵抗値を合わせ込むことができ、かつ温度の検出に適したチップ抵抗器を提供できる。

(C9) 前記チップ抵抗器が、温度センサである、C8に記載のチップ抵抗器の製造方法。

【0293】

この方法によれば、チップ抵抗器を温度センサとして用いることができる。

(C10) 前記抵抗体膜を形成する工程が、前記チップ抵抗器の抵抗温度係数の絶対値が200ppm/°C以上となるように酸素の組成比を制御しながらTiONまたはTiONSiからなる抵抗体膜を形成する工程を含む、C8またはC9に記載のチップ抵抗器の製造方法。

【0294】

この方法によれば、酸素の組成比を制御しながら形成したTiONまたはTiONSiによって、抵抗温度係数の絶対値が200ppm/°C以上となる抵抗体膜を構成することができる。

(C11) 前記抵抗体膜を形成する工程が、TiON、TiONSi、Pt、Ni、およびCuのうちの1種以上を含む抵抗体膜を形成する工程を含んでもよい。

(C12) 前記エッチングが、反応性イオンエッチングを含む、C8～C11のいずれか一項に記載のチップ抵抗器の製造方法。

【0295】

この方法によれば、複数の抵抗体およびヒューズを高精度に形成することができる。

(C13) 前記ヒューズが、Alからなることが好ましい。

(C14) 前記抵抗体およびヒューズの上から前記基板の表面を覆うパッシベーション膜を前記基板上に形成する工程をさらに含む、C8～C13のいずれか一項に記載のチップ

10

20

30

40

50

抵抗器の製造方法。

【0296】

この方法によれば、パッシベーション膜によって、基板の表面、抵抗体およびヒューズを保護することができる。

(C15) 前記電極を露出させるように、前記パッシベーション膜上に保護樹脂膜を形成する工程をさらに含む、C14に記載のチップ抵抗器の製造方法。

この方法によれば、パッシベーション膜および保護樹脂膜によって、基板の表面、抵抗体およびヒューズを二重に保護することができる。

(C16) 回路アセンブリは、以上のチップ抵抗器を備えていることが好ましい。

(C17) 電子機器は、以上のチップ抵抗器を備えていることが好ましい。

10

(2) 第3参考例に係る発明の実施形態

以下では、第3参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図55～図70で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

【0297】

図55(a)は、第3参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図である。

このチップ抵抗器c1は、微小なチップ部品であり、図55(a)に示すように、直方体形状をなしている。チップ抵抗器c1の平面形状は、直交する二辺(長辺c81、短辺c82)がそれぞれ0.4mm以下、0.2mm以下の矩形である。好ましくは、チップ抵抗器c1の寸法に関し、長さL(長辺c81の長さ)が約0.3mmであり、幅W(短辺c82の長さ)が約0.15mmであり、厚さTが約0.1mmである。

20

【0298】

このチップ抵抗器c1は、基板上に多数個のチップ抵抗器c1を格子状に形成してから当該基板に溝を形成した後、裏面研磨(または当該基板を溝で分断)して個々のチップ抵抗器c1に分離することによって得られる。

チップ抵抗器c1は、チップ抵抗器c1の本体を構成する基板c2と、一对の外部接続電極となる第1接続電極c3および第2接続電極c4と、第1接続電極c3および第2接続電極c4によって外部接続される素子c5とを主に備えている。

【0299】

30

基板c2は、略直方体のチップ形状である。基板c2において図55(a)における上面は、表面c2Aである。表面c2Aは、基板c2において素子c5が形成される表面であり、略長方形形状である。基板c2の厚さ方向において表面c2Aとは反対側の面は、裏面c2Bである。表面c2Aと裏面c2Bとは、ほぼ同寸法かつ同形状であり、互いに平行である。表面c2Aにおける一对の長辺c81および短辺c82によって区画された矩形形状の縁を、周縁部c85ということにし、裏面c2Bにおける一对の長辺c81および短辺c82によって区画された矩形形状の縁を、周縁部c90ということにする。表面c2A(裏面c2B)に直交する法線方向から見ると、周縁部c85と周縁部c90とは、重なっている。

【0300】

40

基板c2は、表面c2Aおよび裏面c2B以外に、複数の側面(側面c2C、側面c2D、側面c2Eおよび側面c2F)を有している。当該複数の側面は、表面c2Aおよび裏面c2Bのそれぞれに交差(詳しくは、直交)して延びて、表面c2Aおよび裏面c2Bの間を繋いでいる。

側面c2Cは、表面c2Aおよび裏面c2Bにおける長手方向一方側(図55(a)における左手前側)の短辺c82間に架設されていて、側面c2Dは、表面c2Aおよび裏面c2Bにおける長手方向他方側(図55(a)における右奥側)の短辺c82間に架設されている。側面c2Cおよび側面c2Dは、当該長手方向における基板c2の両端面である。側面c2Eは、表面c2Aおよび裏面c2Bにおける短手方向一方側(図55(a)における左奥側)の長辺c81間に架設されていて、側面c2Fは、表面c2Aおよび

50

裏面 c 2 B における短手方向他方側（図 5 5（a）における右手前側）の長辺 c 8 1 間に架設されている。側面 c 2 E および側面 c 2 F は、当該短手方向における基板 c 2 の両端面である。側面 c 2 C および側面 c 2 D のそれぞれは、側面 c 2 E および側面 c 2 F のそれぞれと交差（詳しくは、直交）している。そのため、表面 c 2 A ～側面 c 2 F において隣り合うもの同士が直角を成している。

【0301】

基板 c 2 では、表面 c 2 A および側面 c 2 C ～ 2 F のそれぞれの全域がパッシベーション膜 c 2 3 で覆われている。そのため、厳密には、図 5 5（a）では、表面 c 2 A および側面 c 2 C ～ c 2 F のそれぞれの全域は、パッシベーション膜 c 2 3 の内側（裏側）に位置していて、外部に露出されていない。さらに、チップ抵抗器 c 1 は、樹脂膜 c 2 4（保護樹脂膜）を有している。樹脂膜 c 2 4 は、表面 c 2 A 上のパッシベーション膜 c 2 3 の全域（周縁部 c 8 5 およびその内側領域）を覆っている。パッシベーション膜 c 2 3 および樹脂膜 c 2 4 については、以降で詳説する。

【0302】

第 1 接続電極 c 3 および第 2 接続電極 c 4 は、基板 c 2 の表面 c 2 A 上において周縁部 c 8 5 よりも内側の領域（周縁部 c 8 5 から間隔を開けた位置）に形成されていて、表面 c 2 A 上の樹脂膜 c 2 4 から部分的に露出されている。換言すれば、樹脂膜 c 2 4 は、第 1 接続電極 c 3 および第 2 接続電極 c 4 を露出させた状態で表面 c 2 A（厳密には表面 c 2 A 上のパッシベーション膜 c 2 3）を覆っている。第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれは、たとえば、Ni（ニッケル）、Pd（パラジウム）および Au（金）をこの順番で表面 c 2 A 上に積層することによって構成されている。第 1 接続電極 c 3 および第 2 接続電極 c 4 は、表面 c 2 A の長手方向に互いに間隔を開けて配置されており、表面 c 2 A の短手方向において長手の長形状である。図 5 5（a）では、表面 c 2 A において、側面 c 2 C 寄りの位置に第 1 接続電極 c 3 が設けられ、側面 c 2 D 寄りの位置に第 2 接続電極 c 4 が設けられている。第 1 接続電極 c 3 および第 2 接続電極 c 4 は、前述した法線方向から見た平面視において、ほぼ同寸法かつ同形状である。

【0303】

素子 c 5 は、回路素子であって、基板 c 2 の表面 c 2 A における第 1 接続電極 c 3 と第 2 接続電極 c 4 との間の領域に形成されていて、パッシベーション膜 c 2 3 および樹脂膜 c 2 4 によって上から被覆されている。この実施形態の素子 c 5 は、抵抗 c 5 6 である。抵抗 c 5 6 は、等しい抵抗値を有する複数個の（単位）抵抗体 R を表面 c 2 A 上でマトリックス状に配列した回路網によって構成されている。抵抗体 R は、TiON（酸化窒化チタン）または TiONSi（TiSiON）からなる。素子 c 5 は、後述する配線膜 c 2 2 に電氣的に接続されていて、配線膜 c 2 2 を介して第 1 接続電極 c 3 と第 2 接続電極 c 4 とに電氣的に接続されている。つまり、素子 c 5（複数の抵抗体 R）は、基板 c 2 上に形成され、第 1 接続電極 c 3 および第 2 接続電極 c 4 の間に接続されている。

【0304】

図 5 5（b）は、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。なお、図 5 5（b）では、要部のみを断面で示している。

図 5 5（b）に示すように、チップ抵抗器 c 1 は、実装基板 c 9 に実装される。この状態におけるチップ抵抗器 c 1 および実装基板 c 9 は、回路アセンブリ c 100 を構成している。図 5 5（b）における実装基板 c 9 の上面は、実装面 c 9 A である。実装面 c 9 A には、実装基板 c 9 の内部回路（図示せず）に接続された一対（2 つ）のランド c 8 8 が形成されている。各ランド c 8 8 は、たとえば、Cu からなる。各ランド c 8 8 の表面には、半田 c 1 3 が当該表面から突出するように設けられている。

【0305】

チップ抵抗器 c 1 を実装基板 c 9 に実装する場合、自動実装機（図示せず）の吸着ノズル c 9 1 をチップ抵抗器 c 1 の裏面 c 2 B に吸着してから吸着ノズル c 9 1 を動かすことによって、チップ抵抗器 c 1 を搬送する。このとき、吸着ノズル c 9 1 は、裏面 c 2 B の

長手方向における略中央部分に吸着する。

そして、チップ抵抗器 c 1 を吸着した吸着ノズル c 9 1 を実装基板 c 9 まで移動させる。このとき、チップ抵抗器 c 1 の表面 c 2 A と実装基板 c 9 の実装面 c 9 A とが互いに対向する。この状態で、吸着ノズル c 9 1 を移動させて実装基板 c 9 に押し付け、チップ抵抗器 c 1 において、第 1 接続電極 c 3 を一方のランド c 8 8 の半田 c 1 3 に接触させ、第 2 接続電極 c 4 を他方のランド c 8 8 の半田 c 1 3 に接触させる。次いで、半田 c 1 3 を加熱すると、半田 c 1 3 が溶融する。その後、半田 c 1 3 が冷却されて固まると、第 1 接続電極 c 3 と当該一方のランド c 8 8 とが半田 c 1 3 を介して接合し、第 2 接続電極 c 4 と当該他方のランド c 8 8 とが半田 c 1 3 を介して接合する。つまり、2 つのランド c 8 8 のそれぞれが、第 1 接続電極 c 3 および第 2 接続電極 c 4 において対応する電極に半田接合される。これにより、実装基板 c 9 へのチップ抵抗器 c 1 の実装（フリップチップ接続）が完了して、回路アセンブリ c 1 0 0 が完成する。なお、外部接続電極として機能する第 1 接続電極 c 3 および第 2 接続電極 c 4 は、半田濡れ性の向上および信頼性の向上のために、金（Au）で形成するか、または、後述するように表面に金メッキを施すことが望ましい。

10

【0306】

次に、チップ抵抗器 c 1 における他の構成を主に説明する。

図 5 6 は、チップ抵抗器の平面図であり、第 1 接続電極、第 2 接続電極および素子の配置関係ならびに素子の平面視の構成（レイアウトパターン）を示す図である。

図 5 6 を参照して、素子 c 5 は、抵抗回路網となっている。具体的に、素子 c 5 は、行方向（基板 c 2 の長手方向）に沿って配列された 8 個の抵抗体 R と、列方向（基板 c 2 の幅方向）に沿って配列された 4 4 個の抵抗体 R とで構成された合計 3 5 2 個の抵抗体 R を有している。これらの抵抗体 R は、素子 c 5 の抵抗回路網を構成する複数の素子要素である。

20

【0307】

これら多数個の抵抗体 R が 1 個～6 4 個の所定個数毎にまとめられて電氣的に接続されることによって、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、導体膜 D（導体で形成された配線膜）で所定の態様に接続されている。さらに、基板 c 2 の表面 c 2 A には、抵抗回路を素子 c 5 に対して電氣的に組み込んだり、または、素子 c 5 から電氣的に分離したりするために切断（溶断）可能な複数のヒューズ（ヒューズ）F が設けられている。複数のヒューズ F および導体膜 D は、第 1 接続電極 c 3 の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ F および導体膜 D が隣接するように配置され、その配列方向が直線状になっている。複数のヒューズ F は、複数種類の抵抗回路（抵抗回路毎の複数の抵抗体 R）を第 1 接続電極 c 3 および第 2 接続電極 c 4 の間（厳密には第 1 接続電極 c 3）に対してそれぞれ切断可能（切り離し可能）に接続している。

30

【0308】

図 5 7 A は、図 5 6 に示す素子の一部分を拡大して描いた平面図である。図 5 7 B は、素子における抵抗体の構成を説明するために描いた図 5 7 A の B-B に沿う長さ方向の縦断面図である。図 5 7 C は、素子における抵抗体の構成を説明するために描いた図 5 7 A の C-C に沿う幅方向の縦断面図である。

40

図 5 7 A、図 5 7 B および図 5 7 C を参照して、抵抗体 R の構成について説明をする。

【0309】

チップ抵抗器 c 1 は、前述した配線膜 c 2 2、パッシベーション膜 c 2 3 および樹脂膜 c 2 4 の他に、絶縁層 c 2 0 と抵抗体膜 c 2 1 とをさらに備えている（図 5 7 B および図 5 7 C 参照）。絶縁層 c 2 0、抵抗体膜 c 2 1、配線膜 c 2 2、パッシベーション膜 c 2 3 および樹脂膜 c 2 4 は、基板 c 2（表面 c 2 A）上に形成されている。

絶縁層 c 2 0 は、SiO₂（酸化シリコン）からなる。絶縁層 c 2 0 は、基板 c 2 の表面 c 2 A の全域を覆っている。絶縁層 c 2 0 の厚さは、約 1 0 0 0 0 Å である。

【0310】

50

抵抗体膜 c 2 1 は、絶縁層 c 2 0 上に形成されている。抵抗体膜 c 2 1 は、TiN、TiON または TiONSi により形成されている。抵抗体膜 c 2 1 の厚さは、約 2000 Å である。抵抗体膜 c 2 1 は、第 1 接続電極 c 3 と第 2 接続電極 c 4 との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン c 2 1 A」という）を構成していて、抵抗体膜ライン c 2 1 A は、ライン方向に所定の位置で切断されている場合がある（図 57 A 参照）。

【0311】

抵抗体膜ライン c 2 1 A 上には、配線膜 c 2 2 が積層されている。配線膜 c 2 2 は、Al（アルミニウム）またはアルミニウムと Cu（銅）との合金（AlCu 合金）からなる。配線膜 c 2 2 の厚さは、約 8000 Å である。配線膜 c 2 2 は、抵抗体膜ライン c 2 1 A 上に、ライン方向に一定間隔 R を開けて積層されていて、抵抗体膜ライン c 2 1 A に接している。

【0312】

この構成の抵抗体膜ライン c 2 1 A および配線膜 c 2 2 の電気的特徴を回路記号で示すと、図 58 の通りである。すなわち、図 58（a）に示すように、所定間隔 R の領域の抵抗体膜ライン c 2 1 A 部分が、それぞれ、一定の抵抗値 r を有する 1 つの抵抗体 R を形成している。

そして、配線膜 c 2 2 が積層された領域では、配線膜 c 2 2 が隣り合う抵抗体 R 同士を電気的に接続することによって、当該配線膜 c 2 2 で抵抗体膜ライン c 2 1 A が短絡されている。よって、図 58（b）に示す抵抗 r の抵抗体 R の直列接続からなる抵抗回路が形成されている。

【0313】

また、隣接する抵抗体膜ライン c 2 1 A 同士は抵抗体膜 c 2 1 および配線膜 c 2 2 で接続されているから、図 57 A に示す素子 c 5 の抵抗回路網は、図 58（c）に示す（前述した抵抗体 R の単位抵抗からなる）抵抗回路を構成している。このように、抵抗体膜 c 2 1 および配線膜 c 2 2 は、抵抗体 R や抵抗回路（つまり素子 c 5）を構成している。そして、各抵抗体 R は、抵抗体膜ライン c 2 1 A（抵抗体膜 c 2 1）と、抵抗体膜ライン c 2 1 A 上にライン方向に一定間隔をあけて積層された複数の配線膜 c 2 2 とを含み、配線膜 c 2 2 が積層されていない一定間隔 R 部分の抵抗体膜ライン c 2 1 A が、1 個の抵抗体 R を構成している。抵抗体 R を構成している部分における抵抗体膜ライン c 2 1 A は、その形状および大きさが全て等しい。よって、基板 c 2 上にマトリックス状に配列された多数個の抵抗体 R は、等しい抵抗値を有している。

【0314】

また、抵抗体膜ライン c 2 1 A 上に積層された配線膜 c 2 2 は、抵抗体 R を形成するとともに、複数個の抵抗体 R を接続して抵抗回路を構成するための導体膜 D の役目も果たしている（図 56 参照）。

図 59（a）は、図 56 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 59（b）は、図 59（a）の B-B に沿う断面構造を示す図である。

【0315】

図 59（a）および（b）に示すように、前述したヒューズ F および導体膜 D も、抵抗体 R を形成する抵抗体膜 c 2 1 上に積層された配線膜 c 2 2 により形成されている。すなわち、抵抗体 R を形成する抵抗体膜ライン c 2 1 A 上に積層された配線膜 c 2 2 と同じレイヤーに、配線膜 c 2 2 と同じ金属材料である Al または AlCu 合金によってヒューズ F および導体膜 D が形成されている。なお、配線膜 c 2 2 は、前述したように、抵抗回路を形成するために、複数個の抵抗体 R を電気的に接続する導体膜 D としても用いられている。

【0316】

つまり、抵抗体膜 c 2 1 上に積層された同一レイヤーにおいて、抵抗体 R を形成するための配線膜や、ヒューズ F や、導体膜 D や、さらには、素子 c 5 を第 1 接続電極 c 3 およ

10

20

30

40

50

び第2接続電極c4に接続するための配線膜が、配線膜c22として、同一の金属材料（A1またはA1Cu合金）を用いて形成されている。なお、ヒューズFを配線膜c22と異ならせている（区別している）のは、ヒューズFが切断しやすいように細く形成されていること、および、ヒューズFの周囲に他の回路要素が存在しないように配置されていることによるからである。

【0317】

ここで、配線膜c22において、ヒューズFが配置された領域を、トリミング対象領域Xということにする（図56および図59（a）参照）。トリミング対象領域Xは、第1接続電極c3の内側辺沿いの直線状領域であって、トリミング対象領域Xには、ヒューズFだけでなく、導体膜Dも配置されている。また、トリミング対象領域Xの配線膜c22の下方にも抵抗体膜c21が形成されている（図59（b）参照）。そして、ヒューズFは、配線膜c22において、トリミング対象領域X以外の部分よりも配線間距離が大きい（周囲から離れた）配線である。

【0318】

なお、ヒューズFは、配線膜c22の一部だけでなく、抵抗体R（抵抗体膜c21）の一部と抵抗体膜c21上の配線膜c22の一部とのまとまり（ヒューズ素子）を指しているてもよい。

また、ヒューズFは、導体膜Dと同一のレイヤーを用いる場合のみを説明したが、導体膜Dでは、その上に更に別の導体膜を積層するようにし、導体膜D全体の抵抗値を下げるようにしてもよい。なお、この場合であっても、ヒューズFの上に導体膜を積層しなければ、ヒューズFの溶断性が悪くなることはない。

【0319】

図60は、第3参考例の実施形態に係る素子の電気回路図である。

図60を参照して、素子c5は、基準抵抗回路R8と、抵抗回路R64、2つの抵抗回路R32、抵抗回路R16、抵抗回路R8、抵抗回路R4、抵抗回路R2、抵抗回路R1、抵抗回路R/2、抵抗回路R/4、抵抗回路R/8、抵抗回路R/16、抵抗回路R/32とを第1接続電極c3からこの順番で直列接続することによって構成されている。基準抵抗回路R8および抵抗回路R64～R2のそれぞれは、自身の末尾の数（R64の場合には「64」）と同数の抵抗体Rを直列接続することで構成されている。抵抗回路R1は、1つの抵抗体Rで構成されている。抵抗回路R/2～R/32のそれぞれは、自身の末尾の数（R/32の場合には「32」）と同数の抵抗体Rを並列接続することで構成されている。抵抗回路の末尾の数の意味については、後述する図61および図62においても同じである。

【0320】

そして、基準抵抗回路R8以外の抵抗回路R64～抵抗回路R/32のそれぞれに対して、ヒューズFが1つずつ並列的に接続されている。ヒューズF同士は、直接または導体膜D（図59（a）参照）を介して直列に接続されている。

図60に示すように全てのヒューズFが溶断されていない状態では、素子c5は、第1接続電極c3および第2接続電極c4間に設けられた8個の抵抗体Rの直列接続からなる基準抵抗回路R8の抵抗回路を構成している。たとえば、1個の抵抗体Rの抵抗値rを $r = 8\Omega$ とすれば、 $8r = 64\Omega$ の抵抗回路（基準抵抗回路R8）により第1接続電極c3および第2接続電極c4が接続されたチップ抵抗器c1が構成されている。

【0321】

また、全てのヒューズFが溶断されていない状態では、基準抵抗回路R8以外の複数種類の抵抗回路は、短絡された状態となっている。つまり、基準抵抗回路R8には、12種類13個の抵抗回路R64～R/32が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズFにより短絡されているので、電気的に見ると、各抵抗回路は素子c5に組み込まれてはいない。

【0322】

この実施形態に係るチップ抵抗器c1では、要求される抵抗値に応じて、ヒューズFを

選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズFが溶断された抵抗回路は、素子c 5に組み込まれることになる。よって、素子c 5の全体の抵抗値を、溶断されたヒューズFに対応する抵抗回路が直列に接続されて組み込まれた抵抗値とすることができる。

【0323】

特に、複数種類の抵抗回路は、等しい抵抗値を有する抵抗体Rが、直列に1個、2個、4個、8個、16個、32個…と、公比が2となる等比数列的に抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の抵抗体Rが並列に2個、4個、8個、16個…と、公比が2となる等比数列的に抵抗体Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そのため、ヒューズF（前述したヒューズ素子も含む）を選択的に溶断することにより、素子c 5（抵抗c 56）全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値となるように調整して、チップ抵抗器c 1において所望の値の抵抗を発生させることができる。

【0324】

図61は、第3参考例の他の実施形態に係る素子の電気回路図である。

図60に示すように基準抵抗回路R8および抵抗回路R64～抵抗回路R/32を直列接続して素子c 5を構成する代わりに、図61に示すように素子c 5を構成してもかまわない。詳しくは、第1接続電極c 3および第2接続電極c 4の間で、基準抵抗回路R/16と、12種類の抵抗回路R/16、R/8、R/4、R/2、R1、R2、R4、R8、R16、R32、R64、R128の並列接続回路との直列接続回路によって素子c 5を構成してもよい。

【0325】

この場合、基準抵抗回路R/16以外の12種類の抵抗回路には、それぞれ、ヒューズFが直列に接続されている。全てのヒューズFが溶断されていない状態では、各抵抗回路は素子c 5に対して電氣的に組み込まれている。要求される抵抗値に応じて、ヒューズFを選択的に、たとえばレーザ光で溶断すれば、溶断されたヒューズFに対応する抵抗回路（ヒューズFが直列に接続された抵抗回路）は、素子c 5から電氣的に分離されるので、チップ抵抗器c 1全体の抵抗値を調整することができる。

【0326】

図62は、第3参考例のさらに他の実施形態に係る素子の電気回路図である。

図62に示す素子c 5の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。直列接続される複数種類の抵抗回路には、先の実施形態と同様、抵抗回路毎に、並列にヒューズFが接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズFで短絡状態とされている。従って、ヒューズFを溶断すると、その溶断されるヒューズFで短絡されていた抵抗回路が、素子c 5に電氣的に組み込まれることになる。

【0327】

一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズFが接続されている。従って、ヒューズFを溶断することにより、溶断されたヒューズFが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

かかる構成とすれば、たとえば、1kΩ以下の小抵抗は並列接続側で作り、1kΩ以上の抵抗回路を直列接続側で作れば、数Ωの小抵抗から数MΩの大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗の回路網を用いて作ることができる。つまりチップ抵抗器c 1では、一つまたは複数のヒューズFを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体Rを組み合わせることによって、様々な抵抗値のチップ抵抗器c 1を共通の設計で実現することができる。

【0328】

以上のように、このチップ抵抗器c 1では、トリミング対象領域Xにおいて、複数の抵抗体R（抵抗回路）の接続状態が変更可能である。

図 6 3 は、チップ抵抗器の模式的な断面図である。

次に、図 6 3 を参照して、チップ抵抗器 c 1 についてさらに詳しく説明する。なお、説明の便宜上、図 6 3 では、前述した素子 c 5 については簡略化して示しているとともに、基板 c 2 以外の各要素にはハッチングを付している。

【0329】

ここでは、前述したパッシベーション膜 c 2 3 および樹脂膜 c 2 4 について説明する。

パッシベーション膜 c 2 3 は、たとえば SiN（窒化シリコン）からなり、その厚さは、 $1000\text{ \AA} \sim 5000\text{ \AA}$ （ここでは、約 $3000\text{ \AA}$ ）である。パッシベーション膜 c 2 3 は、表面 c 2 A および側面 c 2 C ~ c 2 F のそれぞれにおける全域に亘って設けられている。表面 c 2 A 上のパッシベーション膜 c 2 3 は、抵抗体膜 c 2 1 および抵抗体膜 c 2 1 上の各配線膜 c 2 2（つまり、素子 c 5）を表面（図 6 3 の上側）から被覆していて、素子 c 5 における各抵抗体 R の上面を覆っている。そのため、パッシベーション膜 c 2 3 は、前述したトリミング対象領域 X における配線膜 c 2 2（ヒューズ F）も覆っている（図 5 9（b）参照）。また、パッシベーション膜 c 2 3 は、素子 c 5（配線膜 c 2 2 および抵抗体膜 c 2 1）に接しており、抵抗体膜 c 2 1 以外の領域では絶縁層 c 2 0 にも接している。これにより、表面 c 2 A 上のパッシベーション膜 c 2 3 は、素子 c 5、ヒューズ F および絶縁層 c 2 0 の上から表面 c 2 A 全域を覆っている。そのため、パッシベーション膜 c 2 3 によって、基板 c 2 の表面 c 2 A、抵抗体 R およびヒューズ F を保護することができる。また、表面 c 2 A では、パッシベーション膜 c 2 3 によって、抵抗体 R 間における配線膜 c 2 2 以外での短絡（隣り合う抵抗体膜ライン c 2 1 A 間における短絡）が防

10

20

【0330】

一方、側面 c 2 C ~ c 2 F のそれぞれに設けられたパッシベーション膜 c 2 3 は、側面 c 2 C ~ c 2 F のそれぞれを保護する保護層として機能している。側面 c 2 C ~ c 2 F のそれぞれと表面 c 2 A との境界は、前述した周縁部 c 8 5 であるが、パッシベーション膜 c 2 3 は、当該境界（周縁部 c 8 5）も覆っている。パッシベーション膜 c 2 3 において、周縁部 c 8 5 を覆っている部分（周縁部 c 8 5 に重なっている部分）を端部 c 2 3 A ということにする。なお、パッシベーション膜 c 2 3 は極めて薄い膜なので、本実施形態では、側面 c 2 C ~ c 2 F のそれぞれを覆うパッシベーション膜 c 2 3 を、基板 c 2 の一部とみなすことにする。そのため、側面 c 2 C ~ c 2 F のそれぞれを覆うパッシベーション膜 c 2 3 を、側面 c 2 C ~ c 2 F そのものとみなすことにしている。

30

【0331】

樹脂膜 c 2 4 は、パッシベーション膜 c 2 3 とともにチップ抵抗器 c 1 の表面 c 2 A を保護するものであり、ポリイミド等の樹脂からなる。樹脂膜 c 2 4 の厚みは、約 $5\text{ }\mu\text{m}$ である。

樹脂膜 c 2 4 は、表面 c 2 A 上のパッシベーション膜 c 2 3 上に形成されていて、パッシベーション膜 c 2 3 の表面（パッシベーション膜 c 2 3 に被覆された抵抗体膜 c 2 1 および配線膜 c 2 2 も含む）の全域を被覆している。そのため、パッシベーション膜 c 2 3 および樹脂膜 c 2 4 によって、基板 c 2 の表面 c 2 A、抵抗体 R およびヒューズ F を二重に保護することができる。樹脂膜 c 2 4 の周縁部は、平面視において、パッシベーション膜 c 2 3 の端部 c 2 3 A（表面 c 2 A の周縁部 c 8 5）と一致している。

40

【0332】

樹脂膜 c 2 4 において、平面視で離れた 2 つの位置には、開口 c 2 5 が 1 つずつ形成されている。各開口 c 2 5 は、樹脂膜 c 2 4 およびパッシベーション膜 c 2 3 を、それぞれの厚さ方向において連続して貫通する貫通孔である。そのため、開口 c 2 5 は、樹脂膜 c 2 4 だけでなくパッシベーション膜 c 2 3 にも形成されている。各開口 c 2 5 からは、配線膜 c 2 2 の一部が露出されている。配線膜 c 2 2 において各開口 c 2 5 から露出された部分は、外部接続用のパッド領域 c 2 2 A となっている。

【0333】

2 つの開口 c 2 5 のうち、一方の開口 c 2 5 は、第 1 接続電極 c 3 によって埋め尽くさ

50

れ、他方の開口 c 2 5 は、第 2 接続電極 c 4 によって埋め尽くされている。

ここで、第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれは、N i 層 c 3 3、P d 層 c 3 4 および A u 層 c 3 5 を表面 c 2 A 側からこの順で有している。そのため、第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれにおいて、N i 層 c 3 3 と A u 層 c 3 5 との間に P d 層 c 3 4 が介装されている。第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれにおいて、N i 層 c 3 3 は各接続電極の大部分を占めており、P d 層 c 3 4 および A u 層 c 3 5 は、N i 層 c 3 3 に比べて格段に薄く形成されている。N i 層 c 3 3 は、チップ抵抗器 c 1 が実装基板 c 9 に実装された際に（図 5 5（b）参照）、各開口 c 2 5 のパッド領域 c 2 2 A における配線膜 c 2 2 の A 1 と、前述した半田 c 1 3 とを中継する役割を有している。

10

【0334】

このように、第 1 接続電極 c 3 および第 2 接続電極 c 4 では、N i 層 c 3 3 の表面が A u 層 c 3 5 によって覆われているので、N i 層 c 3 3 が酸化することを防止できる。また、第 1 接続電極 c 3 および第 2 接続電極 c 4 では、A u 層 c 3 5 を薄くすることによって A u 層 c 3 5 に貫通孔（ピンホール）ができてしまっても、N i 層 c 3 3 と A u 層 c 3 5 との間に介装された P d 層 c 3 4 が当該貫通孔を塞いでいるので、当該貫通孔から N i 層 c 3 3 が外部に露出されて酸化することを防止できる。

【0335】

そして、第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれでは、A u 層 c 3 5 が、最表面に露出しており、樹脂膜 c 2 4 の開口 c 2 5 から外部を臨んでいる。第 1 接続電極 c 3 は、一方の開口 c 2 5 を介して、この開口 c 2 5 におけるパッド領域 c 2 2 A において配線膜 c 2 2 に対して電氣的に接続されている。第 2 接続電極 c 4 は、他方の開口 c 2 5 を介して、この開口 c 2 5 におけるパッド領域 c 2 2 A において配線膜 c 2 2 に対して電氣的に接続されている。第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれでは、N i 層 c 3 3 がパッド領域 c 2 2 A に対して接続されている。これにより、第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれは、素子 c 5 に対して電氣的に接続されている。ここで、配線膜 c 2 2 は、抵抗体 R のまとめり（抵抗 c 5 6）、第 1 接続電極 c 3 および第 2 接続電極 c 4 のそれぞれに接続された配線を形成している。

20

【0336】

このように、開口 c 2 5 が形成された樹脂膜 c 2 4 およびパッシベーション膜 c 2 3 は、開口 c 2 5 から第 1 接続電極 c 3 および第 2 接続電極 c 4 を露出させた状態で表面 c 2 A を覆っている。そのため、樹脂膜 c 2 4 の表面において開口 c 2 5 からはみ出した第 1 接続電極 c 3 および第 2 接続電極 c 4 を介して、チップ抵抗器 c 1 と実装基板 c 9 との間における電氣的接続を達成することができる（図 5 5（b）参照）。

30

【0337】

図 6 4 A～図 6 4 G は、図 6 3 に示すチップ抵抗器の製造方法を示す図解的な断面図である。

まず、図 6 4 A に示すように、基板 c 2 の元となる基板 c 3 0 を用意する。この場合、基板 c 3 0 の表面 c 3 0 A は、基板 c 2 の表面 c 2 A であり、基板 c 3 0 の裏面 c 3 0 B は、基板 c 2 の裏面 c 2 B である。

40

【0338】

そして、基板 c 3 0 の表面 c 3 0 A を熱酸化して、表面 c 3 0 A に S i O₂ 等からなる絶縁層 c 2 0 を形成し、絶縁層 c 2 0 上に素子 c 5（抵抗体 R および抵抗体 R に接続された配線膜 c 2 2）を形成する。

図 6 5 は、素子の製造工程を説明するための図である。

具体的には、図 6 5 を参照して、スパッタリングにより、絶縁層 c 2 0 の上に、T i O N または T i O N S i の抵抗体膜 c 2 1 を全面に形成する（ステップ S 1）。スパッタリングは、酸素および窒素を流しながら行われる。この際、T i のターゲットに対して窒素や酸素が衝突することで、T i の原子がターゲットから弾き飛ばされる。T i の原子と窒素原子や酸素原子とが結合することによって、T i O N が生成され、抵抗体膜 c 2 1 とな

50

って絶縁層 c 2 0 上に付着する。この際、絶縁層 c 2 0 に付着した T i O N と、絶縁層 c 2 0 下の基板 c 3 0（ここでは、S i からなるシリコン基板）の S i とが結合すると、絶縁層 c 2 0 上には、T i O N S i からなる抵抗体膜 c 2 1 が形成される。

【0339】

スパッタリング中に流す酸素の流量は、目標とする抵抗温度係数に応じて調整される。

図 6 6 は、素子の製造工程におけるスパッタリングでの酸素流量と完成した抵抗体膜の抵抗温度係数との関係を示すグラフである。

ここで、抵抗温度係数とは、抵抗体膜 c 2 1（抵抗体 R）の温度特性の 1 つであり、抵抗体膜 c 2 1 を構成する物質に専ら依存するものである。スパッタリング中の酸素流量を調整することによって、抵抗体膜 c 2 1 を構成する T i O N または T i O N S i の組成を調整して抵抗温度係数を所望の値となるように制御することができる。

10

【0340】

具体的には、スパッタリング中での酸素流量を増やすと、その分、T i 原子と酸素原子との結合が促進されるので、完成した抵抗体膜 c 2 1 の T i O N または T i O N S i における酸素の組成比が増加する。図 6 6 を参照して、酸素の組成比（換言すれば、酸素流量）が増加するのに応じて、抵抗体膜 c 2 1 では抵抗温度係数が正の値から負の値まで低下する。ここで、抵抗温度係数の絶対値が 2 0 0 p p m / ° C 以上である場合には（図 6 6 において太い実線で示したカーブの領域参照）、温度変化に対する抵抗体膜 c 2 1（換言すれば、抵抗体 R）の抵抗値の変動量が大きくなることが分かった。つまり、抵抗温度係数の絶対値が 2 0 0 p p m / ° C 以上である場合には、抵抗体 R の温度に対する感度が向上されること（抵抗体 R の温度特性が良好になること）が分かった。また、酸素流量を調整することによって抵抗体 R の温度特性（抵抗温度係数）の制御が可能となることも分かった。

20

【0341】

そこで、スパッタリングの際、完成した抵抗体膜 c 2 1 の抵抗温度係数の絶対値が 2 0 0 p p m / ° C 以上になるように、酸素流量が調整される（前述したステップ S 1）。具体的には、図 6 6 では、抵抗温度係数を + 2 0 0 p p m / ° C 以上にしたい場合には、酸素流量が 7 s c c m（S I 単位では、 $11.83 \times 10^{-4} \text{ Pa} \cdot \text{m}^3 / \text{sec}$ ）以下となるように調整される。また、抵抗温度係数を - 2 0 0 p p m / ° C 以下にしたい場合には、酸素流量が 1 5 s c c（S I 単位では、 $25.35 \times 10^{-4} \text{ Pa} \cdot \text{m}^3 / \text{sec}$ ）以上となるように調整される。これにより、完成した抵抗体膜 c 2 1 は、抵抗温度係数の絶対値が 2 0 0 p p m / ° C 以上となるよう酸素の組成比が制御された T i O N または T i O N S i からなる。換言すれば、酸素の組成比を制御した T i O N または T i O N S i によって、抵抗温度係数の絶対値が 2 0 0 p p m / ° C 以上となる抵抗体膜 c 2 1 を構成することができる。

30

【0342】

図 6 5 を参照して、このように抵抗体膜 c 2 1 を形成した後、ステップ S 1 とは別のスパッタリングによって、抵抗体膜 c 2 1 に接するように抵抗体膜 c 2 1 の上にアルミニウム（A 1）の配線膜 c 2 2 を積層する（ステップ S 2）。

その後、フォトリソグラフィプロセスを用い、たとえば R I E（Reactive Ion Etching：反応性イオンエッチング）等のドライエッチングにより抵抗体膜 c 2 1 および配線膜 c 2 2 を選択的に除去してパターンニングする（ステップ S 3）。これにより、図 5 7 A に示すように、平面視で、抵抗体膜 c 2 1 が積層された一定幅の抵抗体膜ライン c 2 1 A が一定間隔をあけて列方向に配列される構成を得る。このとき、部分的に抵抗体膜ライン c 2 1 A および配線膜 c 2 2 が切断された領域も形成されるとともに、前述したトリミング対象領域 X においてヒューズ F および導体膜 D が形成される（図 5 6 参照）。ここで、ドライエッチングによって、抵抗体膜ライン c 2 1 A（換言すれば、複数の抵抗体 R となる部分）およびヒューズ F を高精度に形成することができる。

40

【0343】

図 6 5 に戻り、続いて、たとえばウェットエッチングにより抵抗体膜ライン c 2 1 A の

50

上に積層された配線膜 c 2 2 を選択的に除去する（ステップ S 4）。この結果、抵抗体膜ライン c 2 1 A 上に一定間隔 R をあけて配線膜 c 2 2 が積層された構成の素子 c 5（複数の抵抗体 R）が得られる。この際、抵抗体膜 c 2 1 および配線膜 c 2 2 が目標寸法で形成されたか否かを確かめるために、素子 c 5 全体の抵抗値を測定してもよい。

【0344】

図 6 4 A を参照して、素子 c 5 は、1 枚の基板 c 3 0 に形成するチップ抵抗器 c 1 の数に応じて、基板 c 3 0 の表面 c 3 0 A 上における多数の箇所に形成される。基板 c 3 0 において素子 c 5（前述した抵抗 c 5 6）が形成された 1 つの領域をチップ部品領域 Y というと、基板 c 3 0 の表面 c 3 0 A には、抵抗 c 5 6 をそれぞれ有する複数のチップ部品領域 Y（つまり、素子 c 5）が形成（設定）される。1 つのチップ部品領域 Y は、完成した 1 つのチップ抵抗器 c 1（図 6 3 参照）を平面視したものと一致する。そして、基板 c 3 0 の表面 c 3 0 A において、隣り合うチップ部品領域 Y の間の領域を、境界領域 Z ということにする。境界領域 Z は、帯状をなしていて、平面視で格子状に延びている。境界領域 Z によって区画された 1 つの格子の中にチップ部品領域 Y が 1 つ配置されている。境界領域 Z の幅は、1 μm ~ 60 μm （たとえば 20 μm ）と極めて狭いので、基板 c 3 0 では多くのチップ部品領域 Y を確保でき、結果としてチップ抵抗器 c 1 の大量生産が可能になる。

【0345】

次いで、図 6 4 A に示すように、CVD（Chemical Vapor Deposition：化学的気相成長）法によって、SiN からなる絶縁膜 c 4 5 を、基板 c 3 0 の表面 c 3 0 A の全域に亘って形成する。絶縁膜 c 4 5 は、絶縁層 c 2 0 および絶縁層 c 2 0 上の素子 c 5（抵抗体膜 c 2 1 や配線膜 c 2 2）を全て覆っていて、これらに接している。そのため、絶縁膜 c 4 5 は、前述したトリミング対象領域 X（図 5 6 参照）における配線膜 c 2 2 も覆っている。また、絶縁膜 c 4 5 は、基板 c 3 0 の表面 c 3 0 A において全域に亘って形成されることから、表面 c 3 0 A において、トリミング対象領域 X 以外の領域にまで延びて形成される。これにより、絶縁膜 c 4 5 は、表面 c 3 0 A（表面 c 3 0 A 上の素子 c 5 も含む）全域を保護する保護膜となる。

【0346】

次いで、図 6 4 B に示すように、絶縁膜 c 4 5 を全て覆うように、基板 c 3 0 の表面 c 3 0 A の全域に亘ってレジストパターン c 4 1 を形成する。レジストパターン c 4 1 には、開口 c 4 2 が形成されている。

図 6 7 は、図 6 4 B の工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

【0347】

図 6 7 を参照して、レジストパターン c 4 1 の開口 c 4 2 は、多数のチップ抵抗器 c 1（換言すれば、前述したチップ部品領域 Y）を行列状（格子状でもある）に配置した場合において平面視で隣り合うチップ抵抗器 c 1 の輪郭の間の領域（図 6 7 においてハッチングを付した部分であり、換言すれば、境界領域 Z）に一致（対応）している。そのため、開口 c 4 2 の全体形状は、互いに直交する直線部分 c 4 2 A および c 4 2 B を複数有する格子状になっている。

【0348】

レジストパターン c 4 1 では、開口 c 4 2 において互いに直交する直線部分 c 4 2 A および c 4 2 B は、互いに直交した状態を保ちながら（湾曲することなく）つながっている。そのため、直線部分 c 4 2 A および c 4 2 B の交差部分 c 4 3 は、平面視で略 90° をなすように尖っている。

図 6 4 B を参照して、レジストパターン c 4 1 をマスクとするプラズマエッチングにより、絶縁膜 c 4 5、絶縁層 c 2 0 および基板 c 3 0 のそれぞれを選択的に除去する。これにより、隣り合う素子 c 5（チップ部品領域 Y）の間の境界領域 Z において基板 c 3 0 の材料が除去される。その結果、平面視においてレジストパターン c 4 1 の開口 c 4 2 と一致する位置（境界領域 Z）には、絶縁膜 c 4 5 および絶縁層 c 2 0 を貫通して基板 c 3 0

の表面 c 3 0 A から基板 c 3 0 の厚さ途中まで到達する所定深さの溝 c 4 4 が形成される。溝 c 4 4 は、互いに対向する 1 対の側壁 c 4 4 A と、当該 1 対の側壁 c 4 4 A の下端（基板 c 3 0 の裏面 c 3 0 B 側の端）の間を結ぶ底壁 c 4 4 B とによって区画されている。基板 c 3 0 の表面 c 3 0 A を基準とした溝 c 4 4 の深さは約 1 0 0 μm であり、溝 c 4 4 の幅（対向する側壁 c 4 4 A の間隔）は約 2 0 μm であって、深さ方向全域に渡って一定である。

【0349】

基板 c 3 0 における溝 c 4 4 の全体形状は、平面視でレジストパターン c 4 1 の開口 c 4 2（図 6 7 参照）と一致する格子状になっている。そして、基板 c 3 0 の表面 c 3 0 A では、各素子 c 5 が形成されたチップ部品領域 Y のまわりを溝 c 4 4 における矩形枠体部分（境界領域 Z）が取り囲んでいる。基板 c 3 0 において素子 c 5 が形成された部分は、チップ抵抗器 c 1 の半製品 c 5 0 である。基板 c 3 0 の表面 c 3 0 A では、溝 c 4 4 に取り囲まれたチップ部品領域 Y に半製品 c 5 0 が 1 つずつ位置していて、これらの半製品 c 5 0 は、行列状に整列配置されている。このように溝 c 4 4 を形成することによって、基板 c 3 0 を複数のチップ部品領域 Y 毎の基板 c 2 に分離する。

10

【0350】

図 6 4 B に示すように溝 c 4 4 が形成された後、レジストパターン c 4 1 を除去し、図 6 4 C に示すようにマスク c 6 5 を用いたエッチングによって、絶縁膜 c 4 5 を選択的に除去する。マスク c 6 5 では、絶縁膜 c 4 5 において平面視で各パッド領域 c 2 2 A（図 6 3 参照）に一致する部分に、開口 c 6 6 が形成されている。これにより、エッチングによって、絶縁膜 c 4 5 において開口 c 6 6 と一致する部分が除去され、当該部分には、開口 c 2 5 が形成される。これにより、絶縁膜 c 4 5 は、開口 c 2 5 において各パッド領域 c 2 2 A を露出させるように形成されたことになる。1 つの半製品 c 5 0 につき、開口 c 2 5 は 2 つ形成される。

20

【0351】

各半製品 c 5 0 において、絶縁膜 c 4 5 に 2 つの開口 c 2 5 を形成した後に、抵抗測定装置（図示せず）のプロブ c 7 0 を各開口 c 2 5 のパッド領域 c 2 2 A に接触させて、素子 c 5 の全体の抵抗値（複数の抵抗体 R の全抵抗値）を測定する。ここでの測定結果（前述した全抵抗値）に基づいて、複数のヒューズ F のなかから切断すべきヒューズ F を選択する。

30

【0352】

そして、絶縁膜 c 4 5 越しにレーザ光（図示せず）を（先程選択された）ヒューズ F（図 5 6 参照）に照射することによって、前述したトリミング対象領域 X の配線膜 c 2 2 をレーザ光でトリミングして、当該ヒューズ F を切断（溶断）する。このようにして、必要な抵抗値となるようにヒューズ F を溶断（トリミング）することによって、前述したように、半製品 c 5 0（換言すれば、チップ抵抗器 c 1）全体の抵抗値を調整できる。このとき、絶縁膜 c 4 5 が素子 c 5 を覆うカバー膜となっているので、溶断の際に生じた破片などが素子 c 5 に付着して短絡が生じることを防止できる。また、絶縁膜 c 4 5 がヒューズ F（抵抗体膜 c 2 1）を覆っていることから、レーザ光のエネルギーをヒューズ F に蓄えてヒューズ F を確実に溶断することができる。

40

【0353】

その後、CVD 法によって絶縁膜 c 4 5 上に SiN を形成し、絶縁膜 c 4 5 を厚くする。このとき、図 6 4 D に示すように、溝 c 4 4 の内周面（前述した側壁 c 4 4 A の区画面 4 4 C や底壁 c 4 4 B の上面）の全域にも絶縁膜 c 4 5 が形成される。最終的な絶縁膜 c 4 5（図 6 4 D に示された状態）は、1 0 0 0 Å ~ 5 0 0 0 Å（ここでは、約 3 0 0 0 Å）の厚さを有している。このとき、絶縁膜 c 4 5 の一部は、各開口 c 2 5 に入り込んで開口 c 2 5 を塞いでいる。

【0354】

その後、ポリイミドからなる感光性樹脂の液体を、基板 c 3 0 に対して、絶縁膜 c 4 5 の上からスプレー塗布して、図 6 4 D に示すように感光性樹脂の樹脂膜 c 4 6 を形成する

50

。この際、当該液体が溝 c 4 4 内に入り込まないように、平面視で溝 c 4 4 だけを覆うパターンを有するマスク（図示せず）越しに、当該液体が基板 c 3 0 に対して塗布される。その結果、当該液状の感光性樹脂は、基板 c 3 0 上だけに形成され、基板 c 3 0 上において、樹脂膜 c 4 6 となる。表面 c 3 0 A 上の樹脂膜 c 4 6 の表面は、表面 c 3 0 A に沿って平坦になっている。

【0355】

なお、当該液体が溝 c 4 4 内に入り込んでいないので、溝 c 4 4 内には、樹脂膜 c 4 6 が形成されていない。また、感光性樹脂の液体をスプレー塗布する以外に、当該液体をスピン塗布したり、感光性樹脂からなるシートを基板 c 3 0 の表面 c 3 0 A に貼り付けたりすることによって、樹脂膜 c 4 6 を形成してもよい。

10

次いで、樹脂膜 c 4 6 に熱処理（キュア処理）を施す。これにより、樹脂膜 c 4 6 の厚みが熱収縮するとともに、樹脂膜 c 4 6 が硬化して膜質が安定する。

【0356】

次いで、図 6 4 E に示すように、樹脂膜 c 4 6 をパターンニングし、表面 c 3 0 A 上の樹脂膜 c 4 6 において平面視で配線膜 c 2 2 の各パッド領域 c 2 2 A（開口 c 2 5）と一致する部分を選択的に除去する。具体的には、平面視で各パッド領域 c 2 2 A に整合（一致）するパターンの開口 c 6 1 が形成されたマスク c 6 2 を用いて、樹脂膜 c 4 6 を、当該パターンで露光して現像する。これにより、各パッド領域 c 2 2 A の上方で樹脂膜 c 4 6 が分離される。次いで、図示しないマスクを用いた R I E によって各パッド領域 c 2 2 A 上の絶縁膜 c 4 5 が除去されることで、各開口 c 2 5 が開放されてパッド領域 c 2 2 A が露出される。

20

【0357】

次いで、無電解めっきによって、N i、P d および A u を積層することで構成された N i / P d / A u 積層膜を各開口 c 2 5 におけるパッド領域 c 2 2 A 上に形成することによって、図 6 4 F に示すように、パッド領域 c 2 2 A 上に第 1 接続電極 c 3 および第 2 接続電極 c 4 を形成する。

図 6 8 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。

【0358】

詳しくは、図 6 8 を参照して、まず、パッド領域 c 2 2 A の表面が浄化されることで、当該表面の有機物（炭素のしみ等のスマットや油脂性の汚れも含む）が除去（脱脂）される（ステップ S 1 1）。次いで、当該表面の酸化膜が除去される（ステップ S 1 2）。次いで、当該表面においてジンケート処理が実施されて、当該表面における（配線膜 c 2 2 の）A l が Z n に置換される（ステップ S 1 3）。次いで、当該表面上の Z n が硝酸等で剥離されて、パッド領域 c 2 2 A では、新しい A l が露出される（ステップ S 1 4）。

30

【0359】

次いで、パッド領域 c 2 2 A をめっき液に浸けることによって、パッド領域 c 2 2 A における新しい A l の表面に N i めっきが施される。これにより、めっき液中の N i が化学的に還元析出されて、当該表面に N i 層 c 3 3 が形成される（ステップ S 1 5）。

次いで、N i 層 c 3 3 を別のめっき液に浸けることによって、当該 N i 層 c 3 3 の表面に P d めっきが施される。これにより、めっき液中の P d が化学的に還元析出されて、当該 N i 層 c 3 3 の表面に P d 層 c 3 4 が形成される（ステップ S 1 6）。

40

【0360】

次いで、P d 層 c 3 4 をさらに別のめっき液に浸けることによって、当該 P d 層 c 3 4 の表面に A u めっきが施される。これにより、めっき液中の A u が化学的に還元析出されて、当該 P d 層 c 3 4 の表面に A u 層 c 3 5 が形成される（ステップ S 1 7）。これによって、第 1 接続電極 c 3 および第 2 接続電極 c 4 が形成され、形成後の第 1 接続電極 c 3 および第 2 接続電極 c 4 を乾燥させると（ステップ S 1 8）、第 1 接続電極 c 3 および第 2 接続電極 c 4 の製造工程が完了する。なお、前後するステップの間には、半製品 c 5 0 を水で洗浄する工程が適宜実施される。また、ジンケート処理は複数回実施されてもよい。

50

【0361】

図64Fでは、各半製品c50において第1接続電極c3および第2接続電極c4が形成された後の状態を示している。

以上のように、第1接続電極c3および第2接続電極c4を無電解めっきによって形成するので、第1接続電極c3および第2接続電極c4を電解めっきによって形成する場合に比べて、第1接続電極c3および第2接続電極c4についての形成工程の工程数（たとえば、電解めっきで必要となるリソグラフィ工程やレジストマスクの剥離工程等）を削減してチップ抵抗器c1の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる第1接続電極c3および第2接続電極c4についての形成位置にずれが生じないので、第1接続電極c3および第2接続電極c4の形成位置精度を向上して歩留まりを向上できる。

10

【0362】

このように第1接続電極c3および第2接続電極c4が形成されてから、第1接続電極c3および第2接続電極c4間での通電検査が行われた後に、基板c30が裏面c30Bから研削される。

具体的には、溝c44を形成した後に、図64Gに示すように、PET（ポリエチレンテレフタレート）からなる薄板状であって粘着面c72を有する支持テープc71が、粘着面c72において、各半製品c50における第1接続電極c3および第2接続電極c4側（つまり、表面c30A）に貼着される。これにより、各半製品c50が支持テープc71に支持される。ここで、支持テープc71として、たとえば、ラミネートテープを用いることができる。

20

【0363】

各半製品c50が支持テープc71に支持された状態で、基板c30を裏面c30B側から研削する。研削によって、溝c44の底壁c44B（図64F参照）の上面に達するまで基板c30が薄型化されると、隣り合う半製品c50を連結するものがなくなるので、溝c44を境界として基板c30が分割され、半製品c50が個別に分離してチップ抵抗器c1の完成品となる。つまり、溝c44（換言すれば、境界領域Z）において基板c30が切断（分断）され、これによって、個々のチップ抵抗器c1が切り出される。なお、基板c30を裏面c30B側から溝c44の底壁c44Bまでエッチングすることによってチップ抵抗器c1を切り出しても構わない。

30

【0364】

完成した各チップ抵抗器c1では、溝c44の側壁c44Aの区画面44Cをなしていた部分が、基板c2の側面c2C～c2Fのいずれかとなり、裏面c30Bが裏面c2Bとなる。つまり、前述したようにエッチングによって溝c44を形成する工程（図64B参照）は、側面c2C～c2Fを形成する工程に含まれる。また、絶縁膜c45がパッシベーション膜c23となり、分離した樹脂膜c46が樹脂膜c24となる。

【0365】

以上のように、溝c44を形成してから基板c30を裏面c30B側から研削すれば、基板c30に形成された複数のチップ部品領域Yを一斉に個々のチップ抵抗器c1（チップ部品）に分割できる（複数のチップ抵抗器c1の個片を一度に得ることができる）。よって、複数のチップ抵抗器c1の製造時間の短縮によってチップ抵抗器c1の生産性の向上を図ることができる。

40

【0366】

なお、完成したチップ抵抗器c1における基板c2の裏面c2Bを研磨やエッチングすることによって鏡面化して裏面c2Bを綺麗にしてもよい。

以上のように、一つまたは複数のヒューズFを選択して切断することにより、第1接続電極c3および第2接続電極c4間の素子c5から任意の数の抵抗体Rを切り離したり、当該素子c5に任意の数の抵抗体Rを組み込んだりすることができる。これにより、チップ抵抗器c1全体（素子c5全体）の抵抗値を目標値に正確に合わせ込むことができる。

50

さらに、抵抗体 R を構成する抵抗体膜 c 2 1 は、抵抗温度係数の絶対値が $200 \text{ ppm}/^\circ\text{C}$ 以上の材料からなることから、チップ抵抗器 c 1 では、抵抗体 R の温度に対する感度が向上されている。以上の結果、より正確に抵抗値を合わせ込むことができ、かつ温度の検出に適したチップ抵抗器 c 1 を提供できる。

【0367】

このように、チップ抵抗器 c 1 は、温度の検出に適していることから、チップ抵抗器 c 1 を温度センサとして用いることができる。詳しくは、チップ抵抗器 c 1 において第 1 接続電極 c 3 と第 2 接続電極 c 4 との間に電圧を印加した状態で、素子 c 5（抵抗体 R のまわりをなす抵抗 c 5 6）の抵抗値が温度に応じて変化するので、当該抵抗値を測定することによって、温度を検出することができる。

10

【0368】

以上、第 3 参考例のチップ抵抗器 c 1 について説明してきたが、第 3 参考例はさらに他の形態で実施することもできる。

たとえば、チップ抵抗器 c 1 を温度センサとして用いたい場合、抵抗体 R を構成する抵抗体膜 c 2 1 は、抵抗温度係数の絶対値が $200 \text{ ppm}/^\circ\text{C}$ 以上の材料からなればよく、当該材料として、前述した TiON および TiONSi 以外に、 Pt 、 Ni 、および Cu のいずれかと用いることもできる。つまり、抵抗体膜 c 2 1 は、 TiON 、 TiONSi 、 Pt 、 Ni 、および Cu のうちの 1 種以上を含んでいればよい。ただし、 Pt 、 Ni 、および Cu のいずれかを用いる場合には、 TiON および TiONSi の場合と異なり、酸素流量の調整による抵抗体 R の温度特性（抵抗温度係数）の制御が困難である。

20

【0369】

また、前述の実施形態では、チップ抵抗器 c 1 の場合、複数の抵抗回路が公比 r ($0 < r, r \neq 1$) = 2 の等比数列をなす抵抗値を有する複数の抵抗回路を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。

また、基板 c 2 の表面に絶縁層 c 2 0 が形成されているが、基板 c 2 が絶縁性の基板であれば、絶縁層 c 2 0 を省くこともできる。

【0370】

また、前述した第 1 接続電極 c 3 および第 2 接続電極 c 4 において、 Ni 層 c 3 3 と Au 層 c 3 5 との間に介装されていた Pd 層 c 3 4 を省略することもできる。 Ni 層 c 3 3 と Au 層 c 3 5 との接着性が良好なので、 Au 層 c 3 5 に前述したピンホールができないのであれば、 Pd 層 c 3 4 を省略しても構わない。

30

図 6 9 は、第 3 参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン c 2 0 1 は、扁平な直方体形状の筐体 c 2 0 2 の内部に電子部品を収納して構成されている。筐体 c 2 0 2 は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が 4 つの側面で結合されている。筐体 c 2 0 2 の一つの主面には、液晶パネルや有機 EL パネル等で構成された表示パネル c 2 0 3 の表示面が露出している。表示パネル c 2 0 3 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

【0371】

表示パネル c 2 0 3 は、筐体 c 2 0 2 の一つの主面の大部分を占める長方形形状に形成されている。表示パネル c 2 0 3 の一つの短辺に沿うように、操作ボタン c 2 0 4 が配置されている。この実施形態では、複数（3 つ）の操作ボタン c 2 0 4 が表示パネル c 2 0 3 の短辺に沿って配列されている。使用者は、操作ボタン c 2 0 4 およびタッチパネルを操作することによって、スマートフォン c 2 0 1 に対する操作を行い、必要な機能呼び出して実行させることができる。

40

【0372】

表示パネル c 2 0 3 の別の一つの短辺の近傍には、スピーカ c 2 0 5 が配置されている。スピーカ c 2 0 5 は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン c 2 0 4 の近くには、筐体 c 2 0 2 の一つの側面にマイクロフォン c 2 0 6 が配置されている。マイクロフォ

50

ン c 2 0 6 は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

【0373】

図70は、筐体 c 2 0 2 の内部に収容された回路アセンブリ c 1 0 0 の構成を示す図解的な平面図である。回路アセンブリ c 1 0 0 は、前述した実装基板 c 9 と、実装基板 c 9 の実装面 c 9 A に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）212-220 と、複数のチップ部品とを含む。複数の IC は、伝送処理 IC c 2 1 2、ワンセグTV受信 IC c 2 1 3、GPS 受信 IC c 2 1 4、FMチューナ IC c 2 1 5、電源 IC c 2 1 6、フラッシュメモリ c 2 1 7、マイクロコンピュータ c 2 1 8、電源 IC c 2 1 9 およびベースバンド IC c 2 2 0 を含む。複数のチップ部品は、チップインダクタ c 2 2 1、c 2 2 5、c 2 3 5、チップ抵抗器（第3参考例のチップ抵抗器に相当する）c 2 2 2、c 2 2 4、c 2 3 3、チップキャパシタ c 2 2 7、c 2 3 0、c 2 3 4、およびチップダイオード c 2 2 8、c 2 3 1 を含む。

10

【0374】

伝送処理 IC c 2 1 2 は、表示パネル c 2 0 3 に対する表示制御信号を生成し、かつ表示パネル c 2 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル c 2 0 3 との接続のために、伝送処理 IC c 2 1 2 には、フレキシブル配線 c 2 0 9 が接続されている。

ワンセグTV受信 IC c 2 1 3 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグTV受信 IC c 2 1 3 の近傍には、複数のチップインダクタ c 2 2 1 と、複数のチップ抵抗器 c 2 2 2 とが配置されている。ワンセグTV受信 IC c 2 1 3、チップインダクタ c 2 2 1 およびチップ抵抗器 c 2 2 2 は、ワンセグ放送受信回路 c 2 2 3 を構成している。チップインダクタ c 2 2 1 およびチップ抵抗器 c 2 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 c 2 2 3 に高精度な回路定数を与える。

20

【0375】

GPS 受信 IC c 2 1 4 は、GPS 衛星からの電波を受信してスマートフォン c 2 0 1 の位置情報を出力する電子回路を内蔵している。

FMチューナ IC c 2 1 5 は、その近傍において実装基板 c 9 に実装された複数のチップ抵抗器 c 2 2 4 および複数のチップインダクタ c 2 2 5 とともに、FM放送受信回路 c 2 2 6 を構成している。チップ抵抗器 c 2 2 4 およびチップインダクタ c 2 2 5 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 c 2 2 6 に高精度な回路定数を与える。

30

【0376】

電源 IC c 2 1 6 の近傍には、複数のチップキャパシタ c 2 2 7 および複数のチップダイオード c 2 2 8 が実装基板 c 9 の実装面に実装されている。電源 IC c 2 1 6 は、チップキャパシタ c 2 2 7 およびチップダイオード c 2 2 8 とともに、電源回路 c 2 2 9 を構成している。

フラッシュメモリ c 2 1 7 は、オペレーティングシステムプログラム、スマートフォン c 2 0 1 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

40

【0377】

マイクロコンピュータ c 2 1 8 は、CPU、ROM および RAM を内蔵しており、各種の演算処理を実行することにより、スマートフォン c 2 0 1 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ c 2 1 8 の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。

電源 IC c 2 1 9 の近くには、複数のチップキャパシタ c 2 3 0 および複数のチップダイオード c 2 3 1 が実装基板 c 9 の実装面に実装されている。電源 IC c 2 1 9 は、チップキャパシタ c 2 3 0 およびチップダイオード c 2 3 1 とともに、電源回路 c 2 3 2 を構

50

成している。

【0378】

ベースバンド I C c 2 2 0 の近くには、複数のチップ抵抗器 c 2 3 3、複数のチップキャパシタ c 2 3 4、および複数のチップインダクタ c 2 3 5 が、実装基板 c 9 の実装面 c 9 A に実装されている。ベースバンド I C c 2 2 0 は、チップ抵抗器 c 2 3 3、チップキャパシタ c 2 3 4 およびチップインダクタ c 2 3 5 とともに、ベースバンド通信回路 c 2 3 6 を構成している。ベースバンド通信回路 c 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

【0379】

このような構成によって、電源回路 c 2 2 9、c 2 3 2 によって適切に調整された電力が、伝送処理 I C c 2 1 2、GPS 受信 I C c 2 1 4、ワンセグ放送受信回路 c 2 2 3、FM 放送受信回路 c 2 2 6、ベースバンド通信回路 c 2 3 6、フラッシュメモリ c 2 1 7 およびマイクロコンピュータ c 2 1 8 に供給される。マイクロコンピュータ c 2 1 8 は、伝送処理 I C c 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 I C c 2 1 2 から表示パネル c 2 0 3 に表示制御信号を出力して表示パネル c 2 0 3 に各種の表示を行わせる。

【0380】

タッチパネルまたは操作ボタン c 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 c 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル c 2 0 3 に出力し、受信された音声をスピーカ c 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ c 2 1 8 によって実行される。

また、スマートフォン c 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ c 2 1 8 は、GPS 受信 I C c 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

【0381】

さらに、タッチパネルまたは操作ボタン c 2 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ c 2 1 8 は、FM 放送受信回路 c 2 2 6 を起動し、受信された音声をスピーカ c 2 0 5 から出力させるための演算処理を実行する。

フラッシュメモリ c 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ c 2 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ c 2 1 8 は、必要に応じて、フラッシュメモリ c 2 1 7 に対してデータを書き込み、またフラッシュメモリ c 2 1 7 からデータを読み出す。

【0382】

電話通信またはデータ通信の機能は、ベースバンド通信回路 c 2 3 6 によって実現される。マイクロコンピュータ c 2 1 8 は、ベースバンド通信回路 c 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。

【符号の説明】

【0383】

- 10、30 チップ抵抗器
- 11 基板（シリコン基板）
- 12 第1接続電極（外部接続電極）
- 13 第2接続電極（外部接続電極）
- 14 抵抗回路網
- 20、103 抵抗体膜（抵抗体膜ライン）
- 21 導体膜（配線膜）
- F ヒューズ膜
- C 接続用導体膜

10

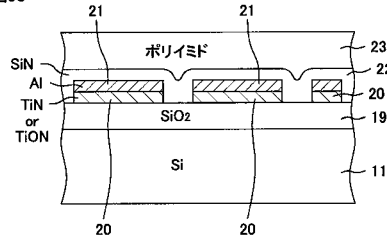
20

30

40

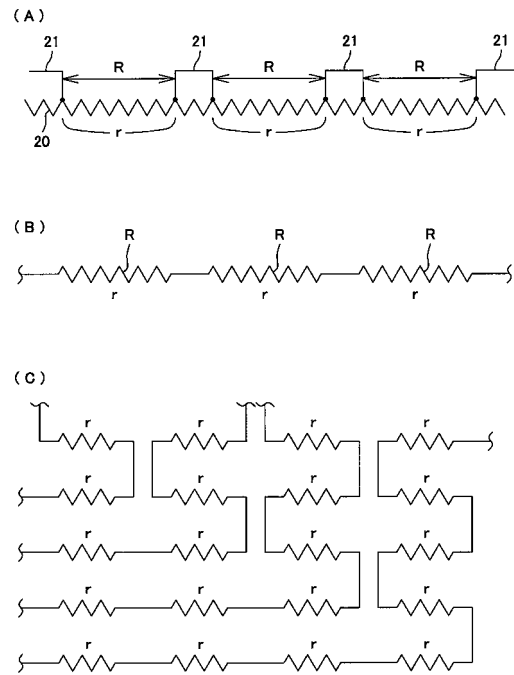
【図 3 C】

図3C



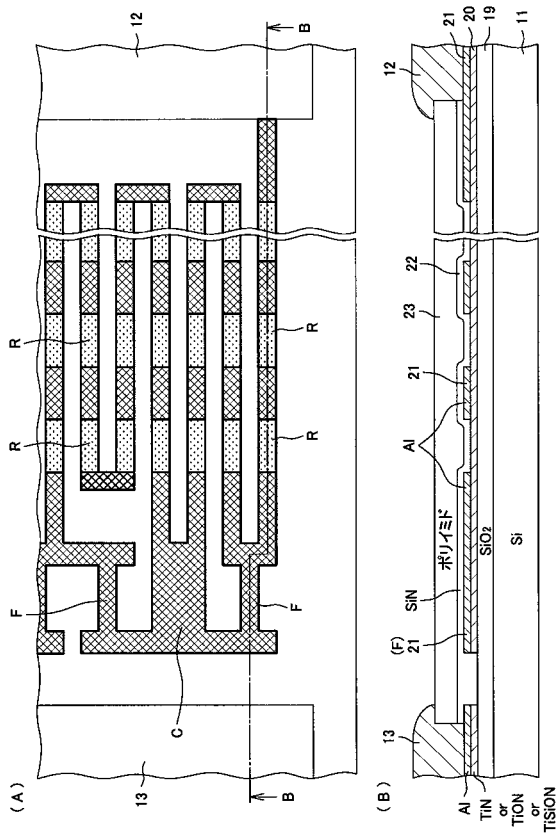
【図 4】

図4



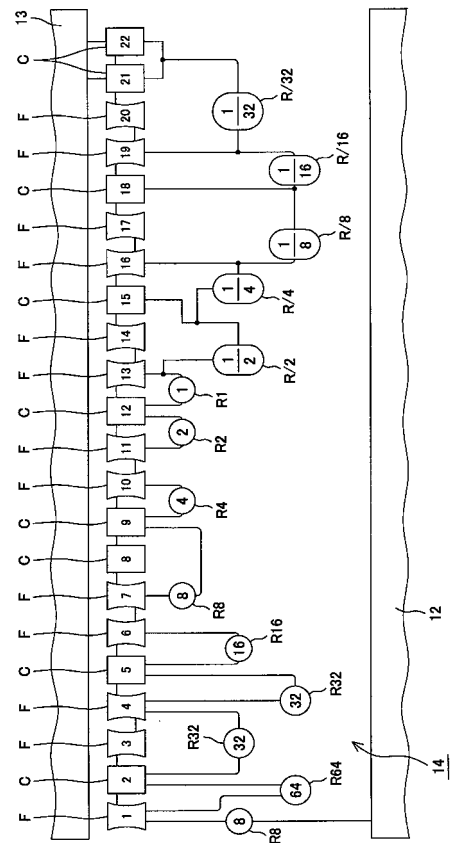
【図 5】

図5

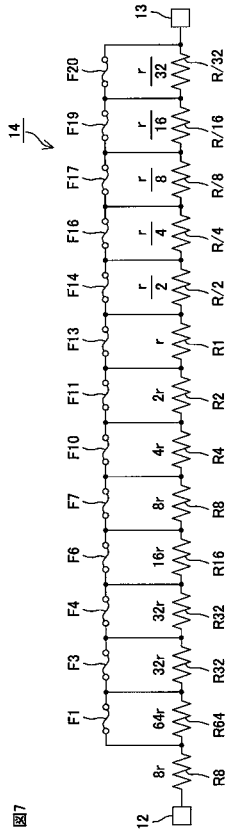


【図 6】

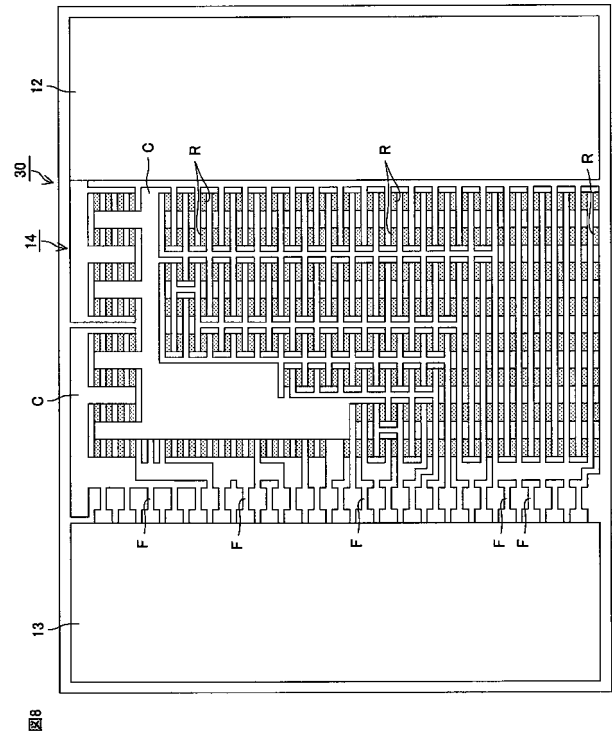
図6



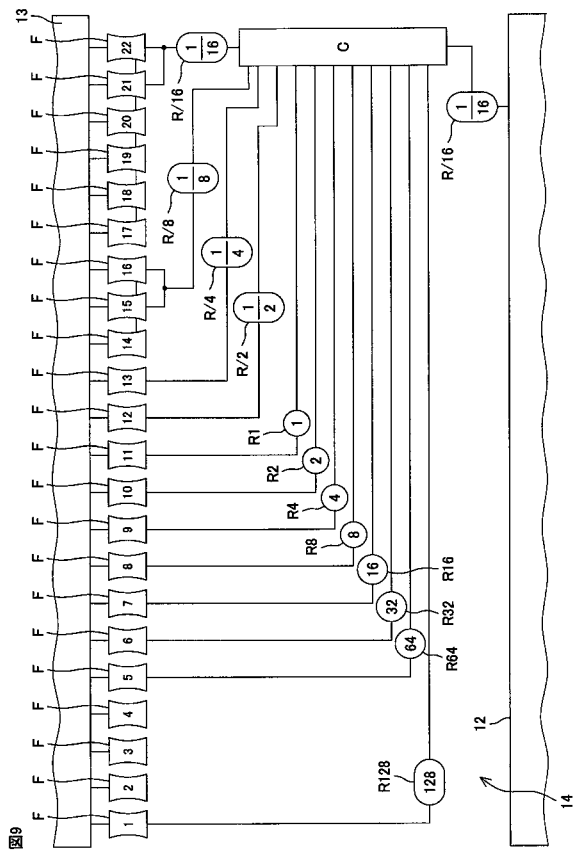
【图 7】



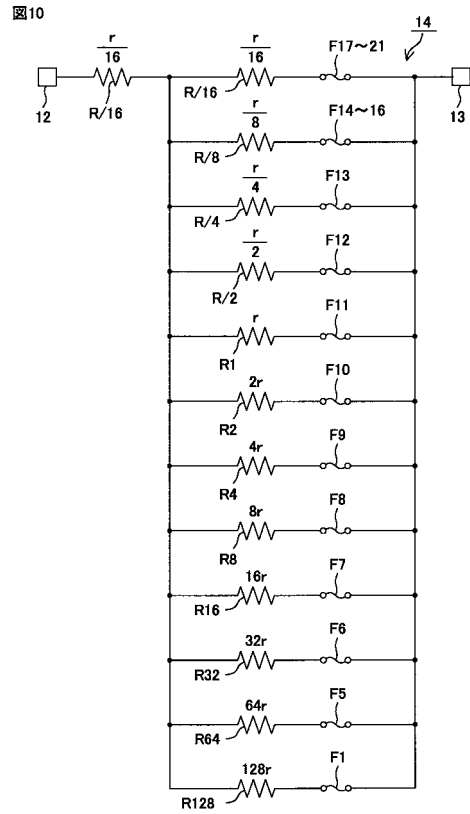
【 図 8 】



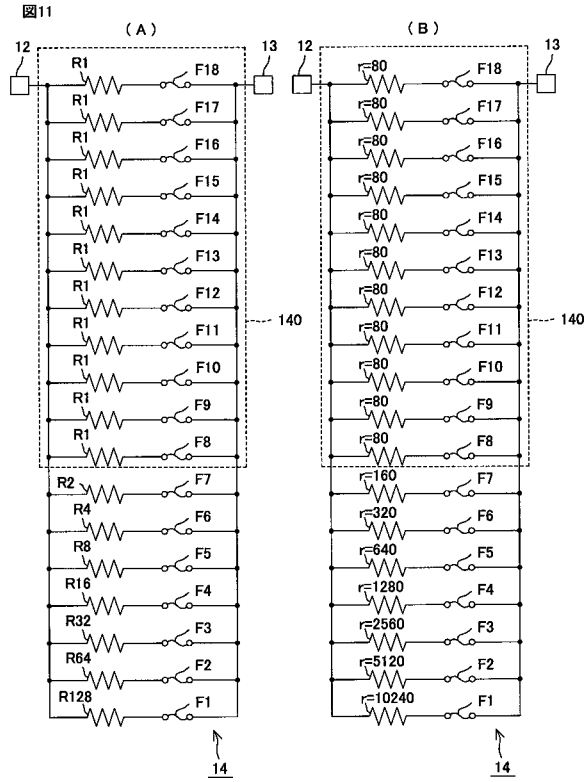
【図 9】



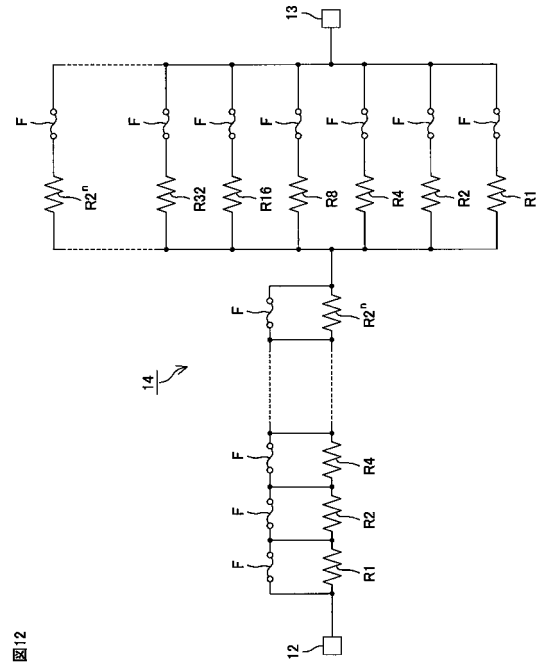
【 図 1 0 】



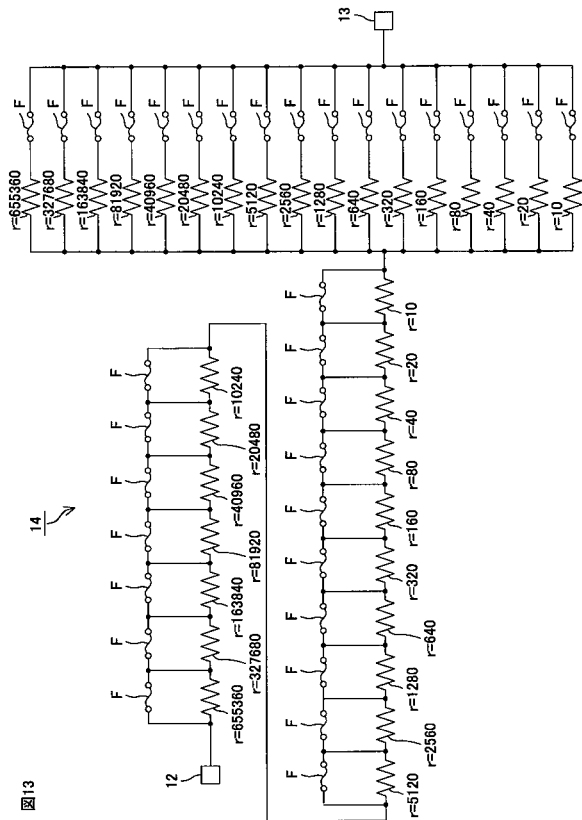
【図 1 1】



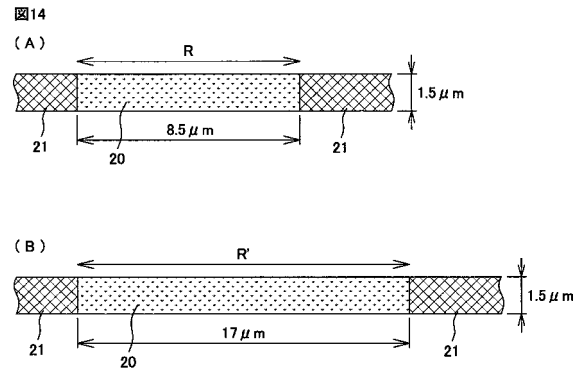
【図 1 2】



【図 1 3】

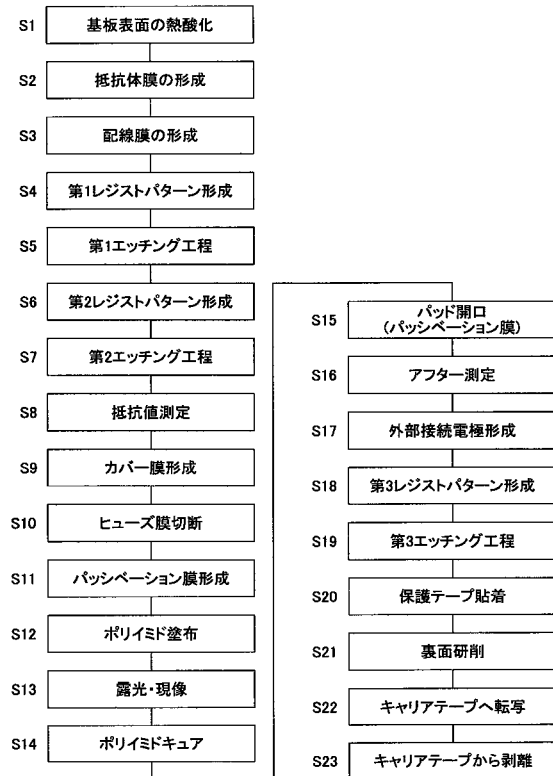


【図 1 4】



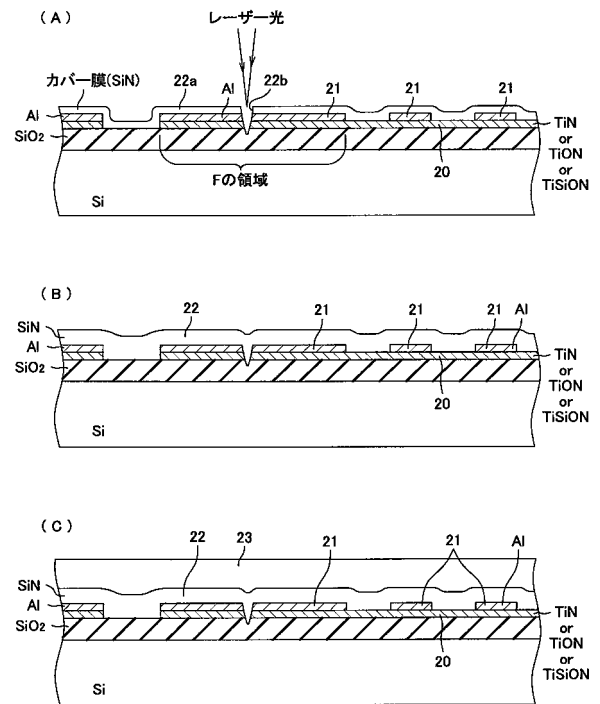
【図15】

図15



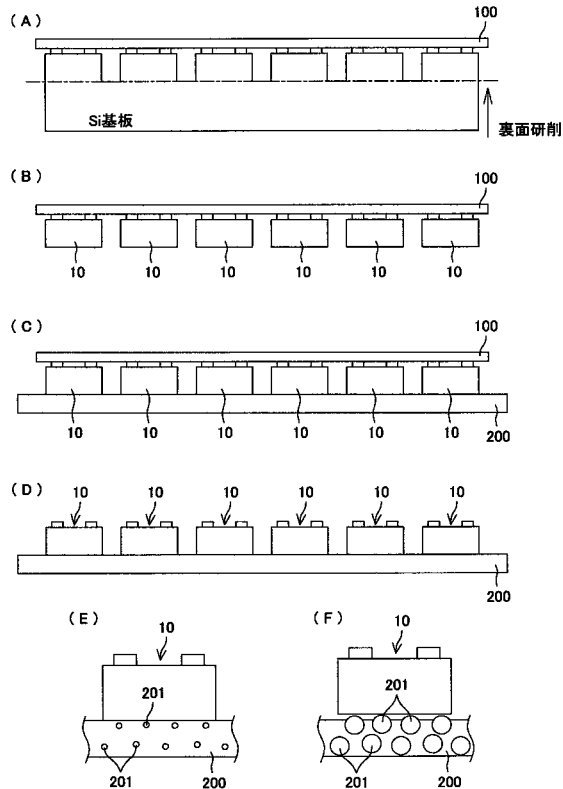
【図16】

図16



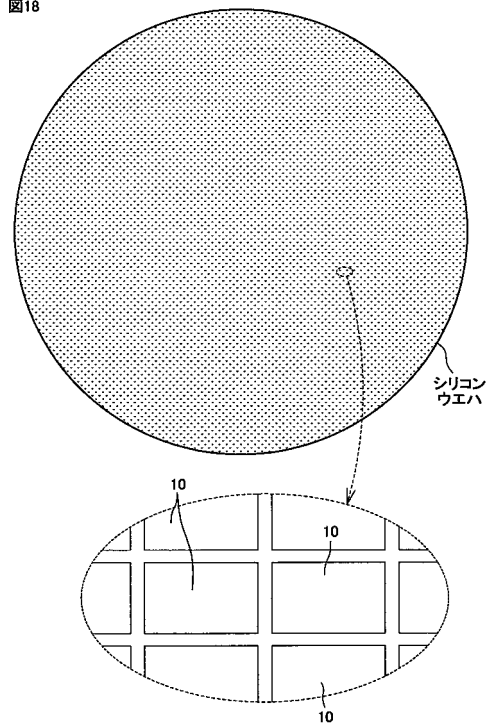
【図17】

図17



【図18】

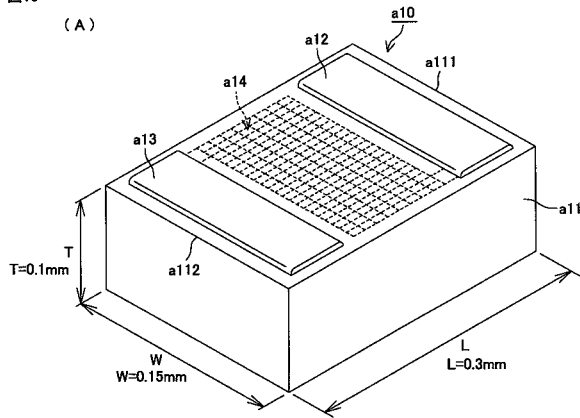
図18



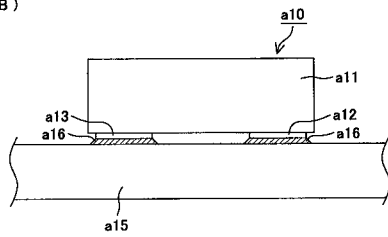
【図 19】

図19

(A)

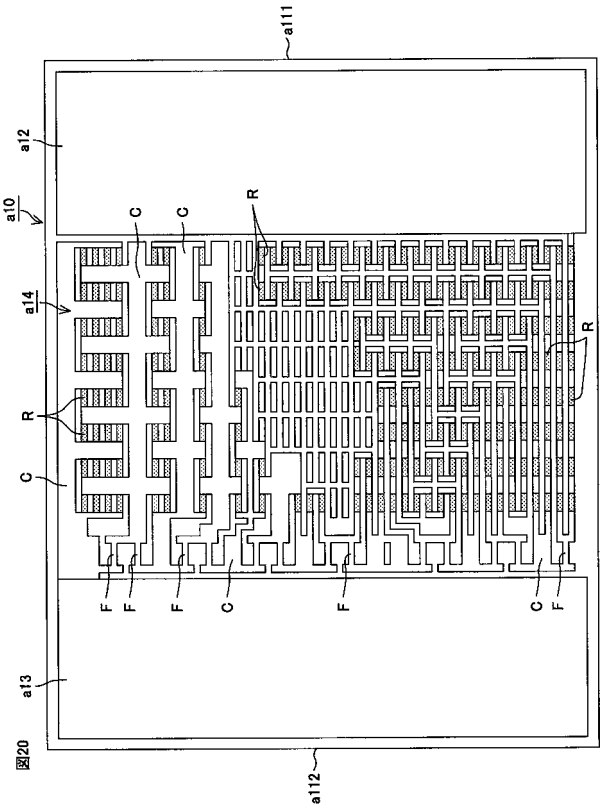


(B)

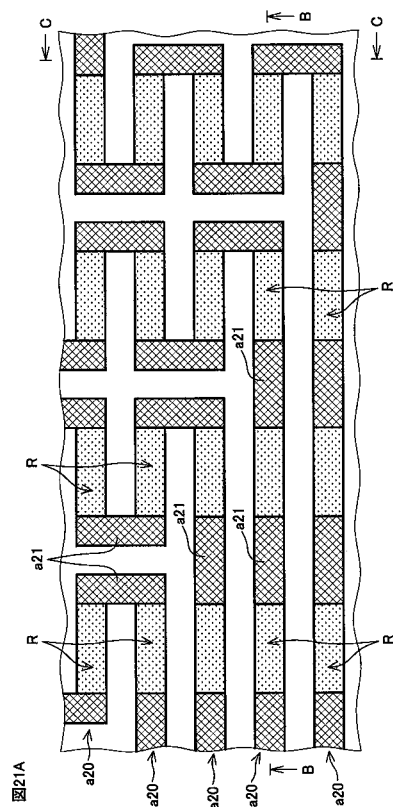


【図 20】

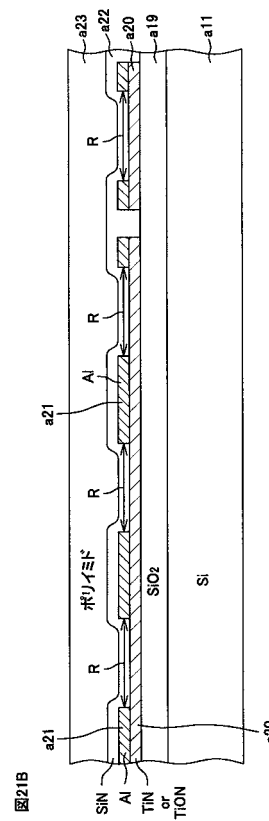
図20



【図 21 A】

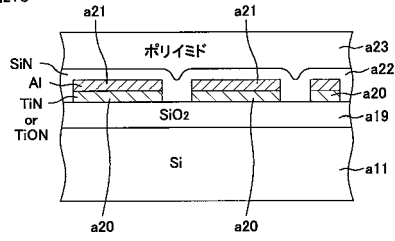


【図 21 B】



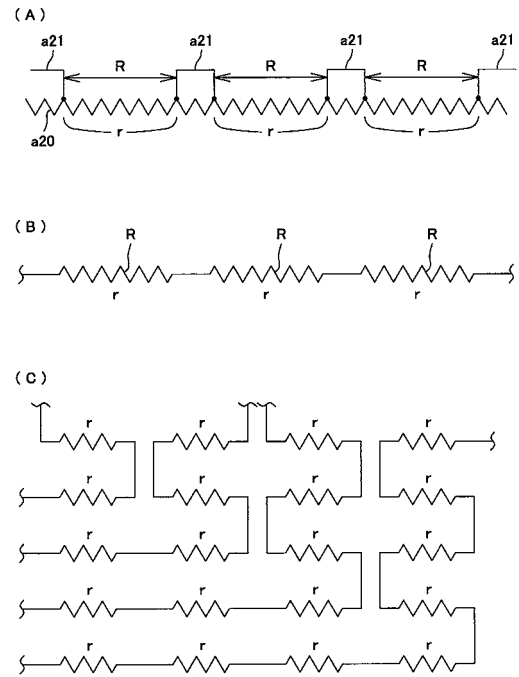
【図 21 C】

図21C



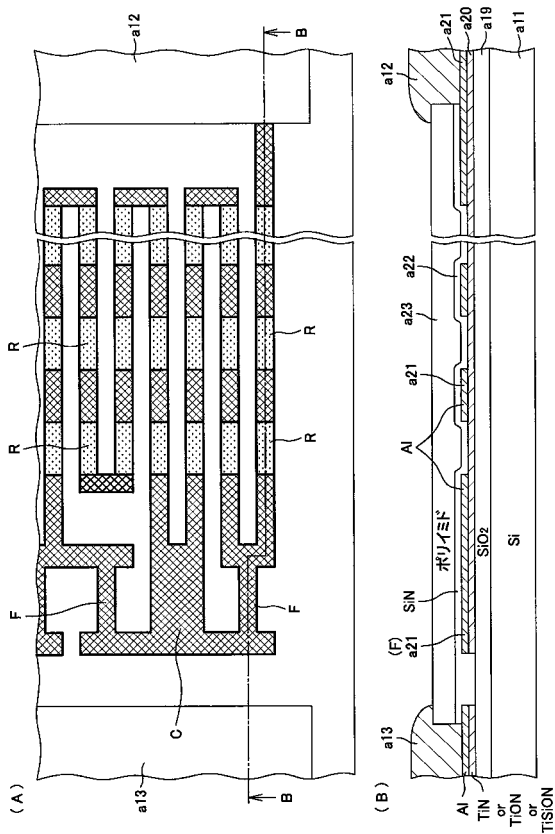
【図 22】

図22



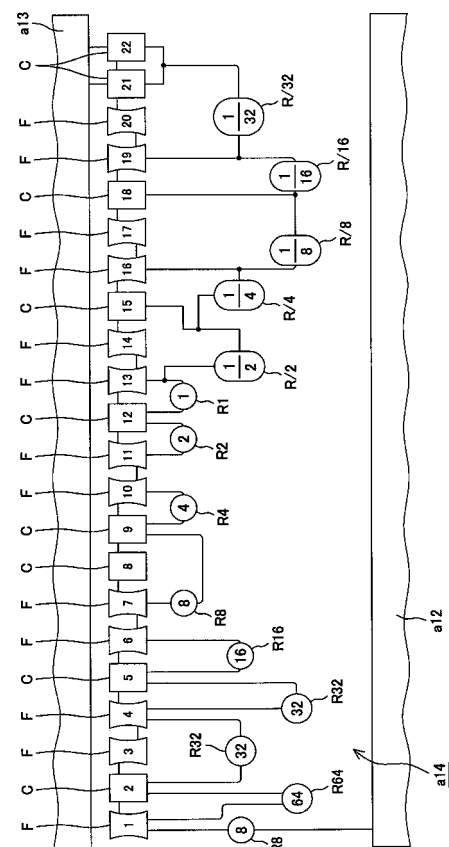
【図 23】

図23



【図 24】

図24



【図 25】

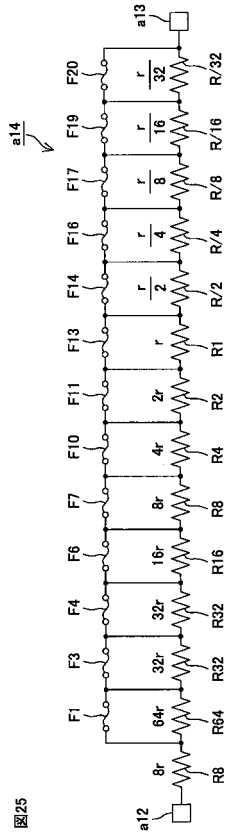


図25

【図 26】

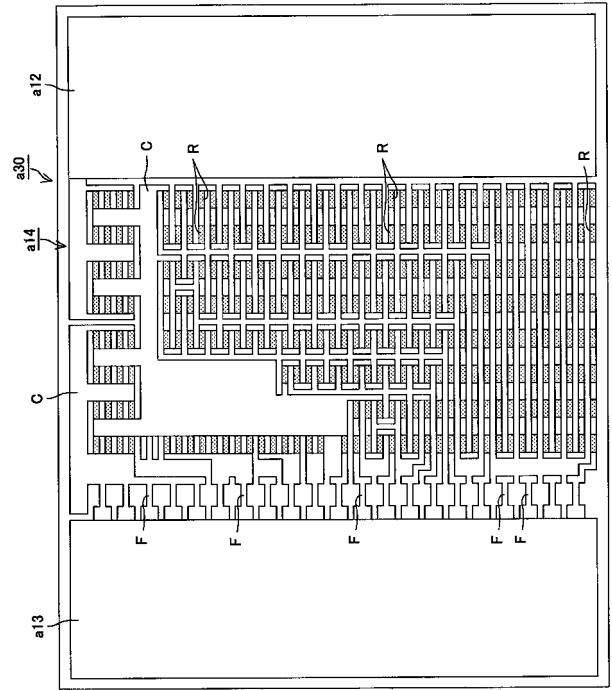


図26

【図 27】

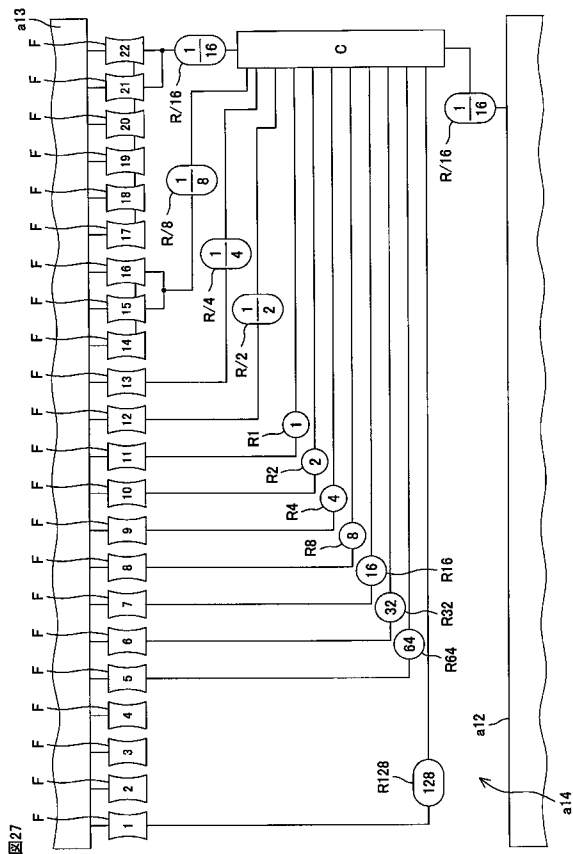
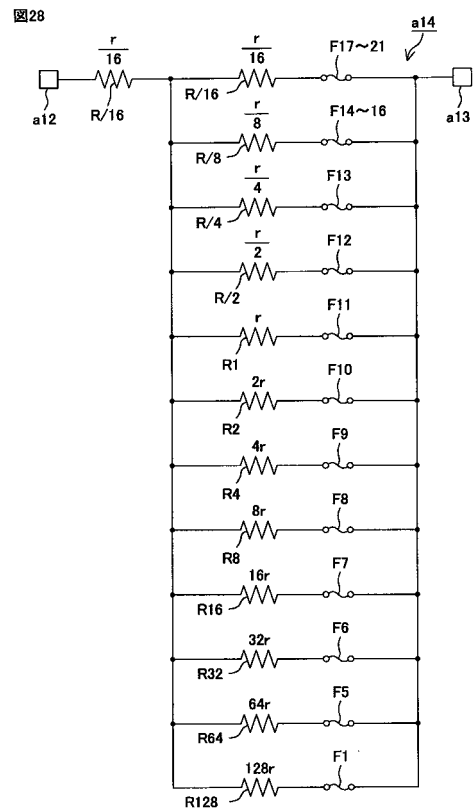
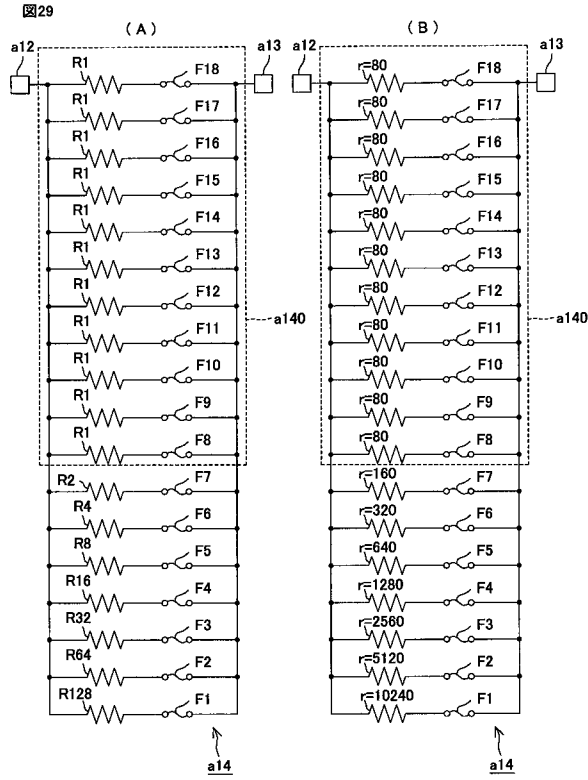


図27

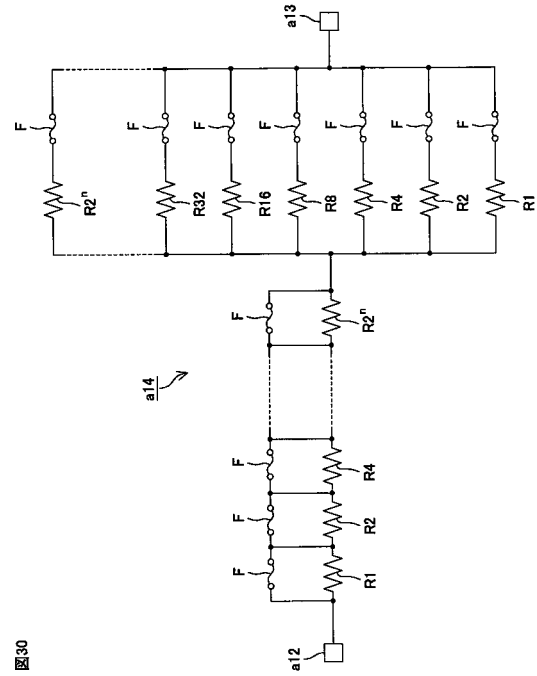
【図 28】



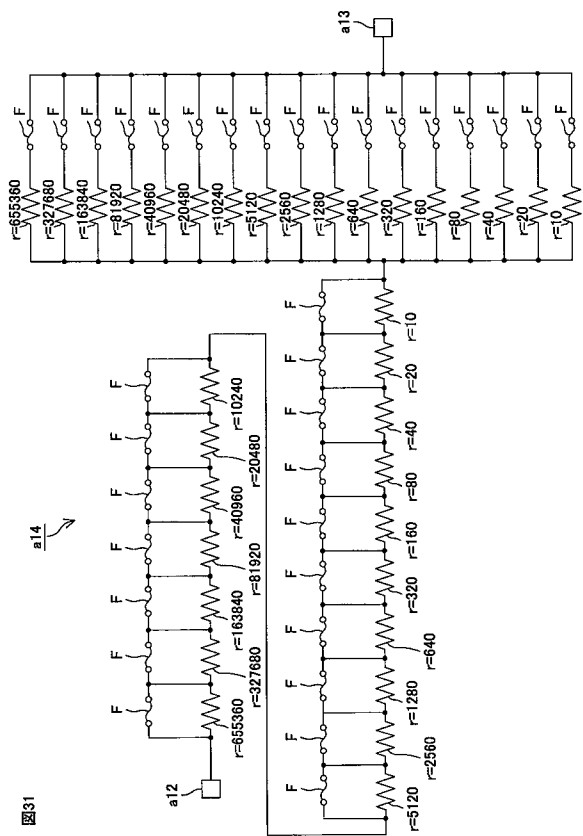
【図 29】



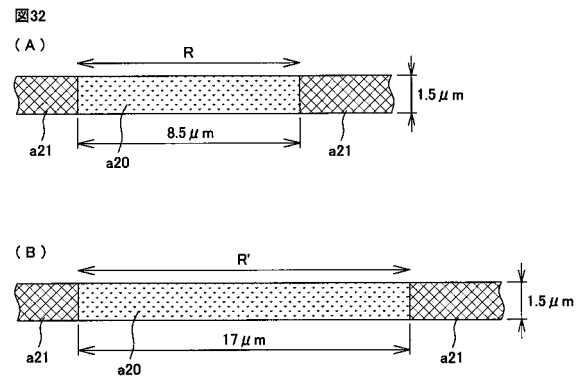
【図 30】



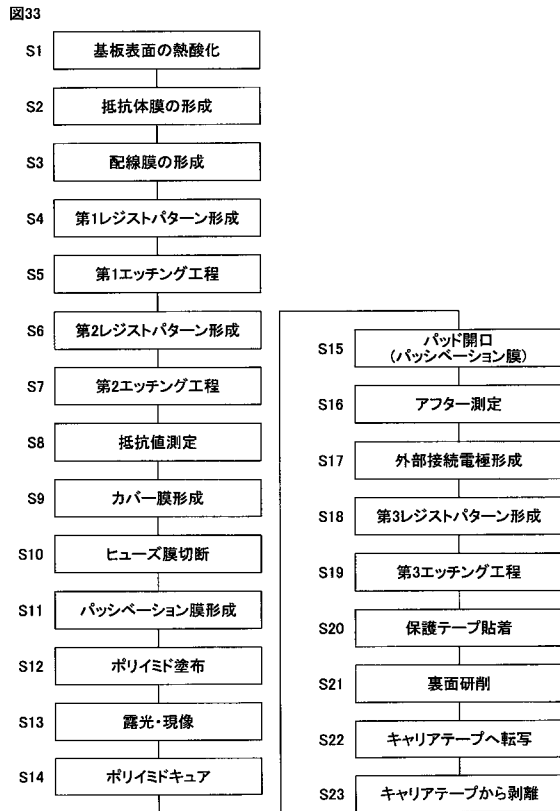
【図 31】



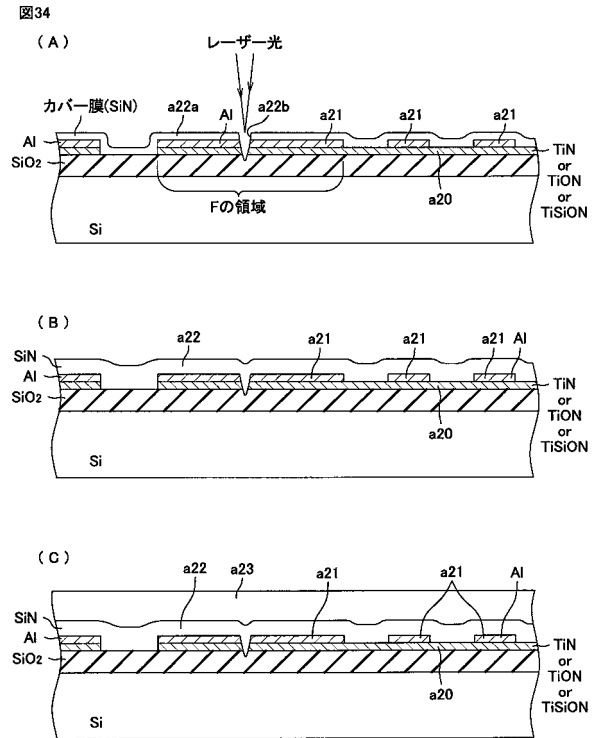
【図 32】



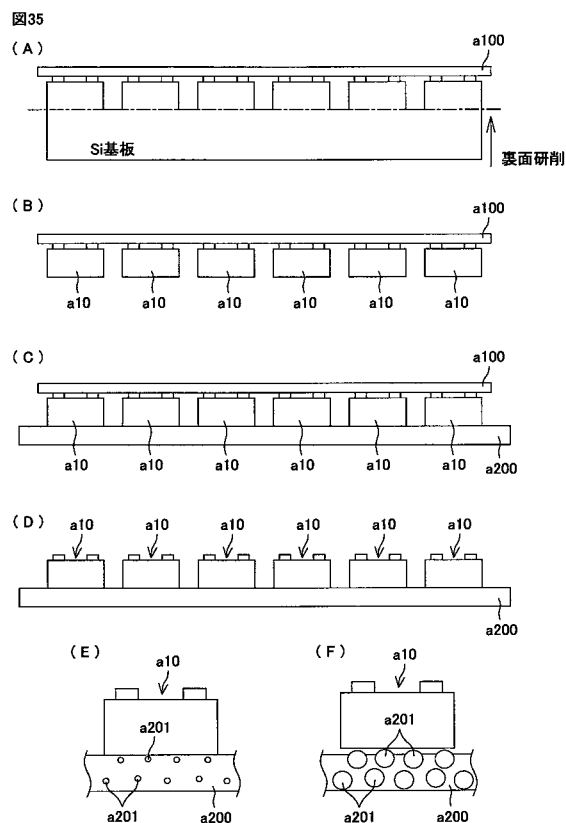
【 図 3 3 】



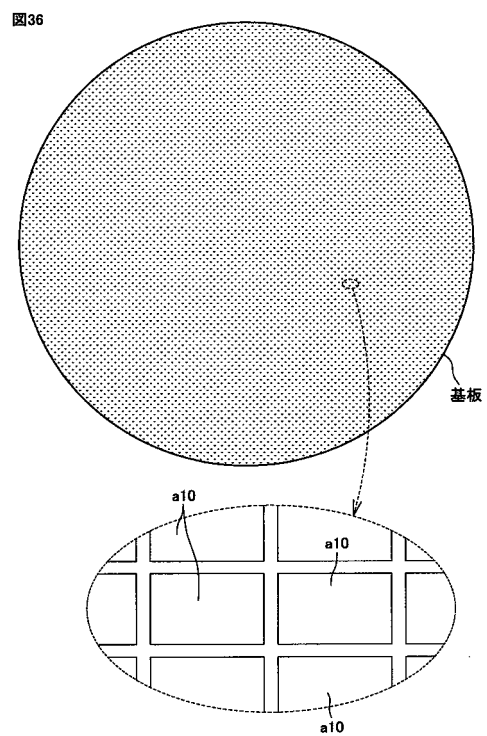
【図 3 4】



【図 3 5】

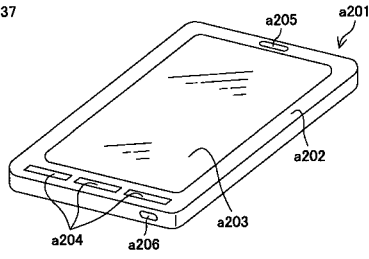


【図 3 6】



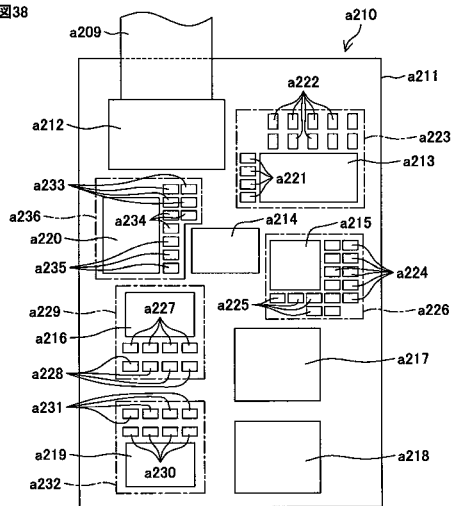
【図 37】

図37



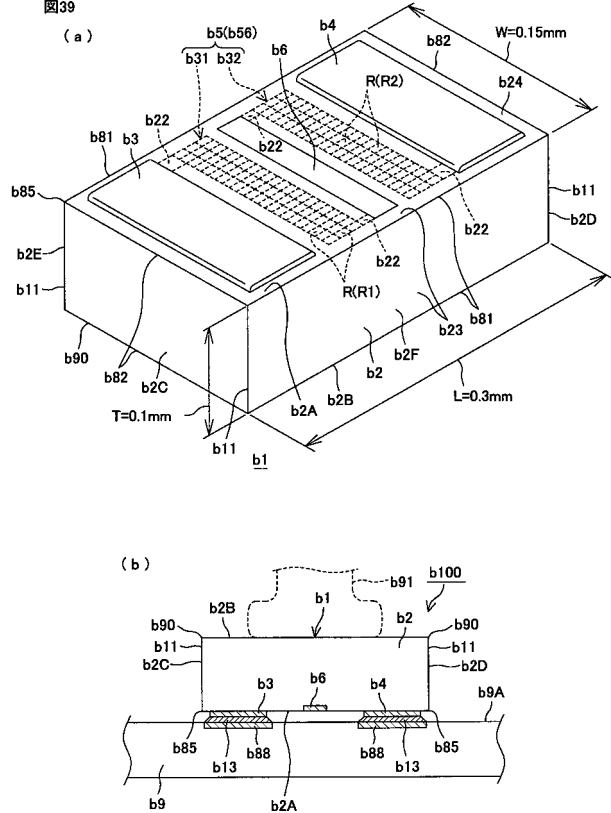
【図 38】

図38



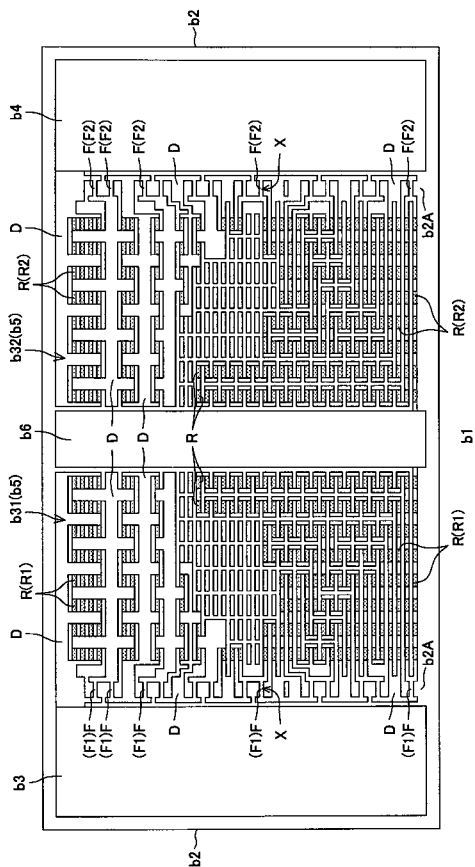
【図 39】

図39

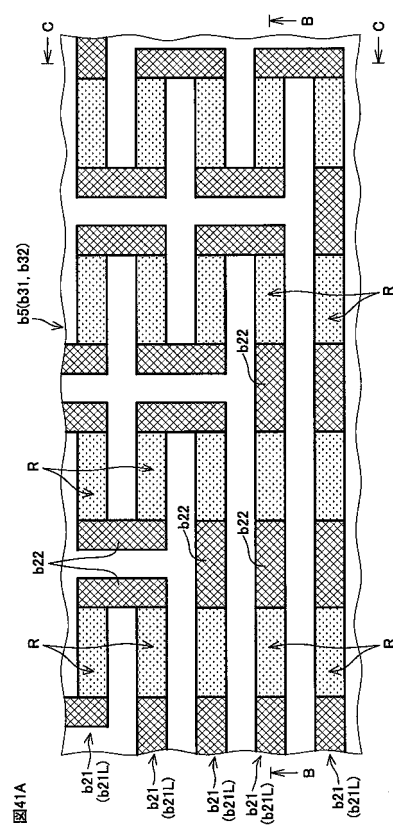


【図 40】

図40



【図 41 A】



【図 4 4】

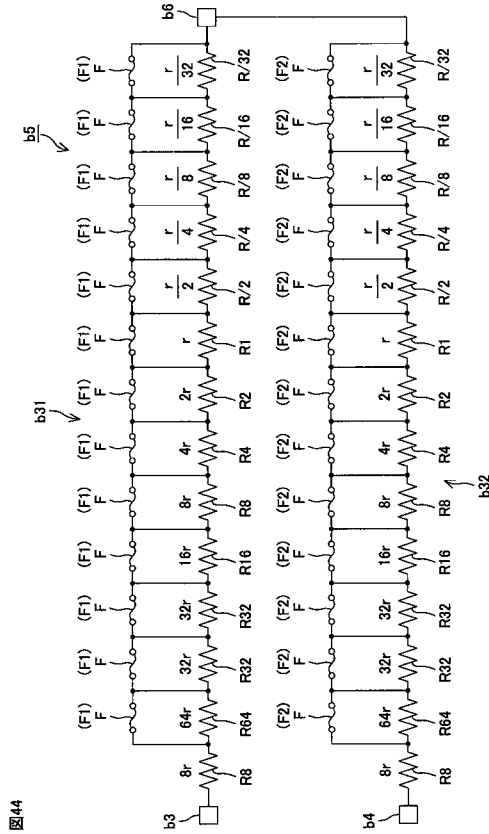


図44

【図 4 5】

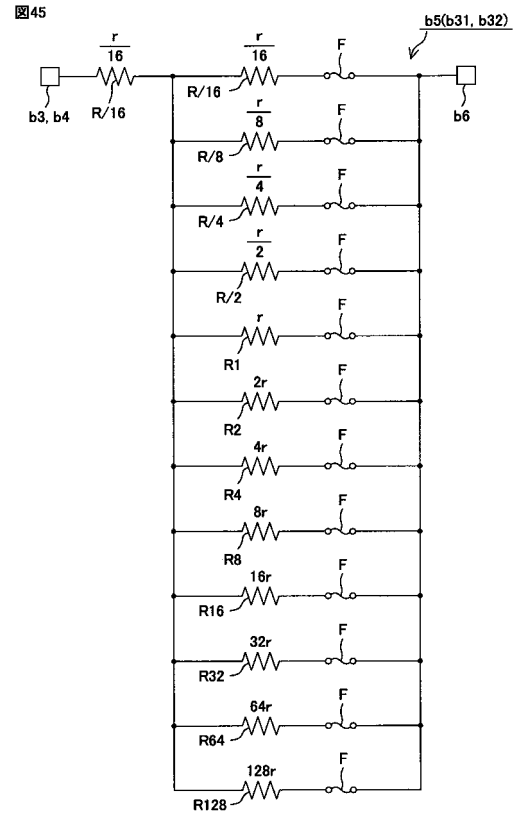


図45

【図 4 6】

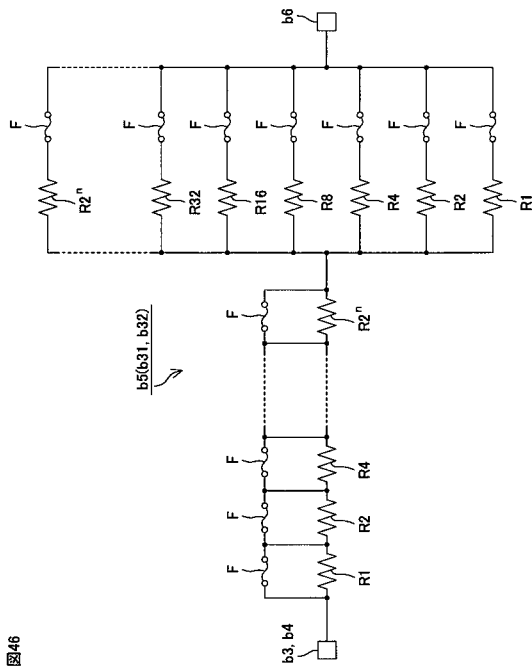


図46

【図 4 7】

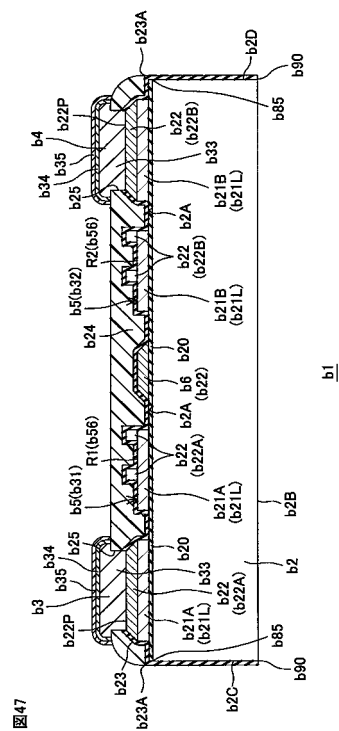
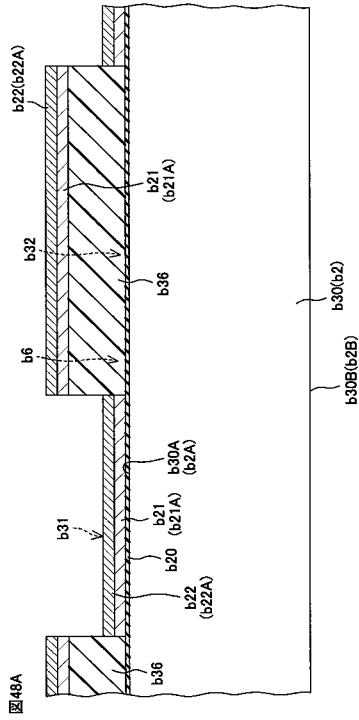
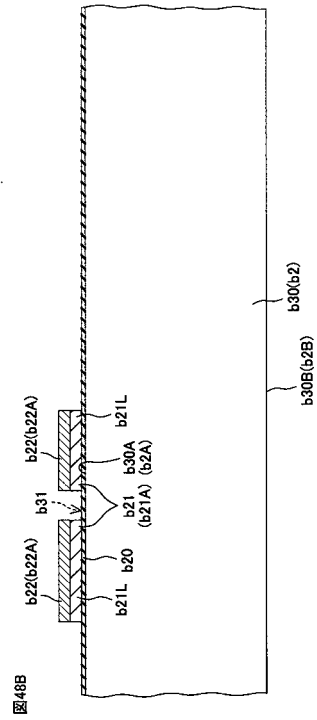


図47

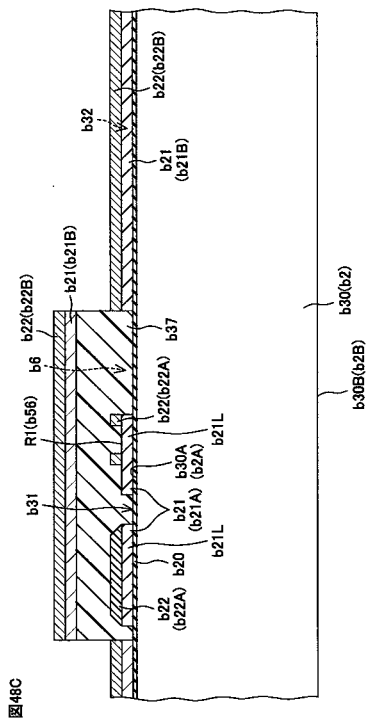
【图 4 8 A】



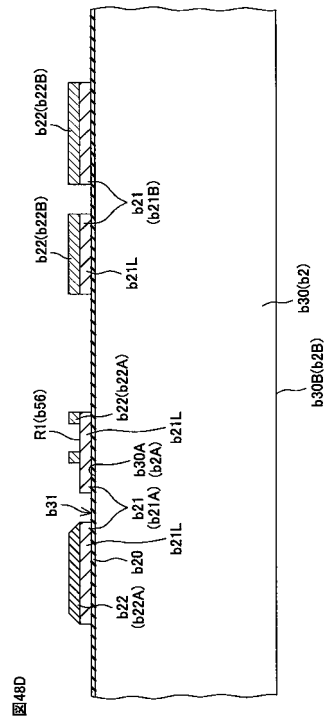
【图 4 8 B】



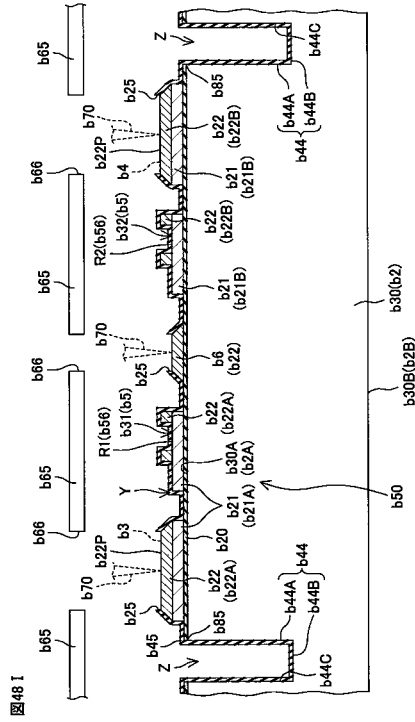
【图 4 8 C】



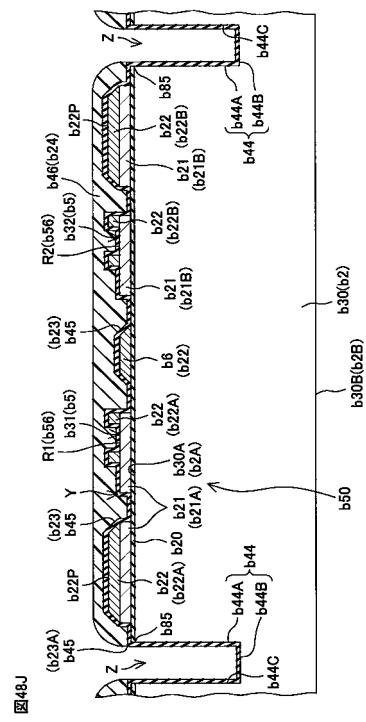
【図 4 8 D】



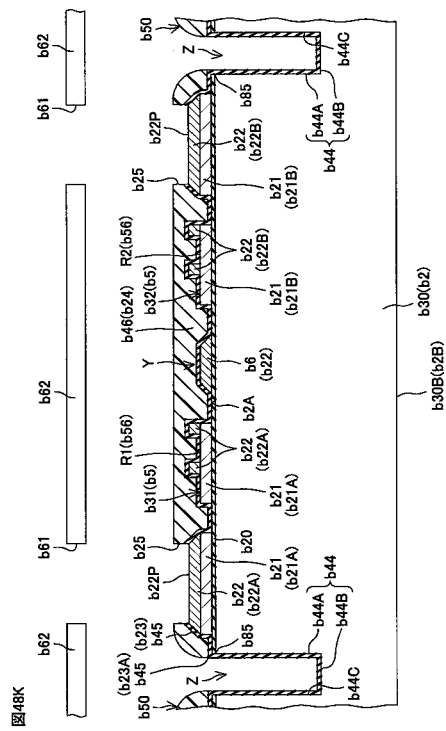
【 図 4 8 I 】



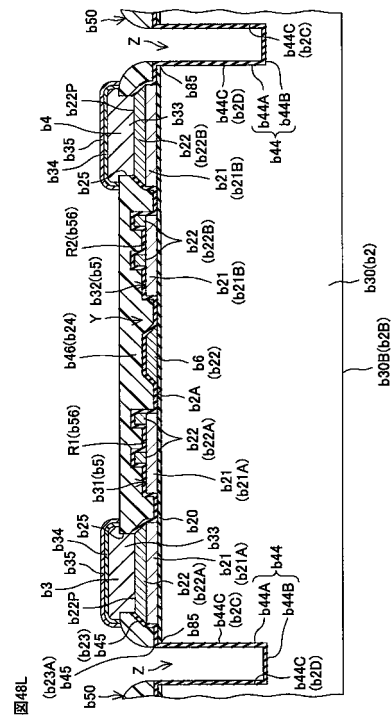
【图 4 8 J】



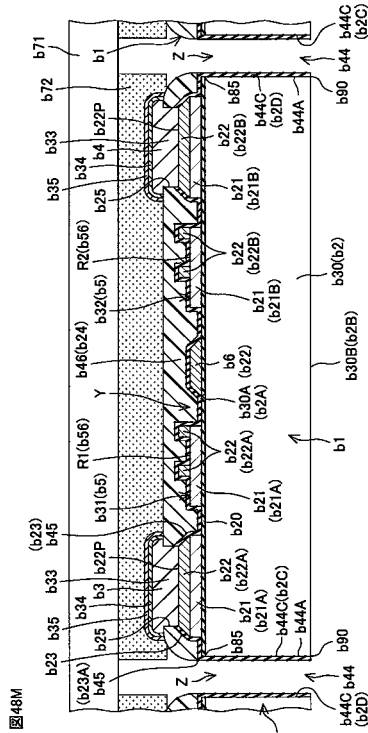
【図 4 8 K】



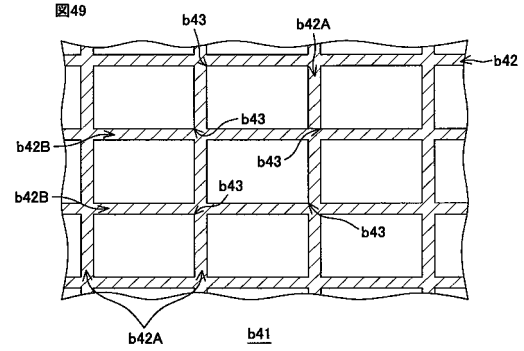
【図 4 8 L】



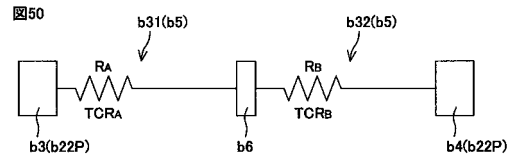
【図 48 M】



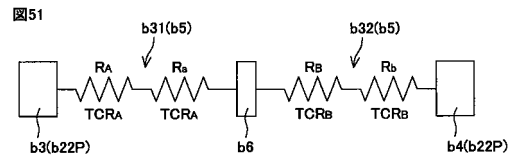
【図 49】



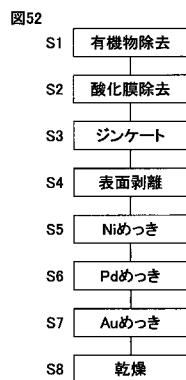
【図 50】



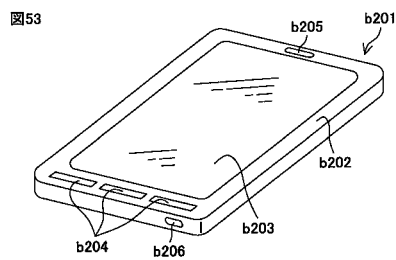
【図 51】



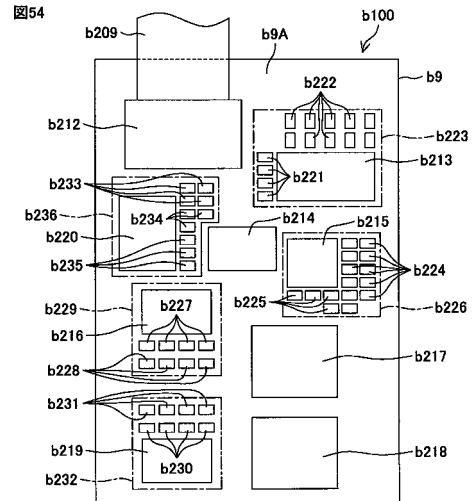
【図 52】



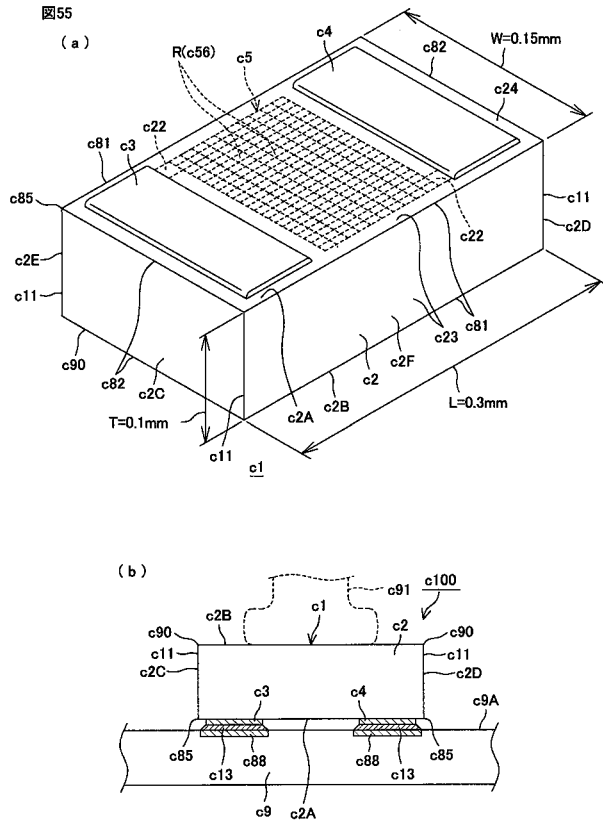
【図 53】



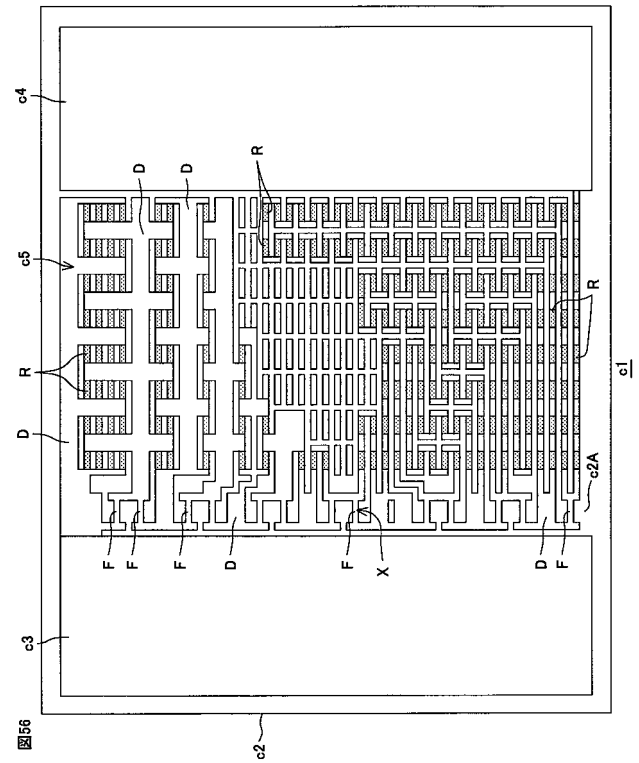
【図 54】



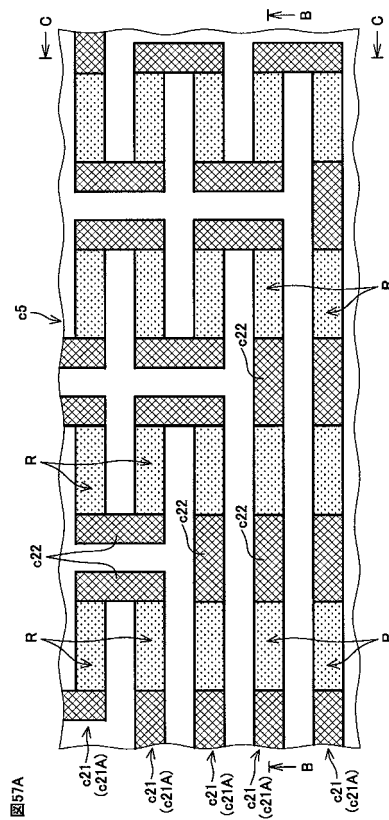
【図 5 5】



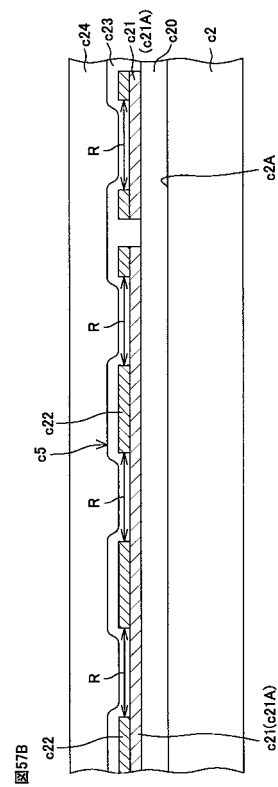
【図 5 6】



【図 5 7 A】

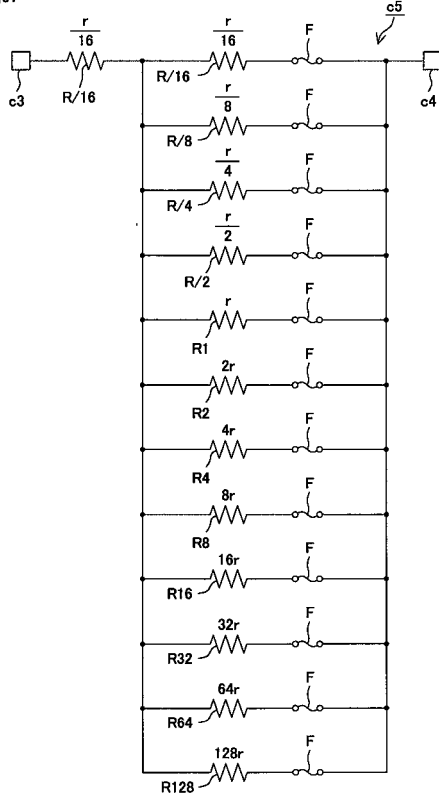


【図 5 7 B】

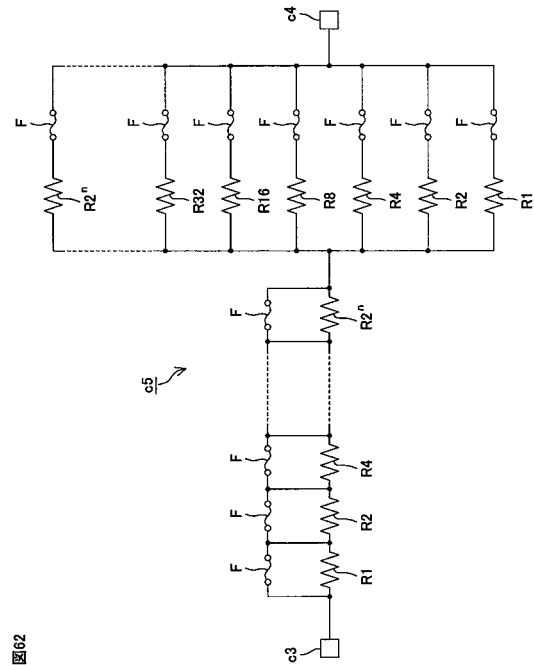


【図 6 1】

図61

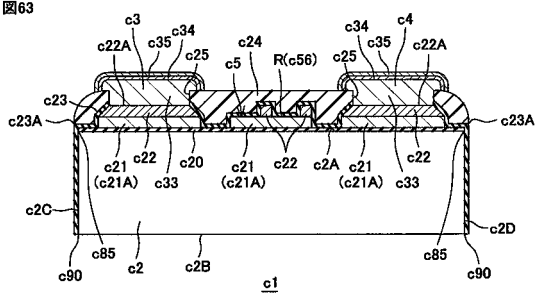


【図 6 2】



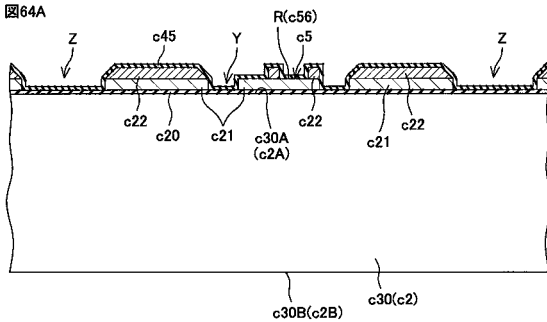
【図 6 3】

図63



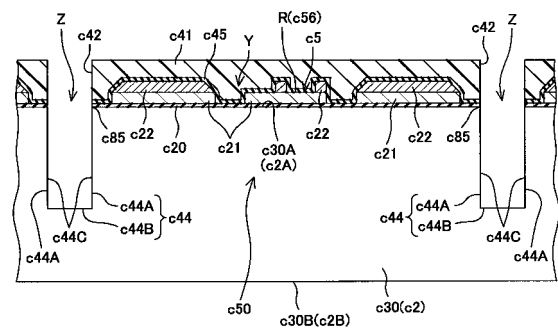
【図 6 4 A】

図64A



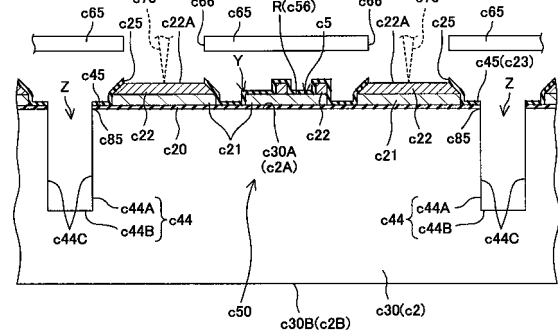
【図 6 4 B】

図64B



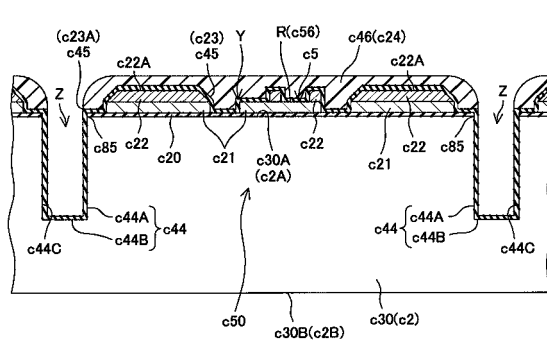
【図 6 4 C】

図64C



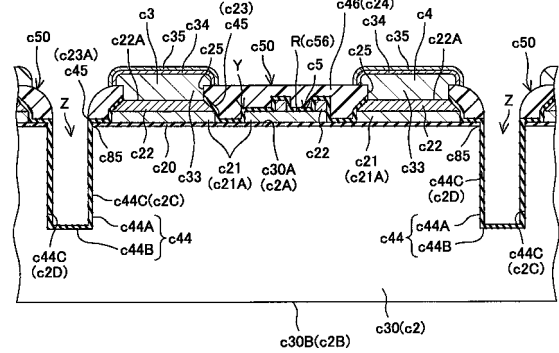
【図 6 4 D】

図64D



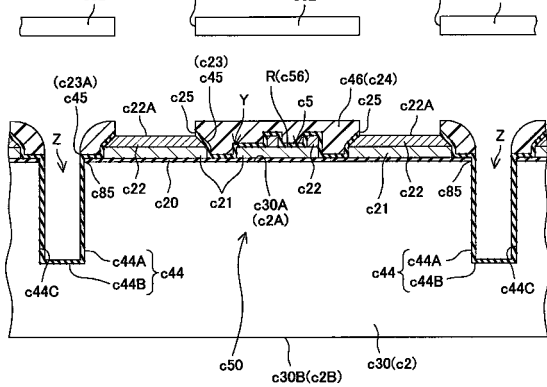
【図 6 4 F】

図64F



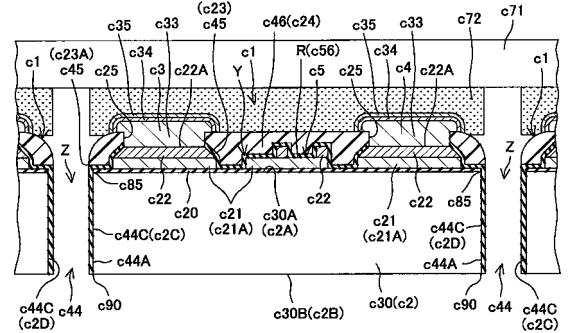
【図 6 4 E】

図64E



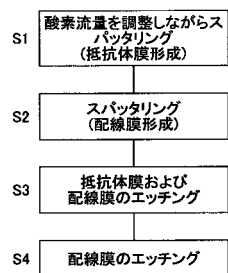
【図 6 4 G】

図64G



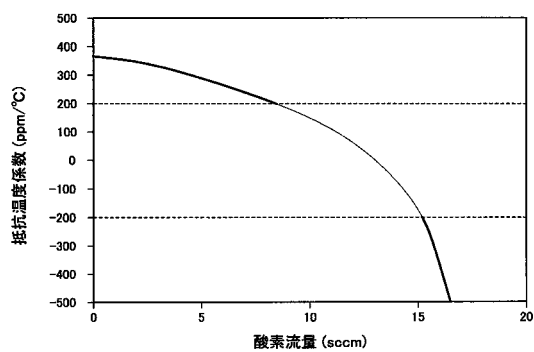
【図 6 5】

図65



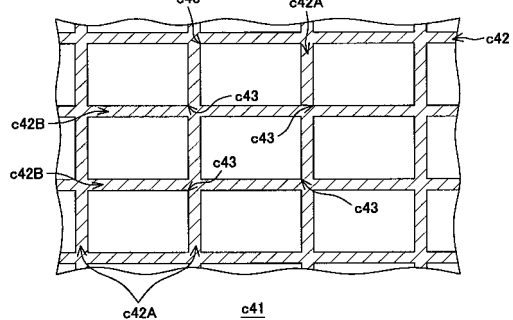
【図 6 6】

図66



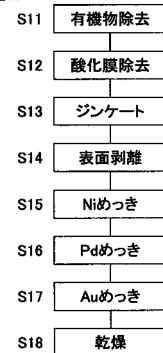
【図 6 7】

図67



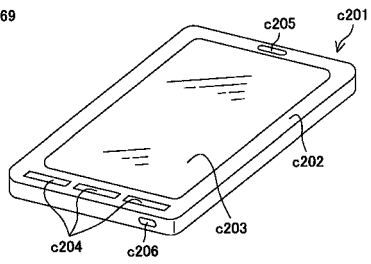
【図 6 8】

図68



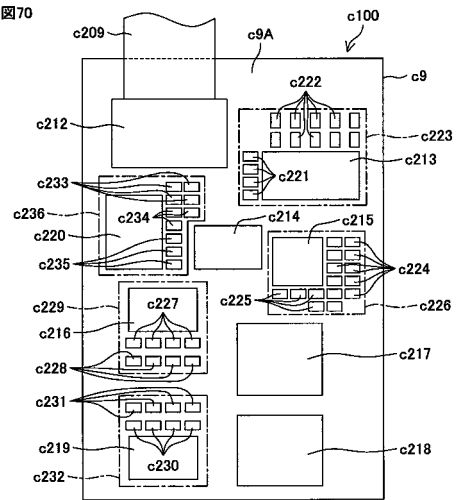
【図 69】

図69



【図 70】

図70



フロントページの続き

(31)優先権主張番号 特願2012-67970(P2012-67970)

(32)優先日 平成24年3月23日(2012.3.23)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2012-81627(P2012-81627)

(32)優先日 平成24年3月30日(2012.3.30)

(33)優先権主張国・地域又は機関

日本国(JP)