

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 15 日(15.12.2016)



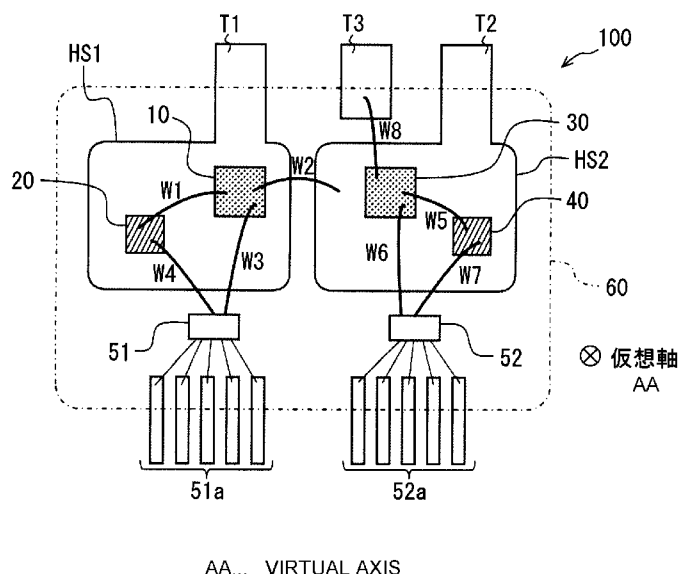
(10) 国際公開番号
WO 2016/199360 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
H01L 23/48 (2006.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2016/002512
- (22) 国際出願日: 2016 年 5 月 24 日(24.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-116936 2015 年 6 月 9 日(09.06.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者: 加藤 信之(KATO, Nobuyuki); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: This semiconductor device is provided with: a first terminal (T1) and a second terminal (T2); a first switching element (10) that controls an output current flowing between the first terminal and the second terminal; a second switching element (20) connected in parallel to the first switching element; and a drive circuit unit (50), which outputs control signals to the first switching element and the second switching element, and which independently drives the switching elements. The drive circuit unit drives the first switching element and the second switching element in parallel. The second switching element is a part excluding a first control signal path (LS1), in which the control signals are transmitted by connecting the drive circuit unit and the first switching element to each other, and a first output current path (LC1), in which an output current flows from the first terminal to the second terminal via the first switching element, said second switching element being disposed at a position at distances further than the first switching element from the first terminal and the second terminal. A second output current path (LC2), in which an output current flows from the first terminal to the second terminal via the second switching element, is set longer than the first output current path.

(57) 要約:

[続葉有]



半導体装置は、第1端子（T1）および第2端子（T2）と、第1端子と第2端子との間に流れる出力電流を制御する第1スイッチング素子（10）と、第1スイッチング素子と並列接続された第2スイッチング素子（20）と、第1スイッチング素子と第2スイッチング素子とに制御信号を出力して、それぞれ独立に駆動する駆動回路部（50）と、を備える。駆動回路部は第1スイッチング素子と第2スイッチング素子とを並列に駆動させる。第2スイッチング素子は、駆動回路部と第1スイッチング素子とを互いに結んで制御信号が通電する第1制御信号経路（LS1）、および、第1端子から第1スイッチング素子を経由して第2端子に至って出力電流が通電する第1出力電流経路（LC1）、を除く部分であって、且つ、第1端子および第2端子からの距離が、第1スイッチング素子よりも遠い位置に配置され、第1端子から第2スイッチング素子を経由して第2端子に至って出力電流が通電する第2出力電流経路（LC2）が、第1出力電流経路よりも長くされている。

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2015年6月9日に提出された日本出願番号2015-116936号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、複数のスイッチング素子が並列で駆動される半導体装置に関する。

背景技術

[0003] 特許文献1のように、従来から、IGBTとMOSFETとを並列接続してスイッチング素子として用いる半導体装置が知られている。この半導体装置は、IGBTとMOSFETのいずれか一方が、制御回路の近傍に配置され、他方が遠方に配置されている。そして、制御回路の近傍に配置された素子Aは、制御回路から与えられたゲート制御信号を仲介して、遠方に配置された素子Bに与える。

[0004] これによれば、各々の素子のゲートにゲート制御信号が与えられるとき、ゲート制御信号の伝達距離の短い素子Aが先にオンし、伝達距離の長い素子Bが追ってオンするようにできる。また、例えば、制御回路の近傍に配置された素子AがRC-IGBT（逆導通IGBT）であり、素子BがMOSFETであると仮定すると、ターンオフ時には、IGBTに逆接続されたダイオードを介してMOSFETが先にオフするため、MOSFETに大きな定格電流を持たせる必要がない。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-125806号公報

発明の概要

[0006] ところで、特許文献1に記載の半導体装置では、平面レイアウトとして、

スイッチング素子の出力電流が流れる電源ラインと制御回路との間に I G B T および M O S F E T が実装されている。このため、スイッチング素子の出力端子間にショート故障が発生した場合に、制御回路に対して遠方、すなわち電源ラインの近傍に配置された M O S F E T に過電流が流れる虞がある。この過電流への耐量を確保するために M O S F E T の体格が大きくなってしまふことが懸念される。とくに、近年、低損失のシリコンカーバイド (S i C) を主成分として構成された素子が利用されつつあるが、シリコンカーバイドは高価であるため、素子サイズの拡大はコスト高に直結してしまう。

[0007] 本開示は、複数のスイッチング素子が並列で駆動する半導体装置において、複数の素子のうち所定のスイッチング素子の短絡耐量を小さく抑えることのできる半導体装置を提供することを目的とする。

[0008] 本開示の一態様によれば、半導体装置は、第 1 端子および第 2 端子と、第 1 端子と第 2 端子との間に流れる出力電流を制御する第 1 スwitching 素子と、第 1 スwitching 素子と並列接続された第 2 スwitching 素子と、第 1 スwitching 素子と第 2 スwitching 素子とに制御信号を出力して、それぞれ独立に駆動する駆動回路部と、を備える。駆動回路部は第 1 スwitching 素子と第 2 スwitching 素子とを並列に駆動させる。第 2 スwitching 素子は、駆動回路部と第 1 スwitching 素子とを互いに結んで制御信号が通電する第 1 制御信号経路、および、第 1 端子から第 1 スwitching 素子を経由して第 2 端子に至って出力電流が通電する第 1 出力電流経路、を除く部分であって、且つ、第 1 端子および第 2 端子からの距離が、第 1 スwitching 素子よりも遠い位置に配置され、第 1 端子から第 2 スwitching 素子を経由して第 2 端子に至って出力電流が通電する第 2 出力電流経路が、第 1 出力電流経路よりも長くされている。

[0009] 上記したように、第 2 出力電流経路は第 1 出力電流経路よりも長くされている。換言すれば、第 1 端子から第 2 スwitching 素子を経由して第 2 端子に至る配線長が、第 1 スwitching 素子を経由する配線長に較べて長くされている。各スイッチング素子を経由する電流経路は寄生的なインダクタを形

成するが、本開示によれば、第1端子および第2端子から見た第2スイッチング素子の誘導性リアクタンスを、第1スイッチング素子のリアクタンスよりも大きくすることができる。

[0010] よって、仮にスイッチング素子に短絡が発生した場合であっても、その短絡電流はリアクタンスの低い第1スイッチング素子側に流れることになる。したがって、第2スイッチング素子の短絡耐量を小さく抑えることができる。

図面の簡単な説明

[0011] [図1]第1実施形態にかかる半導体装置の概略構成を示す回路図である。

[図2]半導体装置の概略構成を示す上面図である。

[図3]第2実施形態にかかる半導体装置の概略構成を示す上面図である。

[図4]図3におけるI-V-I-V線に沿う断面図である。

[図5]変形例1にかかる半導体装置の概略構成を示す上面図である。

[図6]変形例2にかかる半導体装置の概略構成を示す上面図である。

[図7]第3実施形態にかかる半導体装置の概略構成を示す回路図である。

[図8]半導体装置の概略構成を示す上面図である。

[図9]その他の実施形態にかかる半導体装置の概略構成を示す上面図である。

発明を実施するための形態

[0012] 以下、本開示の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。なお、上面図各図において、スイッチング素子の配置の認識を容易にするため、ハッチングを付している。

[0013] (第1実施形態)

最初に、図1および図2を参照して、本実施形態に係る半導体装置の概略構成について説明する。

[0014] 本実施形態における半導体装置は、例えば、負荷と直流電源との間に介挿されて直流電圧を交流電圧に変換するインバータである。

[0015] 先ず、図1を参照して、半導体装置100の回路構成について説明する。

図1に示すように、この半導体装置100は、それぞれスイッチング素子10～40で構成された上アームUおよび下アームLと、各アームを構成するスイッチング素子10～40のゲートに電圧を供給する駆動回路部50を備えるインバータ回路として構成されている。

[0016] 具体的には、半導体装置100は、高電位側の電源が接続される第1端子T1と、第1端子T1よりも低電位の電源が接続される第3端子T3と、を備えている。第1端子T1と第3端子T3の間には、IGBT10とIGBT30とが直列に接続されている。そして、IGBT10と並列にMOSFET20が接続され、IGBT30と並列にMOSFET40が接続されている。IGBT10とIGBT30との接続点、すなわちMOSFET20とMOSFET40との接続点は第2端子T2に接続されている。IGBT10は第1スイッチング素子に相当し、MOSFET20は第2スイッチング素子に相当し、IGBT30は第3スイッチング素子に相当し、MOSFET40は第4スイッチング素子に相当する。

[0017] 本実施形態におけるIGBT10は逆導通IGBT（RC-IGBT）であり、図1に示すように、IGBT10のエミッターコレクタ間に還流ダイオード11が接続されている。同様に、IGBT30は逆導通IGBT（RC-IGBT）であり、IGBT30のエミッターコレクタ間に還流ダイオード31が接続されている。本実施形態では、IGBT10、30はシリコンを主成分として構成され、MOSFET20、40は、低損失を目的にシリコンカーバイドを主成分として構成されている。

[0018] 図1に示すように、IGBT10およびMOSFET20が上アームUを構成しており、IGBT30およびMOSFET40が下アームLを構成している。そして、後述の駆動回路部50によって上アームUと下アームLが交互にオンオフされ、第1端子T1と第3端子T3の間に流れる直流電圧が交流電圧に変換されるようになっている。このようにして、負荷200には交流電流が流れる。

[0019] 駆動回路部50は、第1駆動回路部（1st DRV）51と第2駆動回路部（2nd

DRV) 52とを有している。第1駆動回路部51はIGBT10およびMOSFET20に制御信号を出力している。すなわち、第1駆動回路部51がIGBT10およびMOSFET20のゲートにゲート電圧を印加している。本実施形態における第1駆動回路部51は、例えば、上アームUのターンオンに際して、最初にIGBT10をオンし、追ってMOSFET20をオンするようにゲート電圧を制御している。これは、オン抵抗がIGBT10よりも低く抑制できるシリコンカーバイドのMOSFET20に定常損失を担わせるためである。これにより、上アームUのオン状態において、IGBTのみで駆動される構成に較べて、定常損失を抑制することができる。

[0020] また、IGBT10とMOSFET20の出力電流比はIGBT10側が大きく、MOSFET20のチップサイズ（体格）は抑制できる。よって、一般に高価と云われるシリコンカーバイドを主成分としても、コストアップを回避できる。

[0021] 第2駆動回路部52はIGBT30およびMOSFET40に制御信号を出力している。すなわち、IGBT30およびMOSFET40のゲートにゲート電圧を印加している。第1駆動回路部51と同様の理由により、第2駆動回路部52は、例えば、下アームLのターンオンに際して、最初にIGBT30をオンし、追ってMOSFET40をオンするようにゲート電圧を制御している。

[0022] 次いで、図2を参照して、半導体装置100の実装レイアウトについて説明する。本実施形態における半導体装置100は、IGBT10、30、MOSFET20、40、および駆動回路部50がモールド樹脂60によりインサート成型されてなる一体のモジュールとして構成されている。なお、図2に示すように、IGBT10およびMOSFET20は、放熱板として機能する第1ヒートシンクHS1に載置されている。同様に、IGBT30およびMOSFET40は、第1ヒートシンクHS1とは電氣的に絶縁された第2ヒートシンクHS2に載置されている。

[0023] 第1ヒートシンクHS1および第2ヒートシンクHS2は、所定の仮想軸

に対して直交する面に沿った略長方形の板状部材である。ＩＧＢＴ１０およびＭＯＳＦＥＴ２０は第１ヒートシンクＨＳ１の一面にはんだ等の導電性接着剤を介して電氣的に接続されている。具体的には、ＩＧＢＴ１０は縦型の電極構成を成し、コレクタが第１ヒートシンクＨＳ１の一面に接続されている。また、ＭＯＳＦＥＴ２０はドレインが第１ヒートシンクＨＳ１の一面に接続されている。一方、第１ヒートシンクＨＳ１の一面と反対の裏面はモールド樹脂６０から外気に露出しており、スイッチング素子１０，２０の発熱を放熱している。

[0024] さらに、第１ヒートシンクＨＳ１は、モールド樹脂６０に埋め込まれた部分から、仮想軸の直交する方向に延びてモールド樹脂６０の外部に突出した突出部を有している。この突出部が図１に示す第１端子Ｔ１に相当する。本実施形態では、第１端子Ｔ１は、略長方形を成す第１ヒートシンクＨＳ１の一辺うち、一つの角に近い位置から延びている。

[0025] 同様に、ＩＧＢＴ３０およびＭＯＳＦＥＴ４０は第２ヒートシンクＨＳ２の一面に導電性接着剤を介して電氣的に接続されている。具体的には、ＩＧＢＴ３０は縦型の電極構成を成し、コレクタが第２ヒートシンクＨＳ２の一面に接続されている。また、ＭＯＳＦＥＴ４０はドレインが第２ヒートシンクＨＳ２の一面に接続されている。一方、第２ヒートシンクＨＳ２の一面と反対の裏面はモールド樹脂６０から外気に露出しており、スイッチング素子３０，４０の発熱を放熱している。

[0026] さらに、第２ヒートシンクＨＳ２も第１ヒートシンクＨＳ１と同様に、モールド樹脂６０に埋め込まれた部分から仮想軸の直交する方向に延びてモールド樹脂６０の外部に突出した突出部を有している。この突出部が図１に示す第２端子Ｔ２に相当する。本実施形態における第２ヒートシンクＨＳ２は、仮想軸方向から正面視したとき、突出部を含めた形状が第１ヒートシンクＨＳ１と合同である。つまり、本実施形態では、第１端子Ｔ１と第２端子Ｔ２が互いに同一方向に延びており、第２端子Ｔ２は、ヒートシンクＨＳ１，ＨＳ２の並び方向において、第１端子Ｔ１と並進対称な位置に形成されてい

る。

[0027] 各スイッチング素子10～40の具体的な配置について説明する。IGBT10は、図2に示すように、第1ヒートシンクHS1の一面上であって、第1端子T1の付け根近傍に配置されている。つまり、仮想軸方向から正面視した平面レイアウトにおいて、IGBT10は、第1ヒートシンクHS1の一つの角の近傍に実装されている。なお、IGBT10は、図2を示す紙面奥側がコレクタであり、手前側がエミッタおよびゲートになるように実装されている。

[0028] 一方、MOSFET20は、IGBT10の実装位置に対して、第1ヒートシンクHS1の対角位置に実装されている。なお、MOSFET20は、図2を示す紙面奥側がドレインであり、手前側がソースおよびゲートになるように実装されている。

[0029] そして、第1駆動回路部51は、第1ヒートシンクHS1に隣り合う位置であって、第1端子T1の突出方向とは反対側に配置されている。

[0030] IGBT10のエミッタとMOSFET20のソースは互いにボンディングワイヤW1で接続されている。また、IGBT10のエミッタはボンディングワイヤW2を介して第2ヒートシンクHS2に接続されている。さらに、第1駆動回路部51はボンディングワイヤW3を介してIGBT10にゲート電圧を供給するとともに、ボンディングワイヤW4を介してMOSFET20にゲート電圧を供給している。

[0031] なお、外部から第1駆動回路部51へ駆動の指示を伝達する指令信号は、一端がモールド樹脂60にインサート成型された制御端子51aから符号を付与しないボンディングワイヤにより第1駆動回路部51へ入力されている。

[0032] IGBT30は、図2に示すように、第2ヒートシンクHS2の一面上であって、IGBT10に近い側の一角近傍に配置されている。つまり、第2端子T2の付け根と反対側の角近傍に配置されている。なお、IGBT30は、図2を示す紙面奥側がコレクタであり、手前側がエミッタおよびゲート

になるように実装されている。

[0033] 一方、MOSFET40は、IGBT30の実装位置に対して、第2ヒートシンクHS2の対角位置に実装されている。なお、MOSFET40は、図2を示す紙面奥側がドレインであり、手前側がソースおよびゲートになるように実装されている。

[0034] そして、第2駆動回路部52は、第2ヒートシンクHS2に隣り合う位置であって、第2端子T2の突出方向とは反対側に配置されている。

[0035] IGBT30のエミッタとMOSFET40のソースは互いにボンディングワイヤW5で接続されている。また、第2駆動回路部52はボンディングワイヤW6を介してIGBT30にゲート電圧を供給するとともに、ボンディングワイヤW7を介してMOSFET40にゲート電圧を供給している。さらに、IGBT30のエミッタは、第1端子T1や第2端子T2と同一方向に延設され、ヒートシンクHS1、HS2とは電氣的に絶縁された第3端子T3に、ボンディングワイヤW8を介して接続されている。第3端子T3は、図2に示すように、ヒートシンクHS1、HS2の並び方向において、第1端子T1と第2端子T2との間に挟まれるように配置されている。よって、ボンディングワイヤW8は、各端子T1～T3の突出方向と略並行に延びるようにボンディングされる。

[0036] なお、外部から第2駆動回路部52へ駆動の指示を伝達する指令信号は、一端がモールド樹脂60にインサート成型された制御端子52aから符号を付与しないボンディングワイヤにより第2駆動回路部52へ入力されている。

[0037] 次いで、図1に示す回路図と図2に示す実装レイアウトとの対応関係について説明する。第1駆動回路部51からIGBT10のゲートに制御信号を出力するための、図1に示す第1制御信号経路LS1は、図2に示すボンディングワイヤW3により形成される。

[0038] また、第1端子T1からIGBT10を経由し第2端子T2に至ってIGBT10の出力電流が流れる、図1に示す第1出力電流経路LC1は、図2

において、第1端子T1からIGBT10を経由し、さらにボンディングワイヤW2を経由して第2端子T2に至る電流経路である。

[0039] また、第1端子T1からMOSFET20を経由し第2端子T2に至ってMOSFET20の出力電流が流れる、図1に示す第2出力電流経路LC2は、図2において、第1端子T1から第1ヒートシンクHS1を経由してMOSFET20に至り、さらにボンディングワイヤW1を経由してIGBT10のエミッタからボンディングワイヤW2を経て第2端子T2に至る電流経路である。

[0040] 一方、第2駆動回路部52からIGBT30のゲートに制御信号を出力するための、図1に示す第2制御信号経路LS2は、図2に示すボンディングワイヤW6により形成される。

[0041] また、第2端子T2からIGBT30を経由し第3端子T3に至ってIGBT30の出力電流が流れる、図1に示す第3出力電流経路LC3は、図2において、第2端子T2からIGBT30を経由し、さらにボンディングワイヤW8を経由して第3端子T3に至る電流経路である。

[0042] また、第2端子T2からMOSFET40を経由し第3端子T3に至ってMOSFET40の出力電流が流れる、図1に示す第4出力電流経路LC4は、図2において、第2端子T2から第2ヒートシンクHS2を経由してMOSFET40に至り、さらにボンディングワイヤW5を経由してIGBT30のエミッタからボンディングワイヤW8を経て第3端子T3に至る電流経路である。

[0043] 図2に示すように、第2スイッチング素子たるMOSFET20は、仮想軸方向から正面視したとき、第1制御信号経路LS1を形成するボンディングワイヤW3にオーバーラップしない位置に載置されている。さらに、MOSFET20は、仮想軸方向から正面視したとき、第1端子T1からIGBT10を経由し、さらにボンディングワイヤW2を経由して第2端子T2に至る電流経路上、すなわち第1出力電流経路LC1にオーバーラップしない位置に載置されている。つまり、MOSFET20は第1制御信号経路LS

1を除く位置に実装され、且つ、第1出力電流経路LC1を除く位置に実装されている。

[0044] また、MOSFET20は、第1端子T1および第2端子T2からの距離が、IGBT10よりも遠い位置に実装されている。

[0045] そして、第1端子T1からMOSFET20を経由し第2端子T2に至る第2出力電流経路LC2は、第1端子T1からMOSFET20までの第1ヒートシンクHS1内の電流経路とボンディングワイヤW1のぶんだけ第1出力電流経路LC1よりも長くされている。

[0046] また、図2に示すように、第4スイッチング素子たるMOSFET40は、仮想軸方向から正面視したとき、第2制御信号経路LS2を形成するボンディングワイヤW6にオーバーラップしない位置に載置されている。さらに、MOSFET40は、仮想軸方向から正面視したとき、第2端子T2からIGBT30を経由し、さらにボンディングワイヤW8を経由して第3端子T3に至る電流経路上、すなわち第3出力電流経路LC3にオーバーラップしない位置に載置されている。つまり、MOSFET40は第2制御信号経路LS2を除く位置に実装され、且つ、第3出力電流経路LC3を除く位置に実装されている。

[0047] また、MOSFET40は、第2端子T2および第3端子T3からの距離が、IGBT30よりも遠い位置に実装されている。

[0048] そして、第2端子T2からMOSFET40を経由し第3端子T3に至る第4出力電流経路LC4は、第2端子T2からMOSFET40までの第2ヒートシンクHS2内の電流経路とボンディングワイヤW5のぶんだけ第3出力電流経路LC3よりも長くされている。

[0049] 次に、本実施形態における半導体装置100を採用することによる作用効果について説明する。

[0050] 上記したように、第2出力電流経路LC2は第1出力電流経路LC1よりも長くされている。換言すれば、第1端子T1からMOSFET20を経由して第2端子T2に至る配線長が、IGBT10を経由する配線長に比べて

長くされている。各スイッチング素子を經由する電流経路は寄生的なインダクタを形成するが、本実施形態に示した配線長の間係を満たすことにより、第1端子T1および第2端子T2から見たMOSFET20の誘導性リアクタンスを、IGBT10のリアクタンスよりも大きくすることができる。

[0051] 同様に、第2端子T2からMOSFET40を經由して第3端子T3に至る配線長が、IGBT30を經由する配線長に比べて長くされている。これにより、第2端子T2および第3端子T3から見たMOSFET40の誘導性リアクタンスを、IGBT30のリアクタンスよりも大きくすることができる。

[0052] よって、仮にスイッチング素子10~40のいずれかに短絡が発生した場合であっても、その短絡電流はリアクタンスの低いIGBT10あるいはIGBT30に流れることになる。したがって、MOSFET20, 40の短絡耐量を抑制することができる。

[0053] そして、MOSFET20, 40の短絡耐量を抑制することができるので、MOSFET20, 40の体格を従来よりも小さくすることができる。例えば、MOSFET20, 40が、一般に高価と云われるシリコンカーバイドを主成分としていても、コストアップを抑制することができる。

[0054] (第2実施形態)

第1実施形態では、半導体装置100が第1ヒートシンクHS1および第2ヒートシンクHS2を備え、配線をボンディングワイヤW1~W8により実現する例について説明した。

[0055] これに対して、本実施形態における半導体装置110は、図3および図4に示すように、第3ヒートシンクHS3と第4ヒートシンクHS4とを備えている。

[0056] 第3ヒートシンクHS3は第1ヒートシンクHS1の大部分と対向して形成されており、IGBT10およびMOSFET20は第1ヒートシンクHS1と第3ヒートシンクHS3により挟み込まれている。具体的には、図4に示すように、第3ヒートシンクHS3と各スイッチング素子10, 20と

がスペーサ70を介して互いに電氣的に接続されている。なお、第3ヒートシンクHS3とスペーサ70とは、はんだ等の導電性接着剤71を介して互いに接続され、スペーサ70と各スイッチング素子10, 20とは導電性接着剤71を介して互いに接続されている。

[0057] つまり、IGBT10のエミッタとMOSFET20のソースは、第3ヒートシンクHS3によって互いに接続された状態となっている。換言すれば、第3ヒートシンクHS3は第1実施形態におけるボンディングワイヤW1の機能を奏しするとともに、放熱板としての機能も奏している。

[0058] また、第4ヒートシンクHS4は第1ヒートシンクHS1の大部分と対向して形成されており、第3ヒートシンクHS3が形成された同一の面内に配置されている。IGBT30およびMOSFET40は第2ヒートシンクHS2と第4ヒートシンクHS4により挟み込まれている。具体的には、図4に示すように、第4ヒートシンクHS4と各スイッチング素子30, 40とがスペーサ70を介して互いに電氣的に接続されている。なお、第4ヒートシンクHS4とスペーサ70とは、はんだ等の導電性接着剤71を介して互いに接続され、スペーサ70と各スイッチング素子30, 40とは導電性接着剤71を介して互いに接続されている。

[0059] つまり、IGBT30のエミッタとMOSFET40のソースは、第4ヒートシンクHS4によって互いに接続された状態となっている。換言すれば、第4ヒートシンクHS4は第1実施形態におけるボンディングワイヤW5の機能を奏しするとともに、放熱板としての機能も奏している。

[0060] また、第4ヒートシンクHS4は、仮想軸方向から正面視したとき、第2端子T2に重ならない位置に突出した突出部を有している。この突出部が本変形例における第3端子T3に相当している。つまり、第4ヒートシンクHS4は第1実施形態におけるボンディングワイヤW8の機能を奏している。

[0061] そして、図4に示すように、本実施形態において、第3ヒートシンクHS3と第2ヒートシンクHS2は、スペーサ70により電氣的に接続されている。第3ヒートシンクHS3と第2ヒートシンクHS2との間を繋ぐスペー

サ70は、第1実施形態におけるボンディングワイヤW2に相当している。

[0062] 第3ヒートシンクHS2および第4ヒートシンクHS4は、モールド樹脂60によりインサート成型されているが、スイッチング素子10～40が接続されていない面が外部に露出している。よって、本実施形態における半導体装置110は、スイッチング素子10～40をヒートシンクHS1～HS4で挟んでカード状に形成されつつ、その両面で放熱できるようになっている。

[0063] なお、仮想軸方向から正面視したとき、各スイッチング素子10～40の配置は第1実施形態と略同様である。本実施形態においては、第1実施形態に対して、電流が流れるべき一部の経路がボンディングワイヤからヒートシンクに変更されているものの、第1出力電流経路LC1と第2出力電流経路LC2との大小関係、および、第3出力電流経路LC3、第4出力電流経路LC42との大小関係には変更がない。すなわち、LC2の長さはLC1よりも長く、LC4の長さはLC3よりも長くされている。

[0064] したがって、第1実施形態と同様に、第1端子T1および第2端子T2から見たMOSFET20の誘導性リアクタンスを、IGBT10のリアクタンスよりも大きくすることができる。また、第2端子T2および第3端子T3から見たMOSFET40の誘導性リアクタンスを、IGBT30のリアクタンスよりも大きくすることができる。これにより、MOSFET20、40の短絡耐量を抑制することができるので、MOSFET20、40の体格を従来よりも小さくすることができる。

[0065] (変形例1)

本変形例における半導体装置120は、図5に示すように、矩形状である第2実施形態における各ヒートシンクHS1～HS4の形状を、L字状に置き換えた構造をしている。

[0066] 具体的には、第1ヒートシンクHS1および第3ヒートシンクHS3は、第1実施形態あるいは第2実施形態において矩形状であった第1ヒートシンクHS1および第3ヒートシンクHS3の4隅のうち、IGBT10および

MOSFET 20が配置されていない2隅の、且つ、第1端子T1の付け根側の一つの角が削られて、全体としてL字状になっている。第2ヒートシンクHS2および第4ヒートシンクHS4も同様であり、第1実施形態あるいは第2実施形態において矩形状であった第2ヒートシンクHS2および第4ヒートシンクHS4の4隅のうち、IGBT30およびMOSFET40が配置されていない2隅の、且つ、第1端子T1の付け根側の一つの角が削られて、全体としてL字状になっている。

[0067] 第1実施形態あるいは第2実施形態では、第1端子T1からMOSFET20に流れる電荷は第1ヒートシンクHS1中を直線的に進むことができるが、本変形例ではL字状に沿って移動することになる。また、第2実施形態では、MOSFET20からIGBT10へ流れる電荷は第3ヒートシンクHS3中を直線的に進むことができるが、本変形例ではL字状に沿って移動することになる。このことから、本変形例では、第2実施形態に比べて第2出力電流経路LC2を長くすることができる。よって、第2実施形態に比べて第1端子T1および第2端子T2から見たMOSFET20の誘導性リアクタンスを大きくでき、MOSFET20への短絡電流の流入量を抑制することができる。

[0068] 第2ヒートシンクHS2および第4ヒートシンクHS4についても同様に、ヒートシンク中を直線的に進むことができた第2実施形態の構成に比べて、第4出力電流経路LC4を長くすることができる。よって、第2実施形態に比べて第2端子T2および第3端子T3から見たMOSFET40の誘導性リアクタンスを大きくでき、MOSFET40への短絡電流の流入量を抑制することができる。

[0069] (変形例2)

第2実施形態では、IGBT10のエミッタとMOSFET20のソースとの間の接続を第3ヒートシンクHS3に担わせ、IGBT30のエミッタとMOSFET40のソースとの間の接続を第4ヒートシンクHS4に担わせる例について説明した。

[0070] これに対して、本変形例における半導体装置130は、図6に示すように、第2実施形態と同様に第3ヒートシンクHS3および第4ヒートシンクHS4を備えるものの、IGBT10のエミッタとMOSFET20のソースとの間の接続を第1実施形態と同様にボンディングワイヤW1に担わせ、IGBT30のエミッタとMOSFET40のソースとの間の接続をボンディングワイヤW5により担わせる。

[0071] なお、第3ヒートシンクHS3と第2ヒートシンクHS2との間のスペーサ70による接続、および、第3端子T3が第4ヒートシンクHS4から突出して形成されている点は第2実施形態と同様である。

[0072] ところで、ボンディングワイヤはヒートシンクに較べて十分に細く、内部に電流が流れる場合の電流密度は、ボンディングワイヤのほうが大きくなる。仮にIGBT10にコレクターエミッタ間ショートが発生して第1端子T1と第2端子T2との間に短絡電流が流れた場合、本変形例におけるボンディングワイヤW1に流れる電流の電流密度は、第2実施形態や変形例1における第3ヒートシンクHS3に較べて大きくなる。このため、短絡が発生した場合に、ボンディングワイヤW1の抵抗による発熱によってボンディングワイヤW1を切断することができる。すなわち、ボンディングワイヤW1をヒューズとして機能させることができる。また、仮にIGBT30にコレクターエミッタ間ショートが発生して第2端子T2と第3端子T3との間に短絡電流が流れた場合も同様であって、ボンディングワイヤW5をヒューズとして機能させることができる。

[0073] このように、IGBT10あるいはIGBT30の短絡発生の際に、MOSFET20あるいはMOSFET40の過電流に対する保護を実現できる。

[0074] (第3実施形態)

第1実施形態、第2実施形態およびその変形例1, 2では、半導体装置100~130がインバータを構成する例について説明したが、これに限定されるものではない。例えば、本実施形態における半導体装置140は、図7

に示すように、第1実施形態における下アームLに相当する構成を有さない。すなわち、半導体装置140は、負荷200への電流の供給をオンオフする単なるスイッチとして機能している。

[0075] この半導体装置140は、図7に示すように、IGBT10あるいはMOSFET20により制御される出力電流が第1端子T1と第2端子T2との間に流れるようになっている。半導体装置140の回路の構成については、第1実施形態に対して下アームLが存在しないことが異なるのみであるから、詳しい説明を省略する。

[0076] また、この半導体装置140の実装レイアウトは、図8に示すように、第1実施形態の半導体装置100に対して、第2ヒートシンクHS2、IGBT30、MOSFET40、第2駆動回路部52、および、それらの電氣的接続に供されるボンディングワイヤW5～W8が除かれたレイアウトとなっている。なお、IGBT10のエミッタから取り出されたボンディングワイヤW2は、第1ヒートシンクHS1と電氣的に絶縁された第2端子T2に接続されている。これらの構成要素は、第1端子T1、第2端子T2および制御端子51aの一部を外部に突出した状態でモールド樹脂60によりインサート成型されている。

[0077] 本実施形態におけるIGBT10およびMOSFET20の配置は、第1実施形態における半導体装置100と同様であるから、第2出力電流経路LC2は第1出力電流経路LC1よりも長くされている。換言すれば、第1端子T1からMOSFET20を経由して第2端子T2に至る配線長が、IGBT10を経由する配線長に比べて長くされている。したがって、第1端子T1および第2端子T2から見たMOSFET20の誘導性リアクタンスを、IGBT10のリアクタンスよりも大きくすることができる。

[0078] よって、仮にスイッチング素子10、20のいずれかに短絡が発生した場合であっても、その短絡電流はリアクタンスの低いIGBT10に流れることになる。したがって、MOSFET20の短絡耐量を抑制することができる。

[0079] そして、MOSFET 20の短絡耐量を抑制することができるので、MOSFET 20の体格を従来よりも小さくすることができる。例えば、MOSFET 20が、一般に高価と云われるシリコンカーバイドを主成分としていても、コストアップを抑制することができる。

[0080] (その他の実施形態)

以上、本開示の好ましい実施形態について説明したが、本開示は上記した実施形態になんら制限されることなく、本開示の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

[0081] 上記した各実施形態およびその変形例では、インバータあるいはスイッチを、駆動回路部50をモールド樹脂60内に埋め込んだ、駆動回路部内蔵のモジュールとして構成する例について説明したが、図9に示すように、駆動回路部50は必ずしもモールド樹脂60内に内蔵されていなくてもよい。このような形態では、モールド樹脂60からゲート電圧を入力すべき入力端子50aが突出して構成されている。

[0082] また、上記した各実施形態およびその変形例では、スイッチング素子10～40および駆動回路部50が、仮想軸に直交する所定の仮想平面内に、互いにオーバーラップしないように配置される例について説明したが、LC2の長さがLC1よりも長くされ、LC4の長さがLC3よりも長くされていれば、上記形態に限定するものではない。具体的には、スイッチング素子10～40および駆動回路部50が、仮想軸に沿う方向において、互いに異なる座標に配置されていても良い。

請求の範囲

- [請求項1] 第1端子（T1）および第2端子（T2）と、
 前記第1端子と前記第2端子との間に流れる出力電流を制御する第1スイッチング素子（10）と、
 前記第1スイッチング素子と並列接続された第2スイッチング素子（20）と、
 前記第1スイッチング素子と前記第2スイッチング素子とに制御信号を出力して、それぞれ独立に駆動する駆動回路部（50）と、を備え、
 前記駆動回路部が前記第1スイッチング素子と前記第2スイッチング素子とを並列に駆動させる半導体装置であって、
 前記第2スイッチング素子は、
 前記駆動回路部と前記第1スイッチング素子とを互いに結んで制御信号が通電する第1制御信号経路（LS1）、および、前記第1端子から前記第1スイッチング素子を経由して前記第2端子に至って前記出力電流が通電する第1出力電流経路（LC1）、を除く部分であって、且つ、前記第1端子および前記第2端子からの距離が、前記第1スイッチング素子よりも遠い位置に配置され、
 前記第1端子から前記第2スイッチング素子を経由して前記第2端子に至って前記出力電流が通電する第2出力電流経路（LC2）が、前記第1出力電流経路よりも長くされている、半導体装置。
- [請求項2] 前記第1端子および前記第2端子は、所定の仮想軸に対して直交して延設され、
 前記第1スイッチング素子、前記第2スイッチング素子および前記駆動回路部は、前記仮想軸の方向から正面視した平面レイアウトにおいて、前記仮想軸に直交する同一の仮想平面内に、互いにオーバーラップしないように配置されている、請求項1に記載の半導体装置。
- [請求項3] 前記仮想軸に直交する一面を有するヒートシンク（HS1）を備え

、

前記第 1 スイッチング素子および前記第 2 スイッチング素子は前記ヒートシンクの前記一面に配置され、

前記平面レイアウトにおいて、前記駆動回路部は、前記第 1 スイッチング素子を挟んで第 1 端子と反対側に配置されている、請求項 2 に記載の半導体装置。

[請求項 4] 前記第 1 スイッチング素子は、シリコンを主成分として構成された I G B T であり、

前記第 2 スイッチング素子は、シリコンカーバイドを主成分として構成された M O S F E T である、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

[請求項 5] 前記駆動回路部は、前記第 1 スイッチング素子がオンされて定常損失を生じる期間においてのみ、前記第 2 スイッチング素子をオン状態とする、請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

[請求項 6] 前記第 1 スイッチング素子と前記第 2 スイッチング素子とに制御信号を出力して、それぞれ独立に駆動する、前記駆動回路部としての第 1 駆動回路部 (5 1) と、

さらに、第 3 端子 (T 3) と、

前記第 2 端子と前記第 3 端子との間に流れる出力電流を制御する第 3 スイッチング素子 (3 0) と、

前記第 3 スイッチング素子と並列接続された第 4 スイッチング素子 (4 0) と、

前記第 3 スイッチング素子と前記第 4 スイッチング素子とに制御信号を出力して、それぞれ独立に駆動する、前記駆動回路部としての第 2 駆動回路部 (5 2) と、を備え、

前記第 1 スイッチング素子および第 2 スイッチング素子を上アーム (U) とし、前記第 3 スイッチング素子および第 4 スイッチング素子を下アーム (L) としてインバータを構成し、

前記第4スイッチング素子は、

前記第2駆動回路部と前記第3スイッチング素子とを互いに結んで制御信号が通電する第2制御信号経路（LS2）、および、前記第2端子から前記第3スイッチング素子を経由して前記第3端子に至って前記出力電流が通電する第3出力電流経路（LC3）、を除く部分であって、且つ、前記第2端子および前記第3端子からの距離が、前記第3スイッチング素子よりも遠い位置に配置され、

前記第2端子から前記第4スイッチング素子を経由して前記第3端子に至って前記出力電流が通電する第4出力電流経路（LC4）が、前記第3出力電流経路よりも長くされている、請求項1～5のいずれか1項に記載の半導体装置。

[請求項7] 前記第1端子、前記第2端子および前記第3端子は、所定の仮想軸に対して直交して延設され、

前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子、前記第4スイッチング素子、および前記駆動回路部は、前記仮想軸の方向から正面視した平面レイアウトにおいて、前記仮想軸に直交する同一の仮想平面内に、互いにオーバーラップしないように配置されている、請求項6に記載の半導体装置。

[請求項8] 前記仮想軸に直交する同一面内に並んで配置された第1ヒートシンク（HS1）および第2ヒートシンク（HS2）を備え、

前記第1スイッチング素子および前記第2スイッチング素子は前記第1ヒートシンクの一面に配置され、

前記第3スイッチング素子および前記第4スイッチング素子は前記第2ヒートシンクの一面に配置され、

前記平面レイアウトにおいて、

前記第1端子、前記第2端子および前記第3端子は、前記第1ヒートシンクと前記第2ヒートシンクの並び方向に直交する方向に延設され、

前記第 1 駆動回路部は、前記第 1 スイッチング素子を挟んで前記第 1 端子と反対側に配置され、

前記第 2 駆動回路部は、前記第 3 スイッチング素子を挟んで前記第 3 端子と反対側に配置されている、請求項 7 に記載の半導体装置。

[請求項 9]

前記第 1 スイッチング素子および前記第 3 スイッチング素子は、シリコンを主成分として構成された I G B T であり、

前記第 2 スイッチング素子および前記第 4 スイッチング素子は、シリコンカーバイドを主成分として構成された M O S F E T である、請求項 6 ～ 8 のいずれか 1 項に記載の半導体装置。

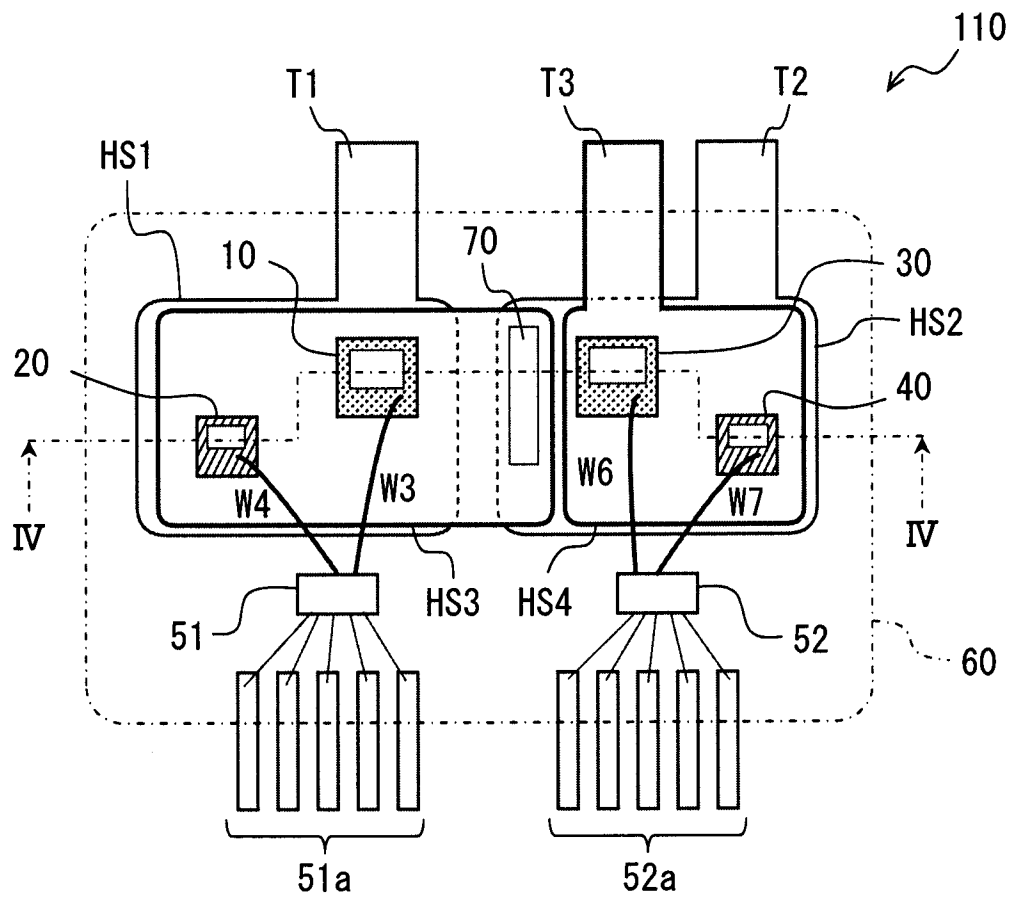
[請求項 10]

前記駆動回路部は、

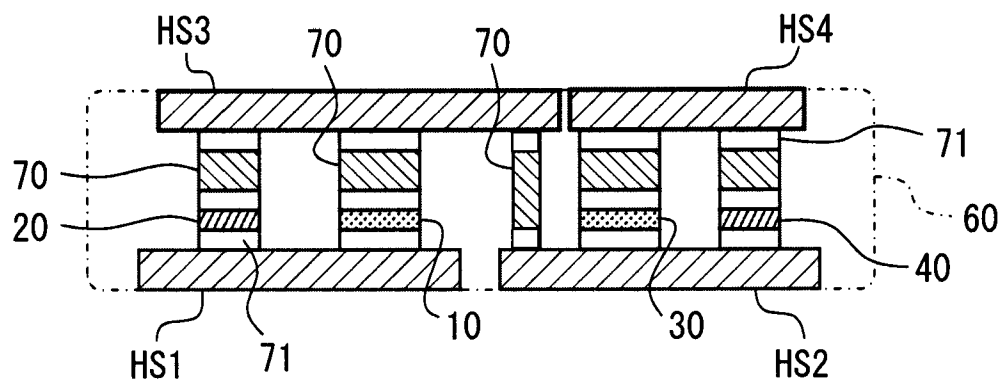
前記第 1 スイッチング素子がオンされて定常損失を生じる期間においてのみ、前記第 2 スイッチング素子をオン状態とし、

前記第 3 スイッチング素子がオンされて定常損失を生じる期間においてのみ、前記第 4 スイッチング素子をオン状態とする、請求項 6 ～ 9 のいずれか 1 項に記載の半導体装置。

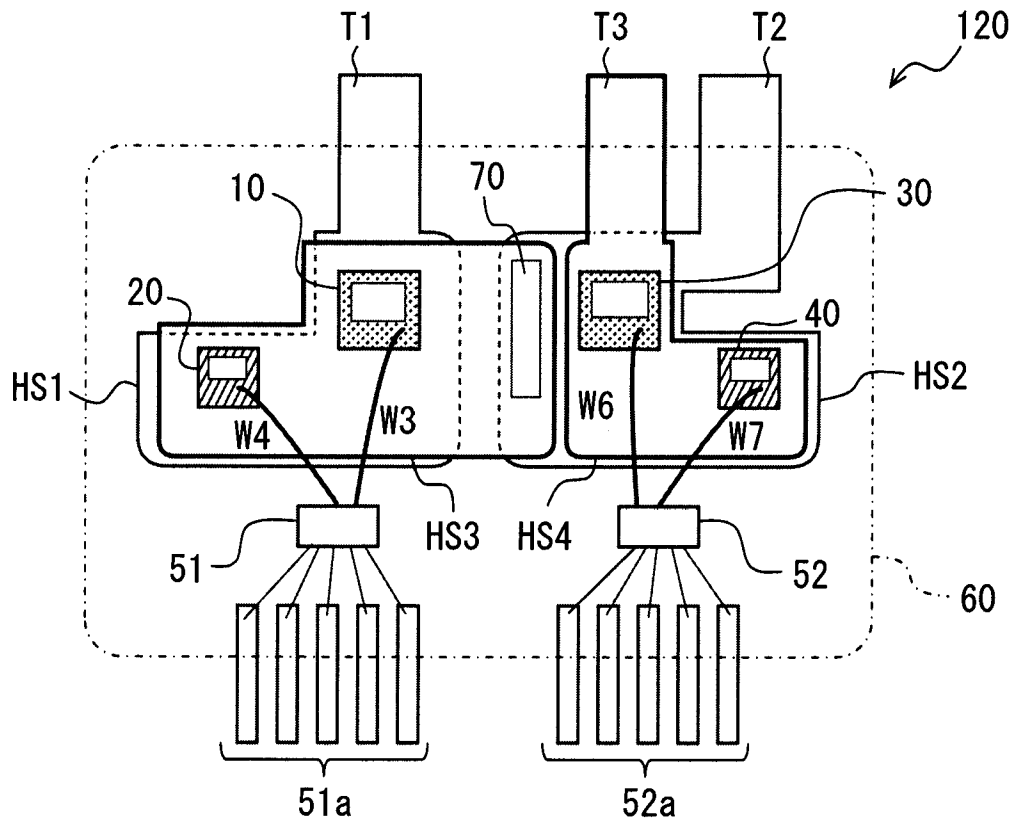
[図3]



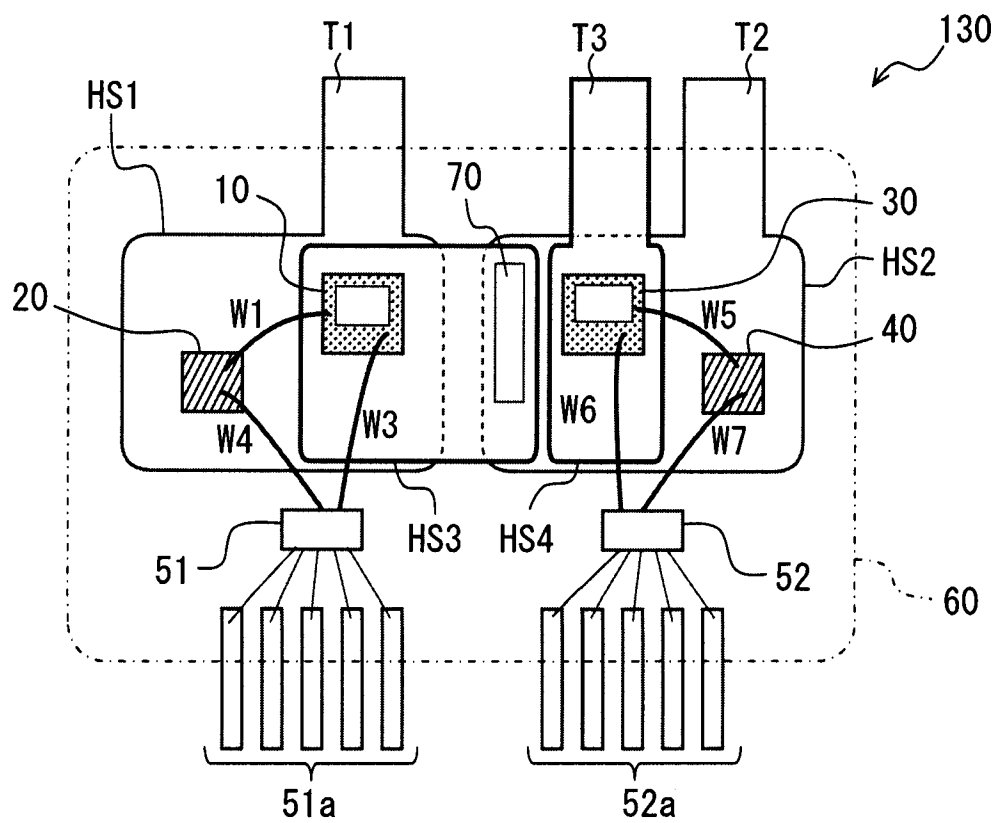
[図4]



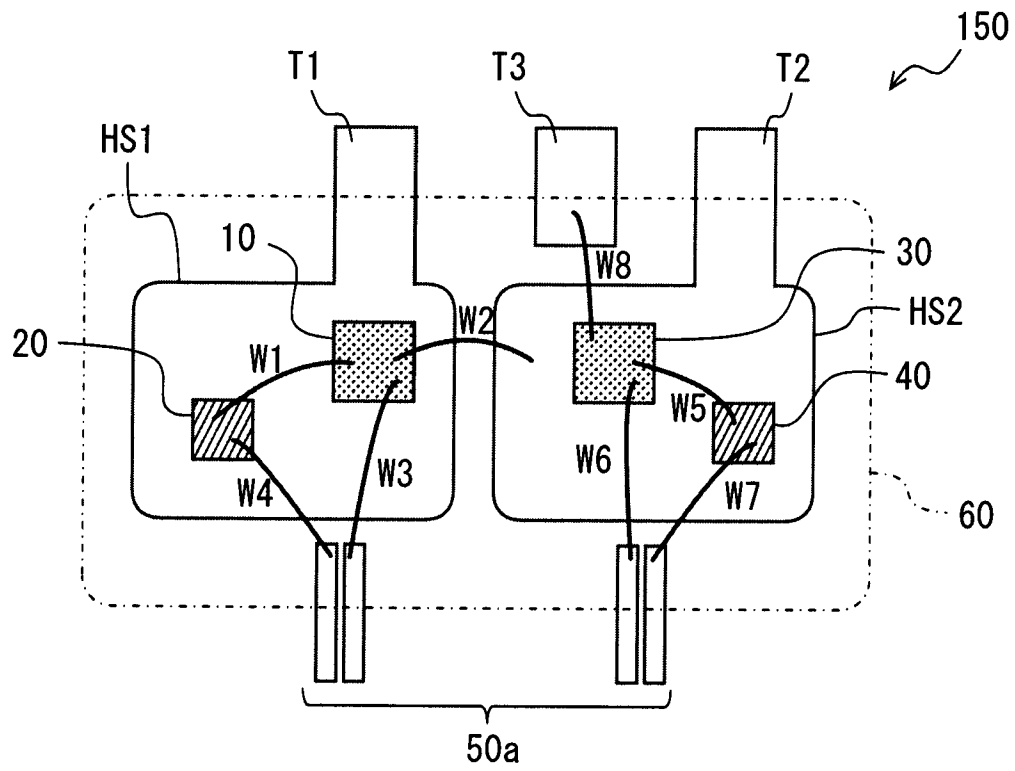
[図5]



[図6]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002512

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L23/48, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-125806 A (Mitsubishi Electric Corp.), 24 June 2013 (24.06.2013), paragraphs [0017] to [0063], [0072] to [0073], [0094] to [0105], [0126]; fig. 1 to 2, 4 to 5, 11 to 12 & US 2013/0155745 A1 paragraphs [0031] to [0078], [0088] to [0089], [0094] to [0105], [0126]; fig. 1 to 2, 4 to 5, 11 to 12 & CN 103166615 A & KR 10-2013-0069405 A	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 July 2016 (15.07.16)

Date of mailing of the international search report
26 July 2016 (26.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/002512

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-172469 A (Mitsubishi Electric Corp.), 02 September 2013 (02.09.2013), paragraph [0014]; fig. 2 & US 2013/0214746 A1 paragraph [0020]; fig. 2 & DE 102012222871 A1 & CN 103259420 A & KR 10-2013-0095212 A	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/07, H01L23/48, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-125806 A（三菱電機株式会社）2013.06.24, 段落 [0017]-[0063], [0072]-[0073], [0094]-[0105], [0126], 図1-2, 4-5, 11-12 & US 2013/0155745 A1, 段落[0031]-[0078], [0088]-[0089], [0094]-[0105], [0126], 図1-2, 4-5, 11-12 & CN 103166615 A & KR 10-2013-0069405 A	1-10
A	JP 2013-172469 A（三菱電機株式会社）2013.09.02, 段落[0014], 図2 & US 2013/0214746 A1, 段落[0020], 図2 & DE 102012222871 A1 & CN 103259420 A & KR 10-2013-0095212 A	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15.07.2016

国際調査報告の発送日

26.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

多田 幸司

5D

5292

電話番号 03-3581-1101 内線 3551