



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0096317
(43) 공개일자 2020년08월11일

(51) 국제특허분류(Int. Cl.)
H01L 27/105 (2006.01) G11C 16/04 (2006.01)
H01L 21/02 (2006.01) H01L 27/108 (2006.01)
H01L 27/11551 (2017.01) H01L 27/1156 (2017.01)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/105 (2013.01)
G11C 16/0433 (2013.01)
(21) 출원번호 10-2020-7022300(분할)
(22) 출원일자(국제) 2010년10월27일
심사청구일자 2020년07월31일
(62) 원출원 특허 10-2019-7031840
원출원일자(국제) 2010년10월27일
심사청구일자 2019년10월28일
(85) 번역문제출일자 2020년07월31일
(86) 국제출원번호 PCT/JP2010/069546
(87) 국제공개번호 WO 2011/062058
국제공개일자 2011년05월26일
(30) 우선권주장
JP-P-2009-264623 2009년11월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
고야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
가토 기요시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장훈

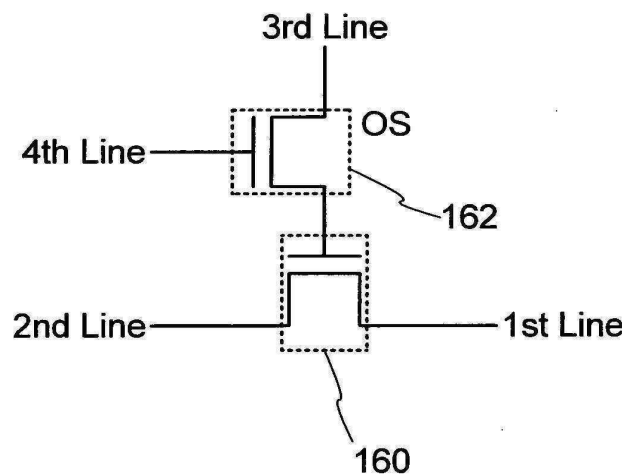
전체 청구항 수 : 총 2 항

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명의 목적은, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터들과 채널 형성 영역에 비-산화물 반도체를 포함하는 트랜지스터들을 동일 기판 상에 집적하는 트랜지스터들을 조합하는 반도체 장치를 제공하는 것이다. 본 발명의 응용은 특정 소거 동작을 필요로 하지 않고 반복된 기록 동작으로 인한 손상들을 받지 않는 실질적으로 비-휘발성 반도체 메모리들을 실현하는 것이다. 또한, 반도체 장치는 다치 데이터를 저장하도록 잘 구성된다. 제작 방법, 애플리케이션 회로 및 구동/판독 방법들이 상세히 설명된다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02554 (2013.01)
H01L 21/02565 (2013.01)
H01L 21/02631 (2013.01)
H01L 27/108 (2013.01)
H01L 27/11551 (2013.01)
H01L 27/1156 (2013.01)
H01L 27/1225 (2013.01)
H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

실리콘을 채널 형성 영역에 갖는 제 1 트랜지스터와,
 In과 Ga과 Zn을 갖는 산화물 반도체를 갖는 제 2 트랜지스터를 갖고,
 상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 위쪽에 위치하고,
 상기 제 1 트랜지스터는 상기 채널 형성 영역 위에 제 1 게이트 전극을 갖고,
 상기 제 2 트랜지스터는 상기 산화물 반도체 아래에 제 2 게이트 전극을 갖고,
 상기 산화물 반도체는 상기 제 1 게이트 전극과 중첩하지 않고,
 상기 제 2 게이트 전극은 상기 제 1 게이트 전극과 중첩하지 않고,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터와 중첩하고, 또한 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 위쪽을 덮는 절연층을 갖고,
 상기 절연층이 갖는 제 1 개구를 통해 상기 제 1 트랜지스터에 전기적으로 접속하는 제 1 전극을 갖고,
 상기 절연층이 갖는 제 2 개구를 통해 상기 제 2 트랜지스터에 전기적으로 접속하는 제 2 전극을 갖고,
 상기 제 1 전극과 상기 제 2 전극은 동일 재료를 갖는, 반도체 장치.

청구항 2

실리콘을 채널 형성 영역에 갖는 제 1 트랜지스터와,
 In과 Ga과 Zn을 갖는 산화물 반도체를 갖는 제 2 트랜지스터를 갖고,
 상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 위쪽에 위치하고,
 상기 제 1 트랜지스터는 상기 채널 형성 영역 위에 제 1 게이트 전극을 갖고,
 상기 제 2 트랜지스터는 상기 산화물 반도체 아래에 제 2 게이트 전극을 갖고,
 상기 산화물 반도체는 상기 제 1 게이트 전극과 중첩하지 않고,
 상기 제 2 게이트 전극은 상기 제 1 게이트 전극과 중첩하지 않고,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터와 중첩하고, 또한 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 위쪽을 덮는 절연층을 갖고,
 상기 절연층이 갖는 제 1 개구를 통해 상기 제 1 트랜지스터에 전기적으로 접속하는 제 1 전극을 갖고,
 상기 절연층이 갖는 제 2 개구를 통해 상기 제 2 트랜지스터에 전기적으로 접속하는 제 2 전극을 갖고,
 상기 제 1 전극과 상기 제 2 전극은 동일 재료를 갖고,
 상기 산화물 반도체는 결정을 갖는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자들을 이용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경 기술

- [0002] 반도체 소자들을 이용하는 메모리 장치들은 대략적으로, 전력 공급이 중단될 때 메모리 내용을 손실하는 휘발성 메모리 장치들과 전력 공급이 중단될 때에도 메모리 내용을 유지할 수 있는 비휘발성 메모리 장치들로 분류된다.
- [0003] 휘발성 메모리의 통상적인 예로서, 동적 랜덤 액세스 메모리(DRAM)가 주어진다. DRAM에서, 메모리 소자에 포함된 트랜지스터가 선택되고, 전하가 용량 소자에 축적되어, 정보가 기억된다.
- [0004] 상술된 원리로 인해, 정보 데이터가 DRAM에 저장될 때 용량 소자의 전하가 손실된다; 따라서, 상기 정보 데이터의 재기록을 수행하여, 상기 정보 데이터를 관독한 후에 다시 정보가 기억되는 것이 필요하다. 그 외에도, 메모리 소자에 포함된 트랜지스터에서 전류 누설이 존재하여, 임의의 동작을 수행하기 위해 상기 트랜지스터가 선택되지 않는 경우에도, 상기 용량 소자의 전극에 축적된 전하가 손실되거나 전하가 상기 용량 소자로 유입되고, 그에 의해 데이터 유지 기간이 짧다. 따라서, 미리 결정된 사이클로 재기록을 수행(리프레시 동작)하는 것이 필요하고 전력 소비를 만족스럽게 감소시키기 어렵다. 또한, 상기 전력이 상기 DRAM에 공급되지 않을 때 메모리 내용이 손상되기 때문에, 자기 재료 또는 광학 재료를 이용한 다른 메모리 장치가 장기간 동안 정보를 저장하기 위해 필요하다.
- [0005] 휘발성 메모리 장치의 다른 예로서, 정적 랜덤 액세스 메모리(SRAM)가 주어진다. SRAM에서, 플립 플롭과 같은 회로를 이용하여 메모리 내용이 저장되어, 리프레시 동작이 필요하지 않다. 이러한 관점에서, SRAM은 DRAM보다 유리하다. 그러나, 플립 플롭과 같은 회로가 이용되기 때문에 저장 용량 당 비용이 높아진다는 점이 불편하다. 또한, 상기 전력이 공급되지 않을 때 메모리 내용이 손상된다는 관점에서, SRAM은 DRAM보다 우수하지 않다.
- [0006] 비휘발성 메모리 장치의 통상적인 예로서, 플래시 메모리가 주어진다. 플래시 메모리는 트랜지스터에서 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 포함한다. 플래시 메모리는 상기 플로팅 게이트에서 전하를 저장함으로써 메모리 내용을 저장하여, 데이터 유지 기간이 극히 길고(반영구적) 따라서, 휘발성 메모리 장치에 필요한 리프레시 동작이 필요하지 않다(예를 들면, 특허 문헌 1 참조).
- [0007] 그러나, 플래시 메모리에서, 메모리 소자가 미리 결정된 횟수로 기록 동작들을 수행한 후에 기능하지 않는 점에 문제가 있으며, 이것은 상기 메모리 소자에 포함된 게이트 절연층이 기록 동작이 수행될 때마다 발생하는 터널 전류에 의해 저하되기 때문이다. 이러한 현상의 악영향을 완화하기 위해, 예를 들면 상기 메모리 소자들 사이의 기록 동작들의 수를 균일화하는 것에 특징이 있는 방법이 이용된다. 그러나, 이 방법을 적용하기 위해서는 복잡한 주변 회로가 요구된다. 또한, 이러한 방법이 이용되는 경우에도, 기본적인 수명 문제가 해결되지 않는다. 즉, 정보가 고주파수로 재기록되는 응용들에 대해서는 플래시 메모리가 부적합하다.
- [0008] 또한, 상기 플로팅 게이트에 전하를 저장하거나 상기 플로팅 게이트에서 전하를 제거하기 위해서는 고전압이 요구된다. 또한, 전하를 저장하거나 제거하기 위해 비교적 긴 시간이 요구되고 기록 및 소거의 속도가 쉽게 증가될 수 없다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 공개 특허 출원 제S57-105889호

발명의 내용

해결하려는 과제

- [0010] 상술된 문제에 비추어, 본 발명의 일 실시형태의 일 목적은 전력이 공급되지 않는 상태에서 메모리 내용을 유지할 수 있고 기록 동작들의 수에 관한 제한이 없는 새로운 구성을 가진 반도체 장치를 제공하는 것이다. 본 발명의 일 실시형태의 다른 목적은 용이하게 다치화된 정보를 이용하는 것을 허용하는 구조를 가진 반도체를 제공하는 것이다.

과제의 해결 수단

- [0011] 본 발명의 일 실시형태는 산화물 반도체를 이용한 트랜지스터 및 산화물 반도체 이외의 재료를 이용한 트랜지스터의 적층을 가진 반도체 장치이다. 예를 들면, 상기 반도체 장치는 다음의 구성들을 이용할 수 있다.
- [0012] 본 발명의 일 실시형태는: 소스선; 비트선; 제 1 신호선; 복수의 제 2 신호선들; 복수의 워드선들; 상기 소스선과 상기 비트선 사이에 병렬로 접속된 복수의 메모리 셀들; 어드레스 신호가 입력되고, 상기 어드레스 신호에 의해 지정된 메모리 셀이 상기 복수의 메모리 셀들로부터 선택되도록 상기 복수의 제 2 신호선들 및 상기 복수의 워드선들을 구동하는 상기 제 2 신호선들 및 상기 워드 신호선들에 대한 구동 회로; 복수의 기록 전위들 중 어느 것을 선택하여 상기 제 1 신호선에 출력하는 상기 제 1 신호선의 구동 회로; 상기 비트선의 전위 및 복수의 참조 전위들이 입력되고 상기 비트선의 상기 전위 및 상기 복수의 참조 전위들을 비교함으로써 데이터를 판독하는 판독 회로; 상기 복수의 기록 전위들 및 상기 복수의 참조 전위들을 생성하여 상기 제 1 신호선의 상기 구동 회로 및 상기 판독 회로에 공급하는 전위 생성 회로; 및 상기 전위 생성 회로에 전위를 공급하는 승압 회로를 포함하는 반도체 장치이다. 상기 메모리 셀들 중 하나는: 제 1 게이트 전극, 제 1 소스 전극 및 제 1 드레인 전극을 구비한 제 1 트랜지스터; 제 2 게이트 전극, 제 2 소스 전극 및 제 2 드레인 전극을 구비한 제 2 트랜지스터; 및 제 3 게이트 전극, 제 3 소스 전극 및 제 3 드레인 전극을 구비한 제 3 트랜지스터를 포함한다. 상기 제 1 트랜지스터는 반도체 재료를 포함하는 기판 위에 제공된다. 상기 제 2 트랜지스터는 산화물 반도체층을 포함한다. 상기 제 1 게이트 전극 및 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 하나는 서로 전기적으로 접속된다. 상기 소스선 및 상기 제 1 소스 전극은 서로 전기적으로 접속된다. 상기 제 1 드레인 전극 및 상기 제 3 소스 전극은 서로 전기적으로 접속된다. 상기 비트선 및 상기 제 3 드레인 전극은 서로 전기적으로 접속된다. 상기 제 1 신호선 및 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 상기 제 2 신호선들 중 하나 및 상기 제 2 게이트 전극은 서로 전기적으로 접속된다. 상기 워드선들 중 하나 및 상기 제 3 게이트 전극은 서로 전기적으로 접속된다.
- [0013] 또한, 상기 구조에서, 상기 반도체 장치는 상기 제 1 게이트 전극 및 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 하나에 전기적으로 접속된 용량 소자를 포함한다.
- [0014] 본 발명의 다른 실시형태는: 소스선; 비트선; 제 1 신호선; 복수의 제 2 신호선들; 복수의 워드선들; 상기 소스선과 상기 비트선 사이에 병렬로 접속된 복수의 메모리 셀들; 어드레스 신호가 입력되고, 상기 어드레스 신호에 의해 지정된 메모리 셀이 상기 복수의 메모리 셀들로부터 선택되도록 상기 복수의 제 2 신호선들 및 상기 복수의 워드선들을 구동하는 상기 제 2 신호선들 및 상기 워드 신호선들에 대한 구동 회로; 복수의 기록 전위들 중 어느 것을 선택하여 상기 제 1 신호선에 출력하는 상기 제 1 신호선의 구동 회로; 상기 비트선의 전위 및 복수의 참조 전위들이 입력되고 참조 메모리 셀을 구비하고, 상기 지정된 메모리 셀의 컨덕턴스와 상기 참조 메모리 셀의 컨덕턴스를 비교함으로써 데이터를 판독하는 판독 회로; 상기 복수의 기록 전위들 및 상기 복수의 참조 전위들을 생성하여 상기 제 1 신호선의 상기 구동 회로 및 상기 판독 회로에 공급하는 전위 생성 회로; 및 상기 전위 생성 회로에 전위를 공급하는 승압 회로를 포함하는 반도체 장치이다. 상기 복수의 메모리 셀들 중 하나는: 제 1 게이트 전극, 제 1 소스 전극 및 제 1 드레인 전극을 구비한 제 1 트랜지스터; 제 2 게이트 전극, 제 2 소스 전극 및 제 2 드레인 전극을 구비한 제 2 트랜지스터; 및 제 3 게이트 전극, 제 3 소스 전극 및 제 3 드레인 전극을 구비한 제 3 트랜지스터를 포함한다. 상기 제 1 트랜지스터는 반도체 재료를 포함하는 기판 위에 제공된다. 상기 제 2 트랜지스터는 산화물 반도체층을 포함한다. 상기 제 1 게이트 전극 및 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 하나는 서로 전기적으로 접속된다. 상기 소스선 및 상기 제 1 소스 전극은 서로 전기적으로 접속된다. 상기 제 1 드레인 전극 및 상기 제 3 소스 전극은 서로 전기적으로 접속된다. 상기 비트선 및 상기 제 3 드레인 전극은 서로 전기적으로 접속된다. 상기 제 1 신호선 및 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 상기 제 2 신호선들 중 하나 및 상기 제 2 게이트 전극은 서로 전기적으로 접속된다. 상기 워드선들 중 하나 및 상기 제 3 게이트 전극은 서로 전기적으로 접속된다.
- [0015] 본 발명의 다른 실시형태는: 소스선; 비트선; 제 1 신호선; 복수의 제 2 신호선들; 복수의 워드선들; 상기 소스선과 상기 비트선 사이에 병렬로 접속된 복수의 메모리 셀들; 어드레스 신호 및 복수의 참조 신호들이 입력되고, 상기 어드레스 신호에 의해 지정된 메모리 셀이 상기 복수의 메모리 셀들로부터 선택되도록 상기 복수의 제 2 신호선들 및 상기 복수의 워드선들을 구동하고 상기 복수의 참조 전위들 중 어느 것을 선택하여 상기 하나의 선택된 워드선에 출력하는 상기 제 2 신호선 및 상기 워드 신호선의 구동 회로; 복수의 기록 전위들 중 어느 것을 선택하여 상기 제 1 신호선에 출력하는 상기 제 1 신호선의 구동 회로; 상기 비트선이 접속되고, 데이터를 판독하기 위해 상기 지정된 메모리 셀의 컨덕턴스를 판독함으로써 데이터를 판독하는 판독 회로; 상기 복수의 기록 전위들 및 상기 복수의 참조 전위들을 생성하여 상기 제 1 신호선의 상기 구동 회로 및 상기 판독

회로에 공급하는 전위 생성 회로; 및 상기 전위 생성 회로에 전위를 공급하는 승압 회로를 포함하는 반도체 장치이다. 상기 메모리 셀들 중 하나는: 제 1 게이트 전극, 제 1 소스 전극 및 제 1 드레인 전극을 구비한 제 1 트랜지스터; 제 2 게이트 전극, 제 2 소스 전극 및 제 2 드레인 전극을 구비한 제 2 트랜지스터; 및 용량 소자를 포함한다. 상기 제 1 트랜지스터는 반도체 재료를 포함하는 기판 위에 제공된다. 상기 제 2 트랜지스터는 산화물 반도체층을 포함한다. 상기 제 1 게이트 전극, 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 하나, 및 상기 용량 소자의 전극들 중 하나는 서로 전기적으로 접속된다. 상기 소스선 및 상기 제 1 소스 전극은 서로 전기적으로 접속된다. 상기 비트선 및 상기 제 1 드레인 전극은 서로 전기적으로 접속된다. 상기 제 1 신호선 및 상기 제 2 소스 전극과 상기 제 2 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 상기 제 2 신호선들 중 하나 및 상기 제 2 게이트 전극은 서로 전기적으로 접속된다. 상기 워드선들 중 하나 및 상기 용량 소자의 상기 전극들 중 다른 하나는 서로 전기적으로 접속된다.

[0016] 상기 구조에서, 상기 제 1 트랜지스터는 다음의 소자들을 포함한다: 상기 반도체 재료를 포함하는 상기 기판 위에 제공되는 채널 형성 영역, 상기 채널 형성 영역을 개재하여 형성된 불순물 영역들, 상기 채널 형성 영역 위의 제 1 게이트 절연층, 상기 제 1 게이트 절연층 위의 상기 제 1 게이트 전극, 및 상기 불순물 영역들에 둘다 전기적으로 접속된 상기 제 1 소스 전극 및 상기 제 1 드레인 전극을 포함한다.

[0017] 또한, 상기 구조에서, 상기 제 2 트랜지스터는 다음의 소자들을 포함한다: 상기 반도체 재료를 포함하는 상기 기판 위의 상기 제 2 게이트 전극, 상기 제 2 게이트 전극 위의 제 2 게이트 절연층, 상기 제 2 게이트 절연층 위의 상기 산화물 반도체층, 및 상기 산화물 반도체층에 둘다 전기적으로 접속된 상기 제 2 소스 전극 및 상기 제 2 드레인 전극을 포함한다.

[0018] 상기 구조에서, 상기 제 3 트랜지스터는 다음의 소자들을 포함한다: 상기 반도체 재료를 포함하는 상기 기판 위에 제공되는 채널 형성 영역, 상기 채널 형성 영역을 개재하여 형성된 불순물 영역들, 상기 채널 형성 영역 위의 상기 제 3 게이트 절연층, 상기 제 3 게이트 절연층 위의 제 3 게이트 전극, 및 상기 불순물 영역들에 둘다 전기적으로 접속된 상기 제 3 소스 전극 및 상기 제 3 드레인 전극을 포함한다.

[0019] 상기 구조에서, 상기 반도체 재료를 포함하는 상기 기판은 단결정 반도체 기판인 것이 바람직하다. 특히, 상기 반도체 재료는 실리콘이 바람직하다. 또한, 상기 반도체 재료를 포함하는 기판으로서, SOI 기판이 또한 이용될 수 있다.

[0020] 바람직하게, 상기 구조에서, 상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 포함한다. 특히, 상기 산화물 반도체층은 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 결정을 포함하는 것이 바람직하다. 그 외에도, 바람직하게, 상기 산화물 반도체층의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이다. 상기 제 2 트랜지스터의 오프-상태 전류는 $1 \times 10^{-13} \text{ A}$ 이하가 바람직하다.

[0021] 그 외에도, 상기 구조에서, 상기 제 2 트랜지스터는 상기 제 1 트랜지스터와 중첩하는 영역에 제공될 수 있다.

[0022] 이 명세서에서, "위(over)" 및 "아래(below)"는 구성요소들 사이의 물리적 관계의 기술에서 각각 "직상(directly on)" 및 "직하(directly under)"를 반드시 의미하는 것이 아님을 유념한다. 예를 들면, "게이트 절연층 위의 제 1 게이트 전극(a first gate electrode over a gate insulating layer)"의 표현은 상기 게이트 절연층과 상기 제 1 게이트 전극 사이에 다른 구성요소가 개재되는 경우를 나타낼 수 있다. 그 외에도, 용어 "위(above)" 및 "아래(below)"는 설명들의 편의를 위해 이용될 뿐이며 이들이 다르게 지정되지 않는 한 교체될 수 있다.

[0023] 이 명세서에서, 용어 "전극(electrode)" 또는 "배선(wiring)"은 구성요소들의 기능을 제한하지 않는다. 예를 들면, "전극"은 "배선"의 일부로서 이용될 수 있고, "배선"은 "전극"의 일부로서 이용될 수 있다. 그 외에도, 용어 "전극" 또는 "배선"은 또한 예를 들면 복수의 "전극들"과 "배선들"의 조합을 의미할 수 있다.

[0024] 또한, "소스(source)" 및 "드레인(drain)"의 기능들은 예를 들면 상이한 극성들을 가진 트랜지스터들이 이용되거나 전류 흐름의 방향이 회로 동작에서 변경될 때 교체될 수 있다. 따라서, 용어들 "소스" 및 "드레인"은 이 명세서에서 교체될 수 있다.

[0025] 이 명세서에서 "전기적으로 접속(electrically connected)"의 표현은 "임의의 전기적 기능을 가진 대상(an object having any electrical function)"을 통한 전기 접속의 경우를 포함함을 유념한다. 여기서, 상기 대상이 상기 대상에 의해 접속된 구성요소들 사이의 전기 신호의 송신 및 수신을 가능하게 하는 한 "임의의 전기적 기능을 가진 대상"에 관한 특정 제약은 없다.

[0026] 예를 들면, 카테고리 "임의의 전기적 기능을 가진 대상"은 전극들 및 배선들뿐만 아니라, 트랜지스터와 같은 스위칭 소자, 레지스터, 인덕터, 커패시터, 및 여러 기능들을 가진 다른 소자들을 포함할 수 있다.

[0027] 일반적으로, 용어 "SOI 기판(SOI substrate)"은 절연표면 위에 실리콘 반도체층을 구비한 기판을 의미한다. 이 명세서에서, 상기 용어 "SOI 기판"은 또한 절연 표면 위에 실리콘 이외의 재료를 이용하는 반도체층을 구비한 기판을 의미한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 제한되지 않는다. 그 외에도, "SOI 기판"에서의 기판은 실리콘 웨이퍼와 같은 반도체 기판에 제한되지 않고, 유리 기판, 석영 기판, 사파이어 기판 및 금속 기판과 같은 비-반도체 기판일 수 있다. 즉, "SOI 기판"은 또한 층이 반도체 재료를 이용하여 형성되는 절연 기판 및 도전성 기판을 포함한다. 그 외에도, 이 명세서에서, "반도체 기판(semiconductor substrate)"은 반도체 재료만의 기판과, 또한 반도체 재료를 포함하는 재료의 일반적인 기판을 의미한다. 달리 말하면, 이 명세서에서, "SOI 기판"은 또한 "반도체 기판"의 광범위한 카테고리에 포함된다.

[0028] 또한, 이 명세서에서, 산화물 반도체 이외의 반도체 재료는 이것이 산화물 반도체 재료 이외의 반도체 재료인 한, 임의의 반도체 재료일 수 있다. 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 실리콘 탄화물, 갈륨 비소 등이 주어질 수 있다. 그 외에도, 유기 반도체 재료 등이 이용될 수 있다. 반도체 장치에 포함된 재료 등이 특별히 지정되지 않는 경우에, 산화물 반도체 재료 또는 산화물 반도체 재료 이외의 반도체 재료가 이용될 수 있음을 유념한다.

발명의 효과

[0029] 본 발명의 일 실시형태는, 하부에, 그 채널 형성 영역에서 산화물 반도체 이외의 재료를 이용한 트랜지스터, 및 상부에, 그 채널 형성 영역에서 산화물 반도체를 이용한 트랜지스터를 포함하는 반도체 장치를 제공한다.

[0030] 산화물 반도체를 이용한 트랜지스터는 극히 낮은 오프-상태 전류를 가진다; 따라서, 상기 트랜지스터를 이용함으로써, 메모리 내용이 비교적 장시간 동안 저장될 수 있다. 즉, 리프레시 동작이 불필요해질 수 있거나, 리프레시 동작의 주파수가 상당히 감소될 수 있어서, 전력 소비가 실질적으로 감소될 수 있다. 또한, 전력이 공급되지 않는 경우에도, 메모리 내용이 장시간 동안 저장될 수 있다.

[0031] 그 외에도, 상기 반도체 장치에 정보를 기록하기 위해서는 고전압이 요구되지 않고, 소자들의 열화에 대한 문제가 없다. 예를 들면, 통상적인 비휘발성 메모리에 필요한 플로팅 게이트로부터 전자들의 추출 및 플로팅 게이트에 대한 전자들의 주입을 수행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 열화가 발생하지 않는다. 즉, 본 발명의 일 실시형태에 따른 상기 반도체 장치는 통상적인 비휘발성 메모리에 문제가 있는 기록의 횟수에 대한 제한을 가지지 않고, 그 신뢰도가 극적으로 개선된다. 또한, 상기 트랜지스터의 온 상태 및 오프 상태에 따라 정보가 기록되고, 그에 의해 고속 동작이 용이하게 실현될 수 있다. 또한, 정보가 기록될 때, 이전에 저장된 정보를 소거하기 위한 동작이 필요하지 않다는 이점이 있다.

[0032] 또한, 산화물 반도체 이외의 재료를 이용하여 형성된 상기 트랜지스터는 충분히 고속으로 동작될 수 있다; 따라서, 상기 트랜지스터를 이용함으로써, 저장된 내용들이 고속으로 판독될 수 있다.

[0033] 또한, 본 발명의 일 실시형태에 따른 상기 반도체 장치는 승압 회로가 구비됨으로써 데이터를 용이하게 다치화할 수 있어서, 저장 용량이 증가될 수 있다.

[0034] 따라서, 산화물 반도체 재료 이외의 재료를 이용한 트랜지스터 및 산화물 반도체 재료를 이용한 트랜지스터의 조합이 제공됨으로써 전례없는 특징들을 가진 반도체 장치가 실현될 수 있다.

도면의 간단한 설명

[0035] 도 1은 반도체 장치를 기술하기 위한 회로도.

도 2a는 반도체 장치를 기술하기 위한 단면도이고, 도 2b는 상기 반도체 장치를 기술하기 위한 평면도.

도 3a 내지 도 3h는 반도체 장치의 제작 단계를 설명하기 위한 각각의 단면도들.

도 4a 내지 도 4g는 반도체 장치의 제작 단계를 설명하기 위한 각각의 단면도들.

도 5a 내지 도 5d는 반도체 장치의 제작 단계를 설명하기 위한 각각의 단면도들.

도 6은 산화물 반도체를 이용하여 형성된 트랜지스터의 단면도.

도 7은 도 6에서 A-A' 섹션을 따른 에너지 대역도(개략도).

도 8a는 양 전압($V_g > 0$)이 게이트 전극(GE)에 인가된 상태를 도시한 도면이고, 도 8b는 음 전압($V_g < 0$)이 게이트 전극(GE)에 인가된 상태를 도시한 도면.

도 9는 산화물 반도체의 진공 준위와 상기 전자 친화력(χ) 사이의 관계를 도시한 도면.

도 10은 C-V 특성을 도시한 그래프.

도 11은 V_g 와 $(1/C)^2$ 사이의 관계를 도시한 그래프.

도 12는 반도체 장치를 기술하기 위한 단면도.

도 13a 및 도 13b는 반도체 장치를 기술하기 위한 단면도들.

도 14a 및 도 14b는 반도체 장치를 기술하기 위한 단면도들.

도 15a 및 도 15b는 반도체 장치를 기술하기 위한 단면도들.

도 16은 메모리 소자를 기술하기 위한 회로도.

도 17은 반도체 장치를 기술하기 위한 회로도.

도 18은 구동 회로를 기술하기 위한 회로도.

도 19는 구동 회로를 기술하기 위한 회로도.

도 20은 판독 회로를 기술하기 위한 회로도.

도 21은 전위 생성 회로를 기술하기 위한 회로도.

도 22a 및 도 22b는 승압 회로를 기술하기 위한 회로도들.

도 23은 차동 감지 증폭기 회로를 기술하기 위한 회로도.

도 24는 래치 감지 증폭기를 기술하기 위한 회로도.

도 25a 및 도 25b는 동작을 설명하기 위한 타이밍 차트들.

도 26은 반도체 장치를 기술하기 위한 회로도.

도 27은 판독 회로를 기술하기 위한 회로도.

도 28은 동작을 설명하기 위한 타이밍 차트.

도 29는 판독 회로를 기술하기 위한 회로도.

도 30은 동작을 설명하기 위한 타이밍 차트.

도 31은 메모리 소자를 기술하기 위한 회로도.

도 32는 반도체 장치를 기술하기 위한 회로도.

도 33은 판독 회로를 기술하기 위한 회로도.

도 34는 구동 회로를 기술하기 위한 회로도.

도 35는 동작을 설명하기 위한 타이밍 차트.

도 36은 노드 A의 전위와 워드선의 전위 사이의 관계를 도시한 그래프.

도 37a 내지 도 37f는 각각 전자 기기를 기술하기 위한 도면들.

발명을 실시하기 위한 구체적인 내용

이후, 본 발명의 실시형태들의 예들은 도면들을 참조하여 기술될 것이다. 본 발명은 다음의 기술들에 제한되지 않고 본 기술분야의 통상의 기술자들은 본 발명의 기술사상 및 범위를 벗어나지 않고 모드들 및 상세들이 다양한 방식으로 변형될 수 있다는 것을 쉽게 알 것임을 유념한다. 따라서, 본 발명은 다음의 실시형태 모드들의 기

[0036]

술에 제한되는 것으로서 해석되어서는 안 된다.

- [0037] 용이한 이해를 위해, 도면들 등에 기술된 각각의 구성요소의 위치, 크기, 범위 등은 일부 경우들에서 실제의 것들이 아님을 유념한다. 따라서, 본 발명은 도면들 등에 개시된 위치, 크기 및 범위 등에 제한되지 않는다.
- [0038] 이 명세서에서, "제 1(first)", "제 2(second)" 및 "제 3(third)"과 같은 서수들은 구성요소들 사이의 혼동을 회피하기 위해 이용되고, 용어들은 구성요소들을 수적으로 제한하는 것이 아님을 유념한다.
- [0039] (실시형태 1)
- [0040] 이 실시형태에서, 개시된 본 발명의 일 실시형태에 따른 반도체 장치들의 구조들 및 제작 방법들이 도 1, 도 2a 및 도 2b, 도 3a 내지 도 3h, 도 4a 내지 도 4g, 도 5a 내지 도 5d, 도 6, 도 7a 및 도 7b, 도 8a 및 도 8b, 도 9, 도 10, 도 11, 도 12, 도 13a 및 도 13b, 도 14a 및 도 14b, 도 15a 및 도 15b를 참조하여 기술된다.
- [0041] <반도체 장치의 회로 구성>
- [0042] 도 1은 반도체 장치의 회로 구성의 예를 도시한다. 상기 반도체 장치는 산화물 반도체 이외의 재료를 이용하는 트랜지스터(160) 및 산화물 반도체를 이용하는 트랜지스터(162)를 포함한다. 도 1은 상기 트랜지스터(162)가 산화물 반도체를 이용하는 것을 보여주기 위해 마크 "OS"가 도 1의 상기 트랜지스터(162)에 추가되었음을 유념한다.
- [0043] 여기서, 상기 트랜지스터(160)의 게이트 전극은 상기 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속된다. 제 1 배선("1st Line"으로 표시되고 또한 소스선이라고 칭해짐) 및 제 2 배선("2nd Line"으로 표시되고 또한 비트선이라고 칭해짐)은 상기 트랜지스터(160)의 소스 전극 및 상기 트랜지스터(160)의 드레인 전극에 각각 전기적으로 접속된다. 또한, 제 3 배선("3rd Line"으로 표시되고 또한 제 1 신호선이라고 칭해짐) 및 제4 배선("4th Line"으로 표시되고 또한 제 2 신호선이라고 칭해짐)은 상기 트랜지스터(162)의 상기 소스 전극과 상기 드레인 전극 중 다른 하나 및 상기 트랜지스터(162)의 게이트 전극에 각각 전기적으로 접속된다.
- [0044] 산화물 반도체 이외의 재료를 이용하는 상기 트랜지스터(160)는 충분히 고속으로 동작할 수 있다; 따라서 저장된 내용들 등을 고속으로 판독할 수 있다. 그 외에도, 산화물 반도체를 이용하는 상기 트랜지스터(162)에서 오프-상태 전류가 극히 작다. 따라서, 상기 트랜지스터(162)가 턴 오프될 때, 상기 트랜지스터(160)의 상기 게이트 전극의 전위는 극히 장시간 동안 유지될 수 있다.
- [0045] 상기 게이트 전극의 상기 전위가 극히 장시간 동안 유지될 수 있는 이점은 하기에 기술되는 바와 같이 정보의 기록, 유지 및 판독을 수행할 수 있게 한다.
- [0046] 먼저, 정보의 기록 및 유지에 관한 기술이 이루어진다. 먼저, 상기 제 4 배선의 전위가 상기 트랜지스터(162)를 온 상태로 두는 전위로 설정된다. 따라서, 상기 제 3 배선의 전위가 상기 트랜지스터(160)의 상기 게이트 전극에 인가된다(데이터 기록 동작). 그 후, 상기 제 4 배선의 상기 전위가 상기 트랜지스터(162)를 오프 상태로 두는 전위로 설정된다; 따라서, 상기 트랜지스터(160)의 상기 게이트 전극의 상기 전위가 유지된다(데이터 유지 동작).
- [0047] 상기 트랜지스터(162)의 상기 오프-상태 전류가 극히 작기 때문에, 상기 트랜지스터(160)의 상기 게이트 전극의 상기 전위가 장시간 동안 유지된다. 예를 들면, 상기 트랜지스터(160)의 상기 게이트 전극의 상기 전위가 상기 트랜지스터(160)를 온 상태로 두는 전위일 때, 상기 트랜지스터(160)의 상기 온 상태는 장시간 동안 유지된다. 상기 트랜지스터(160)의 상기 게이트 전극의 상기 전위가 상기 트랜지스터(160)를 오프 상태로 만들기 위한 전위일 때, 상기 트랜지스터(160)의 상기 오프 상태는 장시간 동안 유지된다.
- [0048] 다음에, 정보의 판독 동작에 관한 기술이 이루어진다. 상기 트랜지스터(160)의 온 상태 또는 오프 상태가 상술된 바와 같이 유지되고 미리 결정된 전위(저전위)가 상기 제 1 배선에 인가될 때, 상기 제 2 배선의 전위값은 온 상태 또는 오프 상태인 상기 트랜지스터(160)의 상태에 의존하여 변화한다. 예를 들면, 상기 트랜지스터(160)가 온 상태일 때, 상기 제 2 배선의 상기 전위는 상기 제 1 배선의 상기 전위에 의해 영향을 받아 낮아진다. 한편, 상기 트랜지스터(160)가 오프 상태일 때, 상기 제 2 배선의 상기 전위는 변화하지 않는다.
- [0049] 이러한 방식으로, 상기 정보가 유지되는 상태에서 상기 제 1 배선의 상기 전위를 상기 제 2 배선의 상기 전위와 비교함으로써, 상기 정보가 판독될 수 있다.
- [0050] 그 후에, 정보의 재기록에 관한 기술이 이루어진다. 정보의 재기록은 상술된 정보의 상기 기록 및 유지의 방식

과 유사한 방식으로 수행된다. 즉, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(162)를 온 상태로 두는 전위로 설정되고, 그에 의해 상기 트랜지스터(162)는 온 상태에 놓인다. 따라서, 상기 제 3 배선의 상기 전위(새로운 정보에 관련된 전위)가 상기 트랜지스터(160)의 상기 게이트 전극에 인가된다. 그 후, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(162)를 오프 상태로 두는 전위로 설정되고, 그에 의해 상기 트랜지스터(162)는 온 상태에 놓인다; 따라서, 상기 새로운 정보가 유지된다.

[0051] 상술된 바와 같이, 개시된 발명의 일 실시형태에 따른 상기 반도체 장치에서, 정보의 재기록을 수행함으로써 직접 재기록될 수 있다. 플래시 메모리 등에 필요한 소거 동작이 따라서 요구되지 않는다; 따라서 소거 동작으로 인한 동작 속도의 감소가 억제될 수 있다. 달리 말하면, 반도체 장치의 고속 동작이 실현된다.

[0052] 상기 기술에서, 전자들을 캐리어들로서 이용하는 n형 트랜지스터(n-채널 트랜지스터)가 이용되지만, 캐리어들로서 정공들을 이용하는 p-채널 트랜지스터도 말할 필요도 없이 n-채널 트랜지스터 대신에 이용될 수 있음을 유념한다.

[0053] 또한, 상기 트랜지스터(160)의 상기 게이트 전극의 상기 전위가 용이하게 유지되도록 상기 트랜지스터(160)의 상기 게이트 전극에 용량 소자가 추가될 수 있음은 말할 필요도 없다.

[0054] <반도체 장치의 평면 구성 및 단면 구성>

[0055] 상기 반도체 장치의 구성예가 도 2a 및 도 2b에 도시된다. 도 2a 및 도 2b는 각각 상기 반도체 장치의 단면도 및 그 평면도이다. 여기서, 도 2a는 도 2b의 라인 A1-A2 및 라인 B1-B2를 따라 취해진 단면도에 대응한다. 도 2a 및 도 2b에 도시된 상기 반도체 장치는 하부에 산화물 반도체 이외의 재료를 이용한 상기 트랜지스터(160) 및 상부에 산화물 반도체를 이용한 상기 트랜지스터(162)를 포함한다. 상기 트랜지스터들(160 및 162)로서 n-채널 트랜지스터들이 기술되었지만, p-채널 트랜지스터들이 이용될 수 있음을 유념한다. p-채널 트랜지스터가 상기 트랜지스터(160)로서 이용되는 것이 특히 바람직할 수 있다.

[0056] 상기 트랜지스터(160)는 반도체 재료를 포함한 기판(100)에 제공되는 채널 형성 영역(116); 상기 채널 형성 영역(116)을 사이에 개제한 불순물 영역들(114) 및 상기 채널 형성 영역(116)을 사이에 개제한 고농도 불순물 영역들(120)(불순물 영역들(114) 및 고농도 불순물 영역들(120)이 또한 소위 불순물 영역들이라고 집합적으로 칭해짐); 상기 채널 형성 영역(116) 위에 제공된 게이트 절연층(108a); 상기 게이트 절연층(108a) 위에 제공된 게이트 전극(110a); 상기 채널 형성 영역(116)의 측면 상의 제 1 불순물 영역(114)에 전기적으로 접속된 소스 또는 드레인 전극(130a); 및 상기 채널 형성 영역(116)의 다른 측면 상의 제 2 불순물 영역들(114)에 전기적으로 접속된 소스 또는 드레인 전극(130b)을 포함한다.

[0057] 여기서, 측벽 절연층들(118)이 상기 게이트 전극(110a)의 측면들에 제공된다. 또한, 위에서 볼 때, 상기 측벽 절연층들(118) 중 적어도 일부들은 상기 기판(100)의 영역들에 형성된 상기 고농도 불순물 영역들(120) 사이에 포함되고, 금속 화합물 영역들(124)이 상기 고농도 불순물 영역들(120) 위에 존재한다. 또한, 상기 p형 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 상기 기판(100) 위에 형성되고, 층간 절연층(126) 및 층간 절연층(128)이 상기 p형 트랜지스터(160)를 피복하도록 형성된다. 상기 소스 또는 드레인 전극(130a)은 상기 채널 형성 영역(116)의 일 측면 상의 제 1 금속 화합물 영역(124)에 전기적으로 접속되고, 상기 소스 또는 드레인 전극(130b)은 상기 층간 절연층(126) 및 상기 층간 절연층(128)의 개구부들을 통해 상기 채널 형성 영역(116)의 다른 측면 상의 제 2 금속 화합물 영역(124)에 전기적으로 접속된다. 달리 말하면, 소스 또는 드레인 전극(130a)은 상기 채널 형성 영역(116)의 상기 일 측면 상의 상기 제 1 불순물 영역(114)에 및 제 1 고농도 영역(120)에 전기적으로 접속되고, 상기 소스 또는 드레인 전극(130b)은 상기 채널 형성 영역(116)의 상기 다른 측면 상의 상기 제 2 금속 화합물 영역(124)을 통해 상기 채널 형성 영역(116)의 상기 다른 측면 상에 있는 상기 제 2 불순물 영역(114)에 및 제 2 고농도 영역(120)에 전기적으로 접속된다. 또한, 상기 게이트 전극(110a)은 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)과 유사한 방식으로 제공되는 전극(130c)에 전기적으로 접속된다.

[0058] 상기 트랜지스터(162)는: 상기 층간 절연층(128) 위에 제공된 게이트 전극(136d); 상기 게이트 전극(136d) 위에 제공된 게이트 절연층(138); 상기 게이트 절연층(138) 위에 제공된 산화물 반도체층(140); 및 상기 산화물 반도체층(140) 위에 제공되고 그에 전기적으로 접속된 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 포함한다.

[0059] 여기서, 상기 게이트 전극(136d)은 상기 층간 절연층(128) 위에 형성된 절연층(132)에 임베딩되도록 제공된다.

또한, 상기 게이트 전극(136d)과 유사하게, 전극(136a), 전극(136b) 및 전극(136c)은 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b) 및 상기 전극(130c)에 각각 접하여 형성된다.

[0060] 상기 트랜지스터(162) 위에, 보호 절연층(144)이 상기 산화물 반도체층(140)의 일부와 접하여 제공된다. 층간 절연층(146)이 상기 보호 절연층(144) 위에 제공된다. 여기서, 상기 보호 절연층(144) 및 상기 층간 절연층(146)에서, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구들이 형성된다. 상기 개구부들에서, 전극(150d) 및 전극(150e)은 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)과 각각 접하도록 형성된다. 상기 전극들(150d 및 150e)과 유사하게, 전극(150a), 전극(150b) 및 전극(150c)은 상기 게이트 절연층(138), 상기 보호 절연층(144) 및 상기 층간 절연층(146)에 제공된 개구부들을 통해, 상기 전극(136a), 상기 전극(136b) 및 상기 전극(136c)과 각각 접하도록 형성된다.

[0061] 여기서, 상기 산화물 반도체층(140)은 수소와 같은 불순물을 제거하여 고순도화된 산화물 반도체층이 바람직하다. 특히, 상기 산화물 반도체층(140)에서의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 그 외에도, 상기 산화물 반도체층(140)이 산소 결핍들로 인한 결함이 감소되도록 충분한 산소를 함유하는 것이 바람직하다. 상기 산소 농도를 충분히 감소시킴으로써 고순도화되는 상기 산화물 반도체층(140)에서, 캐리어 농도는 $1 \times 10^{12} / \text{cm}^3$ 이하, 바람직하게 $1 \times 10^{11} / \text{cm}^3$ 이하이다. 이러한 방식으로, i-형(진성) 산화물 반도체 또는 실질적으로 i-형 산화물 반도체가 되게 하는 산화물 반도체를 이용함으로써, 극히 양호한 오프-상태 전류 특성들을 가진 상기 트랜지스터(162)가 획득될 수 있다. 예를 들면, 드레인 전압 V_d 가 +1V 또는 +10V이고 게이트 전압 V_g 가 -5V 내지 -20V의 범위에 있을 때, 오프-상태 전류는 $1 \times 10^{-13} \text{ A}$ 이하이다. 상기 수소 농도를 충분히 감소시킴으로써 고순도화되고 산소 결핍들로 인한 상기 결함들이 감소된 상기 산화물 반도체층(140)이 이용되고 상기 트랜지스터(162)의 오프-상태 전류가 감소되고, 새로운 구성을 가진 반도체 장치가 실현될 수 있다. 상기 산화물 반도체층(140)에서의 상기 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정되었음을 유념한다.

[0062] 또한, 절연층(152)이 상기 층간 절연층(146) 위에 제공된다. 전극(154a), 전극(154b), 전극(154c) 및 전극(154d)은 상기 절연층(152)에 임베딩되도록 제공된다. 여기서, 상기 전극(154a)은 상기 전극(150a); 상기 전극(154b)은 상기 전극(150b); 상기 전극(154c)은 상기 전극들(150c 및 150d); 및 상기 전극(154d)은 상기 전극(150e)과 접한다.

[0063] 즉, 도 2a 및 도 2b에 도시된 상기 반도체 장치에서, 상기 트랜지스터(160)의 상기 게이트 전극(110a)이 상기 전극들(130c, 136c, 150c, 154c 및 150d)을 통해 상기 트랜지스터(162)의 상기 소스 또는 드레인 전극(142a)에 전기적으로 접속된다.

[0064] <반도체 장치를 제작하기 위한 방법>

[0065] 다음에, 상술된 반도체 장치를 제작하기 위한 방법의 예가 기술될 것이다. 먼저, 하부의 상기 트랜지스터(160)를 제작하기 위한 방법이 도 3a 내지 도 3h를 참조하여 기술될 것이고, 다음에, 상부의 상기 트랜지스터(162)를 제작하기 위한 방법이 도 4a 내지 도 4g 및 도 5a 내지 도 5d를 참조하여 기술될 것이다.

[0066] <하부의 트랜지스터를 제작하기 위한 방법>

[0067] 먼저, 반도체 재료를 포함하는 상기 기판(100)이 준비된다(도 3a 참조). 반도체 재료를 포함하는 상기 기판(100)으로서, 실리콘, 실리콘 탄화물 등을 포함하는 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등을 포함하는 화합물 반도체 기판, SOI 기판 등이 이용될 수 있다. 여기서, 단결정 실리콘 기판이 반도체 재료를 포함하는 상기 기판(100)으로서 이용되는 예가 기술된다. 일반적으로, 용어 "SOI 기판"은 절연 표면 위에 실리콘 반도체층을 구비하는 기판을 의미함을 유념한다. 이 명세서에서, 용어 "SOI 기판"은 또한 절연 표면 위에 실리콘 이외의 재료를 이용한 반도체층을 구비하는 기판을 의미한다. 즉, 상기 "SOI 기판"에 포함된 반도체층은 실리콘 반도체층에 제한되지 않는다. 그 외에도, 상기 SOI 기판은 유리 기판과 같은 절연 기판 위에 반도체층을 구비한 기판을 포함하며, 상기 반도체층과 상기 절연 기판 사이에는 절연층을 구비한다.

[0068] 상기 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크로서 기능하는 보호층(102)이 형성된다(도 3a 참조). 상기 보호층(102)으로서, 예를 들면, 산화 실리콘, 질화 실리콘, 질화산화 실리콘 등을 이용하여 형성된 절연층이 이용될 수 있다. 상기 트랜지스터의 임계 전압을 제어하기 위한 상기 단계 전 또는 후에 n형 도전성을 제공하는 불순물 원소 또는 p형 도전성을 제공하는 불순물 원소가 상기 기판(100)에 첨가될 수 있음을

유념한다. 상기 기판(100)에 포함된 상기 반도체 재료가 실리콘일 때, n형 도전성을 제공하는 상기 불순물 원소로서, 인, 비소 등이 이용될 수 있다. 상기 p형 도전성을 제공하는 불순물 원소로서, 예를 들면 붕소, 알루미늄, 갈륨 등이 이용될 수 있다.

[0069] 다음에, 상기 보호층(102)으로 피복되지 않은 영역(노출된 영역)의 상기 기판(100)의 일부는 마스크로서 상기 보호층(102)을 이용한 에칭에 의해 제거된다. 따라서, 절연된 반도체 영역(104)이 형성된다(도 3b 참조). 상기 에칭에 대해, 건식 에칭이 수행되는 것이 바람직하지만, 습식 에칭이 수행될 수 있다. 에칭 가스 및 에천트는 에칭된 대상의 재료에 의존하여 적합하게 선택될 수 있다.

[0070] 다음에, 절연층이 상기 반도체 영역(104)을 피복하도록 형성되고 상기 반도체 영역(104)과 중첩하는 영역에서 선택적으로 제거되고, 그에 의해 상기 소자 분리 절연층(106)이 형성된다(도 3b 참조). 상기 절연층은 산화 실리콘, 질화 실리콘, 질화산화 실리콘 등을 이용하여 형성된다. 상기 절연층을 제거하기 위한 방법으로서, CMP와 같은 연마 처리 및 에칭이 존재하고, 이들 중 어느 것이 이용될 수 있다. 상기 보호층(102)은 상기 반도체 영역(104)이 형성된 후 또는 상기 소자 분리 절연층(106)이 형성된 후에 제거됨을 유념한다.

[0071] 그 후에, 절연층이 상기 반도체 영역(104) 위에 형성되고, 도전 재료를 포함하는 층이 상기 절연층 위에 형성된다.

[0072] 상기 절연층은 나중에 게이트 절연층의 역할을 하고, CVD법, 스퍼터링법 등을 이용함으로써 획득되는 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등을 포함하는 단층 구조 또는 적층 구조를 가지는 것이 바람직하다. 대안적으로, 상기 절연층은 고밀도 플라즈마 처리 또는 열 산화 처리에 의해 상기 반도체 영역(104)의 표면을 산화 또는 질화함으로써 획득될 수 있다. 상기 고밀도 플라즈마 처리는 예를 들면, He, Ar, Kr 또는 Xe과 같은 희가스와 산소, 산화 질소, 암모니아, 질소 또는 수소의 조합의 혼합 가스를 이용하여 수행될 수 있다. 상기 절연층의 두께에 관한 특정 제약은 없지만, 상기 두께는 예를 들면 1nm 이상 100nm 이하일 수 있다.

[0073] 도전 재료를 포함하는 상기 층이 알루미늄, 구리, 티타늄, 탄탈 또는 텅스텐과 같은 금속 재료를 이용하여 형성될 수 있다. 대안적으로, 도전 재료를 포함하는 상기 층은 도전 재료를 포함하는 다결정 실리콘과 같은 반도체 재료를 이용하여 형성될 수 있다. 또한 도전 재료를 포함하는 상기 층을 형성하기 위한 방법에 관한 특정 제약이 없고, 증착법, CVD법, 스퍼터링법 및 스핀 코팅법과 같은 임의의 다양한 성막 방법들이 적용 가능하다. 이 실시형태에서, 도전 재료를 포함하는 상기 층이 금속 재료를 이용하여 형성되는 경우의 예가 기술된다.

[0074] 그 후, 상기 절연층 및 도전 재료를 포함하는 상기 층을 선택적으로 에칭함으로써, 상기 게이트 절연층(108a) 및 상기 게이트 전극층(110a)이 형성된다(도 3c 참조).

[0075] 다음에, 상기 게이트 전극(110a)을 피복하는 절연층(112)이 형성된다(도 3c 참조). 인(P), 비소(As) 등이 그 후에 상기 반도체 영역(104)에 첨가되고, 그에 의해 얇은 접합 심도(shallow junctiondepth)를 가진 상기 불순물 영역들(114)이 형성된다(도 3c 참조). 여기서 n-채널 트랜지스터를 형성하도록 인 또는 비소가 첨가되었지만, p-채널 트랜지스터를 형성하는 경우에 붕소(B) 또는 알루미늄(Al)과 같은 불순물 원소가 첨가될 수 있음을 유념한다. 또한, 상기 불순물 영역들(114)의 형성에 의해 상기 게이트 절연층(108a) 아래에 상기 채널 형성 영역(116)이 상기 반도체 영역(104)에서 형성될 수 있음을 유념한다(도 3c 참조). 여기서, 상기 첨가된 불순물의 농도는 적합하게 설정될 수 있다; 반도체 소자가 매우 소형화되는 경우에, 상기 농도는 높게 설정되는 것이 바람직하다. 또한, 상기 절연층(112)의 형성 후에 상기 불순물 영역들(114)이 형성되는 공정이 여기서 이용되는 대신에 상기 불순물 영역들(114)의 형성 후에 상기 절연층(112)이 형성되는 공정이 이용될 수 있다.

[0076] 그 후에, 상기 측벽 절연층들(118)이 형성된다(도 3d 참조). 절연층이 상기 절연층(112)을 피복하도록 형성되고, 그 후에 이방성이 높은 에칭이 수행되고, 그에 의해 상기 측벽 절연층들(118)이 자기정합적으로 형성될 수 있다. 이때 상기 절연층(112)은 상기 게이트 전극(110a)의 상부 표면 및 상기 불순물 영역들(114)의 상부 표면이 노출되도록 부분적으로 에칭되는 것이 바람직하다.

[0077] 그 후에, 절연층이 상기 게이트 전극(110a), 상기 불순물 영역들(114), 상기 측벽 절연층들(118) 등을 피복하도록 형성된다. 인(P), 비소(As) 등이 그 후에 상기 불순물 영역들(114)과 접하는 영역들에 첨가되고, 그에 의해 고농도 불순물 영역들(120)이 형성된다(도 3e 참조). 다음에, 상기 절연층이 제거되고 금속층(122)이 상기 게이트 전극(110a), 상기 측벽 절연층들(118), 상기 고농도 불순물 영역들(120) 등을 피복하도록 형성된다(도 3e 참조). 진공 증착법, 스퍼터링법 및 스핀 코팅법과 같은 임의의 다양한 성막 방법들이 상기 금속층(122)의 형성에 적용 가능하다. 저저항을 가진 금속 화합물을 형성되도록 상기 반도체 영역(104)에 포함된 반도체 재료와 반응

하는 금속 재료를 이용하여 상기 금속층(122)이 형성되는 것이 바람직하다. 이러한 금속 재료의 예들은 티타늄, 탄탈, 텅스텐, 니켈, 코발트 및 백금을 포함한다.

[0078] 다음에, 열 처리가 수행되고, 그에 의해 상기 금속층(122)이 상기 반도체 재료와 반응한다. 따라서, 상기 고농도 불순물 영역들(120)과 접하는 상기 금속 화합물 영역들(124)이 형성된다(도 3f 참조). 상기 게이트 전극(110a)에 대해 다결정 실리콘을 이용하는 경우에, 상기 금속층(122)과 접하는 상기 게이트 전극(110a)의 일부가 또한 상기 금속 화합물 영역을 가짐을 유념한다.

[0079] 상기 열 처리로서, 플래시 램프로의 조사가 이용될 수 있다. 다른 열 처리 방법이 이용될 수 있음은 말할 필요도 없지만, 극히 단시간 동안 열 처리가 달성될 수 있는 방법은 상기 금속 화합물의 형성시 화학적 반응의 제어 능력을 개선하기 위해 이용되는 것이 바람직하다. 상기 금속 화합물 영역들(124)은 상기 반도체 재료로 상기 금속 재료의 반응을 통해 형성되고 상당히 높은 전도성을 가짐을 유념한다. 상기 금속 화합물 영역들(124)의 형성에 의해, 전기 저항이 충분히 감소될 수 있고, 소자 특성들이 개선될 수 있다. 상기 금속층(122)이 상기 금속 화합물 영역들(124)의 형성 후에 제거된다.

[0080] 상기 층간 절연층들(126 및 128)은 상기 단계들에서 형성된 구성요소들을 피복하도록 형성된다(도 3g 참조). 상기 층간 절연층들(126 및 128)은, 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈과 같은 무기 절연 재료를 함유한 재료를 이용하여 형성될 수 있다. 대안적으로, 폴리이미드 또는 아크릴과 같은 유기 절연 재료가 이용될 수 있다. 상기 층간 절연층(126) 및 상기 층간 절연층(128)이 여기서 2층 구조를 가지지만, 상기 층간 절연층들의 구조가 이에 제한되지 않음을 유념한다. 상기 층간 절연층(128)이 형성된 후에 평탄화되도록, 상기 층간 절연층(128)의 표면에는 CMP, 에칭 등이 수행되는 것이 바람직하다.

[0081] 그 후, 상기 금속 화합물 영역들(124)에 도달하는 개구부들이 상기 층간 절연층들에 형성되고, 그 후에 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)이 상기 개구부들에 형성된다(도 3h 참조). 예를 들면, 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 다음과 같이 형성될 수 있다: 도전층이 PVD법, CVD법 등에 의해 상기 개구부들을 포함하는 영역에 형성된다; 그 후에 상기 도전층의 일부가 CMP, 에칭 등에 의해 제거된다.

[0082] 상기 도전층의 일부를 제거함으로써 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)을 형성하는 경우에, 그 표면들은 평탄화되도록 가공하는 것이 바람직함을 유념한다. 예를 들면, 티타늄막, 질화 티타늄막 등이 상기 개구부들을 포함하는 상기 영역에서 작은 두께를 가지도록 형성되고, 텅스텐막이 그 후에 상기 개구부들에 임베딩되도록 형성되는 경우에, 그 후에 수행되는 CMP는 상기 텅스텐막, 티타늄막, 질화 티타늄막 등의 불필요한 부분을 제거할 수 있고, 상기 표면들의 상기 평탄성을 개선할 수 있다. 상술된 바와 같이 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)의 상기 표면들을 포함하는 표면들을 평탄화함으로써, 양호한 전극들, 배선들, 절연층들, 반도체층들 등이 후속 단계에서 형성될 수 있다.

[0083] 상기 금속 화합물 영역들(124)과 접하는 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)이 기술되었지만, 상기 게이트 전극(110a)과 접하는 전극(예를 들면 도 2a의 상기 전극(130c)) 등이 동일 단계에서 형성될 수 있음을 유념한다. 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)에 이용되는 재료에 대한 특정 제약이 없고 임의의 다양한 도전 재료들이 이용될 수 있다. 예를 들면, 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐과 같은 도전 재료가 이용될 수 있다.

[0084] 상기 공정을 통해, 반도체 재료를 포함하는 상기 기판(100)을 이용하는 상기 트랜지스터(160)가 형성된다. 전극들, 배선들, 절연층들 등이 상기 공정이 수행된 후에 마찬가지로 형성될 수 있음을 유념한다. 층간 절연층 및 도전층이 적층되는 다층 배선 구조가 배선 구조로서 이용될 때, 고도로-집적된 반도체 장치가 제공될 수 있다.

[0085] <상부의 트랜지스터를 제작하기 위한 방법>

[0086] 상기 트랜지스터(162)가 상기 층간 절연층(128) 위에 제작되는 공정이 도 4a 내지 도 4g 및 도 5a 내지 도 5d를 참조하여 기술된다. 상기 트랜지스터(162) 아래에 있는 상기 트랜지스터(160) 등은 상기 층간 절연층(128) 위에 다양한 전극들, 상기 트랜지스터(162) 등의 제작 공정을 도시하는 도 4a 내지 도 4g 및 도 5a 내지 도 5d에서 생략됨을 유념한다.

[0087] 먼저, 상기 절연층(132)이 상기 층간 절연층(128), 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b) 및 상기 전극(130c) 위에 형성된다(도 4a 참조). 상기 절연층(132)은 PVD법, CVD법 등에 의해 형성될 수 있다. 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은

무기 절연 재료를 함유한 재료가 상기 절연층(132)에 이용될 수 있다.

[0088] 다음에, 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 및 상기 전극(130c)에 도달하는 개구부들이 상기 절연층(132)에 형성된다. 이때, 상기 게이트 전극(136d)이 형성될 영역에 다른 개구부가 형성된다. 도전층(134)이 상기 개구부들에 임베딩되도록 형성된다(도 4b 참조). 상기 개구부들은 예를 들면 마스크를 이용하여 에칭에 의해 형성될 수 있다. 상기 마스크는 예를 들면 포토마스크를 이용하여 노출에 의해 형성될 수 있다. 상기 에칭에 대해, 습식 에칭 또는 건식 에칭이 수행될 수 있지만, 건식 에칭이 미세 패터닝의 관점에서 바람직하다. 상기 도전층(134)은 PVD법 또는 CVD법과 같은 성막 방법에 의해 형성될 수 있다. 상기 도전층(134)에 대한 재료의 예들은 폴리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 도전 재료, 이들 중 어느 것의 합금, 및 이들 중 어느 것을 함유한 화합물(예를 들면 이들 중 어느 것의 질화물)을 포함한다.

[0089] 특히, 예를 들면, 상기 도전층(134)은 다음과 같이 형성될 수 있다: PVD법에 의해 상기 개구부들을 포함하는 영역에 티타늄막이 작은 두께를 가지도록 형성되고 그 후에 CVD법에 의해 질화 티타늄막이 작은 두께를 가지도록 형성된다; 그 후에, 텅스텐막이 상기 개구부들을 충전하도록 형성된다. 여기서, PVD법에 의해 형성되는 상기 티타늄막이 하부의 전극(여기서, 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b) 및 상기 전극(130c) 등)과의 계면에서 산화막의 형성을 감소시키는 기능을 가져서, 상기 하부 전극이 가진 접촉 저항이 감소된다. 그 외에도, 후속적으로 형성되는 질화 티타늄막이 배리어 속성을 가져서 도전 재료의 확산이 방지된다. 또한, 배리어막이 티타늄, 질화 티타늄 등을 이용하여 형성된 후에, 구리막이 플레이팅법에 의해 형성된다.

[0090] 상기 도전층(134)이 형성된 후, 상기 도전층(134)의 일부가 에칭, CMP 등에 의해 제거되어 상기 절연층(132)이 노출되고 상기 전극들(136a, 136b 및 136c) 및 상기 게이트 전극(136d)이 형성된다(도 4c 참조). 상기 전극들(136a, 136b 및 136c) 및 상기 게이트 전극(136d)이 상기 도전층(134)의 일부를 제거함으로써 형성될 때, 상기 공정은 평탄화된 표면들이 획득되도록 수행되는 것이 바람직함을 유념한다. 상기 절연층(132), 상기 전극들(136a, 136b 및 136c) 및 상기 게이트 전극(136d)의 표면들을 평탄화함으로써, 양호한 전극들, 배선들, 절연층들, 반도체층들 등이 후속 단계에 형성될 수 있다.

[0091] 그 후에, 상기 게이트 절연층(138)은 상기 절연층(132), 상기 전극들(136a, 136b 및 136c) 및 상기 게이트 전극(136d)을 피복하도록 형성된다(도 4d 참조). 상기 게이트 절연층(138)은 스퍼터링법, CVD법 등에 의해 형성될 수 있다. 상기 게이트 절연층(138)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 함유하는 것이 바람직하다. 상기 게이트 절연층(138)이 단층 구조 또는 적층 구조를 가질 수 있음을 유념한다. 예를 들면, 산화질화 실리콘의 상기 게이트 절연층(138)은 실란(SiH_4), 산소 및 질소를 원료 가스들로서 이용하여 플라즈마 CVD법에 의해 형성될 수 있다. 상기 게이트 절연층(138)의 두께에 관한 특정 제한은 없지만, 상기 두께는 예를 들면 10nm 이상 500nm 이하일 수 있다. 적층 구조가 이용될 때, 상기 게이트 절연층(138)이 50nm 이상 200nm 이하의 두께를 가진 제 1 게이트 절연층 및 상기 제 1 게이트 절연층 위에 5nm 이상 300nm 이하의 두께를 가진 제 2 게이트 절연층을 적층함으로써 형성되는 것이 바람직하다.

[0092] 불순물을 제거함으로써 i-형 산화물 반도체 또는 실질적으로 i-형 산화물 반도체가 되도록 만들어진 산화물 반도체(고순도화된 산화물 반도체)는 계면 에너지 준위들에 또는 상기 계면에 트랩핑된 전자들에 극히 민감하고; 따라서 이러한 산화물 반도체가 산화물 반도체층에 이용될 때, 상기 산화물 반도체층과 게이트 절연층 사이의 계면이 중요함을 유념한다. 달리 말하면, 상기 고순도화된 산화물 반도체층과 접하는 상기 게이트 절연층(138)은 고품질이 되어야 한다.

[0093] 예를 들면, 높은 내전압을 가진 조밀하고 고품질인 게이트 절연층(138)이 형성될 수 있기 때문에 마이크로파(2.45GHz)를 이용한 고밀도 플라즈마 CVD법이 양호하다. 이러한 방식으로, 상기 고순도화된 산화물 반도체층 및 상기 고품질 게이트 절연층이 서로 접할 때, 상기 계면에서의 에너지 준위들의 밀도가 감소될 수 있고 계면 특성들이 양호해질 수 있다.

[0094] 말할 필요도 없이, 고순도화된 산화물 반도체층이 이용될 때에도, 양호한 품질을 가진 절연층이 상기 게이트 절연층으로서 형성될 수 있는 한, 스퍼터링법 또는 플라즈마 CVD법과 같은 다른 방법이 이용될 수 있다. 대안적으로, 막 품질 및 계면 특성들이 형성후 열 처리에 의해 변형되는 절연층이 적용될 수 있다. 어떠한 경우든, 상기 게이트 절연층(138)으로서 양호한 품질을 가지고 상기 게이트 절연층과 상기 산화물 반도체층 사이의 계면 준위 밀도를 감소시켜 양호한 계면이 형성되는 층이 수용될 수 있다.

- [0095] 또한, $2 \times 10^6 \text{ V/cm}$ 의 전계 강도로 12시간 동안 85℃의 온도에서 바이어스 열 시험(상기 BT 시험)에서, 산화물 반도체에 불순물이 함유될 때, 상기 산화물 반도체의 상기 주성분들과 불순물들 사이의 결합은 강한 전계(B: 바이어스) 및 고온(T: 온도)에 의해 절단되고, 생성된 미결합수가 상기 임계 전압의 드리프트를 유발한다.
- [0096] 한편, 상기 BT 시험에서도 안정한 트랜지스터는, 상기 산화물 반도체에서 불순물들, 특히 수소 또는 수분을 제거하고, 상술된 바와 같이 상기 게이트 절연층과 상기 산화물 반도체층 사이의 양호한 계면 특성들을 실현함으로써 제공될 수 있다.
- [0097] 그 후에, 산화물 반도체층이 상기 게이트 절연층(138) 위에 형성되고 마스크를 이용한 에칭과 같은 방법에 의해 가공되어, 섬형상을 가진 상기 산화물 반도체층(140)이 형성된다(도 4e 참조).
- [0098] 상기 산화물 반도체층으로서, 다음의 재료들 중 어느 것을 이용하여 형성된 산화물 반도체층이 적용될 수 있다: In-Sn-Ga-Zn-O와 같은 4-원계 금속 산화물들; In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O 및 Sn-Al-Zn-O와 같은 3-원계 금속 산화물들; In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O 및 In-Mg-O와 같은 2-원계 금속 산화물들; In-O, Sn-O 및 Zn-O와 같은 단원계 금속 산화물들. 그 외에도, 상기 산화물 반도체 재료들은 SiO_2 를 함유할 수 있다.
- [0099] 상기 산화물 반도체층으로서, $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)에 의해 표현된 박막이 이용될 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소들을 표현한다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co 등일 수 있다. M으로서 Ga를 포함하는 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)에 의해 표현된 산화물 반도체막은 In-Ga-Zn-O-계 산화물 반도체라고 칭해지고, 상기 In-Ga-Zn-O-계 산화물 반도체의 박막은 In-Ga-Zn-O-계 산화물 반도체막(In-Ga-Zn-O-계 비정질막)이라고 칭해진다.
- [0100] 이 실시형태에서, 상기 산화물 반도체층으로서, 비정질 산화물 반도체층이 성막을 위한 In-Ga-Zn-O-계 산화물 반도체 타겟을 이용하여 스퍼터링법에 의해 형성된다. 상기 비정질 산화물 반도체층에 실리콘을 첨가함으로써, 결정화가 억제될 수 있고; 따라서 상기 산화물 반도체층은 2wt.% 이상 10wt.% 이하로 SiO_2 를 함유한 타겟을 이용하여 형성될 수 있음을 유념한다.
- [0101] 스퍼터링법에 의해 상기 산화물 반도체층을 형성하기 위한 타겟으로서, 산화 아연을 주성분으로 함유한 금속 산화물이 예를 들어 이용될 수 있다. In, Ga 및 Zn을 함유한 성막을 위한 상기 산화물 반도체 타겟으로서, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [몰수비] 등의 조성비를 가진 타겟이 또한 이용될 수 있다. 대안적으로, In, Ga 및 Zn을 함유한 성막을 위한 상기 산화물 반도체 타겟으로서, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [몰수비]의 조성비를 가진 타겟 또는 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [몰수비]의 조성비를 가진 타겟이 또한 이용될 수 있다. 성막을 위한 상기 산화물 반도체 타겟의 충전율은 90% 이상 100% 이하이고, 바람직하게는 95% 이상(예를 들면, 99.9%)이다. 충전율이 높은 성막을 위한 산화물 반도체 타겟을 이용함으로써, 조밀한 산화물 반도체층이 형성된다.
- [0102] 상기 산화물 반도체층의 형성을 위한 분위기는 희가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로 아르곤)와 산소의 혼합된 분위기가 바람직하다. 특히, 수소, 수분, 수산기 및 수소화물과 같은 불순물들의 농도가 대략 수 백만분의 일(및 더욱 양호하게, 수 십억분의 일)의 농도로 감소되는 고순도 가스가 바람직하다.
- [0103] 상기 산화물 반도체층을 형성할 때, 상기 기판은 감압 상태에서 유지되는 처리 챔버에 배치되고, 상기 기판 온도는 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하이다. 상기 기판이 가열되는 동안 상기 산화물 반도체를 형성함으로써, 상기 산화물 반도체층에 함유된 불순물들의 농도가 감소될 수 있다. 그 외에도, 스퍼터링으로 인한 손상이 감소된다. 상기 처리 챔버에 남아있는 습기가 제거되는 동안, 수소 및 습기가 감소되는 스퍼터링 가스가 도입되고, 상기 산화물 반도체층은 타겟으로서 금속 산화물을 이용하여 형성된다. 상기 처리 챔버에 잔여 습기를 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용될 수 있다. 배기 수단은 냉각 트랩이 구비된 터보 펌프일 수 있다. 수소 원자, 물(H_2O)과 같이, 수소 원자를 함유한 화합물(또한 탄소 원자를 함유한 화합물도 바람직함) 등이 감압이 크라이오 펌프로 유지되는 동안 상기 성막실에서 제거되고, 그에 의해 상기 성막실에서 형성된 상기 산화물 반도체층에 포함된 불순물들의 농도를 감소시킨다.
- [0104] 예를 들면, 상기 성막 조건들은 다음과 같이 설정될 수 있다: 기판과 타겟 사이의 거리는 100mm이다; 압력은

0.6Pa이다; 직류(DC) 전력은 0.5kW이다; 그리고 분위기는 산소 분위기이다(산소 유량비는 100%이다). 가루 물질들(또한 입자들 또는 먼지라고 칭해짐)이 감소될 수 있고 상기 막 두께가 균일해질 수 있기 때문에 펄스형 직류(DC) 전원이 이용되는 것이 바람직하다. 상기 산화물 반도체층의 두께는 2nm 이상 200nm 이하, 바람직하게 5nm 이상 30nm 이하이다. 적합한 두께는 적용된 산화물 반도체 재료에 의존하고, 상기 산화물 반도체층의 상기 두께는 상기 재료에 의존하여 적합하게 설정될 수 있음을 유념한다.

[0105] 상기 산화물 반도체층이 스퍼터링법에 의해 형성되기 전에, 상기 게이트 절연층(138)의 표면에 부착된 먼지는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거되는 것이 바람직하다. 여기서, 상기 역 스퍼터링은, 일반 스퍼터링이 스퍼터링 타겟 상의 이온들의 충돌에 의해 달성되는 반면, 피처리 표면상의 이온들의 충돌에 의해 상기 표면의 품질을 개선하기 위한 방법을 의미한다. 피처리 표면을 이온들이 충돌하기 위한 방법들은 아르곤 분위기에서 상기 표면에 고주파수 전압이 인가되고 플라즈마가 상기 기관의 주변에 생성되는 방법을 포함한다. 질소 분위기, 헬륨 분위기, 산소 분위기 등이 상기 아르곤 분위기 대신에 이용될 수 있음을 유념한다.

[0106] 상기 산화물 반도체층의 에칭에 대해, 건식 에칭 또는 습식 에칭이 이용될 수 있다. 말할 필요도 없이, 건식 에칭 및 습식 에칭의 조합이 이용될 수 있다. 에칭 조건들(에칭 가스, 에칭 용액, 에칭 시간, 온도 등)이 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 재료에 의존하여 적합하게 설정된다.

[0107] 건식 에칭을 위한 상기 에칭 가스의 예들은, 염소를 함유한 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소(SiCl_4), 또는 사염화 탄소(CCl_4)와 같은 염소계 가스) 등이다. 대안적으로, 불소를 함유한 가스(사불화 탄소(CF_2), 불화 유황(SF_6), 불화 질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소-계 가스); 브롬화 수소(HBr); 산소(O_2); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가되는 이들 가스들 중 어느 하나; 등이 이용될 수 있다.

[0108] 건식 에칭 방법으로서, 평행평판 반응성 이온 에칭(RIE: reactive ion etching) 방법 또는 유도 결합 플라즈마(ICP: inductively coupled plasma) 에칭 방법이 이용될 수 있다. 원하는 형상으로 에칭하기 위해, 에칭 조건들(코일형 전극에 인가된 전력량, 기관측 상의 전극에 인가된 전력량, 상기 기관측 상의 전극의 온도 등)이 적합하게 설정된다.

[0109] 상기 습식 에칭에 이용된 에천트로서, 인산, 아세트산 및 질산의 혼합 용액, 암모니아 과산화수소 용액(31wt%의 과산화수소수 : 28wt%의 암모니아수 : 물 = 5 : 2 : 2) 등이 이용될 수 있다. 대안적으로, ITO07N(KANTO CHEMICAL CO., INC.에 의해 생산됨) 등이 이용될 수 있다.

[0110] 그 후에, 상기 산화물 반도체층에 제 1 열 처리를 수행하는 것이 바람직하다. 이 제 1 열 처리에 의해, 상기 산화물 반도체층이 탈수화 또는 탈수소화될 수 있다. 상기 제 1 열 처리는 300℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 상기 기관의 변형점 이하의 온도로 수행된다. 예를 들면, 상기 기관은 저항 발열체 등을 이용한 전기로에 도입되고, 상기 산화물 반도체층(140)에는 1시간 동안 450℃의 온도로 질소 분위기에서 열 처리를 받는다. 이 시간 동안, 상기 산화물 반도체층(140)은 수분 또는 수소의 혼입이 방지되도록 대기에 노출되는 것이 방지된다.

[0111] 열 처리 장치는 전기로에 제한되지 않고, 가열 가스 등과 같은 매체에 의해 주어진 열전도 또는 열복사에 의해 피처리물을 가열하기 위한 장치를 포함할 수 있음을 유념한다. 예를 들면, 램프 급속 열 어닐(LRTA) 장치 또는 가스 급속 열 어닐(GRTA) 장치와 같은 급속 열 어닐(RTA) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할로겐화물 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리하는 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 처리될 대상과 반응하지 않는 불활성 가스가 이용된다.

[0112] 예를 들면, 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다. 상기 기관이 650℃ 내지 700℃의 고온으로 가열된 불활성 가스에 배치되고, 수 분동안 가열되고, 상기 불활성 가스로부터 꺼내어진다. GRTA는 단기간 동안의 고온 가열 처리를 가능하게 한다. 그 외에도, 이러한 열 처리는 단시간만 취하기 때문에 온도가 상기 기관의 변형점을 초과할 때에도 적용 가능하다.

[0113] 상기 제 1 열 처리는 질소 또는 희가스(예를 들면, 헬륨, 네온 또는 아르곤)를 주성분으로 함유하고 수분, 수소 등을 함유하지 않는 분위기에서 수행되는 것이 바람직함을 유념한다. 예를 들면, 상기 가열 처리 장치에 도입된

질소 또는 희가스(예를 들면, 헬륨, 네온 또는 아르곤)의 순도는 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).

- [0114] 일부 경우들에서, 상기 제 1 열 처리의 상기 조건 또는 상기 산화물 반도체층의 상기 재료에 의존하여 상기 산화물 반도체층은 미결정층 또는 다결정층이 되도록 결정화될 수 있다. 예를 들면, 상기 산화물 반도체층은 90% 이상 또는 80% 이상의 결정화율을 가진 미결정 산화물 반도체층이 되도록 결정화될 수 있다. 또한, 기 제 1 열 처리의 상기 조건 또는 상기 산화물 반도체층의 상기 재료에 의존하여, 상기 산화물 반도체층은 결정 성분을 함유하지 않은 비정질 산화물 반도체층이 될 수 있다.
- [0115] 상기 산화물 반도체층은 결정(1nm 이상 20nm 이하, 대표적으로 2nm 이상 4nm 이하의 입자 직경을 가진)이 비정질 산화물 반도체에서(예를 들면, 상기 산화물 반도체층의 표면에서) 혼합되는 산화물 반도체층이 될 수 있다.
- [0116] 그 외에도, 상기 산화물 반도체층의 전기 특성들은 상기 산화물 반도체층의 비정질 표면 위에 결정층을 제공함으로써 변할 수 있다. 예를 들면, 상기 성막을 위해 In-Ga-Zn-O-계 산화물 반도체 타겟을 이용하여 상기 산화물 반도체층을 형성하는 경우에, 결정 입자들이 배향되고 전기 이방성을 나타내는 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 에 의해 표현되는 결정 부분에 의해 상기 산화물 반도체층의 상기 전기 특성들이 변할 수 있다.
- [0117] 특히, 예를 들면, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 c-축이 상기 산화물 반도체층의 표면에 수직인 방향으로 배향되는 방식으로 상기 결정 입자를 정렬함으로써, 상기 산화물 반도체의 상기 표면에 평행한 방향의 도전성이 개선되고, 상기 산화물 반도체층의 상기 표면에 수직인 상기 방향의 절연성이 증가될 수 있다. 또한, 이러한 결정 부분은 상기 산화물 반도체층으로 수분 또는 수소와 같은 불순물의 혼입을 억제하는 기능을 가진다.
- [0118] 상기 결정 부분을 포함하는 상기 산화물 반도체층은 상기 산화물 반도체층의 표면을 GRTA에 의해 가열함으로써 형성될 수 있음을 유념한다. Zn의 양이 In 또는 Ga의 양보다 적은 스퍼터링 타겟이 이용될 때, 더욱 양호한 형성이 달성될 수 있다.
- [0119] 상기 산화물 반도체층(140)에 대해 수행된 상기 제 1 열 처리는 아직 섬형상 층으로 가공되지 않은 상기 산화물 반도체에 대해 수행될 수 있다. 그 경우, 상기 제 1 열 처리 후, 상기 기판은 상기 가열 장치에서 꺼내어지고, 포토리소그래피 단계가 수행된다.
- [0120] 상기 열 처리는 상기 산화물 반도체층(140)을 탈수화 또는 탈수소화할 수 있고 따라서 탈수화 처리 또는 탈수소화 처리라고 칭해질 수 있음을 유념한다. 임의의 타이밍에, 예를 들면, 상기 산화물 반도체층이 형성된 후, 상기 산화물 반도체층(140) 위에 상기 소스 또는 드레인 전극층들이 적층된 후, 또는 상기 소스 또는 드레인 전극층들 위에 보호 절연층이 형성된 후 이러한 탈수화 처리 또는 탈수소화 처리를 수행하는 것이 바람직하다. 이러한 탈수화 처리 또는 탈수소화 처리가 1회 이상 수행될 수 있다.
- [0121] 다음에, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)이 상기 산화물 반도체층(140)과 접하여 형성된다(도 4f 참조). 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)은 도전층이 상기 산화물 반도체층(140)을 피복하도록 형성된 후에 선택적으로 에칭되는 방식으로 형성될 수 있다.
- [0122] 상기 도전층은 스퍼터링법과 같은 PVD법, 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 상기 도전층의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 원소, 상기 원소들 중 어느 것을 구성성분으로 함유한 합금 등이 이용될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨으로부터 선택된 하나 이상의 원소들을 구성요소로서 함유한 재료가 이용될 수 있다. 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소들을 알루미늄에 조합한 재료가 상기 도전층의 상기 재료에 또한 적용 가능하다.
- [0123] 대안적으로, 상기 도전층은 도전성 금속 산화물을 이용하여 형성될 수 있다. 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 이것은 일부 경우들에서 ITO로 축약됨), 산화 인듐-산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 실리콘 또는 산화 실리콘이 함유된 이들 금속 산화물 재료들 중 어느 것이 이용될 수 있다.
- [0124] 상기 도전층은 단층 구조 또는 둘 이상층들의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유한 알루미늄막의 단층 구조, 알루미늄막 및 그 위에 적층된 티타늄막의 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이 순서로 적층된 3층 구조 등이 주어질 수 있다.
- [0125] 여기서, 자외선들, KrF 레이저 빔 또는 ArF 레이저 빔이 에칭 마스크를 형성하기 위한 노출에 이용되는 것이 바

람직하다.

- [0126] 상기 트랜지스터의 채널 길이(L)는 도 4e에 도시된 바와 같이, 상기 산화물 반도체층(140) 위의 상기 소스 또는 드레인 전극(142a)의 하단부와 상기 산화물 반도체층(140) 위의 상기 소스 또는 드레인 전극(142b)의 하단부 사이의 간격에 의해 결정된다. 상기 채널 길이(L)가 25nm 미만인 패턴에 대한 노출의 경우에, 마스크를 마스크하기 위한 노출은 극히 단파장인 수 나노미터 내지 수십 나노미터들의 범위의 초자외선에서 수행된다. 초자외선 광을 이용한 상기 노출에서, 해상도가 높고 초점 깊이가 크다. 따라서, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 10nm 이상 1000nm 이하일 수 있고, 그에 의해 회로의 동작 속도가 증가될 수 있다. 또한, 상기 트랜지스터의 오프-상태 전류가 극히 작고, 이것은 전력 소비의 증가를 방지한다.
- [0127] 상기 층들의 재료들 및 에칭 조건들은 상기 도전층이 에칭될 때 상기 산화물 반도체층(140)이 제거되지 않도록 적합하게 조정된다. 일부 경우들에서, 상기 산화물 반도체층(140)은 상기 재료들 및 에칭 조건들에 의존하여 흠부(오퍼 부분)를 가진 산화물 반도체층이 되도록 이 단계에서 부분적으로 에칭됨을 유념한다.
- [0128] 산화물 도전층이 상기 산화물 반도체층(140)과 상기 소스 또는 드레인 전극(142a) 사이 및 상기 산화물 반도체층(140)과 상기 소스 또는 드레인 전극(142b) 사이에 형성될 수 있다. 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)을 형성하기 위한 산화물 도전층 및 상기 도전층이 연속하여(연속 성막) 형성될 수 있다. 상기 산화물 도전층은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 이러한 산화물 도전층을 제공함으로써, 상기 소스 및 드레인 영역들의 저항이 감소될 수 있고 상기 트랜지스터의 고속 동작이 실현될 수 있다.
- [0129] 상기 마스크들 및 단계들의 수를 감소시키기 위해, 복수의 세기들을 가지도록 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 에칭이 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께들을 가진 형상을 가지고(계단형), 또한 애싱에 의해 형상이 변할 수 있다; 따라서, 상기 레지스트 마스크는 상이한 패턴들로 가공하기 위한 복수의 에칭 단계들에서 이용될 수 있다. 즉, 상이한 패턴들의 적어도 2개 이상의 종류들에 대응하는 레지스트 마스크는 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 그에 의해 공정의 간단화가 실현될 수 있다.
- [0130] N_2O , N_2 또는 Ar과 같은 가스를 이용한 플라즈마 처리가 상기 단계 후에 수행되는 것이 바람직함을 유념한다. 이 플라즈마 처리에 의해, 노출된 상기 산화물 반도체층의 표면에 부착된 수분이 제거된다. 대안적으로, 플라즈마 처리는 산소와 아르곤의 혼합된 가스와 같이 산소를 함유한 가스를 이용하여 수행될 수 있다. 이러한 방식으로, 상기 산화물 반도체층에는 산소가 공급되고, 산소 결핍으로부터 유발되는 결함들이 감소될 수 있다.
- [0131] 그 후, 상기 산화물 반도체층(140)의 일부와 접하는 상기 보호 절연층(144)이 대기에 노출되지 않고 형성된다(도 4g 참조).
- [0132] 상기 보호 절연층(144)은 스퍼터링법과 같은 방법을 이용하여 적절하게 형성될 수 있고, 그에 의해 수분 또는 수소와 같은 불순물이 상기 보호 절연층(144)에 혼입되는 것이 방지된다. 상기 보호 절연층(144)은 1nm 이상의 두께로 형성된다. 상기 보호 절연층(144)에 이용될 수 있는 재료로서, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘 등이 존재한다. 상기 보호 절연층(144)은 단층 구조 또는 적층 구조를 가질 수 있다. 상기 보호 절연층(144)의 형성을 위한 기판 온도는 실내 온도 이상 300℃ 이하가 바람직하다. 상기 보호 절연층(144)의 형성을 위한 분위기는 희가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로 아르곤)와 산소의 혼합된 분위기가 바람직하다.
- [0133] 상기 보호 절연층(144)의 수소의 존재는 상기 산화물 반도체층으로 상기 수소의 혼입, 상기 수소에 의한 상기 산화물 반도체층에서의 산소의 추출 등을 유발하고, 상기 산화물 반도체층의 백채널층의 저항이 낮아지고, 이것은 기생 채널을 형성할 수 있다. 따라서, 상기 보호 절연층(144)이 가능한 수소를 적게 함유하도록 수소가 이용되지 않는 형성 방법이 이용되는 것이 중요하다.
- [0134] 그 외에도, 상기 처리 챔버의 잔여 수분이 제거되는 동안 상기 보호 절연층(144)이 형성되는 것이 바람직하다. 이것은 수소, 수산기 또는 수분이 상기 산화물 반도체층(140) 및 상기 보호 절연층(144)에 함유되는 것을 방지하기 위한 것이다.
- [0135] 상기 처리 챔버의 잔여 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 크라이오 펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 수단은 냉각 트랩이 구비된 터보

펌프일 수 있다. 수소 원자, 물(H_2O)과 같이 수소 원자를 함유한 화합물 등이 크라이오 펌프로 배기되는 상기 성막실에서 제거되고, 그에 의해 상기 성막실에서 형성된 상기 보호 절연층(144)에 함유된 불순물들의 농도를 감소시킨다.

[0136] 상기 보호 절연층(144)의 형성시 이용되는 스퍼터링 가스로서, 수소, 수분, 수산기 또는 수소화물과 같은 불순물이 대략 수 백만분의 일(바람직하게 수 십억분의 일)의 농도로 감소되는 고순도 가스가 이용되는 것이 바람직하다.

[0137] 다음에, 불활성 가스 분위기 또는 산소 분위기에서 제 2 열 처리(바람직하게 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하의 온도에서)가 수행되는 것이 바람직하다. 예를 들면, 상기 제 2 열 처리는 1시간 동안 250℃로 질소 분위기에서 수행된다. 상기 제 2 열 처리는 박막 트랜지스터의 전기 특성의 변동을 감소시킬 수 있다. 또한, 상기 산화물 반도체층은 상기 제 2 열 처리에 의해 산소가 공급될 수 있다.

[0138] 또한, 부가의 열 처리가 100℃ 이상 200℃ 이하의 온도로 1시간 이상 30시간 이하 동안 대기에서 수행될 수 있다. 이 열 처리는 일정한 온도로 수행될 수 있다. 대안적으로, 다음의 온도 사이클이 복수 회 반복적으로 적용될 수 있다: 상기 온도가 실내 온도에서 100℃ 이상 200℃ 이하의 온도로 증가한 다음 실내 온도로 감소된다. 또한, 이 가열 처리는 상기 보호 절연층의 형성 전에 감압하에서 수행될 수 있다. 상기 감압은 상기 열 처리 시간을 단축시키도록 허용한다. 이 열 처리는 상기 제 2 열 처리 대신에 수행될 수 있고; 대안적으로, 이 열 처리는 상기 제 2 열 처리가 수행되기 전 및/또는 후에 수행될 수 있음을 유념한다.

[0139] 그 후에, 상기 층간 절연층(146)이 상기 보호 절연층(144) 위에 수행된다(도 5a 참조). 상기 층간 절연층(146)은 PVD법, CVD법 등에 의해 형성될 수 있다. 산화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 함유한 재료가 상기 층간 절연층(146)에 이용될 수 있다. 또한, 상기 층간 절연층(146)의 표면은 상기 층간 절연층(146)이 형성된 후에 평탄화되도록 CMP, 에칭 등이 수행되는 것이 바람직하다.

[0140] 다음에, 상기 전극들(136a, 136b 및 136c), 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구부들이 상기 층간 절연층(146), 상기 보호 절연층(144) 및 상기 게이트 절연층(138)에 형성된다; 그 후에, 도전층(148)이 상기 개구부들을 충전하도록 형성된다(도 5b 참조). 상기 개구부들은 예를 들면 마스크를 이용한 에칭에 의해 형성될 수 있다. 상기 마스크는 예를 들면 포토마스크를 이용한 노출에 의해 형성될 수 있다. 상기 에칭에 대해, 습식 에칭 또는 건식 에칭이 수행될 수 있지만, 건식 에칭이 미세 패터닝의 관점에서 바람직하다. 상기 도전층(148)은 PVD법 또는 CVD법과 같은 성막 방법에 의해 형성될 수 있다. 상기 도전층(148)에 대한 재료의 예들은 폴리브텐, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐과 같은 도전 재료, 이들 중 어느 것의 합금, 및 이들 중 어느 것을 함유한 화합물(예를 들면 이들 중 어느 것의 질화물)을 포함한다.

[0141] 특히, 예를 들면, 상기 도전층(148)은 다음과 같이 형성될 수 있다: 티타늄막이 상기 개구부들을 포함하는 영역에 PVD법에 의해 작은 두께를 가지도록 형성되고 질화 티타늄막이 그 후에 CVD법에 의해 작은 두께를 가지도록 형성된다; 그 후에, 텅스텐막이 상기 개구부들을 충전하도록 형성된다. 여기서, PVD법에 의해 형성되는 상기 티타늄막이 하부의 전극(여기서, 상기 전극들(136a, 136b 및 136c), 상기 소스 또는 드레인 전극(142a), 상기 소스 또는 드레인 전극(142b) 등)과의 계면에서 산화막의 형성을 감소시키는 기능을 가져서, 상기 하부 전극이 가진 접촉 저항이 감소된다. 그 외에도, 후속적으로 형성되는 질화 티타늄막이 배리어 속성을 가져서 도전 재료의 확산이 방지된다. 또한, 배리어막이 티타늄, 질화 티타늄 등을 이용하여 형성된 후에, 구리막이 플레이팅법에 의해 형성된다.

[0142] 상기 도전층(148)이 형성된 후, 상기 도전층(148)의 일부가 에칭, CMP 등에 의해 제거되어, 상기 층간 절연층(146)이 노출되고, 상기 전극들(150a, 150b, 150c, 150d 및 150e)이 형성된다(도 5c 참조). 상기 전극들(150a, 150b, 150c, 150d 및 150e)이 상기 도전층(148)의 일부를 제거하여 형성될 때, 평탄화된 표면들을 획득하기 위한 공정이 수행되는 것이 바람직함을 유념한다. 상기 층간 절연층(146) 및 상기 전극들(150a, 150b, 150c, 150d 및 150e)의 표면들을 평탄화함으로써, 전극들, 배선들, 절연층들, 반도체층들 등이 나중 단계에서 양호하게 형성될 수 있다.

[0143] 또한, 상기 절연층(152)이 형성되고, 상기 전극들(150a, 150b, 150c, 150d 및 150e)에 도달하는 개구부들이 상기 절연층(152)에 형성된다; 그 후에, 도전층이 상기 개구부들을 충전하도록 형성된다. 그 후에, 상기 도전층의 일부가 에칭, CMP 등에 의해 제거되어, 상기 절연층(152)이 노출되고 상기 전극들(154a, 154b, 154c 및 154d)이

형성된다(도 5d 참조). 이 단계는 상기 전극(150a) 등을 형성하는 것과 유사하다; 따라서, 상세한 기술이 여기서 생략된다.

[0144] 상술된 방식으로 상기 트랜지스터(162)가 제작될 때, 상기 산화물 반도체층(140)의 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하이고, 상기 트랜지스터(162)의 오프-상태 전류는 $1 \times 10^{-13} \text{ A}$ 이하이다. 따라서, 상기 수소 농도가 충분히 감소되고 산소 결핍으로 유발되는 결함들이 감소되는 상기 고순도화된 산화물 반도체층(140)을 이용함으로써, 우수한 특성들을 가진 상기 트랜지스터(162)가 획득될 수 있다. 그 외에도, 하부에 산화물 반도체 이외의 재료를 이용한 상기 트랜지스터(160)와 상부에 산화물 반도체를 이용한 상기 트랜지스터(162)를 포함하는 우수한 특성들을 가진 반도체 장치가 제작될 수 있다.

[0145] 산화물 반도체에서 상태 밀도(DOS) 등의 물리적 속성에 대한 많은 연구들 등이 행해졌지만, 이들은 에너지 갭에서 국제 에너지 준위들의 밀도를 실질적으로 감소시키는 사상을 제안하지 않았음을 유념한다. 개시된 발명의 일 실시형태에서, 국제 에너지 준위들을 유도하는 수분 또는 수소가 산화물 반도체로부터 제거되고, 그에 의해 고순도화된 산화물 반도체가 제작된다. 이것은 국제 에너지 준위들을 실질적으로 감소시키고 우수한 공업 제품들의 제조를 실현하는 사상에 기초한다.

[0146] 수소, 수분 등이 제거될 때, 일부 경우들에서 산소도 또한 제거됨을 유념한다. 따라서, 산소 결핍으로부터 유발되는 국제 에너지 준위들이 감소되도록, 산소 결핍에 의해 생성되는 금속의 미결합수에 산소를 공급함으로써 산화물 반도체가 더욱 순도화되는(i-형 산화물 반도체가 되는) 것이 양호하다. 예를 들면, 산소 결핍으로부터 유발된 국제 준위들은 다음의 방식으로 감소될 수 있다: 산소를 과잉으로 가진 산화막이 채널 형성 영역과 가깝게 접하여 형성되고; 상기 산화막으로부터 상기 산화물 반도체에 산소가 공급되도록 200℃ 내지 400℃, 대표적으로 대략 250℃의 열 처리가 수행된다. 또한, 불활성 가스가 상기 제 2 열 처리 동안 산소를 함유한 가스로 변할 수 있다. 산화물 반도체는 상기 제 2 열 처리 후에, 산소 분위기에서 또는 수소, 수분 등이 충분히 감소된 분위기에서 온도 감소 단계가 수행됨으로써 산소가 공급될 수 있다.

[0147] 산화물 반도체의 특성들의 저하의 요인은 도전 대역 아래의 0.1eV 내지 0.2eV에서 과잉 수소로부터 유발되는 얇은 준위, 산소 결핍으로부터 유발되는 깊은 준위 등인 것이 고려될 수 있다. 이들 결함들을 정정하기 위해 수소를 완전히 제거하고 산소를 충분히 공급하는 기술적 사상이 유효해야 한다.

[0148] 개시된 발명에서, 산화물 반도체가 고순도화되기 때문에, 상기 산화물 반도체의 캐리어 농도가 충분히 낮다.

[0149] 정상 온도에서 페르미-디랙 분포 기능을 이용하여, 3.05eV 내지 3.15eV의 에너지 갭을 가진 산화물 반도체의 진성 캐리어 밀도는 $1 \times 10^{-7} / \text{cm}^3$ 이고, 이것은 실리콘의 $1.45 \times 10^{10} / \text{cm}^3$ 의 진성 캐리어 밀도보다 훨씬 더 낮다.

[0150] 따라서, 소수 캐리어들인 홀들의 수는 극히 작다. 정상 온도에서 100aA/ μm 이하, 바람직하게 10aA/ μm 이하, 더욱 바람직하게 1aA/ μm 이하의 오프-상태에서 IGFET(insulated gate field effect transistor)의 누설 전류가 실현될 수 있다. "1aA/ μm "는 트랜지스터의 채널 폭의 마이크로미터 당 전류 흐름이 1aA($1 \times 10^{-18} \text{ A}$)인 것을 의미함을 유념한다.

[0151] 실제로, SiC(3.26eV), GaN(3.42eV) 등이 3eV 이상의 넓은 에너지 갭을 가진 반도체들로서 알려져 있다. 상술된 특성들과 유사한 트랜지스터 특성들이 이들 반도체들을 이용하여 획득되는 것이 예상된다. 그러나, 1500℃ 이상의 가공 온도가 필요하기 때문에 이들 반도체 재료들의 박막을 형성하는 것은 실제로 불가능하다. 그 외에도, 상기 가공 온도는 이들 재료들이 실리콘 집적 회로 위에서 3차원으로 적층될 수 없을 만큼 높다. 한편, 산화물 반도체는 실내 온도 내지 400℃에서 스퍼터링에 의해 박막으로서 성막될 수 있고, 450℃ 내지 700℃에서 탈수화 또는 탈수소화(산화물 반도체층으로부터 수소 또는 수분의 제거) 및 산소 공급(산화물 반도체로의 산소 공급)될 수 있다; 따라서, 산화물 반도체는 실리콘 집적 회로 위에서 3차원으로 적층될 수 있다.

[0152] 산화물 반도체가 일반적으로 n형 도전성을 가지지만, 개시된 발명의 일 실시형태에서, 산화물 반도체는 상기 산화물 반도체의 구성성분인 산소의 공급 및 수분 또는 수소와 같은 불순물의 제거에 의해 i-형 산화물 반도체가 됨을 유념한다. 이러한 양태로부터, 불순물을 첨가함으로써 i-형 실리콘이 되는 실리콘의 경우와 상이하게, 개시된 발명의 일 실시형태는 새로운 기술적 사상을 포함한다.

[0153] 이 실시형태에서, 상기 산화물 반도체를 이용한 상기 트랜지스터(162)가 하부 게이트형인 경우가 기술되지만; 본 발명은 이에 제한되지 않음을 유념한다. 상기 트랜지스터(162)의 구성은 상부 게이트형 또는 듀얼 게이트형일 수 있다. 듀얼 게이트형 트랜지스터는 게이트 절연층을 개재하여 채널 영역 위 및 아래에 형성된 2개의 게이트

트 전극들을 포함하는 트랜지스터를 나타낸다.

- [0154] <산화물 반도체를 이용한 트랜지스터의 전도 메커니즘>
- [0155] 여기서, 산화물 반도체를 이용한 상기 트랜지스터의 상기 전도 메커니즘이 도 6, 도 7, 도 8a 및 도 8b 및 도 9를 참조하여 기술된다. 하기의 기술은 하나의 고찰일 뿐, 개시된 발명의 일 실시형태의 효과는 그에 의해 부정되지 않았음을 유념한다.
- [0156] 도 6은 산화물 반도체를 이용한 듀얼 게이트형 트랜지스터(박막 트랜지스터)를 도시한 단면도이다. 산화물 반도체층(OS)은 게이트 절연층(GI)을 개재하여 게이트 전극(GE) 위에 제공되고 그 위에 소스 전극(S) 및 드레인 전극(D)이 제공된다. 절연층은 상기 소스 전극(S) 및 상기 드레인 전극(D)을 피복하도록 제공된다.
- [0157] 도 7은 도 6에서 라인 A-A'를 따라 취해진 단면에 대응하는 에너지 대역도(개략도)를 도시한다. 도 7에서, 흑색 원(●) 및 백색 원(○)은 전자 및 정공을 표현하고 각각 전하들(-q, +q)을 가진다.
- [0158] 상기 드레인 전극에 양의 전압($V_D > 0$)이 인가되고, 채널은 상기 게이트 전극에 전압이 인가되지 않은 경우($V_G = 0$)를 보여주고, 실선은 상기 게이트 전극에 양의 전압이 인가되는 경우($V_G > 0$)를 보여준다. 상기 게이트 전극에 전압이 인가되지 않은 경우, 고포텐셜 장벽으로 인해 전극으로부터 상기 산화물 반도체층에 캐리어들(전자들)이 주입되지 않아서, 전류가 흐르지 않고, 이것은 오프 상태를 의미한다. 한편, 양의 전압이 상기 게이트 전극에 인가될 때, 포텐셜 장벽이 낮아지고, 따라서 전류가 흐르고, 이것은 온 상태를 의미한다.
- [0159] 도 8a 및 도 8b는 도 6의 라인 B-B'를 따라 취해진 단면에 각각 대응하는 에너지 대역도들(개략도들)이다. 도 8a는 양의 전압이 상기 게이트 전극(GE)에 인가되고 상기 소스 전극과 상기 드레인 전극 사이에 캐리어들(전자들)이 흐르는 온 상태를 도시한다. 도 8b는 음의 전압($V_G < 0$)이 상기 게이트 전극(GE)에 인가되고 소수 캐리어들이 흐르지 않는 오프 상태를 도시한다.
- [0160] 도 9는 진공 준위와 금속의 일 함수(ϕ_M) 사이의 관계 및 상기 진공 준위와 산화물 반도체의 상기 전자 친화력(χ) 사이의 관계를 도시한 도면이다.
- [0161] 정상 온도에서, 상기 금속의 전자들은 축퇴 상태들에 있고, 페르미 준위는 도전 대역에 위치된다. 한편, 통상적인 산화물 반도체는 n형 반도체이고, 상기 페르미 준위(E_F)는 대역 갭의 중간에 위치한 진성 페르미 준위(E_i)로부터 떨어져 있고 상기 도전 대역에 더 가깝게 위치된다. 수소가 산화물 반도체에서 도너이고 산화물 반도체를 n형 반도체가 되게 하는 하나의 요인이라는 것이 알려져 있음을 유념한다.
- [0162] 한편, 개시된 발명의 일 실시형태에 따른 산화물 반도체는, 주성분들이 아닌 원소들(불순물 원소들)이 가능하게 함유되는 방식으로 고순도화되도록, 상기 산화물 반도체가 n형 도전성을 가지게 하는 요인인 수소의 제거에 의해 진성(i-형) 또는 진성에 극히 가까운 산화물 반도체가 된다. 달리 말하면, 개시된 발명의 일 실시형태에 따른 상기 산화물 반도체는, 불순물 원소를 첨가함으로써 i-형 산화물 반도체가 되는 산화물 반도체가 아니라, 수소 또는 수분과 같은 불순물을 가능한 한 제거함으로써 고순도화되는 i-형(진성) 또는 거의 i-형 산화물 반도체이다. 이러한 방식으로, 상기 페르미 준위(E_F)는 상기 진성 페르미 준위(E_i)에 극히 가까울 수 있다.
- [0163] 산화물 반도체의 대역 갭(E_g)이 3.15eV일 때, 그 전자 친화력(χ)은 4.3eV라고 말한다. 상기 소스 및 드레인 전극들에 함유된 티타늄(Ti)의 일 함수는 상기 산화물 반도체의 상기 전자 친화력(χ)에 거의 등가이다. 그 경우, 상기 금속과 상기 산화물 반도체 사이의 계면에서, 전자 통과에 대한 쇼트키 배리어가 형성되지 않는다.
- [0164] 그 때, 상기 전자는 도 8a에 도시된 바와 같이 상기 게이트 절연층과 상기 고순도화된 산화물 반도체 사이의 계면의 주변에서(에너지의 관점에서 안정한 상기 산화물 반도체의 최하부) 이동한다.
- [0165] 그 외에도, 도 8b에 도시된 바와 같이, 음의 전위가 상기 게이트 전극(GE)에 인가될 때, 상기 전류 값은 소수 캐리어들인 정공들이 실질적으로 존재하지 않기 때문에 영에 극히 가깝다.
- [0166] 이러한 방식으로, 진성(i-형) 또는 실질적으로 진성인 산화물 반도체가 고순도화됨으로써 획득되어, 주성분 이외의 원소(즉, 불순물 원소)가 가능한 거의 함유되지 않는다. 따라서, 상기 산화물 반도체와 상기 게이트 절연층 사이의 상기 계면의 특성들은 명확해진다. 이러한 이유로, 상기 게이트 절연층은 상기 산화물 반도체와의 양호한 계면을 형성할 수 있어야 한다. 구체적으로, 예를 들면, VHF 대역에서 마이크로파 대역까지의 범위에서의 전원 주파수로 생성되는 고밀도 플라즈마를 이용하여 CVD법에 의해 형성된 절연층, 스퍼터링법에 의해 형성된

절연층 등을 이용하는 것이 바람직하다.

[0167] 상기 산화물 반도체가 고순도화되고 상기 산화물 반도체와 상기 게이트 절연층 사이의 상기 계면이 양호해질 때, 상기 트랜지스터가 예를 들면 $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W)을 가지고, $3\mu\text{m}$ 의 채널 길이(L)를 가지는 경우, 10^{-13}A 이하의 오프-상태 전류와 0.1 V/dec 의 서브스레스홀드 스윙(subthreshold swing)(S 값)(100nm 두께의 게이트 절연층으로)을 실현하는 것이 가능하다.

[0168] 상기 산화물 반도체는 주성분 이외의 원소(즉, 불순물 원소)를 가능한 적게 함유하도록 상술된 바와 같이 고순도화되어, 상기 트랜지스터가 양호한 방식으로 동작할 수 있다.

[0169] <캐리어 농도>

[0170] 개시된 발명에 따른 기술적 사상에서, 산화물 반도체층이 그 캐리어 농도를 충분히 감소시킴으로써 진성(i-형) 산화물 반도체층에 가능한 가깝게 만들어진다. 이후, 상기 캐리어 농도를 계산하기 위한 방법 및 실제로 측정된 캐리어 농도가 도 10 및 도 11을 참조하여 기술된다.

[0171] 먼저, 상기 캐리어 농도를 계산하기 위한 방법이 쉽게 설명된다. 상기 캐리어 농도는, MOS 용량 소자가 제작되고 상기 MOS 용량 소자의 CV 측정의 결과들(CV 특성들)이 평가되는 방식으로 계산될 수 있다.

[0172] 구체적으로, 캐리어 농도 N_d 가 다음의 방식으로 계산된다: C-V 특성들은 MOS 용량 소자의 게이트 전압(V_g)과 용량(C) 사이의 관계들을 플로팅함으로써 획득된다; 상기 게이트 전압 V와 $(1/C)^2$ 사이의 관계의 그래프가 상기 C-V 특성들을 이용하여 획득된다; 상기 그래프의 약한 반전 영역에서 $(1/C)^2$ 의 차동값이 발견된다; 그리고 상기 차동값은 [수학식 1]에 대입된다. [수학식 1]에서 e , ϵ_0 및 ϵ 은 각각 전기 소량, 진공 유전율 및 산화물 반도체의 비유전율을 표현함을 유념한다.

수학식 1

$$N_d = -\left(\frac{2}{e\epsilon_0\epsilon}\right) \bigg/ \frac{d(1/C)^2}{dV}$$

[0173]

[0174] 다음에, 상기 방법에 의해 계산된 것에 대응하는 실제 캐리어 농도의 측정이 기술된다. 상기 측정에 대해, 다음과 같이 형성된 샘플(MOS 용량 소자)이 이용되었다: 티타늄막이 유리 기판 위에서 300nm의 두께로 형성되었다; 질화 티타늄막이 상기 티타늄막 위에서 100nm의 두께로 형성되었다; In-Ga-Zn-O-계 산화물 반도체를 이용한 산화물 반도체층이 상기 질화 티타늄막 위에 $2\mu\text{m}$ 의 두께로 형성되었다; 및 실버막이 상기 산화물 반도체층 위에 300nm의 두께로 형성되었다. 상기 산화물 반도체층은 스퍼터링법에 의해 In, Ga 및 Zn을 함유한 산화물 반도체 타겟($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [몰수비])을 이용하여 형성되었음을 유념한다. 또한, 상기 산화물 반도체층의 형성 분위기는 아르곤과 산소의 혼합된 분위기였다(유량은 $\text{Ar} : \text{O}_2 = 30(\text{sccm}) : 15(\text{sccm})$ 이었다).

[0175] C-V 특성들 및 상기 게이트 전압(V_g)과 $(1/C)^2$ 사이의 관계는 각각 도 10 및 도 11에 도시된다. 도 11의 그래프의 상기 약한 반전 영역에서 $(1/C)^2$ 의 상기 차동 값들로부터 [수학식 1]을 이용하여 계산된 상기 캐리어 농도는 $6.0 \times 10^{10}/\text{cm}^3$ 이었다.

[0176] 상술된 바와 같이, i-형 또는 실질적으로 i-형 산화물 반도체가 되는 산화물 반도체(예를 들면, 캐리어 농도가 $1 \times 10^{12}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하)를 이용함으로써, 극히 양호한 오프-상태 전류 특성들을 가진 트랜지스터가 획득될 수 있다.

[0177] <변형 예들>

[0178] 반도체 장치의 구성의 변형들의 예들은 도 12, 도 13a 및 도 13b, 도 14a 및 도 14b와 도 15a 및 도 15b를 참조

하여 기술된다. 다음의 예들에서, 상기 트랜지스터(162)의 상기 구성은 이미 기술된 것과 상이함을 유념한다. 그러나, 상기 트랜지스터(160)의 상기 구조는 이미 기술된 것과 유사하다.

- [0179] 도 12에 도시된 예에서, 상기 산화물 반도체층(140) 아래에 상기 게이트 전극(136d)을 갖고, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)이 상기 산화물 반도체층(140)의 하부 표면에서 상기 산화물 반도체층(140)과 접하는 트랜지스터(162)를 포함하는 반도체 장치를 도시한다. 평면 구조가 단면 구조에 대응하여 적합하게 변할 수 있으므로, 여기서는 상기 단면 구조만 기술된다.
- [0180] 도 12에 도시된 구조와 도 2a 및 도 2b에 도시된 구조 사이의 중요한 차이로서, 상기 소스 또는 드레인 전극(142a)과 상기 소스 또는 드레인 전극(142b)이 상기 산화물 반도체층(140)에 접속되는 접속 위치들이 존재한다. 즉, 도 2a 및 도 2b에 도시된 구조에서, 상기 소스 또는 드레인 전극(142a)과 상기 소스 또는 드레인 전극(142b)은 상기 산화물 반도체층(140)의 상부 표면과 접한다; 한편, 도 12에 도시된 구성에서, 상기 소스 또는 드레인 전극(142a)과 상기 소스 또는 드레인 전극(142b)은 상기 산화물 반도체층(140)의 하부 표면과 접한다. 그 외에도, 접속 위치들에서의 이러한 차이로부터 유발되어, 다른 전극, 다른 절연층 등의 위치가 변경된다. 각각의 구성요소의 상세들에 관해, 도 2a 및 도 2b가 참조된다.
- [0181] 구체적으로, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공된 상기 게이트 전극(136d); 상기 게이트 전극(136d) 위에 제공된 상기 게이트 절연층(138); 상기 게이트 절연층(138) 위에 제공된 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b); 및 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 상부 표면들과 접하는 상기 산화물 반도체층(140)을 포함한다.
- [0182] 여기서, 상기 게이트 전극(136d)은 상기 층간 절연층(128) 위에 제공되는 상기 절연층(132)에 임베딩되도록 제공된다. 또한, 상기 게이트 전극(136d)과 유사하게, 전극(136a), 전극(136b) 및 전극(136c)이 상기 소스 또는 드레인 전극(130a), 상기 소스 또는 드레인 전극(130b), 및 상기 전극(130c)에 각각 접하여 형성된다.
- [0183] 그 외에도, 상기 트랜지스터(162) 위에, 보호 절연층(144)이 상기 산화물 반도체층(140)의 일부와 접하여 제공된다. 층간 절연층(146)이 상기 보호 절연층(144) 위에 제공된다. 여기서, 상기 보호 절연층(144) 및 상기 층간 절연층(146)에서, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 도달하는 개구부들이 형성된다. 상기 개구부들에서, 상기 전극(150d) 및 상기 전극(150e)이 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 각각 접하도록 형성된다. 상기 전극들(150d 및 150e)과 유사하게, 상기 전극(150a), 상기 전극(150b) 및 상기 전극(150c)이 상기 게이트 절연층(138), 상기 보호 절연층(144) 및 상기 층간 절연층(146)에 제공된 개구부들에서 상기 전극(136a), 상기 전극(136b) 및 상기 전극(136c)과 각각 접하도록 형성된다.
- [0184] 또한, 상기 절연층(152)이 상기 층간 절연층(146) 위에 제공된다. 상기 전극(154a), 상기 전극(154b), 상기 전극(154c) 및 상기 전극(154d)은 상기 절연층(152)에 임베딩되도록 제공된다. 여기서, 상기 전극(154a)은 상기 전극(150a)과 접하고; 상기 전극(154b)은 상기 전극(150b)과 접하고; 상기 전극(154c)은 상기 전극들(150c 및 150d)과 접하고; 상기 전극(154d)은 상기 전극(150e)과 접한다.
- [0185] 도 13a 및 도 13b는 상기 전극(136d)이 상기 산화물 반도체층(140) 위에 제공되는 예를 각각 도시한다. 여기서, 도 13a는 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)이 상기 산화물 반도체층(140)의 하부 표면에서 상기 산화물 반도체층(140)과 접하는 예를 도시하고; 도 13b는 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)이 상기 산화물 반도체층(140)의 상부 표면에서 상기 산화물 반도체층(140)과 접하는 예를 도시한다.
- [0186] 도 13a 및 도 13b의 구성들은 상기 게이트 전극(136d)이 상기 산화물 반도체층(140) 위에 제공된다는 점에서 도 2a 및 도 2b와 도 12의 구성들과 크게 상이하다. 또한, 도 13a의 구조와 도 13b의 구조 사이의 중요한 차이는 상기 산화물 반도체층(140)의 상기 하부 표면 또는 상기 상부 표면에서 상기 소스 및 드레인 전극들(142a 및 142b)이 접한다는 점이다. 또한, 이들 차이들로부터 유발되어, 다른 전극, 다른 절연층 등의 위치가 변한다. 각각의 구성요소의 상세들에 관해, 도 2a 및 도 2b 또는 다른 도면들이 참조될 수 있다.
- [0187] 구체적으로, 도 13a에서, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공되는 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b); 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 상기 상부 표면들과 접하는 상기 산화물 반도체층(140); 상기 산화물 반도체층(140) 위에 제공된 상기 게이트 절연층(138); 및 상기 산화물 반도체층(140)과 중첩하는 상기 게이트 절연층(138)의 영역 위에 상기 게이트 전극(136d)을 포함한다.

- [0188] 도 13b에서, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공된 상기 산화물 반도체층(140); 상기 산화물 반도체층(140)의 상부 표면과 접하는 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b); 상기 산화물 반도체층(140), 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b) 위에 제공된 상기 게이트 절연층(138); 및 상기 산화물 반도체층(140)과 중첩하는 상기 게이트 절연층(138)의 영역 위의 상기 게이트 전극(136d)을 포함한다.
- [0189] 도 13a 및 도 13b에 도시된 구조들에서, 도 2a 및 도 2b 등에 도시된 구조가 가지는 구성요소(예를 들면, 상기 전극(150a), 상기 전극(154a) 등)이 일부 경우들에서 생략될 수 있음을 유념한다. 그 경우, 제작 공정의 간단화가 2차적으로 달성될 수 있다. 말할 필요도 없이, 필수적이지 않은 구성요소도 또한 도 2a 및 도 2b 등에 도시된 구조에서 생략될 수 있다.
- [0190] 도 14a 및 도 14b는 상기 반도체 장치가 비교적 큰 크기를 가지고 상기 게이트 전극(136d)이 상기 산화물 반도체층(140) 아래에 제공되는 구성예를 각각 도시한다. 이 경우, 배선, 전극 등은 표면의 평탄성 또는 피복성이 극히 높을 필요가 없기 때문에 상기 절연층에 임베딩되도록 형성될 필요가 없다. 예를 들면, 상기 게이트 전극(136d) 등은 도전층이 형성된 다음 패터닝되는 방식으로 형성될 수 있다. 도시되지 않았지만, 상기 트랜지스터(160)가 유사하게 제작될 수 있음을 유념한다.
- [0191] 도 14a의 구조와 도 14b의 구조 사이의 중요한 차이는 상기 산화물 반도체층(140)의 상기 하부 표면 또는 상기 상부 표면에서 상기 소스 및 드레인 전극들(142a 및 142b)이 접한다는 점이다. 그 외에도, 이 차이로부터 유발되어, 다른 전극, 다른 절연층 등의 위치가 변한다. 각각의 구성요소의 상세들에 관해, 도 2a 및 도 2b 또는 다른 도면들이 참조될 수 있다.
- [0192] 특히, 도 14a에서, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공된 상기 게이트 전극(136d); 상기 게이트 전극(136d) 위에 제공된 상기 게이트 절연층(138); 상기 게이트 절연층(138) 위에 제공되는 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b); 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 상기 상부 표면들과 접하는 상기 산화물 반도체층(140)을 포함한다.
- [0193] 도 14b에서, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공된 상기 게이트 전극(136d); 상기 게이트 전극(136d) 위에 제공된 상기 게이트 절연층(138); 상기 게이트 전극(136d)과 중첩하는 상기 게이트 절연층(138)의 영역 위에 제공되는 상기 산화물 반도체층(140); 및 상기 산화물 반도체층(140)의 상기 상부 표면과 접하여 제공되는 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)을 포함한다.
- [0194] 도 2a 및 도 2b 등에 도시된 상기 구성이 가지는 구성요소는 도 14a 및 도 14b에 도시된 상기 구성들에서도 또한 일부 경우들에서 생략될 수 있다. 또한, 이 경우, 제작 공정의 간단화가 달성될 수 있다.
- [0195] 도 15a 및 도 15b는 상기 반도체 장치가 비교적 큰 크기를 가지고 상기 게이트 전극(136d)이 상기 산화물 반도체층(140) 위에 제공되는 구조예를 각각 도시한다. 또한 이 경우, 배선, 전극 등은 표면의 평탄성 또는 피복성이 극히 높을 필요가 없기 때문에 상기 절연층에 임베딩되도록 형성될 필요가 없다. 예를 들면, 상기 게이트 전극(136d) 등은 도전층이 형성된 다음 패터닝되는 방식으로 형성될 수 있다. 도시되지 않았지만, 상기 트랜지스터(160)가 유사하게 제작될 수 있음을 유념한다.
- [0196] 도 15a에 도시된 상기 구조와 도 15b에 도시된 상기 구성 사이의 중요한 차이는 상기 산화물 반도체층(140)의 상기 하부 표면 또는 상기 상부 표면에서 상기 소스 및 드레인 전극들(142a 및 142b)이 접한다는 점이다. 그 외에도, 이 차이로부터 유발되어, 다른 전극, 다른 절연층 등의 위치가 변한다. 각각의 구성요소의 상세들에 관해, 도 2a 및 도 2b 또는 다른 도면들이 참조될 수 있다.
- [0197] 특히, 도 15a에서, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공된 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b); 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 상기 상부 표면들과 접하는 상기 산화물 반도체층(140); 상기 소스 또는 드레인 전극(142a), 상기 소스 또는 드레인 전극(142b) 및 상기 산화물 반도체층(140) 위에 제공된 상기 게이트 절연층(138); 및 상기 산화물 반도체층(140)과 중첩하는 상기 게이트 절연층(138)의 영역 위에 상기 게이트 전극(136d)을 포함한다.
- [0198] 도 15b에서, 상기 반도체 장치는: 상기 층간 절연층(128) 위에 제공된 상기 산화물 반도체층(140); 상기 산화물 반도체층(140)의 상기 상부 표면과 접하여 제공된 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b); 상기 소스 또는 드레인 전극(142a), 상기 소스 또는 드레인 전극(142b) 및 상기 산화물 반도체층(140) 위에 제공된 상기 게이트 절연층(138); 및 상기 산화물 반도체층(140)과 중첩하는 상기 게이트 절연층

(138)의 영역 위에 상기 게이트 전극(136d)을 포함한다.

- [0199] 도 2a 및 도 2b 등에 도시된 상기 구성이 가지는 구성요소는 도 15a 및 도 15b에 도시된 상기 구성들에서도 또한 일부 경우들에서 생략될 수 있다. 또한, 이 경우, 제작 공정의 간단화가 달성될 수 있다.
- [0200] 상술된 바와 같이, 개시된 발명의 일 실시형태에 따라, 새로운 구성을 가진 반도체 장치가 실현된다. 이 실시형태에서 상기 트랜지스터(160) 및 상기 트랜지스터(162)가 적층되지만, 상기 반도체 장치의 구조는 이에 제한되지 않는다. 또한, 상기 트랜지스터(160)의 채널 길이 방향 및 상기 트랜지스터(162)의 채널 길이 방향이 서로 직교하는 예가 기술되지만, 상기 트랜지스터들(160 및 162)의 위치들이 이에 제한되지 않는다. 그 외에도, 상기 트랜지스터들(160 및 162)이 서로 중첩하도록 제공될 수 있다.
- [0201] 이 실시형태에서 용이한 이해를 위해 최소 저장 단위(1 비트) 당 반도체 장치가 기술되지만, 상기 반도체 장치의 구조가 이에 제한되지 않음을 유념한다. 더욱 개발된 반도체 장치는 복수의 반도체 장치들을 적합하게 접속하여 형성될 수 있다. 예를 들면, 복수의 상기 기술된 반도체 장치들을 이용하여 NAND형 또는 NOR형 반도체 장치를 만드는 것이 가능하다. 상기 배선의 구조는 도 1에 도시된 것에 제한되지 않고 적합하게 변경될 수 있다.
- [0202] 이 실시형태에 따른 상기 반도체 장치에서, 상기 트랜지스터(162)의 낮은 오프-상태 전류 특성들은 정보가 극히 긴 시간 동안 유지될 수 있게 한다. 달리 말하면, DRAM 메모리들 등에 필요한 리프래시 동작은 반드시 필요하지 않다; 따라서 전력 소비가 억제될 수 있다. 그 외에도, 상기 반도체 장치는 실질적으로 비휘발성 메모리로서 이용될 수 있다.
- [0203] 정보가 상기 트랜지스터(162)의 동작을 스위칭함으로써 기록되기 때문에, 고전압이 필요하지 않고 소자가 상기 반도체 장치에서 열화되지 않는다. 또한, 정보는 상기 트랜지스터의 온 상태 및 오프 상태에 따라 기록 또는 소거되고, 그에 의해 고속 동작이 쉽게 실현될 수 있다. 또한, 플래시 메모리 등에서 필요한 정보를 소거하기 위한 동작이 필요하지 않는다는 이점이 있다.
- [0204] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터가 상당히 고속으로 동작할 수 있다; 따라서, 저장된 내용의 고속 판독이 상기 반도체 장치를 이용하여 실현될 수 있다.
- [0205] 이 실시형태에 기술된 방법들 및 구조들은 다른 실시형태들에 기술된 방법들 및 구조들 중 어느 것과 적합하게 조합될 수 있다.
- [0206] (실시형태 2)
- [0207] 이 실시형태에서, 본 발명의 일 실시형태에 따른 반도체 장치의 회로 구성 및 동작이 기술될 것이다.
- [0208] 상기 반도체 장치를 포함하는 메모리 소자(이후, 또한 메모리 셀이라고 칭해짐)의 회로도의 예가 도 16에 도시된다. 도 16에 도시된 메모리 셀(200)은 다치 메모리 셀이고, 소스선 SL, 비트선 BL, 제 1 신호선 S1, 제 2 신호선 S2, 워드선 WL, 트랜지스터(201), 트랜지스터(202), 트랜지스터(203) 및 용량 소자(205)를 포함한다. 상기 트랜지스터들(201 및 203)은 산화물 반도체 이외의 재료를 이용하여 형성되고, 상기 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.
- [0209] 여기서, 상기 트랜지스터(201)의 게이트 전극이 상기 트랜지스터(202)의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속된다. 그 외에도, 상기 소스선 SL은 상기 트랜지스터(201)의 소스 전극에 전기적으로 접속되고, 상기 트랜지스터(203)의 소스 전극은 상기 트랜지스터(201)의 드레인 전극에 전기적으로 접속된다. 상기 비트선 BL은 상기 트랜지스터(203)의 드레인 전극에 전기적으로 접속되고, 상기 제 1 신호선 S1은 상기 트랜지스터(202)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전기적으로 접속된다. 상기 제 2 신호선 S2은 상기 트랜지스터(202)의 게이트 전극에 전기적으로 접속되고, 상기 워드선 WL은 상기 트랜지스터(203)의 게이트 전극에 전기적으로 접속된다. 또한, 상기 용량 소자(205)의 전극들 중 하나가 상기 트랜지스터의 상기 게이트 전극과 상기 트랜지스터(202)의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된다. 상기 용량 소자(205)의 상기 전극들 중 다른 하나에는 미리 결정된 전위, 예를 들면 GND가 공급된다.
- [0210] 다음에, 도 16에 도시된 상기 메모리 셀(200)의 동작이 기술된다. 상기 메모리 셀(200)이 4-값 메모리 셀인 경우가 기술된다. 상기 메모리 셀(200)의 4개의 상태들은 "00b", "01b", "10b" 및 "11b"로 설정되고, 이 때 노드 A의 각각의 전위들은 각각 V_{00} , V_{01} , V_{10} 및 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)로 설정된다.
- [0211] 상기 메모리 셀(200)에 기록이 수행될 때, 상기 소스선 SL은 0[V]로 설정되고, 상기 워드선 WL은 0[V]로 설정되고, 상기 비트선 BL은 0[V]로 설정되고, 상기 제 2 신호선 S2는 2[V]로 설정된다. 데이터 "00b"가 기록될 때,

상기 제 1 신호선 S1이 $V_{00}[V]$ 로 설정된다. 데이터 "01b"가 기록될 때, 상기 제 1 신호선 S1이 $V_{01}[V]$ 로 설정된다. 데이터 "10b"가 기록될 때, 상기 제 1 신호선 S1이 $V_{10}[V]$ 로 설정된다. 데이터 "11b"가 기록될 때, 상기 제 1 신호선 S1이 $V_{11}[V]$ 로 설정된다. 이때, 상기 트랜지스터(203)는 오프 상태에 두게 되고 상기 트랜지스터(202)는 온 상태에 두게 된다. 데이터 기록이 완료될 때, 상기 제 2 신호선 S2는 상기 제 1 신호선 S1이 변경되기 전에 상기 트랜지스터(202)를 턴오프하도록 0[V]로 설정됨을 유념한다.

[0212] 결과적으로, 상기 데이터 "00b", "01b", "10b" 및 "11b" 중 하나를 기록한 후에, 상기 트랜지스터(201)의 상기 게이트 전극에 접속된 노드(이후, 노드 A라고 칭해짐)의 전위는 대략 $V_{00}[V]$, $V_{01}[V]$, $V_{10}[V]$ 및 $V_{11}[V]$ 중 하나가 된다. 상기 제 1 신호선 S1의 상기 전위에 대응하는 전하는 상기 노드 A에 축적된다; 그러나, 상기 트랜지스터(202)의 오프-상태 전류가 극히 작거나 실질적으로 0이기 때문에, 상기 트랜지스터(201)의 상기 게이트 전극의 전위가 장시간 동안 유지된다.

[0213] 상기 메모리 셀(200)로부터 판독이 수행될 때, 먼저, 상기 비트선 BL이 전압 $V_{pc}[V]$ 로 미리 충전된다. 상기 소스선 SL이 $V_{s_read}[V]$ 로 설정되고, 상기 워드선 WL이 2[V]로 설정되고, 상기 제 2 신호선 S2가 0[V]로 설정되고, 상기 제 1 신호선 S1이 0[V]로 설정된다. 이때, 상기 트랜지스터(203)는 온 상태를 취하고 상기 트랜지스터(202)는 오프 상태를 취한다. 상기 전위 V_{pc} 가 $V_{00} - V_{th}$ 보다 낮게 설정됨을 유념한다. 또한, V_{s_read} 는 $V_{11} - V_{th}$ 보다 높게 설정된다.

[0214] 결과적으로, 전류가 상기 소스선 SL에서 상기 비트선 BL로 흐르고, 상기 비트선은 (상기 노드 A의 전위) - (상기 트랜지스터(201)의 임계 전압 V_{th})에 의해 표현된 전위로 충전된다. 결과적으로, 상기 비트선 BL의 상기 전위는 상기 데이터 "00b", "01b", "10b" 및 "11b"에 각각 대응하는 $V_{00} - V_{th}$, $V_{01} - V_{th}$, $V_{10} - V_{th}$ 및 $V_{11} - V_{th}$ 중 하나가 된다. 상기 비트선에 인가되고 상기 데이터에 대응하는 상기 전위들이 서로 상이하기 때문에, 상기 비트선 BL에 접속된 판독 회로는 상기 데이터 "00b", "01b", "10b" 및 "11b"를 판독할 수 있다.

[0215] 저장 용량의 $m \times n$ 비트들을 포함하는 본 발명의 일 실시형태에 따른 반도체 장치의 블록 회로도가 도 17에 도시된다.

[0216] 본 발명의 일 실시형태에 따른 상기 반도체 장치는 다음의 구성요소들을 포함한다: m개의 워드선들 WL 및 m개의 제 2 신호선들 S2; n개의 비트선들 BL; n개의 제 1 신호선들 S1 및 n개의 소스선들 SL; 수직(행들)으로 m개의 셀들 및 수평(열들)에서의 n개의 셀들을 가진 매트릭스(m 및 n 둘다는 자연수들임)로 배열된 복수의 메모리 셀들(200)(1, 1) 내지 200(m, n)을 포함하는 메모리 셀 어레이(210); 및 판독 회로들(211), 제 1 신호선 구동 회로들(212), 상기 제 2 신호선들 및 워드선들에 대한 구동 회로(213) 및 전위 생성 회로(214)와 같은 주변 회로들. 다른 주변 회로로서, 리프레시 회로 등이 제공될 수 있다.

[0217] 상기 메모리 셀들의 각각, 예를 들면 메모리 셀(200)(i, j)이 고려된다(여기서, i는 1 이상 m 이하의 정수이고 j는 1 이상 n 이하의 정수이다). 상기 메모리 셀(200)(i, j)은 상기 비트선 BL(j), 상기 제 1 신호선 S1(j), 상기 소스선 SL(j), 상기 워드선 WL(i) 및 상기 제 2 신호선 S2(i)이다. 그 외에도, 상기 비트선들 BL(1) 내지 BL(n) 및 상기 소스선들 SL(1) 내지 SL(n)이 상기 판독 회로(211)에 접속된다. 상기 제 1 신호선들 S1(1) 내지 S1(n)이 상기 제 1 신호선 구동 회로들(212)에 접속된다. 상기 워드선들 WL(1) 내지 WL(m) 및 상기 제 2 신호선들 S2(1) 내지 S2(m)은 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(213)에 접속된다.

[0218] 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(213)의 예가 도 18에 도시된다. 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(213)는 디코더(215)를 포함한다. 상기 디코더(215)는 스위치들을 통해 상기 제 2 신호선들 S2 및 상기 워드선들 WL에 접속된다. 또한, 상기 제 2 신호선들 S2 및 상기 워드선들 WL은 상기 스위치들을 통해 GND(접지 전위)에 접속된다. 상기 스위치들은 판독 인에이블 신호(RE 신호) 또는 기록 인에이블 신호(WE 신호)에 의해 제어된다. 어드레스 신호 ADR은 외부로부터 상기 디코더(215)에 입력된다.

[0219] 상기 어드레스 신호 ADR이 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(213)에 입력될 때, 상기 어드레스에 의해 지정된 행들(이후, 선택된 행들이라고도 칭해짐)이 어서팅되고(유효화) 상기 어드레스에 의해 지정된 상기 행들 이외의 행들(이후, 비선택된 행들이라고도 칭해짐)이 디어서팅된다(비유효화). 또한, 상기 RE 신호가 어서팅될 때, 상기 워드선 WL이 상기 디코더(215)의 출력에 접속되고, 상기 RE 신호가 디어서팅될 때, 상기 워드선 WL이 GND에 접속된다. 상기 WE 신호가 어서팅될 때, 상기 제 2 신호선 S2가 상기 디코더(215)의 상기 출력에 접속되고, 상기 WE 신호가 디어서팅될 때, 상기 제 2 신호선 S2가 GND에 접속된다.

[0220] 상기 제 1 신호선 구동 회로(212)의 예가 도 19에 도시된다. 상기 제 1 신호선 구동 회로(212)는 멀티플렉서(MUX1)를 포함한다. 입력 데이터 DI 및 상기 기록 전위들 V_{00} , V_{01} , V_{10} 및 V_{11} 이 상기 멀티플렉서(MUX1)에 입력된다. 상기 멀티플렉서(MUX1)의 출력 단자가 스위치를 통해 상기 제 1 신호선 S1에 접속된다. 또한, 상기 제 1 신호선 S1이 스위치를 통해 GND에 접속된다. 상기 스위치들은 기록 인에이블 신호(WE 신호)에 의해 제어된다.

[0221] DI가 상기 제 1 신호선 구동 회로(212)에 입력될 때, 상기 멀티플렉서(MUX1)는 상기 기록 전위들 V_{00} , V_{01} , V_{10} 및 V_{11} 로부터 DI의 값에 따라 기록 전위 V_w 를 선택한다. 상기 멀티플렉서(MUX1)의 거동은 [표 1]에 도시된다. 상기 WE 신호가 어서팅될 때, 상기 선택된 기록 전위 V_w 가 상기 제 1 신호선 S1에 인가된다. 상기 WE 신호가 디어서팅될 때, 0[V]가 상기 제 1 신호선 S1에 인가된다(상기 제 1 신호선 S1은 GND에 접속된다).

표 1

DI[1]	DI[0]	MUX1 출력
0	0	V_{00} 와 일치
0	1	V_{01} 와 일치
1	0	V_{10} 와 일치
1	1	V_{11} 와 일치

[0223] 상기 판독 회로(211)의 예가 도 20에 도시된다. 상기 판독 회로(211)는 복수의 감지 증폭기 회로들, 논리 회로(229) 등을 포함한다. 상기 감지 증폭기 회로들의 각각의 하나의 입력 단자는 스위치들을 통해 상기 비트선 BL 및 전위 V_{pc} 가 인가되는 배선에 접속된다. 임의의 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 가 상기 감지 증폭기 회로들의 각각의 다른 입력 단자에 입력된다. 상기 감지 증폭기 회로들의 각각의 출력 단자는 상기 논리 회로(229)의 입력 단자에 접속된다. 상기 스위치들은 판독 인에이블 신호(RE 신호)에 의해 제어됨을 유념한다. 메모리 셀의 상태가 $V_{00} - V_{th} < V_{ref0} < V_{01} - V_{th} < V_{ref1} < V_{10} - V_{th} < V_{ref2} < V_{11} - V_{th}$ 를 만족시키도록 상기 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 의 각각의 값들을 설정함으로써 3개의 비트들을 가진 디지털 신호로서 판독될 수 있다. 예를 들면, 상기 데이터 "00b"의 경우, 상기 비트선 BL의 전위는 $V_{00} - V_{th}$ 이다. 여기서, 상기 비트선의 상기 전위는 상기 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 중 어느 것보다 작고, 그에 의해 상기 감지 증폭기 회로들의 모든 출력들 SA_OUT0, SA_OUT1 및 SA_OUT2가 "0"이 된다. 유사하게, 상기 데이터 "01b"의 경우, 상기 비트선 BL의 전위는 $V_{01} - V_{th}$ 이므로, 상기 감지 증폭기 회로들의 상기 출력들 SA_OUT0, SA_OUT1 및 SA_OUT2는 각각 "1", "0" 및 "0"이 된다. 상기 데이터 "10b"의 경우, 상기 비트선 BL의 전위는 $V_{10} - V_{th}$ 이고, 그에 의해 상기 감지 증폭기 회로들의 상기 출력들 SA_OUT0, SA_OUT1 및 SA_OUT2는 각각 "1", "1" 및 "0"이 된다. 상기 데이터 "11b"의 경우, 상기 비트선 BL의 전위는 $V_{11} - V_{th}$ 이므로, 상기 감지 증폭기 회로들의 상기 출력들 SA_OUT0, SA_OUT1 및 SA_OUT2는 각각 "1", "1" 및 "1"이 된다. 그 후에, 논리 테이블 [표 2]에 도시된 상기 논리 회로(229)를 이용하여, 2개의 비트들을 가진 데이터 DO가 생성되고 상기 판독 회로(211)로부터 출력된다.

표 2

SA_OUT0	SA_OUT1	SA_OUT2	DO1	DO0
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

[0225] 여기에 도시된 상기 판독 회로(211)에서, 상기 RE 신호가 디어서팅될 때, 상기 소스선 SL은 GND에 접속되고 0[V]가 상기 소스선 SL에 인가됨을 유념한다. 동시에, 상기 전위 V_{pc} [V]가 또한 상기 비트선 BL 및 상기 비트선 BL에 접속된 상기 감지 증폭기 회로들에 인가된다. 상기 RE 신호가 어서팅될 때, V_{s_read} [V]가 상기 소스선 SL에 인가되고, 그에 의해, 데이터를 반영하는 전위가 상기 비트선 BL에 충전된다. 그 후에, 상기 판독이 수행된다. 상기 전위 V_{pc} 는 $V_{00} - V_{th}$ 보다 낮게 설정됨을 유념한다. 또한 V_{s_read} 는 $V_{11} - V_{th}$ 보다 높게 설정된다. 판독시 비교되는 "상기 비트선 BL의 전위들(potentials of the bit line BL)"은 스위치들을 통해 상기 비트선 BL에 접속된

상기 감지 증폭기 회로들의 입력 단자들의 노드의 전위를 포함함을 유념한다. 즉, 상기 판독 회로(211)에 비교되는 전위들은 상기 비트선 BL의 상기 전위들과 정확히 동일할 필요가 없다. 상기 전위 생성 회로(214)의 예는 도 21에 도시된다. 상기 전위 생성 회로(214)에서, 전위가 저항에 의해 V_{dd} 와 GND 사이에서 분할되고, 그에 의해 원하는 전위들이 획득될 수 있다. 그 후에, 상기 생성된 전위들이 아날로그 버퍼(220)를 통해 출력된다. 이러한 방식으로, 상기 기록 전위들 V_{00} , V_{01} , V_{10} 및 V_{11} 및 상기 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 가 생성된다. $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 인 구조가 도 21에 도시되었지만; 전위 관계는 이에 제한되지 않음을 유념한다. 요구된 전위들은 상기 참조 전위들이 접속되는 노드들 및 레지스터들을 조정함으로써 적합하게 생성될 수 있다. 또한, V_{00} , V_{01} , V_{10} 및 V_{11} 이 V_{ref0} , V_{ref1} 및 V_{ref2} 의 전위 생성 회로 이외의 다른 전위 생성 회로를 이용하여 생성될 수 있다. 승압 회로에서 승압된 전위가 상기 전원 전위 V_{dd} 대신에 상기 전위 생성 회로(214)에 공급될 수 있다. 이것은 전위차의 절대값이 상기 승압 회로의 출력을 상기 전위 생성 회로에 공급함으로써 증가될 수 있어서, 더 높은 전위가 공급될 수 있기 때문이다.

[0226] 상기 전원 전위 V_{dd} 가 상기 전위 생성 회로에 직접 공급되는 경우에도, 상기 전원 전위 V_{dd} 가 복수의 전위들로 나누어질 수 있음을 유념한다. 그러나, 이 경우에, 서로 인접 전위들을 구별하기가 어렵기 때문에, 기록 오류들 및 판독 오류들이 증가한다. 상기 승압 회로의 상기 출력이 상기 전위 생성 회로에 공급되는 경우, 상기 전위차의 상기 절대값이 증가될 수 있어서, 분할 수가 증가하는 경우에도 상기 인접 전위들 사이의 충분한 전위차가 확보될 수 있다.

[0227] 따라서, 기록 오류들 및 판독 오류들이 증가하지 않고 메모리 셀의 저장 용량이 증가될 수 있다.

[0228] 4개의 단계들의 승압이 수행되는 승압 회로의 예로서, 승압 회로(219)가 도 22a에 도시된다. 도 22a에서, 상기 전원 전위 V_{dd} 가 제 1 다이오드(402)의 입력 단자에 공급된다. 제 2 다이오드(404)의 입력 단자 및 제 1 용량 소자(412)의 하나의 단자가 상기 제 1 다이오드(402)의 출력 단자에 접속된다. 유사하게, 제 3 다이오드(406)의 입력 단자 및 제 2 용량 소자(414)의 하나의 단자가 상기 제 2 다이오드(404)의 출력 단자에 접속된다. 다른 부분들의 접속들은 상기와 유사하다; 따라서, 상세한 설명이 생략된다. 그러나, 상기 접속은 다음과 같이 표현될 수 있다: 제 n 용량 소자의 하나의 단자가 제 n 다이오드(여기서 n은 정수를 표현함)의 출력 단자에 접속된다. 제 5 다이오드(410)의 출력 단자는 상기 승압 회로(219)의 출력 V_{out} 가 됨을 유념한다.

[0229] 그 외에도, 클록 신호 CLK가 상기 제 1 용량 소자(412)의 다른 단자 및 제 3 용량 소자(416)의 다른 단자에 입력된다. 반전 클록 신호 CLKB가 상기 제 2 용량 소자(414)의 다른 단자 및 제 4 용량 소자(418)의 다른 단자에 입력된다. 즉, 상기 클록 신호 CLK가 제 $(2k - 1)$ 용량 소자의 다른 단자에 입력되고, 상기 반전 클록 신호 CLKB가 제 $2k$ 용량 소자(k는 정수를 표현함)의 다른 단자에 입력된다. 접지 전위 GND가 최종 단계의 용량 소자의 다른 단자에 입력됨을 유념한다.

[0230] 상기 클록 신호 CLK가 높을 때, 즉 상기 반전 클록 신호 CLKB가 낮을 때, 상기 제 1 용량 소자(412) 및 상기 제 3 용량 소자(416)가 충전되고, 노드 N1 및 노드 N3의 전위들이 용량적으로 결합되고, 상기 클록 신호 CLK가 미리 결정된 전압만큼 증가된다. 한편, 상기 반전 클록 신호 CLKB와 용량적으로 결합된 노드 N2 및 노드 N4의 전위들은 미리 결정된 전압 만큼 증가된다.

[0231] 따라서, 상기 제 1 다이오드(402), 상기 제 3 다이오드(406) 및 상기 제 5 다이오드(410)를 통해 전하가 이동하고, 노드 N2 및 노드 N4의 상기 전위들이 미리 결정된 값으로 증가된다.

[0232] 다음에, 상기 클록 신호 CLK가 낮아지고 상기 반전 클록 신호 CLKB가 높아질 때, 노드 N2 및 노드 N4의 전위들이 또한 증가한다. 한편, 노드 N1, 노드 N3 및 노드 N5의 전위들은 미리 결정된 값만큼 감소된다.

[0233] 따라서, 상기 제 2 다이오드(404) 및 상기 제 4 다이오드를 통해 전하가 이동한다. 결과적으로, 노드 N3 및 노드 N5의 전위들은 미리 결정된 전위로 증가된다. 따라서, 노드들의 전위들의 각각은 $V_{N5} > V_{N4}(CLKB = High) > V_{N3}(CLK = High) > V_{N2}(CLKB = High) > V_{N1}(CLK = High) > V_{N2}(CLKB = High) > V_{N1}(CLK = High) > V_{dd}$ 가 되고, 그에 의해 승압이 수행된다. 상기 승압 회로(219)는 4개의 단계들의 승압을 수행하는 회로에 제한되지 않음을 유념한다. 상기 승압의 단계들의 수는 적합하게 변경될 수 있다.

[0234] 상기 승압 회로(219)의 상기 출력 V_{out} 는 다이오드들의 특성들 사이의 변동들에 의해 상당한 영향을 받음을 유념한다. 예를 들면, 다이오드는 트랜지스터의 소스 전극 및 게이트 전극을 서로 접속함으로써 제공되지만, 이 경

우, 상기 다이오드는 상기 트랜지스터의 상기 임계값의 변동에 의해 영향을 받는다.

- [0235] 상기 출력 V_{out} 을 높은 정확도로 제어하기 위해, 상기 출력 V_{out} 이 피드백되는 구조가 이용될 수 있다. 도 22b는 상기 출력 V_{out} 이 피드백되는 경우의 회로 구성의 예를 도시한다. 도 22b의 상기 승압 회로(219)는 도 22a에서 상기 승압 회로(219)에 대응한다.
- [0236] 상기 승압 회로(219)의 출력 단자는 저항 R_1 을 통해 감지 증폭기 회로의 하나의 입력 단자에 접속된다. 그 외에도, 상기 감지 증폭기 회로의 상기 하나의 입력 단자는 저항 R_2 을 통해 접지된다. 즉, 상기 출력 V_{out} 에 대응하는 전위 V_1 은 상기 감지 증폭기 회로의 상기 하나의 입력 단자에 입력된다. 여기서, $V_1 = V_{out} \cdot R_2 / (R_1 + R_2)$ 이다.
- [0237] 또한, 상기 참조 전위 V_{ref} 는 상기 감지 증폭기 회로의 다른 입력 단자에 입력된다. 즉, V_1 및 V_{ref} 는 상기 감지 증폭기 회로에서 비교된다. 상기 감지 증폭기 회로의 출력 단자가 제어 회로에 접속된다. 클록 신호 CLK0는 상기 제어 회로에 입력된다. 상기 제어 회로는 상기 감지 증폭기 회로의 상기 출력에 응답하여 상기 클록 신호 CLK 및 상기 반전 클록 신호 CLKB를 상기 승압 회로(219)에 출력한다.
- [0238] $V_1 > V_{ref}$ 일 때, 상기 감지 증폭기 회로의 출력 sig_1이 어서팅되고, 상기 제어 회로는 상기 클록 신호 CLK 및 상기 반전 클록 신호 CLKB를 상기 승압 회로(219)에 공급하는 것을 중단한다. 따라서, 상기 승압 동작이 중단되어, 상기 전위 V_{out} 가 증가하는 것을 중단한다. 그 후에, 상기 승압 회로(219)의 상기 출력에 접속된 회로가 전기를 소비하고, 그에 의해 상기 전위 V_{out} 는 점차적으로 감소한다.
- [0239] $V_1 < V_{ref}$ 일 때, 상기 감지 증폭기 회로의 상기 출력 sig_1이 디어터팅되고, 상기 제어 회로는 상기 클록 신호 CLK 및 상기 반전 클록 신호 CLKB를 상기 승압 회로(219)에 공급하는 것을 시작한다. 따라서, 상기 승압 동작이 수행되어, 상기 전위 V_{out} 는 점차적으로 증가한다.
- [0240] 이러한 방식으로, 상기 승압 회로(219)의 상기 출력 전위 V_{out} 는 상기 승압 회로(219)의 상기 출력 전위 V_{out} 를 피드백함으로써 미리 결정된 값과 동일하게 유지될 수 있다. 상기 구성은 상기 다이오드들의 특성들이 변하는 경우에 특히 효과적이다. 또한, 미리 결정된 전위가 상기 참조 전위 V_{ref} 에 따라 생성되는 경우에도 효과적이다. 복수의 상이한 참조 전위들을 이용함으로써 복수의 전위들이 상기 승압 회로(219)에서 생성될 수 있음을 유념한다.
- [0241] 전위차의 절대값은 승압 회로의 출력을 전위 생성 회로에 공급함으로써 증가될 수 있다. 따라서, 더 높은 전위가 상기 전위차의 최소 단위의 변화없이 생성될 수 있다. 즉, 메모리 셀의 저장 용량이 증가될 수 있다.
- [0242] 도 23은 감지 증폭기 회로의 예로서 차동 감지 증폭기를 도시한다. 상기 차동 감지 증폭기는 입력 단자들 $V_{in}(+)$ 및 $V_{in}(-)$ 및 출력 단자 V_{out} 를 포함하고 $V_{in}(+)$ 와 $V_{in}(-)$ 사이의 차를 증폭한다. 상기 출력 V_{out} 는 $V_{in}(+) > V_{in}(-)$ 일 때 상대적으로 높고 $V_{in}(+) < V_{in}(-)$ 일 때 상대적으로 낮다.
- [0243] 도 24는 감지 증폭기 회로의 예로서 래치 감지 증폭기를 도시한다. 상기 래치 감지 증폭기는 제어 신호들 Sp 및 Sn의 입력 단자들 및 입력-출력 단자들 V_1 및 V_2 를 포함한다. 먼저, 전원이 상기 신호 Sp를 하이로 상기 신호 Sn을 로우로 설정하여 중단된다. 다음에, 비교될 전위들이 V_1 및 V_2 에 인가된다. 그 후, 상기 신호 Sp를 로우로 상기 신호 Sn을 하이로 설정하여 전력이 공급될 때, 상기 전력을 공급하기 전의 전위들이 $V_1 > V_2$ 임이 검증될 때 출력 V_1 이 하이로 되고 출력 V_2 가 로우로 된다. 상기 전력을 공급하기 전의 전위들이 $V_1 < V_2$ 임이 검증될 때 출력 V_1 이 로우로 되고 출력 V_2 가 하이로 된다. 이러한 방식으로, V_1 과 V_2 사이의 전위차가 증폭된다.
- [0244] 도 25a는 기록 동작의 타이밍 차트의 예를 도시한다. 데이터 "10b"가 메모리 셀에 기록되는 경우가 도 25a에서의 타이밍 차트에 도시된다. 선택된 제 2 신호선 S2는 상기 제 1 신호선 S1보다 일찍 0[V]가 된다. 상기 기록 기간 동안, 상기 제 1 신호선 S1의 상기 전위는 V_{10} 이 된다. 상기 워드선 WL, 상기 비트선 BL 및 상기 소스선 SL은 모두 0[V]임을 유념한다. 그 외에도, 도 25b는 타이밍 차트 또는 판독 동작의 예를 도시한다. 데이터 "10b"가 메모리 셀로부터 판독되는 경우가 도 25b에서의 타이밍 차트에 도시된다. 선택된 워드선 WL이 어서팅되고, 상기 소스선 SL이 전위 V_{s_read} [V]를 취하고, 그에 의해 상기 비트선 BL이 상기 메모리 셀의 "10b"에 대응하는 $V_{10} - V_{th}$ [V]로 충전된다. 결과적으로, SA_OUT0, SA_OUT1 및 SA_OUT2는 각각 "1", "1" 및 "0"이 된다. 상기 제 1 신

호선 S1 및 상기 제 2 신호선 S2가 0[V]임을 유념한다.

- [0245] 여기서, 특정 동작 전위들(전압들)의 예들이 기술된다. 예를 들면, 다음이 획득될 수 있다: 상기 트랜지스터(201)의 상기 임계 전압은 대략 0.3V이고, 상기 전원 전압 V_{DD} 는 2V이고, V_{11} 은 1.6V이고, V_{10} 은 1.2V이고, V_{01} 은 0.8V이고, V_{00} 은 0V이고, V_{ref0} 은 0.6V이고, V_{ref1} 은 1.0V이고 V_{ref2} 는 1.4V이다. 전위 V_{pc} 는 예를 들면 0V가 바람직하다.
- [0246] 이 실시형태에서 상기 제 1 신호선 S1이 상기 비트선 BL 방향(열 방향)으로 배열되고 상기 제 2 신호선 S2가 상기 워드선 WL 방향(행 방향)으로 배열되지만, 본 발명의 일 실시형태는 이에 제한되지 않는다. 예를 들면, 상기 제 1 신호선 S1은 상기 워드선 WL, 방향(행 방향)으로 배열될 수 있고 상기 제 2 신호선 S2가 상기 비트선 BL 방향(열 방향)으로 배열될 수 있다. 이러한 경우, 상기 제 1 신호선 S1이 접속되는 상기 구동 회로 및 상기 제 2 신호선 S2가 접속되는 상기 구동 회로가 적합하게 배열될 수 있다.
- [0247] 이 실시형태에서, 4-값 메모리 셀들의 동작, 즉, 임의의 4개의 상이한 상태들의 하나의 메모리 셀로의 기록 또는 임의의 4개의 상이한 상태들의 하나의 메모리 셀로부터의 판독이 기술된다. 상기 회로 구성을 적합하게 변경함으로써, n 값 메모리 셀들의 동작, 즉 임의의 n개의 상이한 상태들(n은 2 이상의 정수)의 하나의 메모리 셀로의 기록 또는 임의의 n개의 상이한 상태들의 하나의 메모리 셀로부터의 판독이 수행될 수 있다.
- [0248] 예를 들면, 8-값 메모리 셀들에서, 저장 용량은 2값 메모리 셀들의 3배가 된다. 데이터를 기록할 때, 전위들의 8개의 값들이 노드 A의 전위를 결정하도록 준비되고 8개의 상태들이 준비된다. 데이터를 판독할 때, 상기 8개의 상태들을 구별할 수 있는 7개의 참조 전위들이 준비된다. 하나의 감지 증폭기가 제공되고 비교가 7회 수행되어, 데이터가 판독될 수 있다. 또한, 비교 횟수가 상기 비교 결과를 피드백함으로써 3회로 감소될 수 있다. 상기 소스선 SL을 구동하기 위한 판독 방법에서, 7개의 감지 증폭기들을 제공함으로써 하나의 비교에서 데이터가 판독될 수 있다. 또한, 복수의 감지 증폭기들이 제공될 수 있고 비교가 복수 회 수행된다.
- [0249] 일반적으로, 2^k -값 메모리 셀들(k는 1보다 큰 정수)에서, 메모리 용량은 2-값 메모리 셀들의 것보다 k배 크다. 데이터를 기록할 때, 노드 A의 전위를 결정할 기록 전위들의 2^k 개 준비되고, 각각의 값은 2^k 상태들에 대응한다. 데이터를 판독할 때 2^k 개의 상태들을 구별할 수 있는 참조 전위들이 $2^k - 1$ 개 셋업될 수 있다. 하나의 감지 증폭기가 제공되고 비교가 $2^k - 1$ 회 수행되어, 데이터가 판독될 수 있다. 또한, 비교 횟수들은 상기 비교 결과를 피드백함으로써 k회로 감소될 수 있다. 상기 소스선 SL을 구동하기 위한 판독 방법에서, 데이터는 감지 증폭기들의 $2^k - 1$ 회 제공함으로써 하나의 비교에서 판독될 수 있다. 또한, 복수의 감지 증폭기들이 제공될 수 있고 비교가 복수 회 수행된다.
- [0250] 이 실시형태에 따른 반도체 장치는 상기 트랜지스터(202)의 낮은 오프-상태 전류 특성들로 인해 상당히 긴 시간 동안 정보를 저장할 수 있다. 즉, DRAM 등에서 필요한 리프레시 동작이 필요하지 않아, 전력 소비가 감소될 수 있다. 그 외에도, 이 실시형태의 상기 반도체 장치는 실질적으로 비휘발성 메모리 장치로서 이용될 수 있다.
- [0251] 데이터 등을 기록하는 것이 상기 트랜지스터(202)의 동작을 스위칭하여 수행되기 때문에, 고전압이 필요하지 않고 소자들의 열화의 문제가 없다. 또한, 정보 기록 및 정보 소거가 트랜지스터들을 턴 온 또는 오프하여 수행되기 때문에 고속 동작이 쉽게 실현될 수 있다. 또한, 정보는 트랜지스터들에 입력되는 전위들을 제어함으로써 직접 재기록될 수 있다. 따라서, 플래시 메모리 등에 필요한 소거 동작이 필요하지 않고, 소거 동작으로 인한 동작 속도의 감소가 방지될 수 있다.
- [0252] 또한, 산화물 반도체 재료 이외의 재료를 이용한 트랜지스터는 상당히 고속으로 동작할 수 있다; 따라서 상기 트랜지스터를 이용함으로써, 메모리 내용들이 고속으로 판독될 수 있다.
- [0253] 이 실시형태에 따른 상기 반도체 장치가 다치 반도체 장치이므로, 면적 당 저장 용량이 증가될 수 있다. 따라서, 상기 반도체 장치의 크기가 감소될 수 있고 상기 반도체 장치가 높게 집적될 수 있다. 또한, 기록 동작이 수행될 때 플로팅 상태를 취하는 노드들의 전위들이 직접 제어될 수 있다; 따라서, 상기 반도체 장치의 임계 전압들이 다치 메모리에 요구되는 높은 정확도로 용이하게 제어될 수 있다. 따라서, 다치형 메모리에 요구되는 데이터 기록 후의 상태들의 검증이 생략될 수 있고, 그러한 경우, 데이터 기록에 요구되는 시간이 단축될 수 있다.
- [0254] (실시형태 3)

- [0255] 이 실시형태에서, 본 발명의 일 실시형태에 따른 반도체 장치의 회로 구성 및 동작이 기술된다.
- [0256] 이 실시형태에서, 도 2의 동작과 상이한 판독 동작이 이 도 16에 도시된 메모리 소자의 회로 구성을 이용하여 기술된다. 도 16에 도시된 상기 용량 소자(205)가 항상 필요한 것이 아니고 일부 경우들에서 생략될 수 있음을 유념한다. 고려되는 상기 메모리 소자는 다치 메모리 소자이고, 상기 메모리 소자가 4값 메모리 소자인 경우가 이 실시형태에 기술된다. 메모리 셀(200)의 4개의 상태들은 데이터 "00b", "01b", "10b" 및 "11b"이고 노드 A의 대응 전위들은 각각 V_{00} , V_{01} , V_{10} 및 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)이다.
- [0257] 기록이 상기 메모리 셀(200)에 수행될 때, 상기 소스선 SL이 0[V]로 설정되고, 상기 워드선 WL이 0[V]로 설정되고, 상기 비트선 BL이 0[V]로 설정되고, 상기 제 2 신호선 S2가 2[V]로 설정된다. 상기 데이터 "00b"가 기록될 때, 상기 제 1 신호선 S1이 V_{00} [V]로 설정된다. 상기 데이터 "01b"가 기록될 때, 상기 제 1 신호선 S1이 V_{01} [V]로 설정된다. 상기 데이터 "10b"가 기록될 때, 상기 제 1 신호선 S1이 V_{10} [V]로 설정된다. 상기 데이터 "11b"가 기록될 때, 상기 제 1 신호선 S1이 V_{11} [V]로 설정된다. 이때, 상기 트랜지스터(203)는 오프 상태에 놓이고 트랜지스터(202)가 온 상태에 놓인다. 데이터를 기록하는 것이 완료될 때, 상기 제 1 신호선 S1의 전위가 변하기 전에 상기 트랜지스터(202)가 턴 오프되도록 상기 제 2 신호선 S2가 0[V]로 설정된다.
- [0258] 결과적으로, 상기 데이터 "00b", "01b", "10b" 및 "11b"를 기록한 후에, 상기 트랜지스터(201)의 게이트 전극에 접속된 노드(이후, 노드 A라고 칭해짐)의 전위는 대략 각각 V_{00} [V], V_{01} [V], V_{10} [V] 및 V_{11} [V]이다. 상기 제 1 신호선 S1의 상기 전위에 따라 상기 노드 A에 전하가 축적되고, 상기 트랜지스터(202)의 오프-상태 전류가 극히 작거나 실질적으로 0이기 때문에, 상기 트랜지스터(201)의 상기 게이트 전극의 전위가 장시간 동안 유지된다.
- [0259] 다음에, 상기 메모리 셀(200)의 판독이 수행되는 경우, 상기 소스선 SL이 0[V]로 설정되고, 상기 워드선 WL이 V_{DD} 로 설정되고, 상기 제 2 신호선 S2가 0[V]로 설정되고, 상기 제 1 신호선 S1이 0[V]로 설정되고, 상기 비트선 BL에 접속된 판독 회로(211)가 동작 상태에 있다. 이때, 상기 트랜지스터(203)는 온 상태에 있고 상기 트랜지스터(202)는 오프 상태에 있다.
- [0260] 결과적으로, 소스선 SL과 대응하는 비트선 BL 사이의 상기 메모리 셀(200)의 유효 저항값은 상기 메모리 셀(200)의 상태의 함수이다. 상기 노드 A의 상기 전위가 증가함에 따라, 상기 유효 저항값이 감소된다. 판독 회로는 저항값들 사이의 차들에 의해 유발된 전위차들로부터 상기 데이터 "00b", "01b", "10b" 및 "11b"를 판독해낼 수 있다. 상기 노드 A의 상기 전위가 최저값인 데이터 "00b" 이외의 데이터의 경우에, 상기 트랜지스터(201)가 온 상태인 것이 바람직하다.
- [0261] 도 26은 본 발명의 일 실시형태에 따라 반도체 장치의 다른 예의 블록도를 도시하며, 이것은 $m \times n$ 비트들의 메모리 용량을 포함한다.
- [0262] 도 26에 도시된 상기 반도체 장치는 m 개의 워드선들 WL, m 개의 제 2 신호선들 S2, n 개의 비트선들 BL, n 개의 제 1 신호선들 S1, 복수의 메모리 셀들 200(1, 1) 내지 200(m , n)이 수평(열들)으로의 n 개의 셀들에 의한 수직(행들)으로의 m 개의 셀들의 매트릭스(m 및 n 둘다 자연수들임)로 배열되는 메모리 셀 어레이(210), 및 판독 회로들(221), 제 1 신호선 구동 회로들(212), 상기 제 2 신호선들 및 워드선들에 대한 구동 회로(213), 및 전위 생성 회로(214)와 같은 주변 회로들을 포함한다. 리프레시 회로 등은 다른 주변 회로로서 제공될 수 있다.
- [0263] 상기 메모리 셀들의 각각, 예를 들면 메모리 셀 200(i , j)이 고려된다(여기서 i 는 1 이상 m 이하의 정수이고 j 는 1 이상 n 이하의 정수이다). 상기 메모리 셀 200(i , j)은 비트선 BL(j), 제 1 신호선 S1(j), 워드선 WL(i), 제 2 신호선 S2(i) 및 소스 배선에 접속된다. 전위 V_s (예를 들면 0V)가 상기 소스 배선에 인가된다. 그 외에도, 상기 비트선들 BL(1) 내지 BL(n)이 상기 판독 회로(221)에 접속되고, 상기 제 1 신호선들 S1(1) 내지 S1(n)이 상기 제 1 신호선 구동 회로(212)에 접속되고, 상기 워드선들 WL(1) 내지 WL(m) 및 상기 제 2 신호선들 S2(1) 내지 S2(m)이 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(213)에 접속된다.
- [0264] 상기 전위 생성 회로(214), 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(213) 및 상기 제 1 신호선 구동 회로(212)의 구성들은 상기 도 21, 도 18 및 도 19의 구성과 동일할 수 있음을 유념한다.
- [0265] 도 27은 상기 판독 회로(221)의 예를 도시한다. 상기 판독 회로(221)는 감지 증폭기 회로, 참조 셀(225), 논리 회로(229), 멀티플렉서(MUX2), 플립-플롭 회로들 FF0, FF1 및 FF2, 바이어스 회로(223) 등을 포함한다. 참조 셀(225)은 트랜지스터(216), 트랜지스터(217) 및 트랜지스터(218)를 포함한다. 상기 참조 셀(225)에 포함된 상기 트랜지스터(216), 상기 트랜지스터(217) 및 상기 트랜지스터(218)는 상기 메모리 셀에 포함된 상기 트랜지스터

(201), 상기 트랜지스터(202) 및 상기 트랜지스터(203)에 각각 대응하고, 상기 메모리 셀과 동일한 회로 구성을 형성한다. 상기 트랜지스터(216) 및 상기 트랜지스터(218)는 산화물 반도체 이외의 재료들을 이용하여 형성되고, 상기 트랜지스터(217)는 산화물 반도체를 이용하여 형성되는 것이 바람직하다. 그 외에도, 상기 메모리 셀이 상기 용량 소자(205)를 포함하는 경우에, 상기 참조 셀(225)은 또한 용량 소자를 포함하는 것이 바람직하다. 상기 바이어스 회로(223)의 2개의 출력 단자들은 스위치를 통해 상기 참조 셀(225)에 포함된 상기 트랜지스터(218)의 드레인 전극 및 상기 비트선 BL에 각각 접속된다. 그 외에도, 상기 바이어스 회로(223)의 상기 출력 단자들은 상기 감지 증폭기 회로의 입력 단자들에 접속된다. 상기 감지 증폭기 회로의 출력 단자는 상기 플립-플롭 회로들 FF0, FF1 및 FF2에 접속된다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 출력 단자들은 상기 논리 회로(229)의 입력 단자들에 접속된다. 신호들 RE0, RE1 및 RE2, 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} , 및 GND가 상기 멀티플렉서(MUX2)에 입력된다. 상기 멀티플렉서(MUX2)의 출력 단자는 상기 참조 셀(225)에 포함된 상기 트랜지스터(217)의 소스 전극 및 드레인 전극 중 하나에 접속된다. 상기 참조 셀(225)에 포함된 상기 트랜지스터(218)의 상기 드레인 전극 및 상기 비트선 BL은 스위치들을 통해 배선 V_{pc} 에 접속된다. 상기 스위치들은 신호 ϕ_A 에 의해 제어됨을 유념한다.

[0266] 상기 판독 회로(221)는 상기 메모리 셀의 컨덕턴스의 상기 참조 셀(225)의 컨덕턴스와의 비교가 상기 메모리 셀 및 상기 참조 셀로부터 출력된 전위차들을 비교함으로써 수행되는 구성을 가진다. 이 구성은 하나의 감지 증폭기 회로를 포함한다. 이 구조에서, 상기 비교는 상기 4개의 상태들을 판독해내기 위해 3회 수행된다. 달리 말하면, 상기 메모리 셀들의 컨덕턴스와 상기 참조 셀(225)의 컨덕턴스의 상기 비교는 참조 전위들의 3개의 값들의 각각의 경우에서 수행된다. 상기 3개의 비교들은 상기 신호들 RE0, RE1 및 RE2와 ϕ_A 에 의해 제어된다. 상기 멀티플렉서(MUX2)는 상기 신호들 RE0, RE1 및 RE2의 값들에 따라 상기 3개의 값들의 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 및 GND 중 어느 것을 선택한다. 상기 멀티플렉서(MUX2)의 거동은 [표 3]에 도시된다. 플립-플롭 회로들 FF0, FF1 및 FF2가 각각 상기 신호들 RE0, RE1 및 RE2에 의해 제어되고, 상기 감지 증폭기의 출력 신호 SA_OUT의 값들을 저장한다.

표 3

[0267]

RE0	RE1	RE2	V _{wL}
0	0	0	GND와 일치
1	0	0	V _{ref0} 와 일치
0	1	0	V _{ref1} 와 일치
0	0	1	V _{ref2} 와 일치

[0268] 상기 참조 전위들의 상기 값들은 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 이 되도록 결정된다. 따라서, 상기 4개의 상태들은 상기 3개의 비교들의 결과들로부터 판독될 수 있다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "00b"의 경우에 각각 "0", "0" 및 "0"이다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "01b"의 경우에 각각 "1", "0" 및 "0"이다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "10b"의 경우에 각각 "1", "1" 및 "0"이다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "11b"의 경우에 각각 "1", "1" 및 "1"이다. 이러한 방식으로, 상기 메모리 셀의 상태가 3-비트 디지털 신호로서 판독될 수 있다. 그 후, 논리값 표가 [표 2]에 도시된 상기 논리 회로(229)를 이용하여, 2-비트 데이터 D0가 상기 판독 회로로부터 생성 및 출력된다. 도 27에 도시된 상기 판독 회로에서, 신호 RE가 디어터팅될 때, 상기 비트선 BL 및 상기 참조 셀(225)이 프리차지가 수행되도록 배선 V_{pc} 에 접속됨을 유념한다. 상기 신호 RE가 어서팅될 때, 상기 비트선 BL과 상기 바이어스 회로(223) 사이 및 상기 참조 셀(225)과 상기 바이어스 회로(223)의 전기 연속성이 확립된다. 상기 프리차지는 반드시 수행될 필요가 없음을 유념한다. 이 회로에서, 상기 감지 증폭기 회로에 입력되는 2개의 신호들을 생성하는 상기 회로들이 거의 동일한 구조를 가지는 것이 바람직하다. 예를 들면, 상기 참조 셀(225)에서의 상기 트랜지스터들의 상기 구조가 상기 메모리 셀에서 대응하는 트랜지스터들의 구조와 동일한 것이 바람직하다. 상기 바이어스 회로(223) 및 상기 스위치의 대응하는 트랜지스터들은 동일한 구조를 가지는 것이 바람직하다. 상기 기록 동작의 타이밍 차트는 도 25a와 동일하다. 상기 판독 동작의 타이밍 차트의 예는 도 28에 도시된다. 도 28은 상기 데이터 "10b"가 상기 메모리 셀로부터 판독되는 경우의 타이밍 차트를 도시한다. 상기 신호들 RE0, RE1 및 RE2가 어서팅되는 각각의 기간들에서 V_{ref0} , V_{ref1} 및 V_{ref2} 가 상기 멀티플렉서(MUX2)의 출력 MUX2_OUT에 입력된다. 상기 기간들의 각각의 전반에서, 상기 신호 ϕ_A 가

어서팅되고 미리 결정된 전위가 상기 참조 셀(225)에 포함된 상기 트랜지스터의 노드 B에 인가된다. 상기 기간들의 각각의 후반에서, 상기 신호 ϕA 가 디어셔팅되고 미리 결정된 전위가 상기 참조 셀(225)에 포함된 상기 트랜지스터의 노드 B에서 유지되고, 상기 참조 셀(225)에 포함된 상기 트랜지스터(218)의 상기 드레인 전극이 상기 바이어스 회로(223)에 접속된다. 그 후에, 상기 감지 증폭기 회로의 비교 결과가 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 각각에 저장된다. 상기 메모리 셀의 상기 데이터가 "10b"인 경우에, 상기 플립 플롭 회로들 FF0, FF1 및 FF2의 값들은 각각 "1", "1" 및 "0"이다. 상기 제 1 신호선 S1 및 상기 제 2 신호선 S2가 0[V]에 있음을 유념한다.

[0269] 다음에, 도 20에 도시된 것과 상이한 판독 회로 및 판독 방법이 기술된다.

[0270] 도 29는 판독 회로(231)의 예를 도시한다. 상기 판독 회로(231)는 감지 증폭기 회로, 복수의 참조 셀들(참조 셀(225a), 참조 셀(225b) 및 참조 셀(225c)), 상기 논리 회로(229), 상기 플립-플롭 회로들 FF0, FF1 및 FF2, 상기 바이어스 회로(223) 등을 포함한다.

[0271] 상기 참조 셀 각각은 트랜지스터(216), 트랜지스터(217) 및 트랜지스터(218)를 포함한다. 트랜지스터들(216, 217 및 218)은 트랜지스터(201, 202 및 203)에 각각 대응하고, 상기 메모리 셀(200)의 회로 구성과 동일한 회로 구성을 형성한다. 상기 트랜지스터(216) 및 상기 트랜지스터(218)는 산화물 반도체 이외의 재료들을 이용하여 형성되고, 상기 트랜지스터(217)는 산화물 반도체를 이용하여 형성되는 것이 바람직하다. 그 외에도, 상기 메모리 셀들이 용량 소자(205)를 포함하는 경우에, 상기 참조 셀도 또한 용량 소자를 포함하는 것이 바람직하다. 상기 바이어스 회로(223)의 2개의 출력 단자들은 스위치들을 통해 상기 복수의 참조 셀들에 포함된 상기 트랜지스터들(218)의 상기 드레인 전극들 및 상기 비트선 BL에 각각 접속된다. 그 외에도, 상기 바이어스 회로(223)의 상기 출력 단자들은 상기 감지 증폭기 회로의 입력 단자들에 접속된다. 상기 감지 증폭기 회로의 출력 단자들은 상기 플립-플롭 회로들 FF0, FF1 및 FF2에 접속된다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 출력 단자들은 상기 논리 회로(229)의 입력 단자들에 접속된다. 상기 참조 셀들에 포함된 상기 트랜지스터들(218)의 상기 드레인 전극들 및 상기 비트선 BL은 스위치들을 통해 배선 V_{pc} 에 접속된다. 상기 스위치들은 판독 인에이블 신호(RE 신호)에 의해 제어됨을 유념한다.

[0272] 상기 판독 회로(231)는 상기 메모리 셀들 및 상기 참조 셀로부터 출력된 전위값들을 비교함으로써 상기 메모리 셀의 컨덕턴스의 상기 복수의 참조 셀들의 컨덕턴스와의 비교가 수행되는 구성을 가진다. 이 구성은 하나의 감지 증폭기 회로를 포함한다. 이 구조에서, 상기 비교는 상기 4개의 상태들을 판독해내기 위해 3회 수행된다. 즉, 상기 판독 회로(231)는 상기 메모리 셀들의 컨덕턴스와 상기 3개의 참조 셀들의 각각의 컨덕턴스와의 상기 비교가 수행되는 구조를 가진다. 상기 3개의 비교들은 상기 신호들 RE0, RE1 및 RE2에 의해 제어된다. V_{ref0} , V_{ref1} 및 V_{ref2} 가 상기 트랜지스터들(217)을 통해 상기 3개의 각각의 참조 셀들의 상기 트랜지스터(216)의 상기 게이트 전극에 입력된다. 판독 전에, 상기 신호 ϕA 가 어서팅되고, 모든 상기 트랜지스터들(217)이 턴 온되고, 상기 참조 셀들에 대한 기록이 수행된다. 상기 참조 셀들에 대한 상기 기록은 상기 판독 동작 전에 1회 수행될 수 있다. 말할 필요도 없이, 기록은 판독이 여러 번 수행될 때 1회 수행될 수 있거나, 판독이 수행될 때마다 수행될 수 있다. 그 외에도, 상기 플립-플롭 회로들 FF0, FF1 및 FF2는 상기 신호들 RE0, RE1 및 RE2에 의해 제어되고, 상기 감지 증폭기의 상기 출력 신호 SA_OUT의 값을 저장한다.

[0273] 상기 참조 전위들의 상기 값들은 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ 이 되도록 결정된다. 따라서, 상기 4개의 상태들은 상기 3개의 비교들의 결과들로부터 판독될 수 있다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "00b"의 경우에 각각 "0", "0" 및 "0"이다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "01b"의 경우에 각각 "1", "0" 및 "0"이다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "10b"의 경우에 각각 "1", "1" 및 "0"이다. 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 값들은 상기 데이터 "11b"의 경우에 각각 "1", "1" 및 "1"이다. 이러한 방식으로, 상기 메모리 셀의 상태가 3-비트 디지털 신호로서 판독될 수 있다. 그 후, 논리값 표가 [표 2]에 도시된 상기 논리 회로(229)를 이용하여, 2-비트 데이터 DO가 상기 판독 회로로부터 생성 및 출력된다.

[0274] 도 29에 도시된 상기 판독 회로에서, 신호 RE가 디어셔팅될 때, 상기 비트선 BL 및 상기 참조 셀들이 프리차지가 수행되도록 상기 배선 V_{pc} 에 접속됨을 유념한다. 상기 신호 RE가 어서팅될 때, 상기 비트선 BL과 상기 바이어스 회로(223) 사이 및 상기 참조 셀들과 상기 바이어스 회로(223)의 전기 연속성이 확립된다.

[0275] 상기 프리차지는 반드시 수행될 필요가 없음을 유념한다. 이 회로에서, 상기 감지 증폭기 회로에 입력되는 2개의 신호들을 생성하는 상기 회로들이 거의 동일한 구성을 가지는 것이 바람직하다. 예를 들면, 상기 참조 셀들

에서의 상기 트랜지스터들의 상기 구조가 상기 메모리 셀에서 대응하는 트랜지스터들의 구성과 동일한 것이 바람직하다. 상기 바이어스 회로(223) 및 상기 스위치의 대응하는 트랜지스터들은 동일한 구조를 가지는 것이 바람직하다.

[0276] 상기 배선 동작의 타이밍 차트는 도 25a와 동일하다. 상기 판독 동작의 타이밍 차트의 예는 도 30에 도시된다. 도 30은 상기 데이터 "10b"가 상기 메모리 셀로부터 판독되는 경우의 타이밍 차트를 도시한다. 상기 신호들 RE0, RE1 및 RE2가 어서팅되는 각각의 기간들에서 상기 참조 셀(225a), 상기 참조 셀(225b) 및 상기 참조 셀(225c)이 선택되어 상기 바이어스 회로(223)에 접속된다. 그 후에, 상기 감지 증폭기 회로의 비교 결과가 상기 플립-플롭 회로들 FF0, FF1 및 FF2의 각각에 저장된다. 상기 메모리 셀의 상기 데이터가 "10b"인 경우에, 상기 플립 플롭 회로들 FF0, FF1 및 FF2의 값들은 각각 "1", "1" 및 "0"이다. 상기 제 1 신호선 S1 및 상기 제 2 신호선 S2가 0[V]를 가짐을 유념한다.

[0277] 특정 동작 전위들(전압들)의 예들이 기술된다. 예를 들면, 다음이 획득될 수 있다: 상기 트랜지스터(201)의 상기 임계 전압은 대략 0.3V이고, 상기 전원 전위 V_{DD} 가 2V이고, V_{11} 은 1.6V이고, V_{10} 은 1.2V이고, V_{01} 은 0.8V이고, V_{00} 은 0V이고, V_{ref0} 은 0.6V이고, V_{ref1} 은 1.0V이고 V_{ref2} 는 1.4V이다. 상기 전위 V_{pc} 는 예를 들면 0V가 바람직하다.

[0278] 이 실시형태에서 상기 제 1 신호선 S1이 상기 비트선 BL 방향(열 방향)으로 배열되고 상기 제 2 신호선이 상기 워드선 WL 방향(행 방향)으로 배열되지만, 본 발명의 일 실시형태는 이에 제한되지 않는다. 예를 들면, 상기 제 1 신호선 S1은 상기 워드선 WL 방향(행 방향)으로 배열될 수 있고 상기 제 2 신호선 S2가 상기 비트선 BL 방향(열 방향)으로 배열될 수 있다. 이러한 경우, 상기 제 1 신호선 S1이 접속되는 상기 구동 회로 및 상기 제 2 신호선 S2가 접속되는 상기 구동 회로가 적합하게 배열될 수 있다.

[0279] 이 실시형태에서, 4-값 메모리 셀들의 동작, 즉, 임의의 4개의 상이한 상태들의 하나의 메모리 셀로의 기록 또는 임의의 4개의 상이한 상태들의 하나의 메모리 셀로부터의 판독이 기술된다. 상기 회로 구성을 적합하게 변경함으로써, n 값 메모리 셀들의 동작, 즉 임의의 n개의 상이한 상태들(n은 2 이상의 정수)의 하나의 메모리 셀로의 기록 또는 임의의 n개의 상이한 상태들의 하나의 메모리 셀로부터의 판독이 수행될 수 있다.

[0280] 예를 들면, 8값 메모리 셀들에서, 저장 용량은 2값 메모리 셀들의 3배가 된다. 데이터를 기록할 때, 전위들의 8개의 값들이 노드 A의 전위를 결정하도록 준비되고 8개의 상태들이 준비된다. 데이터를 판독할 때, 상기 8개의 상태들을 구별할 수 있는 7개의 참조 전위들이 준비된다. 하나의 감지 증폭기가 제공되고 비교가 7회 수행되어, 데이터가 판독될 수 있다. 또한, 비교 횟수가 상기 비교 결과를 피드백함으로써 3회로 감소될 수 있다. 상기 소스선 SL을 구동하기 위한 판독 방법에서, 7개의 감지 증폭기들을 제공함으로써 하나의 비교에서 데이터가 판독될 수 있다. 또한, 복수의 감지 증폭기들이 제공될 수 있고 비교가 복수 회 수행된다.

[0281] 일반적으로, 2^k -값 메모리 셀들(k는 1보다 큰 정수)에서, 메모리 용량은 2-값 메모리 셀들의 것보다 k배 크다. 데이터를 기록할 때, 노드 A의 전위를 결정할 기록 전위들의 2^k 값이 준비되고, 각각의 값은 2^k 상태들에 대응한다. 데이터를 판독할 때 2^k 상태들을 구별할 수 있는 참조 전위들의 $2^k - 1$ 값들이 셋업될 수 있다. 하나의 감지 증폭기가 제공되고 비교가 $2^k - 1$ 회 수행되어, 데이터가 판독될 수 있다. 또한, 비교 횟수들은 상기 비교 결과를 피드백함으로써 k회로 감소될 수 있다. 상기 소스선 SL을 구동하기 위한 판독 방법에서, 데이터는 감지 증폭기들을 $2^k - 1$ 개 제공함으로써 하나의 비교에서 판독될 수 있다. 또한, 복수의 감지 증폭기들이 제공될 수 있고 비교가 복수 회 수행된다.

[0282] 이 실시형태에 따른 반도체 장치는 상기 트랜지스터(202)의 낮은 오프-상태 전류 특성들로 인해 상당히 긴 시간 동안 정보를 저장할 수 있다. 즉, DRAM 등에서 필요한 리프레시 동작이 필요하지 않아, 전력 소비가 감소될 수 있다. 그 외에도, 이 실시형태의 상기 반도체 장치는 실질적으로 비휘발성 메모리 장치로서 이용될 수 있다.

[0283] 정보 등을 기록하는 것이 상기 트랜지스터(202)의 동작을 스위칭하여 수행되기 때문에, 고전압이 필요하지 않고 소자들의 열화의 문제가 없다. 또한, 정보 기록 및 정보 소거가 트랜지스터들을 턴 온 또는 오프하여 수행되기 때문에 고속 동작이 쉽게 실현될 수 있다. 또한, 정보는 트랜지스터들에 입력되는 전위들을 제어함으로써 직접 재기록될 수 있다. 따라서, 플래시 메모리 등에 필요한 소거 동작이 필요하지 않고, 소거 동작으로 인한 동작 속도의 감소가 방지될 수 있다.

[0284] 또한, 산화물 반도체 재료 이외의 재료를 이용한 트랜지스터는 상당히 고속으로 동작될 수 있다; 따라서 상기

트랜지스터를 이용함으로써, 메모리 내용들이 고속으로 판독될 수 있다.

- [0285] 이 실시형태에 따른 상기 반도체 장치가 다차 반도체 장치이므로, 면적 당 저장 용량이 증가될 수 있다. 따라서, 상기 반도체 장치의 크기가 감소될 수 있고 상기 반도체 장치가 높게 집적될 수 있다. 또한, 기록 동작이 수행될 때 플로팅 상태를 취하는 노드들의 전위들이 직접 제어될 수 있다; 따라서, 상기 반도체 장치의 임계 전압들이 다차 메모리에 요구되는 높은 정확도로 용이하게 제어될 수 있다. 따라서, 다차형 메모리에 요구되는 데이터 기록 후의 상태들의 검증이 생략될 수 있고, 그러한 경우, 데이터 기록에 요구되는 시간이 단축될 수 있다.
- [0286] (실시형태 4)
- [0287] 이 실시형태에서, 실시형태 2 및 실시형태 3과 상이한 반도체 장치의 회로 구성 및 동작이 예로서 기술된다.
- [0288] 도 31은 상기 반도체 장치에 포함된 메모리 셀의 회로도의 예를 도시한다. 도 31에 도시된 메모리 셀(240)은 소스선 SL, 비트선 BL, 제 1 신호선 S1, 제 2 신호선 S2, 워드선 WL, 트랜지스터(201), 트랜지스터(202) 및 용량 소자(204)를 포함한다. 상기 트랜지스터(201)는 산화물 반도체 이외의 재료를 이용하여 형성되고, 상기 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.
- [0289] 여기서, 상기 트랜지스터(201)의 게이트 전극, 상기 트랜지스터(202)의 소스 전극 및 드레인 전극, 및 상기 용량 소자(204)의 전극들 중 하나가 서로 전기적으로 접속된다. 그 외에도, 상기 소스선 SL 및 상기 트랜지스터(201)의 소스 전극이 서로 전기적으로 접속된다. 상기 비트선 BL과 상기 트랜지스터(201)의 드레인 전극이 서로 전기적으로 접속된다. 상기 제 1 신호선 S1 및 상기 트랜지스터(202)의 상기 소스 전극과 상기 드레인 전극 중 다른 하나가 전기적으로 접속된다. 상기 신호선 S2와 상기 트랜지스터(202)의 게이트 전극이 서로 접속된다. 상기 워드선 WL 및 상기 용량 소자(204)의 상기 전극들 중 다른 하나가 서로 전기적으로 접속된다.
- [0290] 다음에, 도 31에 도시된 상기 메모리 셀(240)의 동작이 기술된다. 여기서, 4-값 메모리 셀이 이용된다. 상기 메모리 셀(240)의 4개의 상태들은 데이터 "00b", "01b", "10b" 및 "11b"이고, 4개의 상태들에서 노드 A의 전위들은 각각 V_{00} , V_{01} , V_{10} 및 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)로 설정된다.
- [0291] 상기 메모리 셀(240)에 기록이 수행될 때, 상기 소스선 SL은 0[V]로 설정되고, 상기 워드선 WL은 0[V]로 설정되고, 상기 비트선 BL은 0[V]로 설정되고, 상기 제 2 신호선 S2는 V_{DD} 로 설정된다. 데이터 "00b"가 기록될 때, 상기 제 1 신호선 S1이 V_{00} [V]로 설정된다. 데이터 "01b"가 기록될 때, 상기 제 1 신호선 S1이 V_{01} [V]로 설정된다. 데이터 "10b"가 기록될 때, 상기 제 1 신호선 S1이 V_{10} [V]로 설정된다. 데이터 "11b"가 기록될 때, 상기 제 1 신호선 S1이 V_{11} [V]로 설정된다. 이때, 상기 트랜지스터(203)는 오프 상태에 두게 되고 상기 트랜지스터(202)는 온 상태에 두게 된다. 데이터 기록이 종료될 때, 상기 제 2 신호선 S2는 상기 제 1 신호선 S1의 전위가 변경되기 전에 상기 트랜지스터(202)를 턴오프하도록 0[V]로 설정됨을 유념한다.
- [0292] 결과적으로, 상기 데이터 "00b", "01b", "10b" 및 "11b"(상기 워드선 WL의 전위가 0[V]로 설정됨)의 기록 후에, 상기 트랜지스터(201)의 상기 게이트 전극에 접속된 노드(이후, 노드 A라고 칭해짐)의 전위는 대략 각각 V_{00} [V], V_{01} [V], V_{10} [V] 및 V_{11} [V]이다. 상기 제 1 신호선 S1의 상기 전위에 따라 전하가 상기 노드 A에 축적된다; 그러나, 상기 트랜지스터(202)의 오프-상태 전류가 극히 작거나 실질적으로 0이기 때문에, 상기 트랜지스터(201)의 상기 게이트 전극의 전위가 장시간 동안 유지된다.
- [0293] 다음에, 상기 메모리 셀(240)의 판독이 수행되는 경우, 상기 소스선 SL이 0[V]로 설정되고, 상기 제 2 신호선 S2가 0[V]로 설정되고, 상기 제 1 신호선 S1이 0[V]로 설정되고, 상기 비트선 BL에 접속된 판독 회로가 동작 상태에 있다. 이때 상기 트랜지스터(202)는 오프 상태에 있다.
- [0294] 상기 워드선 WL은 V_{WL} [V]이다. 상기 메모리 셀(240)의 상기 노드 A의 전위는 상기 워드선 WL의 전위에 의존한다. 상기 워드선 WL의 상기 전위가 증가함에 따라, 상기 메모리 셀(240)의 상기 노드 A의 상기 전위가 증가한다. 예를 들면, 상기 4개의 상이한 상태들에서 상기 메모리 셀에 인가된 상기 워드선 WL의 전위는 저전위에서 고전위로 변경되고, 상기 데이터 "11b"의 상기 메모리 셀의 상기 트랜지스터(201)가 먼저 턴 온되고, 그 후에 상기 데이터 "10b"의 상기 메모리 셀, 상기 데이터 "01b"의 상기 메모리 셀 및 상기 데이터 "00b"의 상기 메모리 셀이 이 순서로 턴 온된다. 달리 말하면, 상기 워드선 WL의 상기 전위를 적합하게 선택함으로써, 상기 메모리 셀들의 상기 상태들(즉, 상기 메모리 셀들에 포함된 상기 데이터)이 구별될 수 있다. 상기 워드선 WL의 상기 전위를 적합하게 선택함으로써, 상기 트랜지스터(201)가 온 상태에 있는 상기 메모리 셀은 저저항 상태에 있

고, 상기 트랜지스터(201)가 오프 상태에 있는 상기 메모리 셀은 고저항 상태에 있다; 따라서, 상기 저항 상태가 상기 판독 회로에 의해 구별될 때, 상기 데이터 "00b", "01b", "10b" 및 "11b"가 판독될 수 있다.

- [0295] 도 32는 $m \times n$ 비트의 메모리 용량을 포함하는 본 발명의 일 실시형태에 따른 반도체 장치의 다른 예의 블록 회로도도를 도시한다.
- [0296] 도 32에 도시된 상기 반도체 장치는 m 개의 상기 워드선들 WL, m 개의 제 2 신호선들 S2, n 개의 비트선들 BL, n 개의 제 1 신호선들 S1 및 복수의 메모리 셀들(240)(1, 1) 내지 240(m , n)이 수직(행들)에서의 m 개의 셀들 및 수평(열들)에서의 n 개의 셀들을 가진 매트릭스(m 및 n 둘다는 자연수들임)로 배열된 메모리 셀 어레이(210), 및 판독 회로들(231), 제 1 신호선 구동 회로들(212), 상기 제 2 신호선들 및 워드선들에 대한 구동 회로(223) 및 전위 생성 회로(214)와 같은 주변 회로들을 포함한다. 다른 주변 회로로서, 리프레시 회로 등이 제공될 수 있다.
- [0297] 상기 메모리 셀들의 각각, 예를 들면 메모리 셀(240)(i , j)이 고려된다(여기서, i 는 1 이상 m 이하의 정수이고 j 는 1 이상 n 이하의 정수이다). 상기 메모리 셀(240)(i , j)은 상기 비트선 BL(j), 상기 제 1 신호선 S1(j), 상기 워드선 WL(i), 상기 제 2 신호선 S2(i) 및 상기 소스선 SL에 접속된다. 전위 V_s (예를 들면 0V)가 상기 소스 배선 SL에 인가된다. 그 외에도, 상기 비트선들 BL(1) 내지 BL(n)이 상기 판독 회로(231)에 접속되고, 상기 제 1 신호선들 S1(1) 내지 S1(n)이 상기 제 1 신호선 구동 회로(212)에 접속되고, 상기 워드선들 WL(1) 내지 WL(m) 및 상기 제 2 신호선들 S2(1) 내지 S2(m)이 상기 제 2 신호선들 S2 및 상기 워드선들 WL에 대한 상기 구동 회로(223)에 접속된다.
- [0298] 도 19 및 도 21에 도시된 구성들은 상기 제 1 신호선 구동 회로(212) 및 상기 전위 생성 회로(214)의 구성에 각각 이용될 수 있음을 유념한다.
- [0299] 도 33은 상기 판독 회로의 예를 도시한다. 상기 판독 회로는 감지 증폭기 회로, 플립-플롭 회로들, 바이어스 회로(224) 등을 포함한다. 상기 바이어스 회로(224)는 스위치를 통해 상기 비트선 BL에 접속된다. 또한, 상기 바이어스 회로(224)는 상기 감지 증폭기 회로의 입력 단자에 접속된다. 참조 전위 V_r 가 상기 감지 증폭기 회로의 다른 입력 단자에 입력된다. 상기 감지 증폭기 회로의 출력 단자가 플립-플롭 회로들 FF0 및 FF1의 입력 단자들에 접속된다. 상기 스위치는 판독 인에이블 신호(RE 신호)에 의해 제어됨을 유념한다. 상기 판독 회로는 접속되는 상기 비트선 BL로의 지정된 메모리 셀에 의해 출력된 상기 전압을 판독함으로써 출력된 데이터를 판독할 수 있다. 상기 비트선 BL의 상기 전위는 상기 메모리 셀의 컨덕턴스의 함수이다. 상기 메모리 셀의 상기 컨덕턴스의 판독은 상기 메모리 셀에 포함된 상기 트랜지스터(201)의 온 또는 오프 상태의 판독을 나타냄을 유념한다.
- [0300] 도 33에 도시된 상기 판독 회로는 상기 감지 증폭기 회로를 포함하고 상기 4개의 상이한 상태들을 구별하기 위해 비교를 2회 수행한다. 상기 2회의 비교들은 신호들 RE0 및 RE1에 의해 제어된다. 상기 플립-플롭 회로들 FF0 및 FF1은 각각 상기 신호들 RE0 및 RE1에 의해 제어되고, 상기 감지 증폭기 회로의 출력 신호의 값을 저장한다. 상기 플립-플롭 회로 FF0의 출력 DO[1] 및 상기 플립-플롭 회로 FF1의 출력 DO[0]이 상기 판독 회로로부터 출력된다.
- [0301] 도시된 상기 판독 회로에서, 상기 RE 신호가 디어셔팅될 때, 상기 비트선 BL이 상기 배선 V_{pc} 에 접속되고 프리차가 수행됨을 유념한다. 상기 RE 신호가 어셔팅될 때, 상기 비트선 BL과 상기 바이어스 회로(224) 사이의 전기 연속성이 확립된다. 프리차지는 반드시 수행될 필요가 없음을 유념한다.
- [0302] 도 34는 다른 예로서 상기 제 2 신호선들 S2 및 상기 워드선들 WL에 대한 구동 회로(223)를 도시한다.
- [0303] 도 34에 도시된 상기 제 2 신호선들 및 상기 워드선들에 대한 상기 구동 회로(223)에서, 어드레스 신호 ADR이 입력될 때, 상기 어드레스에 의해 지정된 행들(선택된 god)이 어셔팅되고, 다른 행들(비선택된 행들)이 디어셔팅된다. 상기 제 2 신호선 S2는 WE 신호가 어셔팅될 때, 디코더 출력에 접속되고, 상기 WE 신호가 디어셔팅될 때 GND에 접속된다. 상기 선택된 행에서의 상기 워드선 WL이 멀티플렉서(MUX3)의 출력 V_{WL} 에 접속되고, 비선택된 행에서의 상기 워드선 WL이 GND에 접속된다. 상기 멀티플렉서(MUX3)는 상기 신호들 RE0, RE1 및 DO0의 값들에 응답하여 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 의 3개의 값들 및 GND 중 어느 것을 선택한다. 상기 멀티플렉서(MUX3)의 거동은 [표 4]에 도시된다.

표 4

RE0	RE1	DO[1]	VwL
0	0	*	GND와 일치
1	0	*	Vref0와 일치
0	1	0	Vref1와 일치
0	1	1	Vref2와 일치

[0304]

[0305] 상기 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} ($V_{ref0} < V_{ref1} < V_{ref2}$)의 상기 3개의 값들이 기술된다. V_{ref0} 이 상기 워드선 WL의 전위로서 선택되는 경우에, 상기 데이터 "00b"의 상기 메모리 셀의 상기 트랜지스터(201)가 턴 오프되고 상기 데이터 "01b"의 상기 메모리 셀의 상기 트랜지스터(201)가 턴 온되는 전위가 V_{ref0} 으로서 선택된다. 그 외에도, V_{ref1} 이 상기 워드선 WL의 전위로서 선택되는 경우에, 상기 데이터 "01b"의 상기 메모리 셀의 상기 트랜지스터(201)가 턴 오프되고 상기 데이터 "10b"의 상기 메모리 셀의 상기 트랜지스터(201)가 턴 온되는 전위가 V_{ref1} 로서 선택된다. 그 외에도, V_{ref2} 가 상기 워드선 WL의 전위로서 선택되는 경우에, 상기 데이터 "10b"의 상기 메모리 셀의 상기 트랜지스터(201)가 턴 오프되고 상기 데이터 "11b"의 상기 메모리 셀의 상기 트랜지스터(201)가 턴 온되는 전위가 V_{ref2} 로서 선택된다. 상기 판독 회로에서, 판독이 2회의 비교들에 의해 수행된다. 제 1 비교는 V_{ref1} 을 이용하여 수행된다. 제 2 비교는 상기 플립-플롭 FF0의 값이 V_{ref1} 을 이용한 비교로부터의 결과인 "0"일 때 V_{ref2} 를 이용하거나, 상기 플립-플롭 FF0의 값이 V_{ref1} 을 이용한 비교로부터의 결과인 "1"일 때 V_{ref0} 을 이용하여 수행된다. 상기 방식으로, 4개의 상태들은 상기 2회 비교들에 의해 판독될 수 있다. 기록 동작의 타이밍 차트는 도 25a와 동일하다. 판독 동작의 타이밍 차트의 예는 도 35에 도시된다. 도 35는 상기 데이터 "10b"가 상기 메모리 셀로부터 판독되는 경우의 타이밍 차트를 도시한다. V_{ref1} 및 V_{ref2} 는 선택된 각각의 워드선들 WL에 입력되고, 상기 감지 증폭기 회로의 상기 비교 결과는 상기 신호들 RE0 및 RE1이 어서팅되는 각각의 관점에서 상기 플립-플롭 회로들 FF0 및 FF1에 저장된다. 상기 메모리 셀의 상기 데이터가 "10b"인 경우에, 상기 플립-플롭 회로들 FF0 및 FF1의 값들은 "1" 및 "0"이다. 상기 제 1 신호선 S1 및 상기 제 2 신호선 S2은 0[V]를 가짐을 유념한다. 특정 동작 전위들(전압들)이 기술된다. 예를 들면, 상기 트랜지스터(201)의 임계 전압 V_{th} 는 2.2V이다. 상기 노드 A의 전위는 상기 워드선 WL과 상기 노드 A 사이의 용량 C1 및 상기 트랜지스터(202)의 게이트 용량 C2에 의존하고, 여기서는 예를 들면 상기 트랜지스터(202)가 오프 상태에 있을 때 $C1/C2 \gg 1$ 이고 상기 트랜지스터(202)가 온 상태에 있을 때 $C1/C2 = 1$ 이다. 도 36은 상기 소스선 SL이 0[V]를 가지는 경우에 상기 노드 A의 전위와 상기 워드선 WL의 전위 사이의 관계를 도시한다. 도 36으로부터, 기록이 수행될 때 상기 데이터 "00b"의 상기 노드 A의 전위가 0V이고, 상기 데이터 "01b"의 상기 노드 A의 전위가 0.8V이고, 상기 데이터 "10b"의 상기 노드 A의 전위가 1.2V이고, 상기 데이터 "11b"의 상기 노드 A의 전위가 1.6V인 경우에 상기 참조 전위들 V_{ref0} , V_{ref1} 및 V_{ref2} 는 각각 0.6V, 1.0V 및 1.4V가 바람직하다는 것을 알았다.

[0306] 상기 기록 후의 상기 트랜지스터(201)의 상기 노드 A의 전위(상기 워드선 WL의 전위가 0[V]임)는 상기 트랜지스터(201)의 임계 전압 이하인 것이 바람직함을 유념한다.

[0307] 이 실시형태에서 상기 제 1 신호선 S1이 상기 비트선 BL 방향(열 방향)으로 배열되고 상기 제 2 신호선이 상기 워드선 WL 방향(행 방향)으로 배열되지만, 본 발명의 일 실시형태는 이에 제한되지 않는다. 예를 들면, 상기 제 1 신호선 S1은 상기 워드선 WL 방향(행 방향)으로 배열될 수 있고 상기 제 2 신호선 S2가 상기 비트선 BL 방향(열 방향)으로 배열될 수 있다. 이러한 경우, 상기 제 1 신호선 S1이 접속되는 상기 구동 회로 및 상기 제 2 신호선 S2가 접속되는 상기 구동 회로가 적합하게 배열될 수 있다.

[0308] 이 실시형태에서, 4-값 메모리 셀들의 동작, 즉, 임의의 4개의 상이한 상태들의 하나의 메모리 셀로의 기록 또는 임의의 4개의 상이한 상태들의 하나의 메모리 셀로부터의 판독이 기술된다. 상기 회로 구성을 적합하게 변경함으로써, n 값 메모리 셀들의 동작, 즉 임의의 n개의 상이한 상태들(n은 2 이상의 정수)의 하나의 메모리 셀로의 기록 또는 임의의 n개의 상이한 상태들의 하나의 메모리 셀로부터의 판독이 수행될 수 있다.

[0309] 예를 들면, 8값 메모리 셀들에서, 저장 용량은 2값 메모리 셀들의 3배가 된다. 데이터를 기록할 때, 전위들의 8개의 값들이 노드 A의 전위를 결정하도록 준비되고 8개의 상태들이 준비된다. 데이터를 판독할 때, 상기 8개의 상태들을 구별할 수 있는 7개의 참조 전위들이 준비된다. 하나의 감지 증폭기가 제공되고 비교가 7회 수행되어,

데이터가 판독될 수 있다. 또한, 비교 횟수가 상기 비교 결과를 피드백함으로써 3회로 감소될 수 있다. 상기 소스선 SL을 구동하기 위한 판독 방법에서, 7개의 감지 증폭기들을 제공함으로써 하나의 비교에서 데이터가 판독될 수 있다. 또한, 복수의 감지 증폭기들이 제공될 수 있고 비교가 복수 회 수행된다.

[0310] 일반적으로, 2^k -값 메모리 셀들(k 는 1보다 큰 정수)에서, 메모리 용량은 2-값 메모리 셀들의 것보다 k 배 크다. 데이터를 기록할 때, 노드 A의 전위를 결정할 기록 전위들이 2^k 개 준비되고, 각각의 값은 2^k 개의 상태들에 대응한다. 데이터를 판독할 때 2^k 개의 상태들을 구별할 수 있는 참조 전위들의 $2^k - 1$ 개 셋업될 수 있다. 하나의 감지 증폭기가 제공되고 비교가 $2^k - 1$ 회 수행되어, 데이터가 판독될 수 있다. 또한, 비교 횟수들은 상기 비교 결과를 피드백함으로써 k 회로 감소될 수 있다. 상기 소스선 SL을 구동하기 위한 판독 방법에서, 데이터는 감지 증폭기들이 $2^k - 1$ 개 제공됨으로써 하나의 비교에서 판독될 수 있다. 또한, 복수의 감지 증폭기들이 제공될 수 있고 비교가 복수 회 수행된다.

[0311] 이 실시형태에 따른 반도체 장치는 상기 트랜지스터(202)의 낮은 오프-상태 전류 특성들로 인해 상당히 긴 시간 동안 정보를 저장할 수 있다. 즉, DRAM 등에서 필요한 리프레시 동작이 필요하지 않아, 전력 소비가 감소될 수 있다. 그 외에도, 이 실시형태의 상기 반도체 장치는 실질적으로 비휘발성 메모리 장치로서 이용될 수 있다.

[0312] 정보 등을 기록하는 것이 상기 트랜지스터(202)의 동작을 스윙칭하여 수행되기 때문에, 고전압이 필요하지 않고 소자들의 열화의 문제가 없다. 또한, 정보 기록 및 정보 소거가 트랜지스터들을 턴 온 또는 오프하여 수행되기 때문에 고속 동작이 쉽게 실현될 수 있다. 또한, 정보는 트랜지스터들에 입력되는 전위들을 제어함으로써 직접 재기록될 수 있다. 따라서, 플래시 메모리 등에 필요한 소거 동작이 필요하지 않고, 소거 동작으로 인한 동작 속도의 감소가 방지될 수 있다.

[0313] 또한, 산화물 반도체 재료 이외의 재료를 이용한 트랜지스터는 상당히 고속으로 동작될 수 있다; 따라서 상기 트랜지스터를 이용함으로써, 메모리 내용들이 고속으로 판독될 수 있다.

[0314] 이 실시형태에 따른 상기 반도체 장치가 다치 반도체 장치이므로, 면적 당 저장 용량이 증가될 수 있다. 따라서, 상기 반도체 장치의 크기가 감소될 수 있고 상기 반도체 장치가 높게 집적될 수 있다. 또한, 기록 동작이 수행될 때 플로팅 상태를 취하는 노드들의 전위들이 직접 제어될 수 있다; 따라서, 상기 반도체 장치의 임계 전압들이 다치 메모리에 요구되는 높은 정확도로 용이하게 제어될 수 있다. 따라서, 다치형 메모리에 요구되는 데이터 기록 후의 상태들의 검증이 생략될 수 있고, 그러한 경우, 데이터 기록에 요구되는 시간이 단축될 수 있다.

[0315] (실시형태 5)

[0316] 이 실시형태에서, 상기 실시형태들 중 어느 것에 따라 획득된 상기 반도체 장치가 장착되는 전자 기기의 예들도 도 37a 내지 도 37f를 참조하여 기술된다. 상기 실시형태들 중 어느 것에 따라 획득된 상기 반도체 장치는 전원이 없더라도 정보를 저장할 수 있다. 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 상기 반도체 장치를 이용하여, 새로운 구성을 가진 전자 기기가 제공될 수 있다. 상기 실시형태들 중 어느 것에 따라 획득된 상기 반도체 장치는 전자 기기에 장착될 회로 기판 등 상에 집적되어 장착된다.

[0317] 도 37a는 상기 실시형태들 중 어느 것에 따른 상기 반도체 장치를 포함하고, 본체(301), 하우징(302), 표시부(303), 키보드(304) 등을 포함하는 랩탑 개인용 컴퓨터를 도시한다. 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 랩탑 개인용 컴퓨터에 적용될 때, 정보는 전원이 없더라도 저장될 수 있다. 또한, 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 랩탑 개인용 컴퓨터에 적용되는 것이 바람직하다.

[0318] 도 37b는 상기 실시형태들 중 어느 것에 따른 상기 반도체 장치를 포함하고, 표시부(313), 외부 인터페이스(315), 조작 버튼(314) 등을 포함하는 본체(311)가 구비되는 휴대 정보 단말기(PDA)를 도시한다. 그 외에도, 스타일러스(312)가 조작을 위한 액세서리로서 포함된다. 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 PDA에 적용될 때, 정보는 전원이 없더라도 저장될 수 있다. 또한, 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 PDA에 적용되는 것이 바람직하다.

[0319] 도 37c는 상기 실시형태들 중 어느 것에 따른 상기 반도체 장치를 포함하는 전자 페이지의 예로서 전자 서적(320)을 도시한다. 상기 전자 서적(320)은 2개의 하우징, 하우징(321) 및 하우징(323)을 포함한다. 상기 하우징

(321) 및 상기 하우징(323)은 상기 전자 서적(320)이 축으로서 축부(337)로 개폐될 수 있도록 상기 축부(337)와 결합된다. 이러한 구성으로, 상기 전자 서적(320)은 종이 서적처럼 이용될 수 있다. 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 전자 페이퍼에 적용될 때, 정보는 전원이 없더라도 저장될 수 있다. 또한, 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 전자 페이퍼에 적용되는 것이 바람직하다.

[0320] 표시부(325)가 상기 하우징(321)에 내장되고 표시부(327)가 상기 하우징(323)에 내장된다. 상기 표시부(325) 및 상기 표시부(327)는 하나의 화상을 표시할 수 있거나 상이한 화상들을 표시할 수 있다. 상기 표시부들(325 및 327)이 상이한 화상들을 표시할 때, 예를 들면, 우측 상의 표시부(도 37c에서의 표시부(325))는 텍스트를 표시할 수 있고, 좌측 상의 표시부(도 37c에서의 표시부(327))는 그래픽스들을 표시할 수 있다.

[0321] 도 37c는 상기 하우징(321)에 조작부 등이 구비된 예를 도시한다. 예를 들면, 상기 하우징(321)에는 전원 버튼(331), 조작 키들(333), 스피커(335) 등이 구비된다. 페이지들이 상기 조작 키들(333)로 넘겨질 수 있다. 키보드, 포인팅 디바이스 등도 또한 상기 표시부가 제공되는 하우징의 표면 상에 제공될 수 있음을 유념한다. 또한, 외부 접속 단자(이어폰, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 상기 하우징의 후면 또는 측면 상에 제공될 수 있다. 또한, 상기 전자 서적(320)은 전자 사전의 기능을 가질 수 있다.

[0322] 상기 전자 서적(320)은 정보를 무선으로 송수신하도록 구성될 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 도서 데이터 등이 구매될 수 있거나 다운로드될 수 있다.

[0323] 상기 전자 페이퍼는 정보를 표시할 수 있는 임의의 분야의 전자 기기에 적용될 수 있음을 유념한다. 예를 들면, 상기 전자 페이퍼는 상기 전자 서적 판독기들 외에도, 포스터들, 기차들과 같은 차량들에서의 광고들, 신용 카드들과 같은 다양한 카드들의 표시 등에 이용될 수 있다.

[0324] 도 37d는 상기 실시형태들 중 어느 것에 따른 상기 반도체 장치를 포함하는 휴대 전화를 도시한다. 상기 휴대 전화는 2개의 하우징, 하우징(340) 및 하우징(341)을 포함한다. 상기 하우징(340)은 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라 렌즈(347), 외부 접속 단자(348) 등을 포함한다. 상기 하우징(341)은 휴대 전화를 충전하기 위한 태양 전지 셀(349), 외부 메모리 슬롯(350) 등을 포함한다. 그 외에도, 안테나가 상기 하우징(341)에 내장된다. 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 휴대 전화에 적용될 때, 정보는 전원이 없더라도 저장될 수 있다. 또한, 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 휴대 전화에 적용되는 것이 바람직하다.

[0325] 상기 표시 패널(342)에는 터치 패널 기능이 구비된다. 화상들로서 표시되는 복수의 조작 키들(345)이 도 37d의 왜선들에 의해 도시된다. 상기 휴대 전화는 상기 태양 전지 셀(349)로부터 출력된 전압을 각각의 회로에 필수적인 전압으로 상승시키기 위한 승압 회로를 포함함을 유념한다. 또한, 상기 구성 외에도, 비접촉 IC 칩, 소형 기록 장치 등이 내장되는 구조가 이용될 수 있다.

[0326] 상기 표시 패널(342)의 표시 방향은 사용 모드에 따라 적합하게 변경된다. 또한, 상기 카메라 렌즈(347)가 상기 표시 패널(342)과 동일한 표면 상에 제공된다; 따라서, 이것은 비디오 폰으로서 이용될 수 있다. 상기 스피커(343) 및 상기 마이크로폰(344)은 음성 통신에 제한되지 않고 비디오폰, 기록, 재생 등에 이용될 수 있다. 또한, 도 37d에 도시된 바와 같이 전개된 상태에서의 상기 하우징들(340 및 341)이 하나가 다른 하나 위에 겹치도록 슬라이드될 수 있다; 따라서, 상기 휴대 전화의 크기가 감소될 수 있고, 이것은 휴대 전화가 휴대하기에 적합하게 한다.

[0327] 상기 외부 접속 단자(348)는 AC 어댑터 또는 USB 케이블과 같은 다양한 종류의 케이블들에 접속될 수 있고, 이것은 충전 및 데이터 통신을 가능하게 한다. 또한, 기록 매체를 상기 외부 메모리 슬롯(350)에 삽입함으로써, 상기 휴대 전화는 대용량의 데이터를 저장 및 이동시키는 것을 처리할 수 있다. 또한, 상기 기능들 외에도, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0328] 도 37e는 상기 실시형태들 중 어느 것에 따른 상기 반도체 장치를 포함하는 디지털 카메라를 도시한다. 상기 디지털 카메라는 본체(361), 표시부(A)(367), 접안부(363), 조작 스위치(364), 표시부(B)(365), 배터리(366) 등을 포함한다. 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 디지털 카메라에 적용될 때, 정보는 전원이 없더라도 저장될 수 있다. 또한, 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 디지털 카메라에 적용되는 것이 바람직하다.

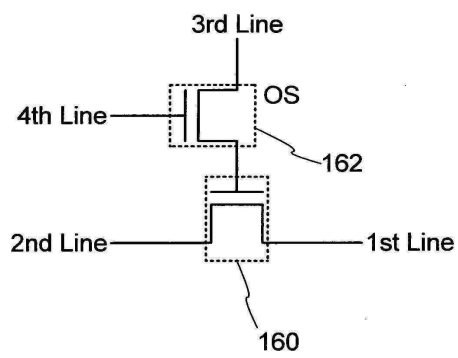
- [0329] 도 37f는 상기 실시형태들 중 어느 것에 따른 상기 반도체 장치를 포함하는 텔레비전 세트를 도시한다. 상기 텔레비전 세트(370)에서, 표시부(373)가 하우징(371)에 내장된다. 상기 표시부(373)는 화상을 표시할 수 있다. 여기서, 상기 하우징(371)이 스탠드(375)에 의해 지지될 수 있다.
- [0330] 상기 텔레비전 세트(370)는 하우징(371)의 조작 스위치 또는 별도의 원격 제어기(380)에 의해 조작될 수 있다. 상기 표시부(373) 상에 표시된 화상이 제어될 수 있도록 상기 원격 제어기(380)의 조작 키(379)에 의해 채널들 및 볼륨이 제어될 수 있다. 또한, 상기 원격 제어기(380)에는 상기 원격 제어기(380)로부터 출력된 정보를 표시하기 위한 표시부(377)가 구비될 수 있다. 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 텔레비전 세트에 적용될 때, 정보는 전원이 없더라도 저장될 수 있다. 또한, 기록 및 소거로 인한 열화가 유발되지 않는다. 또한, 그 동작 속도가 높다. 따라서, 본 발명의 일 실시형태에 따른 상기 반도체 장치가 상기 텔레비전 세트에 적용되는 것이 바람직하다.
- [0331] 상기 텔레비전 세트(370)에는 수신기, 모뎀 등이 구비되는 것이 바람직함을 유념한다. 상기 수신기로, 일반 텔레비전 방송이 수신될 수 있다. 또한, 상기 텔레비전 세트(370)가 상기 모뎀을 통해 유선 또는 무선 접속에 의해 통신 네트워크에 접속될 때, 일방(텔레비전에서 수신기로) 또는 양방(송신기와 수신기 사이, 수신기들 사이 등) 정보 통신이 수행될 수 있다.
- [0332] 이 실시형태에 기술된 상기 방법들 및 구조들은 다른 실시형태들에 기술된 상기 방법들 및 구조들 중 어느 것과 적합하게 조합될 수 있다.
- [0333] 이 출원은 2009년 11월 20일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2009-264623호에 기초하고, 그 전체 내용들은 본 명세서에 참조로서 포함된다.

부호의 설명

- [0334] 100: 기관, 102: 보호층, 104: 반도체 영역, 106: 소자 분리 절연층, 108a: 게이트 절연층, 110a: 게이트 전극, 112: 절연층, 114: 불순물 영역, 116: 채널 형성 영역, 118: 측벽 절연층, 120: 고농도 불순물 영역, 122: 금속층, 124: 금속 화합물 영역, 126: 층간 절연층, 128: 층간 절연층, 130a: 소스 또는 드레인 전극, 130b: 소스 또는 드레인 전극, 130c: 전극, 132: 절연층, 134: 도전층, 136a: 전극, 136b: 전극, 136c: 전극, 136d: 게이트 전극, 138: 게이트 절연층, 140: 산화물 반도체층, 142a: 소스 또는 드레인 전극, 142b: 소스 또는 드레인 전극, 144: 보호 절연층, 146: 층간 절연층, 148: 도전층, 150a: 전극, 150b: 전극, 150c: 전극, 150d: 전극, 150e: 전극, 152: 절연층, 154a: 전극, 154b: 전극, 154c: 전극, 154d: 전극, 160: 트랜지스터, 162: 트랜지스터, 200: 메모리 셀, 201: 트랜지스터, 202: 트랜지스터, 203: 트랜지스터, 204: 용량 소자, 205: 용량 소자, 210: 메모리 셀 어레이, 211: 판독 회로, 212: 신호선 구동 회로, 213: 구동 회로, 214: 전위 생성 회로, 215: 디코더, 216: 트랜지스터, 217: 트랜지스터, 218: 트랜지스터, 219: 승압 회로, 220: 아날로그 버퍼, 221: 판독 회로, 223: 구동 회로, 224: 바이어스 회로, 225: 참조 셀, 225a: 참조 셀, 225b: 참조 셀, 225c: 참조 셀, 229: 논리 회로, 230: 판독 회로, 240: 메모리 셀, 301: 본체, 302: 하우징, 303: 표시부, 304: 키보드, 311: 본체, 312: 스타일러스, 313: 표시부, 314: 조작 버튼, 315: 외부 인터페이스, 320: 전자 서적, 321: 하우징, 323: 하우징, 325: 표시부, 327: 표시부, 331: 전원 버튼, 333: 조작 키, 335: 스피커, 337: 측부, 340: 하우징, 341: 하우징, 342: 표시 패널, 343: 스피커, 344: 마이크론, 345: 조작 키, 346: 포인팅 디바이스, 347: 카메라 렌즈, 348: 외부 접속 단자, 349: 태양 전지 셀, 350: 외부 메모리 슬롯, 361: 본체, 363: 접안부, 364: 조작 스위치, 365: 표시부(B), 366: 배터리, 367: 표시부(A), 370: 텔레비전 세트, 371: 하우징, 373: 표시부, 375: 스탠드, 377: 표시부, 379: 조작 키, 380: 원격 제어기, 402: 다이오드; 404: 다이오드; 406: 다이오드; 408: 다이오드; 410: 다이오드, 412: 용량 소자; 414: 용량 소자; 416: 용량 소자; 418: 용량 소자; 420: 용량 소자

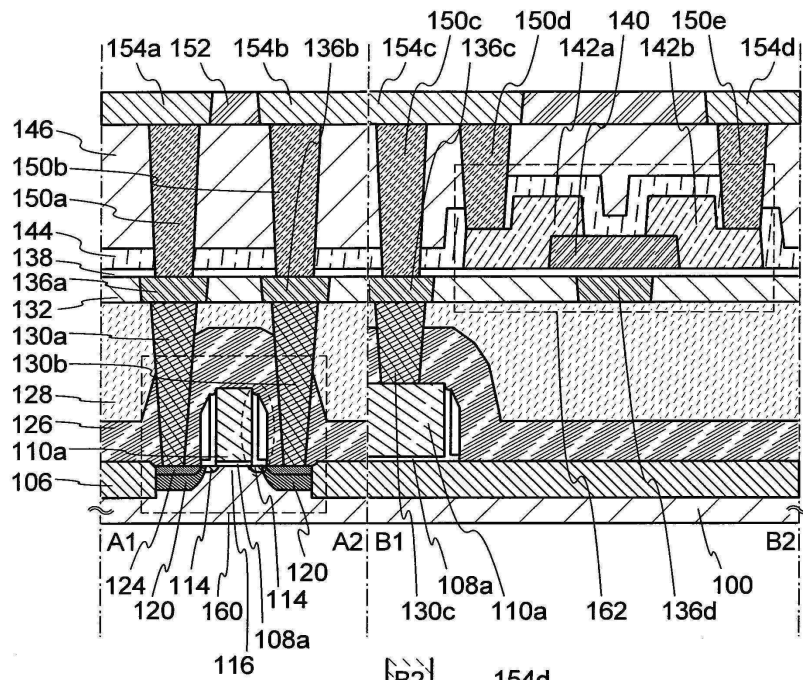
도면

도면1

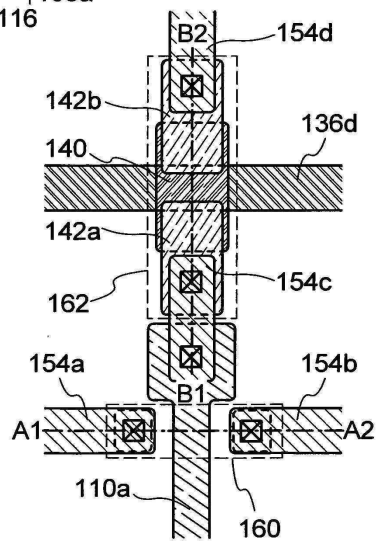


도면2

(a)

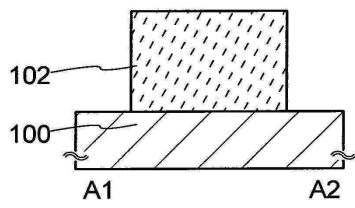


(b)

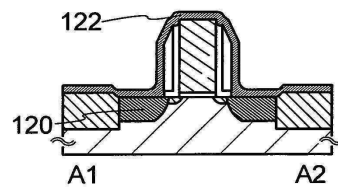


도면3

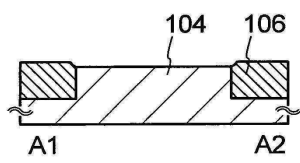
(a)



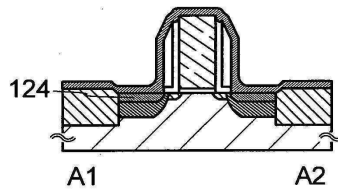
(e)



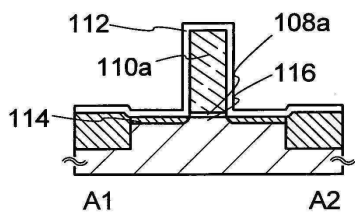
(b)



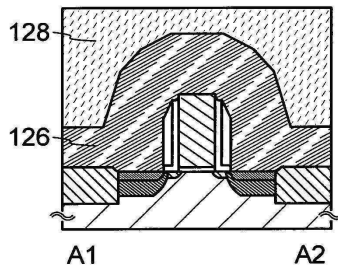
(f)



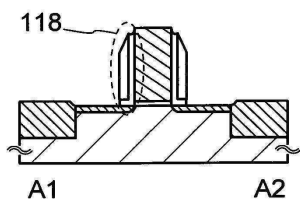
(c)



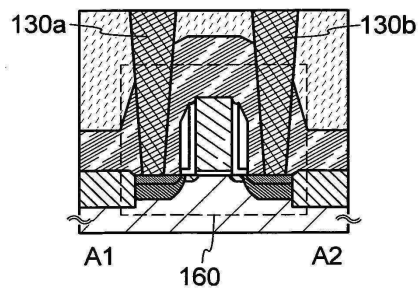
(g)



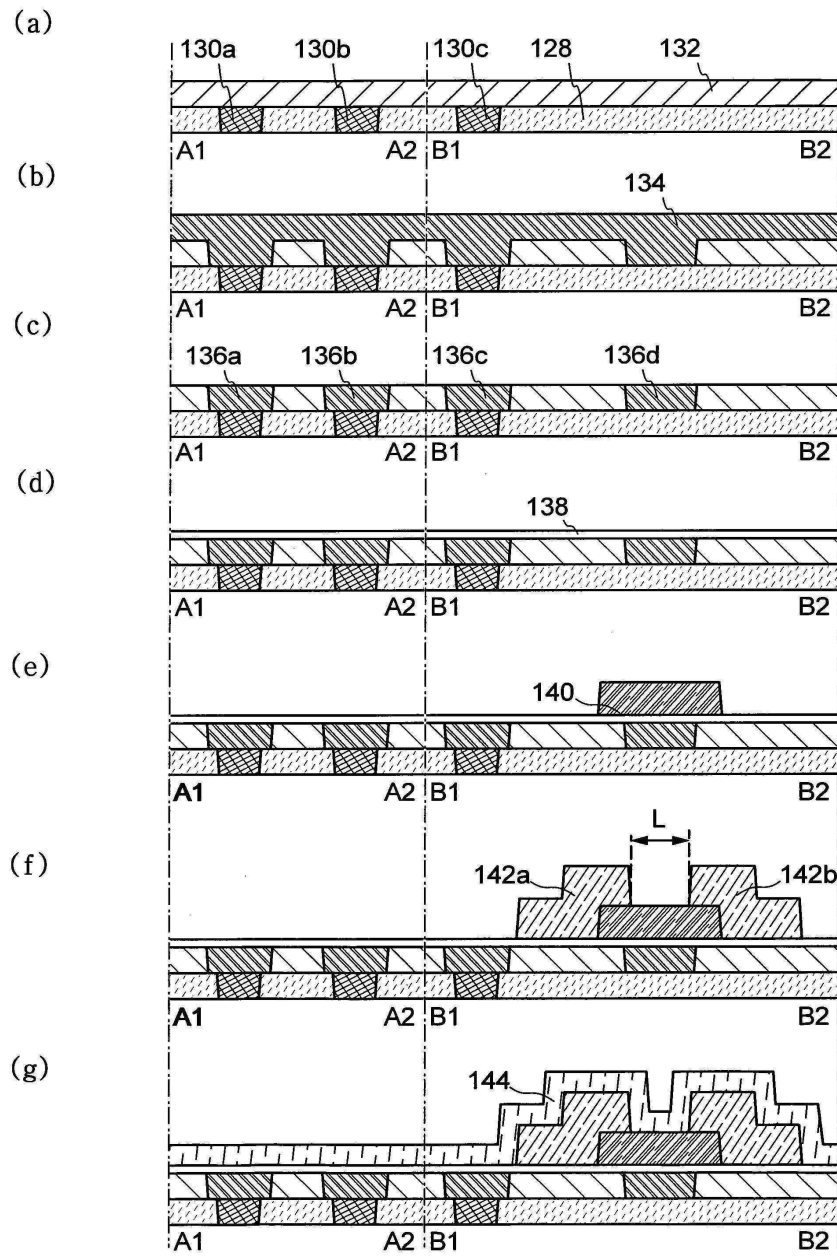
(d)



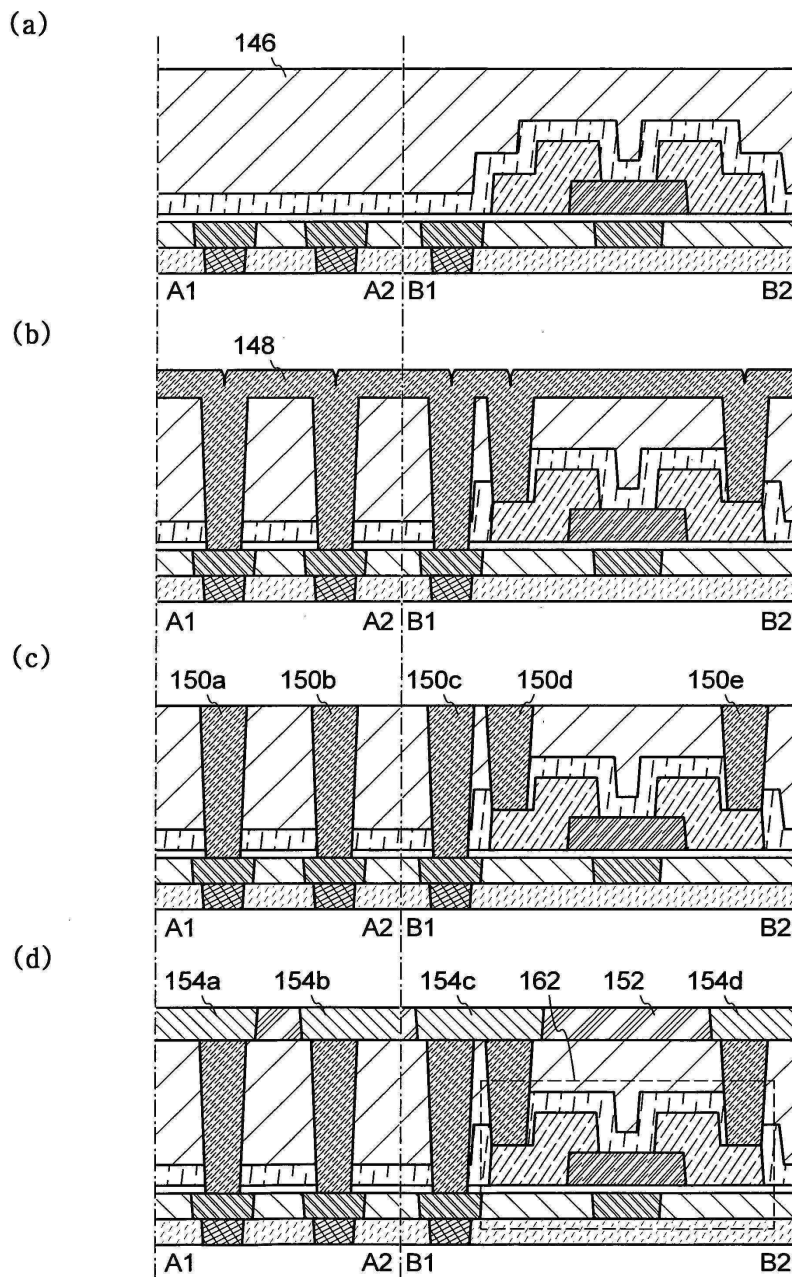
(h)



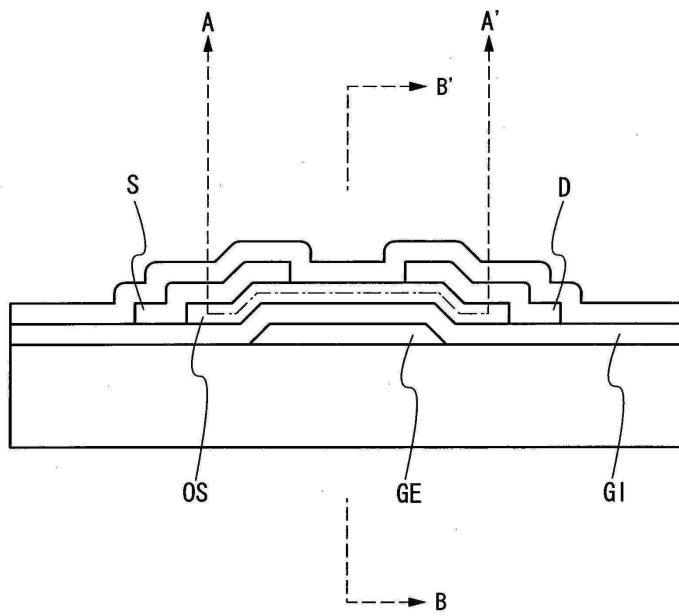
도면4



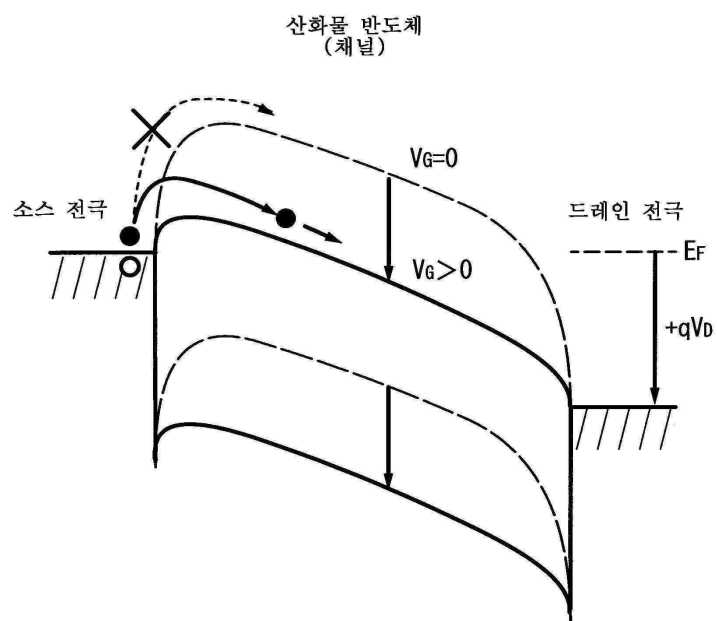
도면5



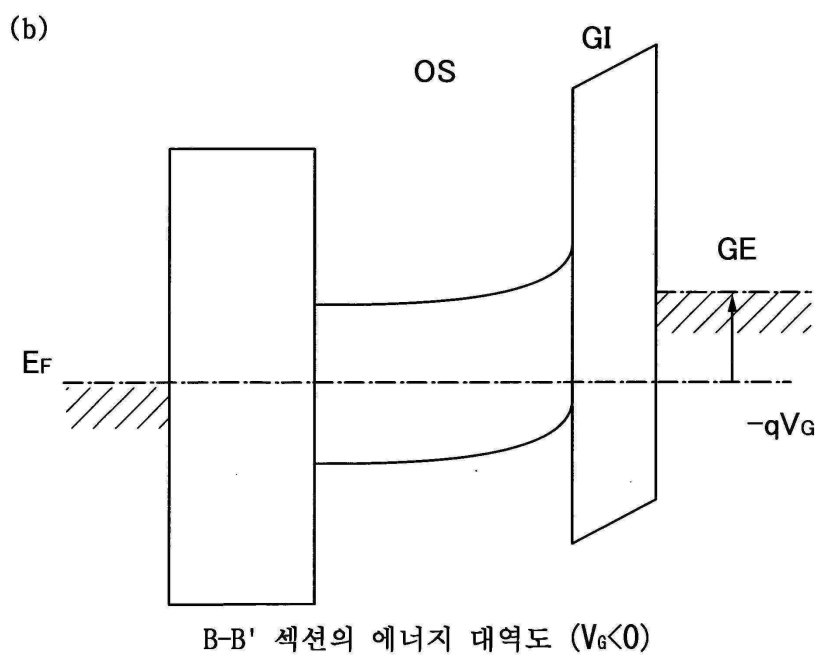
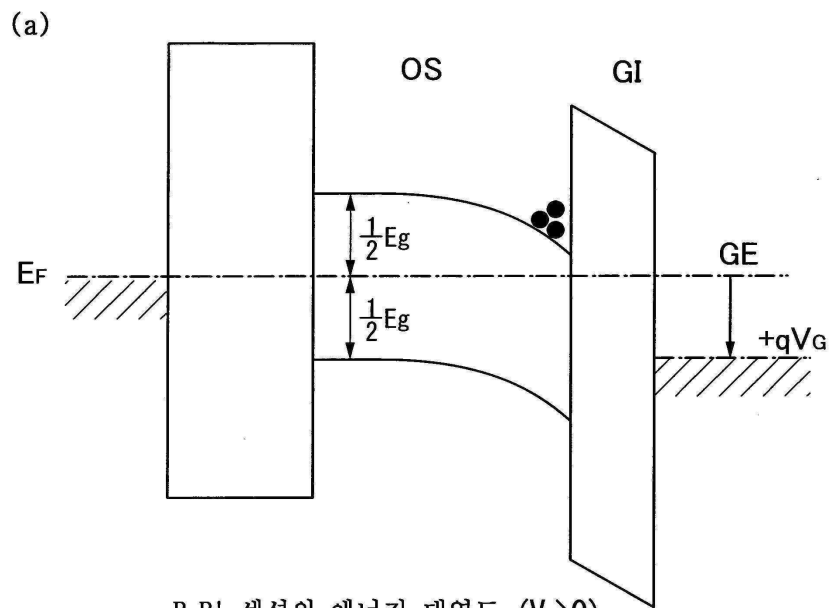
도면6



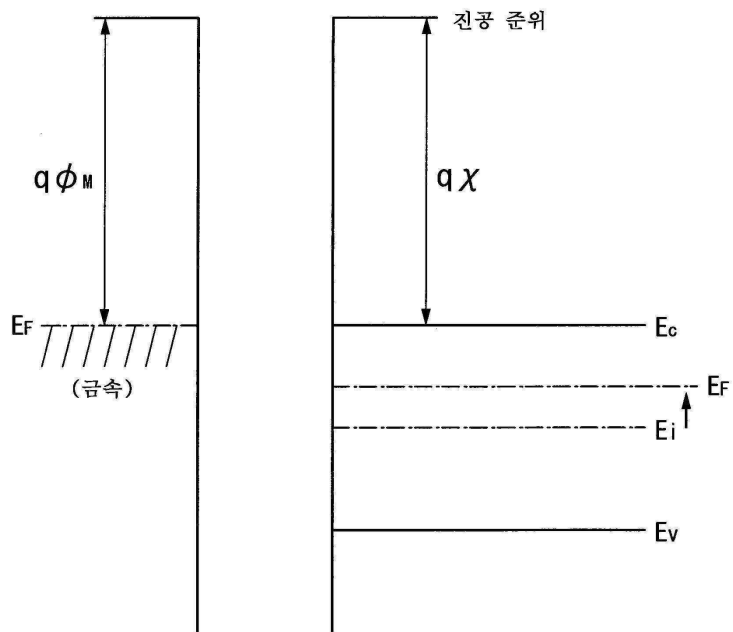
도면7



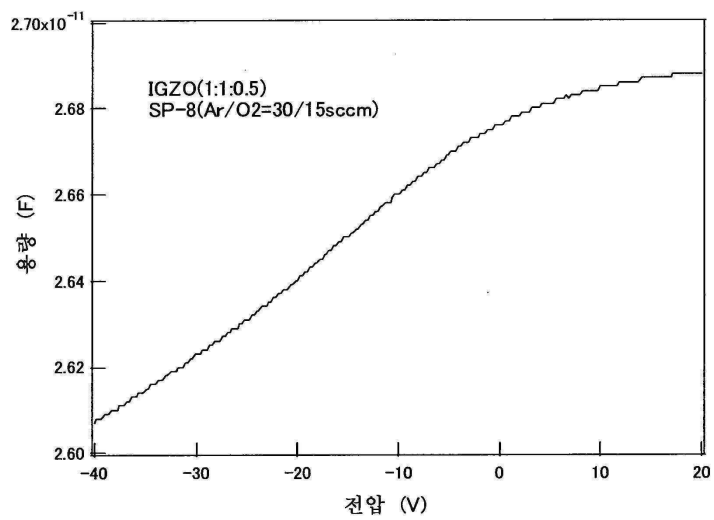
도면8



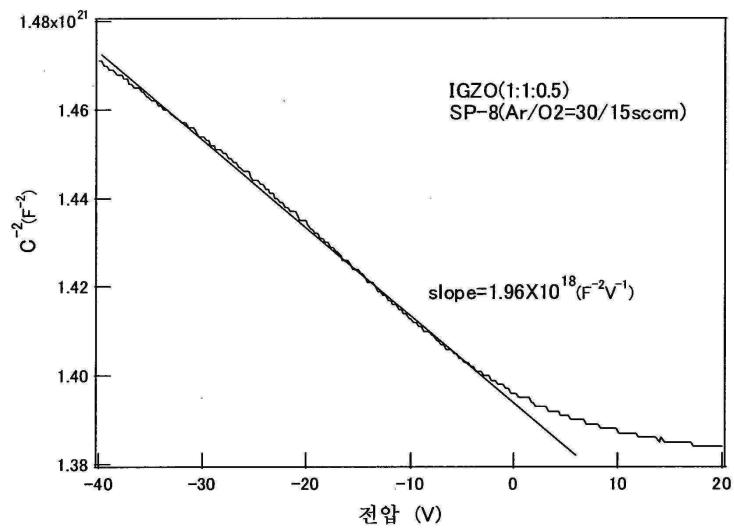
도면9



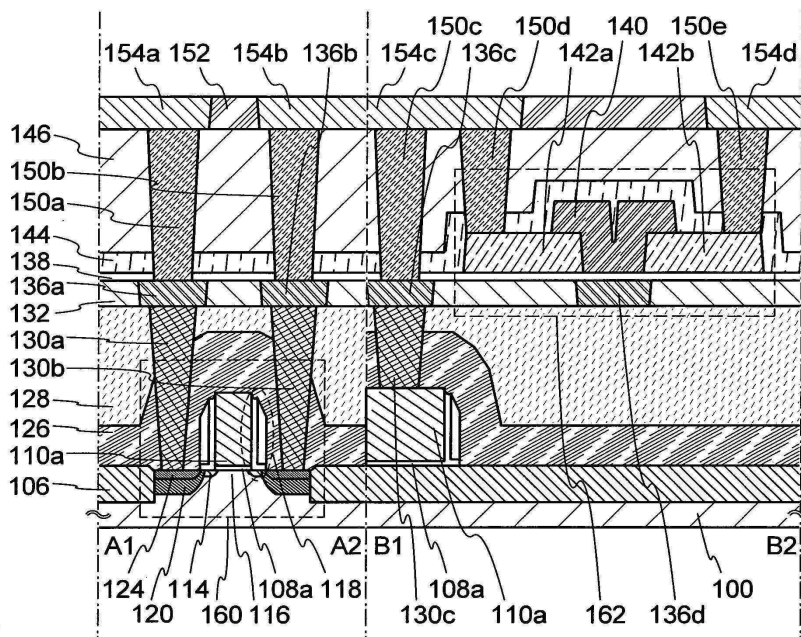
도면10



도면11

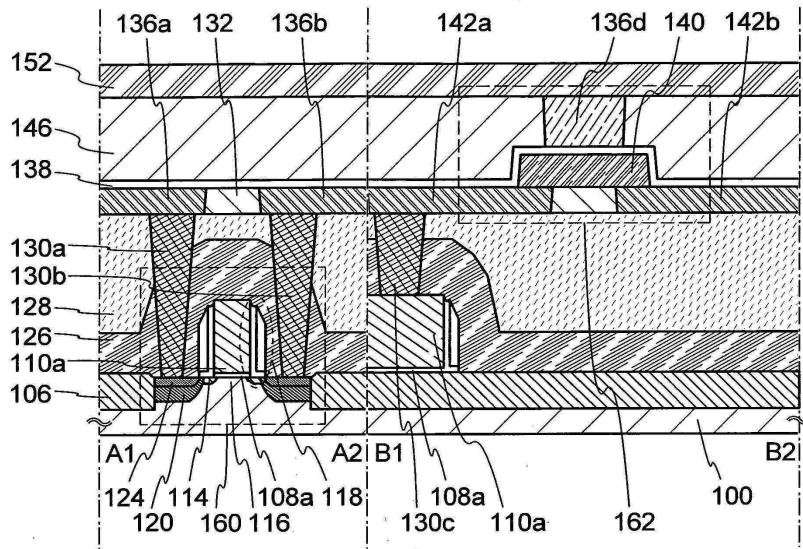


도면12

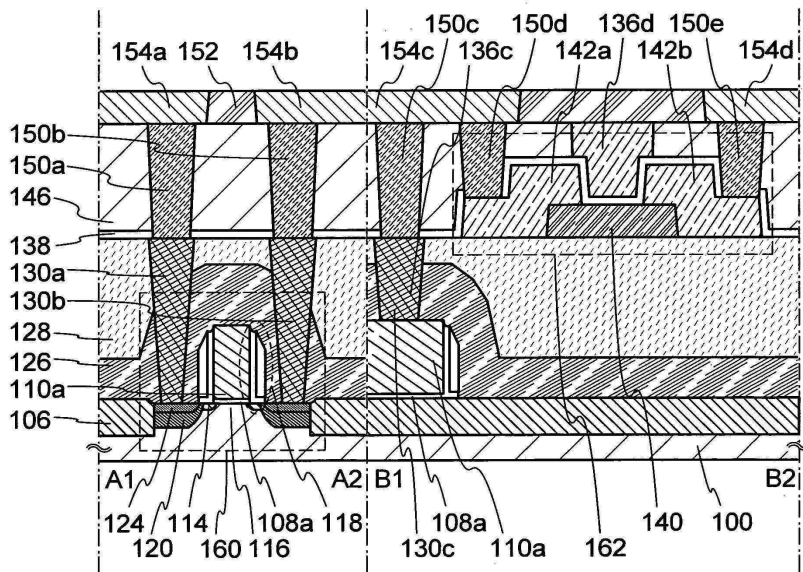


도면13

(a)

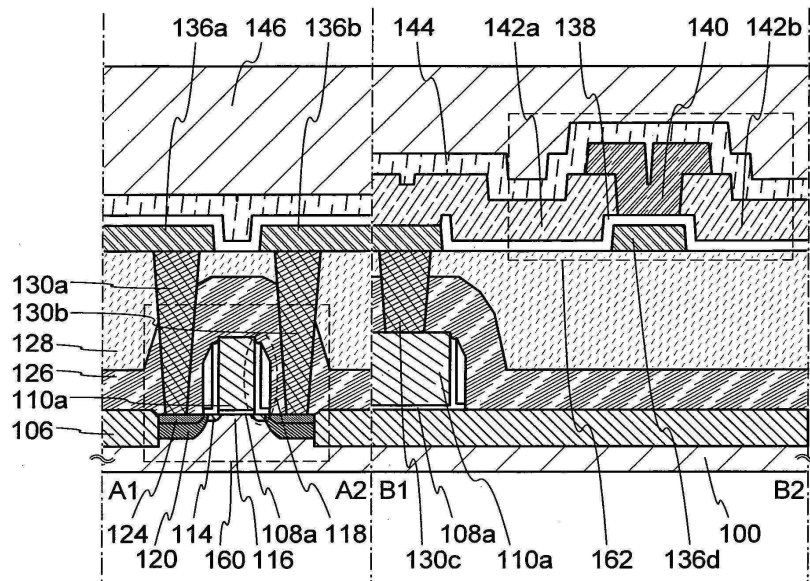


(b)

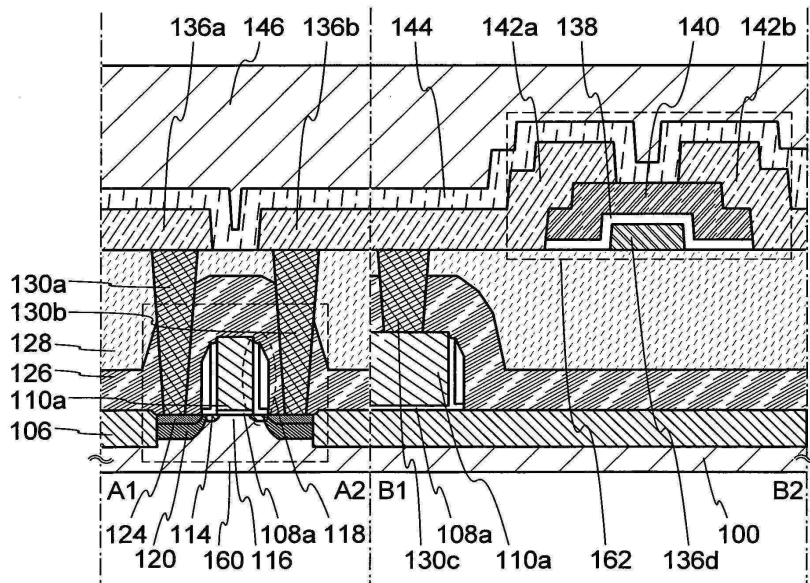


도면14

(a)

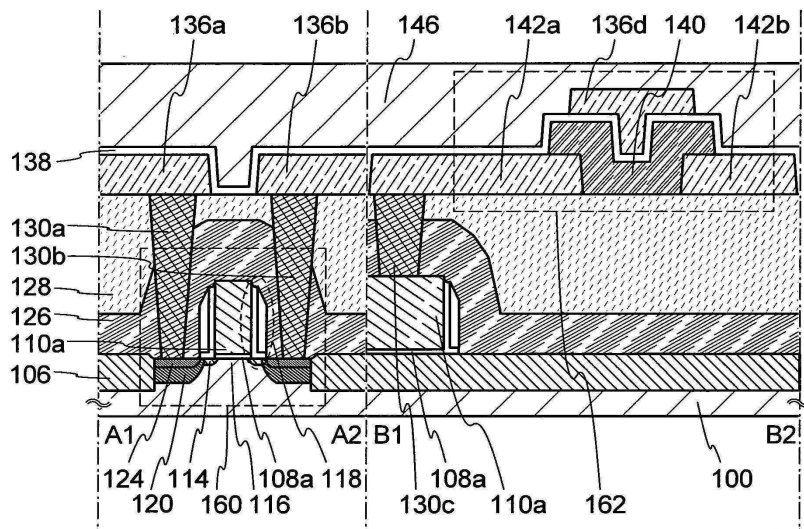


(b)

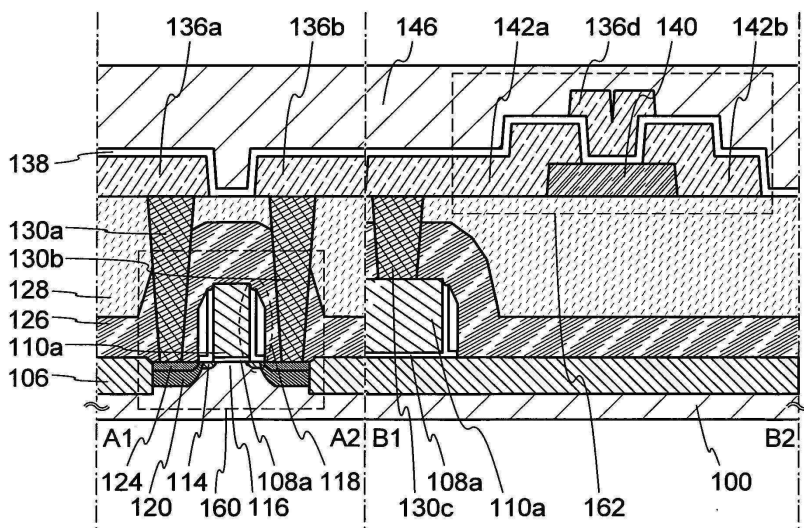


도면 15

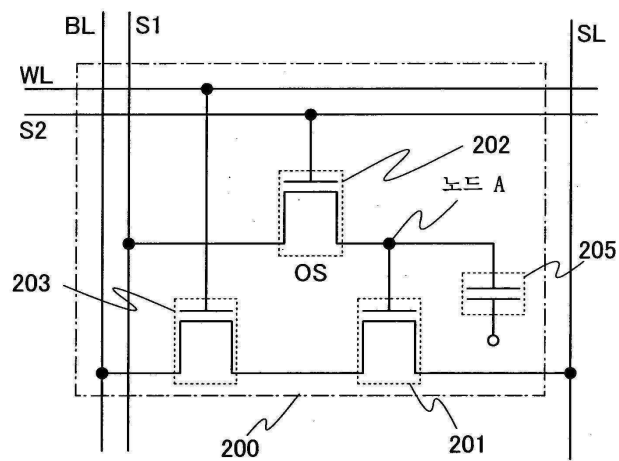
(a)



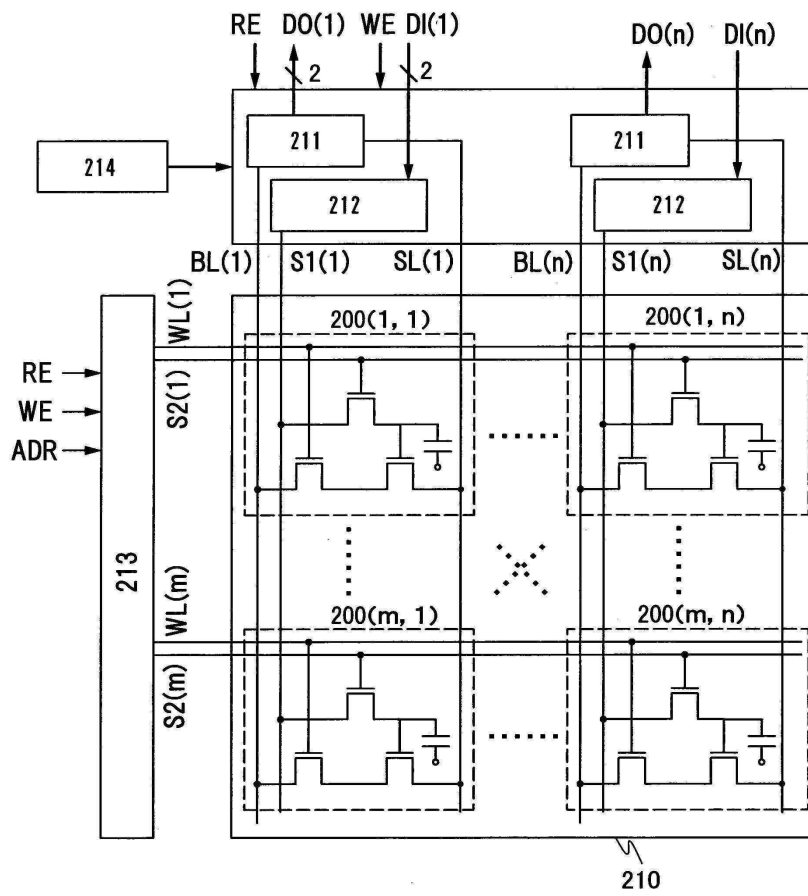
(b)



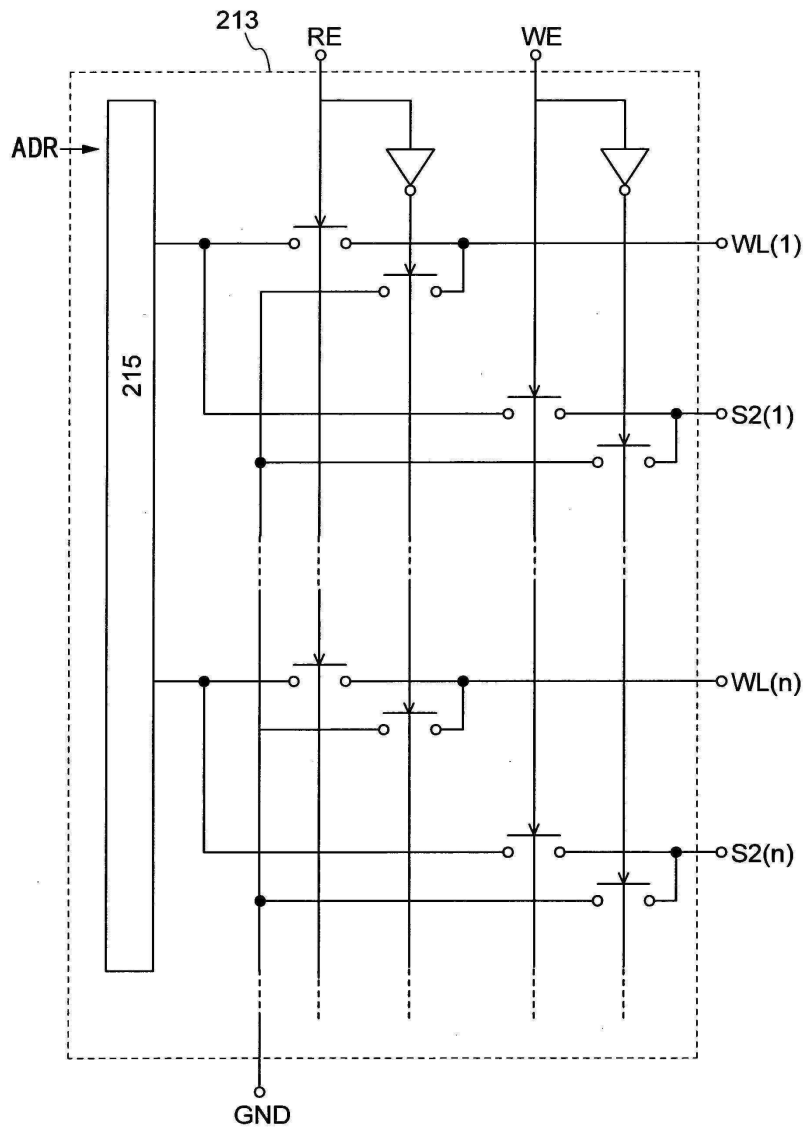
도면 16



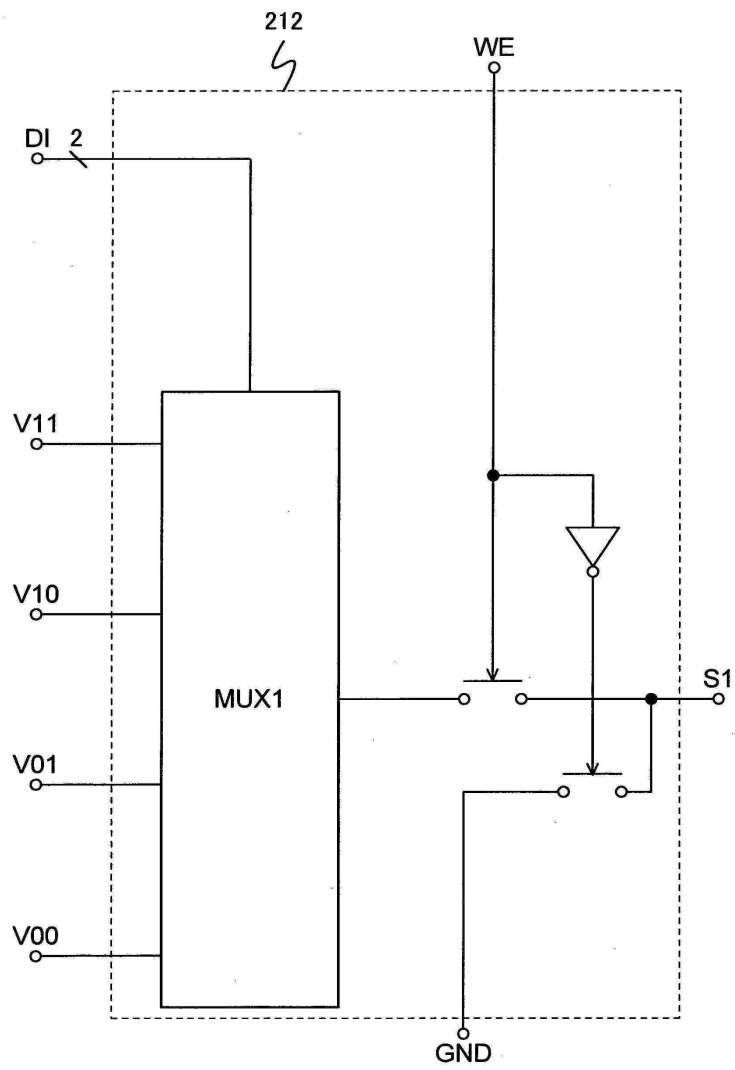
도면17



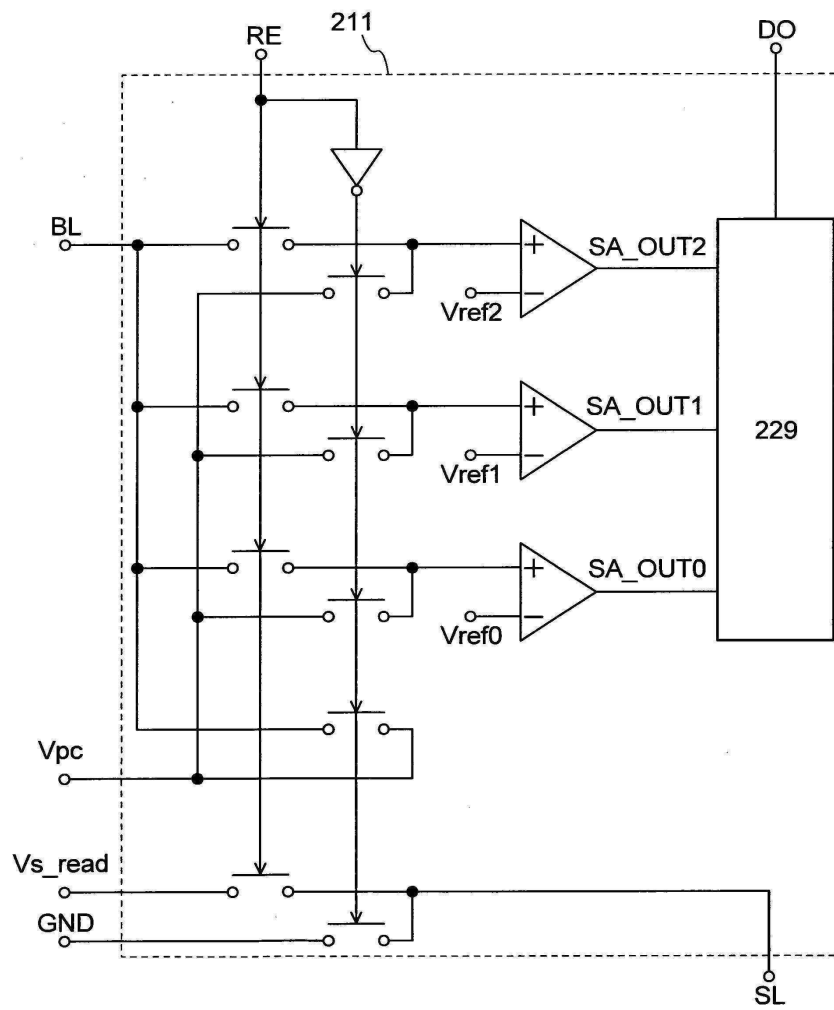
도면18



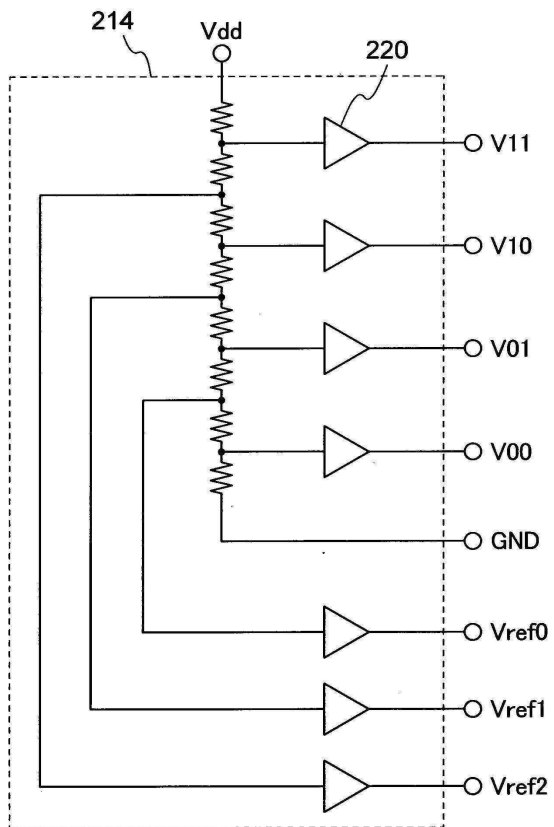
도면19



도면20

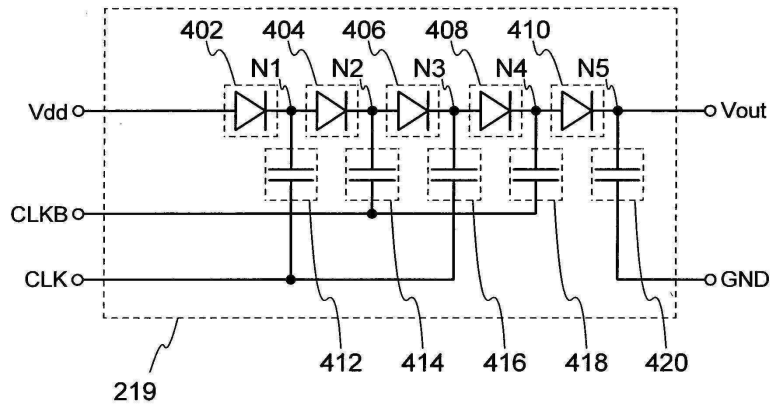


도면21

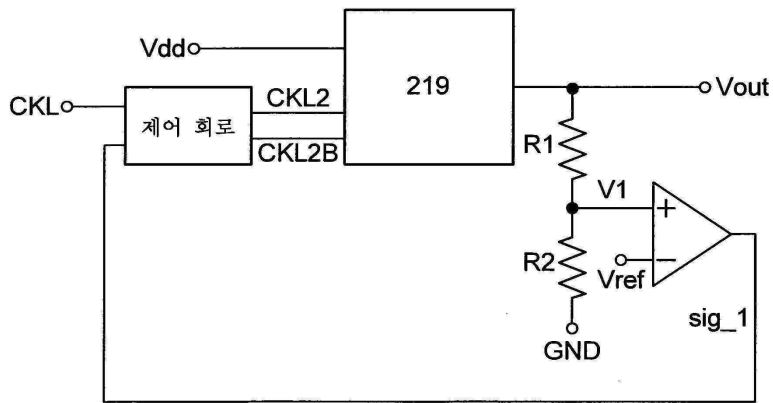


도면22

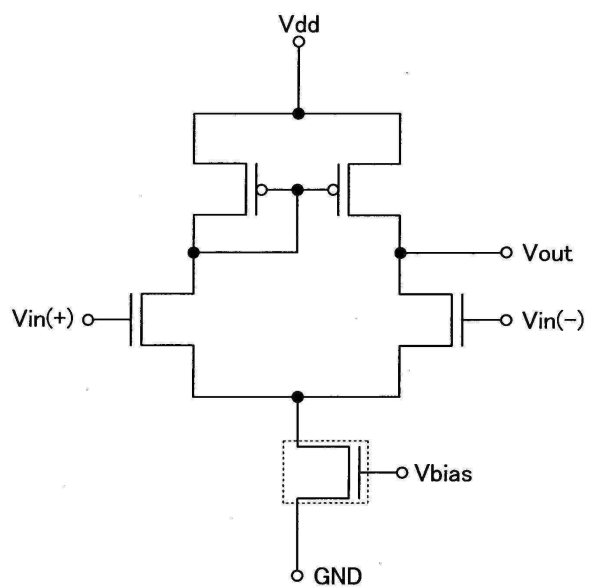
(a)



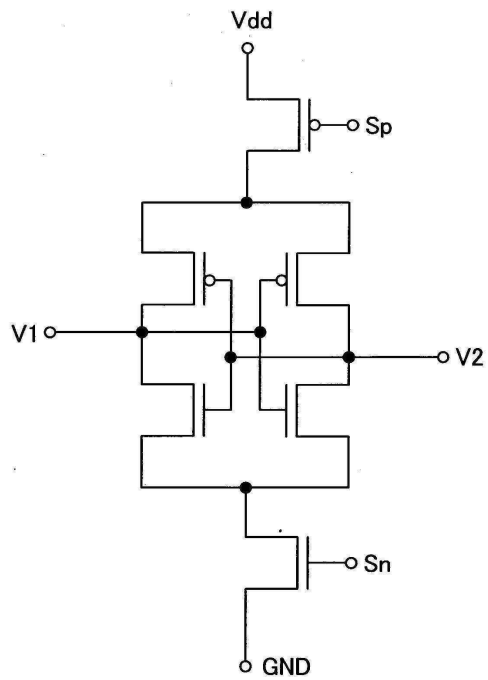
(b)



도면23



도면24



도면25

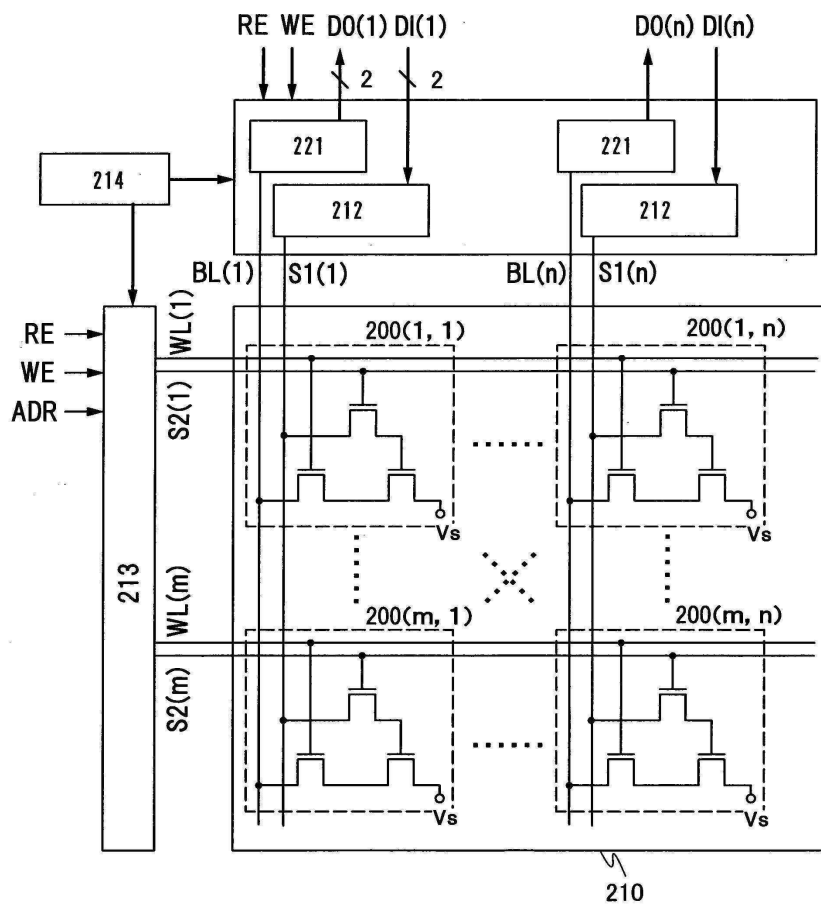
(a)

WE	
RE	
DI	
선택된 제 2 신호선	
제 1 신호선	
비선택된 제 2 신호선	

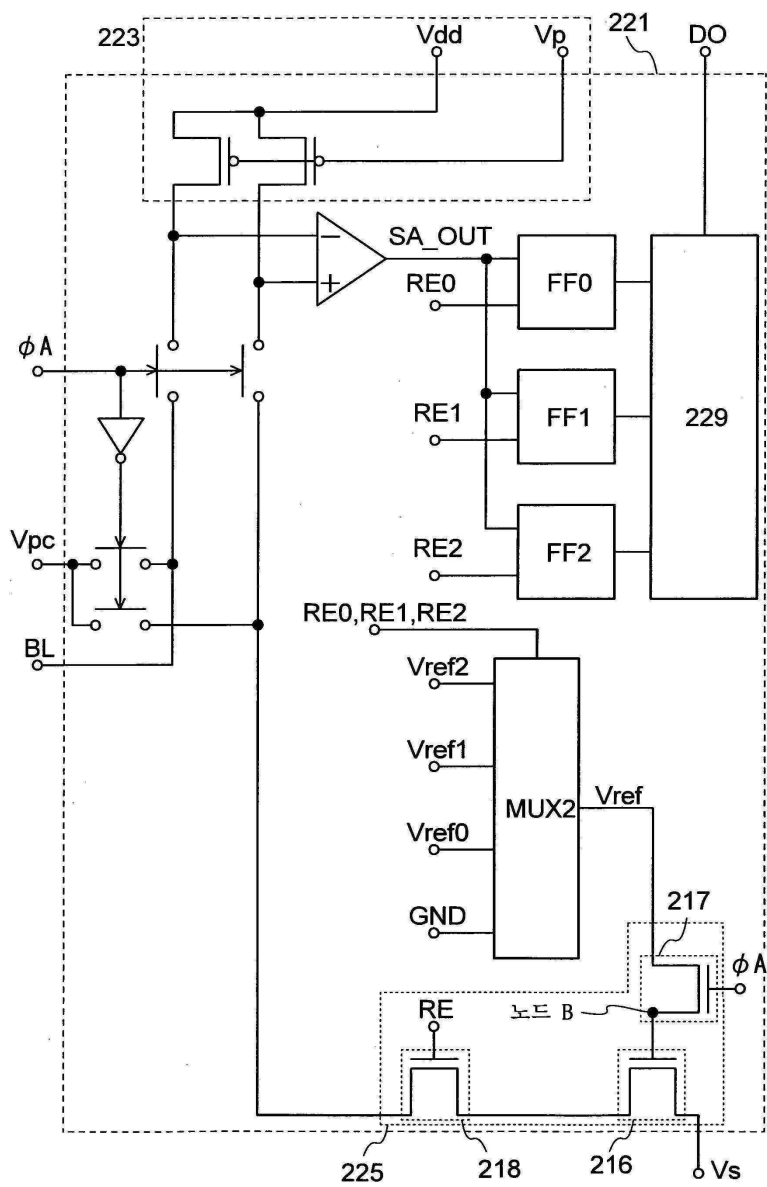
(b)

WE	
RE	
선택된 워드선	
소스선	
비선택된 워드선	
비트선	
SA_OUT0	
SA_OUT1	
SA_OUT2	

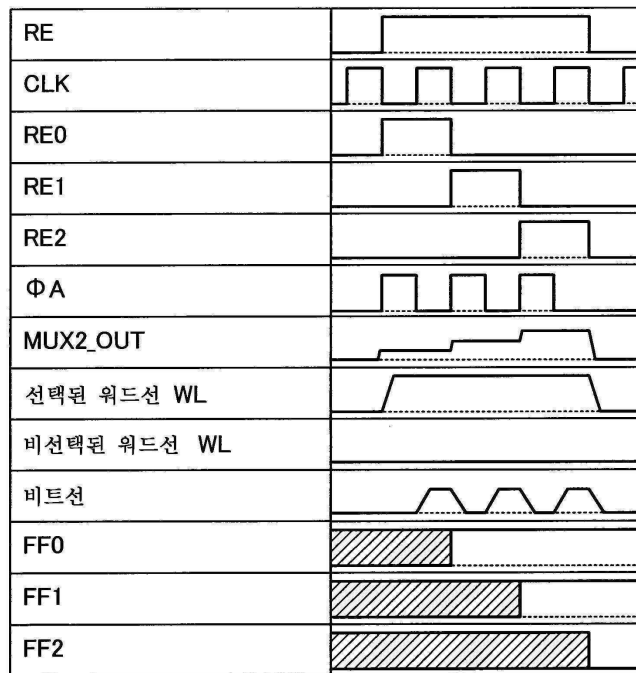
도면26



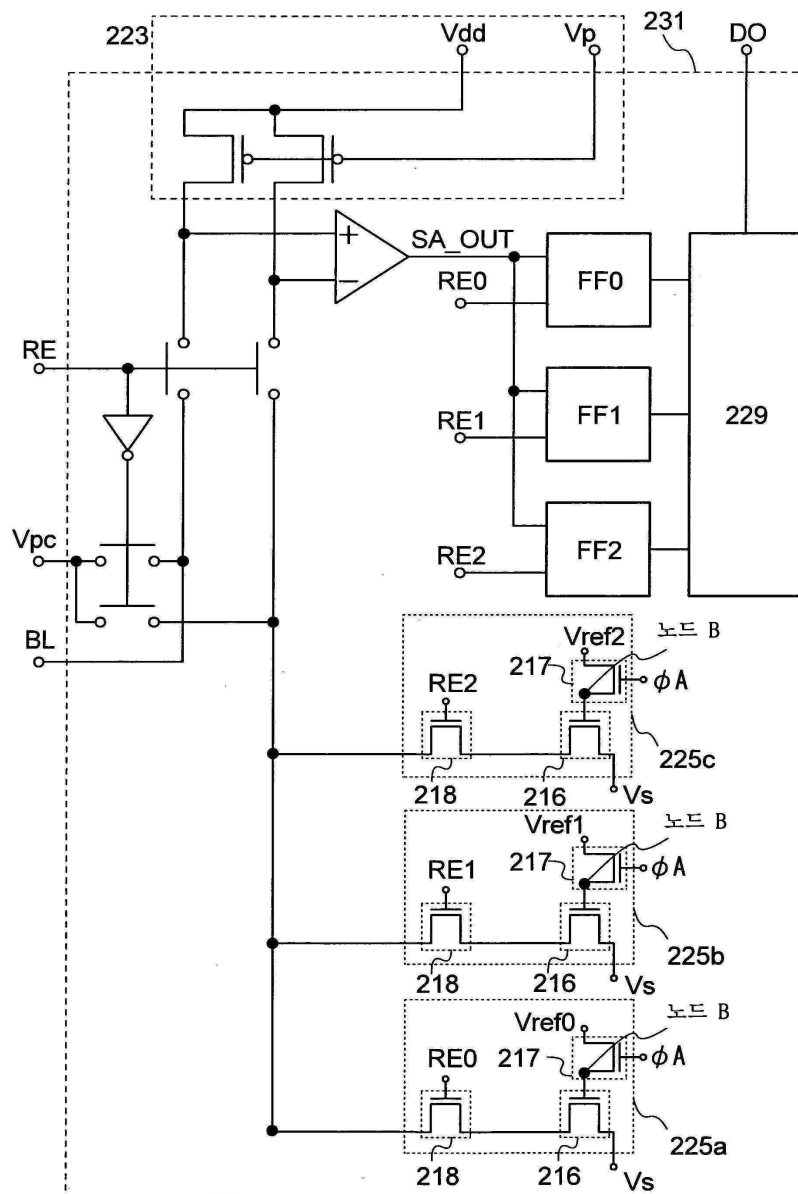
도면27



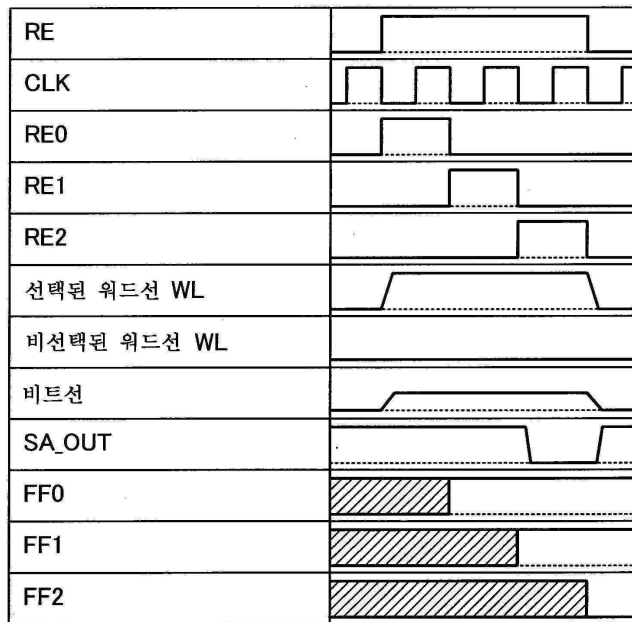
도면28



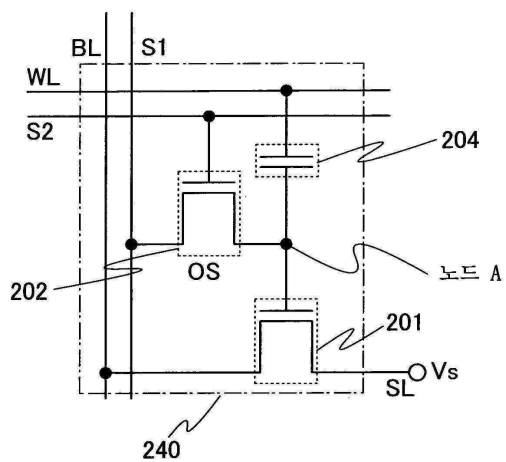
도면29



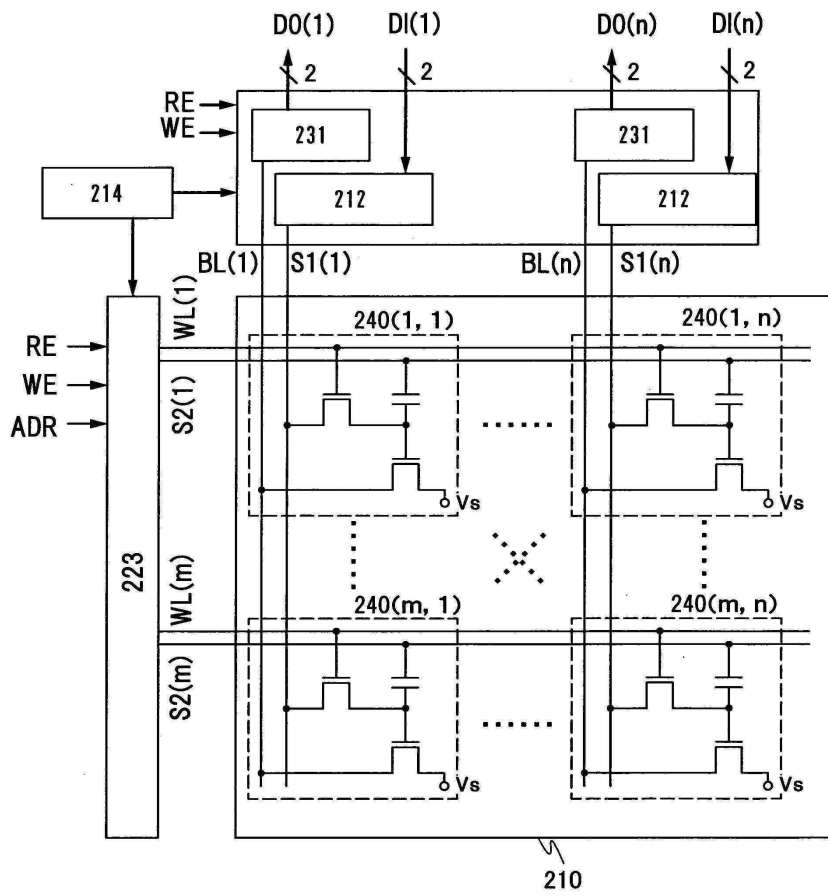
도면30



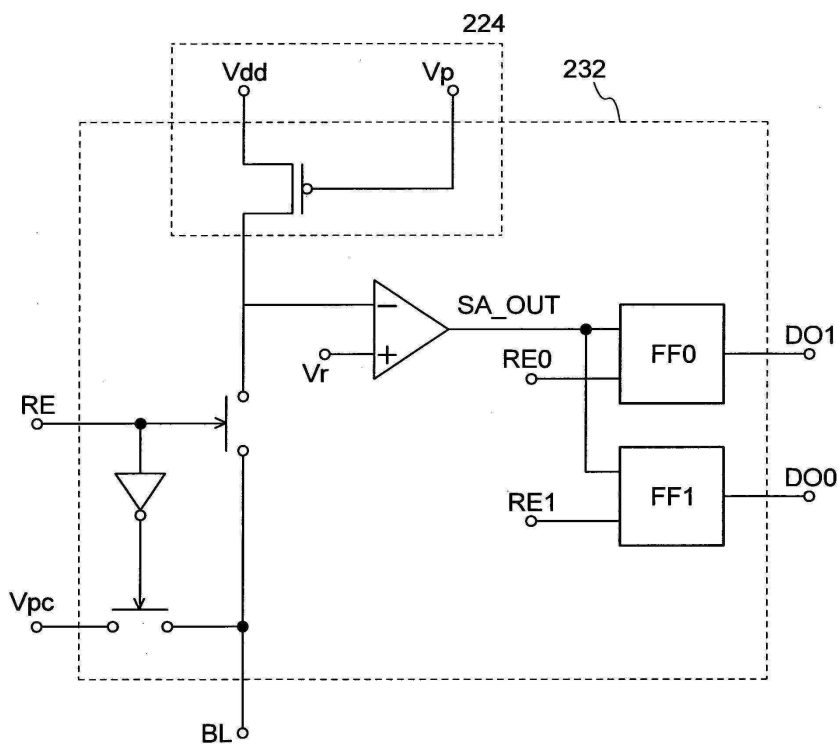
도면31



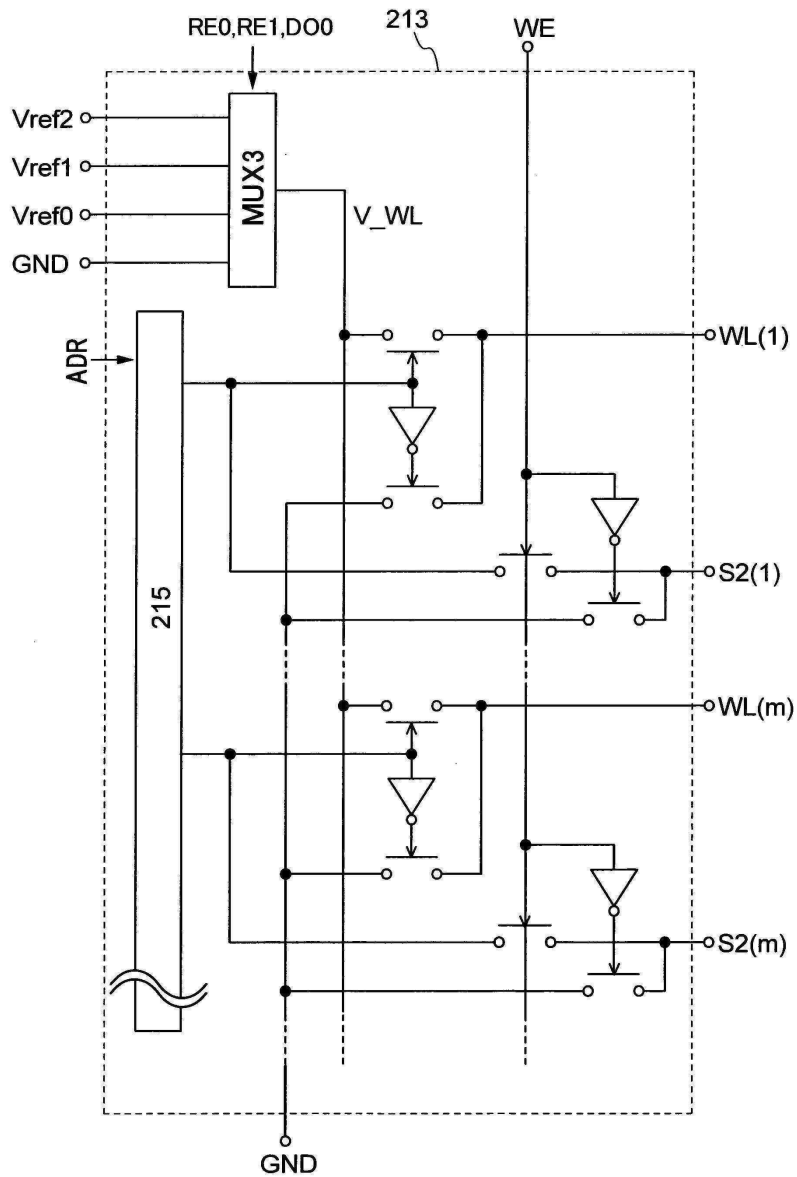
도면32



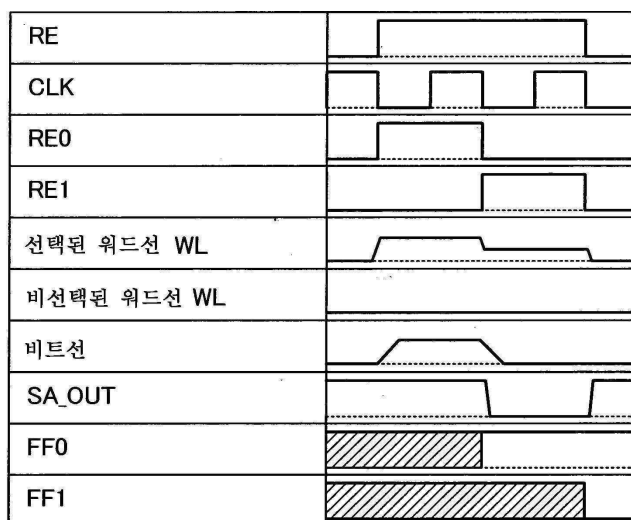
도면33



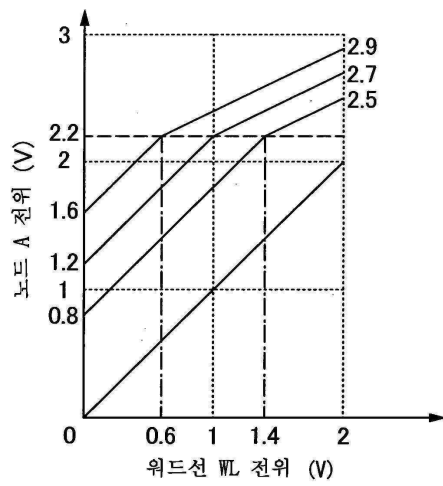
도면34



도면35



도면36



도면37

