

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 16 年 11 月 18 日 (2004.11.18)

【公開番号】特開 2002-229547 (P2002-229547A)

【公開日】平成 14 年 8 月 16 日 (2002.8.16)

【出願番号】特願 2001-30374 (P2001-30374)

【国際特許分類第 7 版】

G 0 9 G 5/00

G 0 2 F 1/133

G 0 9 G 3/20

G 0 9 G 3/36

G 0 9 G 5/36

H 0 4 N 5/38

H 0 4 N 5/44

H 0 4 N 5/66

H 0 4 N 7/16

// G 0 6 F 17/60

【F I】

G 0 9 G 5/00 5 5 0 H

G 0 2 F 1/133 5 0 5

G 0 9 G 3/20 6 3 1 D

G 0 9 G 3/20 6 3 3 U

G 0 9 G 3/20 6 6 0 W

G 0 9 G 3/20 6 6 0 U

G 0 9 G 3/36

G 0 9 G 5/36 5 1 0 M

H 0 4 N 5/38

H 0 4 N 5/44 Z

H 0 4 N 5/66 B

H 0 4 N 7/16 C

G 0 6 F 17/60 3 3 2

【手続補正書】

【提出日】平成 15 年 11 月 25 日 (2003.11.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画像表示装置と、前記画像表示装置へ画像情報を出力する制御装置と、を有する画像表示システムにおいて、

前記制御装置は、

画像情報のうちの 1 フレーム分の画像情報の状態を、画素ブロック単位で判別するブロック判別回路部と、

前記画像情報を、前記ブロック判別回路部の判別結果に基づいて処理する画像処理部と、

前記画像処理部により処理された画像情報を保持する記憶部と、

該記憶部から画像情報を読み出し、該読み出した画像情報に応じてクロック制御を行い、

前記画像表示装置へ画像情報を出力する同期信号生成部と、
を有する画像表示システム。

【請求項 2】

前記ブロック判別回路部は、少なくとも動画若しくは静止画を、前記画素ブロック単位で状態の判別を行うことを特徴とする請求項 1 記載の画像表示システム。

【請求項 3】

前記画像処理部は、前記ブロック単位における状態の判別結果に応じて前記画像情報の処理を異ならしめる請求項 2 の画像表示システム。

【請求項 4】

前記画像処理部は、前記判別結果が動画像の場合に処理された画像情報の階調を、前記判別結果が静止画像の場合に処理された画像情報の階調に対して低くすることを特徴とする請求項 3 記載の画像表示システム。

【請求項 5】

前記同期信号生成部は、前記ブロック単位における状態の判別結果に応じて前記クロック制御を異ならしめる請求項 2 の画像表示システム。

【請求項 6】

前記同期信号生成部は、前記判別結果が動画像の場合の前記クロック制御におけるクロックを、前記判別結果が静止画像の場合の前記クロック制御におけるクロックに対して速くすることを特徴とする請求項 5 記載の画像表示システム。

【請求項 7】

画像表示装置と、
画像情報を受信する受信部と、
該受信部により受信した画像情報を保持する記憶部と、
該記憶部から画像情報を読み出し、該読み出した画像情報に応じてクロック制御を行い、
前記画像表示部へ画像情報を出力する同期信号生成部と、
を有する画像表示システム。

【請求項 8】

マトリクス状に配置された複数の画素を有し、前記複数の画素は m 個 (m は 2 以上の自然数) の画素ブロック単位で分割され、 m 個の前記画素が 1 回の走査期間内で一度に書き換えられているブロックと、 m 個の前記画素が m 回以下の走査期間内で m 回以下の画素ずつ書き換えられていくブロックと、を有する画像表示装置と、前記画像表示装置への前記画像情報を送信する画像制御装置と、を有する画像表示システムであって、
前記複数の画素は m 個 (m は 2 以上の自然数) の画素ブロック単位で分割され、前記ブロック状態の情報が付加された前記各画素ブロック単位に対応する前記画像情報を処理し前記画像情報の状態に対応したデータ転送周期を制御するグラフィック制御チップと、前記グラフィック制御チップにより処理された前記画像情報を保持するメモリと、を有する画像表示システム。

【請求項 9】

マトリクス状に配置された複数の画素を有し、前記複数の画素は m 個 (m は 2 以上の自然数) の画素ブロック単位で分割され、 m 個の前記画素が 1 回の走査期間内で一度に書き換えられているブロックと、 m 個の前記画素が m 回以下の走査期間内で m 回以下の画素ずつ書き換えられていくブロックと、を有する画像表示装置と、前記画像表示装置への前記画像情報を送信する画像制御装置と、を有する画像表示システムであって、
前記画像制御装置は、1 画面に対応する前記画像情報の状態を画素ブロック単位で判別し前記画素ブロック単位に対応する前記画像情報に前記状態の情報を付加するブロック状態判別回路と、前記ブロック状態判別回路により状態の情報が付加された前記各画素ブロック単位に対応する前記画像情報を処理し前記画像情報の状態に対応したデータ転送周期を制御するグラフィック制御チップと、前記ブロック状態判別回路が判別する前記状態に対応して設けられ前記グラフィック制御チップにより処理された前記画像情報を保持するメモリと、を有する画像表示システム。

【請求項 10】

画像情報を発生する画像発生装置と、マトリクス状に配置された複数の画素を有し、前記複数の画素は m 個（ m は2以上の自然数）の画素ブロック単位で分割され、 m 個の前記画素が1回の走査期間内で一度に書きかえられているブロックと、 m 個の前記画素が m 回以下の走査期間内で m 回以下の画素ずつ書き換えられていくブロックと、を有する画像表示装置と、前記画像表示装置への前記画像情報を送信する画像制御装置と、を有する画像表示システムであって、

前記画像情報発生装置は、画像信号を受信する受信機と、前記受信機により受信した前記画像信号を制御するCPUと、を有し、前記画像制御装置は、前記複数の画素は m 個

（ m は2以上の自然数）の画素ブロック単位で分割され、前記ブロック状態の情報が付加された前記各画素ブロック単位に対応する前記画像情報を処理し前記画像情報の状態に対応したデータ転送周期を制御するグラフィック制御チップと、前記グラフィック制御チップにより処理された前記画像情報を保持するメモリと、を有する画像表示システム。

【請求項 11】

画像情報を発生する画像発生装置と、マトリクス状に配置された複数の画素を有し、前記複数の画素は m 個（ m は2以上の自然数）の画素ブロック単位で分割され、 m 個の前記画素が1回の走査期間内で一度に書きかえられているブロックと、 m 個の前記画素が m 回以下の走査期間内で m 回以下の画素ずつ書き換えられていくブロックと、を有する画像表示装置と、前記画像表示装置への前記画像情報を送信する画像制御装置と、を有する画像表示システムであって、

前記画像情報発生装置は、画像信号を受信する受信機と、前記受信機により受信した前記画像信号を制御するCPUと、を有し、前記画像制御装置は、1画面に対応する前記画像情報の状態を画素ブロック単位で判別し前記画素ブロック単位に対応する前記画像情報に前記状態の情報を付加するブロック状態判別回路と、前記ブロック状態判別回路により状態の情報が付加された前記各画素ブロック単位に対応する前記画像情報を処理し前記画像情報の状態に対応したデータ転送周期を制御するグラフィック制御チップと、前記ブロック状態判別回路が判別する前記状態に対応して設けられ前記グラフィック制御チップにより処理された前記画像情報を保持するメモリと、を有する画像表示システム。