747812

發明專利說明書 200307331

（填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫）

※申請案號：92103936　※IPC分類：H01L21/336

※申請日期：92年02月25日

壹、發明名稱：

（中文）金屬絕緣半導體（ＭＩＳ）型半導體裝置及其製造方法

（英文）ＭＩＳ型半導体装置およびその製造方法

貳、發明人（共 2 人）

發明人 1

姓　　名：（中文）土屋龍太

（英文）土屋龍太

住居所地址：（中文）日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的財產權本部內

（英文）日本国東京都千代田区丸の内一丁目５番１号新丸ビル㈱日立製作所知的財産権本部内

參、申請人（共 1 人）

申請人 1

姓名或名稱：（中文）日立製作所股份有限公司

（英文）株式会社日立製作所

住居所地址：（中文）日本國東京都千代田區神田駿河台四丁目六番地

(或營業所)（英文）

國　　籍：（中文）日本　（英文）JAPAN

代 表 人：（中文）1.庄山悅彥

（英文）

說明書發明人續頁

發明人 2

姓　　名：（中文）堀內勝忠

（英文）堀內勝忠

住居所地址：（中文）日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所（股）知的財產權本部內

（英文）日本国東京都千代田区丸の内一丁目５番１号新丸ビル㈱日立製作所知的財産権本部内

747812

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號　順序註記】

1.日本　　；2002/05/22；2002-147237

玖、發明說明

【發明所屬之技術領域】

本發明是關於半導體裝置及其製造方法，特別是關於，超細微MIS型電晶體之大動作電流化、超高速動作化。

【先前技術】

構成超高密度半導體裝置之絕緣閘型場效電晶體，特別是MIS型場效電晶體（以下簡稱爲MISFET）之高性能化是依據定比（scaling）法則，藉由縮小電晶體面積及閘極尺寸之細微化，而達成降低所使用之電源電壓及減低雜散電容之效應。

但縮短閘極尺寸會發生短通道效果，臨界值電壓會變動。在上述超細微MIS，爲了降低這種因閘電極長度之細微化引起的短通道效果，一直在推動源極擴散層及汲極擴散層的淺接合化。

縱使如上述，進行源極擴散層及汲極擴散層的淺接合化之MISFET，如果元件的細微化進行到閘極長度縮短至100 nm以下，因爲雜質之活性化而進行的熱處理過程中，雜質擴散所發生之閘極與源極／汲極擴散層間之重疊領域，會使確保有效通道長度很困難，耐壓降低，短通道效果之抑制很困難。

爲了解決這個問題，例如日本特開平7－245391所記載，在閘電極之側壁配設第1側壁間隔片後，以閘電極及第1側壁間隔片爲幕罩導入雜質，形成N^-或P^-之源極

（2）

擴散層及汲極擴散層，確保較大的有效閘極長度之構造很有效。

另外，抑制源極／汲極雜散電阻之手段有，例如日本特開平5－3206所記載，第1側壁間隔片使用介電常數較氧化膜高的材料，加強閘電極及於N⁻或P⁻領域的電場，緩和第1側壁間隔片下部之雜散電阻，對提高驅動電流有很效果。

【發明內容】

然而，記載於日本特開平7－245391之構造，其閘電極端之N⁻或P⁻領域之雜質濃度，會較通常之僅掩蔽閘電極以形成擴散層領域時低，因此有，源極／汲極雜散電阻變大，驅動能力劣化之缺點。

而記載於日本特開平5－3206之構造則是限定爲，形成閘電極與源極／汲極擴散層領域不相互重疊之部分的“偏移閘極構造”。

若是偏移閘極構造時，偏移領域之通道電阻是非常高的電阻，因此，縱使第1側壁間隔片使用介電常數高的材料，要獲得充分之驅動電流仍很困難。

而且，如果照上述，使所有之側壁間隔片材料均是介電常數高的材料時，則會有，閘極之邊緣電容變大，因此有信號延遲明顯的問題。

如上述，傳統技術要使短通道效果之抑制與高驅動力能夠兩立是很困難。

（3）

本發明是有鑑於上述傳統之課題而開發完成者，其目的在提供，能夠使短通道效果之抑制與高驅動力兩立之優異的MIS型半導體裝置。並且在提供，減小閘極的邊緣電容，使其可達成信號延遲之高速化的MIS型半導體裝置及其製造方法。

本發明是根據，檢討MIS型半導體裝置之源極擴散層，及汲極擴散層構造的最佳條件，而發現上述新現象的結果。其詳情如下。

第3圖表示，藉由計算求出，使第1側壁間隔片所使用的絕緣材料之比介電常數改變時，電晶體之驅動電流與雜散電阻的變化。各值是使用矽氧化膜（比介電常數 = 3.9）之值將其規格化。比介電常數愈大，藉由上述效果，雜散電阻愈減少，驅動電流增大。

另一方面，第4圖表示，藉由計算求出，使第1側壁間隔片所使用的絕緣材料之比介電常數改變時，電晶體延遲與雜散電容的變化。各值與第3圖同樣，是使用矽氧化膜（比介電常數 = 3.9）之值將其規格化。比介電常數愈大，雜散電容愈大。但是令比介電常數增大時，驅動電流增大之效果較雜散電容增大之效果大，因此，比介電常數愈大，電晶體延遲愈小。

亦即，第1側壁間隔片所使用的絕緣材料之比介電常數愈大，電晶體愈有可能高速動作。

第5圖表示，使第1側壁間隔片之寬度改變時的驅動電流之變化。第1側壁間隔片之寬度增大時驅動電流則增大

。側壁間隔片之寬度在7 nm附近時，驅動電流最大。而且，側壁間隔片之寬度進一步增大，其寬度超過15 nm後，驅動電流便保持一定值。

本發明是根據，檢討MIS型半導體裝置之源極擴散層，及汲極擴散層構造之最佳條件，而發現上述新現象的結果。

本發明是爲了達成上述目的而開發完成的MIS型半導體裝置及其製造方法，其特徵爲具備有：

形成在具有第1導電型之半導體基板上的閘極絕緣膜；設在該閘極絕緣膜上面的閘電極；以接觸於閘電極之側壁，及延伸設在閘電極外周部之半導體基板表面上的方式所形成的第1側壁間隔片；以閘電極及第1側壁間隔片爲幕罩，將具有與第1導電型相反之導電型的第1雜質導入半導體基板，而形成的第1雜質領域；沈積形成在第1側壁間隔片之側壁的第2側壁間隔片；以及以閘電極、第1及第2側壁間隔片爲幕罩，在半導體基板導入第1雜質，形成具有較第1雜質領域高的雜質濃度的第2雜質領域，第1側壁間隔片以規定的寬度，具有較閘極絕緣膜爲高的比介電常數，第1雜質領域的一端，位於閘電極的底邊下。

而且，第2側壁間隔片，具有較第1側壁間隔片低的比介電常數。

或者，第2側壁間隔片是以矽氧化膜所形成。

而且，第1側壁間隔片的規定寬度，是5至15 nm。

第1側壁間隔片是從：氮化矽、矽、氧化鋁、氧化鉭

、氧化鈦、氧化鋯及氧化鉿中之任一材料所選用。

或者，第1側壁間隔片與半導體基板上及閘電極間形成有絕緣膜。

而，第1側壁間隔片是由延伸設在半導體基板上的薄膜所形成。

而且，本發明之MIS型半導體裝置之製造方法，其特徵爲具備有：在具有第1導電型的半導體基板上形成閘極絕緣膜，在閘極絕緣膜上面裝設閘電極之製程；在接觸於閘電極之側壁，及延伸設在閘電極外周部的半導體基板表面上，以規定之寬度沈積具有較閘極絕緣膜爲高的比介電常數之材料，形成第1側壁間隔片之製程；以閘電極及第1側壁間隔片爲幕罩，將具有與上述第1導電型相反之導電型的第1雜質導入上述半導體基板，形成第1雜質領域之製程；在第1側壁間隔片之側壁沈積絕緣材料，形成第2側壁間隔片之製程；以閘電極、第1及第2側壁間隔片爲幕罩，在半導體基板導入第1雜質，形成具有較第1雜質領域高的雜質濃度之第2雜質領域之製程；以及以一端位於閘電極的底邊下的方式將第1雜質領域進行熱處理之製程。

而且，第2側壁間隔片是使用較第1側壁間隔片之比介電常數低的絕緣材料。

而，第2側壁間隔片是以矽氧化膜所形成。

或者，第1側壁間隔片是使用膜厚度一定的薄膜所形成。

【實施方式】

茲進一步詳細說明本發明之實施形態如下。爲了使其容易瞭解，使用附圖進行說明，主要部分放大成較其他部分大。各部分之材質、導電型、及製造條件等不限定如本實施形態所述，當然可以分別有各種變形。

第1圖是本發明第1實施形態之MIS型場效電晶體的完成截面圖。並使用第2圖說明其製造過程。

如第2圖所示，在矽基板1上形成由閘極絕緣膜3與聚矽形成得閘電極4（參照第2圖（a））。接著，以CVD法（Chemical Vapor Deposition）沈積介電常數較矽氧化膜大之絕緣膜，例如沈積氮化矽膜或氧化鈦膜等，再回蝕此絕緣膜，在閘電極之側壁形成第1側壁間隔片5。這時，爲了確保裝置之可靠性，也可以在沈積第1側壁間隔片之前，例如以650 °C進行輕氧化，以極薄膜之矽氧化膜覆蓋矽基板1及閘電極4表面。

接著，以此爲幕罩，注入規定導通驗型之雜質離子，形成雜質擴散層領域6（參照第2圖（b））。然後，藉由CVD法等，沈積介電常數較第1側壁間隔片小之絕緣膜，例如矽氧化膜，同樣對此絕緣膜進行回蝕，形成第2側壁間隔片7。然後，以此爲幕罩注入離子，形成導入有高濃度雜質的第2雜質領域8（參照第2圖（c））。

接著，藉由退火進行雜質之活性化處理。上述處理是以例如1000 ℃進行1秒前後，但儘量縮短處理時間，縮短熱履歷，抑制雜質之擴散較佳。然後，在擴散層領域6

（7）

及閘電極4表面形成金屬矽化物層9。此矽化物層是由，例如：鈦矽化物、鈷矽化物、鎳矽化物等之金屬矽化物而成。形成金屬矽化物後，再形成層間絕緣膜10，並依照所希望的電路方式形成包含汲電極及源電極的配線用電極11（參照第2圖（d））。

依據上述實施形態，是以第1側壁間隔片5爲幕罩，形成第1雜質擴散層領域6，因此，可以抑制擴散層領域向通道之橫方向擴大。因此，可以將元件細緻化，將閘電極3縮小成較傳統者短，仍可以抑制短通道效果。

同時，閘電極4之側壁中，內側之側壁是使用高介電常數的絕緣膜，因此，加在此第1側壁間隔片下之基板的電場會非常強，可以令第1側壁間隔片下的雜質領域充分反轉。因此，縱使閘極與源極汲極擴散層間之重疊領域變小，仍可抑制雜散電阻之增大，因此可以使其流通充分大的驅動電流。藉此，可以使抑制短通道效果與高驅動能力兩立。

第3圖表示，藉由計算求出，令第1側壁間隔片所使用的絕緣膜材料之比介電常數變化時，電晶體的驅動電流與雜散電阻的變化。各值是用矽氧化膜（比介電常數 = 3.9）之值加以規格化。比介電常數愈大，上述效果使雜散電阻減小，使驅動電流增大。

另一方面，第4圖表示，令第1側壁間隔片所使用的絕緣膜材料之比介電常數變化時，電晶體延遲與雜散電容的變化。各值與第3圖同樣，是使用矽氧化膜（比介電常數

(8)

= 3.9）之值將其規格化。比介電常數愈大，雜散電容愈大。但是令比介電常數增大時，驅動電流增大之效果較雜散電容增大之效果大，因此，比介電常數愈大，電晶體延遲愈小。

亦即，第1側壁間隔片所使用的絕緣材料之比介電常數愈大，電晶體愈有可能高速動作。

如上述，第1側壁間隔片5是將氮化矽膜或氧化鈦膜等絕緣膜加以回蝕而成，該側壁間隔片的寬度是藉絕緣膜的沈積厚度來控制。而，第1側壁間隔片之寬度是用以抑制第1雜質擴散層領域6向通道之橫方向擴展，其膜厚度必須依據包含摻雜量等之條件，或其後之退火製程之熱擴散，嚴密設定注入雜質離子時之雜質注入能。

從抑制短通道效果之觀點，第1側壁間隔片的寬度是較大爲佳，但從雜散電容之觀點，則愈小愈佳。

同時，因爲一般在形成N型電晶體的第1雜質擴散層領域6時使用之As離子，與一般在形成P型電晶體的雜質擴散層領域6時使用之B離子，其擴散係數並不相同，因此，對N型電晶體與P型電晶體，其最合適之值並不相同。因之，設定第1側壁間隔片的寬度之最合適值時，有必要考慮以上各點。

第5圖表示，使第1側壁間隔片的寬度改變時，驅動電流之變化。第1側壁間隔片的寬度增大時，驅動電流則增大。側壁間隔片的寬度在7 nm附近時，驅動電流最大。而且，側壁間隔片的寬度進一步增大，其寬度超過15 nm後

，驅動電流便保持一定值。從以上的觀點，側壁間隔片的寬度有其最合適之值，第1側壁間隔片的寬度以5至15 nm較佳。

其次，參照第5圖說明第2實施形態。第2實施形態是，有必要設定例如15 nm以上的側壁間隔片寬度時之MIS型電晶體的完成截面圖。

與上述第1實施形態同樣，在矽基板1上形成由閘極絕緣膜3及聚矽構成的閘電極4。然後，藉由CVD法等沈積介電常數較矽氧化膜大的絕緣膜，例如氮化矽膜、矽膜、氧化鋁膜、氧化鉭膜、氧化鈦膜、氧化鋯膜及氧化鉿膜等，再藉回蝕此絕緣膜，於閘電極之側壁形成例如5至15 nm的第1側壁間隔片5。

這時，爲了確保裝置的可靠性，也可以在沈積第1側壁間隔片之前，例如以650 ℃進行輕氧化，以極薄膜的矽氧化膜覆蓋矽基板1及閘電極4表面。

然後，沈積介電常數低的絕緣膜，矽氧化膜，回蝕此絕緣膜，形成第2側壁間隔片12。以此第1及第2側壁間隔片爲幕罩，注入規定導電型之雜質離子，形成雜質擴散層領域6。然後，同樣藉由CVD法等沈積矽氧化膜，回蝕此絕緣膜，形成第3側壁間隔片14。然後，以此爲幕罩注入離子，形成導入高濃度之雜質而成的第2雜質擴散層領域8。

接著，藉由例如1000℃ 1秒前後的退火，進行雜質的活性化處理。然後，在擴散層領域6及閘電極4之表面形

成金屬矽化物層9。此矽化物層是由，例如：鈦矽化物、鈷矽化物、鎳矽化物等之金屬矽化物而成。形成金屬矽化物後，再形成層間絕緣膜10，並依照所希望的電路方式形成包含汲電極及源電極的配線用電極11。

依據上述第2實施形態時，較之第1實施形態更可以確保有效通道長，因此可以更有效抑制短通道效果。而且，在閘電極4內側之側壁中，用高介電常數的絕緣膜，因此可以同時確保充分大的驅動電流。而且，具有高介電常數的側壁間隔片的使用控制在所需要的最低限度，其餘部分是使用介電常數小的絕緣膜（矽氧化膜）形成側壁間隔片，因此也可以抑制雜散電容之增大。

第7圖是表示本發明第3實施形態之圖，是以第1薄膜13取代上述第1實施形態之藉回蝕絕緣膜形成的第1側壁間隔片5，然後依照第1實施形態製造電晶體。上述第1薄膜13是以CVD法等沈積介電常數較矽氧化膜大的絕緣膜，例如氮化矽膜或氧化鈦膜等而成。此第1薄膜13用以抑制第1雜質擴散層領域6向通道之橫方向擴展，該側壁間隔片的寬度是藉絕緣膜的沈積厚度來控制。

如上述，使用第1薄膜13之本實施形態也可以抑制電晶體之短通道效果，且可能提高驅動能力。

第8圖是表示本發明第4實施形態之圖，是使用第1薄膜13及第2薄膜14，取代上述第2實施形態之藉回蝕絕緣膜形成的第1側壁間隔片5及第2側壁間隔片12，然後依照上述第2實施形態製造電晶體。上述第1薄膜13是以CVD法等

沈積介電常數較矽氧化膜大的絕緣膜，例如氮化矽膜或氧化鈦膜等而成。而第2薄膜14是沈積介電常數小的絕緣膜，矽氧化膜而形成。

此第1薄膜13及第2薄膜14是，用以抑制第1雜質擴散層領域6向通道之橫方向擴展，該側壁間隔片之寬度是藉絕緣膜之沈積厚度來控制。如上述，介電常數大的絕緣膜之第1薄膜13的膜厚度爲5至15nm，其餘則以介電常數小之絕緣膜的沈積厚度，調整成設定側壁間隔片寬度較佳。

依據上述實施形態時，較之第1實施形態更可以確保有效通道長，因此可以更有效抑制短通道效果。而且，在閘電極4內側之側壁中，用高介電常數的絕緣膜，因此可以同時確保充分大之驅動電流。而且，具有高介電常數之側壁間隔片的使用是控制在所需要之最低限度，其餘部分是使用介電常數小的絕緣膜（矽氧化膜）形成側壁間隔片，因此也可以抑制雜散電容之增大。

如上述，使用第1薄膜13及第2薄膜14之本實施形態也可以抑制電晶體之短通道效果，且可以提高驅動能力。

第9圖是表示本發明第5實施形態之圖，是使用本發明在同一基板上製造N型及P型兩電晶體之實施例。此第9圖是藉由組合上述第1實施形態與傳統方法，而得分別獨立設定N型及P型電晶體的有效閘極長度的半導體裝置之製造方法。

在矽基板1形成P阱領域20、N阱領域21及元件分離用的場氧化膜2後，形成由閘極絕緣膜22及聚矽構成的閘電

極23及24。

在此狀態下，對N型電晶體，以閘電極23作爲幕罩，注入規定導電型的雜質離子，形成N^-型的雜質擴散層領域25。

接著，以CVD法等沈積介電常數較矽氧化膜大的絕緣膜，例如氮化矽膜或氧化鈦膜等，藉回蝕此絕緣膜，在閘電極23及24的側壁形成第1側壁間隔片28。

在此狀態下，對P型電晶體，以閘電極24、第1側壁間隔片28作爲幕罩，注入規定導電型的雜質離子，形成P^-型的雜質擴散層領域26。

接著，以CVD法等沈積介電常數較第1側壁間隔片27及28小的絕緣膜，例如矽氧化膜，同樣，藉回蝕此絕緣膜，形成第2側壁間隔片30及32。

在此狀態下，對N型電晶體，以閘電極23、第1側壁間隔片27及第2側壁間隔片30作爲幕罩，注入規定導電型的雜質離子，形成N^+型的雜質擴散層領域31。

接著，對P型電晶體，以閘電極24、第1側壁間隔片28及第2側壁間隔片32作爲幕罩，注入規定導電型的雜質離子，形成P^+型的雜質擴散層領域33。

接著，藉由退火進行雜質的活性化處理。上述處理是以例如1000 ℃進行1秒前後，但儘量縮短處理時間，縮短熱履歷，抑制雜質的擴散較佳。然後，在擴散層領域31、33及閘電極23、24的表面形成金屬矽化物層34。此矽化物層是由，例如：鈦矽化物、鈷矽化物、鎳矽化物等之金

屬矽化物而成。形成金屬矽化物後，再形成層間絕緣膜35，並依照所希望的電路方式形成包含汲電極及源電極的配線用電極36。

如以上所述，可以提供，N型電晶體是，以閘電極23作爲幕罩，注入規定導電型的雜質離子，形成N^-型的雜質擴散層領域25，P型電晶體是，以閘電極24、第1側壁間隔片28作爲幕罩，注入規定導電型的雜質離子，形成P^-型的雜質擴散層領域26，而得藉此分別獨立設定N型及P型電晶體的有效閘極長度之製造方法。而且，在閘電極4內側之側壁中，用高介電常數的絕緣膜，因此可以同時確保充分大的驅動電流。而且，具有高介電常數之側壁間隔片的使用是控制在所需要之最低限度，其餘部分是使用介電常數小的絕緣膜（矽氧化膜）形成側壁間隔片，因此也可以抑制雜散電容之增大。

再者，在上述第5實施例之形態，是以傳統的方法製造N型電晶體，以第1實施例之形態製造P型電晶體，但也可以藉由傳統的方法製造P型電晶體，以第1實施例之形態製造N型電晶體。

第10圖是表示本發明第6實施形態之截面圖，使用本發明在同一基板上製造N型及P型電晶體之實施例之形態。此第10圖是藉由組合上述第1及第2實施例之形態，而得分別獨立設定N型及P型電晶體的半導體裝置之製造方法。

在矽基板1形成P阱領域20、N阱領域21及元件分離用

的場氧化膜2後，形成由閘極絕緣膜22及聚矽構成的閘電極23及24。接著，以CVD法等沈積介電常數較矽氧化膜大的絕緣膜，例如氮化矽膜或氧化鈦膜等，藉回蝕此絕緣膜，在閘電極23及24的側壁形成第1側壁間隔片27及28。這時，爲了確保裝置之可靠性，也可以在沈積第1側壁間隔片之前，例如以650 ℃進行輕氧化，以極薄膜的矽氧化膜覆蓋矽基板1及閘電極23及24表面。

在此狀態下，對N型電晶體，以閘電極23及第1側壁間隔片27作爲幕罩，注入規定導電型的雜質離子，形成N^-型的雜質擴散層領域25。

接著，以CVD法等沈積介電常數較第1側壁間隔片27及28小之絕緣膜，例如矽氧化膜，同樣，藉回蝕此絕緣膜，形成第2側壁間隔片29及37。

在此狀態下，對P型電晶體，以閘電極24、第1側壁間隔片28及第2側壁間隔片29作爲幕罩，注入規定導電型的雜質離子，形成P^-型的雜質擴散層領域26。

接著，以CVD法等沈積介電常數較第1側壁間隔片27及28小的絕緣膜，例如矽氧化膜，同樣，藉回蝕此絕緣膜，形成第3側壁間隔片30及32。

在此狀態下，對N型電晶體，以閘電極23、第1側壁間隔片27、第2側壁間隔片37及第3側壁間隔片30作爲幕罩，注入規定導電型的雜質離子，形成N^+型的雜質擴散層領域31。

接著，對P型電晶體，以閘電極24、第1側壁間隔片28

、第2側壁間隔片29及第3側壁間隔片32作爲幕罩，注入規定導電型的雜質離子，形成P^+型的雜質擴散層領域33。

接著，藉由退火進行雜質的活性化處理。上述處理是以例如1000 ℃進行1秒前後，但儘量縮短處理時間，縮短熱履歷，抑制雜質之擴散較佳。然後，在擴散層領域31、33及閘電極23、24之表面形成金屬矽化物層34。此矽化物層是由，例如：鈦矽化物、鈷矽化物、鎳矽化物等之金屬矽化物而成。形成金屬矽化物後，再形成層間絕緣膜35，並依照所希望的電路方式形成包含汲電極及源電極的配線用電極36。

如以上所述，可以提供，N型電晶體是，以閘電極23及第1側壁間隔片27作爲幕罩，注入規定導電型的雜質離子，形成N^-型之雜質擴散層領域25，P型電晶體是，以閘電極24、第1側壁間隔片28及第2側壁間隔片29作爲幕罩，注入規定導電型之雜質離子，形成P^-型之雜質擴散層領域26，藉此能夠在較第5實施例之形態更爲廣範圍，分別獨立設定N型及P型電晶體之有效閘極長度之製造方法。而且，在閘電極4內側的側壁中，用高介電常數之絕緣膜，因此可以同時確保充分大的驅動電流。而且，具有高介電常數的側壁間隔片的使用是控制在所需要之最低限度，其餘部分是使用介電常數小的絕緣膜（矽氧化膜）形成側壁間隔片，因此也可以抑制雜散電容之增大。

再者，在上述第6實施例之形態，是以第1實施例之形態製造N型電晶體，以第2實施例之形態製造P型電晶體，

但也可以藉由以第1實施例之形態製造P型電晶體，以第2實施例之形態製造N型電晶體。

第11圖是表示本發明第7實施形態之圖，是使用第1薄膜42及44，取代上述第5實施形態之藉回蝕絕緣膜形成的第1側壁間隔片27及第28，然後依照上述第5實施形態製造電晶體。上述第1薄膜42及44是以CVD法等沈積介電常數較矽氧化膜大之絕緣膜，例如氮化矽膜或氧化鈦膜等而成。

如以上所述，可以提供，N型電晶體是，以閘電極23作爲幕罩，注入規定導電型之雜質離子，形成N^-型之雜質擴散層領域25，P型電晶體是，以閘電極24、第1薄膜44作爲幕罩，注入規定導電型之雜質離子，形成P^-型之雜質擴散層領域26，藉此能夠與第5實施形態之例子同樣，分別獨立設定N型及P型電晶體之有效閘極長度之製造方法。而且，在閘電極24內側的側壁中，用高介電常數的絕緣膜，因此可以同時確保充分大之驅動電流。而且，具有高介電常數之側壁間隔片的使用是控制在所需要之最低限度，其餘部分是使用介電常數小的絕緣膜（矽氧化膜）形成側壁間隔片，因此也可以抑制雜散電容之增大。

再者，在上述第7實施形態，是以傳統的方法製造N型電晶體，以第3實施例之形態製造P型電晶體，但也可以藉由傳統的方法製造P型電晶體，以第3實施例之形態製造N型電晶體。

第12圖是表示本發明第8實施形態之圖，是使用第1薄

膜42及44、第2薄膜45及47，取代上述第6實施形態之藉回蝕絕緣膜形成的第1側壁間隔片27及28，第2側壁間隔片29及37，然後依照上述第6實施形態製造電晶體。上述第1薄膜42及44是以CVD法等沈積介電常數較矽氧化膜大的絕緣膜，例如氮化矽膜或氧化鈦膜等而成。而第2薄膜45及47是沈積介電常數小的絕緣膜，矽氧化膜而形成。

如以上所述，可以提供，N型電晶體是，以閘電極23及第1薄膜42作爲幕罩，注入規定導電型的雜質離子，形成N^-型的雜質擴散層領域25，P型電晶體是，以閘電極24、第1薄膜44及第2薄膜45作爲幕罩，注入規定導電型之雜質離子，形成P^-型之雜質擴散層領域26，藉此能夠在較第6實施例之形態更爲廣範圍，分別獨立設定N型及P型電晶體之有效閘極長度之製造方法。而且，在閘電極23及24內側的側壁中，用高介電常數的絕緣膜，因此可以同時確保充分大的驅動電流。而且，具有高介電常數之側壁間隔片之使用是控制在所需要之最低限度，其餘部分是使用介電常數小的絕緣膜（矽氧化膜）形成側壁間隔片，因此也可以抑制雜散電容之增大。

再者，在上述第8實施例之形態，是以第3實施例之形態製造N型電晶體，以第4實施例之形態製造P型電晶體，但也可以藉由以第4實施例之形態製造P型電晶體，以第3實施例之形態製造N型電晶體。

如以上所說明，依據本發明時，對MIS型電晶體，以具有高介電常數的絕緣膜形成側壁間隔片，以此爲導入端

形成雜質擴散領域，因此可以充分抑制短通道效果，且可以抑制源極・汲極雜散電阻，因此可以同時達成高驅動能力。這時，由於要達成高驅動電流，高介電常數的側壁間隔片之側壁的厚度僅爲必要之最合適厚度（5至15 nm），其外側的側壁間隔片則以介電常數小的絕緣膜（矽氧化膜）構成，因此可以將雜散電容抑制得很低。其結果，細微MIS型電晶體可以高速動作。

同時，對由N型電晶體及P型電晶體構成之MIS型半導體裝置，可以提供，能分別獨立設計N型及P型電晶體的有效閘極長度，而形成在同一基板上之製造方法。

【圖式簡單說明】

第1圖是本發明第1實施形態之MIS型場效電晶體的完成截面圖。

第2圖是說明第1實施形態之MIS型場效電晶體的製造過程之圖。

第3圖是表示側壁間隔片材料所使用絕緣膜之比介電常數與驅動電流及雜散電阻的關係之圖。

第4圖是表示側壁間隔片材料所使用絕緣膜之比介電常數與電晶體延遲及雜散電容的關係之圖。

第5圖是表示側壁間隔片材料之膜厚度與電晶體之驅動電流的關係之圖。

第6圖是本發明第2實施形態之MIS型場效電晶體的完成截面圖。

第7圖是本發明第3實施形態之MIS型場效電晶體的完成截面圖。

第8圖是本發明第4實施形態之MIS型場效電晶體的完成截面圖。

第9圖是本發明第5實施形態之MIS半導體裝置的完成截面圖。

第10圖是本發明第6實施形態之MIS半導體裝置的完成截面圖。

第11圖是本發明第7實施形態之MIS半導體裝置的完成截面圖。

第12圖是本發明第8實施形態之MIS半導體裝置的完成截面圖。

【圖號說明】

1：矽基板

2：元件分離用之場氧化膜

3：閘極絕緣膜

4：閘電極

5：第1側壁間隔片

6：雜質擴散層領域

7：第2側壁間隔片

8：第2雜質領域

9、34：金屬矽化物層

10：層間絕緣膜

11：配線用電極

12：第2側壁間隔片

13：第1薄膜

14：第2薄膜

20：P阱領域

21：N阱領域

22：閘極絕緣膜

23、24：閘電極

25、26、31、33：雜質擴散層領域

27、28：第1側壁間隔片

29、37：第2側壁間隔片

30、32：第3側壁間隔片

35：層間絕緣膜

36：配線用電極

42、44：第1薄膜

45、47：第2薄膜

肆、中文發明摘要

發明之名稱：金屬絕緣半導體(MIS)型半導體裝置及其製造方法

本發明之技術課題在，抑制MIS型電晶體之短通道效果，及減小閘極之邊緣(fringing)電容，可以達成信號延遲的高速化。

對MIS型電晶體，以具有高介電常數之絕緣膜形成側壁間隔片(sidewall spacer)，而以此爲導入端，形成雜質擴散層領域。爲了達成高驅動電流，高介電常數的側壁間隔片之側壁，係必需要最佳膜厚度(5至15 nm)，故其外側之側壁間隔片，則以介電常數小的絕緣膜(矽氧化膜)構成。

本發明可以充分抑制短通道效果，達成源極・汲極雜散電阻之抑制。而且，因爲可以將雜散電容抑制在較低值，因此可以同時達成高驅動力。

伍、英文發明摘要

發明之名稱：

(1)

拾、申請專利範圍

1. 一種MIS型半導體裝置，其特徵爲具備有：

形成在具有第1導電型的半導體基板上的閘極絕緣膜；

設在上述閘極絕緣膜上面的閘電極；

以接觸於上述閘電極的側壁，並延伸設在上述閘電極外周部的半導體基板表面上的方式所形成的第1側壁間隔片；

以上述閘電極及第1側壁間隔片爲幕罩，將具有與上述第1導電型相反的導電型之第1雜質導入上述半導體基板，而形成的第1雜質領域；

沈積形成在上述第1側壁間隔片之側壁的第2側壁間隔片；以及

以上述閘電極、第1及第2側壁間隔片爲幕罩，在上述半導體基板導入上述第1雜質，形成具有較上述第1雜質領域高的雜質濃度的第2雜質領域，

上述第1側壁間隔片以規定的寬度，具有較上述閘極絕緣膜爲高的比介電常數，

上述第1雜質領域的一端，位於上述閘電極的底邊下。

2. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

上述第2側壁間隔片，具有較上述第1側壁間隔片低的比介電常數。

(2)

3. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

上述第2側壁間隔片是以矽氧化膜所形成。

4. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

上述第1側壁間隔片的規定寬度，是5至15 nm。

5. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

上述第1側壁間隔片是從：氮化矽、矽、氧化鋁、氧化鉭、氧化鈦、氧化鋯及氧化鉿中之任一材料所選用。

6. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

上述第1側壁間隔片與上述半導體基板上及閘電極間形成有絕緣膜。

7. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

上述第1側壁間隔片是由延伸設在上述半導體基板上之薄膜所形成。

8. 一種MIS型半導體裝置，其特徵爲具備有：

形成在具有第1導電型的半導體基板上的閘極絕緣膜；

設在上述閘極絕緣膜上面的閘電極；

以接觸於上述閘電極的側壁，並延伸設在上述閘電極外周部的半導體基板表面上的方式所形成的第1側壁間隔

(3)

片；

沈積形成在上述第1側壁間隔片之側壁的第2側壁間隔片；

以上述閘電極、第1及第2側壁間隔片爲幕罩，將具有與上述第1導電型相反之導電型的第1雜質導入上述半導體基板，而形成的第1雜質領域；

沈積形成在上述第2側壁間隔片之側壁的第3側壁間隔片；以及

以上述閘電極、第1、第2及第3側壁間隔片爲幕罩，在上述半導體基板導入上述雜質，形成具有較上述第1雜質領域高的雜質濃度的第2雜質領域，

上述第1側壁間隔片以規定的寬度，具有較上述閘極絕緣膜爲高的比介電常數，

上述第1雜質領域的一端，位於上述閘電極的底邊下。

9. 如申請專利範圍第8項所述之MIS型半導體裝置，其中

上述第2及第3側壁間隔片，具有較上述第1側壁間隔片低的比介電常數。

10. 如申請專利範圍第8項所述之MIS型半導體裝置，其中

上述第1側壁間隔片之規定寬度，是5至15 nm。

11. 如申請專利範圍第8項所述之MIS型半導體裝置，其中

(4)

上述第1側壁間隔片是由延伸設在上述半導體基板上的薄膜所形成，

上述第2側壁間隔片是由沈積在上述第1側壁間隔片表面上的薄膜所形成。

12. 如申請專利範圍第1項所述之MIS型半導體裝置，其中

該MIS型半導體裝置包含，上述第1導電型爲p型之n型MOS及上述第1導電型爲n型之p型MOS，

上述n型MOS或p型MOS之至少一方，具有上述第1側壁間隔片。

13. 一種MIS型半導體裝置之製造方法，其特徵爲具備有：

在具有第1導電型的半導體基板上形成閘極絕緣膜，在上述閘極絕緣膜上面裝設閘電極的製程；

以接觸於上述閘電極的側壁，並延伸設在上述閘電極外周部的半導體基板表面上，以規定之寬度沈積具有較上述閘極絕緣膜爲高之比介電常數的材料，形成第1側壁間隔片的製程；

以上述閘電極及第1側壁間隔片爲幕罩，將具有與上述第1導電型相反之導電型的第1雜質導入上述半導體基板，而形成第1雜質領域的製程；

在上述第1側壁間隔片的側壁沈積絕緣材料，形成第2側壁間隔片的製程；

以上述閘電極、第1及第2側壁間隔片爲幕罩，在上述

半導體基板導入上述第1雜質，形成具有較上述第1雜質領域高的雜質濃度之第2雜質領域的製程；以及

以一端位於上述閘電極的底邊下的方式將第1雜質領域進行熱處理的製程。

14. 如申請專利範圍第13項所述之MIS型半導體裝置的製造方法，其中

上述第2側壁間隔片，使用較上述第1側壁間隔片之比介電常數低的絕緣材料。

15. 如申請專利範圍第13項所述之MIS型半導體裝置之製造方法，其中

上述第2側壁間隔片是以矽氧化膜所形成。

16. 如申請專利範圍第13項所述之MIS型半導體裝置的製造方法，其中

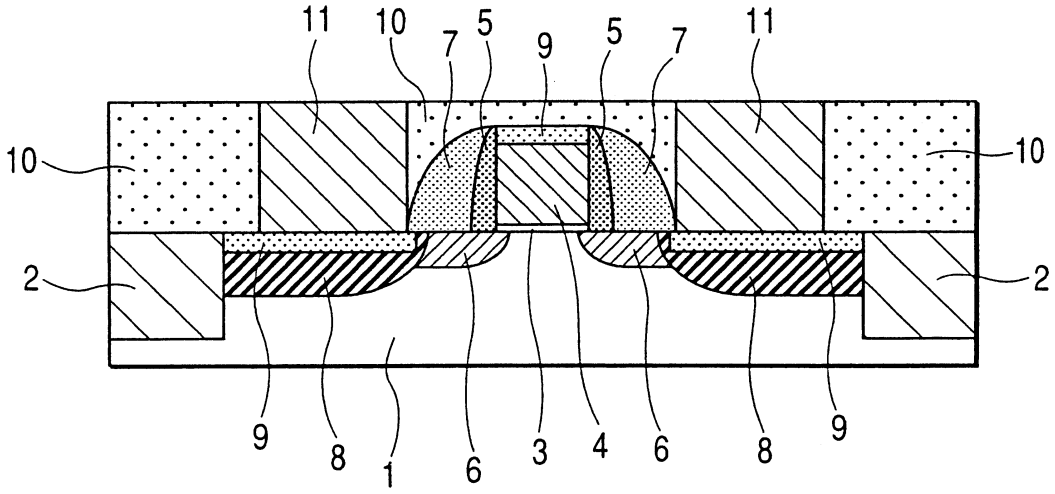
上述第1側壁間隔片是從：氮化矽、矽、氧化鋁、氧化鉭、氧化鈦、氧化鋯及氧化鉿中之任一材料所選用。

17. 如申請專利範圍第13項所述之MIS型半導體裝置的製造方法，其中

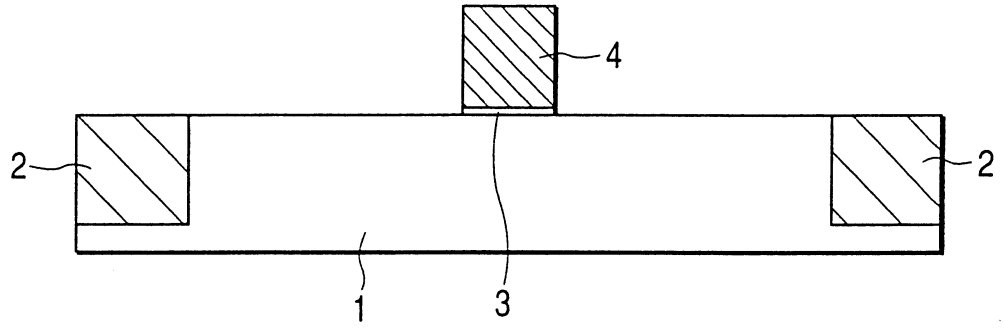
上述第1側壁間隔片是使用膜厚度一定的薄膜所形成。

747812

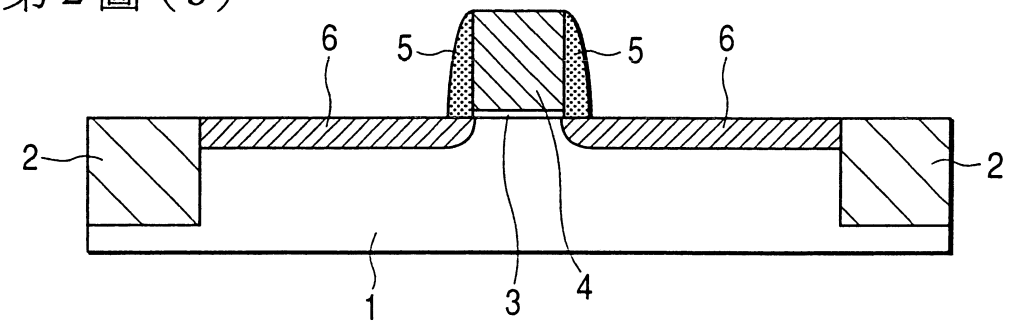
第 1 圖



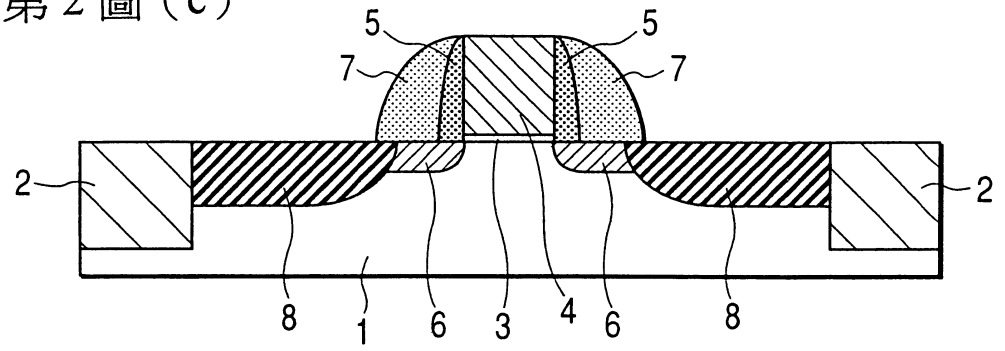
第 2 圖（a）



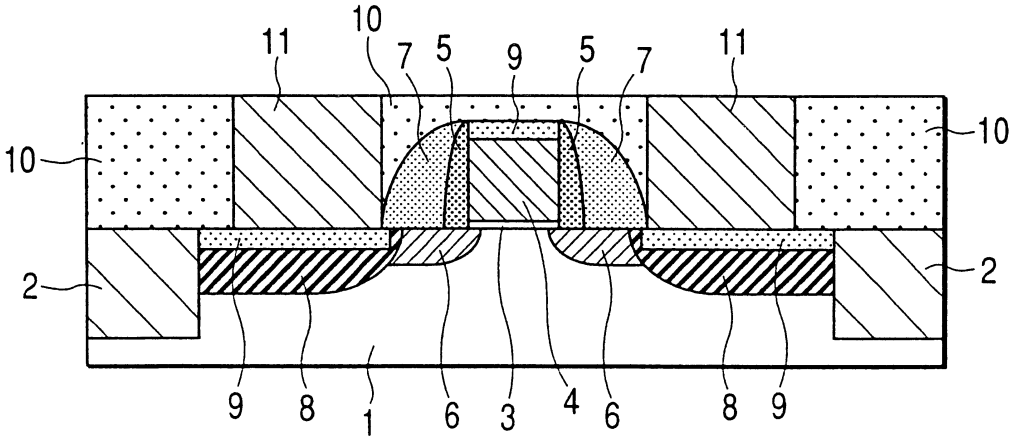
第 2 圖（b）



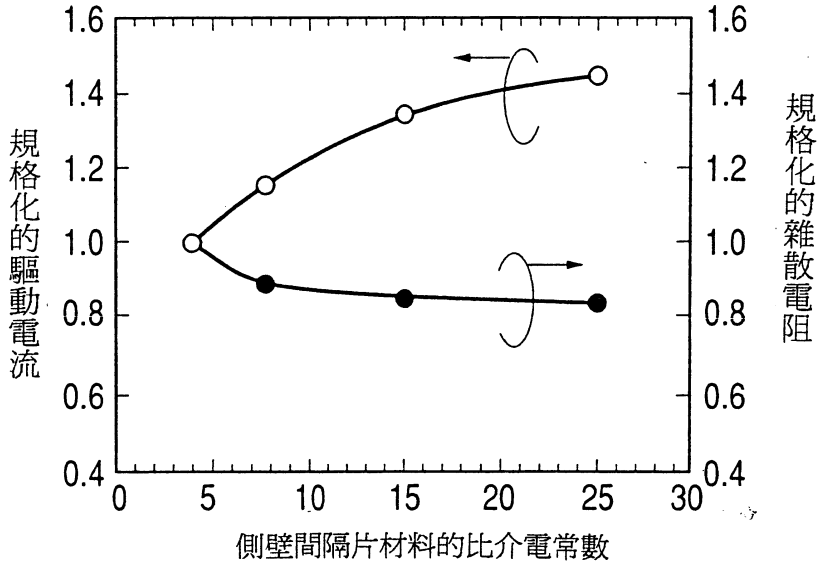
第 2 圖（c）



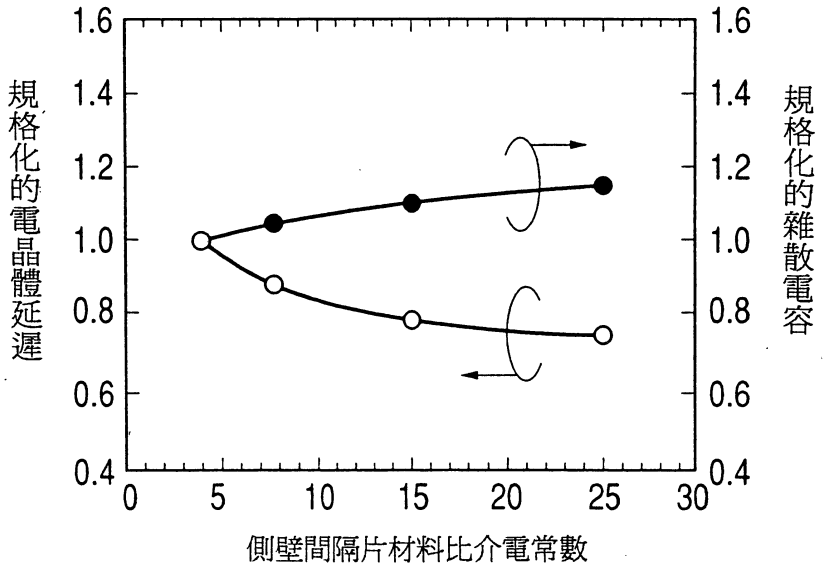
第 2 圖（d）



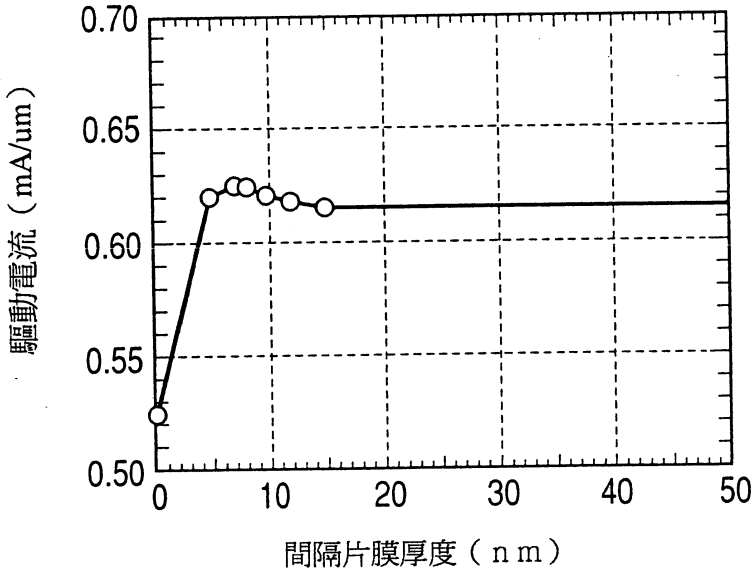
第 3 圖


規格化的驅動電流
規格化的雜散電阻
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0
5
10
15
20
25
30
側壁間隔片材料的比介電常數

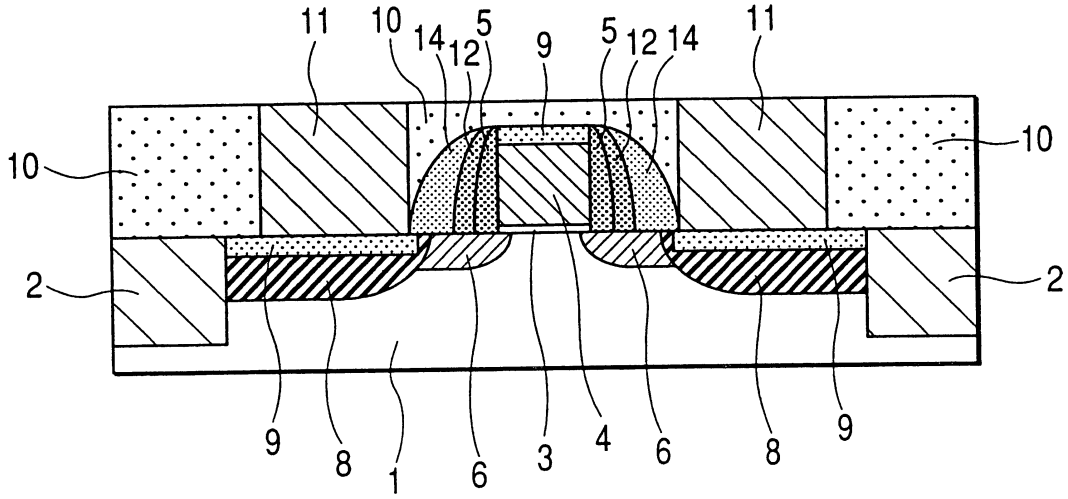
第 4 圖


規格化的電晶體延遲
規格化的雜散電容
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0
5
10
15
20
25
30
側壁間隔片材料比介電常數

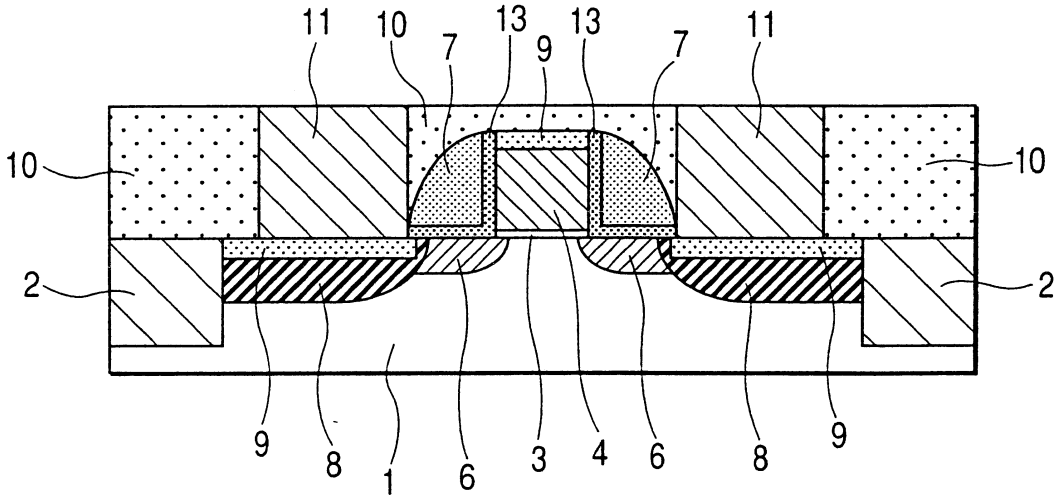
第 5 圖


0.70
0.65
0.60
0.55
0.50
0
10
20
30
40
50
驅動電流（mA/um）
間隔片膜厚度（ｎｍ）

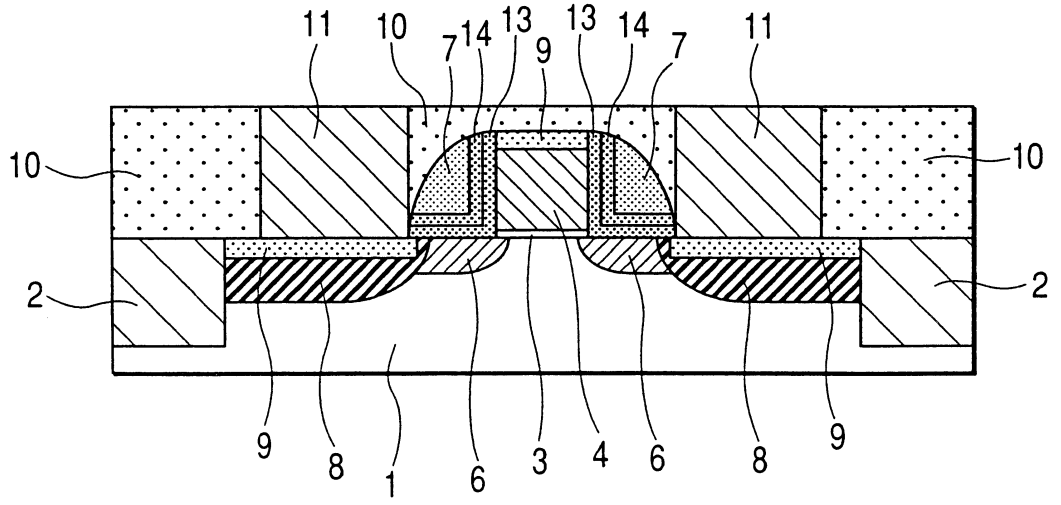
第 6 圖


11
10
14
12
5
9
5
12
14
11
10
10
2
2
9
8
1
6
3
4
6
8
9

第 7 圖

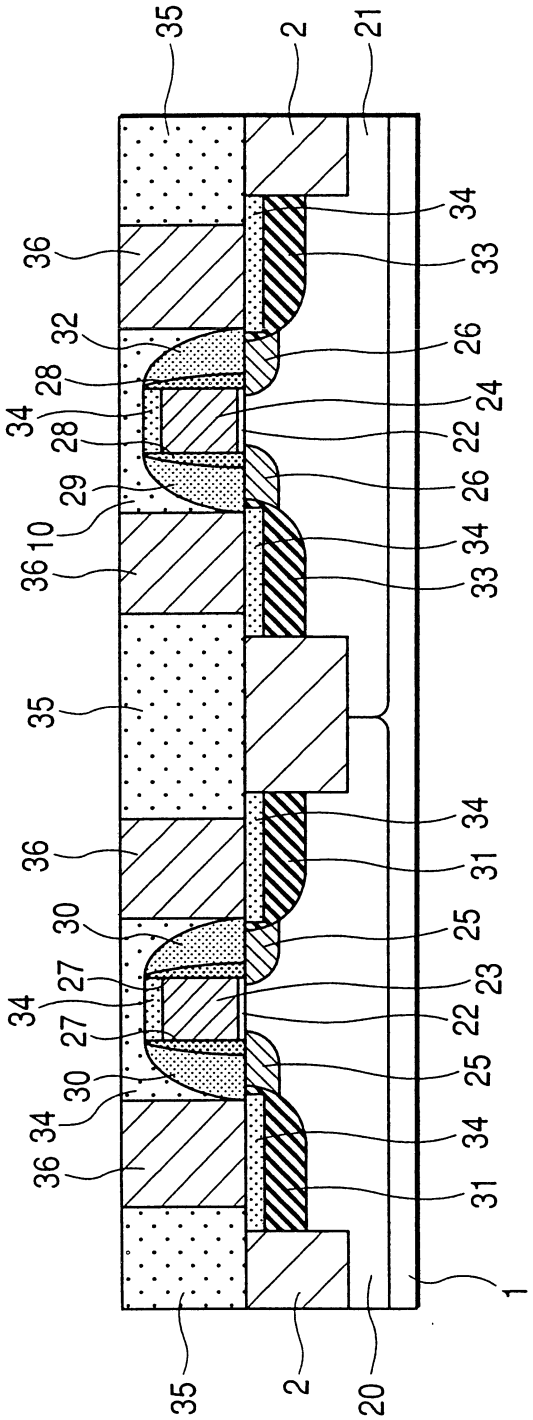

11
10
7
13
9
13
7
11
10
10
2
2
9
8
1
6
3
4
6
8
9

第 8 圖

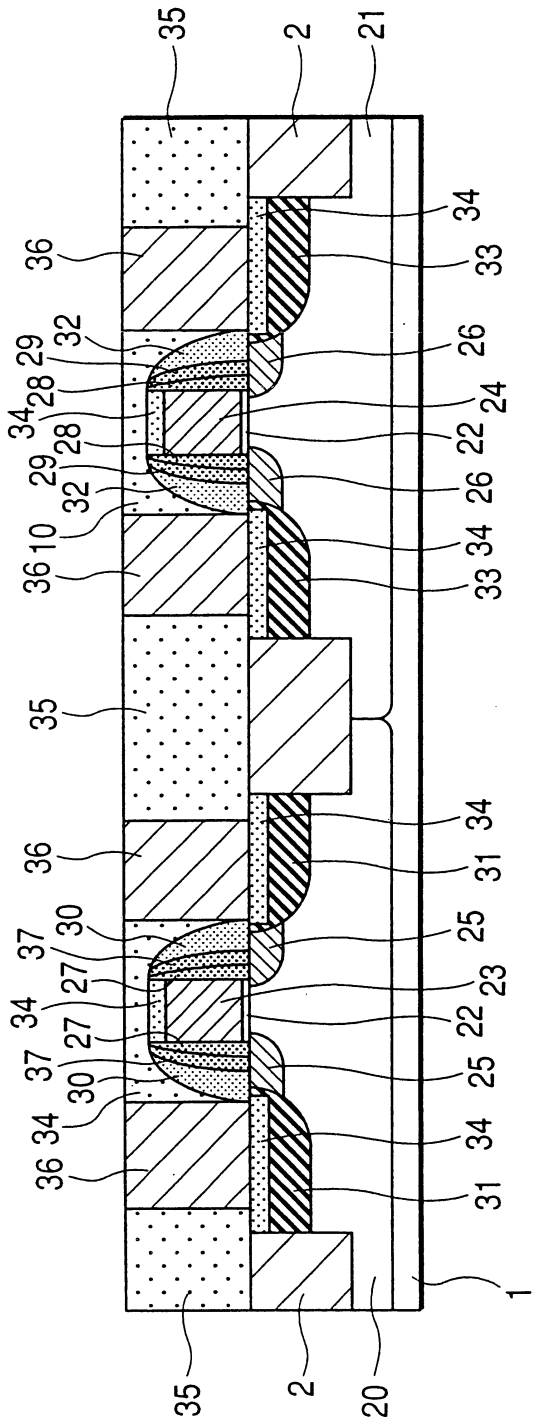

11
10
7
14
13
9
13
14
7
11
10
10
2
2
9
8
1
6
3
4
6
8
9

200307331

第 9 圖

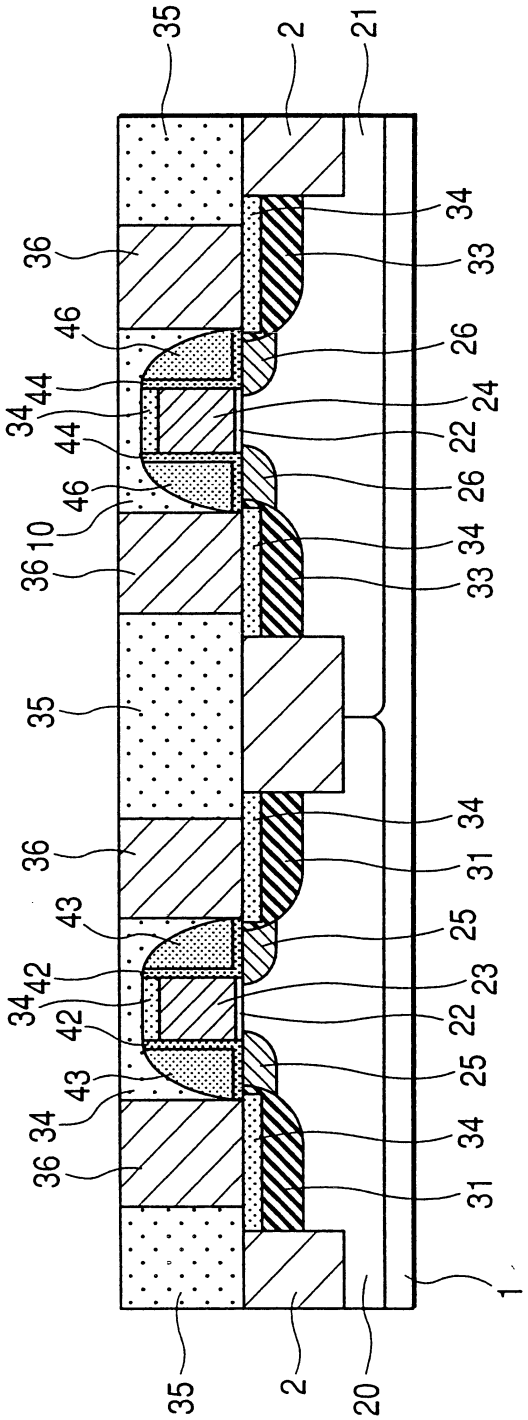


第 10 圖


35
2
21
34
36
33
29
32
26
28
34
24
28
22
29
26
32
36
10
34
36
33
35
34
36
31
37
30
25
27
23
34
27
22
37
25
30
34
34
36
31
1
35
2
20

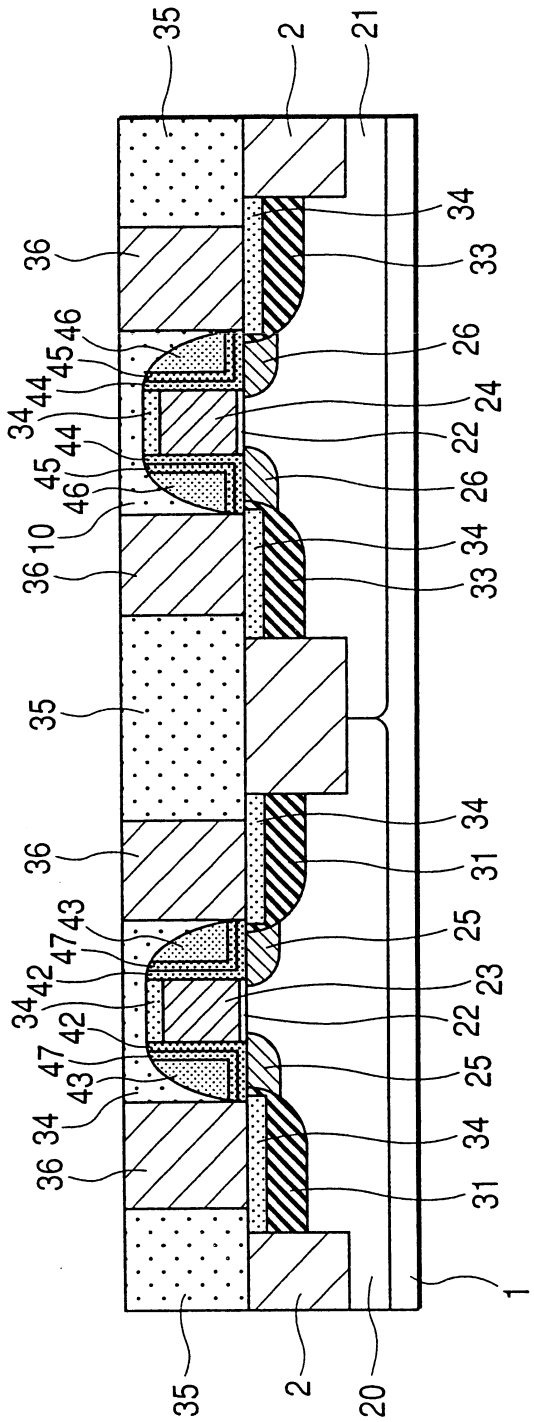
200307331

第 11 圖



200307331

第 12 圖



陸、（一）、本案指定代表圖為：第 1 圖

（二）、本代表圖之元件代表符號簡單說明：

1：矽基板
2：元件分離用之場氧化膜
3：閘極絕緣膜
4：閘電極
5：第1側壁間隔片
6：雜質擴散層領域
7：第2側壁間隔片
8：第2雜質領域
9：金屬矽化物層
10：層間絕緣膜
11：配線用電極

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：