

24

申請日期：

88-3-25

案號：

88104702

類別：

H016 21/00

公告本

(以上各欄由本局填註)

發明專利說明書

424258

一、 發明名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND METHOD OF MAKING THE SAME
二、 發明人	姓名 (中文)	1. 今井 清隆
	姓名 (英文)	1. Kiyotaka IMAI
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子 尚志
	代表人 姓名 (英文)	1. Hisashi KANEKO



424258

424257

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/04/20 特願平10-109208

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

發明之領域

本發明係關於一種具有多層結構之閘極電極的半導體裝置與其製造方法。

本發明係基於日本專利申請字平10-109208號，在將其內容併入作為參考。

相關技術之描述

近來雙閘極電極已被使用於MOS電晶體，亦即N⁺型閘極用於NMOS電晶體以及P⁺型閘極用於PMOS電晶體。

在使用雙閘極結構的情形裡，將遭遇下列問題。其中一個問題是雜質可能通過閘極。

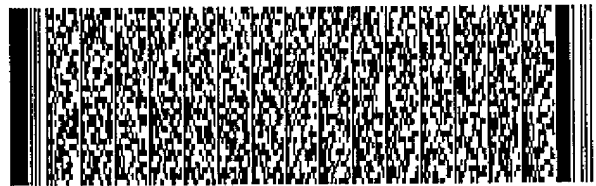
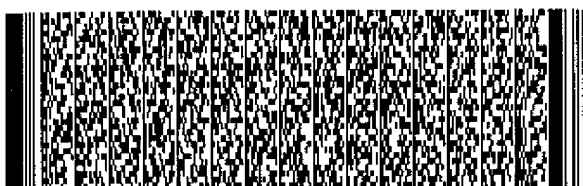
實際上，已知硼用於源極/汲極和閘極電極的摻質，並且通過閘極電極而到閘極氧化層以及到達臨限控制區域（通道區域），結果高溫熱處理會造成臨限值的浮動。

這個現象當硼由氟化硼(BF₂)藉由離子植入方式摻雜時特別明顯。

另一個問題為閘極電極易空乏化。實際上，砷用於源極/汲極和閘極電極的摻雜是比硼較不易熱擴散。因此，在砷離子植入之後未有充分熱處理時，NMOS型閘極電極底面的砷濃度（接近於與閘極氧化膜界面）變低，同時引起汲極電流的空乏與減少。

上述兩個問題並不相容於技術觀點，而且無法只對熱處理最佳化就可以解決。

更進一步地說，由於隨著電晶體微觀結構的進步，閘



五、發明說明 (2)

極氧化膜跟著變薄，改善閘極氧化膜的可靠度成為重要的目標。

最近，M. Koba 等人於文獻「Improving Gate Oxide Integrity in p⁺ PMOSFET by Using Large Grain Size Polysilicon Gate, IEDM Tech. Dig., p. 471, 1993」中發表，當以大晶粒多晶矽做為閘極電極時，初始耐壓可以改善。

然而，H. Ito 等人於文獻「Gate Electrode Microstructure Having Stacked Large-Grain Poly Si with Ultra-Thin SiO_x Interlayer for Reliability in Sub-micrometer CMOS, IEDM Tech. Dig., p. 635, 1997」中發表於使用大晶粒多晶矽中，以砷離子植入來摻雜NMOS的源極/汲極和閘極電極時，可能引起通道效應。

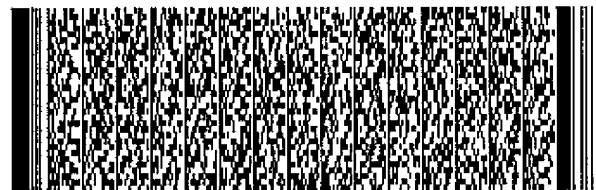
因此，可以發現砷離子必定停留在閘極電極裡，並且到達矽基板表面並導致電晶體電子特性異常。

為解決上述問題，H. Ito 提出一種閘極結構，其係以雙層大晶粒多晶矽所形成。

此閘極結構藉由不導電的氧化層插入兩多晶矽之間，以讓上層大晶粒多晶矽晶面方向不受下層大晶粒多晶矽晶面方向影響。

上述之結構包含氧化層將降低砷離子所引起通道效應的可能性，由於上層與下層大晶粒多晶矽的晶面方向彼此形成偏移之故。

更進一步地說，加入濃度 $3 \times 10^{19} \text{ cm}^{-3}$ 的N型磷雜質到大



五、發明說明 (3)

晶粒多晶矽層中，將成功地防止NMOS空乏，如果在一個溫度範圍中進行熱處理，則NMOS電極中的硼不會通過。結果這種結構裡，雙閘極所產生的問題能夠解決。

以下說明由H. Ito等人所提製作雙閘極CMOS的方法，為利用兩層磷摻雜大晶粒多晶矽放置在一起。

如圖6A所示，元件隔離區域2在矽基板1上形成，一個P型井3與NMOS通道區域4形成於NMOS所在之區域，而一個N型井5與PMOS通道區域6形成於PMOS所在之區域。

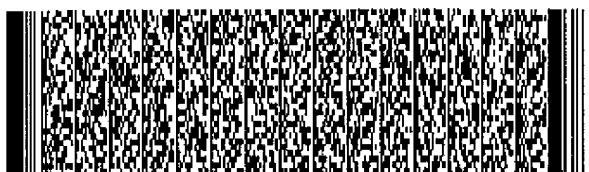
成長閘極氧化膜7後，再成長第一磷摻雜非晶矽層8於其上，接著厚度1微米的氧化層9經由混合氧氣與氮氣而成長，之後第二磷摻雜非晶矽層10在氧化層9上形成。在這裡，第一與第二磷摻雜非晶矽層8和10的磷濃度為 $3 \times 10^{19} \text{ cm}^{-3}$ 。

其次，如圖6B所示，進行第一與第二磷摻雜非晶矽層8和10的結晶化熱處理(900°C進行10秒)，進而第一磷摻雜大晶粒多晶矽層11與第二磷摻雜大晶粒多晶矽層12便形成。

接著，如圖6C所示，藉由將第一與第二磷摻雜大晶粒多晶矽層11和12圖案化而形成NMOS閘極電極13與PMOS閘極電極14。

再者，一個N型LDD區域15為磷或砷植入到NMOS區域中所形成，而P型LDD區域16為硼或 BF_2 植入到PMOS區域而形成。

如圖6D所示，側壁隔板17形成後，砷被植入到NMOS區



五、發明說明 (4)

域以將源極/汲極區域18與NMOS閘極電極摻雜成 N^+ 型式。

同樣地，硼或 BF_2 被植入到PMOS區域以將源極/汲極區域19與PMOS閘極電極摻雜成 P^+ 型式。同時，PMOS閘極電極14由於N型摻質的補償而變成 P^+ 型。

其次，如圖6E所示，此裝置經過熱處理($1020^\circ C$ ，40秒)加以活化。

如圖6F所示，將矽化物層20形成在 N^+ 型源極/汲極區域與NMOS閘極電極的表面，與形成在 P^+ 型源極/汲極區域以及PMOS閘極電極的表面來降低層電阻。

圖6所示之半導體裝置的製造方法，使用一種閘極電極結構為以雙層磷摻雜大晶粒多晶矽所形成，而作為雜質之磷的濃度為 $3 \times 10^{19} cm^{-3}$ 於 P^+ 型PMOS電極14中。

此雜質被引入來防止NMOS電極13空乏，而PMOS電極14中的磷雜質實質上並非必要。N型磷雜質在PMOS的源極/汲極區域19與閘極電極14中被P型硼雜質所補償。

然而，有一問題發生，即磷的存在使得PMOS閘極電極的層電阻上升。

當將矽化物層形成在閘極電極表面上時，會發生另一問題，即矽化物層與大晶粒多晶矽形成的 P^+ 型閘極電極14之間的接觸電阻上升。

更進一步地說，因為上下兩層大晶粒多晶矽具有相同晶粒尺寸，且假使上下兩層碰巧以相同晶面方向形成時，則發生砷的通道效應將產生的問題。

因此，本發明的一個目的為提供一種半導體裝置及其



五、發明說明 (5)

製造方法來解決以上的問題。

發明概要

為了解決上述問題，本發明第一個實施態樣係關於一種具有多層結構閘極電極的半導體裝置，其中閘極電極最下層被摻入雜質。

本發明第二個實施態樣係關於根據本發明第一個實施態樣之半導體裝置，其中該雜質是以磷為N型雜質。

本發明第三個實施態樣係關於根據本發明第一個實施態樣之半導體裝置，其中該閘極電極包含多層多晶矽以及不導電的氧化層被插入在該多晶矽層之間。

本發明第四個實施態樣係關於根據本發明第一個實施態樣之半導體裝置，其中該閘極電極包含多晶矽層，並且上層的結晶晶粒尺寸小於最下層多晶矽的結晶晶粒尺寸。

本發明第五個實施態樣係關於一種具有多層結構閘極電極的製造方法，其中該方法包含以下步驟：

成長一含有磷摻質之非晶矽層；

成長一氧化層於該層之上；

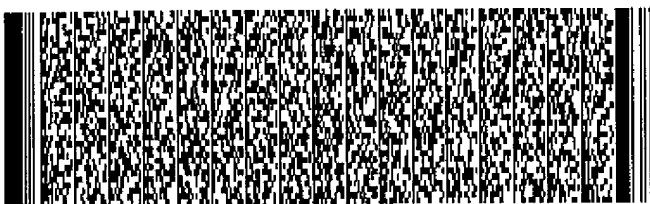
成長一無摻雜非晶矽在該氧化層上；以及

回火結晶化。

圖式之簡單說明

圖1為依據本發明之較佳實施例之半導體裝置的橫剖面圖。

圖2A、2B、2C、2D、2E以及2F為本發明之半導體裝置



424257
424258

五、發明說明 (6)

製造方法依製程順序的橫剖面圖。

圖3為依據本發明第一實施例之半導體裝置的變形例的圖。

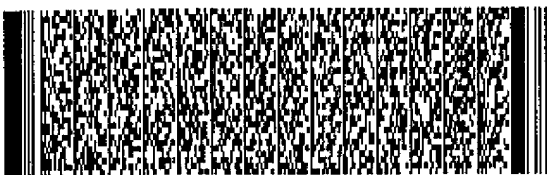
圖4為依據本發明第二實施例之半導體裝置的變形例的圖。

圖5為習用半導體裝置的圖。

圖6A、6B、6C、6D、6E以及6F為習用半導體裝置製造方法依製程順序的橫剖面圖。

符號說明

- G~ 閘極電極
- 1~ 矽基板
- 2~ 元件隔離區域
- 3~ P型井
- 4~ NMOS通道區
- 5~ N型井
- 6~ PMOS通道區
- 7~ 閘極氧化層
- 8~ 第一磷摻雜非晶矽層
- 9~ 氧化層
- 10~ 第二磷摻雜非晶矽層
- 11~ 第一磷摻雜大晶粒多晶矽層
- 12~ 第二磷摻雜大晶粒多晶矽層
- 13~ NMOS閘極電極



424258

424257

五、發明說明 (7)

- 14~PMOS 閘極電極
- 15~N型LDD區域
- 16~P型LDD區域
- 17~側壁隔板
- 18~源極/汲極區域
- 19~源極/汲極區域
- 20~矽化物層
- 22~無摻雜的非晶矽層
- 23、24~多晶矽層

較佳實施例之詳細說明

本發明較佳實施例將參考附圖說明。

[第一實施例]

圖1為根據本發明一實施例之半導體裝置的橫剖面圖。

在圖1中，根據本發明的一實施例，一種半導體裝置包含一個閘極電極G以多層結構方式形成，其中雜質僅包含在閘極電極G最低的一層。此雜質是由磷作為N型雜質。

閘極電極G以多層多晶矽層23及24構成，並且不導電的氧化層9被插入多晶矽層23及24之間。

閘極電極G以多晶矽的多層23及24構成，並且上層多晶矽層24的晶粒尺寸比最下層多晶矽層23小。

如圖5所示，習用閘極電極以多層大晶粒之多晶矽形成，所有堆疊之多晶矽的多層11、11皆摻入磷。然而如圖



424257

424258

五、發明說明 (8)

1 中根據本發明第一實施例之閘極電極，只有最下層之大晶粒尺寸多晶矽23摻入磷。

因此，根據本發明第一實施例，由於上層多晶矽不摻入磷，故這層多晶矽可以扮演著一個角色抑制NMOS之閘極電極的空乏，也限制PMOS閘極電極的層電阻增加，以及防止形成在閘極電極上之矽化物層之間的接觸電阻上升。

根據本發明第一實施例，大晶粒尺寸多晶矽層23是藉由非晶矽層經過回火結晶而成。

已知當非晶矽層含有雜質時，在回火結晶的過程中晶粒的尺寸會變大。

如圖4所示之習知例子中，因為所有的層24、24皆摻入磷，因此大晶粒多晶矽層24、24的晶粒尺寸是一樣的。

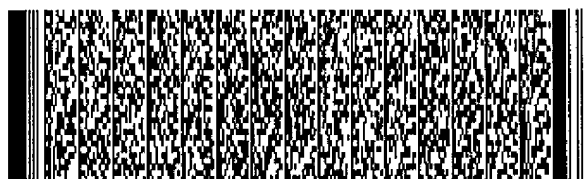
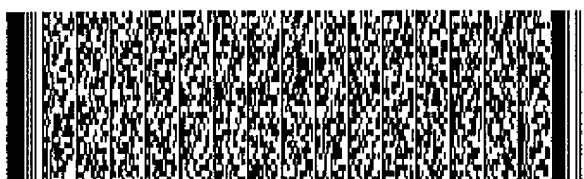
相對地，在圖1所示之本發明的第一實施例中，只有最下層23被摻入磷來轉換成大晶粒多晶矽層，而不包含磷雜質的上層24以較最下層23小的晶粒尺寸來形成。

晶粒尺寸較小的多晶矽層能有效地防止通道效應。因此，本發明第一實施例中，當維持在閘極氧化膜7的初始耐壓時，較習用方法更能抑制砷的通道效應。

在下文中，依據本發明第一實施例，半導體裝置的製造方法以下列製程次序說明。

如圖2A所示，在矽基板1上形成元件隔離區域2，於NMOS形成區域形成P型井3及NMOS通道區4，並且於PMOS所在區域形成N型井5及PMOS通道區6。

成長閘極氧化層7之後，接著成長包含磷濃度 3×10^{19}



五、發明說明 (9)

cm^{-3} 之摻雜磷的非晶矽層8，藉由混合氧氣與氮氣來連續地於非晶矽層上成長氧化層9，且再於其上成長無摻雜的非晶矽層22。

如圖2B所示，實行熱處理(900 °C，10秒鐘)以將摻雜磷的非晶矽層8與無摻雜的非晶矽層22的結晶化，以形成摻雜磷的大晶粒多晶矽層24與無摻雜的多晶矽層23。由於無摻雜的多晶矽層23不含磷，所以無摻雜的多晶矽層的晶粒尺寸比摻雜磷的多晶矽層24小。

其次，如圖2C所示，藉由將摻雜磷的大晶粒多晶矽層24與無摻雜的多晶矽層23圖案化而形成NMOS閘極電極13與PMOS閘極電極14。

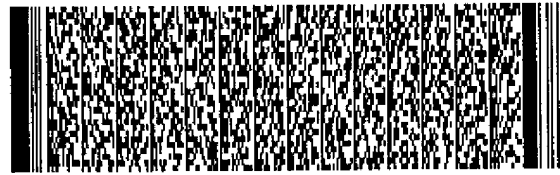
之後，藉由植入磷或砷在NMOS區域而形成N型LDD15，而藉由植入硼或 BF_2 則形成P型LDD16。

接著，如圖2D所示，在形成側壁隔板17之後，進行NMOS區域的砷植入，以將源極/汲極區域18與NMOS閘極電極13摻雜成 N^+ 型。同樣地，將硼或 BF_2 植入PMOS區域，以將源極/汲極區域19以及PMOS閘極電極14摻雜成 P^+ 型。

再者，如圖2E所示，實行熱處理活化(1020 °C，40秒鐘)。

跟著，如圖2F所示，矽化物20於 N^+ 型源極/汲極區域18、NMOS閘極13、 P^+ 型源極/汲極區域19與PMOS閘極14的表面上形成。

如圖1與2所示，依據本發明第一實施例，其中閘極電極由兩層或兩層以上多晶矽形成，閘極電極最下層為摻入



五、發明說明 (10)

N型磷雜質並且形成大晶粒多晶矽層23，同時上層24位於最下層多晶矽上方並不包含磷雜質。

因此，當最下層23含有磷且形成大晶粒多晶矽層，其扮演一個與習用上相似的角色，可抑制NMOS的空乏；而上層不含磷，能夠防止PMOS閘極電極14的層電阻的上升與防止與矽化物層20的接觸電阻。

此外，上層多晶矽24的晶粒尺寸比最下層大晶粒多晶矽層23小。大晶粒尺寸多晶矽層是由非晶矽層經由回火及結晶化而得。~~已知若非晶矽層含有雜質，則晶體晶粒尺寸會變得更大。~~

如圖5中之習知例所示，所有形成閘極的層都摻入磷，以使每層大晶粒多晶矽11、11的晶粒尺寸是一樣的。

相對地，如圖1與2所示之本發明的第一實施例，只有含磷的最下層23由較大晶粒構成，而不含磷摻質的上層24則由小晶粒多晶矽所形成。

由小晶粒所構成的多晶矽層可有效地抑制砷摻質的通道效應。因此，本發明的第一實施例中，當如平常保持閘極氧化層初始耐壓時，能夠有效地抑制砷之通道效應。

如圖1所示，本發明第一實施例中，具有一層無摻雜多晶矽的例子將被說明。然而，如圖3所示，製作一個具有兩層或兩層以上無摻雜多晶矽層24的半導體裝置是有可能且合意的，因為它能夠有效地防止通道效應。

[第二實施例]

圖4為本發明第二實施例的橫剖面圖。



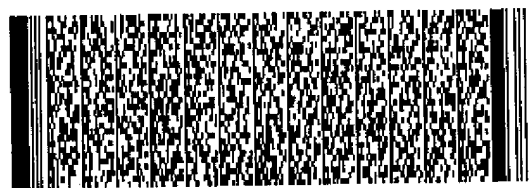
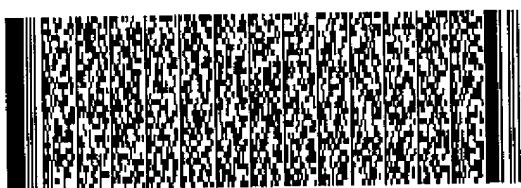
五、發明說明 (11)

如圖4所示，本發明第二實施例用於閘極電極G為三層或三層以上多晶矽層所構成的半導體裝置。最下層以大晶粒多晶矽層23包含N型磷雜質所形成，其中上層多晶矽層24不含磷摻質，並且上層多晶矽層24的晶粒尺寸比最下層大晶粒多晶矽層23小。

如圖4所示，本發明第二實施例中，藉由上層多晶矽比下層多晶矽降低許多結晶晶粒高度，使得上層的晶粒尺寸遠比下層的晶粒尺寸小。實際上藉由減少插入多晶矽24間之氧化膜間隔而實現，而不是以相同間隔放置氧化膜9。

如上述，本發明之閘極電極為多層次結構，其中只有最下層摻入雜質作為摻質，而上層以無摻雜層形成。因此，本發明之閘極電極如平常抑制閘極電極空乏，且抑制閘極電極的層電阻而防止形成在閘極電極表面上的矽化物的電阻上升。

更進一步地說，由於只有最下層結晶成較大結晶晶粒，而上層結晶成較小結晶晶粒，且因為上層不含雜質，本發明之閘極電極能夠比平常更有效地將通道效應降到較小的程度，而改善氧化層的初始耐壓。



892727
422258

四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

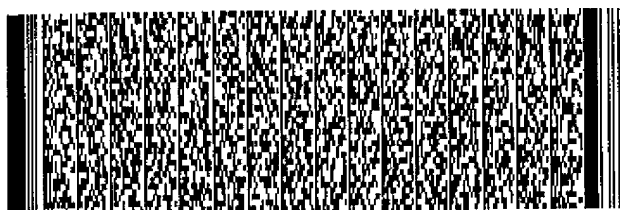
一種半導體裝置，其可抑制閘極電極之層電阻的增加以及防止具有矽化物層之閘極電極的接觸電阻的增加。

上述之半導體裝置的性質係藉由形成多層結構之閘極電極所提供，該閘極電極最下層摻以雜質，而其他上層並未摻雜。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MAKING THE SAME)

A semiconductor device is provided which is capable of suppressing an increase in the layer resistance of the gate electrode and preventing an increase of the contact resistance of the gate electrode with the silicide layer.

The above properties of the semiconductor device are provided by forming the gate electrode comprising multiple layers, and the lowermost layer of the gate electrode is doped with an impurity, and other upper layers are formed



4242578

四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

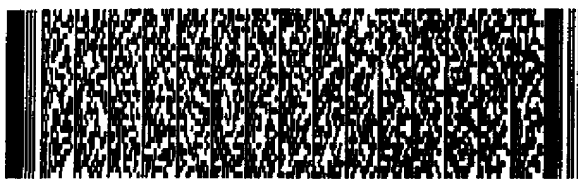
英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MAKING THE SAME)

undoped.

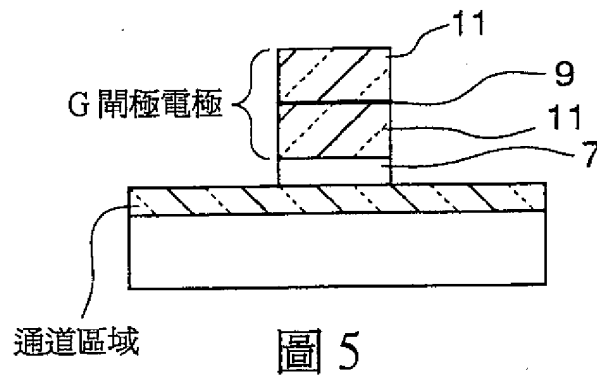
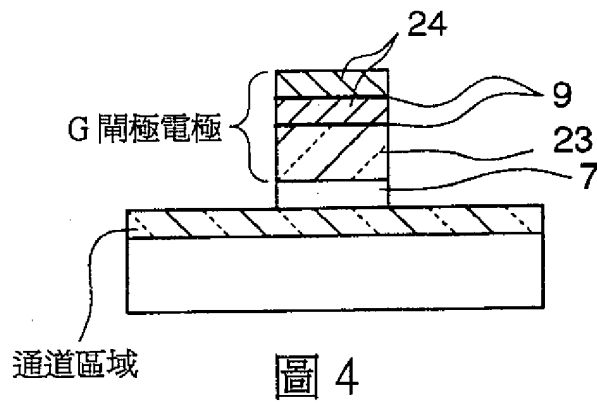
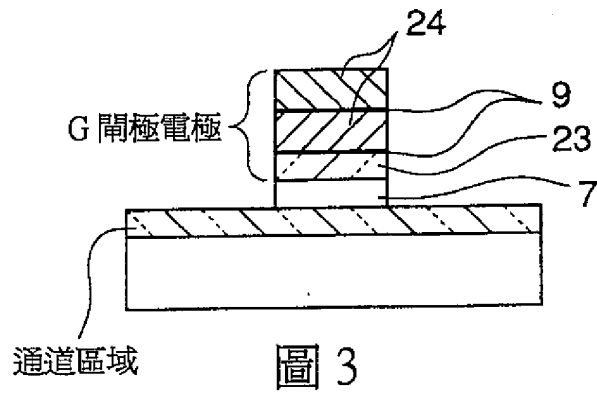
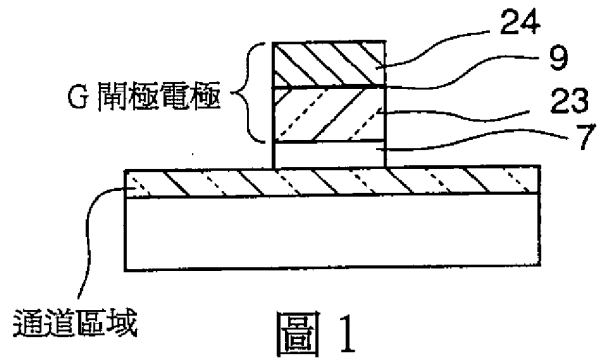


六、申請專利範圍

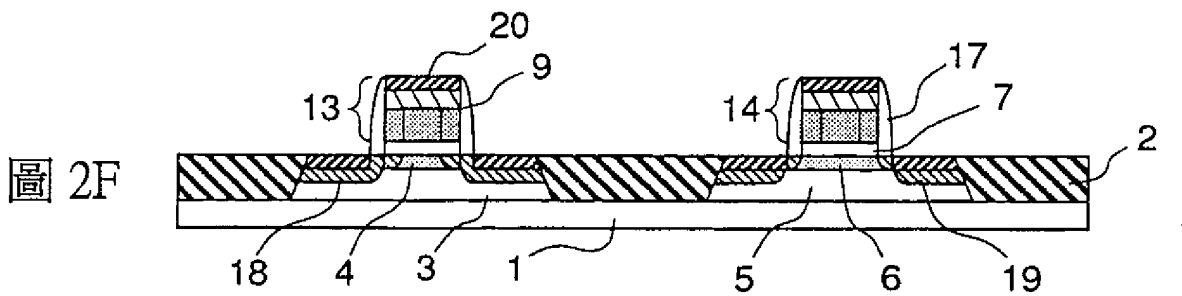
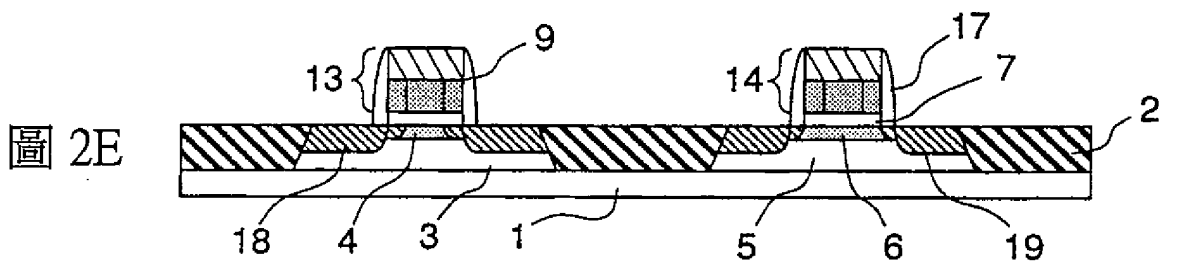
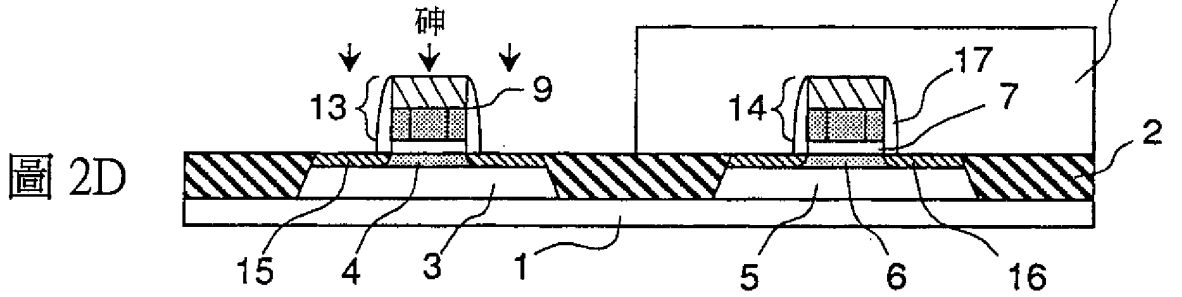
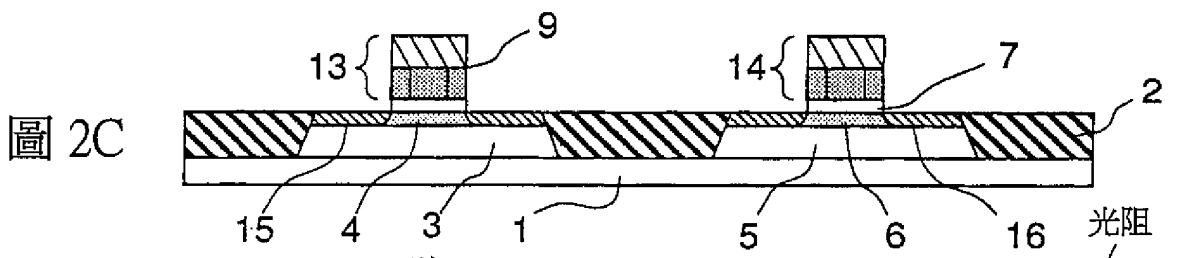
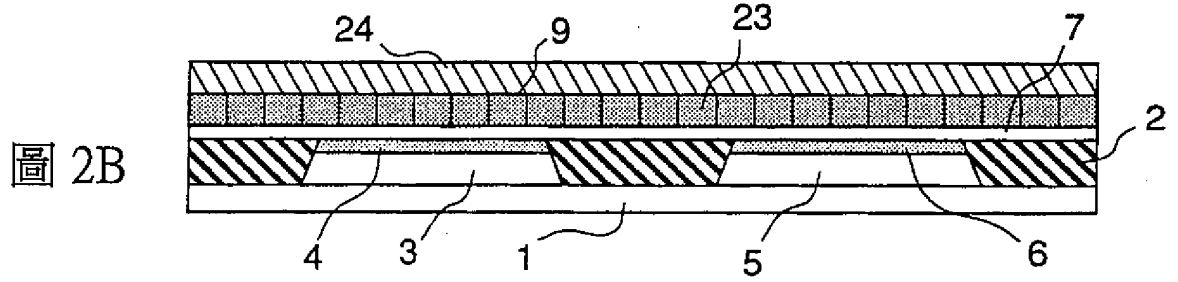
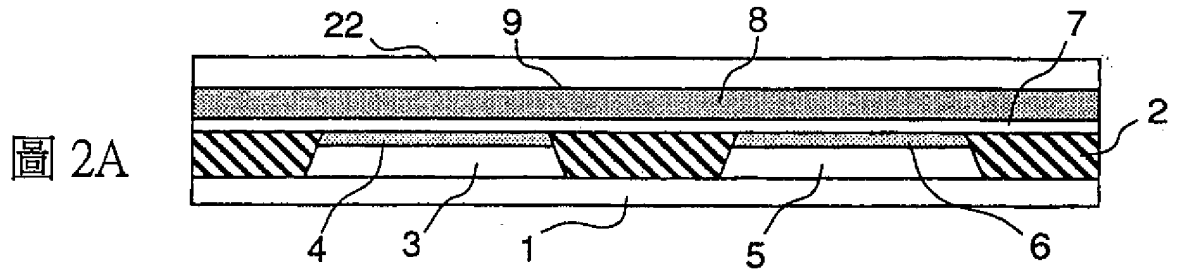
1. 一種半導體裝置，其具有由多層次結構形成的閘極電極，其中閘極電極的最下層摻入雜質。
2. 如申請專利範圍第1項之半導體裝置，其中該雜質是以磷為N型雜質。
3. 如申請專利範圍第1項之半導體裝置，其中該閘極電極包含多層多晶矽層以及不導電之氧化層存在於該多晶矽層之間。
4. 如申請專利範圍第1項之半導體裝置，其中該閘極電極包含多晶矽層，並且上層之結晶晶粒尺寸小於最下層多晶矽層之結晶晶粒尺寸。
5. 一種具有多層次結構閘極電極之半導體裝置的製造方法，包含以下步驟：
 - 成長一層包含磷摻質的非晶矽層；
 - 成長一層氧化層在該非晶矽層之上；
 - 成長無摻雜的非晶矽於該氧化層之上；及
 - 回火予以結晶。



圖式



圖式



圖式

