



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월30일

(11) 등록번호 10-1573095

(24) 등록일자 2015년11월24일

(51) 국제특허분류(Int. Cl.)

H01L 33/00 (2010.01)

(21) 출원번호 10-2010-7019150

(22) 출원일자(국제) 2009년01월19일

심사청구일자 2013년11월27일

(85) 번역출제출일자 2010년08월27일

(65) 공개번호 10-2010-0109562

(43) 공개일자 2010년10월08일

(86) 국제출원번호 PCT/DE2009/000056

(87) 국제공개번호 WO 2009/094980

국제공개일자 2009년08월06일

(30) 우선권주장

10 2008 006 988.4 2008년01월31일 독일(DE)

(56) 선행기술조사문헌

US06487230 B1\*

DE000010354936 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

오스람 옵토 세미컨덕터스 게엠베하

독일 레겐스부르크 라이프니츠슈트라쎄 4 (우:93055)

(72) 발명자

그메인위에서, 니콜라우스

독일, 93083 오버트라우블링, 엠바커스트라쎄 7

한, 베르톨트

독일, 93155 헤마우, 암 프판넨스티엘 2

(74) 대리인

김태홍

전체 청구항 수 : 총 12 항

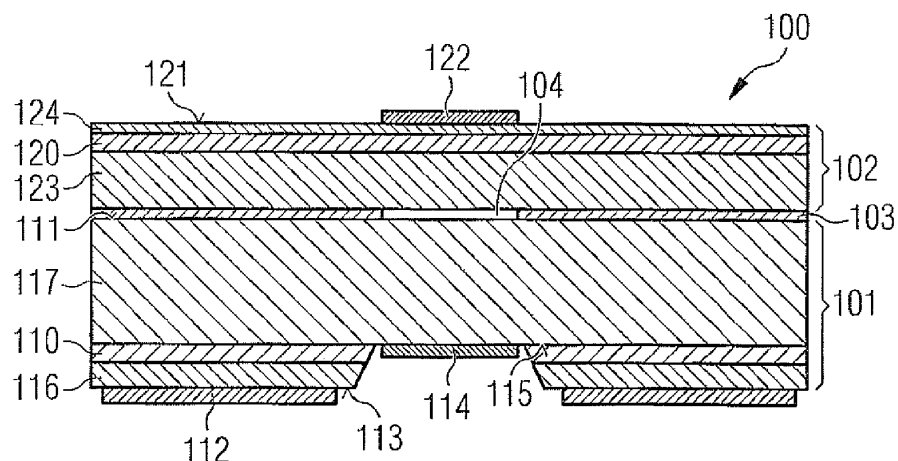
심사관 : 권기원

(54) 발명의 명칭 광전 소자 및 그 제조 방법

(57) 요약

광전 소자(100)는 전자기 복사의 방출을 위해 제공된 활성층(110) 및 주요면(111)을 구비한 제1반도체 층 스택(101)을 포함한다. 상기 주요면에 분리층(103)이 배치되며, 상기 분리층은 반투과형 거울을 형성한다. 광전 소자는 상기 분리층에 배치된 제2반도체 층 스택(102)을 포함하며, 상기 제2반도체 층 스택은 전자기 복사의 방출을 위해 제공된 다른 활성층(120)을 포함한다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

복사를 방출하도록 구성된 활성층(110) 및 주요면(111)을 구비한 제1반도체 층 스택(101);  
 상기 제1반도체 층 스택의 주요면(111) 상에 배치되며, 반투과형 거울을 형성하는 분리층(103); 및  
 상기 분리층(103) 상에 배치되며 복사 방출을 위해 제공된 다른 활성층(120) 및 주요면(121)을 구비한 제2반도체 층 스택(102)을 포함하고,  
 상기 분리층(103)은 전기 전도 물질이 삽입이 되는 적어도 하나의 리세스(104)를 포함하는 것을 특징으로 하는 광전 소자(100).

#### 청구항 2

제 1항에 있어서,  
 상기 제1반도체 층 스택(101)의 활성층(110)의 방출 가능 복사는 상기 제2반도체 층 스택(120)에 커플링되고,  
 상기 제1반도체 층 스택(101)의 활성층(110)의 방출 가능 복사 및 상기 제2반도체 층 스택(102)의 활성층(120)의 방출 가능 복사는 상기 제2반도체 층 스택의 주요면(121)으로부터 방출될 수 있는 것을 특징으로 하는 광전 소자(100).

#### 청구항 3

제 1항 또는 제 2항에 있어서,  
 상기 제1반도체 층 스택의 활성층(110)은 제1파장 영역의 복사를 방출하도록 구성되고, 상기 제2반도체 층 스택의 활성층(120)은 제2파장 영역의 복사를 방출하도록 구성되는 것을 특징으로 하는 광전 소자(100).

#### 청구항 4

제 3항에 있어서,  
 상기 분리층(103)은 상기 제1파장 영역의 복사에 대해 투명하며, 상기 제2파장 영역의 복사를 반사하도록 형성되는 것을 특징으로 하는 광전 소자(100).

#### 청구항 5

제 1항 또는 제 2항에 있어서,  
 상기 분리층(103)은 적어도 2개의 층들을 포함하고, 상기 층들은 적어도 2개의 서로 다른 굴절률을 가지는 것을 특징으로 하는 광전 소자(100).

#### 청구항 6

제 1항 또는 제 2항에 있어서,  
 상기 분리층(103)은 유전체를 포함하는 것을 특징으로 하는 광전 소자(100).

#### 청구항 7

제 1항 또는 제 2항에 있어서,  
 상기 분리층(103)은 구조물을 가지는 것을 특징으로 하는 광전 소자(100).

#### 청구항 8

제 1항 또는 제 2항에 있어서,

상기 주요면(111)에 대향된 상기 제1반도체 층 스택의 다른 주요면(113)에 배치된 상기 제1반도체 층 스택의 제1접촉 부재; 및

상기 제1반도체 층 스택의 또 다른 주요면(115) 상에 위치한 상기 제1반도체 층 스택의 제2접촉 부재(114)를 더 포함하며, 상기 또 다른 주요면(115)은 상기 주요면(111) 및 다른 주요면(113) 사이에 배치되고, 상기 제1접촉 부재(112) 및 제2접촉 부재(114)는 상기 제1반도체 층 스택의 활성층(110)의 전기 접촉을 제공하는 것을 특징으로 하는 광전 소자(100).

#### 청구항 9

제 1항 또는 제 2항에 있어서,

상기 제2반도체 층 스택에 배치된 제1접촉 부재; 및

상기 제2반도체 층 스택에 배치된 제2접촉 부재를 더 포함하고, 상기 제1접촉 부재 및 제2접촉 부재는 상기 제2반도체 층 스택의 활성층의 전기 접촉을 제공하는 것을 특징으로 하는 광전 소자(100).

#### 청구항 10

제 1항 또는 제 2항에 있어서,

서로 다른 반도체 층 스택들(101, 102)은 각각 개별적으로 제어될 수 있는 것을 특징으로 하는 광전 소자(100).

#### 청구항 11

제 1항 또는 제 2항에 있어서,

복사의 부분적 파장 변환을 위한 변환 물질(204)을 더 포함하고, 상기 변환 물질은 상기 제2반도체 층 스택의 주요면(121, 221)에 배치되는 것을 특징으로 하는 광전 소자(100).

#### 청구항 12

광전 소자를 제조하는 방법에 있어서,

제1기판(500)을 준비하는 단계;

복사를 방출하도록 구성된 활성층(503)을 구비한 제1반도체 층 스택(501)을 상기 제1기판 상에 생성하는 단계;

상기 제1반도체 층 스택으로부터 상기 제1기판(500)을 분리하는 단계;

제2기판(510)을 준비하는 단계;

복사 방출에 적합한 활성층(513)을 구비한 제2반도체 층 스택(511)을 상기 제2기판 상에 생성하는 단계;

상기 제2반도체 층 스택으로부터 상기 제2기판(510)을 분리하는 단계;

상기 제1 및 제2반도체 층 스택 중 적어도 하나에 반투과형 거울을 형성하는 분리층(505)을 적층하는 단계;

상기 분리층에 적어도 하나의 리세스(104)를 형성하는 단계;

상기 분리층의 리세스(104)를 전기 전도 물질로 채우는 단계; 및

상기 제1반도체 층 스택(510) 상에 상기 제2반도체 층 스택(511)을 적층하여, 상기 분리층(505)이 상기 제1 및 제2반도체 층 스택 사이에 배치되도록 하는 단계를 포함하는 것을 특징으로 하는 광전 소자 제조 방법.

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명은 광전 소자 및 광전 소자의 제조 방법에 관한 것이다.

[0002] 본원은 독일특허출원 10 2008 006988.4을 기초로 우선권을 주장하며, 그 공개 내용은 본원에 참조로 포함된다.

### 배경 기술

[0003] 광전 소자를 이용하여 백색광을 생성하기 위해, 종래에 광전 반도체 소자는 덮개를 구비하고, 상기 덮개는 변환 물질을 포함한다. 이러한 변환 물질은 광전 소자로부터 방출된 제1파장 영역의 복사(1차 복사)를 상기 제1영역과 다른 제2파장 영역의 복사(2차 복사)로 변환한다. 이러한 방식으로, 1차 복사와 2차 복사가 혼합되면서 백색광이 생성되거나, 변환된 복사의 색 비율이 혼합되어 백색광이 얻어질 수 있다.

[0004] 종래의 다른 구성의 경우, 각각 서로 다른 파장 영역의 복사를 방출하는 복수 개의 광전 소자들이 함께 사용된다. 상기 구성의 총 복사는 개별 소자들의 부가된 파장 영역들을 포함한다.

### 발명의 내용

#### 해결하려는 과제

[0005] 본 발명은 더욱 간단하고 공간 절약적으로 제조되며 더 효과적인 광전 소자 및 광전 소자의 제조 방법을 제공하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0006] 본 발명의 목적은 특허 청구범위 제 1항의 특징을 포함한 광전 소자 및 특허 청구범위 제 14항의 특징을 포함한 방법에 의하여 해결된다.

[0007] 광전 소자는 전자기 복사의 방출을 위해 제공된 활성층 및 주요면을 구비한 제1반도체 층 스택을 포함한다. 제1주요면에 분리층이 배치되며, 상기 분리층은 반투과형 거울을 형성한다. 광전 소자는 분리층에 배치된 제2반도체 층 스택을 포함하며, 상기 제2반도체 층 스택은 복사 방출을 위해 제공된 다른 활성층 및 주요면을 구비한다.

[0008] 일 실시예에서, 제1반도체 층 스택의 활성층으로부터 방출될 수 있는 복사는 제1반도체 층 스택의 주요면으로부터 방출될 수 있다. 제1반도체 층 스택의 활성층의 방출 가능 복사는 제2반도체 층 스택에 커플링될 수 있다. 제1반도체 층 스택의 활성층의 방출 가능 복사 및 제2반도체 층 스택의 활성층의 방출 가능 복사는 제2반도체 층 스택의 주요면으로부터 방출될 수 있다.

[0009] 두 반도체 층 스택의 활성층은, 2개의 서로 다른 파장 영역의 복사를 방출하도록 구성될 수 있다. 분리층은 제1파장 영역의 복사에 대해 투명할 수 있고, 제2파장 영역의 복사를 반사하도록 형성될 수 있다.

[0010] 또한, 분리층은 적어도 2개의 층들로 구성될 수 있고, 상기 층들은 적어도 2개의 서로 다른 굴절률을 가진다. 분리층은 전기 전도성 물질을 포함할 수 있고, 분리층은 유전체를 포함할 수 있다. 분리층은 구조화될 수 있다. 또한, 분리층은 전기 전도 물질이 삽입된 적어도 하나의 리세스를 포함할 수 있다.

[0011] 광전 소자는 제1반도체 층 스택의 제1접촉 부재를 더 포함할 수 있고, 상기 제1접촉 부재는 제1반도체 층 스택의 다른 주요면에 배치된다. 다른 주요면은 제1주요면에 대향된다. 광전 반도체 소자는 제1반도체 층 스택의 제2접촉 부재를 포함할 수 있고, 상기 제2접촉 부재는 제1반도체 층 스택의 또 다른 주요면에 배치된다. 또 다른 주요면은 상기 주요면과 다른 주요면 사이에 배치될 수 있다. 제1접촉 부재 및 제2접촉 부재는 제1반도체 층 스택의 활성층에 전기 접촉을 제공할 수 있다.

[0012] 광전 소자의 제1 및 제2반도체 층 스택은 각각 적어도 하나의 n형 및 p형으로 도핑된 층을 포함한다. 제1접촉 부재는 제1도전형의 층들 중 하나를 접촉시키고, 제2접촉 부재는 제2도전형의 층들 중 다른 하나를 접촉시킨다.

[0013] 제2반도체 층 스택에 제3접촉 부재가 배치될 수 있고, 제3접촉 부재는 제2반도체 층 스택의 활성층을 전기 접촉

시킨다. 제3접촉 부재는 제1도전형의 층을 접촉시킬 수 있다.

- [0014] 다른 실시예에서, 광전 소자는 제2반도체 층 스택에 배치된 제1접촉 부재 및 제2반도체 층 스택에 배치된 제2접촉 부재를 포함할 수 있고, 제1접촉 부재 및 제2접촉 부재는 제2반도체 층 스택의 활성층의 전기 접촉을 제공한다. 소자는 적어도 하나의 다른 접촉 부재를 포함할 수 있고, 상기 접촉 부재는 제1반도체 층 스택에 배치되며, 상기 제1반도체 층 스택의 활성층을 전기 접촉시킨다.
- [0015] 광전 소자의 서로 다른 반도체 층 스택, 특히 각각 복사 방출을 위해 제공된 층들은 각각 개별적으로 제어될 수 있다. 특히, 광전 소자의 서로 다른 반도체 층 스택, 특히 각각 복사 방출을 위해 제공된 층은 각각 개별적으로 전기 제어될 수 있다. 광전 소자는 서로 다른 반도체 층 스택으로부터 각각 방출된 복사의 조합에 의해 생성되는 광을 방출할 수 있다.
- [0016] 광전 소자는 복사의 부분적 파장 변환을 위한 변환 물질을 더 포함할 수 있다. 변환 물질은 제2반도체 층 스택의 주요면에 배치될 수 있다. 광전 소자는 서로 다른 반도체 층 스택으로부터 방출된 복사 및 변환 물질의 복사가 조합되어 생성되는 복사를 방출할 수 있다.
- [0017] 광전 소자의 제조 방법은 제1기판의 준비 단계, 제1기판 상에서 복사 방출을 위해 제공된 활성층을 구비한 제1반도체 층 스택의 생성 단계 및 상기 반도체 층 스택으로부터 기판의 분리 단계를 포함한다.
- [0018] 제2기판이 준비되고, 상기 제2기판 상에 복사 방출에 적합한 활성층을 구비한 제2반도체 층 스택이 생성된다. 제2기판은 제2반도체 층 스택으로부터 분리된다.
- [0019] 본 방법은 반투과형 거울을 형성하는 분리층을 반도체 층 스택 중 적어도 하나상에 도포하는 단계, 및 제1반도체 층 스택 상에 제2반도체 층 스택을 도포하여, 제1 및 제2반도체 층 스택 사이에 분리층이 배치되도록 하는 단계를 더 포함한다.
- [0020] 제2반도체 층 스택의 주요면에 대향된 제2반도체 층 스택의 다른 주요면에 제1보조 캐리어가 배치될 수 있다. 제2보조 캐리어는 제2반도체 층 스택의 주요면상에 배치될 수 있다. 제1보조 캐리어 및 제2보조 캐리어는 다시 분리될 수 있다. 제1반도체 층 스택의 주요면에 다른 보조 캐리어가 도포되고, 다시 분리될 수 있다.
- [0021] 본 방법은 제1반도체 층 스택의 활성층에 적어도 2개의 접촉 부재를 형성하는 단계를 더 포함할 수 있다. 제2반도체 층 스택의 활성층에 적어도 하나의 다른 접촉 부재가 형성될 수 있다.
- [0022] 다른 실시예에서, 본 방법은 제2반도체 층 스택의 활성층에 적어도 2개의 접촉 부재를 형성하는 단계를 포함할 수 있다. 제1반도체 층 스택의 활성층에 적어도 하나의 다른 접촉 부재가 형성될 수 있다.
- [0023] 반도체 층 스택의 생성은 서로 다르게 도핑된 적어도 2개의 반도체층들의 각각의 에피택시얼 증착 단계 및 상기 반도체층의 전기 접촉을 위해 상기 도핑된 반도체층들의 각각의 구조화 단계를 포함할 수 있다.
- [0024] 제1반도체 층 스택에 적어도 하나의 리세스가 형성될 수 있고, 상기 리세스는 제1도전형의 층 및 활성층을 통과하여 적어도 제2도전형의 하나의 층까지 도달한다.
- [0025] 제2반도체 층 스택에 적어도 하나의 리세스가 형성될 수 있고, 상기 리세스는 제1도전형의 층 및 활성층을 통과하여 적어도 제2도전형의 하나의 층까지 도달한다.
- [0026] 분리층은 적어도 2개의 층들로 구성될 수 있으며, 적어도 2개의 층은 적어도 2개의 서로 다른 굴절률을 가진다. 분리층은 구조화될 수 있다. 분리층은 적어도 하나의 리세스를 구비하여 형성될 수 있고, 상기 리세스는 전기 전도 물질로 채워질 수 있다.
- [0027] 제2반도체 층 스택의 주요면에는 방출 가능 복사의 부분적 파장 변환을 위한 변환 물질이 도포될 수 있다.
- [0028] 이하, 다른 특징, 효과 및 실시예는 도 1 내지 도 5와 관련하여 설명된 예로부터 도출된다.

### 도면의 간단한 설명

- [0029] 도 1은 일 실시예에 따른 광전 소자의 개략도이다.
- 도 2는 광전 소자의 다른 개략도이다.
- 도 3a 및 3b는 광전 소자의 실시예에 대한 개략적 평면도 또는 광전 소자의 개략적 배면도이다.
- 도 4a 및 4b는 광전 소자의 다른 실시예에 대한 개략적 평면도 또는 광전 소자의 배면도이다.

도 5a 내지 5h는 다양한 방법 단계를 거치는 반도체 층 스택의 개략적 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0030] 도 1은 제1반도체 층 스택(101) 및 제2반도체 층 스택(102)을 포함한 광전 소자(100)를 도시한다. 도 1은 리세스(104)를 구비한 분리층(103), 활성층(110), 제1주요면(111), 제1접촉 부재(112), 다른 주요면(113), 다른 접촉 부재(114), 다른 주요면(115), 제2활성층(120), 제2반도체 층 스택의 주요면(121), 및 다른 접촉 부재(122)를 더 도시한다.
- [0031] 도시된 도면에서 반도체 층 스택(101)은 3개의 층을 포함한다. 제1층(116)은 제1도전형을 가지며, 예컨대 p형 도핑되고, 주요면(113)을 포함한다. 면(113)의 맞은편에서 제1층에 활성층(110)이 인접한다. 활성층에 다른 반도체층(117)이 인접하며, 상기 다른 반도체층은, 예컨대 n형 도핑된다. 활성층은 복사 생성 pn접합을 포함하고, 상기 pn접합은 활성층에 인접하는 p형 도핑된 층 및 n형 도핑된 층을 이용하여 형성된다.
- [0032] 주요면(111)에 분리층(103)이 배치될 수 있다. 도시된 실시예와 같이, 분리층은 리세스(104)를 둘러쌀 수 있다. 분리층 상에 제2반도체 층 스택이 배치될 수 있으며, 상기 제2반도체 층 스택도 마찬가지로 예컨대 3개의 층을 포함할 수 있다.
- [0033] 분리층에 인접한 층(123)은, 예컨대 n형 도핑된 층이다. 그 위에 활성층 및 p형 도핑된 층(124)이 뒤따라 구비될 수 있다. 활성층은 다시 복사 생성 pn접합을 포함한다. 제1 및 제2반도체 층 스택은 3개보다 많은 층을 포함할 수 있고, 예컨대 부가적 버퍼층을 포함할 수 있다. 제1 및 제2반도체 층 스택으로부터 각각 분리층에 인접하는 층은 동일한 도전형을 포함할 수 있다.
- [0034] 분리층은 복수 개의 층으로 구성될 수 있다. 분리층은 물질 또는 층 두께가 서로 상이할 수 있는 적어도 2개의 층을 포함한다. 분리층의 층은 각각 서로 다른 굴절률을 가질 수 있다. 층의 굴절률은 예컨대 규칙적 간격으로 반복된다. 분리층은 예컨대 유전체이다. 분리층은 규소산화물, 아연산화물 또는 인듐주석산화물로 구성될 수 있으나, 다른 물질을 포함할 수도 있다. 분리층은 구조화, 예컨대 마이크로 구조화, 특히 나노구조화될 수 있고, 특히 적어도 하나의 광자 결정을 포함할 수 있으며, 상기 결정은 제1, 제2 또는 두 반도체 층 스택에 형성된다.
- [0035] 접촉 부재(112)는 제1반도체 층 스택에서 예컨대 p형 도핑된 층의 주요면(113)에 배치될 수 있다. 접촉 부재는 하나의 접촉면으로 구성될 수 있으나, 복수 개의 접촉면들로 구성될 수도 있다.
- [0036] 도시된 실시예에서, 주요면(121)은 주요면(113)과 가장 멀리 이격되어 있다. 주요면(111)은 주요면(121)에 비해 주요면(113)으로부터 덜 멀리 이격되어 있다. 주요면(115)은 주요면(111)에 비해 주요면(113)으로부터 덜 멀리 이격되어 있다.
- [0037] 반도체 층 스택(101)은 예컨대 n형 도핑된 층의 접촉을 위해 리세스를 포함할 수 있고, 상기 리세스는 p형 도핑된 영역 및 활성층을 통과한다. 상기 실시예에서, n형 도핑된 층은 예컨대 주요면(115)을 포함하고, 상기 주요면에 제2접촉 부재(114)가 도포될 수 있다. 반도체 스택은 상기와 같은 리세스를 포함할 수 있으나, 복수 개의 리세스를 포함할 수도 있다.
- [0038] 접촉 부재는 예컨대 전기 전도 물질로 구성된다. 광전 소자가 적합한 캐리어 부재 상에 실장되었을 때, 접촉 부재에 의해, 반도체 층 스택(101)은 전압을 공급받을 수 있다. 전압의 인가 시 반도체 층 스택, 특히 활성층(110)으로부터 방출된 복사는 주로 면(111)으로부터 출사된다.
- [0039] 제2반도체 층 스택(102)에 전압을 인가하기 위해, 면(121)에 접촉 부재(122)가 설치될 수 있다. 접촉 부재는 하나의 접촉면으로 구성될 수 있으나, 복수 개의 접촉면으로 구성될 수도 있다. 접촉 부재(122)는, 예컨대 p형 도핑된 층을 접촉시킨다. 층 스택(102)에서, 예컨대 n형 도핑된 층은 접촉 부재(114)에 의해, 또는 분리층에 의해 또는 분리층의 리세스(104)에 있는 도전 물질에 의해 접촉된다. 반도체 층 스택(102)은 예컨대 접촉 부재(114, 122)에 의해 전압을 공급받는다. 접촉 부재는 투광성 도체를 포함할 수 있고, 상기 도체는 예컨대 인듐 주석 산화물을 포함한다.
- [0040] 일 실시예에서, 접촉 부재는 면(121)의 방향으로부터 활성층을 접촉시킬 수 있다. 적어도 하나의 리세스는 층(124) 및 층(120)으로 구성될 수 있다. 적어도 하나의 리세스는 층(124), 층(120), 층(123) 및 분리층으로 구성될 수 있다. 적어도 하나의 리세스는 층(124), 층(120), 층(123), 분리층, 층(117), 활성층(110)으로 구성될 수 있다. 적어도 하나의 다른 리세스는 다른 층으로 구성될 수 있다. 상기 리세스에 각각 적어도 하나의 접촉 부재가 배치될 수 있다.

- [0041] 반도체 층 스택은 각각 서로 다른 파장 영역의 복사를 방출한다. 반도체 층 스택(101)은 예컨대 반도체 층 스택(102)보다 더 긴 파장의 복사를 방출한다. 예컨대, 제1반도체 층 스택(101)은 적색의 색 영역(625 내지 740 nm)에서 복사를 방출하고, 반도체 층 스택(102)은 청색의 색 영역(400 내지 500 nm)에서 복사를 방출한다.
- [0042] 분리층은 반도체 층 스택(101)의 방출된 복사의 파장 영역에 대해 가능한 한 투명할 수 있다. 반도체 층 스택(102)의 방출된 복사에 대해 분리층은 가능한 한 불투과성이고, 상기 복사의 가능한 한 많은 비율을 반사한다. 반도체 층 스택(102)의 복사가 반도체 층 스택(101)에 흡수되는 경우는 가능한 한 방지될 수 있다. 반도체 층 스택(101)의 방출된 복사뿐만 아니라 반도체 층 스택(102)의 방출된 복사도 실질적으로 면(121)으로부터 출사된다. 각각의 방출된 복사의 스펙트럼 영역은 전체 스펙트럼에 추가된다.
- [0043] 각각의 반도체 층 스택에 서로 다른 전압이 인가됨으로써, 서로 다른 파장 영역이 다양한 정도로 전체 스펙트럼에 기여할 수 있다. 그러므로, 광전 소자의 동작 중에 원하는 색 위치의 조절이 가능하다.
- [0044] 도 2는 반도체 층 스택(201) 및 다른 반도체 층 스택(202)을 포함한 광전 소자(200)를 도시한다. 도 2는 분리층(203), 변환 물질(204), 제1활성층(210), 주요면(211), 제1접촉 부재(212), 제2주요면(213), 제2접촉 부재(214), 다른 주요면(215), 활성층(220), 다른 주요면(221) 및 접촉 부재(221)를 더 도시한다.
- [0045] 반도체 층 스택(201)은 적어도 3개의 층을 포함하며, 예컨대 p형 도핑된 층, 활성층 및 n형 도핑된 층을 포함한다. 상기 반도체 층 스택은 예컨대 n형 도핑된 층까지 도달하는 리세스를 더 포함한다. 예컨대 p형 도핑된 층이 배치된 주요면(213)의 맞은편의 n형 도핑된 층 상에는 분리층이 배치된다. 도시된 실시예에서, 분리층은 전기 전도성이다.
- [0046] 분리층 상에 예컨대 제2반도체 층 스택(202)이 배치되고, 상기 제2반도체 층 스택도 예컨대 마찬가지로 3개의 층을 포함한다. n형 도핑된 층은 분리층에 인접하여 배치된다. n형 도핑된 층에 인접하여 활성층이 배치되고, 활성층에 인접하여 p형 도핑된 층이 배치된다. p형 도핑된 층은 주요면(221)을 포함한다. 상기 주요면(221)상에 변환 물질이 배치될 수 있다.
- [0047] 변환 물질은 특정한 파장 영역의 전자기 복사에 의해 여기되면 다른 파장 영역의 복사를 방출할 수 있다. 이를 위해, 적어도 하나의 발광체를 포함할 수 있다. 발광체는 무기 발광체 또는 유기 발광체를 포함할 수 있다.
- [0048] 변환 물질의 여기된 복사 및 방출된 복사의 파장 영역은 서로 다르다. 변환 물질은 상기 물질에 입사된 전제 복사를 변환하거나, 상기 물질에 입사된 복사의 일부만을 변환하고, 나머지 부분을 투과시킬 수 있는데, 이 때 투과된 복사의 파장 영역에 중요한 영향을 미치지 않는다.
- [0049] 반도체 층 스택(201)의 리세스에서 주요면(215)에 접촉 부재(214)가 배치될 수 있다. 주요면(213)에 다른 접촉 부재(212)가 배치될 수 있다. 접촉 부재에 의해 반도체 층 스택은 전압을 공급받을 수 있고, 복사를 방출할 수 있다. 복사는 분리층(203)에 의해 투과된다. 복사는 제2반도체 층 스택(202)에 커플링된다.
- [0050] 접촉 부재의 배치는 자유롭게 선택될 수 있다. 반도체 층 스택은 전방측으로부터 p형층의 접촉 및 n형층의 접촉을 위해, 후방측으로부터 p형 및 n형층의 접촉을 위해, 전방측으로부터 p형층의 접촉을 위해, 후방측으로부터 n형층의 접촉을 위해, 전방측으로부터 n형층의 접촉을 위해, 후방측으로부터 p형층의 접촉을 위해, 그리고 전방측뿐만 아니라 후방측으로부터 n형 및/또는 p형층의 접촉을 위해 형성될 수 있다.
- [0051] 반도체 층 스택(202)은, 예컨대 주요면(221)에 배치된 접촉 부재(222), 및 접촉 부재(214), 그리고 분리층(203)에 의해 전압을 공급받을 수 있다. 상기 실시예에서, 분리층은 전기 전도 물질을 포함한다. 분리층이 전기 절연성으로 작용하면, 상기 분리층은 적어도 하나의 리세스를 포함하고, 상기 리세스는 전기 전도 물질로 채워지며, 이는 도 1에 도시된 바와 같다. 반도체 층 스택(202)은 전압이 인가되면 복사를 방출할 수 있다. 반도체 층 스택(202)의 활성층으로부터 방출된 파장 영역의 복사는 분리층(203)에 의해 가능한 한 양호하게 반사된다.
- [0052] 제1반도체 층 스택의 방출된 복사는 제2반도체 층 스택의 방출된 복사와 다른 파장 영역에 위치한다. 변환 물질은 제2반도체 층 스택의 파장 영역에 위치한 복사의 일부를 변환한다. 변환 물질은 제1반도체 층 스택의 파장 영역에 위치한 복사를 투과시킬 수 있다. 반도체 소자의 방출된 복사의 전체 스펙트럼은 예컨대 적어도 3개의 서로 다른 파장 영역으로 구성될 수 있다.
- [0053] 도 3a 및 3b는 주요면(301), 접촉 부재(302), 다른 주요면(303), 다른 접촉 부재(304), 다른 주요면(305) 및 다른 접촉 부재(306)를 도시한다.
- [0054] 도 3a는 예컨대 도 1에 도시된 광전 소자의 배면도를 도시한다. 면(301)은 예컨대 p형 도핑된 반도체층의 면이

다. 상기 면에 접촉 부재(302)가 도포된다. 접촉 부재는 도시된 실시예의 경우와 같이 하나의 연속된 부재일 수 있다. 그러나, 복수 개의 개별 영역들로 구성될 수도 있다. 소자는 예컨대 중앙에서 리세스를 포함할 수 있고, 상기 리세스는 예컨대 p형 도핑된 층 및 활성층을 통과하여 예컨대 n형 도핑된 층까지 도달한다. 예컨대 n형 도핑된 층은 주요면(303)을 포함한다. 상기 주요면에 다른 접촉 부재(304)가 도포될 수 있다. 접촉 부재(302, 304)는 반도체 소자에 전압을 공급하는 역할을 한다. 층들의 도전형은 상기 실시예와 다를 수 있으며, 예컨대 p형 도핑된 층이 n형 도핑된 층일 수 있고, 그 반대의 경우도 가능하다. 광전 소자의 하층은 다른 부재, 예컨대 금속 배선 또는 캐리어 기판을 포함할 수 있다.

[0055] 도 3b는 도 3a에 상응하는 광전 소자의 표면을 도시한다. 상기 소자는 접촉 부재(306)가 도포된 주요면(305)을 포함한다. 접촉 부재(306)는 예컨대 접촉 부재(305)상에 걸쳐 직접 도포된다.

[0056] 접촉 부재(305)의 상부에 직접적으로 접촉 부재(306)가 배치됨으로써, 소자에서 복사가 방출되지 않는 영역들이 전체적으로 가능한 한 적다. 접촉 부재(306)는 주요면(305)의 다른 위치에 배치될 수 있으며, 예컨대 테두리 영역에 배치될 수 있다. 또한, 복수 개의 접촉 부재가 배치될 수도 있다. 특히, 접촉 부재(305, 306)의 수는 서로 상이할 수 있다. 접촉을 개선하기 위해, 접촉 부재 및 주요면 사이에 투명 전도 물질이 도포될 수 있다.

[0057] 도 4a 및 4b는 주요면(401), 제1접촉 부재(402), 주요면(403), 제2접촉 부재(404), 다른 주요면(405), 다른 접촉 부재(406)를 도시한다.

[0058] 도 4a는 도 3a에 도시된 구조가 소자에 4배로 형성된 경우를 도시한다. 주요면(401)에 접촉 부재(402)가 도포될 수 있다. 접촉 부재는 복수 개의 개별 부분들로 구성될 수 있다. 면(403)의 접촉을 가능하게 하는 리세스는 임의적으로 종종 반복될 수 있다. 도시된 실시예에서, 접촉 부재(404)를 포함한 4개의 리세스는 대칭으로 배치되나, 상기 리세스가 다르게 배치될 수도 있다.

[0059] 도 4b는 그에 대응되는 소자의 평면도를 도시한다. 접촉 부재(406)는 접촉 부재(404)의 상부의 주요면(405)에 배치될 수 있다. 상기 접촉 부재는 접촉 부재(404)와 정확히 같은 수의 개별 부분들을 포함할 수 있으나, 그보다 더 많거나 적은 개별 부분들이 제공될 수도 있다. 접촉 부재(406)의 개별 부분들은 도시된 경우와 같이 부재(404)의 상부에 직접 배치될 수 있으나, 임의적으로 접촉면(405) 상의 다른 위치에 배치될 수도 있다.

[0060] 도 5a는 기판 웨이퍼(500), 및 도핑된 층(502), 활성층(503), 다른 도핑된 층(504)을 구비한 반도체 층 스택(501)으로 이루어진 단면도를 도시한다.

[0061] 기판 웨이퍼는, 예컨대 갈륨비화물로 구성된다. 반도체 층 스택은 다른 층들을 포함할 수 있다. 기판 웨이퍼는 다른 적합한 물질로 구성될 수 있다. 방법에서, 복수 개의 반도체 층 스택이 기판 웨이퍼 상에 구성될 수 있고, 방법의 차후 단계에서 상기 반도체 층 스택이 개별화된다.

[0062] 방법의 단계에서, 반도체 층 스택(501)의 층은 기판 상에 성장된다. 반도체 층 스택은 예컨대 n형 도핑된 층부터 시작하여 기판상에 성장된다. 이후, 예컨대 활성층 및 p형 도핑된 층이 성장된다. 이후, 기판은 반도체 층 스택으로부터 제거될 수 있다. 기판의 제거 전에 보조 캐리어가 반도체 층 스택 상에 도포될 수 있다.

[0063] 도 5b는 도 5a에서 기판 웨이퍼가 생략된 반도체 층 스택을 도시한다. 층(502)상에 분리층(505)이 도포될 수 있다. 분리층은 예컨대 복수 개의 층들로 구성될 수 있다. 분리층은 반투과형 거울을 형성한다. 분리층은 예컨대 특정한 파장 영역에 대해 가능한 한 투명하며, 다른 파장 영역은 반사한다.

[0064] 도 5c는 다른 기판 웨이퍼(510), 및 제1도핑된 층(512), 활성층(513), 다른 도핑된 층(514)을 구비한 다른 반도체 층 스택(511)을 도시한다. 층 스택은 예컨대 사파이어를 포함한 기판 웨이퍼 상에서 성장된다. 층 스택은 3개보다 많은 층을 포함할 수 있다. 예컨대, 반도체 층 스택은 n형 도핑된 층으로 시작하여 성장된다. 기판 웨이퍼(510) 상에 복수 개의 반도체 층 스택이 형성될 수 있고, 상기 반도체 층 스택은 방법의 차후의 단계에서 개별화된다.

[0065] 분리층(505)은 층 스택(511) 상에 도포될 수 있다. 분리층은 층 스택 중 하나에 도포될 수 있으나, 두 개의 층 스택에 도포될 수도 있다.

[0066] 도 5d는 방법의 일 실시예에서 보조 캐리어(515)가 제2반도체 층 스택 상에, 특히 층(514) 상에 도포된 단계를 도시한다.

[0067] 도 5e에 도시된 바와 같이, 제2보조 캐리어(516)는 반도체 층 스택(511) 상에, 특히 층(512) 상에 도포될 수 있고, 기판(510)은 반도체 층 스택으로부터 분리될 수 있다.

[0068] 도 5f는 제1보조 캐리어(515)의 분리 단계가 이미 실시되어 있다. 도 5b 및 도 5f에 도시된 부재는 조합될 수 있다.

[0069] 도 5g는 도 5b의 부재를 도시하며, 상기 부재는 층(514) 상에 도포되어, 분리층(55)이 두 층 스택 사이에 배치된다.

[0070] 도 5h는 제2보조 캐리어(516)가 층(512)으로부터 분리된 이후의 층 스택을 도시한다. 도시된 층 스택은 도 1에 도시된 바와 같은 소자의 층 스택에 실질적으로 상응한다.

[0071] 본 방법은 예컨대 변환 기판을 층(512)상에 도포하는 단계 또는 접촉 부재를 반도체층상에 형성하는 단계와 같은 다른 단계를 포함할 수 있다. 본 방법은 분리층의 리세스 형성 단계 및 상기 분리층을 도전 물질로 채우는 단계를 더 포함할 수 있다. 특히, 본 방법은 상기에 열거한 모든 단계를 포함할 필요는 없다. 예컨대, 기판이 제거되기 전에, 제1반도체 층 스택은 제2반도체 층 스택상에 도포될 수 있다. 반도체 층 스택의 제조마다, 보조 캐리어를 포함하지 않거나, 1개 또는 2개의 보조 캐리어를 포함할 수 있다.

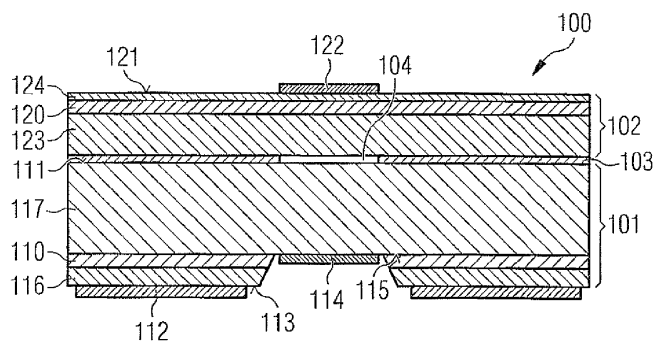
## 부호의 설명

[0072]

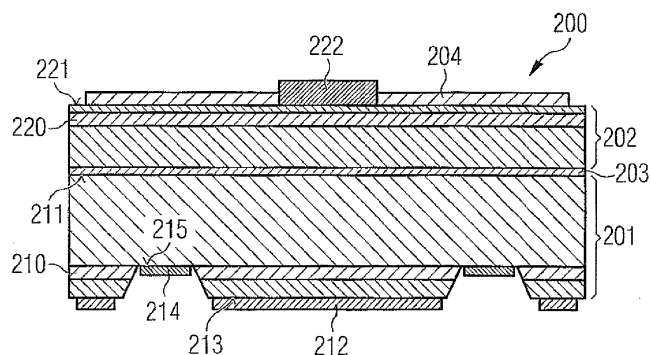
|                   |                   |
|-------------------|-------------------|
| 100: 광전 소자        | 101: 제 1 반도체 층 스택 |
| 102: 제 2 반도체 층 스택 | 103: 분리층          |
| 110: 활성층          | 111: 주요면          |

## 도면

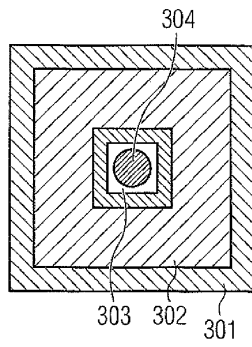
도면1



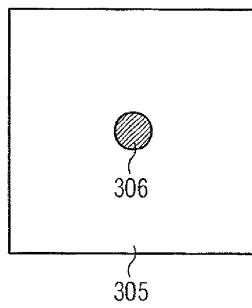
도면2



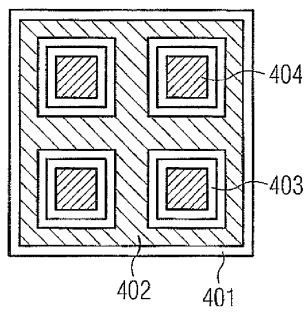
도면3a



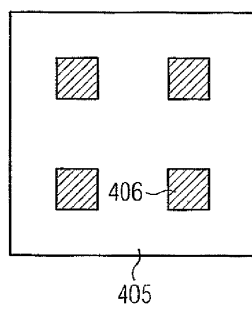
도면3b



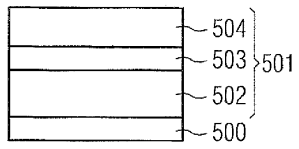
도면4a



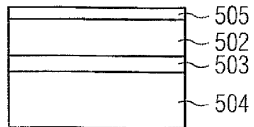
도면4b



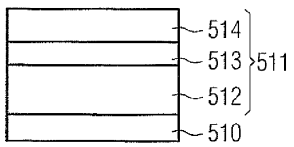
도면5a



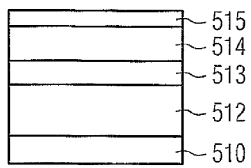
도면5b



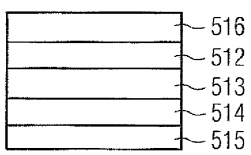
도면5c



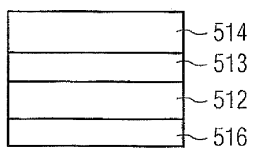
도면5d



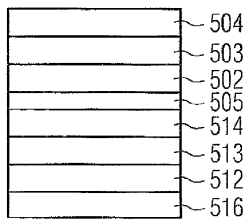
도면5e



도면5f



도면5g



도면5h

