

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6260394号  
(P6260394)

(45) 発行日 平成30年1月17日(2018. 1. 17)

(24) 登録日 平成29年12月22日(2017. 12. 22)

(51) Int.Cl.

F I

G 0 6 F 9/48 (2006.01)

G 0 6 F 9/46 3 1 1 H

請求項の数 10 (全 22 頁)

(21) 出願番号 特願2014-66182(P2014-66182)  
(22) 出願日 平成26年3月27日(2014. 3. 27)  
(65) 公開番号 特開2015-191279(P2015-191279A)  
(43) 公開日 平成27年11月2日(2015. 11. 2)  
審査請求日 平成28年12月6日(2016. 12. 6)

(73) 特許権者 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(74) 代理人 100090273  
弁理士 國分 孝悦  
(72) 発明者 川上 健太郎  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
審査官 漆原 孝治

最終頁に続く

(54) 【発明の名称】 処理システム

(57) 【特許請求の範囲】

【請求項 1】

処理装置と、

前記処理装置からリクエスト信号及びアドレス信号を入力し、前記処理装置にレディ信号及びリードデータ信号を出力するポーリング回路と、

前記ポーリング回路からリクエスト信号及びアドレス信号を入力し、前記ポーリング回路にレディ信号及びリードデータ信号を出力する周辺回路とを有し、

前記処理装置は、前記周辺回路にリードアクセスするために、活性化状態のリクエスト信号及び前記周辺回路に対応するアドレス信号を出力し、

前記周辺回路は、前記処理装置のリクエスト信号に対応する処理が終了していない場合には非活性化状態のレディ信号を出力し、前記処理装置のリクエスト信号に対応する処理が終了した場合には活性化状態のレディ信号及びリードデータ信号を出力し、

前記ポーリング回路は、

前記処理装置から入力したアドレス信号が第1のアドレス範囲のアドレスである場合には、前記処理装置から入力したアドレス信号を第2のアドレス範囲のアドレスに変換して前記周辺回路にアドレス信号を出力し、前記処理装置から入力したアドレス信号が第1のアドレス範囲のアドレスでない場合には、前記処理装置から入力したアドレス信号と同じアドレス信号を前記周辺回路に出力するアドレス信号生成部と、

前記処理装置から入力したアドレス信号が第1のアドレス範囲のアドレスであり、前記周辺回路から入力したリードデータ信号が前記処理装置から入力したアドレス信号に対応

10

20



する期待値と同じである場合には、前記周辺回路から入力したレディ信号と同じレディ信号を前記処理装置に出力し、その他の場合には非活性化状態のレディ信号を前記処理装置に出力するレディ信号生成部とを有することを特徴とする処理システム。

【請求項 2】

前記周辺回路は、前記処理装置のリクエスト信号に応じて、イネーブル端子を有するレジスタからリードデータを読み出し、

前記ポーリング回路は、前記周辺回路のレジスタのイネーブル端子の信号が活性化状態になった場合に、前記周辺回路に活性化状態のリクエスト信号を出力するリクエスト信号生成部を有することを特徴とする請求項 1 記載の処理システム。

【請求項 3】

前記周辺回路のレジスタは、イネーブル端子を有する複数のフリップフロップを有し、

前記リクエスト信号生成部は、前記周辺回路の複数のフリップフロップのイネーブル端子の信号のうちのいずれかの信号が活性化状態になった場合に、前記周辺回路に活性化状態のリクエスト信号を出力することを有することを特徴とする請求項 2 記載の処理システム。

【請求項 4】

前記ポーリング回路は、前記処理装置から入力したアドレス信号が第 1 のアドレス範囲のアドレスである場合には、前記周辺回路から入力したリードデータ信号のうちの前記処理装置から入力したアドレス信号に対応するビットの信号をリードデータ信号として前記処理装置に出力するリードデータ信号生成部を有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の処理システム。

【請求項 5】

前記リードデータ信号生成部は、前記周辺回路から入力したリードデータ信号のうちの前記処理装置から入力したアドレス信号に対応するビットの信号を下位ビットとし、上位ビットを 0 で埋めた信号をリードデータ信号として前記処理装置に出力することを特徴とする請求項 4 記載の処理システム。

【請求項 6】

前記第 1 のアドレス範囲は、期待値が 0 である第 3 のアドレス範囲及び期待値が 1 である第 4 のアドレス範囲を有し、

前記レディ信号生成部は、

前記処理装置から入力したアドレス信号が前記第 3 のアドレス範囲のアドレスであり、前記周辺回路から入力したリードデータ信号のうちの前記処理装置から入力したアドレス信号に対応するビットの値が 0 である場合には、前記周辺回路から入力したレディ信号と同じレディ信号を前記処理装置に出力し、

前記処理装置から入力したアドレス信号が前記第 4 のアドレス範囲のアドレスであり、前記周辺回路から入力したリードデータ信号のうちの前記処理装置から入力したアドレス信号に対応するビットの値が 1 である場合には、前記周辺回路から入力したレディ信号と同じレディ信号を前記処理装置に出力することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の処理システム。

【請求項 7】

前記アドレス信号生成部は、前記処理装置から入力したアドレス信号を前記第 2 のアドレス範囲のアドレスに変換したアドレスを保持するアドレス保持部を有することを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の処理システム。

【請求項 8】

前記レディ信号生成部は、前記処理装置に入力される割り込み信号が活性化状態になった場合には、前記周辺回路から入力したレディ信号と同じレディ信号を前記処理装置に出力することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の処理システム。

【請求項 9】

前記リードデータ信号生成部は、前記周辺回路から入力したリードデータ信号のうちの前記処理装置から入力したアドレス信号に対応するビットの信号を保持するビット信号保

10

20

30

40

50



持部を有することを特徴とする請求項 4 又は 5 記載の処理システム。

【請求項 10】

さらに、前記ポーリング回路及び前記周辺回路の間に接続されるバスを有することを特徴とする請求項 1～9 のいずれか 1 項に記載の処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、処理システムに関する。

【背景技術】

【0002】

プロセッサがアクセス可能なアドレス空間の所定のアドレスから所定の周期でデータを読み出し、読み出したデータが所定の条件を満たすとき、プロセッサに対する割り込み信号を発生するポーリング部が知られている（例えば、特許文献 1 参照）。ポーリング部は、アドレス空間において割り当てられたアドレスを持ち、所定のアドレス、所定の周期及び所定の条件の少なくとも 1 つを設定するためのデータを格納するレジスタを有する。

【0003】

また、特定アドレスのデータが期待値になるまでデータを繰り返し参照して待つポーリング処理の実行が演算装置で必要となった場合に、ポーリング処理の実行によりデータが期待値と一致するか否かを判断する判断手段を有する省電力制御装置が知られている（例えば、特許文献 2 参照）。制御手段は、データが期待値と一致すると判断されるまで、演算装置を省電力モードに遷移するように制御する。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 238001 号公報

【特許文献 2】特開 2011 - 13914 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

割り込み処理では、周辺回路が処理の完了の割り込み信号を中央処理装置（CPU）に対して通知する。そのため、CPU は、周辺回路に対して処理の開始を指示した後、全く別の処理を行ったり、割り込み信号が通知されるまで、消費電力の小さいスリープモードで待機することができるメリットがある。しかし、CPU は、割り込み信号が通知された場合、割り込み処理に移行する前に、その時点で実行している処理を後から再開できるように CPU 内部の汎用レジスタの値、プログラムカウンタの値、CPU の内部状態を保持するプロセッサステータスレジスタの値などを一旦、ランダムアクセスメモリ（RAM）に待避する。CPU は、待避が完了した後、割り込み信号に対応した処理を行い、処理が完了したら RAM に待避してある汎用レジスタの値、プログラムカウンタの値、プロセッサステータスレジスタの値を復元し、元々実行していた処理を再開する。

【0006】

また、CPU は、割り込み信号をスリープモードで受信すると、スリープ時の汎用レジスタ、プログラムカウンタ、プロセッサステータスレジスタの値の RAM への待避、割り込み信号に対応した処理、RAM からの汎用レジスタ、プログラムカウンタ、プロセッサステータスレジスタの値の復元を行う。割り込み処理では、これらの値の RAM への待避と復元がオーバーヘッドとなる点がデメリットである。

【0007】

割り込み処理では、周辺回路側が処理の完了を通知する発信元となるのに対し、ポーリング処理では、CPU から周辺回路に対して処理の完了を問い合わせる。具体的には、周辺回路は、自身の処理状態に応じて値が変わる周辺回路ステータスレジスタを備えており、CPU は、この周辺回路ステータスレジスタの値を読み出して値を確認することで、周

10

20

30

40

50



辺回路の処理が完了しているか否かを判断する。CPUは、読み出した周辺回路ステータスレジスタの値が、まだ処理を実施中であることを表す値であったときは、もう一度、周辺回路ステータスレジスタの値を読み出し、値を確認することを繰り返す。CPUが何度も周辺回路ステータスレジスタの値の読み出しを繰り返しているうちに、いずれ周辺回路が処理を完了し、周辺回路ステータスレジスタの値が処理完了を表す値に変化し、CPUは処理完了を知ることができる。

#### 【0008】

ポーリング処理のメリットは、割り込み処理への移行前と通常処理への復帰前で行われる汎用レジスタ、プログラムカウンタ、プロセッサステータスレジスタの値のRAMへの待避と復帰が行われないため、これらによるクロックサイクルや消費電力のオーバーヘッドがない点である。CPUが周辺回路に処理を行わせる頻度が多いプログラムを実装する場合、これを割り込み処理を用いたプログラムとして実装すると、頻繁に割り込み処理が行われ、割り込み処理のオーバーヘッドが大きくなる点が課題である。

10

#### 【0009】

ポーリング処理のデメリットは、周辺回路での処理がなかなか完了せず、CPUが周辺回路ステータスレジスタの値の読み出しを繰り返す回数が増える場合に、CPU及びRAMの消費電力が増えたり、CPUの他にバスアクセスするモジュールでの処理時間が延び、消費電力が増えたりする点である。CPUが周辺回路ステータスレジスタを繰り返し読み出すとき、CPUは次の手順で示すプログラムを繰り返し実行することになる。

#### 【0010】

20

(1) CPUは、周辺回路ステータスレジスタの値を読み出す。(2) CPUは、読み出した値が周辺回路の処理完了を表す値と一致するか比較する。(3) CPUは、一致しない場合は、(1)に戻ってやり直す。

#### 【0011】

このとき、CPUは常に動作し続けることになるので電力を消費する。また、CPUは、(1)、(2)、(3)の実行を指示するプログラムをRAMから読み出すためRAMの電力消費が生ずる。また、CPU、RAM、及び周辺回路は、バスを介して接続され、ステータスレジスタをはじめ周辺回路の各種レジスタへのアクセス、RAMへのアクセスはバスを介して行われる。しかし、ポーリング処理を行っている間、CPUは、頻繁にバスを使用することになる。すると、ダイレクトメモリアクセスコントローラ(DMAC)など、バスを介してアクセスするブロックがCPU以外に存在する場合、これらのブロックのアクセスに対して競合又は妨害することになり、他のブロックの処理完了が遅れたり、動作時間が延びることにより余分な電力を消費したりする。

30

#### 【0012】

特許文献1では、ポーリング処理を専用で担うポーリング部が開示されている。CPUが直接、周辺回路のステータスレジスタの値を読み出して期待する値と一致するかを判定する代わりに、ポーリング部がこれを行う。ポーリング部からCPUへは割り込み信号線が接続されており、ステータスレジスタの値が期待値と一致したときは、この割り込み信号線を通じてポーリング部がCPUに対して割り込みを通知する。これによれば、周辺回路が処理完了を通知する信号を割り込み信号としてCPUに直接出力していない場合においても、CPUはポーリング部を介して割り込み処理によって周辺回路での処理完了を知ることができるため、割り込み処理でのメリットである処理完了まで別の処理を行うことができ、また、消費電力の小さいスリープモードで待機できるなどのメリットを享受できる。しかし、CPUは、割り込み信号を受信する度に汎用レジスタ、プログラムカウンタ、プロセッサステータスレジスタの値のRAMへの待避と、処理完了時に元々実行していた処理を再開するためのこれらの値のRAMからの復元が行われるデメリットは解消されない。

40

#### 【0013】

特許文献2では、ポーリング処理を専用で担う省電力モード管理部が開示されている。CPUは、予めポーリング対象のステータスレジスタのアドレスと期待する値を省電力モ

50



ード管理部内に備わったアドレスレジスタとデータレジスタに設定した後、省電力モード管理部に対してポーリング実行を指示する。省電力モード管理部は、CPUへクロックを供給しているクロック制御部に対し、CPUへのクロック供給を止めることを指示し、同時にアドレスレジスタで指示された周辺回路のステータスレジスタの値を読み出す。省電力モード管理部は、読み出した値がデータレジスタで指示された値と一致するかを確認し、不一致の場合、一致するまでステータスレジスタの値を読み出し、値の一致の確認を繰り返す。一致した場合、クロック制御部に対してCPUへのクロック供給を再開させる。

【0014】

特許文献2では、割り込み処理を用いていないため、汎用レジスタ、プログラムカウンタ、プロセッサステータスレジスタの値のRAMへの待避と復帰が行われるデメリットがない。また、省電力モード管理部が周辺回路のステータスレジスタを繰り返し読み出し、その間、CPUは、クロック供給が停止しているためCPUでの消費電力が抑えられる。また、CPUは、プログラムのRAMからの読み出しやステータスレジスタアクセスのためのバスアクセスも行わないので、RAMでの電力消費やバスアクセスの競合の問題も起こらない。

【0015】

しかし、特許文献2では、以下に挙げる3つの課題がある。

(1) プログラム中で省電力モード管理部内のアドレスレジスタやデータレジスタの設定、省電力モード管理部に対するポーリング処理開始の指示が必要である。したがって、省電力モード管理部を備えているか否かによって異なる実装のプログラムが必要であり、省電力モード管理部を備えないシステムとの間でプログラムを移植するときにプログラムの変更量が多くなる。

【0016】

(2) 省電力モード管理部がポーリング対象としている周辺回路以外のモジュールからCPUに割り込みが通知されたときの動作が開示されていない。

【0017】

(3) 突然のクロックの供給停止及び再開が可能な特殊なCPUが必要となる。通常のCPUは、クロックの供給停止が可能なwaitモードを備えるが、waitモードへの移行は、CPU上でwaitモード移行の専用命令を実行することで行われる。waitモードから再びCPUをwake upモードに移行させるには、CPUへのクロックの供給再開とCPUへ何らかの割り込み通知を行うのが一般的である。しかし、割り込み通知によってCPUをwake upモードにした場合、汎用レジスタ、プログラムカウンタ、プロセッサステータスレジスタの値のRAMへの待避と復元が必要となる。

【0018】

本発明の目的は、特殊な処理装置を必要とせず、低消費電力でポーリング処理を行うことができる処理システムを提供することである。

【課題を解決するための手段】

【0019】

処理システムは、処理装置と、前記処理装置からリクエスト信号及びアドレス信号を入力し、前記処理装置にレディ信号及びリードデータ信号を出力するポーリング回路と、前記ポーリング回路からリクエスト信号及びアドレス信号を入力し、前記ポーリング回路にレディ信号及びリードデータ信号を出力する周辺回路とを有し、前記処理装置は、前記周辺回路にリードアクセスするために、活性化状態のリクエスト信号及び前記周辺回路に対応するアドレス信号を出力し、前記周辺回路は、前記処理装置のリクエスト信号に対応する処理が終了していない場合には非活性化状態のレディ信号を出力し、前記処理装置のリクエスト信号に対応する処理が終了した場合には活性化状態のレディ信号及びリードデータ信号を出力し、前記ポーリング回路は、前記処理装置から入力したアドレス信号が第1のアドレス範囲のアドレスである場合には、前記処理装置から入力したアドレス信号を第2のアドレス範囲のアドレスに変換して前記周辺回路にアドレス信号を出力し、前記処理装置から入力したアドレス信号が第1のアドレス範囲のアドレスでない場合には、前記処



理装置から入力したアドレス信号と同じアドレス信号を前記周辺回路に出力するアドレス信号生成部と、前記処理装置から入力したアドレス信号が第1のアドレス範囲のアドレスであり、前記周辺回路から入力したリードデータ信号が前記処理装置から入力したアドレス信号に対応する期待値と同じである場合には、前記周辺回路から入力したレディ信号と同じレディ信号を前記処理装置に出力し、その他の場合には非活性化状態のレディ信号を前記処理装置に出力するレディ信号生成部とを有する。

【発明の効果】

【0020】

ポーリング回路を設けることにより、特殊な処理装置を必要とせず、低消費電力でポーリング処理を行うことができる。

10

【図面の簡単な説明】

【0021】

【図1】図1は、本実施形態によるワイヤレスセンサノードの構成例を示す図である。

【図2】図2は、全体制御部の構成例を示す図である。

【図3】図3は、周辺回路の一部の構成例を示す図である。

【図4】図4は、CPU、ポーリング回路、バス及び周辺回路間の信号を示す図である。

【図5】図5は、CPU及びポーリング回路間の信号を示すタイミングチャートである。

【図6】図6は、ポーリング回路及びバス間の信号を示すタイミングチャートである。

【図7】図7は、バス及び周辺回路間の信号を示すタイミングチャートである。

【図8】図8は、メモリマップを示す図である。

20

【図9】図9は、第1の周辺回路の通常レジスタ領域、期待値が0のレジスタ領域、及び期待値が1のレジスタ領域の例を示す図である。

【図10】図10は、ポーリング回路の構成例を示す図である。

【図11】図11は、図10のアドレス信号生成部の構成例を示す図である。

【図12】図12は、図10のREADY信号生成部の構成例を示す図である。

【図13】図13は、セレクタの動作を説明するための図である。

【図14】図14は、図10のRDATA信号生成部の構成例を示す図である。

【図15】図15は、図10のREQ信号生成部の構成例を示す図である。

【図16】図16は、周辺回路内のイネーブル信号生成部の構成例を示す図である。

30

【発明を実施するための形態】

【0022】

図1は、本実施形態によるワイヤレスセンサノード100の構成例を示す図である。ワイヤレスセンサノード100は、全体制御部101、センサ部102、RF(Radio Frequency)部103、発電電源管理部104、アンテナ105及び発電素子106を有する。発電素子106は、光、温度差又は振動などのエネルギー112を基に発電を行い、電力を発電電源管理部104に供給する。発電電源管理部104は、電力を管理し、全体制御部101、センサ部102及びRF部103に対して、電力を供給する。全体制御部101は、I2C(Inter-Integrated Circuit)、SPI(Serial Peripheral Interface)などのシリアルインターフェースを介して、センサ部102、RF部103及び発電電源管理部104を制御する。センサ部102は、温度、照度、加速度又は圧力などの情報111を検出し、情報111を全体制御部101に出力する。全体制御部101は、RF部103及びアンテナ105を介して、情報111を無線信号113として送信する。また、全体制御部101は、RF部103及びアンテナ105を介して、その他の情報を無線信号113として送受信することができる。

40

【0023】

ワイヤレスセンサノード100には電池や商用電源が接続されず、発電素子106は、環境から得られるエネルギー112を基に自己発電する。したがって、ワイヤレスセンサノード100は、徹底的な低消費電力が求められる。ワイヤレスセンサノード100に求められる様々な要求仕様や状況に応じた制御を行うために、全体制御部101は、プログラマビリティが求められるため、MCU(マイクロコントローラユニット)が用いられる

50



。

## 【 0 0 2 4 】

図 2 は、全体制御部 1 0 1 の構成例を示す図である。全体制御部 1 0 1 は、処理システムであり、中央処理装置 ( C P U ) 2 0 1、ポーリング回路 2 0 2、R A M 2 0 3、割り込みコントローラ 2 0 4、バス 2 0 5、ダイレクトメモリアクセスコントローラ ( D M A C ) 2 0 6、第 1 の周辺回路 P H 1、第 2 の周辺回路 P H 2、第 3 の周辺回路 P H 3 及び第 4 の周辺回路 P H 4 を有する。バス 2 0 5 には、ポーリング回路 2 0 2、R A M 2 0 3、D M A C 2 0 6 及び周辺回路 P H 1 ~ P H 4 が接続される。バス 2 0 5 は、ポーリング回路 2 0 2 及び周辺回路 P H 1 ~ P H 4 の間に接続される。割り込みコントローラ 2 0 4 は、周辺回路 P H 1 ~ P H 4 の割り込み信号 I R 1 ~ I R 4 及び外部割り込み信号 I R R を入力し、割り込み信号 I R を C P U 2 0 1 及びポーリング回路 2 0 2 に出力する。周辺回路 P H 1 ~ P H 4 は、それぞれ、イネーブル信号 E N S 1 ~ E N S 4 をポーリング回路 2 0 2 に出力する。周辺回路 P H 1 ~ P H 3 は、I 2 C 回路又は S P I 回路などのインターフェース回路であり、それぞれ、図 1 のセンサ部 1 0 2、R F 部 1 0 3 及び発電電源管理部 1 0 4 に接続される。

10

## 【 0 0 2 5 】

図 3 は、各周辺回路 P H 1 ~ P H 4 の一部の構成例を示す図である。周辺回路 P H 1 ~ P H 4 は、それぞれ、アドレスレジスタ 3 0 1、送信データバッファレジスタ 3 0 2、受信データバッファレジスタ 3 0 3、制御レジスタ 3 0 4、ステータスレジスタ 3 0 5、論理和 ( O R ) 回路 3 0 6 及びセクタ 3 0 7 を有する。レジスタ 3 0 1 ~ 3 0 5 のデータ端子 D 及びイネーブル端子 E N は、論理回路 3 1 1 ~ 3 2 0 の 3 2 ビット出力データを入力する。レジスタ 3 0 1 ~ 3 0 5 は、それぞれ、クロック信号に同期して、データ端子 D の入力データをラッチし、ラッチした 3 2 ビットデータを出力端子 Q から出力する。セクタ 3 0 7 は、バス 2 0 5 から入力するアドレス A D D R に応じて、レジスタ 3 0 1 ~ 3 0 5 の 3 2 ビット出力データのうちのいずれかを選択し、3 2 ビットデータ R D A T A をバス 2 0 5 に出力する。論理和回路 3 0 6 は、ステータスレジスタ 3 0 5 のイネーブル端子 E N の 3 2 ビットデータの論理和をイネーブル信号 E N S として出力する。

20

## 【 0 0 2 6 】

C P U 2 0 1 が周辺回路 P H 1 ~ P H 3 を介してセンサ部 1 0 2、R F 部 1 0 3 及び発電電源管理部 1 0 4 へデータ送信する手順は次の通りである。例として、C P U 2 0 1 が周辺回路 P H 1 を介してセンサ部 1 0 2 へデータ送信する手順を説明する。まず、C P U 2 0 1 は、ポーリング回路 2 0 2 及びバス 2 0 5 を介して、送信先アドレスを周辺回路 P H 1 内のアドレスレジスタ 3 0 1 に書き込む。なお、送信先アドレスは、センサ部 1 0 2 を示すアドレスである。次に、C P U 2 0 1 は、ポーリング回路 2 0 2 及びバス 2 0 5 を介して、送信データを周辺回路 P H 1 内の送信データバッファレジスタ 3 0 2 に書き込む。ここで、送信データは、センサデータ読み出しコマンド等を含む。次に、C P U 2 0 1 は、ポーリング回路 2 0 2 及びバス 2 0 5 を介して、送信の指示を周辺回路 P H 1 内の制御レジスタ 3 0 4 に書き込む。その後、周辺回路 P H 1 は、送信データをセンサ部 1 0 2 に送信する。センサ部 1 0 2 は、送信データに従い、情報 1 1 1 を検出し、周辺回路 1 0 4、バス 2 0 5 及びポーリング回路 2 0 2 を介して、情報 1 1 1 を C P U 2 0 1 に送信する。

30

40

## 【 0 0 2 7 】

図 4 は、C P U 2 0 1、ポーリング回路 2 0 2、バス 2 0 5 及び周辺回路 P H 1 間の信号を示す図である。周辺回路 P H 1 の場合を例に示すが、周辺回路 P H 2 ~ P H 4 も周辺回路 P H 1 の場合と同様である。リクエスト信号 R E Q は、アクセスリクエスト信号である。アドレス信号 A D D R は、アクセス先アドレス信号である。アクセス種類信号 W R I T E は、リード又はライトのアクセスの種類を示す信号である。ライトデータ信号 W D A T A は、ライトアクセス時のライトデータ信号である。リードデータ信号 R D A T A は、リードアクセス時のリードデータ信号である。レディ信号 R E A D Y は、アクセス完了を示す信号である。

50



## 【 0 0 2 8 】

例えば、CPU 201が32ビットCPUの場合、信号ADDR、WDATA、RDAT Aは32ビット信号である。信号REQ、ADDR、WRITE、WDATAは、アクセス元からアクセス先へ出力される信号である。信号RDAT A及びREADYは、アクセス先からアクセス元へ出力される信号である。図4では、最終アクセス先が周辺回路PH1になっているが、CPU 201がプログラムコードの読み出しやデータの読み出し、書き込みを行うため、図1のRAM 203も最終アクセス先となり得る。また、図4では、CPU 201がアクセス元になっているが、図2のDMAC 206は、RAM 203や周辺回路PH1～PH4に対して読み出しや書き込みアクセスを行うのでアクセス元になり得る。ただし、DMAC 206は、ポーリング処理を行わないので、ポーリング回路202を介する必要がなく、直接バス205に接続される。

10

## 【 0 0 2 9 】

ポーリング回路202は、CPU 201からリクエスト信号REQ、アドレス信号ADDR、アクセス種類信号WRITE及びライトデータ信号WDATAを入力し、CPU 201にレディ信号READY及びリードデータ信号RDAT Aを出力する。周辺回路PH1は、バス205を介して、ポーリング回路202からリクエスト信号REQ、アドレス信号ADDR、アクセス種類信号WRITE及びライトデータWDATAを入力し、ポーリング回路202にレディ信号READY及びリードデータ信号RDAT Aを出力する。

## 【 0 0 3 0 】

次に、通常のCPU 201のポーリング処理を説明する。ポーリング対象としている周辺回路PH1は、CPU 201から指示された処理が完了したら、32ビットのステータスレジスタ305の最下位ビットの値を0から1に変更する。CPU 201は、32ビットのステータスレジスタ305の値を読み出し、最下位ビットの値を抽出する。最下位ビットが1である場合には、周辺回路PH1の処理が完了しているので、CPU 201は、次の処理に移る。最下位ビットが0である場合、周辺回路PH1が、まだ処理を完了していないため、CPU 201は、次の処理には移れず、再び周辺回路PH1の処理が完了したかを確認する処理を繰り返す。周辺回路PH1の処理実行に時間がかかり、ステータスレジスタ305の最下位ビットがなかなか1に変化しない場合、CPU 201は、何度もステータスレジスタ305の最下位ビットを読み出して確認する処理を繰り返すことになる。本実施形態では、このような繰り返し処理をなくすための処理を説明する。本実施形態では、ステータスレジスタ305の最下位ビットを読み出して得られる値は必ず1であることが保証され、1回目の実行で必ず次の処理に進むことができる。以下、その詳細を説明する。

20

30

## 【 0 0 3 1 】

図5はCPU 201及びポーリング回路202間の信号を示すタイミングチャートであり、図6はポーリング回路202及びバス205間の信号を示すタイミングチャートであり、図7はバス205及び周辺回路PH1間の信号を示すタイミングチャートである。信号CLKは、クロック信号である。信号LSBは、周辺回路PH1内のステータスレジスタ305内のデータの最下位ビットの信号である。

## 【 0 0 3 2 】

CPU 201が周辺回路PH1内のステータスレジスタ305の最下位ビットに対して読み出しアクセスする例を説明する。すべての信号は、CPU 201、ポーリング回路202、バス205及び周辺回路PH1に共通で供給されるクロック信号CLKの立ち上がりエッジで伝達される。CPU 201は、ポーリング回路202に対して、図5の時刻T1において、アクセス要求を行ってもよいことを示す信号READY = 1であることを確認し、信号REQ = 1とするアクセス要求を出力する。それと同時に、CPU 201は、ポーリング回路202に対して、アクセス先アドレスの信号ADDR = A' (ステータスレジスタ305の最下位ビットLSBを示すアドレス)、及びアクセス種類が読み出しアクセスであることを示す信号WRITE = 0を出力する。

40

## 【 0 0 3 3 】

50



ポーリング回路202は、内部のアドレス信号生成部1001(図10)により、CPU201から入力された信号ADDR=A'を図6の信号ADDR=Aに変換してバス205へ出力する。また、ポーリング回路202は、CPU201から入力された信号REQ及び信号WRITEをそのままバス205へ出力する。

【0034】

バス205は、ポーリング回路202からの信号REQ及びWRITEにより、CPU201から読み出しアクセスの要求が来ていることを知る。そして、バス205は、信号ADDRからアクセス先を判別し、アクセス先の周辺回路PH1に対して、ポーリング回路202からの信号REQ、ADDR、及びWRITEを出力する。周辺回路PH1は、ステータスレジスタ305の最下位ビットLSBの読み出しデータの準備中であることを示す信号READY=0をバス205に出力する。信号READYは、周辺回路PH1からバス205及びポーリング回路202を介してCPU201に出力される。CPU201は、信号READY=0となっていることから、読み出しアクセスがまだ実行中であることを知る。

【0035】

時刻T3の後、周辺回路PH1は、アドレス信号ADDR=Aで指定されたステータスレジスタ305の値Data(A)の出力準備ができ、信号RDATA=Data(A)を出力し、それと同時に、信号RDATAが有効データであることを示す信号READY=1を出力する。この時、周辺回路PH1は、CPU201から指示されたセンサデータの読み出し処理が完了していないので、ステータスレジスタ305の最下位ビットLSBの値は0である。したがって、信号RDATAの最下位ビットLSBは0である。信号READY及びRDATAは、周辺回路PH1からバス205を介してポーリング回路202に出力される。

【0036】

時刻T4では、ポーリング回路202は、クロック信号CLKの立ち上がりエッジで、信号READY=1となっていることから、それと同時に、信号RDATA=Data(A)が入力されていることを知る。ポーリング回路202は、32ビットの信号RDATAのうち、CPU201がポーリング対象として確認したい最下位ビットLSBの値を取り出し、この値がCPU201が期待する1であるかを確認する。最下位ビットLSBが0であるので、ポーリング回路202は、信号READY=0をCPU201に対して継続して出力する。

【0037】

その所定時間後の時刻T6では、ポーリング回路202は、再び、バス205を介して、周辺回路PH1に対して、信号ADDR=A、信号REQ=1、信号WRITE=0を出力する。なお、時刻T6の前の時刻T5では、周辺回路PH1は、CPU201の指示によるセンサデータの読み出し処理が完了し、ステータスレジスタ305の最下位ビットLSBを0から1に変更する。

【0038】

時刻T7の後では、周辺回路PH1は、ステータスレジスタ305の最下位ビットLSBの読み出しデータの準備中であることを示す信号READY=0を、バス205及びポーリング回路202を介して、CPU201に出力する。CPU201は、信号READY=0となっていることから、読み出しアクセスがまだ実行中であることを知る。

【0039】

時刻T8の後、周辺回路PH1は、アドレス信号ADDR=Aで指定されたステータスレジスタ305の値Data(A)の出力準備ができ、信号RDATA=Data(A)を出力し、それと同時に、信号RDATAが有効データであることを示す信号READY=1を出力する。この時、周辺回路PH1は、CPU201から指示されたセンサデータの読み出し処理が完了しているので、ステータスレジスタ305の最下位ビットLSBの値は1である。したがって、信号RDATAの最下位ビットLSBは1である。信号READY及びRDATAは、周辺回路PH1からバス205を介してポーリング回路202



に出力される。

#### 【 0 0 4 0 】

時刻 T 8 の後では、ポーリング回路 2 0 2 は、信号 R E A D Y = 1 となっていることから、それと同時に、信号 R D A T A = D a t a ( A ) が入力されていることを知る。ポーリング回路 2 0 2 は、3 2 ビットの信号 R D A T A のうち、C P U 2 0 1 がポーリング対象として確認したい最下位ビット L S B の値を取り出し、この値が C P U 2 0 1 が期待する 1 であるかを確認する。最下位ビット L S B が 1 であるので、ポーリング回路 2 0 2 は、C P U 2 0 1 に対して、信号 R E A D Y = 1 及び 3 2 ビット信号 R D A T A = 1 を出力する。C P U 2 0 1 は、信号 R E A D Y = 1 となっていることから、読み出しアクセスが終了したことを知る。この時、C P U 2 0 1 が入力する信号 R D A T A は、必ず 1 であることが保証されている。C P U 2 0 1 は、ステータスレジスタ 3 0 5 の最下位ビット L S B を読み出して得られる値は必ず 1 であることが保証され、1 回目の実行で必ず次の処理に進むことができる。

10

#### 【 0 0 4 1 】

以上のように、C P U 2 0 1 は、周辺回路 P H 1 にリードアクセスするために、「1」のリクエスト信号 R E Q 及び周辺回路 P H 1 に対応するアドレス信号 A D D R を出力する。周辺回路 P H 1 は、C P U 2 0 1 のリクエスト信号 R E Q に対応する処理が終了していない場合には「0」のレディ信号 R E A D Y を出力し、C P U 2 0 1 のリクエスト信号 R E Q に対応する処理が終了した場合には「1」のレディ信号 R E D Y 及びリードデータ信号 R D A T A を出力する。なお、信号 R E Q 及び R E A D Y は、それぞれ、「1」が活性化状態を示し、「0」が非活性化状態を示す。

20

#### 【 0 0 4 2 】

ポーリング回路 2 0 2 は、信号 R D A T A の最下位ビット L S B が 1 になるまで、周辺回路 P H 1 に対して、信号 R E Q = 1 等の出力を繰り返す。ポーリング回路 2 0 2 は、周辺回路 P H 1 に対して、信号 R E Q = 1 等を 2 回出力しているが、C P U 2 0 1 は、信号 R E Q = 1 のアクセス要求を出力してから、実際に要求した信号 R D A T A = D a t a ( A ' ) の到着までの 1 回の読み出しアクセスで期待する値の 1 を受け取っている。したがって、C P U 2 0 1 が信号 R E Q = 1 の読み出し及び確認処理を繰り返し実行する必要がないので、電力消費が抑えられ、プログラムを繰り返し R A M 2 0 3 から読み出すことによる R A M 2 0 3 の電力消費が抑えられる。

30

#### 【 0 0 4 3 】

図 8 は、メモリマップを示す図である。以下、ポーリング回路 2 0 2 が、C P U 2 0 1 から入力するアドレス信号 A D D R を基に C P U 2 0 1 が 3 2 ビットの信号 R D A T A のうちの何ビット目の値をポーリング処理のチェック対象としているのか、及び期待する値が 0 と 1 のどちらなのかを判別する方法を説明する。各レジスタ 3 0 1 ~ 3 0 5 は、3 2 ビットでバイトアドレッシング ( 1 バイト = 8 ビット単位でアドレスが割り振られている ) されているものとする。

#### 【 0 0 4 4 】

第 1 の周辺回路 P H 1 の各種レジスタ 3 0 1 ~ 3 0 5 は、アドレス 0 x 4 0 0 0 0 0 0 から 0 x 4 0 0 0 0 F F C にマッピングされている。ここで、0 x は、1 6 進数を示す。例えば、ステータスレジスタ 3 0 5 のアドレスは 0 x 4 0 0 0 0 0 0 0 、制御レジスタ 3 0 4 は 0 x 4 0 0 0 0 0 0 4 、受信データバッファレジスタ 3 0 3 は 0 x 4 0 0 0 0 0 0 8 などのようにマッピングされる。通常、C P U 2 0 1 がレジスタ 3 0 1 ~ 3 0 5 の値を読み出したり、レジスタ 3 0 1 ~ 3 0 5 に値を書き込むときは、これらのアドレスを用いてアクセスする。

40

#### 【 0 0 4 5 】

アドレス 0 x 5 0 0 0 0 0 0 0 ~ 0 x 5 0 0 1 F F F C は、C P U 2 0 1 が第 1 の周辺回路 P H 1 のレジスタのあるビットが 0 であることを期待して、レジスタに読み出しアクセスするときのためのアドレスである。アドレス 0 x 6 0 0 0 0 0 0 0 ~ 0 x 6 0 0 1 F F F C は、C P U 2 0 1 が第 1 の周辺回路 P H 1 のレジスタのあるビットが 1 であること

50



を期待して、レジスタに読み出しアクセスするときのためのアドレスである。

【 0 0 4 6 】

レジスタ領域 8 0 1 a は、第 1 の周辺回路 P H 1 の通常レジスタ領域である。レジスタ領域 8 0 1 b は、第 1 の周辺回路 P H 1 の期待値が 0 のレジスタ領域である。レジスタ領域 8 0 1 c は、第 1 の周辺回路 P H 1 の期待値が 1 のレジスタ領域である。レジスタ領域 8 0 2 a は、第 2 の周辺回路 P H 2 の通常レジスタ領域である。レジスタ領域 8 0 2 b は、第 2 の周辺回路 P H 2 の期待値が 0 のレジスタ領域である。レジスタ領域 8 0 2 c は、第 2 の周辺回路 P H 2 の期待値が 1 のレジスタ領域である。レジスタ領域 8 0 4 a は、第 4 の周辺回路 P H 4 の通常レジスタ領域である。レジスタ領域 8 0 4 b は、第 4 の周辺回路 P H 4 の期待値が 0 のレジスタ領域である。レジスタ領域 8 0 4 c は、第 4 の周辺回路 P H 4 の期待値が 1 のレジスタ領域である。

10

【 0 0 4 7 】

図 9 は、第 1 の周辺回路 P H 1 の通常レジスタ領域 8 0 1 a、期待値が 0 のレジスタ領域 8 0 1 b、及び期待値が 1 のレジスタ領域 8 0 1 c の例を示す図である。例えば、通常レジスタ領域 8 0 1 a のアドレスが  $0 \times 40000000$  で指定されるレジスタの 0 ビット目（最下位ビット）A を値が 0 であることを期待して読み出しアクセスするときは、C P U 2 0 1 は、信号 A D D R =  $0 \times 50000000$  をポーリング回路 2 0 2 に出力する。また、通常レジスタ領域 8 0 1 a のアドレスが  $0 \times 40000000$  で指定されるレジスタの 0 ビット目（最下位ビット）A を値が 1 であることを期待して読み出しアクセスするときは、C P U 2 0 1 は、信号 A D D R =  $0 \times 60000000$  をポーリング回路 2 0 2 に出力する。

20

【 0 0 4 8 】

通常レジスタ領域 8 0 1 a のアドレスが  $0 \times 40000000$  で指定されるレジスタの 1 ビット目 B を値が 0 であることを期待して読み出しアクセスするときは、C P U 2 0 1 は、信号 A D D R =  $0 \times 50000004$  をポーリング回路 2 0 2 に出力する。また、通常レジスタ領域 8 0 1 a のアドレスが  $0 \times 40000000$  で指定されるレジスタの 1 ビット目 B を値が 1 であることを期待して読み出しアクセスするときは、C P U 2 0 1 は、信号 A D D R =  $0 \times 60000004$  をポーリング回路 2 0 2 に出力する。

【 0 0 4 9 】

通常レジスタ領域 8 0 1 a のアドレスが  $0 \times 40000FFC$  で指定されるレジスタの 3 1 ビット目（最上位ビット）C を値が 0 であることを期待して読み出しアクセスするときは、C P U 2 0 1 は、信号 A D D R =  $0 \times 5001FFFF$  をポーリング回路 2 0 2 に出力する。また、通常レジスタ領域 8 0 1 a のアドレスが  $0 \times 40000FFC$  で指定されるレジスタの 3 1 ビット目（最上位ビット）C を値が 1 であることを期待して読み出しアクセスするときは、C P U 2 0 1 は、信号 A D D R =  $0 \times 6001FFFF$  をポーリング回路 2 0 2 に出力する。

30

【 0 0 5 0 】

ポーリング処理でアクセスしたいレジスタ 3 0 1 ~ 3 0 5 の通常レジスタ領域 8 0 1 a のアドレスを A d d r \_ n、ビット位置を B I T とすると、このビットが 0 であることを期待して読み出しアクセスするときに、C P U 2 0 1 が出力するアドレス信号 A D D R は、次式で表される。

40

【 0 0 5 1 】

$$A D D R = 0 \times 50000000 + (A d d r \_ n - 0 \times 40000000) \times 32 \times 4 + B I T \times 4$$

【 0 0 5 2 】

同様に、ポーリング処理でアクセスしたいレジスタ 3 0 1 ~ 3 0 5 の通常レジスタ領域 8 0 1 a のアドレスを A d d r \_ n、ビット位置を B I T とすると、このビットが 1 であることを期待して読み出しアクセスするときに、C P U 2 0 1 が出力するアドレス信号 A D D R は、次式で表される。

【 0 0 5 3 】

50



$ADDR = 0 \times 60000000 + (Addr\_n - 0 \times 40000000) \times 32 \times 4 + BIT \times 4$

【0054】

図10は、ポーリング回路202の構成例を示す図である。ポーリング回路202は、アドレス信号生成部1001、レディ(READY)信号生成部1002、リードデータ(RDATA)信号生成部1003及びリクエスト(REQ)信号生成部1004を有する。

【0055】

図11は、図10のアドレス信号生成部1001の構成例を示す図である。アドレス信号生成部1001は、アドレス比較部1101、アドレス変換部1102、アドレス保持部1103及びセクタ1104を有する。アドレス信号生成部1001は、CPU201からの信号ADDRを変換し、変換した信号ADDRをバス205へ出力する。アドレス比較部1101は、CPU201から入力される32ビットの信号ADDRのうち、上位4ビットが0×5であれば、期待値0のレジスタ領域801bのアクセスと判断し、上位4ビットが0×6であれば、期待値1のレジスタ領域801cのアクセスと判断する。また、アドレス比較部1101は、上記の上位4ビットがそれ以外の値である場合、通常レジスタ領域801aへのアクセス、RAM203へのアクセスなど、ポーリング処理以外のアクセスと判断する。

【0056】

アドレス比較部1101は、信号ADDRの上位4ビットが0×5又は0×6の場合、CPU201からポーリングのためのアクセス要求が来たことを伝えるため、「1」のポーリングアクセス信号を出力し、それ以外の場合、「0」のポーリングアクセス信号を出力する。また、アドレス比較部1101は、期待値信号として、信号ADDRの上位4ビットが0×5の場合は0を出力し、信号ADDRの上位4ビットが0×6の場合は1を出力する。また、アドレス比較部1101は、信号ADDRの下位7ビットを4で割った値を基にポーリング対象のビット位置を算出し、ビット位置信号を出力する。

【0057】

アドレス変換部1102は、ポーリングアクセス信号が0の場合は、CPU201からの信号ADDRをそのままアドレス保持部1103及びセクタ1104に出力する。また、アドレス変換部1102は、ポーリングアクセス信号が1の場合は、以下の手順でアドレスAddr\_nを演算し、演算したアドレスAddr\_nをアドレス保持部1103及びセクタ1104に出力する。

【0058】

(1)アドレス変換部1102は、期待値が0の場合、CPU201から入力される信号ADDRから0×50000000を減算し、期待値が1の場合、CPU201から入力される信号ADDRから0×60000000を減算する。

【0059】

(2)アドレス変換部1102は、(1)で求めた値を7ビット論理右シフトする。

【0060】

(3)アドレス変換部1102は、(2)で求めた値に0×40000000を加算する。

【0061】

上記の手順により、CPU201がポーリング処理で確認したいビットを含むレジスタの通常レジスタ領域801aのアドレスAddr\_nを復元できる。アドレス変換部1102は、アドレスAddr\_nをアドレス保持部1103及びセクタ1104に出力する。

【0062】

アドレス保持部1103は、ポーリングアクセス信号が1の場合は、アドレス変換部1102が生成したアドレスAddr\_nを保持する。これにより、周辺回路PH1から読み出したステータスレジスタ305の値が期待する値でないときにポーリング回路202

10

20

30

40

50



が、ステータスレジスタ 305 の読み出しアクセスを繰り返し行うことが可能になる。

【0063】

セクタ 1104 は、ポーリングアクセス信号が 0 の場合は、アドレス変換部 1102 が出力する信号 ADDR をそのままバス 205 へ出力する。この際、アドレス変換部 1102 は、アドレス変換を行わず、CPU 201 からの信号 ADDR をそのまま出力している。また、セクタ 1104 は、ポーリングアクセス信号が 1 の場合は、アドレス保持部 1103 が出力するアドレス Addr\_n をバス 205 へ出力する。

【0064】

以上のように、アドレス信号生成部 1001 は、CPU 201 から入力したアドレス信号 ADDR が期待値 0 及び期待値 1 のレジスタ領域（第 1 のアドレス範囲）801b 及び 801c のアドレスである場合には、CPU 201 から入力したアドレス信号 ADDR を通常レジスタ領域（第 2 のアドレス範囲）801a のアドレスに変換して、バス 205 を介して周辺回路 PH1 にアドレス信号 ADDR を出力する。また、アドレス信号生成部 1001 は、CPU 201 から入力したアドレス信号 ADDR が期待値 0 及び期待値 1 のレジスタ領域（第 1 のアドレス範囲）801b 及び 801c のアドレスでない場合には、CPU 201 から入力したアドレス信号 ADDR と同じアドレス信号 ADDR を、バス 205 を介して周辺回路 PH1 に出力する。アドレス保持部 1103 は、CPU 201 から入力したアドレス信号 ADDR を通常レジスタ領域（第 2 のアドレス範囲）801a のアドレスに変換したアドレスを保持する。

【0065】

図 12 は、図 10 の READY 信号生成部 1002 の構成例を示す図である。READY 信号生成部 1002 は、セクタ R1、R2、ビット位置保持部 1201、期待値保持部 1202、期待値比較部 1203、及びポーリング中断判定部 1204 を有する。READY 信号生成部 1002 は、CPU 201 へ出力する信号 READY を生成する。

【0066】

ビット位置保持部 1201 は、ポーリング処理の間、図 11 のアドレス比較部 1101 が出力するビット位置信号を保持し、セクタ R1 に出力する。セクタ R1 は、バス 205 から入力される 32 ビットの信号 RDATA のうち、ビット位置保持部 1201 が出力するビット位置信号が示すビット位置の値を選択し、ビット信号として出力する。

【0067】

期待値保持部 1202 は、ポーリング処理の間、図 11 のアドレス比較部 1101 が出力する期待値信号を保持し、期待値比較部 1203 へ出力する。期待値比較部 1203 は、セクタ R1 から入力されるビット信号と期待値保持部 1202 から入力される期待値信号を比較し、両者が一致した場合には「1」の期待値判定信号を出力し、両者が不一致の場合には「0」の期待値判定信号を出力する。ポーリング中断判定部 1204 は、CPU 201 へ入力される割り込み信号 IR を入力し、CPU 201 に対して割り込みが発生した場合は、「1」のポーリング中断信号をセクタ R2 に出力する。

【0068】

セクタ R2 は、図 11 のアドレス比較部 1101 が出力するポーリングアクセス信号、期待値比較部 1203 が出力する期待値判定信号、ポーリング中断判定部 1204 が出力するポーリング中断信号に応じて、バス 205 からの信号 READY 又は 0 を CPU 201 に出力する。セクタ R2 が出力する信号は、ポーリング回路 202 から CPU 201 へ出力される信号 READY である。

【0069】

図 13 は、セクタ R2 の動作を説明するための図である。セクタ R2 は、ポーリングアクセス信号、期待値判定信号、及びポーリング中断信号に応じて、信号を出力する。セクタ R2 は、ポーリング中断信号が 1 の場合、ポーリングアクセス信号、期待値判定信号の値にかかわらず、バス 205 からの信号 READY を選択して出力する。その理由は後述する。また、セクタ R2 は、ポーリング中断信号が 0 の場合、以下の動作を行う。



## 【 0 0 7 0 】

ポーリングアクセス信号が 0 の場合、CPU 2 0 1 はポーリングのためのアクセスでない通常のアクセスを行っているため、セクタ R 2 は、バス 2 0 5 からの信号 R E A D Y をそのまま CPU 2 0 1 に出力する。

## 【 0 0 7 1 】

ポーリングアクセス信号が 1 であり、期待値判定信号が 1 の場合、CPU 2 0 1 が期待する値が得られているので、セクタ R 2 は、バス 2 0 5 からの信号 R E A D Y をそのまま CPU 2 0 1 に出力する。この際、ポーリング回路 2 0 2 がバス 2 0 5 を介して周辺回路 P H 1 のステータスレジスタ 3 0 5 の値を読み出す処理は完了しているため、バス 2 0 5 からの信号 R E A D Y は 1 となっている。

10

## 【 0 0 7 2 】

ポーリングアクセス信号が 1 であり、期待値判定信号が 0 の場合、CPU 2 0 1 が期待する値が得られておらず、CPU 2 0 1 には読み出しアクセスが継続しているように見えるため、セクタ R 2 は、「 0 」の信号 R E A D Y を CPU 2 0 1 に出力する。

## 【 0 0 7 3 】

次に、ポーリング中断信号が 1 になる条件と、そのときのポーリング回路 2 0 2 の動作を説明する。CPU 2 0 1 がポーリング処理をしているとき、もしポーリング対象のステータスレジスタ 3 0 5 の値が長時間にわたって CPU が期待する値に変化しなかった場合、ポーリング回路 2 0 2 から CPU 2 0 1 へ出力する信号 R E A D Y は長時間にわたって 0 のままになる。CPU 2 0 1 から見ると、読み出しアクセスが長時間保留になっているように見える。CPU 2 0 1 がバスアクセスの途中に「 1 」の割り込み信号 I R が入力されたときは、バスアクセスの完了を待ってから割り込み処理に移行する設計であった場合、ポーリング回路 2 0 2 が期待値一致を確認するまで、CPU 2 0 1 にとっては、信号 R E A D Y が 0 であり、バスアクセスが完了していないように見える。そのため、CPU 2 0 1 は、割り込み処理に移行するまでに長い間待たされることになる。そこで、CPU 2 0 1 に「 1 」の割り込み信号 I R が入力された場合は、CPU 2 0 1 は、すみやかに現在実行しているプログラムを中断し、割り込み処理プログラムに移行する。

20

## 【 0 0 7 4 】

本実施形態では、割り込み処理に移行するまでに長時間の待ち時間が生ずる事態を防ぐために、ポーリング中断判定部 1 2 0 4 は、CPU 2 0 1 へ入力される割り込み信号 I R を入力し、CPU 2 0 1 に対して割り込みが発生した場合は、ポーリング処理を中断するために「 1 」のポーリング中断信号を出力する。セクタ R 2 は、CPU 2 0 1 から見たバスアクセスを完了させるために、バス 2 0 5 からの信号 R E A D Y をそのまま CPU 2 0 1 へ出力する。

30

## 【 0 0 7 5 】

このとき、CPU 2 0 1 へ出力される信号 R D A T A は、ポーリング回路 2 0 2 がもっとも最近読み出したステータスレジスタ 3 0 5 の指定されたビットの値とするため、セクタ R 1 が出力するビット信号を保持するビット信号保持部 1 4 0 1 ( 図 1 4 ) を設ける。

## 【 0 0 7 6 】

以上のように、R E A D Y 信号生成部 1 0 0 2 は、CPU 2 0 1 から入力したアドレス信号 A D D R が期待値 0 及び期待値 1 のレジスタ領域 ( 第 1 のアドレス範囲 ) 8 0 1 b 及び 8 0 1 c のアドレスであり、バス 2 0 5 を介して周辺回路 P H 1 から入力したリードデータ信号 R D A T A が CPU 2 0 1 から入力したアドレス信号 A D D R に対応する期待値と同じである場合には、バス 2 0 5 を介して周辺回路 P H 1 から入力したレディ信号 R E A D Y と同じレディ信号 R E A D Y を CPU 2 0 1 に出力し、その他の場合には「 0 」のレディ信号 R E A D Y を CPU 2 0 1 に出力する。

40

## 【 0 0 7 7 】

具体的には、R E A D Y 信号生成部 1 0 0 2 は、CPU 2 0 1 から入力したアドレス信号 A D D R が期待値 0 のレジスタ領域 ( 第 3 のアドレス範囲 ) 8 0 1 b のアドレスであり

50



、周辺回路 P H 1 から入力したリードデータ信号 R D A T A のうちの C P U 2 0 1 から入力したアドレス信号 A D D R に対応するビットの値が 0 である場合には、周辺回路 P H 1 から入力したレディ信号 R E A D Y と同じレディ信号 R E A D Y を C P U 2 0 1 に出力する。また、R E A D Y 信号生成部 1 0 0 2 は、C P U 2 0 1 から入力したアドレス信号 A D D R が期待値 1 のレジスタ領域（第 4 のアドレス範囲）8 0 1 c のアドレスであり、周辺回路 P H 1 から入力したリードデータ信号 R D A T A のうちの C P U 2 0 1 から入力したアドレス信号 A D D R に対応するビットの値が 1 である場合には、周辺回路 P H 1 から入力したレディ信号 R E A D Y と同じレディ信号 R E A D Y を C P U 2 0 1 に出力する。

【 0 0 7 8 】

また、R E A D Y 信号生成部 1 0 0 2 は、C P U 2 0 1 に入力される割り込み信号 I R が「 1 」（活性化状態）になった場合には、バス 2 0 5 を介して周辺回路 P H 1 から入力したレディ信号 R E A D Y と同じレディ信号 R E A D Y を C P U 2 0 1 に出力する。

【 0 0 7 9 】

図 1 4 は、図 1 0 の R D A T A 信号生成部 1 0 0 3 の構成例を示す図である。R D A T A 信号生成部 1 0 0 3 は、ポーリング回路 2 0 2 から C P U 2 0 1 へ出力する信号 R D A T A を生成する。R D A T A 信号生成部 1 0 0 3 は、ビット信号保持部 1 4 0 1 及びセクタ 1 4 0 2 を有する。ビット信号保持部 1 4 0 1 は、図 9 のレジスタ領域 8 0 1 b 及び 8 0 1 c のように、図 1 2 の R E A D Y 信号生成部 1 0 0 2 からのビット信号を最下位ビットとして入力し、上位 3 1 ビット分を 0 で埋め、3 2 ビット信号を生成し、セクタ 1 4 0 2 に出力する。セクタ 1 4 0 2 は、ポーリングアクセス信号が「 1 」の場合、ビット信号保持部 1 4 0 1 が出力する 3 2 ビット信号を、信号 R D A T A として C P U 2 0 1 に出力する。また、ポーリングアクセス信号が 0 の場合、C P U 2 0 1 はポーリング処理のためではないバスアクセスを行っていることになるので、セクタ 1 4 0 2 は、バス 2 0 5 からの信号 R D A T A をそのまま C P U 2 0 1 へ出力する。

【 0 0 8 0 】

以上のように、R D A T A 信号生成部 1 0 0 3 は、C P U 2 0 1 から入力したアドレス信号 A D D R が期待値 0 及び期待値 1 のレジスタ領域（第 1 のアドレス範囲）8 0 1 b 及び 8 0 1 c のアドレスである場合には、バス 2 0 5 を介して周辺回路 P H 1 から入力したリードデータ信号 R D A T A のうちの C P U 2 0 1 から入力したアドレス信号 A D D R に対応するビットの信号をリードデータ信号 R D A T A として C P U 2 0 1 に出力する。ビット信号保持部 1 4 0 1 は、バス 2 0 5 を介して周辺回路 P H 1 から入力したリードデータ信号 R D A T A のうちの C P U 2 0 1 から入力したアドレス信号 A D D R に対応するビットの信号を保持する。

【 0 0 8 1 】

具体的には、R D A T A 信号生成部 1 0 0 3 は、バス 2 0 5 を介して周辺回路 P H 1 から入力したリードデータ信号 R D A T A のうちの C P U 2 0 1 から入力したアドレス信号 A D D R に対応するビットの信号を下位ビットとし、上位ビットを 0 で埋めた信号をリードデータ信号 R D A T A として C P U 2 0 1 に出力する。

【 0 0 8 2 】

図 1 5 は、図 1 0 の R E Q 信号生成部 1 0 0 4 の構成例を示す図である。R E Q 信号生成部 1 0 0 4 は、ポーリング回路 2 0 2 からバス 2 0 5 へ出力する信号 R E Q を生成する。R E Q 信号生成部 1 0 0 4 は、セクタ 1 5 0 1 及び 1 5 0 2 を有する。ポーリングアクセス信号が 0 の場合、C P U 2 0 1 はポーリング処理のためのアクセスではない通常のアクセスを行っているため、セクタ 1 5 0 1 は、C P U 2 0 1 からの信号 R E Q をそのままバス 2 0 5 への信号 R E Q として出力する。ポーリングアクセス信号が 1 の場合、セクタ 1 5 0 1 は、以下の動作により、バス 2 0 5 への信号 R E Q を生成する。

【 0 0 8 3 】

セクタ 1 5 0 1 は、ポーリングアクセス信号が 1 の場合、周辺回路 P H 1 のステータスレジスタ 3 0 5 の 1 回目のアクセスのために、「 1 」の信号 R E Q をバス 2 0 5 に出力する。

10

20

30

40

50



## 【 0 0 8 4 】

読み出した周辺回路 P H 1 のステータスレジスタ 3 0 5 の値が期待値と一致せず、2 回目以降のステータスレジスタ 3 0 5 の読み出しアクセスを行うための信号 R E Q の出力は、セクタ 1 5 0 2 がアクセスタイミング信号を出力したときに行う。セクタ 1 5 0 2 は、図 1 1 のアドレス保持部 1 1 0 3 が出力する通常レジスタアドレスを基に、周辺回路 P H 1 ~ P H 4 が出力するイネーブル信号 E N S 1 ~ E N S 4 のうちのいずれかを選択し、アクセスタイミング信号としてセクタ 1 5 0 1 に出力する。例えば、周辺回路 P H 1 ~ P H 4 の通常レジスタ領域のアドレスが図 8 の構成の時、通常レジスタアドレスが  $0 \times 4 0 0 0 0 0 0 0 \sim 0 \times 4 0 0 0 0 F F C$  の範囲の場合、セクタ 1 5 0 2 は、周辺回路 P H 1 のイネーブル信号 E N S 1 を選択し、アクセスタイミング信号として出力する。

10

## 【 0 0 8 5 】

図 1 6 は、各周辺回路 P H 1 ~ P H 4 内のイネーブル信号生成部の構成例を示す図である。3 2 個の D 型フリップフロップ F F 1 ~ F F 3 2 は、図 3 のステータスレジスタ 3 0 5 に対応し、3 2 ビット値を記憶する。論理和回路 3 0 6 は、図 3 の論理和回路 3 0 6 に対応する。イネーブル信号生成部は、イネーブル信号 E N S を生成する。第 1 の周辺回路 P H 1 内のイネーブル信号生成部が出力するイネーブル信号 E N S は、図 1 5 の第 1 の周辺回路 P H 1 が出力するイネーブル信号 E N S 1 に対応する。第 2 の周辺回路 P H 2 内のイネーブル信号生成部が出力するイネーブル信号 E N S は、図 1 5 の第 2 の周辺回路 P H 2 が出力するイネーブル信号 E N S 2 に対応する。第 3 の周辺回路 P H 3 内のイネーブル信号生成部が出力するイネーブル信号 E N S は、図 1 5 の第 3 の周辺回路 P H 3 が出力するイネーブル信号 E N S 3 に対応する。第 4 の周辺回路 P H 4 内のイネーブル信号生成部が出力するイネーブル信号 E N S は、図 1 5 の第 4 の周辺回路 P H 4 が出力するイネーブル信号 E N S 4 に対応する。

20

## 【 0 0 8 6 】

ステータスレジスタ 3 0 5 は、イネーブル端子 E N 付きの D 型フリップフロップ F F 1 ~ F F 3 2 を有する。イネーブル端子 E N 付きの D 型フリップフロップ F F 1 ~ F F 3 2 は、それぞれ、1 ビットの記憶素子であり、イネーブル端子 E N の信号が 1 の時に入力端子 D の値を内部に取り込み、保持し、保持した値を出力端子 Q から出力する。したがって、各 D 型フリップフロップ F F 1 ~ F F 3 2 のイネーブル端子 E N に入力される信号が 1 のとき、各 D 型フリップフロップ F F 1 ~ F F 3 2 の値が書き換わる可能性がある。なお、イネーブル端子 E N に 1 が入力されても、入力端子 D へ入力される値がもともと各 D 型フリップフロップ F F 1 ~ F F 3 2 が保持している値と同じ場合は、結果的に、各 D 型フリップフロップ F F 1 ~ F F 3 2 の値は書き換わらず、出力端子 Q から同じ値が出力され続ける。論理和回路 3 0 6 は、D 型フリップフロップ (ステータスレジスタ) F F 1 ~ F F 3 2 のイネーブル端子 E N の信号の論理和をイネーブル信号 E N S として出力する。イネーブル信号 E N S は、図 1 5 のイネーブル信号 E N S 1 ~ E N S 4 に対応する。

30

## 【 0 0 8 7 】

図 1 5 において、セクタ 1 5 0 2 は、通常レジスタアドレスに応じて、イネーブル信号 E N S 1 ~ E N S 4 のいずれかを選択し、アクセスタイミング信号としてセクタ 1 5 0 1 に出力する。セクタ 1 5 0 1 は、ポーリングアクセス信号が 1 であり、アクセスタイミング信号が 1 の場合、ポーリング対象の周辺回路 P H 1 ~ P H 4 のステータスレジスタ 3 0 5 の値が変化した可能性があると判断し、2 回目以降の読み出しアクセスのための「1」の信号 R E Q をバス 2 0 5 へ出力する。また、セクタ 1 5 0 1 は、ポーリングアクセス信号が 1 であり、アクセスタイミング信号が 0 の場合、ポーリング対象の周辺回路 P H 1 ~ P H 4 のステータスレジスタ 3 0 5 の値が変化した可能性がないと判断し、「0」の信号 R E Q をバス 2 0 5 へ出力する。ステータスレジスタ 3 0 5 の値が変化した可能性がないときは、バス 2 0 5 へ「0」の信号 R E Q を出力するので、無駄にステータスレジスタ 3 0 5 の読み出しアクセスを行うことを防ぐことができる。これにより、ポーリング回路 2 0 2 及びバス 2 0 5 の無駄な電力消費を抑え、D M A C 2 0 6 などの他にバス 2 0 5 を使用するモジュールとのバスアクセス競合を防ぐことができる。

40

50



## 【 0 0 8 8 】

以上のように、周辺回路 P H 1 ~ P H 4 は、それぞれ、C P U 2 0 1 のリクエスト信号 R E Q に応じて、イネーブル端子 E N を有するステータスレジスタ 3 0 5 からリードデータを読み出す。R E Q 信号生成部 1 0 0 4 は、例えば、周辺回路 P H 1 のステータスレジスタ 3 0 5 のイネーブル端子 E N の信号が 1 になった場合に、周辺回路 P H 1 に「 1 」のリクエスト信号 R E Q を出力する。なお、イネーブル端子 E N の信号は、「 1 」が活性化状態を示し、「 0 」が非活性化状態を示す。

## 【 0 0 8 9 】

具体的には、ステータスレジスタ 3 0 5 は、イネーブル端子 E N を有する複数のフリップフロップ F F 1 ~ F F 3 2 を有する。R E Q 信号生成部 1 0 0 4 は、複数のフリップフロップ F F 1 ~ F F 3 2 のイネーブル端子 E N の信号のうちのいずれかの信号が 1 になった場合に、周辺回路 P H 1 に「 1 」のリクエスト信号 R E Q を出力する。

10

## 【 0 0 9 0 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

## 【 符号の説明 】

## 【 0 0 9 1 】

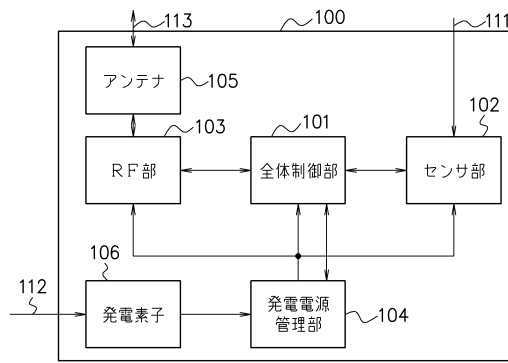
- 1 0 0    ワイヤレスセンサノード
- 1 0 1    全体制御部
- 1 0 2    センサ部
- 1 0 3    R F 部
- 1 0 4    発電電源管理部
- 1 0 5    アンテナ
- 1 0 6    発電素子
- 2 0 1    中央処理装置 ( C P U )
- 2 0 2    ポーリング回路
- 2 0 3    R A M
- 2 0 4    割り込みコントローラ
- 2 0 5    バス
- 2 0 6    ダイレクトメモリアクセスコントローラ ( D M A C )
- P H 1    第 1 の周辺回路
- P H 2    第 2 の周辺回路
- P H 3    第 3 の周辺回路
- P H 4    第 4 の周辺回路

20

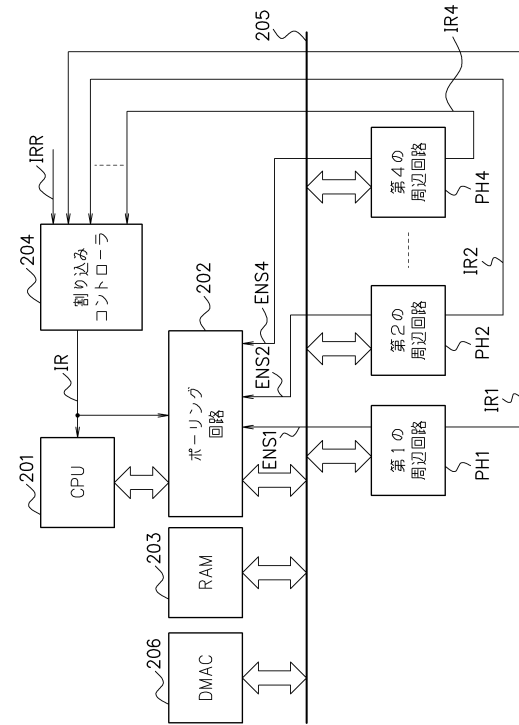
30



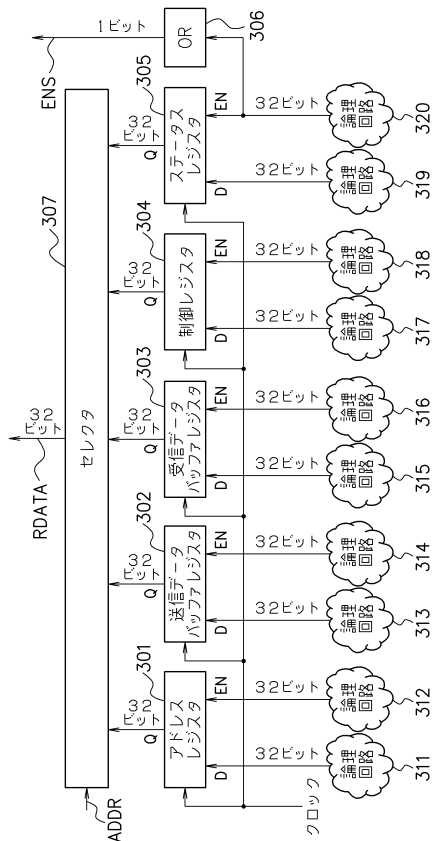
【図 1】



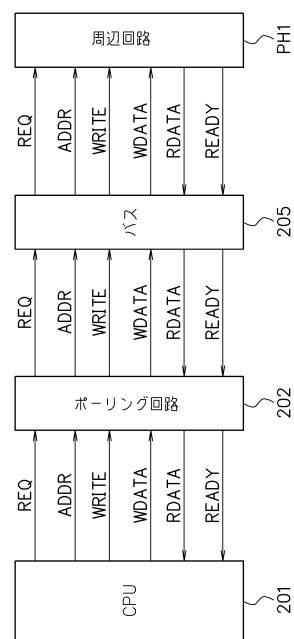
【図 2】



【図 3】

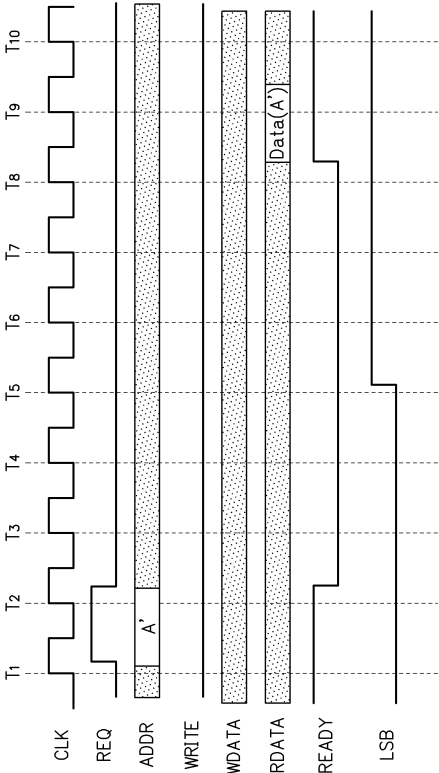


【図 4】

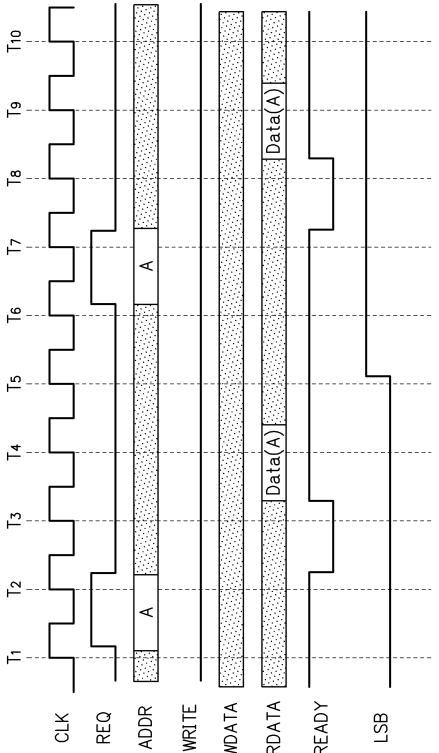




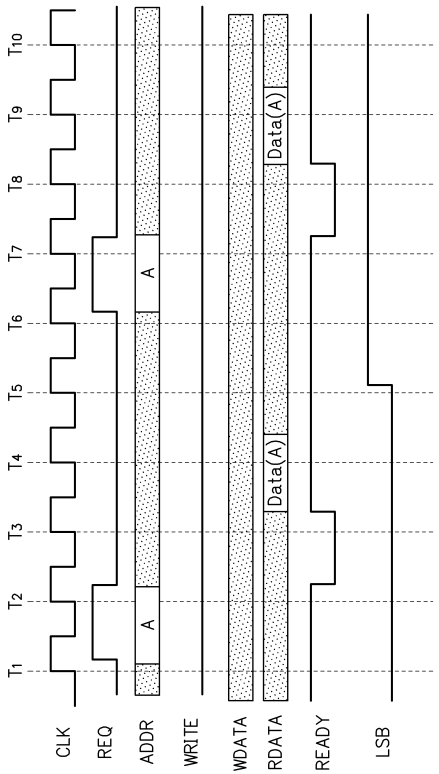
【図 5】



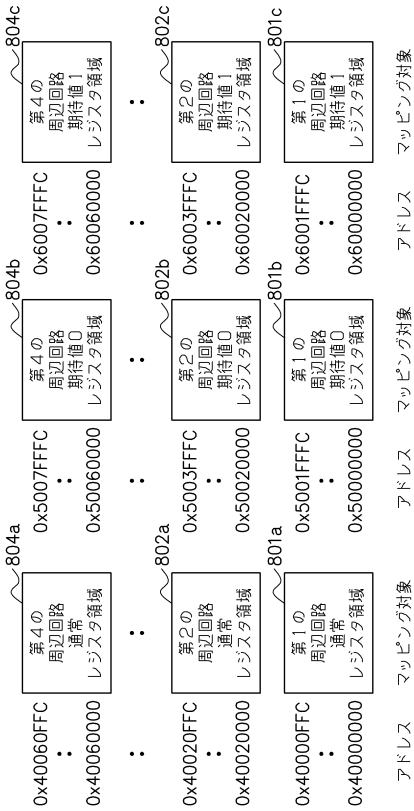
【図 6】



【図 7】

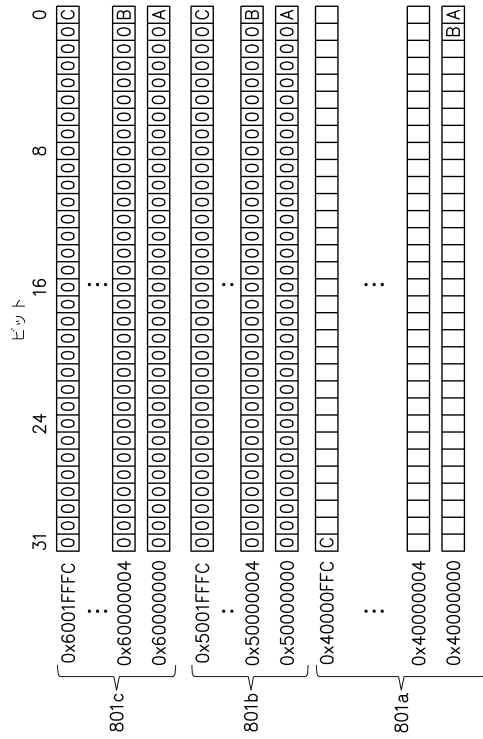


【図 8】

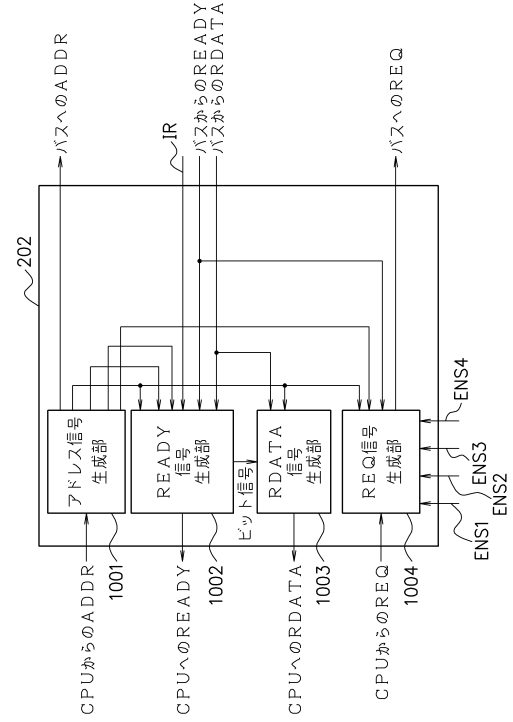




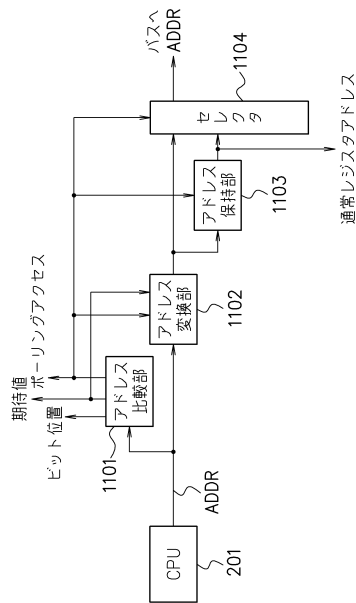
【図 9】



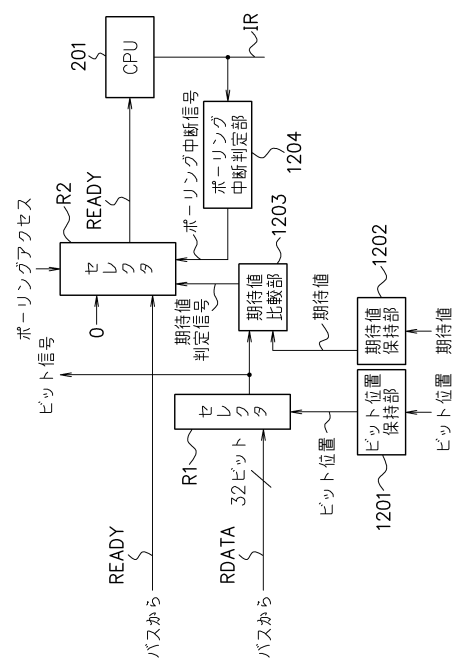
【図 10】



【図 11】



【図 12】

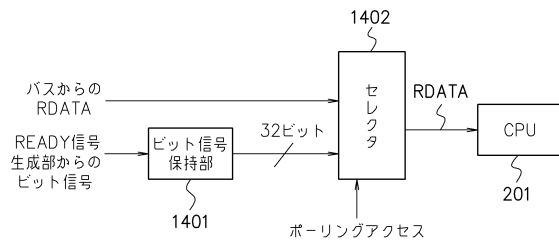




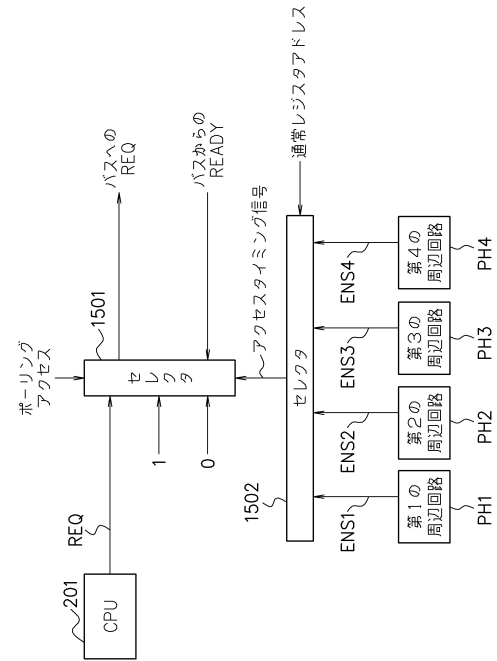
【図 13】

ポーリング アクセス	期待値 判定信号	ポーリング 中断信号	セレクタ R2の出力 信号
Don't care	Don't care	1	バスからの READY 信号
0	Don't care	0	バスからの READY 信号
1	1	0	バスからの READY 信号
1	0	0	0

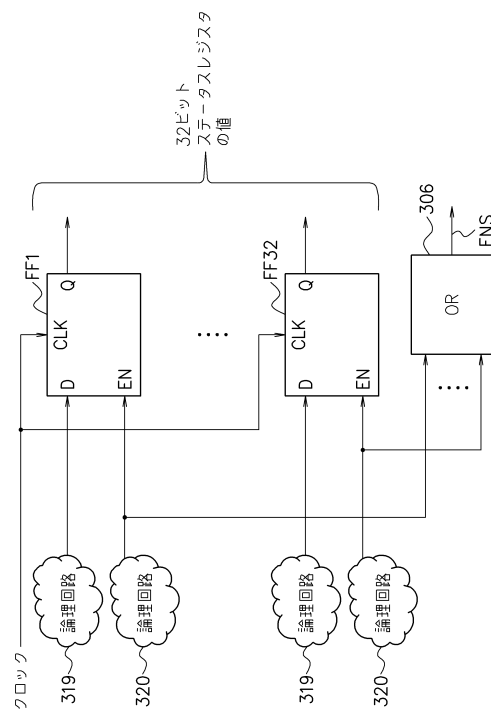
【図 14】



【図 15】



【図 16】





---

フロントページの続き

(56)参考文献 特開 2 0 1 1 - 0 3 4 3 8 5 ( J P , A )  
特開 2 0 0 9 - 2 3 8 0 0 1 ( J P , A )  
特開 2 0 1 1 - 0 1 3 9 1 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 6 F 9 / 4 8