

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-128666
(P2006-128666A)

(43) 公開日 平成18年5月18日 (2006.5.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 7 G	3 K O O 7
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 Z	4 M 1 O 4
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 6 L	5 F O 4 8
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 1 2 C	5 F 1 1 O
HO 1 L 21/20 (2006.01)	HO 1 L 29/58 G	5 F 1 5 2
審査請求 未請求 請求項の数 29 O L (全 64 頁) 最終頁に続く		

(21) 出願番号 特願2005-285804 (P2005-285804)	(71) 出願人 000153878
(22) 出願日 平成17年9月30日 (2005. 9. 30)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2004-287935 (P2004-287935)	神奈川県厚木市長谷398番地
(32) 優先日 平成16年9月30日 (2004. 9. 30)	(72) 発明者 山崎 舜平
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	(72) 発明者 前川 慎志
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
	Fターム(参考) 3K007 AB17 AB18 BA06 DB03 FA00
	GA00
	最終頁に続く

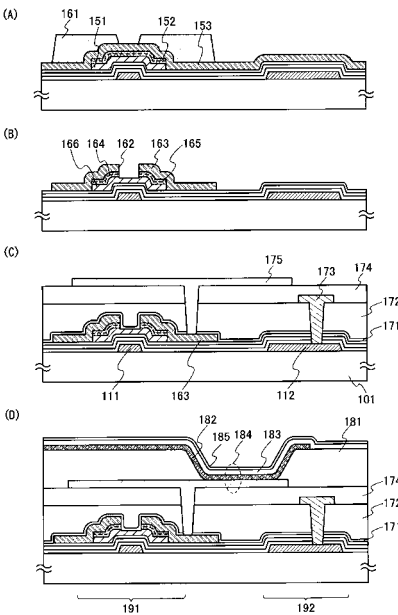
(54) 【発明の名称】 表示装置の作製方法

(57) 【要約】

【課題】本発明は、しきい値のずれが生じにくく、高速動作が可能な逆スタガ型TFTを有する表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な表示装置の作製方法を提供する。

【解決手段】 本発明は、耐熱性の高い材料でゲート電極を形成した後、非晶質半導体膜の結晶化を促進する触媒元素を有する層、非晶質半導体膜、及びドナー型元素又は希ガス元素を有する層を形成し加熱して、非晶質半導体膜を結晶化すると共に触媒元素を結晶性半導体膜から除いた後、該結晶性半導体膜の一部を用いて半導体領域を形成し、該半導体領域に電氣的に接するソース電極及びドレイン電極を形成し、ゲート電極に接続するゲート配線を形成して、逆スタガ型TFTを形成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

10

【請求項 2】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を形成し、前記前記ソース電極又はドレイン電極の他方に接する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

20

【請求項 3】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

30

【請求項 4】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を形成し、前記前記ソース電極又はドレイン電極の他方に接する第 1 の電極を形成し、前記第 1 の電極上に発

40

50

光物質を含む層、及び第２の電極を形成することを特徴とする表示装置の作製方法。

【請求項５】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第１の半導体膜を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第１の半導体膜が重畳する領域上に保護層を形成し、前記第１の半導体膜及び前記保護層上に不純物元素を有する第２の半導体膜を形成した後加熱し、加熱された前記第２の半導体膜に接する第１の導電層を形成し、前記第１の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第２の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第１の電極を形成し、前記第１の電極上に発光物質を含む層、及び第２の電極を形成することを特徴とする表示装置の作製方法。

【請求項６】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第１の半導体膜を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第１の半導体膜が重畳する領域上に保護層を形成し、前記半導体膜及び前記保護層上に不純物元素を有する第２の半導体膜を形成した後加熱し、加熱された前記第２の半導体膜に接する第１の導電層を形成し、前記第１の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第２の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を形成し、前記前記ソース電極又はドレイン電極の他方に接する第１の電極を形成し、前記第１の電極上に発光物質を含む層、及び第２の電極を形成することを特徴とする表示装置の作製方法。

【請求項７】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第１の半導体膜を形成し、前記第１の半導体膜上に触媒元素を有する層を形成し、前記ゲート電極、前記第１の半導体膜及び前記触媒元素を有する層が重畳する領域に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第２の半導体膜を形成した後加熱し、加熱された前記第２の半導体膜に接する第１の導電層を形成し、前記第１の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第２の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第１の電極を形成し、前記第１の電極上に発光物質を含む層、及び第２の電極を形成することを特徴とする表示装置の作製方法。

【請求項８】

絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第１の半導体膜を形成し、前記第１の半導体膜上に触媒元素を有する層を形成し、前記ゲート電極、前記第１の半導体膜及び前記触媒元素を有する層が重畳する領域に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第２の半導体膜を形成した後加熱し、加熱された前記第２の半導体膜に接する第１の導電層を形成し、前記第１の導電層の一部をエッチングして、ソース電極及びドレイン電極を形

成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を形成し、前記前記ソース電極又はドレイン電極の他方に接する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

【請求項 9】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

【請求項 10】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を形成し、前記ソース電極又はドレイン電極の他方に接する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

【請求項 11】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法。

【請求項 12】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜をエッチングしてソース領域及びドレイン領域を形成し

、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法。

【請求項13】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体膜を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上に保護層を形成し、前記第1の半導体膜及び前記保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法。

【請求項14】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体膜を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上に保護層を形成し、前記第1の半導体膜及び前記保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法。

【請求項15】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体膜を形成し、前記第1の半導体膜上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体膜及び前記触媒元素を有する層が重畳する領域に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法。

【請求項16】

基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体膜を形成し、前記第1の半導体膜上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体膜及び前記触媒元素を有する層が重畳する領域に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ソース電極又はドレイン電極の一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法。

10

【請求項17】

請求項1乃至請求項16のいずれか一項において、前記ソース電極又はドレイン電極に接する第1の電極を形成した後、前記ゲート電極に接続するゲート配線を形成することを特徴とする表示装置の作製方法。

【請求項18】

請求項1乃至請求項17のいずれか一項において、前記ゲート電極に接続するゲート配線を形成した後、前記ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする表示装置の作製方法。

20

【請求項19】

請求項1乃至請求項18のいずれか一項において、前記ゲート配線は、3つ以上の前記ゲート電極に接続されていることを特徴とする表示装置の作製方法。

【請求項20】

請求項1乃至請求項19のいずれか一項において、前記ゲート配線は、2つの前記ゲート電極に接続されていることを特徴とする表示装置の作製方法。

【請求項21】

請求項1乃至請求項20のいずれか一項において、前記ゲート電極は、前記絶縁表面上に導電膜を形成し、前記導電膜上に感光性樹脂を吐出又は塗布し、前記感光性樹脂をフォトリソグラフィを用いて露光し現像してマスクを形成した後、前記マスクを用いて前記導電膜をエッチングして形成することを特徴とする表示装置の作製方法。

30

【請求項22】

請求項1乃至請求項21のいずれか一項において、前記ゲート電極は、耐熱性を有する導電層で形成されていることを特徴とする表示装置の作製方法。

【請求項23】

請求項1乃至請求項22のいずれか一項において、前記ゲート電極は、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、白金又はリンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズで形成されることを特徴とする表示装置の作製方法。

40

【請求項24】

請求項1乃至請求項23のいずれか一項において、前記不純物元素はリン、ヒ素、アンチモン、ビスマスから選ばれた元素であることを特徴とする表示装置の作製方法。

【請求項25】

請求項1乃至請求項24のいずれか一項において、前記触媒元素は、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、チタン、銅、ニッケル、及び白金から選ばれる一つ又は複数であることを特徴とする表示装置の作製方法。

【請求項26】

請求項1乃至請求項25のいずれか一項において、前記第1の電極は、画素電極であるこ

50

とを特徴とする表示装置の作製方法。

【請求項 27】

請求項 1 乃至請求項 26 のいずれか一項において、前記ゲート絶縁膜として窒化珪素膜を有する層を形成することを特徴とする表示装置の作製方法。

【請求項 28】

請求項 1 乃至請求項 27 のいずれか一項において、前記ゲート絶縁膜として窒化珪素膜を成膜した後、前記窒化珪素膜に接するように前記触媒元素を有する層又は第 1 の半導体膜を形成することを特徴とする表示装置の作製方法。

【請求項 29】

請求項 1 乃至請求項 28 のいずれか一項において、前記加熱によって前記第 1 の半導体膜を結晶化させると共に、前記触媒元素を前記第 2 の半導体膜へ移動させることを特徴とする表示装置の作製方法。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、結晶性半導体膜で形成される逆スタガ型薄膜トランジスタを有する表示装置の作製方法に関するものである。

【背景技術】

【0002】

近年、液晶ディスプレイ（LCD）や EL ディスプレイに代表されるフラットパネルディスプレイ（FPD）は、これまでの CRT に替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビの開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビに追随し、大画面 EL テレビの開発も行われている。

【0003】

従来の発光素子を有する表示装置において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ（以下、TFT と示す。）が用いられている（特許文献 1）。 30

【特許文献 1】特開平 5 - 35207 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、非晶質半導体膜を用いた TFT を直流駆動した場合は、しきい値がずれやすく、それに伴い TFT の特性にバラツキが生じやすい。このため、非晶質半導体膜を用いた TFT を画素のスイッチングに用いた表示装置は、輝度ムラが発生する。このような現象は、対角 30 インチ以上（典型的には 40 インチ以上）の大画面 TV であるほど顕著であり、画質の低下が深刻な問題である。

【0005】

本発明は、このような状況に鑑みなされたものであり、少ない工程数で、しきい値のずれが生じにくい TFT の作製方法を提供する。また、高速動作が可能な逆スタガ型 TFT を有する表示装置の作製方法を提供する。 40

【課題を解決するための手段】

【0006】

本発明は、耐熱性の高い材料でゲート電極を形成した後、非晶質半導体膜を成膜し、該非晶質半導体膜に接する触媒元素層を形成し、該触媒元素層上にドナー型元素又は希ガス元素を有する層、若しくはドナー型元素及び希ガス元素を有する層を形成し加熱して結晶性半導体膜を形成し、触媒元素を結晶性半導体膜から除いた後、該結晶性半導体膜の一部を用いて半導体領域を形成し、該半導体領域に電氣的に接するソース電極及びドレイン電 50

極を形成し、ゲート電極に接続する走査線を形成して、逆スタガ型 T F T を形成すると共に、ソース電極又はドレイン電極に接続する第 1 の電極を形成し、該第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成して表示装置を形成することを要旨とする。

【 0 0 0 7 】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法である。

10

【 0 0 0 8 】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法である。

20

【 0 0 0 9 】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第 1 の半導体膜を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第 1 の半導体膜が重畳する領域上に保護層を形成し、前記第 1 の半導体膜及び前記保護層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、前記第 2 の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第 1 の電極を形成し、前記第 1 の電極上に発光物質を含む層、及び第 2 の電極を形成することを特徴とする表示装置の作製方法である。

30

40

【 0 0 1 0 】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第 1 の半導体膜を形成し、前記第 1 の半導体膜上に触媒元素を有する層を形成し、前記ゲート電極、前記第 1 の半導体膜及び前記触媒元素を有する層が重畳する領域に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第 2 の半導体膜を形成した後加熱し、加熱された前記第 2 の半導体膜に接する第 1 の導電層を形成し、前記第 1 の導電層の一部をエッチングして、ソース電極及びド

50

レイン電極を形成し、前記第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法である。

【0011】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体膜を形成し、前記第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法である。

【0012】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体膜を形成し、前記第1の半導体膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法である。

【0013】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体膜を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上に保護層を形成し、前記第1の半導体膜及び前記保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法である。

【0014】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成

し、前記ゲート絶縁膜上に第1の半導体膜を形成し、前記第1の半導体膜上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体膜及び前記触媒元素を有する層が重畳する領域に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された前記第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成し、前記第1の電極上に発光物質を含む層、及び第2の電極を形成することを特徴とする表示装置の作製方法である。

10

【0015】

なお、前記ソース電極又はドレイン電極に接する第1の電極を形成した後、前記ゲート電極に接続するゲート配線を形成してもよい。また、前記ゲート電極に接続するゲート配線を形成した後、前記ソース電極又はドレイン電極に接する第1の電極を形成してもよい。

【0016】

前記ゲート配線は、3つ以上の前記ゲート電極に接続されていてもよい。また、前記ゲート配線は、2つの前記ゲート電極に接続されていてもよい。

20

【0017】

なお、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に形成する絶縁膜の代わりに、ソース電極又はドレイン電極の一部を覆う絶縁膜を形成してもよい。

【0018】

また、ゲート電極は、絶縁表面上に導電膜を形成し、導電膜上に感光性樹脂を吐出又は塗布し、感光性樹脂の一部に紫外光または近傍の波長の光を照射し、現像後マスクを形成した後、マスクを用いて導電膜をエッチングして形成する。

【0019】

また、ゲート電極は、耐熱性を有する導電層で形成されている。代表的には、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、白金又はリンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズで形成される。

30

【0020】

また、触媒元素は、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、銅、チタン、ニッケル、及び白金から選ばれる一つ又は複数である。

【0021】

また、前記第1の電極は、画素電極である。

40

【0022】

なお、本発明において、表示装置とは、発光素子を用いたデバイス、即ち画像表示デバイスを指す。また、発光表示パネルにコネクタ、例えばフレキシブルプリント配線(FPC: Flexible Printed Circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線基板が設けられたモジュール、または発光素子にCOG(Chip On Glass)方式によりIC(集積回路)やCPUが直接実装されたモジュールも全て表示装置に含むものとする。

【0023】

50

また、本発明の一は、上記表示装置を有するＥＬテレビジョンである。

【発明の効果】

【００２４】

本発明により、少ないフォトリソマスク数で、結晶性半導体膜で形成される逆スタガ型ＴＦＴを形成することができる。本発明の逆スタガ型ＴＦＴは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための金属触媒のゲッタリング工程とを同時に行うことが可能であるため、工程数の削減が可能であり、スループットを向上させることができる。また、加熱処理数を削減できるため、省エネルギー化が可能である。

【００２５】

また、本発明の逆スタガ型ＴＦＴは、ゲート電極に耐熱性の高い材料を用いており、また、結晶化工程、及びゲッタリング工程の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いＴＦＴを形成することが可能である。また、本発明の発光素子を有する表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

10

【００２６】

結晶性半導体膜で形成されるＴＦＴは、非晶質半導体膜で形成される逆スタガ型ＴＦＴと比較して１０～５０倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な発光素子を有する表示装置を作製することが可能である。

20

【００２７】

また、発光素子を有する表示装置の周辺部に、画素領域内のＴＦＴと同時に走査線駆動回路を形成することが可能である。このため、小型化された表示装置を作製することが可能である。

【００２８】

また、非晶質半導体膜で形成されるＴＦＴと比較して、しきい値のずれが生じにくく、ＴＦＴ特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるＴＦＴをスイッチング素子として用いた発光素子を有する表示装置と比較して、表示ムラを低減することが可能である。

30

【００２９】

更には、結晶化工程と共に行われるゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には６桁以上のＯＮ／ＯＦＦ比を有するＴＦＴを形成することが可能である。このようなＴＦＴを有する表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【００３０】

さらには、上記の作製工程により形成された発光素子を有する表示装置を備えるテレビジョン装置（ＥＬ（エレクトロルミネッセンス）テレビジョン装置と示す。）の、スループットや歩留まりを向上させることが可能であり、低コストで作製することができる。

40

【発明を実施するための最良の形態】

【００３１】

以下、発明を実施するための最良の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

【００３２】

（実施形態１）

本実施形態においては、結晶性半導体膜を有するボトムゲート構造チャネルエッチ型Ｔ

50

F Tの発光素子を駆動する素子として有するアクティブマトリクス基板の作製工程を、図1～図2、図20、及び図39を用いて説明する。本実施形態では、発光素子を駆動する素子として、スイッチング用T F Tと駆動用T F Tとを有する発光素子を代表例として示す。図7は、発光素子を駆動する素子を有する発光素子の上面図であり、図1及び図2は、スイッチング用T F Tのゲート電極と走査線の接続部、駆動用T F T、及び発光素子を示す断面図である。

【0033】

図1(A)に示すように、基板101上に第1の導電層102を形成し、第1の導電層102上に通常のリソグラフィ - 工程を行い、第1のマスク103、104を形成する。

【0034】

基板101としては、ガラス基板、石英基板、アルミナなどのセラミック等絶縁物質で形成される基板、シリコンウェハ、金属板等を用いることができる。また、基板101として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。

【0035】

第1の導電層102は、膜厚100～1000nmのスパッタ法、PVD法(Physical Vapor Deposition)、CVD法(Chemical Vapor Deposition)、蒸着法等により基板全面に形成する。

【0036】

第1の導電層102は、高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の結晶化工程、ゲッタリング工程、活性化工程等の加熱工程が可能となる。高融点材料としては、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面側から窒化タンタル膜及びその上に形成されるタングステン膜、窒化タンタル膜及びその上に形成されるモリブデン、窒化チタン膜及びその上に形成されるタングステン膜、窒化チタン膜及びその上に形成されるモリブデン膜等の積層構造としてもよい。また、リンを含有する珪素膜(非晶質半導体膜、結晶性半導体膜を含む)、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズを用いることもできる。

【0037】

リソグラフィ - 工程によって形成される第1のマスク103、104の材料としては、紫外光から赤外光に感光するネガ型感光性材料又はポジ型感光性材料を用いる。感光性材料の代表例としては、エポキシ樹脂、クリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の感光性を示す樹脂材料を用いる。また、ペンゾシクロブテン、パリレン、フレア、ポリイミドなどの感光性を示す有機材料等を用いることができる。また、代表的なポジ型感光性樹脂として、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物を有する感光性樹脂が挙げられ、ネガ型感光性樹脂として、ベース樹脂、ジフェニルシランジオール及び酸発生剤などを有する感光性樹脂が挙げられる。ここでは、ポジ型感光性材料を用いる。

【0038】

次に、図1(B)に示すように、第1のマスクを用いて、第1の導電層102をエッチングして、第2の導電層111、112を形成する。第2の導電層111は、駆動用T F Tのゲート電極として機能し、第2の導電層112は、スイッチング用T F Tのゲート電極として機能する。

【0039】

10

20

30

40

50

次に、第1のマスクを除去した後、膜厚10～200nm、好ましくは50～100nmの第1の絶縁膜113を形成し、第1の絶縁膜113上に膜厚50～250nm、好ましくは100～200nmの第2の絶縁膜114を形成し、第2の絶縁膜114上に膜厚0.1～10nm、好ましくは1～3nmの第3の絶縁膜115を形成する。

【0040】

第1の絶縁膜113は、ゲート絶縁膜として機能するほかガラス基板からの可動イオンの拡散を防止する役割を果たす。第1の絶縁膜113は、窒化珪素(SiNx)、窒化酸化珪素(SiNxOy) ($x > y$)などを適宜用いることができる。第2の絶縁膜114はゲート絶縁膜として機能する。第2の絶縁膜114は酸化珪素(SiOx)、酸化窒化珪素(SiOxNy) ($x > y$)などを適宜用いることができる。第3の絶縁膜115は、窒化珪素(SiNx)、窒化酸化珪素(SiNxOy) ($x > y$)などを適宜用いることができる。本実施の形態では、半導体層に結晶化を促進する触媒元素を用い、その後ゲッタリング処理を行って除去する。酸化珪素と珪素膜は界面状態が良好であるが、界面において珪素膜中の金属元素と酸化珪素中の酸素が反応し、金属酸化物(本実施の形態では酸化ニッケル(NiOx))になりやすく、触媒元素がゲッタリングされにくくなる場合がある。また、窒化珪素膜は、窒化珪素膜の応力や、トラップの影響により、半導体層との界面状態に悪影響を与える恐れがある。よって、半導体層に接する絶縁層の最上層に、膜厚0.1～10nmの窒化珪素膜、あるいは窒化酸化珪素膜を形成する。本実施の形態ではゲート絶縁膜は3層の積層構造とする。このような構造であると、半導体層中の触媒元素のゲッタリング効率も上がり、かつ半導体層への窒化珪素膜中の悪影響も軽減できる。また積層される絶縁膜は、同チャンバ内で真空を破らずに同一温度下で、反応ガスを切り替えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。

【0041】

なお、酸化珪素(SiOx)、酸化窒化珪素(SiOxNy) ($x > y$)、窒化珪素(SiNx)、窒化酸化珪素(SiNxOy) ($x > y$)には、水素が含まれている。第1、第2、第3の絶縁膜113、114、115は、CVD法、PVD法等の公知の手法により形成する。

【0042】

第3の絶縁膜115上には触媒元素を有する層119を形成する。触媒元素を有する層119の形成方法としては、PVD法、CVD法、蒸着法等により第3の絶縁膜115表面に、触媒元素又は触媒元素の珪化物の薄膜を形成する方法、第3の絶縁膜115表面に触媒元素を含む溶液を塗布する方法などがある。触媒元素としては、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、銅(Cu)、チタン(Ti)、ニッケル(Ni)、白金(Pt)等の一つ又は複数をを用いて形成することができる。また、NiCl₂などのイオンドープ法又はイオン注入法により、上記触媒元素を絶縁膜表面から浅く注入しても良い。また、上記触媒元素で形成される電極を用いて、半導体膜表面をプラズマ処理してもよい。ここでは、厚さ1～100nmのニッケル膜を蒸着法にて形成する。なお、ここでは触媒元素とは半導体膜の結晶化を促進又は助長させる元素のことである。

【0043】

次に、図1(D)に示すように、触媒元素を有する層119上に膜厚50～200nm、好ましくは100から150nmの第1の半導体膜131を形成する。

【0044】

次に、TFETのチャネル領域となる領域に3族元素(13族元素、以下、アクセプター型元素と示す。)、または5族元素(15族元素、以下、ドナー型元素と示す。)を低濃度に添加するチャネルドープ工程を全面に、または選択的に行う。このチャネルドープ工程は、TFETしきい値電圧を制御するための工程である。なお、ここではジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、

質量分離を行うイオン注入法を用いてもよい。

【0045】

次に、真空を破壊せず第2の半導体膜と第3の半導体膜を形成する。第2の半導体膜132の膜厚は、30～200nm、好ましくは50～100nmである。第3の半導体膜133の膜厚は、30～200nm、好ましくは50～100nmである。第2の半導体膜は低濃度領域（以下、 n^- 領域と示す。）、その上に第3の半導体膜は高濃度領域（以下、 n^+ 領域と示す。）の積層構造である。

【0046】

第1の半導体膜131としては、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体、非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜で形成する。特に、0.5nm～20nmの結晶を粒観察することができる微結晶状態はいわゆるマイクロクリスタル（ μc ）と呼ばれている。いずれも、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする半導体膜を用いることができる。

【0047】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、第1の半導体膜131の膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ （以下、濃度はすべて二次イオン質量分析法（SIMS）にて測定した原子濃度として示す。）以下に低減させておく和良好的。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

【0048】

第2の半導体膜132と第3の半導体膜133は、ドナー型元素が含まれる半導体である。珪化物気体にリン、ヒ素のようなドナー型元素を有する気体を加えたプラズマCVD法で成膜する。このような手法により第2の半導体膜132と第3の半導体膜133を形成することで、第1の半導体膜131と第2の半導体膜132、第3の半導体膜133とに汚染物質の少ない清浄な界面が形成される。また、ドナー型元素が含まれる第2の半導体膜132、第3の半導体膜133としては、第1の半導体膜131と同様の半導体膜を形成した後、ドナー型元素をイオンドープ法又はイオン注入法により添加して形成することができる。このときの、第2の半導体膜132では、リンの濃度が $1 \times 10^{16} \sim 1 \times 10^{18} / \text{cm}^3$ であることが好ましい。また、第3の半導体膜133はリンの濃度が $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ であることが好ましい。

【0049】

このときのドナー型元素が含まれる第2の半導体膜132、第3の半導体膜133の不純物のプロファイルを図20に示す。図20（A）は、第1の半導体膜131上に、プラズマCVD法によりドナー型元素が含まれる第2の半導体膜132及び第3の半導体膜133を形成した時の、ドナー型元素のプロファイル150aを示す。なお、第3の半導体膜133では、膜の深さ方向に対して一定の濃度（第1の濃度）のドナー型元素が分布している。また、第2の半導体膜132では、膜の深さ方向に対して一定の濃度（第2の濃度）のドナー型元素が分布している。このとき、第1の濃度は第2の濃度より高い。

【0050】

一方、図20（B）は、第1の半導体膜131上に、非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にドナー型元素を添加して第2の半導体膜132aを形成した時の、ドナー型元素のプロファイル150bを示す。このとき、第3の半導体膜133は形成しなくとも良い。図20（B）に示すように、第2の半導体膜132aの表面付近は、ドナー型元素濃度が比較的高い。この領域を n^+ 領域144aと示す。一方、第1の半導体膜131に近づくにつれ、ドナー型元素濃度が減少している。この領域を n^- 領域144bと示す。 n^+ 領域144aのドナー型元素の濃度は、 n^- 領域144bのドナー型元素の10～100倍である。

10

20

30

40

50

【0051】

第3の半導体膜133及び n^+ 領域144aは後にソース領域及びドレイン領域として機能し、第2の半導体膜132及び n^- 領域144bはLDD領域として機能する。なお、 n^+ 領域と n^- 領域それぞれの界面は存在せず、相対的なドナー型元素濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたドナー型元素が含まれる第2の半導体膜は、添加条件によって濃度プロファイルを制御することが可能であり、 n^+ 領域と n^- 領域の膜厚を適宜制御することが可能である。

【0052】

なお、ドナー型元素が含まれる第2の半導体膜132、第3の半導体膜133、第2の半導体膜132aは、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より触媒元素をゲッタリングすることが可能である。

【0053】

触媒元素を有する層119、第1の半導体膜131、第2の半導体膜132、第3の半導体膜133を加熱して第1の半導体膜131を結晶化させ、第1の結晶性半導体膜141とすると共に、図1(E)の矢印で示すように、第1の結晶性半導体膜141に含まれる触媒元素を第2の半導体膜132、第3の半導体膜133に移動させて、触媒元素をゲッタリングする。

【0054】

熱処理は脱水素化のための熱処理(400~550、0.5~2時間)の後、結晶化のための熱処理(550~650で1~24時間)を行う。また、RTA(Rapid Thermal Anneal)、GRTA(Gas Rapid Thermal Anneal)により結晶化を行っても良い。結晶化は半導体の結晶化を助長する触媒元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。同時にゲッタリングも行われ触媒元素の固溶度が高い第2の半導体膜132、第3の半導体膜133に移動させて、触媒元素をゲッタリングする。

【0055】

この工程により、第1の結晶性半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜132及び第3の半導体膜133も同様に結晶化されているため、これらを合わせて第2の結晶性半導体膜142と示す。なお、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

【0056】

次に、図1(F)に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスクを用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図2(A)に示すような第1の半導体領域151及び第2の半導体領域152を形成する。

【0057】

なお、以下の実施形態及び実施例のマスク形成工程において、半導体材料で形成される膜又は領域上に感光性材料を塗布する前には、半導体膜又は領域表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体材料と感光性材料とが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

【0058】

第1の結晶性半導体膜141及び第2の結晶性半導体膜142は、 Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いてエッチングすることができる。

【 0 0 5 9 】

次に、第2のマスクを除去した後、膜厚200～1000nm、好ましくは500～1000nmの第3の導電層153を成膜する。次に、第3の導電層153上にレジストなどの感光性材料を塗布又し、露光、現像後、図2(B)に示すような第3のマスク161を形成する。

【 0 0 6 0 】

第3の導電層153はスパッタ法、PVD法、CVD法、蒸着法等により基板全面に形成する。材料としては、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti等の金属を複数組み合わせ用いる事が出来る。また、これらの材料からなる導電層を積層して第3の導電層を形成することができる。第3の導電層は配線として機能する。配線抵抗を低下させるため、低抵抗材料を用いることが好ましい。ここでは膜厚100nmのMo上に膜厚500nmのAlと膜厚50nmのMoを積層する。Alは250以上の温度でスパikingを発生しやすい。そこでAlの拡散防止を行うためにAl膜の上下を高融点金属Moで挟む。MoとAlはリン酸：硝酸：酢酸：水＝72：2：10：16で混合された液でエッチングできる。また、種々のガスを選択してドライエッチングを行ってもよい。

【 0 0 6 1 】

ここで、銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタルなど窒素を含む絶縁性又は導電性の物質を用いるとよい。

【 0 0 6 2 】

次に、第3のマスク161を用いて第3の導電層を所望の形状にエッチングして、図2(B)に示すような、第4の導電層162、163、図7(B)及び(C)に示す第4の導電層167、169を形成する。第4の導電層162は電源線及び容量配線として機能し第4の導電層163は、駆動用TFTのソース電極又はドレイン電極として機能する。また、図7(C)に示す、第4の導電層167は信号線として機能し、第4の導電層169はスイッチング用ソース領域又はドレイン領域として機能する。このとき、第3の導電層を分断して、各配線及び各電極を形成すると共に、ソース配線又はドレイン配線の幅が細くなるようにエッチングすることで、後に形成される透過型表示装置の開口率を高めることが可能である。

【 0 0 6 3 】

次に、第3のマスク161を用いて、第1の半導体領域152の露出部をエッチングして、ソース領域及びドレイン領域として機能する第3の半導体領域164、165を形成する。このとき、第2の半導体領域151の一部がオーバーエッチングされても良い。このときのオーバーエッチングされた第2の半導体領域を第4の半導体領域166と示す。第4の半導体領域166は、駆動用TFTのチャネル形成領域として機能する。一方、同様の工程によりスイッチング用TFTのチャネル形成領域として機能する第4の半導体領域168も形成する。

【 0 0 6 4 】

次に、第3のマスク161を除去した後、図2(C)に示すように、第4の導電層162、163及び第4の半導体領域166表面上に、パッシベーション膜として機能する膜厚50～300nmの第4の絶縁膜171を成膜することが好ましい。パッシベーション膜は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、第4の半導体領域166の界面特性から酸化珪素、又は酸化窒化珪素を形成し、その上に窒化珪素膜、又は窒化酸化珪素膜を成膜することが好ましい。

【 0 0 6 5 】

この後、第4の半導体領域166を水素雰囲気又は窒素雰囲気で加熱して水素化するこ

10

20

30

40

50

とが好ましい。なお、窒素雰囲気中で加熱する場合は、第3の絶縁膜115に水素を含む絶縁膜を形成することが好ましい。

【0066】

以上の工程により、結晶性半導体膜を有するボトムゲート構造チャネルエッチ型TFETを形成することができる。

【0067】

次に、第4の絶縁膜171上に、膜厚500～1500nmの第5の絶縁膜172を形成する。第5の絶縁膜172としては、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシリカガラスに代表されるシロキサンポリマー系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサンポリマー、アルキルシロキサンポリマー、アルキルシルセスキオキサンポリマー、水素化シルセスキオキサンポリマー、水素化アルキルシルセスキオキサンポリマーに代表される珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサンポリマー系の絶縁材料を用いることができる。形成方法としては、CVD法、塗布法、印刷法等公知の手法を用いて形成する。なお、塗布法で形成することにより、第5の絶縁膜172の表面を平坦化することが可能である。ここでは、塗布法によりアクリル樹脂を塗布し焼成して、第5の絶縁膜172を形成する。

【0068】

なお、第4の絶縁膜171が、後に形成される第6の導電層175と第4の導電層162、163との間に寄生容量が生じない程度の膜厚を有する場合、第5の絶縁膜172は必ずしも必要ではない。

【0069】

次に、第5の絶縁膜172上に第4のマスク(図示しない。)を形成した後、第5の絶縁膜172及び第4の絶縁膜171の一部をエッチングして、スイッチング用TFETのゲート電極として機能する第2の導電層112(図2(C))、122a(図7(A))を露出する。次に、第4のマスクを除去した後、膜厚500～1500nm、好ましくは500～1000nmの第5の導電層173を形成する。第5の導電層173は、走査線として機能する。

【0070】

第4のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第5の導電層173の材料及び形成方法は、第3の導電層153と同様の材料及び形成方法を適宜選択すればよい。なお、配線抵抗を抑制するため、低抵抗材料を用いることが好ましい。

【0071】

以上の工程により、図2(C)、図7(A)及び図7(C)に示すような、第2の導電層111又は第2の導電層121、ゲート絶縁膜として機能する第1の絶縁膜113、第2の絶縁膜114、第3の絶縁膜115、又は第1の絶縁膜123、チャネル形成領域として機能する第4の半導体領域166、ソース領域又はドレイン領域として機能する第3の半導体領域164、165、電源線として機能する第4の導電層162、及びソース電極又はドレイン電極として機能する第4の導電層163を有する駆動用TFET191を形成することができる。

【0072】

また、図7(B)及び図7(C)に示すような、第2の導電層122a、ゲート絶縁膜として機能する第1の絶縁膜123、チャネル形成領域として機能する第4の半導体領域168、ソース領域又はドレイン領域として機能する第3の半導体領域164、165、信号線として機能する第4の導電層167、及びソース電極又はドレイン電極として機能する第4の導電層169を有するスイッチング用TFET192を形成する。

【0073】

なお、スイッチング用TFT192のソース電極又はドレイン電極として機能する第2の導電層169は、駆動用TFT191のゲート電極として機能する第2の導電層121と接続している。また、スイッチング用TFT192のゲート電極として機能する122aは、走査線として機能する第5の導電層173と接続している。

【0074】

次に、第5の導電層173及び第5の絶縁膜172上に第6の絶縁膜174を形成する。第6の絶縁膜174としては、第5の絶縁膜172と同様の材料を適宜用いることが可能である。

【0075】

次に、第6の絶縁膜174上に第5のマスク（図示しない。）を形成した後、第6の絶縁膜174、第5の絶縁膜172及び第4の絶縁膜171の一部をエッチングして、第4の導電層163の一部を露出する。次に、第5のマスクを除去した後、画素電極として機能する膜厚100～200nmの第6の導電層175を形成する。第5のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。

【0076】

第6の導電層175の形成方法としては、スパッタリング法、蒸着法、CVD法、塗布法等を適宜用いる。

【0077】

なお、ここでは第5の導電層173としては走査線として機能する導電層を形成し、第6の導電層175としては第1の画素電極として機能する導電層を形成したが、これに限定されない。画素電極として機能する導電層を形成した後、走査線として機能する導電層を形成してもよい。

【0078】

以上の工程により、アクティブマトリクス基板を形成することが可能である。

【0079】

次に、図2(D)に示すように、第6の導電層175及び第6の絶縁膜174上に第7の絶縁膜181を形成する。第7の絶縁膜181は、第6の導電層175の端部を囲む隔壁層として機能する。第7の絶縁膜181としては、有機材料からなるが、感光性・非感光性のどちらを用いてもよい。但し、感光性の材料を用いると、その側壁は曲率半径が連続的に変化する形状となり、後に形成する発光物質を含む層が段切れすることなく、形成することができる。特に、ネガ型の感光性の材料を用いると、第7の絶縁膜181の上端部に第1の曲率半径を有する曲面、第7の絶縁膜181の下端部に第2の曲率半径を有する曲面が設けられる。第1及び第2の曲率半径は0.2～3μm、第7の絶縁膜181の角度は35度以上とすることが好ましい。また、ポジ型の感光性の材料を用いると、第7の絶縁膜181の上端部のみに曲率半径を有する曲面が設けられる。図示する断面構造では、ネガ型の感光性材料を用いたときの場合を示している。

【0080】

次に、第6の導電層175及び第7の絶縁膜181上に発光物質を含む層182及び第7の導電層183を形成する。第7の導電層183は、第2の画素電極として機能する。第1の画素電極として機能する第6の導電層175及び第2の画素電極として機能する第7の導電層183は、仕事関数を考慮して材料を選択する必要がある。但し第1の画素電極及び第2の画素電極は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用TFTの極性がpチャネル型である場合、第1の画素電極を陽極、第2の画素電極を陰極とするとよい。また、駆動用TFTの極性がnチャネル型である場合、第1の画素電極を陰極、第2の画素電極を陽極とすると好ましい。

【0081】

陽極の材料としては、仕事関数の大きい導電性材料を用いることが好ましい。陽極側を光の取り出し方向とするのであれば、透明導電材料（インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物、酸化亜鉛（ZnO）、酸化スズ（SnO₂））、酸化

10

20

30

40

50

インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）等を用いればよい。また、陽極側を遮光性とするのであれば、TiN、ZrN、Ti、W、Ni、Pt、Cr、Al等の単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることができる。あるいは、上記の遮光性を有する膜の上に上述した透明導電性材料を積層する方法でもよい。

【0082】

また、陰極の材料としては、仕事関数の小さい導電性材料を用いることが好ましく、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属を用いて形成することもできる。また、Au（金）、Cu（銅）、W（タングステン）、Al（アルミニウム）、Ti（チタン）、タンタル（Ta）などの金属材料、又は該金属材料と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン（TiN）、窒化タンタル（Ta₃N₅）、若しくは1～20at%のニッケルを含むアルミニウムを用いて形成することもできる。

【0083】

また、陰極側を光の取り出し方向とする場合は、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属を含む超薄膜と、透明導電膜（透明導電材料（インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化スズ（SnO₂）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）等）との積層構造を用いればよい。あるいは、アルカリ金属またはアルカリ土類金属と電子輸送材料を共蒸着した電子注入層を形成し、その上に透明導電膜を積層してもよい。

【0084】

なお、第6の導電層175または第7の導電層183として用いることが可能な、酸化珪素を含むITOは、通電、或いは熱処理によって結晶化しにくく表面の平坦性が高い材料である。

【0085】

ここでは、駆動用TFETとしてnチャネル型TFETを用いているため、第6の導電層175は、窒化タンタルからなる下層と、酸化珪素を含むITOからなる上層との積層構造で形成する。また、第7の導電層183酸化珪素を含むITOで形成する。

【0086】

ここでは、駆動用TFETとしてnチャネル型TFETを用いているため、発光物質を含む層182は、第6の導電層175（陰極）側から順に、EIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）の順に積層されている。なお、発光物質を含む層は、積層構造以外に単層構造、又は混合構造をとることができる。

【0087】

また、水分や脱ガスによるダメージから発光素子を保護するため、第7の導電層183を覆う保護膜185を設けることが好ましい。保護膜185としては、PCVD法による緻密な無機絶縁膜（SiN_x：x>0、SiN_xO_y：x>y>0、など）、スパッタ法による緻密な無機絶縁膜（SiN_x：x>0、SiN_xO_y：x>y>0、など）、炭素を主成分とする薄膜（DLC（ダイヤモンドライクカーボン）膜、CN膜、アモルファスカーボン膜）、金属酸化物膜（WO₂、CaF₂、Al₂O₃など）などを用いることが好ましい。

【0088】

なお、発光素子184は第1の画素電極として機能する第6の導電層175、発光物質を含む層182、及び第2の画素電極として機能する第7の導電層183で形成される。

【0089】

本実施形態で形成されるチャネルエッチ型TFETは、ゲート電極に耐熱性の高い材料を

用いており、また活性化工程、ゲッタリング工程、及び結晶化工程の加熱処理を同時に行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【0090】

このため、結晶性半導体膜で形成され、非晶質半導体膜で形成されるボトムゲート構造チャンネルエッチ型TFTと比較して移動度が高い。また、ソース領域及びドレイン領域には、ドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。

10

【0091】

また、非晶質半導体膜で形成されるTFTと比較して、しきい値のずれが生じにくく、TFT特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるTFTをスイッチング素子として用いた表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い表示装置を作製することが可能である。

【0092】

更には、結晶化、活性化、及びゲッタリング工程を同時に行う一度の加熱により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このようなTFTを表示装置のスイッチング素子に設けることにより、

20

【0093】

(実施形態2)

本実施形態では、実施形態1で示した結晶性半導体膜を有するボトムゲート構造チャンネルエッチ型TFTとは異なる作製工程について図3を用いて説明する。

【0094】

図3(A)に示すように、基板101上に第1の導電層102を形成し、第1の導電層上に通常のリソグラフィ工程を行い、第1のマスク103、104を形成する。

【0095】

次に、図3(B)に示すように、第1のマスク103、104を用いて、第1の導電層102をエッチングして、第2の導電層111、112を形成する。第2の導電層111は、駆動用TFTのゲート電極として機能し、第2の導電層112は、スイッチング用TFTのゲート電極として機能する。

30

【0096】

次に、第1のマスクを除去した後、膜厚10～200nm、好ましくは50～100nmの第1の絶縁膜113を形成し、第1の絶縁膜上113に膜厚50～250nm、好ましくは100～200nmの第2の絶縁膜114を形成し、第2の絶縁膜114上に膜厚0.1～10nm、好ましくは1～3nmの第3の絶縁膜115を形成する。

【0097】

第1、第2、第3の絶縁膜113、114、115上に真空の状態を保ったまま連続して第1の半導体膜116を成膜する。次に、第1の半導体膜116上には触媒元素を有する層117を形成する。第1の半導体膜116は、実施形態1の第1の半導体膜131と、触媒元素を有する層117は、実施形態1の触媒元素を有する層117と、それぞれ同様の材料及び手法を用いて形成することができる。

40

【0098】

次に、TFTのチャンネル領域となる領域に3族元素(13族元素、以下、アクセプター型元素と示す。)、または5族元素(15族元素、以下、ドナー型元素と示す。)を低濃度に添加するチャンネルドーピング工程を全面または選択的に行う。

【0099】

次に、図3(D)に示すように、触媒元素を有する層117上に、真空の状態を保った

50

また第2の半導体膜132と第3の半導体膜133を形成する。第2の半導体膜132は膜厚30～200nm、好ましくは50～100nmである。第3の半導体膜133は30～200nm、好ましくは50～100nmである。低濃度不純物領域（以下、 n^- 領域と示す。）である第2の半導体膜132、その上に高濃度不純物領域（以下、 n^+ 領域と示す。）である第3の半導体領域133の積層構造である。なお、第2の半導体膜132と第3の半導体膜133は、ドナー型元素が含まれる半導体である。

【0100】

なお、ドナー型元素が含まれる第3の半導体膜133は、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より効果的に触媒元素をゲッタリングすることが可能である。

10

【0101】

第1の半導体膜116、触媒元素を有する層117、第2の半導体膜132、第3の半導体膜133を加熱して、第1の半導体膜116を結晶化させ、第1の結晶性半導体膜141とすると共に、図3（E）の矢印で示すように、第1の結晶性半導体膜141に含まれる触媒元素を第2の半導体膜132、第3の半導体膜133に移動させて、触媒元素をゲッタリングする。熱処理は、実施形態1と同様に行うことができる。

【0102】

この工程により、第1の結晶性半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜132と第3の半導体膜133も同様に結晶化されているため、これらを合わせて第2の結晶性半導体膜142と示す。なお、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

20

【0103】

次に、図3（F）に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスク143を用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図2（A）に示すような第2の半導体領域151及び第3の半導体領域152を形成する。

【0104】

以下、実施形態1と同様の工程により、ボトムゲート構造チャネルエッチ型TFETを形成することができる。

30

【0105】

（実施形態3）

本実施形態においては、結晶性半導体膜を有するボトムゲート構造チャネル保護型TFETの発光素子を駆動する素子として有するアクティブマトリクス基板の作製工程を、図4、図5、及び図38を用いて説明する。本実施形態では、発光素子を駆動する素子として、スイッチング用TFETと駆動用TFETとを有する発光素子を代表例として示す。図4及び図5は、スイッチング用TFETのゲート電極と走査線の接続部、駆動用TFET、及び発光素子を示す断面図である。

40

【0106】

図4（A）に示すように、基板101上に第1の導電層102を形成し、第1の導電層上に通常のリソグラフィ工程を行い、第1のマスク103、104を形成する。

【0107】

次に、図4（B）に示すように、第1のマスクを用いて、第1の導電層102をエッチングして、第2の導電層111、112を形成する。第2の導電層111は、駆動用TFETのゲート電極として機能し、第2の導電層112は、スイッチング用TFETのゲート電極として機能する。

【0108】

次に、第1のマスクを除去した後、膜厚10～200nm、好ましくは50～100nm

50

mの第1の絶縁膜113を形成し、第1の絶縁膜113上に膜厚50～250nm、好ましくは100～200nmの第2の絶縁膜114を形成し、第2の絶縁膜114上に膜厚0.1～10nm、好ましくは1～3nmの第3の絶縁膜115を形成する。

【0109】

第3の絶縁膜115上には触媒元素を有する層119を形成する。触媒元素を有する層119は、実施形態1と同様の触媒元素を用いることができる。

【0110】

次に、図4(C)に示すように、触媒元素を有する層119上に膜厚50～200nm、好ましくは100から150nmの第1の半導体膜131を形成する。次に、真空の状態を保ったまま第1の半導体膜131上に絶縁膜を形成し、選択的にエッチングすることによって第1の導電膜の直上に膜厚50～300nm、好ましくは100～200nmのチャンネル保護用絶縁膜128を形成する。チャンネル保護用絶縁膜128は窒化珪素(SiNx)、窒化酸化珪素(SiNxOy)(x>y)、酸化珪素(SiOx)、酸化窒化珪素(SiOxNy)(x>y)などから単膜、積層膜など適宜用いることができる。

【0111】

第1の半導体膜131成膜後にチャンネルドーブ工程を全面または選択的に行っても良い。

【0112】

次に、図4(D)に示すように、チャンネル保護用絶縁膜128上に第2の半導体膜132と第3の半導体膜133を形成する。第2の半導体膜132は30～200nm、好ましくは50～100nmである。第3の半導体膜133は30～200nm、好ましくは50～100nmである。低濃度不純物領域(以下、 n^- 領域と示す。)である第2の半導体膜132、その上に高濃度不純物領域(以下、 n^+ 領域と示す。)である第3の半導体膜133の積層構造である。

【0113】

第2の半導体膜132と第3の半導体膜133は、ドナー型元素が含まれる半導体であり、実施形態1と同様に形成することができる。

【0114】

触媒元素を有する層119、第1の半導体膜131、第2の半導体膜132、第3の半導体膜133を加熱して、第1の半導体膜131を結晶化させ第1の結晶性半導体膜141とすると共に、図4(E)の矢印で示すように、第1の結晶性半導体膜141に含まれる触媒元素を第2の半導体膜132、第3の半導体膜133に移動させて、触媒元素をゲッタリングする。熱処理は、実施形態1と同様に行うことができる。この工程により、第1の結晶性半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜132と第3の半導体膜133も同様に結晶化されているため、これらを合わせて第2の結晶性半導体膜142と示す。なお、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

【0115】

次に、図4(F)に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスクを用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図5(A)に示すような第1の半導体領域151及び第2の半導体領域152を形成する。

【0116】

第1の結晶性半導体膜141及び第2の結晶性半導体膜142は、実施形態1と同様にエッチングすることが可能である。

【0117】

次に、第2のマスクを除去した後、膜厚200～1000nm、好ましくは500～1

10

20

30

40

50

0 0 0 n mの第3の導電層1 5 3を成膜する。次に、第3の導電層1 5 3上にレジストなどの感光性材料を塗布又し、露光、現像後、図5 (A)に示すような第3のマスク1 6 1を形成する。

【0 1 1 8】

第3の導電層1 5 3は実施形態1と同様に形成することが可能である。

【0 1 1 9】

次に、第3のマスク1 6 1を用いて第3の導電層を所望の形状にエッチングして、第4の導電層1 6 2、1 6 3を形成する。第4の導電層1 6 2は電源線及び容量配線として機能し第4の導電層1 6 3は、駆動用T F Tのソース電極又はドレイン電極として機能する。

10

【0 1 2 0】

次に、第3のマスク1 6 1を用いて、第2の半導体領域1 5 2の露出部をエッチングして、ソース領域及びドレイン領域として機能する第3の半導体領域1 6 4、1 6 5を形成する。このとき、チャンネル保護用絶縁膜1 2 8が第1の半導体領域1 5 2の露出部をエッチングする際、部分的にエッチングされる。そのため第2の半導体領域1 5 1がオ - バ - エッチングされる事はない。エッチングされないだけでなくエッチング時のプラズマダメージも防ぐことができ、T F T特性のばらつきや異常点を無くす事が可能である。これによって形成された第2の半導体領域を第4の半導体領域1 6 6と示す。第4の半導体領域1 6 6は、駆動用T F Tのチャンネル形成領域として機能する。

【0 1 2 1】

次に、第3のマスクを除去した後、図5 (C)に示すように、第4の導電層1 6 2、1 6 3及び第4の半導体領域1 6 6表面上に、パッシベーション膜として機能する膜厚1 0 0 ~ 3 0 0 n mの第4の絶縁膜1 7 1を成膜することが好ましい。

20

【0 1 2 2】

この後、第4の半導体領域1 6 6を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、第4の絶縁膜1 7 1に水素を含む絶縁膜を形成することが好ましい。

【0 1 2 3】

以上の工程により、結晶性半導体膜を有するチャンネル保護型T F Tを形成することができる。

30

【0 1 2 4】

この後、実施形態1と同様の工程により、図5 (C)に示すような、第2の導電層1 2 2 aに接続する第5の導電層1 7 3を形成してアクティブマトリクス基板を形成することが可能である。

【0 1 2 5】

次に、図5 (D)に示すように、実施形態1と同様の工程により、第6の導電層1 7 5及び第6の絶縁膜1 7 4上に第7の絶縁膜1 8 1を形成し、その上に発光素子1 8 4を形成することができる。

【0 1 2 6】

本実施形態で形成されるチャンネル保護型T F Tは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、及び結晶化工程を同時に行う加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いT F Tを形成することが可能である。また、本発明の表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

40

【0 1 2 7】

(実施形態4)

本実施形態では、実施形態3で示した結晶性半導体膜を有するチャンネル保護型T F Tとは異なる作製工程について図6を用いて説明する。

【0 1 2 8】

50

図6(A)に示すように、実施形態1と同様に、基板101上に第1の導電層102を形成し、第1の導電層上に通常のリソグラフィ - 工程を行い、第1のマスク103、104を形成する。

【0129】

次に、図6(B)に示すように、第1のマスクを用いて、第1の導電層102をエッチングして、第2の導電層111、112を形成する。第2の導電層111は、駆動用TFTのゲート電極として機能し、第2の導電層112は、スイッチング用TFTのゲート電極として機能する。

【0130】

次に、第1のマスクを除去した後、膜厚10~200nm、好ましくは50~100nmの第1の絶縁膜113を形成し、第1の絶縁膜113上に膜厚50~250nm、好ましくは100~200nmの第2の絶縁膜114を形成し、第2の絶縁膜114上に膜厚0.1~10nm、好ましくは1~3nmの第3の絶縁膜115を形成する。

【0131】

第1、第2、第3の絶縁膜113、114、115上に真空の状態を保ったまま連続して第1の半導体膜116を成膜する。

【0132】

次に、TFTのチャネル領域となる領域に3族元素(13族元素、以下、アクセプター型元素と示す。)、または5族元素(15族元素、以下、ドナー型元素と示す。)を低濃度に添加するチャネルドーピング工程を全面または選択的に行う。

【0133】

第1の半導体膜116上には触媒元素を有する層117を形成する。触媒元素を有する層117の形成方法としては、PVD法、CVD法、蒸着法等により第1の半導体膜116表面に、触媒元素又は触媒元素の珪化物の薄膜を形成する方法、第1の半導体膜116表面に触媒元素を含む溶液を塗布する方法などがある。

【0134】

次に、触媒元素を有する層117上に絶縁膜を形成し、選択的にエッチングすることによってチャネル保護用絶縁膜128を実施形態3と同様に形成する。チャネル保護用絶縁膜128は以下に示す第2の半導体膜132と第3の半導体膜133をエッチングする際、第1の導電層111上の第1の半導体膜116を保護する役割を果たす。

【0135】

次に、図6(D)に示すように、第4の絶縁膜128上に、第2の半導体膜132と第3の半導体膜133を、実施形態1と同様に形成する。

【0136】

第1の半導体膜116、触媒元素を有する層117、第2の半導体膜132、第3の半導体膜133を加熱して、第1の半導体膜116を結晶化させ第1の結晶性半導体膜141とすると共に、図6(E)の矢印で示すように、第1の結晶性半導体膜141に含まれる触媒元素を第2の半導体膜132、第3の半導体膜133に移動させて、触媒元素をゲッタリングする。熱処理は、実施形態1と同様に行うことができる。この工程により、第1の結晶性半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜132と第3の半導体膜133も同様に結晶化されているため、これらを合わせて第2の結晶性半導体膜142と示す。なお、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

【0137】

次に、図6(F)に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスクを用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図5(A)に示すような第1の半導体領域151及び第2の

半導体領域 152 を形成する。

【0138】

以下、実施形態 3 と同様の工程により、チャンネル保護型逆スタガ T F T を形成することができる。

【0139】

(実施形態 5)

本実施形態では、実施形態 1 で示したアクティブマトリクス基板の電源線、信号線、ソース電極又はドレイン電極、走査線、及び画素電極の積層の構造について、図 7 を用いて説明する。以下の実施形態では、発光素子を形成する前の図 2 (C) に対応する縦断面図及び上面図面を示す。

10

【0140】

図 7 (A) は、駆動用 T F T 191 と、スイッチング用 T F T 192 の走査線として機能する第 5 の導電層 173 との積層構造を示す図であり、図 7 (C) の A - B の断面構造に相当する。

【0141】

図 7 (B) は、スイッチング用 T F T 192 と駆動用 T F T 191 との接続構造を示す図であり、図 7 (C) の C - D の断面構造に相当する。

【0142】

以下、電源線及び容量配線として機能する第 4 の導電層を電源線 162、信号線として機能する第 4 の導電層を信号線 167、ソース電極又はドレイン電極として機能する第 4 の導電層 163、169、走査線として機能する第 5 の導電層を走査線 173、ゲート電極として機能する第 2 の導電層をゲート電極 121、122a、及び画素電極として機能する第 6 の導電層を画素電極 175 と示す。

20

【0143】

図 7 (A) に示すように、駆動用 T F T 191 のゲート電極 121、及びスイッチング用 T F T 192 のゲート電極 122a 上に第 1 の絶縁膜 123 が形成され、第 1 の絶縁膜 123 上に、信号線 167、駆動用 T F T 191 のドレイン電極 163、電源線 162、及び第 4 の半導体領域 166 が形成される。なお、図 7 においては、実施形態 1 で示される第 1 の絶縁膜 113、第 2 の絶縁膜 114、第 3 の絶縁膜 115 の 3 層を示しているが、これらを代表して第 1 の絶縁膜 123 として示す。

30

【0144】

また、信号線 167、駆動用 T F T 191 のドレイン電極 163、電源線 162、第 4 の半導体領域 166、及び第 1 の絶縁膜 123 すべての上に第 4 の絶縁膜 171、第 5 の絶縁膜 172 が形成され、第 5 の絶縁膜 172 上にスイッチング用 T F T 192 のゲート電極 122a に接続する走査線 173 が形成される。即ち、信号線 167、駆動用 T F T 191 の電源線 162、スイッチング用 T F T の信号線 167 は、第 4 の絶縁膜 171、第 5 の絶縁膜 172 を介して走査線 173 と交差している。

【0145】

走査線 173 及び第 5 の絶縁膜 172 全ての上に第 6 の絶縁膜 174 が形成され、第 6 の絶縁膜 174 上に画素電極 175 が形成されている。即ち、第 6 の絶縁膜を介して、走査線 173 と画素電極 175 が形成されている。画素電極 175 が形成される第 6 の絶縁膜 174 は、平坦化層で形成されているため、後に形成される発光物質を含む層の段切れを抑制することが可能であり、欠陥の少ない表示装置を形成することが可能である。

40

【0146】

なお、電源線 162、第 1 の絶縁膜 123、ゲート電極 121 で容量素子 193 を形成している。

【0147】

図 7 (B) に示すように、スイッチング用 T F T 192 のゲート電極 122a 上に第 1 の絶縁膜 123 が形成され、第 1 の絶縁膜 123 上には、第 4 の半導体領域 168、信号線 167、ドレイン電極 169 が形成されている。スイッチング用 T F T 192 のドレイン

50

ン電極 1 6 9 は、第 1 の絶縁膜 1 2 3 を介して、駆動用 T F T 1 9 1 のゲート電極 1 2 1 に接続されている。また、駆動用 T F T 1 9 1 及びスイッチング用 T F T 1 9 2 は、第 4 の絶縁膜 1 7 1、第 5 の絶縁膜 1 7 2、第 6 の絶縁膜 1 7 4 を介して、画素電極 1 7 5 に覆われている。

【 0 1 4 8 】

(実施形態 6)

本実施形態では、実施形態 5 と比較して走査線と信号線の積層構造の異なるアクティブマトリクス基板について図 8 を用いて説明する。

【 0 1 4 9 】

図 8 (A) は、駆動用 T F T 1 9 1 と、スイッチング用 T F T 1 9 2 の走査線との積層構造を示す図であり、図 8 (C) の A - B の断面構造に相当する。 10

【 0 1 5 0 】

実施形態 5 と同様に、駆動用 T F T 1 9 1 のゲート電極 1 2 1、及びスイッチング用 T F T 1 9 2 のゲート電極 1 2 2 a が形成され、それらの上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、信号線 1 6 7、駆動用 T F T 1 9 1 のドレイン電極 1 6 3、電源線 1 6 2、及び第 4 の半導体領域 1 6 6 が形成される。なお、図 8 においては、実施形態 1 で示される第 1 の絶縁膜 1 1 3、第 2 の絶縁膜 1 1 4、第 3 の絶縁膜 1 1 5 の 3 層を示しているが、これらを代表して第 1 の絶縁膜 1 2 3 として示す。

【 0 1 5 1 】

また、本実施形態では、走査線 1 1 1 3 が第 1 の絶縁膜 1 2 3 上に形成されている。 20

【 0 1 5 2 】

また、信号線 1 6 7 上に第 2 の絶縁膜 1 1 1 4 が形成され、第 2 の絶縁膜 1 1 1 4 上に走査線 1 1 1 3 が形成される。即ち、信号線は、第 2 の絶縁膜 1 1 1 4 を介して走査線 1 1 1 3 と交差している。本実施形態では、信号線と、走査線とが交差する領域にのみ第 2 の絶縁膜 1 1 1 4 を設けている。

【 0 1 5 3 】

また、信号線 1 6 7、駆動用 T F T 1 9 1 のドレイン電極 1 6 3、電源線 1 6 2、第 4 の半導体領域 1 6 6、第 1 の絶縁膜 1 2 3、及び走査線 1 1 1 3 上にはパッシベーション膜として機能する第 3 の絶縁膜 1 1 1 1 が形成される。

【 0 1 5 4 】

また、第 3 の絶縁膜 1 1 1 1 上に第 4 の絶縁膜 1 1 1 2 が形成され、第 4 の絶縁膜 1 1 1 2 を介して、ドレイン電極 1 6 3 に接続する画素電極 1 7 5 が形成されている。 30

【 0 1 5 5 】

図 8 (B) は、スイッチング用 T F T 1 9 2 と駆動用 T F T 1 9 1 との接続構造を示す図であり、図 8 (C) の C - D の断面構造に相当する。

【 0 1 5 6 】

図 8 (B) に示すように、実施形態 2 と同様に、スイッチング用 T F T が形成されており、スイッチング用 T F T 1 9 2 のドレイン電極 1 6 9 は、第 1 の絶縁膜 1 2 3 を介して、駆動用 T F T 1 9 1 のゲート電極 1 2 1 に接続されている。また、駆動用 T F T 1 9 1 及びスイッチング用 T F T 1 9 2 は、第 3 の絶縁膜 1 1 1 1、第 4 の絶縁膜 1 1 1 2 を介して、画素電極 1 7 5 に覆われている。 40

【 0 1 5 7 】

(実施形態 7)

本実施形態では、実施形態 5 と比較して走査線の構造が異なるアクティブマトリクス基板について図 9 を用いて説明する。

【 0 1 5 8 】

図 9 (A) は、駆動用 T F T 1 9 1 と、スイッチング用 T F T 1 9 2 の走査線との積層構造を示す図であり、図 9 (C) の A - B の断面構造に相当する。

【 0 1 5 9 】

図 9 (B) は、スイッチング用 T F T 1 9 2 と駆動用 T F T 1 9 1 との接続構造を示す 50

図であり、図 9 (C) の C - D の断面構造に相当する。

【 0 1 6 0 】

本実施形態では、駆動用 T F T 1 9 1、スイッチング用 T F T 1 9 2、容量素子 1 9 3 の構造は、実施形態 2 と同様である。なお、図 9 (C) に示すように、走査線 1 1 2 3 a、1 1 2 3 b は、画素ごとに形成されており、隣り合う画素に設けられたゲート電極 1 2 2 a、1 2 2 b に接続されている。このため、走査線 1 1 2 3 a、1 1 2 3 b の材料は、特に低抵抗材料である必要はなく、材料の選択の幅が広がる。

【 0 1 6 1 】

また、走査線 1 1 2 3 a、1 1 2 3 b 及び第 5 の絶縁膜 1 7 2 全ての上に第 6 の絶縁膜 1 7 4 が形成され、第 6 の絶縁膜 1 7 4 上に画素電極 1 7 5 が形成されている。即ち、第 6 の絶縁膜 1 7 4 を介して、走査線 1 1 2 3 a、1 1 2 3 b の一部を画素電極 1 7 5 が覆うように形成されている。

10

【 0 1 6 2 】

(実施形態 8)

本実施形態では、実施形態 6 と比較して走査線と信号線の積層構造の異なるアクティブマトリクス基板について図 1 0 を用いて説明する。

【 0 1 6 3 】

図 1 0 (A) は、駆動用 T F T 1 9 1 と、スイッチング用 T F T 1 9 2 の走査線との積層構造を示す図であり、図 1 0 (C) の A - B の断面構造に相当する。

【 0 1 6 4 】

20

図 1 0 (B) は、スイッチング用 T F T 1 9 2 と駆動用 T F T 1 9 1 との接続構造を示す図であり、図 1 0 (C) の C - D の断面構造に相当する。

【 0 1 6 5 】

本実施形態では、駆動用 T F T 1 9 1、スイッチング用 T F T 1 9 2、容量素子 1 9 3 の構造は、実施形態 3 と同様である。なお、図 1 0 (C) に示すように、実施形態 7 と同様に、走査線 1 1 3 3 a、1 1 3 3 b は、画素ごとに形成されており、隣り合う画素に設けられたゲート電極 1 2 2 a、1 2 2 b に接続されている。このため、走査線 1 1 3 3 a、1 1 3 3 b の材料は、特に低抵抗材料である必要はなく、材料の選択の幅が広がる。

【 0 1 6 6 】

なお、信号線 1 6 7 と走査線 1 1 3 3 a、1 1 3 3 b とが交差する領域にのみ第 2 の絶縁膜 1 1 3 7 を設けている。このため、走査線 1 1 3 3 a、1 1 3 3 b は、第 2 の絶縁膜 1 1 3 7 及び第 1 の絶縁膜 1 2 3 上に形成されている。なお、図 1 0 においては、実施形態 1 で示される第 1 の絶縁膜 1 1 3、第 2 の絶縁膜 1 1 4、第 3 の絶縁膜 1 1 5 の 3 層を示しているが、これらを代表して第 1 の絶縁膜 1 2 3 として示す。

30

【 0 1 6 7 】

また、駆動用 T F T 1 9 1、スイッチング用 T F T 1 9 2、容量素子 1 9 3 上には、パッシベーション膜として第 3 の絶縁膜 1 1 3 1 が設けられ、第 3 の絶縁膜上に第 4 の絶縁膜 1 1 1 2 が形成されている。また、駆動用 T F T 1 9 1 のドレイン電極 1 6 3 は、第 3 の絶縁膜 1 1 3 1、第 4 の絶縁膜 1 1 1 2 を介して、画素電極 1 7 5 に覆われている。

【 0 1 6 8 】

40

また、駆動用 T F T 1 9 1 及びスイッチング用 T F T 1 9 2 は、第 3 の絶縁膜 1 1 3 1、第 4 の絶縁膜 1 1 1 2 を介して、画素電極 1 7 5 に覆われている。

【 0 1 6 9 】

(実施形態 9)

本実施形態では、実施形態 2 乃至実施形態 5 と比較して、走査線と信号線の積層構造の異なるアクティブマトリクス基板について図 1 1 を用いて説明する。

【 0 1 7 0 】

図 1 1 (A) は、駆動用 T F T 1 9 1 と、スイッチング用 T F T 1 9 2 の走査線との積層構造を示す図であり、図 1 1 (C) の A - B の断面構造に相当する。

【 0 1 7 1 】

50

図 11 (B) は、スイッチング用 TFT 192 と駆動用 TFT 191 との接続構造を示す図であり、図 11 (C) の (C) - (D) の断面構造に相当する。

【0172】

本実施形態では、駆動用 TFT 191、スイッチング用 TFT 192、容量素子 193 の構造は、実施形態 5 と同様である。

【0173】

本実施形態は、実施形態 5 乃至実施形態 8 と異なり、電源線 162a、163a、信号線 167、ドレイン電極 163、169 と同時に、走査線 1141a、1141b が形成されている。

【0174】

具体的には、図 10 (A) に示すように、ゲート電極 121、122a 上に第 1 の絶縁膜 123 が形成され、第 1 の絶縁膜 123 上に、信号線 167、駆動用 TFT 191 のドレイン電極 163、電源線 162a、162b と共に、走査線 1141a、1141b が形成されている。また、第 4 の半導体領域 166 が形成される。なお、図 11 においては、実施形態 1 で示される第 1 の絶縁膜 113、第 2 の絶縁膜 114、第 3 の絶縁膜 115 の 3 層を示しているが、これらを代表して第 1 の絶縁膜 123 として示す。

【0175】

なお、走査線 1141a、1141b は、各画素に設けられており、信号線と交差していない。

【0176】

また、信号線 167、駆動用 TFT 191 のドレイン電極 163、電源線 162a、162b、走査線 1141a、1141b すべての上に、第 4 の絶縁膜 171、第 5 の絶縁膜 172 が形成され、第 5 の絶縁膜 172 上に、走査線 1141a、1141b と接続する導電層 1143a が形成されている。即ち、電源線 162a、162b 及び信号線 167 は、第 4 の絶縁膜 171、第 5 の絶縁膜 172 を介して走査線 1141a、1141b 及び導電層 1143a、1143b と交差している。

【0177】

また、導電層 1143a、1143b 及び第 5 の絶縁膜 172 の全面上に第 6 の絶縁膜 174 が形成され、第 6 の絶縁膜上に画素電極 175 が形成されている。

【0178】

(実施形態 10)

本実施形態では、実施形態 9 と比較して走査線と信号線の積層構造の異なるアクティブマトリクス基板について図 12 を用いて説明する。

【0179】

図 12 (A) は、駆動用 TFT 191 と、スイッチング用 TFT 192 の走査線との積層構造を示す図であり、図 12 (C) の A - B の断面構造に相当する。

【0180】

図 12 (B) は、スイッチング用 TFT 192 と駆動用 TFT 191 との接続構造を示す図であり、図 12 (C) の C - D の断面構造に相当する。

【0181】

本実施形態では、駆動用 TFT 191、スイッチング用 TFT 192、容量素子 193 の構造は、実施形態 6 と同様である。

【0182】

ここでは、実施形態 9 と同様に、走査線 1141a、1141b と、信号線 167、駆動用 TFT 191 のドレイン電極 163、電源線 162a、162b それぞれとは、交差していない。また、画素ごとに走査線 1141a、1141b が形成されており、隣り合う画素に設けられたゲート電極 122a、122b に接続されている。このため、走査線 1141a、1141b の材料は、特に低抵抗材料である必要はなく、材料の選択の幅が広がる。

【0183】

10

20

30

40

50

本実施形態では、信号線 1 6 7、電源線 1 6 2 b と走査線 1 1 4 1 a、1 1 4 1 b とが交差する領域にのみ第 2 の絶縁膜 1 1 5 4 を設けている。

【0 1 8 4】

また、走査線 1 1 4 1 a、1 1 4 1 b と第 2 の絶縁層 1 1 5 4 上に、導電層 1 1 5 3 a、1 1 5 3 b が形成されている。なお、導電層 1 1 5 3 a、1 1 5 3 b は、走査線 1 1 4 1 a、1 1 4 1 b と接続している。

【0 1 8 5】

また、駆動用 T F T 1 9 1、スイッチング用 T F T 1 9 2、容量素子 1 9 3 上には、パッシベーション膜として第 3 の絶縁膜 1 1 3 1 が設けられ、第 3 の絶縁膜上に第 4 の絶縁膜 1 1 1 2 が形成されている。また、駆動用 T F T 1 9 1 のドレイン電極 1 6 3 は、第 3 の絶縁膜 1 1 3 1、第 4 の絶縁膜 1 1 1 2 を介して、画素電極 1 7 5 に覆われている。 10

【0 1 8 6】

また、駆動用 T F T 1 9 1 及びスイッチング用 T F T 1 9 2 は、第 3 の絶縁膜 1 1 3 1、第 4 の絶縁膜 1 1 1 2 を介して、画素電極 1 7 5 に覆われている。

【0 1 8 7】

(実施形態 1 1)

本実施形態では、走査線とソース配線の積層構造の異なるアクティブマトリクス基板について図 3 6 を用いて説明する。

【0 1 8 8】

図 3 6 (A) は、駆動用 T F T 1 9 1 と、スイッチング用 T F T 1 9 2 の走査線との積層構造を示す図であり、図 3 6 (C) の A - B の断面構造に相当する。 20

【0 1 8 9】

図 3 6 (B) は、スイッチング用 T F T 1 9 2 と駆動用 T F T 1 9 1 との接続構造を示す図であり、図 3 6 (C) の C - D の断面構造に相当する。

【0 1 9 0】

図 3 6 (A) に示すように、スイッチング用 T F T 1 9 2 のゲート電極 1 2 2 a 上の第 1 の絶縁膜を除去した後、ゲート電極 1 2 2 a 上に第 2 の絶縁膜 1 1 6 2 b を形成する。このとき、ゲート電極 1 2 2 a の両端部が露出するように、第 2 の絶縁膜 1 1 6 2 b を形成することが好ましい。なお、図 3 6 においては、実施形態 1 で示される第 1 の絶縁膜 1 1 3、第 2 の絶縁膜 1 1 4、第 3 の絶縁膜 1 1 5 の 3 層を示しているが、これらを代表して第 1 の絶縁膜 1 2 3 として示す。 30

【0 1 9 1】

また、ゲート電極 1 2 2 a 上の第 2 の絶縁膜 1 1 6 2 b をエッチングする際、駆動用 T F T 1 9 1、スイッチング用 T F T 1 9 2、及び容量素子 1 9 3 が形成される領域以外のゲート絶縁膜を除去することが好ましい。具体的には、図 3 6 (C) の破線 1 1 6 3 a、1 1 6 3 b で囲まれる領域のゲート絶縁膜のみ残しておき、破線 1 1 6 3 a、1 1 6 3 b の外側のゲート絶縁膜をエッチングすることが好ましい。この工程により、各導電層の接触面積が増加し、接触抵抗を抑制することが可能であり、高速動作が可能なスイッチング用 T F T、駆動用 T F T を形成できる。

【0 1 9 2】

次に、第 2 の絶縁膜 1 1 6 2 b 上に電源線 1 6 2 a、1 6 2 b、信号線 1 6 7 を形成すると同時に、ゲート電極 1 2 2 a に接する走査線 1 1 6 1 a、1 1 6 1 b を形成する。このような構造により、ゲート電極と走査線との接触抵抗を抑制することが可能である。また、これらの電源線、信号線、走査線は、交差していない。 40

【0 1 9 3】

なお、本実施形態のようなゲート電極 1 2 2 a と走査線 1 1 6 1 a、1 1 6 1 b との接続構造を、実施形態 5 乃至実施形態 1 0 それぞれに適用することが可能である。

【0 1 9 4】

本実施形態では、画素ごとに形成された走査線 1 1 6 1 a、1 1 6 1 b がゲート電極 1 2 2 a、1 2 2 b を介して電氣的に接続されている。また、ゲート電極 1 2 2 a 上に形成 50

された第2の絶縁膜1162bを介して、走査線と信号線とが交差している。

【0195】

本実施形態では、信号線及び電源線と、走査線とが交差する領域にのみ第2の絶縁膜1162bを設けている。

【0196】

(実施形態12)

本実施形態では、ドナー型元素を有する半導体膜の代わりに、希ガス元素を有する半導体膜を用いて触媒元素をゲッタリングしてTFEを形成する工程について、図13を用いて説明する。

【0197】

図13(A)及び図13(B)に示すように、実施形態1と同様の工程により第1の絶縁膜123上に触媒元素を有する層119を形成する。なお、図13においては、実施形態1で示される第1の絶縁膜113、第2の絶縁膜114、第3の絶縁膜115の3層を示しているが、これらを代表して第1の絶縁膜123として示す。

【0198】

次に、第1の半導体膜131を形成する。なお、この後チャネルドープ工程を行っても良い。次いで、第1の半導体膜表面に膜厚1~5nmの酸化膜を形成してもよい。ここでは、半導体膜の表面にオゾン水を塗布して酸化膜を形成する。

【0199】

次に、第1の半導体膜131上にPVD法、CVD法等の公知の手法により希ガス元素を有する第2の半導体膜232を形成する。第2の半導体膜232としては、非晶質半導体膜であることが好ましい。

【0200】

次に、第1の半導体膜131及び第2の半導体膜232を実施形態1と同様の手法により加熱して、第1の半導体膜131、第2の半導体膜232を結晶化すると共に、第1の半導体膜131に含まれる触媒元素を第2の半導体膜232に移動させて、触媒元素をゲッタリングする。この工程により、実施形態1と同様に第1の結晶性半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中の触媒元素濃度を $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の金属触媒が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜242と示す(図13(C))。

【0201】

次に、図13(D)に示すように、第2の結晶性半導体膜242を除去した後、導電性を有する第3の半導体膜243を成膜する。ここで、第3の半導体膜としては、珪化物気体にボロン、リン、ヒ素のような13属又は15属の元素を有する気体を加えたプラズマCVD法で成膜する。なお、第2の半導体膜は、非晶質半導体、セミアモルファス半導体、結晶性半導体、マイクロクリスタル(μc)から選ばれたいずれかの状態を有する膜で形成すればよい。なお、第3の半導体膜が導電性を有する非晶質半導体膜、セミアモルファス半導体、又はマイクロクリスタル(μc)のいずれかである場合は、この後、不純物を活性化する加熱処理を行う。一方、第3の半導体膜が導電性を有する結晶性半導体である場合、加熱処理は行わなくとも良い。

【0202】

次に、図13(E)に示すように、実施形態1と同様の工程により第1の半導体領域151、第2の半導体領域152、第3の導電層153を形成する。次に、リソグラフィ工程によって、第3のマスク161を形成する。

【0203】

次に、図13(F)に示すように、第3のマスクを用いて第3の導電層153をエッチングして、ソース電極及びドレイン電極として機能する第4の導電層162、163を形成する。また、実施形態1と同様の工程により、第1の半導体領域をエッチングしてソース領域及びドレイン領域として機能する第3の半導体領域164、165、及びチャネル

10

20

30

40

50

形成領域として機能する第４の半導体領域１６６を形成することができる。

【０２０４】

この後、実施形態１と同様の工程により、逆スタガ型ＴＦＴ及びアクティブマトリクス基板を形成することができる。本実施形態で形成されるＴＦＴを用いることにより実施形態１と同様の効果を得ることができる。また、実施形態１乃至実施形態１２のいずれかにも、本実施形態を適用することが可能である。

【０２０５】

（実施形態１３）

本実施形態では、ｎチャネルＴＦＴとｐチャネルＴＦＴとを同一基板に形成する工程を図１４を用いて形成する。

【０２０６】

図１４（Ａ）に示すように、実施形態１と同様に基板１０１上に第２の導電層３０１、３０２を形成し、第２の導電層上に第１の絶縁膜１２３を形成する。次に、実施形態１と同様の工程により、触媒元素を有する層、第１の半導体膜、及びその上にドナー型元素が含まれる第２の半導体膜を形成する。なお、図１４においては、実施形態１で示される第１の絶縁膜１１３、第２の絶縁膜１１４、第３の絶縁膜１１５の３層を示しているが、これらを代表して第１の絶縁膜１２３として示す。

【０２０７】

次に、触媒元素を有する層、第１の半導体膜、及び第２の半導体膜を加熱して、第１の結晶性半導体膜及び第２の結晶性半導体膜を形成する。この後、第１の結晶性半導体膜を所望の形状にエッチングして、第１の半導体領域を形成し、第２の半導体膜を所望の形状にエッチングして、第２の半導体領域を形成する。ここでは、ゲッタリング後の金属触媒が移動した第１の半導体領域を第３の半導体領域３１１、３１２と示し、金属元素濃度が低減された第２の半導体領域を第４の半導体領域３１３、３１４と示す。

【０２０８】

本実施形態では、実施形態１のように、各半導体膜のゲッタリング工程を行った後、半導体膜を所望の形状にエッチングして、各半導体領域を形成したが、各半導体領域を形成した後加熱して、結晶化及びゲッタリング工程を行っても良い。

【０２０９】

次に、第３の半導体領域３１１、３１２及び第４の半導体領域３１３、３１４表面に酸化膜を形成した後、図１４（Ｂ）に示すように、フォトリソ工程によって第１のマスク３２１、３２２を形成する。マスク３２１は、後にｎチャネル型ＴＦＴとなる第３の半導体領域３１１、第４の半導体領域３１３の全部を覆っている。一方、マスク３２２は、後にｐチャネル型ＴＦＴとなる第３の半導体領域３１２の一部を覆っている。このとき、第１のマスク３２２は、後に形成されるｐチャネル型ＴＦＴのチャンネル長よりも狭いことが好ましい。

【０２１０】

次に、第３の半導体領域３１２の露出部に、アクセプター型元素を添加し、ｐ型を呈する第３の半導体領域３２４を形成する。このとき第１のマスク３２２に覆われる領域は、ｎ型不純物領域３２５として残存する。このとき、ドナー型元素を有する第３の半導体領域３１２の２～１０倍の濃度となるようにアクセプター型元素を添加することにより、ｐ型不純物領域を形成することができる。

【０２１１】

図２１に、ｐ型不純物領域の不純物元素のプロファイルを示す。

【０２１２】

図２１（Ａ）は、ＣＶＤ法により、 n^- 領域濃度及び n^+ 領域濃度を有する第２の半導体膜６０１を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル１５０ａは図２０（Ａ）と同様に、第１の濃度及び第２の濃度を示す。また、アクセプター型元素のプロファイル６０３は、第２の半導体膜表面付近では、濃度が高く、第４の半導体領域３１４に近づくにつれ、濃度が減少している

10

20

30

40

50

。 n^+ 領域に含まれるドナー型元素の 2 ~ 10 倍の濃度のアクセプター型元素を有する領域を p^+ 領域 602a と示し、 n 領域のドナー型元素の 2 ~ 10 倍の濃度のアクセプター型元素を有する領域を p 領域 602b と示す。

【0213】

図 21 (B) は、非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にドナー型元素を添加して、 n 領域濃度及び n^+ 領域濃度を有する第 2 の半導体膜 611 を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル 150b は図 20 (B) のドナー型元素のプロファイル 150b と同様である。また、アクセプター型元素のプロファイル 613 は、図 21 (A) のアクセプター型元素のプロファイル 603 と同様である。 n^+ 領域に含まれるドナー型元素の 2 ~ 10 倍の濃度のアクセプター型元素を有する領域を p^+ 領域 612a と示し、 n 領域のドナー型元素の 2 ~ 10 倍の濃度のアクセプター型元素を有する領域を p 領域 612b と示す。

10

【0214】

なお、ドナー型元素が含まれる第 2 の半導体膜 601 及び 611 は、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より効果的に触媒元素をゲッタリングすることが可能である。

【0215】

つぎに、第 1 のマスク 321、322 を除去した後、第 3 の半導体領域 311 及び p 型を呈する第 3 の半導体領域 324、 n 型不純物領域 325 を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA (Lamp Rapid Thermal Anneal)、GRTA、ファーネスアニール等を適宜用いることができる。ここでは、550 度で 4 時間加熱する。

20

【0216】

次に、図 14 (C) に示すように、実施形態 1 と同様に、第 3 の導電層 331、332 を形成する。次に、第 2 のマスク 333 を形成して、図 14 (D) に示すように、ソース領域及びドレイン領域として機能する第 4 の導電層 341、342、及び第 5 の半導体領域 343、344 を形成する。

【0217】

以上の工程により、同一基板上に n チャネル型 TFT と p チャネル型 TFT とを形成することができる。本実施形態で形成される TFT を用いることにより実施形態 1 と同様の効果を得ることができる。また、単チャネル TFT で形成される駆動回路と比較して、低電圧駆動が可能な CMOS 回路を形成することが可能である。更には、ドナー型元素 (例えば、リン) と比較してアクセプター型元素 (例えば、ボロン) は原子半径が小さいため、比較的低い加速電圧及び濃度で、半導体膜中にアクセプター型元素を添加することが可能である。本実施形態では、アクセプター型元素のみ半導体膜に添加しているため、従来の CMOS 回路の作製工程と比較して、短時間で、かつ省エネルギー作製することが可能であり、この結果低コスト化が可能である。

30

【0218】

また、実施形態 1 乃至実施形態 11 のいずれかにも、本実施形態を適用することが可能である。

40

【0219】

(実施形態 14)

本実施形態では、実施形態 13 と異なるゲッタリング工程により形成された結晶性半導体膜を有する n チャネル型 TFT 及び p チャネル型 TFT の作製工程について、図 15 を用いて説明する。

【0220】

実施形態 1 に従って、基板 101 上に第 2 の導電層 301、302 を形成する。次に、実施形態 1 に従って、図 1 (B) に示すような、触媒元素を有する層、第 1 の半導体膜を

50

形成した後、第1の半導体膜表面に数nmの絶縁膜を形成する。次に、第1のマスクを形成し、第1の半導体膜を所望の形状にエッチングして、第1の半導体領域401、402、触媒元素を有する層303、304を形成する。

【0221】

次に、図15(B)に示すように、第1の半導体領域401、402上に、第2のマスク403、404を形成した後、第1の半導体領域の露出部にドナー型元素405を添加する。このとき、ドナー型元素が添加された領域をn型不純物領域406、407と示す。ここでは、イオンドーピング法によりリンを添加する。なお、第2のマスク403、404に覆われた第1の半導体領域には、リンは添加されないが触媒元素は含まれている。

【0222】

次に、第1の半導体領域を加熱して結晶化すると共に、図15(C)の矢印で示すように、第1の半導体領域に含まれる触媒元素を、n型不純物領域406、407に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の金属触媒が移動した第1の半導体領域をソース領域及びドレイン領域413、414と示し、金属元素濃度が低減された第1の半導体領域をチャンネル形成領域411、412と示す。なお、ソース領域及びドレイン領域413、414、チャンネル形成領域411、412は、それぞれゲッタリング工程の加熱により結晶性化されており、また、ドナー型元素は活性化されている。

【0223】

次に、図15(D)に示すように、第3のマスク421、422を形成する。第3のマスク421は、後にnチャンネル型TFETとなるチャンネル形成領域411及びソース領域及びドレイン領域413の全部を覆っている。一方、第3のマスク422は、後にpチャンネル型TFETとなるチャンネル形成領域412の一部又は全部を覆っている。このとき、第3のマスク422は、後に形成されるpチャンネル型TFETのチャンネル長よりも狭いことが好ましい。

【0224】

次に、ソース領域及びドレイン領域414及びチャンネル形成領域412の露出部に、アクセプター型元素423を添加し、p型を呈するソース領域及びドレイン領域424を形成する。このとき、ソース領域及びドレイン領域414の2～10倍の濃度となるようにアクセプター型元素を添加することにより、p型を呈するソース領域及びドレイン領域424を形成することができる。

【0225】

つぎに、第3のマスク421、422を除去した後、n型を呈するソース領域及びドレイン領域414及びp型を呈するソース領域及びドレイン領域424を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA、GRTA、ファーネスアニール等を適宜用いることができる。ここでは、550度で4時間加熱する。

【0226】

次に、図15(E)に示すように、実施形態13と同様にして、第4の導電層341、342を形成する。この後、チャンネル形成領域411、412の一部をエッチングしてもよい。次に、第4の導電層341、342及びチャンネル形成領域411、412の表面上に、パッシベーション膜を成膜することが好ましい。

【0227】

以上の工程により、同一基板上にnチャンネル型TFETとpチャンネル型TFETとを形成することができる。本実施形態で形成されるTFETを用いることにより実施形態1と同様の効果を得ることができる。更には、実施形態3と比較して、成膜工程が削減できるため、スループットを向上させることが可能である。

【0228】

なお、実施形態1乃至実施形態11のいずれかにも、本実施形態を適用することが可能である。

【0229】

(実施形態15)

10

20

30

40

50

本実施形態においては、実施形態 1 2 を用いてゲッタリング工程を行った結晶性半導体膜を用いて n チャネル T F T と p チャネル T F T とを同一基板に形成する工程を図 1 6 を用いて形成する。

【 0 2 3 0 】

実施形態 1 の工程にしたがって、基板 1 0 1 上に第 2 の導電層 3 0 1、3 0 2 を形成する。次に、実施形態 1 2 の工程にしたがって、触媒元素を有する層、第 1 の半導体膜と、希ガス元素を有する第 2 の半導体膜を形成する。次に、第 1 の半導体膜及び第 2 の半導体膜を実施形態 1 と同様の手法により加熱して結晶化すると共に、図 1 6 (A) の矢印で示すように、第 1 の結晶性半導体膜に含まれる触媒元素を第 2 の半導体膜に移動させて、触媒元素をゲッタリングする。触媒元素がゲッタリングされた第 1 の結晶性半導体膜を第 2 の結晶性半導体膜 5 0 1 と示す。また、ゲッタリング後の金属触媒が移動した第 2 の半導体膜も同様に結晶化されているため、第 3 の結晶性半導体膜 5 0 2 と示す。

10

【 0 2 3 1 】

次に、図 1 6 (B) に示すように、第 3 の結晶性半導体膜 5 0 2 をエッチングした後、第 2 の結晶性半導体膜 5 0 1 表面に数 n m の絶縁膜を成膜する。次に、第 1 のマスクを形成して第 2 の結晶性半導体膜をエッチングして第 1 の半導体領域 5 1 1、5 1 2 を形成する。次に、第 2 のマスク 5 1 3、5 1 4 を形成する。第 2 のマスク 5 1 3 は、後に n チャネル型 T F T のチャンネル形成領域となる部分を覆っている。一方、第 2 のマスク 5 1 4 は、後に p チャネル型 T F T となる第 1 の半導体領域 5 1 2 の全部を覆っている。次に、第 1 の半導体領域 5 1 1 の露出部にドナー型元素 5 1 5 を添加する。このとき、ドナー型元素が添加された領域を n 型不純物領域 5 1 6 と示す。また、第 2 のマスク 5 1 3 に覆われた領域はチャンネル形成領域 5 1 7 として機能する。

20

【 0 2 3 2 】

次に、第 2 のマスク 5 1 3、5 1 4 を除去した後、第 3 のマスク 5 2 1、5 2 2 を形成する。第 3 のマスク 5 2 1 は、後に p チャネル型 T F T のチャンネル形成領域となる半導体領域及び n 型を呈する第 1 の半導体領域 5 1 1 の全てを覆っている。

【 0 2 3 3 】

次に、第 1 の半導体領域 5 1 2 の露出部に、アクセプター型元素 5 2 3 を添加し、p 型不純物領域 5 2 4 を形成する。また、第 3 のマスク 5 2 2 に覆われた領域はチャンネル形成領域 5 2 5 として機能する。つぎに、第 3 のマスク 5 2 1、5 2 2 を除去した後、n 型不純物領域 5 1 6 及び p 型不純物領域 5 2 4 を加熱して、不純物元素を活性化する。加熱の方法としては、L R T A、G R T A、ファーネスアニール等を適宜用いることができる。

30

【 0 2 3 4 】

次に、図 1 6 (D) に示すように、実施形態 1 3 と同様に、第 4 の導電層 3 4 1、3 4 2 を形成する。この後、チャンネル形成領域 5 1 7、5 2 5 の一部をエッチングしてもよい。次に、第 4 の導電層 3 4 1、3 4 2 及びチャンネル形成領域 5 1 7、5 2 5 の表面上に、パッシベーション膜を成膜することが好ましい。

【 0 2 3 5 】

以上の工程により、同一基板上に n チャネル型 T F T と p チャネル型 T F T とを形成することができる。本実施形態で形成される T F T を用いることにより実施形態 1 と同様の効果を得ることができる。

40

【 0 2 3 6 】

なお、実施形態 1 乃至実施形態 1 1 のいずれかにも、本実施形態を適用することが可能である。

【 0 2 3 7 】

(実施形態 1 6)

本実施形態では、実施形態 1 3 の変形例であり、n チャネル T F T と p チャネル T F T とを同一基板に形成する工程を、図 1 7 を用いて形成する。

【 0 2 3 8 】

実施形態 1 3 にしたがって、図 1 7 (A) に示すように、触媒元素及びドナー型元素を

50

有する第3の半導体領域311、312及び第4の半導体領域313、314を形成する。次に、図17(B)に示すように、第1のマスク321を形成した後、第3の半導体領域312にアクセプター型元素を添加してp型不純物領域620を形成する。このとき、第3の半導体領域312の2～10倍の濃度となるようにアクセプター型元素を添加することにより、p型不純物領域を形成することができる。また、アクセプター型元素としてボロンを用いた場合、分子半径が小さいため、第3の半導体領域より深いところまで添加される。このため、添加条件によっては、第4の半導体領域の上部にボロンが添加される。この後、第3の半導体領域311及びp型不純物領域620を加熱して、アクセプター型元素及びドナー型元素を活性化する。なお、ここでは、第4の半導体領域314にまでアクセプター元素を添加しないように、ドーピング条件を制御する。

10

【0239】

次に、実施形態14にしたがって第3の導電層331、332を形成する。次に、リソグラフィ・工程で形成されたマスクにより、第3の導電層331、332、第3の半導体領域311及びp型不純物領域620の露出部をエッチングして、図17(D)に示すようなソース領域及びドレイン領域として機能する第5の半導体領域343、621、及びチャンネル形成領域として機能する第6の半導体領域345、622を形成することができる。この後、第4の導電層341、342及び第6の半導体領域345、622の表面上に、パッシベーション膜を成膜することが好ましい。

【0240】

以上の工程により、同一基板上にnチャンネル型TFTとpチャンネル型TFTとを形成することができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。更には、実施形態13と同様に、アクセプター型元素のみを半導体膜に添加しているため、従来のCMOS回路の作製工程と比較して、短時間、かつ省エネルギーで作製することが可能であり、この結果低コスト化が可能である。

20

【0241】

なお、実施形態1乃至実施形態11のいずれかにも、本実施形態を適用することが可能である。

【0242】

(実施形態17)

本実施形態では、上記実施形態において、ゲート電極とソース電極及びドレイン電極との端部の位置関係、即ちゲート電極の幅とチャンネル長の大きさの関係について、図18及び図19を用いて説明する。

30

【0243】

図18(A)は、ゲート電極121a上をソース電極及びドレイン電極の端部がz1だけ重なっている。ここでは、ゲート電極121aと、ソース電極及びドレイン電極とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極の幅y1がチャンネル長x1よりも大きい。オーバーラップ領域の幅z1は、 $(y1 - x1) / 2$ で表される。このようなオーバーラップ領域を有するnチャンネル型TFTは、ソース電極及びドレイン電極と、半導体領域との間に、n+領域とn-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

40

【0244】

図18(B)は、ゲート電極121aの端部と、ソース電極及びドレイン電極の端部が一致している。即ち、ゲート電極の幅y2とチャンネル長x2とが等しい。

【0245】

図18(C)は、ゲート電極121aとソース電極及びドレイン電極の端部とがz3だけ離れている。ここでは、ゲート電極121aと、ソース電極及びドレイン電極とが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極の幅y3がチャンネル長x3よりも小さい。オフセット領域の幅z3は、 $(x3 - y3) / 2$ で表される。このような構造のTFTは、オフ電流を低減することができるため、該TFTを表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

50

【0246】

図19(A)は、ゲート電極の幅 y_4 は、チャンネル長 x_4 よりも大きい。また、ゲート電極121aの第1の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極121aの第2の端部とソース電極又はドレイン電極の他方の端部とが z_4 だけ重なっている。オーバーラップ領域の幅 z_4 は、 $(y_4 - x_4)$ で表される。

【0247】

図19(B)は、ゲート電極の幅 y_5 は、チャンネル長 x_5 よりも大きい。また、ゲート電極121aの第1の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極121aの第2の端部とソース電極又はドレイン電極の他方の端部とが z_5 だけ離れている。オフセット領域の幅 z_5 は、 $(x_5 - y_5)$ で表される。ゲート電極121aの第1の端部と端部が一致する電極をソース電極とし、オフセット領域を有する電極をドレイン電極とすることで、ドレイン電極付近での電界緩和が可能となる。

【0248】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造のTFETとしても良い。このような構造のTFETも、オフ電流を低減することができる。

【0249】

なお、実施形態1乃至実施形態16のいずれかにも、本実施形態を適用することが可能である。

【0250】

(実施形態18)

上記実施形態において、チャンネル形成領域表面に対して垂直な端部を有するソース電極及びドレイン電極を示したが、この構造に限定されない。図22に示すように、チャンネル形成領域表面に対して90度より大きく、180度未満、好ましくは135～145度を有する端部であってもよい。また、ソース電極とチャンネル形成領域表面との角度を θ_1 、ドレイン電極とチャンネル形成領域表面との角度を θ_2 とすると、 θ_1 と θ_2 が等しくてもよい。また、異なってもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

【0251】

また、図23に示すように、ソース電極及びドレイン電極2149a、2149bの端部が湾曲面2150a、2150bを有していても良い。

【0252】

なお、実施形態1乃至実施形態16のいずれかにも、本実施形態を適用することが可能である。

【0253】

(実施形態19)

本実施形態では、上記実施形態に適用可能な半導体膜の結晶化工程を図24を用いて説明する。図24(A)に示すように、蒸着とリソグラフィ・工程により触媒元素層2805を形成して、半導体の結晶化を行ってもよい。図24(B)は、図24(A)の上面図である。また、図24(D)は、図24(C)の上面図である。半導体膜を加熱し、結晶化を行うと図24(C)及び図24(D)に示すように、触媒元素層と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生する。ここでも、触媒元素層2805から、かなり離れた部分では結晶化は行われず、非晶質部分2807が残存する。

【0254】

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、より高い移動度を有するTFETを形成することができる。

【0255】

なお、実施形態1乃至実施形態18のいずれかにも、本実施形態を適用することが可能である。

【実施例1】

【0256】

次に、アクティブマトリクス基板及びそれを有する表示装置の作製方法について図25～図27を用いて説明する。図25～図27は、アクティブマトリクス基板における縦断面構造図であり、駆動回路部A-A'、及び画素部の駆動用TFTB-B'、スイッチング用TF Tのゲート電極と走査線の接続部C-C'を模式的に示す。

【0257】

図25(A)に示すように、基板800上に膜厚100～200nmの第1の導電膜を成膜する。ここでは、基板800にガラス基板を用い、その表面上に第1の導電膜として、膜厚150nmの酸化珪素を有する酸化インジウム膜をスパッタリング法により成膜する。次に、感光性材料を第1の導電膜上に吐出又は塗布し、ステッパ-などを用いて感光性材料を露光、現像して、第1のマスクを形成する。次に、第1のマスクを用いて第1の導電膜をエッチングして第1の導電層801～804を形成する。ここでは、ウェットエッチングにより酸化珪素を有する酸化インジウム膜をエッチングして、第1の導電層801～804である酸化珪素を含む酸化インジウム層を形成する。なお、第1の導電層801、802は駆動回路を構成するTF Tのゲート電極、第1の導電層803は駆動用TF Tのゲート電極として機能し、第1の導電層804はスイッチング用TF Tのゲート電極として機能する。

【0258】

次に、基板800及び第1の導電層801～804表面上に、第1の絶縁膜を形成する。ここでは、第1の絶縁膜の805として、膜厚50nm～100nmの窒化珪素膜を、第1の絶縁膜の806として膜厚100～200nmの酸化窒化珪素膜(SiO_xN_y : $x > y > 0$)を、CVD法により積層させて形成する。またここでは図示しないが、第1の絶縁膜806上に1～5nmの窒化酸化珪素膜(SiN_xO_y : $x > y > 0$)を成膜してもよい。なお、第1及び第2の絶縁膜はゲート絶縁膜として機能する。このとき、窒化珪素膜と酸化窒化珪素膜とを、大気に解放せず原料ガスの切り替えのみで連続成膜することが好ましい。更には、実施形態1と同様に3層構造としてもよい。

【0259】

次に、第2の絶縁膜上に、膜厚1～100nmのニッケル膜807を蒸着により形成する。次に、膜厚10～100nmの非晶質半導体膜811を形成する。膜厚100nmのアモルファスシリコン膜をCVD法により成膜する。次に、後のTF Tのチャネル領域となる領域にp型またはn型の不純物元素を低濃度に添加するチャネルドーピング工程を全面または選択的に行う。

【0260】

次に、非晶質半導体膜811表面上に、膜厚100nmのドナー型元素を含む半導体膜812を成膜する。ここでは、シランガスと、0.5vol%フォスフィンガス(流量比シラン/フォスフィンが10/17)とを用いて、リンを有するアモルファスシリコン膜を成膜する。

【0261】

次に、非晶質半導体膜811及びドナー型元素を含む半導体膜812を加熱する。加熱処理条件はファ-ネス炉で550℃、4時間行う。加熱処理を行う事で、触媒元素によって非晶質半導体膜811を結晶化すると同時にゲッタリングし、ドナー型元素を活性化する。即ち、触媒元素を、ドナー型元素を含む半導体膜812へ移動させる。このときの触媒元素濃度が低減された結晶性半導体膜を図25(C)の813で示す。ここでは、結晶性シリコン膜となる。また、触媒元素が移動した、ドナー型元素を含む半導体膜も加熱により結晶性半導体膜となる。即ち、触媒元素及びドナー型元素を含む結晶性半導体膜となる。これを、図25(C)の814で示す。ここでは、ニッケル及びリンを含む結晶性シリコン膜となる。

【0262】

次に、図25(D)に示すように、触媒元素及びドナー型元素を含む結晶性半導体膜814及び結晶性半導体膜と813上に第2のマスク815～817を形成した後、第2の

10

20

30

40

50

マスク 815 ~ 817 を用いて所望の形状にエッチングする。エッチングされた触媒元素及びドナー型元素を含む結晶性半導体膜 814 は、図 26 (A) に示す第 1 の半導体領域 824 ~ 826 となり、エッチングされた結晶性半導体膜 813 は、第 2 の半導体領域 821 ~ 823 となる。

【0263】

次に、後の n チャネル型 TFT となる領域に第 3 のマスク 827 を形成する。次に、後に p チャネル型 TFT となる第 1 の半導体領域 825、826 に、アクセプター型元素 828 を添加し、図 26 (B) に示すように、p 型を呈する半導体領域 831、832 を形成する。

【0264】

次に、図示しないが駆動用 TFT のゲート電極として機能する第 1 の導電層 803 上に形成された第 1 の絶縁膜 805、806 の一部をエッチングして、ゲート電極として機能する第 1 の導電層 803 の一部を露出する。

【0265】

次に、第 1 の半導体領域 824、p 型を呈する半導体領域 831、832 及び第 2 の半導体領域 821 ~ 823 表面に、膜厚 500 ~ 1000 nm で第 2 の導電層 833、834 を形成する。第 2 の導電層 833、834 は、スパッタ法により全面に形成し、材料としては Mo、Al、Ti、W 等の金属から複数组み合わせて用いる事ができる。ここでは Ti 100 nm、Al 350 nm、Ti 50 nm の積層構造として第 2 の導電層を形成する。

【0266】

次に、第 4 のマスクを形成した後、第 2 の導電層をエッチングして、図 26 (C) に示すような、信号線、走査線、電源線、ソース電極又はドレイン電極として機能する第 3 の導電層 841 ~ 845 を形成する。

【0267】

ここで、画素の B - B' 及び C - C' の上面図を図 28 に示し、同時に参照する。上記工程により、後のスイッチング用 TFT のソース領域又はドレイン領域上に設けられ、信号線として機能する第 3 の導電層 901、ドレイン電極として機能する第 3 の導電層 902 が形成される。また、後の駆動用 TFT のソース領域又はドレイン領域上に設けられ、電源線として機能する第 3 の導電層 844、ドレイン電極として機能する第 3 の導電層 845 が形成される。

【0268】

なお、スイッチング用 TFT のドレインとして機能する第 3 の導電層 902 と、駆動用 TFT のゲート電極として機能する第 1 の導電層 803 とは、コンタクトホール 909 において接続される。

【0269】

また、駆動回路 A - A' の上面図を図 29 に示し、同時に参照する。

【0270】

また、この工程において、第 3 の導電層を分断して、各信号線、電源線と、走査線、ドレイン電極を形成すると共に、ドレイン配線の幅が細くなるようにエッチングすることで、後に形成される表示装置の開口率を高めることが可能である。

【0271】

次に、第 4 のマスクを残したまま、第 1 の半導体領域 824、及び p 型を呈する半導体領域 831、832 をエッチングして、ソース領域及びドレイン領域 847 ~ 852 を形成する。このとき、第 2 の半導体領域 821 ~ 823 の一部もエッチングされる。エッチングされたチャネル形成領域として機能する第 2 の半導体領域を第 3 の半導体領域 854 ~ 856 とする。

【0272】

ここで、駆動回路を単チャネル構造、代表的には n チャネル型 TFT で形成した場合について、図 39 を用いて説明する。図 39 は、n チャネル型 TFT と抵抗 860 とで形成

10

20

30

40

50

されたインバータの上面図を示す。なお、抵抗 860 は n チャンネル型 T F T のソース電極又はドレイン電極の一方と、ゲート電極とを接続して形成されている。

【0273】

ゲート電極として機能する第 1 の導電層 801、802 それぞれの上には、ゲート絶縁膜を介して、第 3 の半導体領域 854、855 が形成される。また、半導体領域それぞれに n 型を呈する半導体領域が形成されており、その上にソース電極及びドレイン電極が形成されている。

【0274】

第 3 の半導体領域 854 及び 855 上を覆ってソース電極又はドレイン電極の一方 836 が形成されている。このソース電極又はドレイン電極の一方 836 により、上記二つの半導体領域は接続されている。 10

【0275】

また、第 3 の半導体領域 854 上にはソース電極又はドレイン電極の他方 835 が形成されている。さらには、第 3 の半導体領域 854 上には、ソース電極又はドレイン電極の他方 837 が形成されている。また、ソース電極及びドレイン電極を形成する前に、ゲート絶縁膜の一部をエッチングして、ゲート電極として機能する第 1 の導電層 802 を露出した後、ソース電極及びドレイン電極を形成することで、ソース電極又はドレイン電極の他方 837 とゲート電極として機能する第 1 の導電層 802 とが、コンタクトホール 838 を介して接続される。このため、抵抗 860 を形成することが可能となる。このため、隣り合う T F T 859 と抵抗 860 とが接続されることで、インバータを形成することが 20 可能である。

【0276】

なお、n チャンネル型 T F T の単チャンネル構造でなく、p チャンネル型 T F T の単チャンネル構造によって、駆動回路を形成しても良い。

【0277】

次に、図 26 (C) に示すように、第 4 のマスクを除去した後、第 4 の導電層及び第 3 の半導体領域表面上に第 2 の絶縁膜 857 及び第 3 の絶縁膜 858 を形成する。ここでは、第 2 の絶縁膜 857 として水素を含む膜厚 100 nm の酸化窒化珪素膜 (SiO_xN_y : $x > y > 0$) を CVD 法により形成する。また、第 3 の絶縁膜 858 として膜厚 200 nm の窒化珪素膜を、CVD 法により成膜する。窒化珪素膜は、外部からの不純物をブロッ 30 キングする保護膜として機能する。

【0278】

次に、第 3 の半導体領域 854 ~ 856 を加熱して水素化する。ここでは、窒素雰囲気 410 1 時間の加熱を行うことで、第 2 の絶縁膜 857 に含まれる水素が第 3 の半導体領域 854 ~ 856 に添加され、水素化される。

【0279】

次に、図 27 (A) に示すように、第 3 の絶縁膜 858 上に第 4 の絶縁膜 871 を形成する。ここでは、アクリルを塗布し焼成して第 4 の絶縁膜 871 を形成する。次に、第 4 の絶縁膜 871 上に第 5 のマスクを形成した後、第 4 の絶縁膜 871、第 3 の絶縁膜 858、第 2 の絶縁膜 857 をそれぞれエッチングして、スイッチング用 T F T のゲート電極 40 として機能する第 1 の導電層 804 の一部を露出する。次に、第 1 の導電層 804 に接続する走査線として機能する第 4 の導電層 872 を形成する。ここでは、スパッタにより第 4 の導電層 872 を形成する。

【0280】

以上の工程により、n チャンネル型 T F T 861、p チャンネル型 T F T 862 とが接続された C M O S 回路で形成される駆動回路 A - A' と、p チャンネル型 T F T 863 で形成される駆動用 T F T、n チャンネル型 T F T で形成されるスイッチング用 T F T を有する画素部を形成することができる。本実施例では、n チャンネル T F T 及び p チャンネル型 T F T で駆動回路が形成されているが、n チャンネル型 T F T のみで駆動回路及び画素部を形成しても良い。

【 0 2 8 1 】

次に、第 5 の絶縁膜 8 7 3 を形成する。第 5 の絶縁膜 8 7 3 も第 4 の絶縁膜と同様の材料を適宜用いることが可能である。ここでは、第 5 の絶縁膜 8 7 3 にアクリルを用いる。次に、第 5 の絶縁膜 8 7 3 上に第 6 のマスクを形成した後、第 5 の絶縁膜 ~ 第 2 の絶縁膜をエッチングして、第 3 の導電層 8 4 5 の一部を露出する。

【 0 2 8 2 】

次に、第 3 の導電層 8 4 5 に接するように、膜厚 1 0 0 ~ 3 0 0 n m の第 5 の導電層 8 7 4 を成膜する。第 5 の導電層 8 7 4 の材料としては、透光性を有する導電膜、又は反射性を有する導電膜があげられる。また、第 5 の導電層 8 7 4 の形成方法としては、スパッタリング法、蒸着法、C V D 法等を適宜用いる。マスクを形成した後、導電膜をエッチングして導電層を形成する。ここでは、反射率に優れたアルミニウムを主成分とし、ニッケル、コバルト、鉄、炭素及び珪素のうち少なくとも 1 つを含む合金材料を下層とし、その上に酸化珪素を含むインジウム錫酸化物 (I T O) をスパッタリング法により成膜し、所望の形状にエッチングして画素電極として機能する第 5 の導電層 8 7 4 を形成する。また、タングステンやチタンの場合は I T O などの透明電極を形成しなくてもよい。

10

【 0 2 8 3 】

また、画素 B - B ' の上面図を図 2 9 に示し、同時に参照する。第 4 の導電層 8 7 2 は、コンタクトホール 9 1 1 において画素電極として機能する第 5 の導電層 8 7 4 と接続する。

【 0 2 8 4 】

以上の工程によりアクティブマトリクス基板を作製することができる。なお、静電破壊防止のための保護回路、代表的にはダイオードなどを、接続端子とソース配線 (走査線) の間または画素部に設けてもよい。この場合、上記した T F T と同様の工程で作製し、画素部の走査線層とダイオードのドレイン又はソース配線層とを接続することにより、静電破壊を防止することができる。

20

【 0 2 8 5 】

次に、図 2 7 (B) に示すように、第 5 の導電層 8 7 4 の端部を覆う第 6 の絶縁膜 8 8 1 を形成する。ここでは、ネガ型感光性材料を用いて、第 6 の絶縁膜 8 8 1 を形成する。

【 0 2 8 6 】

次に、蒸着法、塗布法、液滴吐出法などにより、第 5 の導電層 8 7 4 表面及び第 6 の絶縁膜 8 8 1 の端部上に発光物質を含む層 8 8 2 を形成する。この後、発光物質を含む層 8 8 2 上に、第 2 の画素電極として機能する第 6 の導電層 8 8 3 を形成する。ここでは、酸化珪素を含む I T O をスパッタリング法により成膜する。この結果、第 5 の導電層、発光物質を含む層、及び第 6 の導電層により発光素子を形成することができる。発光素子を構成する導電層及び、発光物質を含む層の各材料は適宜選択し、各膜厚も調整する。

30

【 0 2 8 7 】

なお、発光物質を含む層 8 8 2 を形成する前に、大気圧中で 2 0 0 ~ 3 5 0 の熱処理を行い第 6 の絶縁膜 8 8 1 中若しくはその表面に吸着している水分を除去する。また、減圧下で 2 0 0 ~ 4 0 0 、好ましくは 2 5 0 ~ 3 5 0 に熱処理を行い、そのまま大気に晒さずに発光物質を含む層 8 8 2 を真空蒸着法や、大気圧下又は減圧下の液滴吐出法、更には塗布法等で形成することが好ましい。

40

【 0 2 8 8 】

発光物質を含む層 8 8 2 は、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子系有機化合物、 dendrimer、オリゴマー等に代表される中分子系有機化合物、高分子系有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせても良い。

【 0 2 8 9 】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス (8 - キノリノラト) アルミニウム (略称 : A l q ₃)、トリス (5 - メチル - 8 - キノリノラト) アルミニウム (略称 : A l m q ₃)、ビス (1 0 - ヒドロキシベンゾ [h] - キノリナ

50

ト)ベリリウム(略称:BeBq₂)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(略称:BA1q)など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。

【0290】

また、正孔輸送性の高い物質としては、例えば4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(略称:α-NPD)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(略称:TPD)や4,4',4''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称:TDATA)、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称:MTDATA)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物が挙げられる。

10

【0291】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム(LiF)、フッ化セシウム(CsF)、フッ化カルシウム(CaF₂)等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq₃のような電子輸送性の高い物質とマグネシウム(Mg)のようなアルカリ土類金属との混合物であってもよい。

【0292】

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物(MoO_x)やバナジウム酸化物(VO_x)、ルテニウム酸化物(RuO_x)、タングステン酸化物(WO_x)、マンガン酸化物(MnO_x)等の金属酸化物が挙げられる。また、この他、フタロシアニン(略称:H₂Pc)や銅フタロシアニン(CuPc)等のフタロシアニン系の化合物が挙げられる。

20

【0293】

発光層は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R(赤)、G(緑)、B(青)の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルター(着色層)を設けた構成とすることで、色純度の向上や、画素部の鏡面化(映り込み)の防止を図ることができる。フィルター(着色層)を設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、発光層から放射される光の損失を無くすることができる。さらに、斜方から画素部(表示画面)を見た場合に起こる色調の変化を低減することができる。

30

【0294】

発光層を形成する発光材料には様々な材料がある。低分子系有機発光材料では、4-(ジシアノメチレン)-2-メチル-6-[2-(1,1,7,7-テトラメチルジユロリジン-9-イル)エテニル]-4H-ピラン(略称:DCJT)、4-(ジシアノメチレン)-2-tert-ブチル-6-[2-(1,1,7,7-テトラメチルジユロリジン-9-イル)エテニル]-4H-ピラン(略称:DCJTB)、ペリフランテン、2,5-ジシアノ-1,4-ビス[2-(10-メトキシ-1,1,7,7-テトラメチルジユロリジン-9-イル)エテニル]ベンゼン、N,N'-ジメチルキナクリドン(略称:DMQd)、クマリン6、クマリン545T、トリス(8-キノリノラト)アルミニウム(略称:Alq₃)、9,9'-ピアントリル、9,10-ジフェニルアントラセン(略称:DPA)や9,10-ジ(2-ナフチル)アントラセン(略称:DNA)等を用いることができる。また、この他の物質でもよい。

40

【0295】

一方、高分子系有機発光材料は低分子系有機発光材料に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基本的には同じであり、陰極と発光物質を含む層と陽極となる。しかし、高分子系有機発光材料を用いた発光物質を含む層を形成する際には、低分子系有機発光材料を

50

用いたときのような積層構造を形成させることは難しく、多くの場合 2 層構造となる。具体的には、陰極と発光層と正孔輸送層と陽極という構造である。

【0296】

発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフエン系、ポリフルオレン系が挙げられる。

【0297】

ポリパラフェニレンビニレン系発光材料には、ポリ(パラフェニレンビニレン) [P P V] の誘導体、ポリ(2, 5 - ジアルコキシ - 1, 4 - フェニレンビニレン) [R O - P P V]、ポリ(2 - (2' - エチル - ヘキソキシ) - 5 - メトキシ - 1, 4 - フェニレンビニレン) [M E H - P P V]、ポリ(2 - (ジアルコキシフェニル) - 1, 4 - フェニレンビニレン) [R O P h - P P V] 等が挙げられる。ポリパラフェニレン系発光材料には、ポリパラフェニレン [P P P] の誘導体、ポリ(2, 5 - ジアルコキシ - 1, 4 - フェニレン) [R O - P P P]、ポリ(2, 5 - ジヘキソキシ - 1, 4 - フェニレン) 等が挙げられる。ポリチオフエン系発光材料には、ポリチオフエン [P T] の誘導体、ポリ(3 - アルキルチオフエン) [P A T]、ポリ(3 - ヘキシルチオフエン) [P H T]、ポリ(3 - シクロヘキシルチオフエン) [P C H T]、ポリ(3 - シクロヘキシル - 4 - メチルチオフエン) [P C H M T]、ポリ(3, 4 - ジシクロヘキシルチオフエン) [P D C H T]、ポリ[3 - (4 - オクチルフェニル) - チオフエン] [P O P T]、ポリ[3 - (4 - オクチルフェニル) - 2, 2 ビチオフエン] [P T O P T] 等が挙げられる。ポリフルオレン系発光材料には、ポリフルオレン [P F] の誘導体、ポリ(9, 9 - ジアルキルフルオレン) [P D A F]、ポリ(9, 9 - ジオクチルフルオレン) [P D O F] 等が挙げられる。

【0298】

また、発光層は単色又は白色の発光を呈する構成とすることができる。白色発光材料を用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター(着色層)を設けた構成としてカラー表示を可能にすることができる。

【0299】

白色に発光する発光層を形成するには、例えば、A l q₃、部分的に赤色発光色素であるナイルレッドをドーブした A l q₃、p - E t T A Z、T P D (芳香族ジアミン)を蒸着法により順次積層することで白色を得ることができる。また、スピンコートを用いた塗布法により発光層を形成する場合には、塗布した後、真空加熱で焼成することが好ましい。例えば、正孔注入層として作用するポリ(エチレンジオキシチオフエン)/ポリ(スチレンスルホン酸)水溶液(P E D O T / P S S)を全面に塗布、焼成し、その後、発光層として作用する発光中心色素(1, 1, 4, 4 - テトラフェニル - 1, 3 - ブタジエン(T P B)、4 - ジシアノメチレン - 2 - メチル - 6 - (p - ジメチルアミノ - スチリル) - 4 H - ピラン(D C M 1)、ナイルレッド、クマリン 6 など)ドーブしたポリビニルカルバゾール(P V K)溶液を全面に塗布、焼成すればよい。

【0300】

発光層は単層で形成することもでき、ホール輸送性のポリビニルカルバゾール(P V K)に電子輸送性の 1, 3, 4 - オキサジアゾール誘導体(P B D)を分散させてもよい。また、30 w t %の P B D を電子輸送剤として分散し、4 種類の色素(T P B、クマリン 6、D C M 1、ナイルレッド)を適量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、発光層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができる。

【0301】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒

10

20

30

40

50

には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。

【0302】

さらに、発光層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他の発光性の画素を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なくて済むという特徴がある。すなわち、赤色画素に三重項励起発光材料を適用した場合、発光素子に流す電流量が少なくて済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

10

【0303】

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第3遷移系列元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8~10属に属する元素を有する化合物を用いることも可能である。

20

【0304】

以上に掲げる発光物質を含む層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、発光層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。発光層の層構造は変化しうるものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極を備えたり、発光性の材料を分散させて備えたりする変形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。

【0305】

上記のような材料で形成した発光素子は、順方向にバイアスすることで発光する。発光素子を用いて形成する表示装置の画素は、単純マトリクス方式、若しくはアクティブマトリクス方式で駆動することができる。いずれにしても、個々の画素は、ある特定のタイミングで順方向バイアスを印加して発光させることとなるが、ある一定期間は非発光状態となっている。この非発光時間に逆方向のバイアスを印加することで発光素子の信頼性を向上させることができる。発光素子では、一定駆動条件下で発光強度が低下する劣化や、画素内で非発光領域が拡大して見かけ上輝度が低下する劣化モードがあるが、順方向及び逆方向にバイアスを印加する交流的な駆動を行うことで、劣化の進行を遅くすることができる。発光装置の信頼性を向上させることができる。

30

【0306】

次に、発光素子を覆って、水分の侵入を防ぐ透明保護層を形成する。透明保護層としては、スパッタ法またはCVD法により得られる窒化珪素膜、酸化珪素膜、酸化窒化珪素膜(SiN_xO_y 膜($x > y > 0$)または SiO_xN_y 膜($x > y > 0$))、炭素を主成分とする薄膜(例えば DLC 膜、CN 膜)などを用いることができる。

40

【0307】

以上の工程により、発光素子を有するアクティブマトリクス基板を作製することができる。なお、実施形態1乃至実施形態19のいずれをも本実施例に適用することができる。

【実施例2】

【0308】

上記実施例において適用可能な発光素子の形態を、図31を用いて説明する。

50

【0309】

図31(A)は、第1の画素電極2011に、透光性を有し且つ仕事関数の大きい導電膜を用い、第2の画素電極2017に、仕事関数の小さい導電膜を用いて形成した例である。第1の画素電極2011を透光性の酸化物導電性材料で形成し、代表的には酸化珪素を1～15原子%の濃度で含む酸化物導電性材料で形成している。その上に正孔注入層若しくは正孔輸送層2041、発光層2042、電子輸送層若しくは電子注入層2043を積層した発光物質を含む層2016を設けている。第2の画素電極2017は、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む第1の電極層2033とアルミニウムなどの金属材料で形成する第2の電極層2034で形成している。この構造の画素は、図中の矢印で示したように第1の画素電極2011側から光を放射することが可能となる。

【0310】

図31(B)は、第1の画素電極2011に、仕事関数の大きい導電膜を用い、第2の画素電極2017に、透光性を有し且つ仕事関数の小さい導電膜を用いて形成した例である。第1の画素電極2011はアルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する第1の電極層2035と、酸化珪素を1～15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層2032との積層構造で形成している。その上に正孔注入層若しくは正孔輸送層2041、発光層2042、電子輸送層若しくは電子注入層2043を積層した発光物質を含む層2016を設けている。第2の画素電極2017は、LiFやCaF₂などのアルカリ金属又はアルカリ土類金属を含む第3の電極層2033とアルミニウムなどの金属材料で形成する第4の電極層2034で形成する。第2の電極のいずれの層をも100nm以下の厚さとして光を透過可能な状態としておくことで、図中の矢印で示したように第2の電極2017から光を放射することが可能となる。

【0311】

図31(E)は、両方向、即ち第1の電極及び第2の電極から光を放射する例を示し、第1の画素電極2011に、透光性を有し且つ仕事関数の大きい導電膜を用い、第2の画素電極2017に、透光性を有し且つ仕事関数の小さい導電膜を用いる。代表的には、第1の画素電極2011を、酸化珪素を1～15原子%の濃度で含む酸化物導電性材料で形成し、第2の画素電極2017を、それぞれ100nm以下の厚さのLiFやCaF₂などのアルカリ金属又はアルカリ土類金属を含む第3の電極層2033とアルミニウムなどの金属材料で形成する第4の電極層2034で形成することで、図中の矢印で示したように、第1の画素電極2011及び第2の画素電極2017の両側から光を放射することが可能となる。

【0312】

図31(C)は、第1の画素電極2011に、透光性を有し且つ仕事関数の小さい導電膜を用い、第2の画素電極2017に、仕事関数の大きい導電膜を用いて形成した例である。発光物質を含む層を電子輸送層若しくは電子注入層2043、発光層2042、正孔注入層若しくは正孔輸送層2041の順に積層した構成を示している。第2の画素電極2017は、発光物質を含む層2016側から酸化珪素を1～15原子%の濃度で含む酸化物導電性材料で形成する第2の電極層2032、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する第1の電極層2035の積層構造で形成している。第1の画素電極2011は、LiFやCaF₂などのアルカリ金属又はアルカリ土類金属を含む第3の電極層2033とアルミニウムなどの金属材料で形成する第4の電極層2034で形成するが、いずれの層も100nm以下の厚さとして光を透過可能な状態としておくことで、図中の矢印で示したように第1の画素電極2011から光を放射することが可能となる。

【0313】

図31(D)は、第1の画素電極2011に、仕事関数の小さい導電膜を用い、第2の画素電極2017に、透光性を有し且つ仕事関数の大きい導電膜を用いて形成した例であ

る。発光物質を含む層を電子輸送層若しくは電子注入層 2043、発光層 2042、正孔注入層若しくは正孔輸送層 2041の順に積層した構成を示している。第1の画素電極 2011は図31(A)と同様な構成とし、膜厚は発光物質を含む層で発光した光を反射可能な程度に厚く形成している。第2の画素電極 2017は、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で構成している。この構造において、正孔注入層 2041を無機物である金属酸化物(代表的には酸化モリブデン若しくは酸化バナジウム)で形成することにより、第2の電極層 2032を形成する際に導入される酸素が供給されて正孔注入性が向上し、駆動電圧を低下させることができる。また、第2の画素電極 2017を、透光性を有する導電層で形成することで、図中の矢印で示したように、第2の画素電極 2017の両側から光を放射することが可能となる。

10

【0314】

図31(F)は、両方向、即ち第1の画素電極及び第2の画素電極から光を放射する例を示し、第1の画素電極 2011に、透光性を有し且つ仕事関数の小さい導電膜を用い、第2の画素電極 2017に、透光性を有し且つ仕事関数の大きい導電膜を用いる。代表的には、第1の画素電極 2011を、それぞれ100nm以下の厚さのLiFやCaF₂などのアルカリ金属又はアルカリ土類金属を含む第3の電極層 2033とアルミニウムなどの金属材料で形成する第4の電極層 2034で形成し、第2の画素電極 2017を、酸化珪素を1~15原子%の濃度で含む酸化物導電性材料で形成すればよい。

【実施例3】

【0315】

上記実施例で示す発光表示パネルの画素回路、及びその動作構成について、図32を用いて説明する。発光表示パネルの動作構成は、ビデオ信号がデジタルの表示装置において、画素に入力されるビデオ信号が電圧で規定されるのものと、電流で規定されるものがある。ビデオ信号が電圧によって規定されるものには、発光素子に印加される電圧が一定のもの(CVCV)と、発光素子に印加される電流が一定のもの(CVCC)とがある。また、ビデオ信号が電流によって規定されるものには、発光素子に印加される電圧が一定のもの(CCCV)と、発光素子に印加される電流が一定のもの(CCCC)とがある。本実施例では、CVCV動作をする画素を図32(A)及び(B)を用いて説明する。また、CVCC動作をする画素を図32(C)~(F)を用いて説明する。

20

【0316】

図32(A)及び(B)に示す画素は、列方向に信号線3710及び電源線3711、行方向に走査線3714が配置される。また、スイッチング用TF T 3701、駆動用TF T 3703、容量素子3702及び発光素子3705を有する。

30

【0317】

なお、スイッチング用TF T 3701及び駆動用TF T 3703は、オンしているときは線形領域で動作する。また駆動用TF T 3703は発光素子3705に電圧を印加するか否かを制御する役目を有する。両TF Tは同じ導電性を有していると作製工程上好ましい。本実施例ではスイッチング用TF T 3701をnチャネル型TF Tとし、駆動用TF T 3703をpチャネル型TF Tとして形成する。また駆動用TF T 3703には、エンハンスメント型だけでなく、ディプリーション型のTF Tを用いてもよい。また、駆動用TF T 3703のチャネル幅Wとチャネルと長Lの比(W/L)は、TF Tの移動度にもよるが1~1000であることが好ましい。W/Lが大きいほど、TF Tの電気特性が向上する。

40

【0318】

図32(A)、(B)に示す画素において、スイッチング用TF T 3701は、画素に対するビデオ信号の入力を制御するものであり、スイッチング用TF T 3701がオンになると、画素内にビデオ信号が入力される。すると、容量素子3702にそのビデオ信号の電圧が保持される。

【0319】

図32(A)において、電源線3711がV_{ss}で発光素子3705の対向電極がV_d

50

d の場合、即ち図 3 1 (C) 及び (D) の場合、発光素子の対向電極は陽極であり、駆動用 T F T 3 7 0 3 に接続される電極は陰極である。この場合、駆動用 T F T 3 7 0 3 の特性バラツキによる輝度ムラを抑制することが可能である。

【 0 3 2 0 】

図 3 2 (A) において、電源線 3 7 1 1 が V d d で発光素子 3 7 0 5 の対向電極が V s s の場合、即ち図 3 1 (A) 及び (B) の場合、発光素子の対向電極は陰極であり、駆動用 T F T 3 7 0 3 に接続される電極は陽極である。この場合、V d d より電圧の高いビデオ信号を信号線 3 7 1 0 に入力することにより、容量素子 3 7 0 2 にそのビデオ信号の電圧が保持され、駆動用 T F T 3 7 0 3 が線形領域で動作するので、T F T のバラツキによる輝度ムラを改善することが可能である。

10

【 0 3 2 1 】

図 3 2 (B) に示す画素は、T F T 3 7 0 6 と走査線 3 7 1 5 を追加している以外は、図 3 2 (A) に示す画素構成と同じである。

【 0 3 2 2 】

T F T 3 7 0 6 は、新たに配置された走査線 3 7 1 5 によりオン又はオフが制御される。T F T 3 7 0 6 がオンとなると、容量素子 3 7 0 2 に保持された電荷は放電し、駆動用 T F T 3 7 0 3 がオフとなる。つまり、T F T 3 7 0 6 の配置により、強制的に発光素子 3 7 0 5 に電流が流れない状態を作ることができる。そのため T F T 3 7 0 6 を消去用 T F T と呼ぶことができる。従って、図 3 2 (B) の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、発光のデューティ比を向上することが可能となる。

20

【 0 3 2 3 】

上記動作構成を有する画素において、発光素子 3 7 0 5 の電流値は、線形領域で動作する駆動用 T F T 3 7 0 3 により決定することができる。上記構成により、T F T の特性のバラツキを抑制することが可能であり、T F T 特性のバラツキに起因した発光素子の輝度ムラを改善して、画質を向上させた表示装置を提供することができる。

【 0 3 2 4 】

次に、C V C C 動作をする画素を図 3 2 (C) ~ (F) を用いて説明する。図 3 2 (C) に示す画素は、図 3 2 (A) に示す画素構成に、電源線 3 7 1 2、電流制御用 T F T 3 7 0 4 が設けられている。

30

【 0 3 2 5 】

図 3 2 (E) に示す画素は、駆動用 T F T 3 7 0 3 のゲート電極が、行方向に配置された電源線 3 7 1 2 に接続される点が異なっており、それ以外は図 3 2 (C) に示す画素と同じ構成である。つまり、図 3 2 (C)、(E) に示す両画素は、同じ等価回路図を示す。しかしながら、列方向に電源線 3 7 1 2 が配置される場合 (図 3 2 (C)) と、行方向に電源線 3 7 1 2 が配置される場合 (図 3 2 (E)) とでは、各電源線は異なるレイヤーの導電膜で形成される。ここでは、駆動用 T F T 3 7 0 3 のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図 3 2 (C)、(E) として分けて記載する。

【 0 3 2 6 】

なお、スイッチング用 T F T 3 7 0 1 は線形領域で動作し、駆動用 T F T 3 7 0 3 は飽和領域で動作する。また駆動用 T F T 3 7 0 3 は発光素子 3 7 0 5 に流れる電流値を制御する役目を有し、電流制御用 T F T 3 7 0 4 は飽和領域で動作し発光素子 3 7 0 5 に対する電流の供給を制御する役目を有する。

40

【 0 3 2 7 】

図 3 2 (D) 及び (F) 示す画素はそれぞれ、図 3 2 (C) 及び (E) に示す画素に、消去用の T F T 3 7 0 6 と走査線 3 7 1 5 を追加している以外は、図 3 2 (C) 及び (E) に示す画素構成と同じである。

【 0 3 2 8 】

なお、図 3 2 (A) 及び (B) に示される画素でも、C V C C 動作をすることは可能で

50

ある。また、図 3 2 (C) ~ (F) に示される動作構成を有する画素は、図 3 2 (A) 及び (B) と同様に、発光素子の電流の流れる方向によって、V d d 及び V s s を適宜変えることが可能である。

【 0 3 2 9 】

上記構成を有する画素は、電流制御用 T F T 3 7 0 4 が線形領域で動作するために、電流制御用 T F T 3 7 0 4 の V g s の僅かな変動は、発光素子 3 7 0 5 の電流値に影響を及ぼさない。つまり、発光素子 3 7 0 5 の電流値は、飽和領域で動作する駆動用 T F T 3 7 0 3 により決定することができる。上記構成により、T F T の特性バラツキに起因した発光素子の輝度ムラを改善して、画質を向上させた表示装置を提供することができる。

【 0 3 3 0 】

なお、容量素子 3 7 0 2 を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などで、まかなうことが可能な場合には、容量素子 3 7 0 2 を設けなくてもよい。

【 0 3 3 1 】

このようなアクティブマトリクス型の発光装置は、画素密度が増えた場合、各画素に T F T が設けられているため低電圧駆動でき、有利であると考えられている。一方、一列毎に T F T が設けられるパッシブマトリクス型の発光装置を形成することもできる。パッシブマトリクス型の発光装置は、各画素に T F T が設けられていないため、高開口率となる。

【 0 3 3 2 】

また、本発明の表示装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、表示装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【 0 3 3 3 】

以上のように、多様な画素回路を採用することができる。

【 実施例 4 】

【 0 3 3 4 】

本実施例では、表示パネルの一例として、発光表示パネルの外観について、図 3 0 を用いて説明する。図 3 0 (A) は、第 1 の基板と、第 2 の基板との間を第 1 のシール材 1 2 0 5 及び第 2 のシール材 1 2 0 6 によって封止されたパネルの上面図であり、図 3 0 (B) は、図 3 0 (A) の A - A '、B - B ' それぞれにおける断面図に相当する。

【 0 3 3 5 】

図 3 0 (A) において、点線で示された 1 2 0 2 は画素部、1 2 0 3 は走査線 (ゲート線) 駆動回路である。本実施例において、画素部 1 2 0 2、及び走査線駆動回路 1 2 0 3 は、第 1 のシール材 1 2 0 5 で封止されている領域内にある。また、1 2 0 1 は信号線 (ソース線) 駆動回路であり、チップ状の信号線駆動回路が第 1 の基板 1 2 0 0 上に設けられている。第 1 のシール材としては、フィラーを含む粘性の高いエポキシ系樹脂を用いるのが好ましい。また、第 2 のシール材としては、粘性の低いエポキシ系樹脂を用いるのが好ましい。また、第 1 のシール材 1 2 0 5 及び第 2 のシール材はできるだけ水分や酸素を透過しない材料であることが望ましい。

【 0 3 3 6 】

また、画素部 1 2 0 2 とシール材 1 2 0 5 との間に、乾燥剤を設けてもよい。さらには、画素部において、走査線又は信号線上に乾燥剤を設けてもよい。乾燥剤としては、酸化カルシウム (C a O) や酸化バリウム (B a O) 等のようなアルカリ土類金属の酸化物のような化学吸着によって水 (H₂O) を吸着する物質を用いるのが好ましい。但し、これに限らずゼオライトやシリカゲル等の物理吸着によって水を吸着する物質を用いても構わない。

【 0 3 3 7 】

10

20

30

40

50

また、透湿性の高い樹脂に乾燥剤の粒状の物質を含ませた状態で第2の基板1204に固定することができる。ここで、透湿性の高い樹脂としては、例えば、エステルアクリレート、エーテルアクリレート、エステルウレタンアクリレート、エーテルウレタンアクリレート、ブタジエンウレタンアクリレート、特殊ウレタンアクリレート、エポキシアクリレート、アミノ樹脂アクリレート、アクリル樹脂アクリレート等のアクリル樹脂を用いることができる。この他、ビスフェノールA型液状樹脂、ビスフェノールA型固形樹脂、含ブロムエポキシ樹脂、ビスフェノールF型樹脂、ビスフェノールAD型樹脂、フェノール型樹脂、クレゾール型樹脂、ノボラック型樹脂、環状脂肪族エポキシ樹脂、エピビス型エポキシ樹脂、グリシジルエステル樹脂、グリシジルアミン系樹脂、複素環式エポキシ樹脂、変性エポキシ樹脂等のエポキシ樹脂を用いることができる。また、この他の物質を用いても構わない。また、例えばシロキサンポリマー、ポリイミド、PSG（リンガラス）、BPSG（リンボロンガラス）、等の無機物等を用いてもよい。

10

【0338】

走査線と重畳する領域に乾燥剤を設けてもよい。更には、透湿性の高い樹脂に乾燥剤の粒状の物質を含ませた状態で第2の基板に固定してもよい。これらの乾燥剤を設けることにより、開口率を低下せずに表示素子への水分の侵入及びそれに起因する劣化を抑制することができる。このため、画素部1202の周辺部と中央部における発光素子の劣化のバラツキを抑えることが可能である。

【0339】

なお、1210は、信号線駆動回路1201及び走査線駆動回路1203に入力される信号を伝送するための接続配線領域であり、外部入力端子となるFPC（フレキシブルプリント配線）1209から、接続配線1208を介してビデオ信号やクロック信号を受け取る。

20

【0340】

次に、断面構造について図30（B）を用いて説明する。第1の基板1200上には駆動回路及び画素部が形成されており、TFTを代表とする半導体素子を複数有している。駆動回路として走査線駆動回路1203と画素部1202とを示す。なお、走査線駆動回路1203はnチャネル型TFT1221とpチャネル型TFT1222とを組み合わせたCMOS回路が形成される。

【0341】

本実施例においては、同一基板上に走査線駆動回路、及び画素部のTFTが形成されている。このため、発光表示パネルの面積を縮小することができる。

30

【0342】

また、画素部1202はスイッチング用TFT1211と、駆動用TFT1212とそのドレイン電極に電氣的に接続された反射性を有する導電膜からなる第1の画素電極（陽極）1213を含む複数の画素により形成される。

【0343】

また、スイッチング用TFTのゲート電極1231と走査線1214とが、第1の絶縁物1232及びゲート絶縁膜を介して接続されている。なお、駆動用TFTや、駆動回路のTFTのゲート電極もそれぞれ、第1の絶縁物及びゲート絶縁膜を介して、走査線に接続されている。

40

【0344】

また、第1の絶縁物1232と上には第2の絶縁物1233が形成されており、第2の絶縁物1233を介して走査線1214と第1の画素電極1213が形成されている。

【0345】

また、第1の画素電極（陽極）1213の両端には第3の絶縁物（隔壁、障壁などと呼ばれる）1234が形成される。第3の絶縁物1234に形成する膜の被覆率（カバレッジ）を良好なものとするため、第3の絶縁物1234の上端部または下端部に曲率を有する曲面が形成されるようにする。また、第3の絶縁物1234表面を、窒化アルミニウム膜、窒化酸化アルミニウム膜、炭素を主成分とする薄膜、または窒化珪素膜からなる保護

50

膜で覆ってもよい。更には、第3の絶縁物1234として、黒色顔料、色素などの可視光を吸収する材料を溶解又は分散させてなる有機材料を用いることで、後に形成される発光素子からの迷光を吸収することができる。この結果、各素子のコントラストが向上する。

【0346】

また、第1の画素電極(陽極)1213上には、有機化合物材料の蒸着を行い、発光物質を含む層1215を選択的に形成する。さらには、発光物質を含む層1215上に第2の画素電極(陰極)を形成する。

【0347】

発光物質を含む層1215は実施例2に示される構造を適宜用いることができる。

【0348】

こうして、第1の画素電極(陽極)1213、発光物質を含む層1215、及び第2の画素電極(陰極)1216からなる発光素子1217が形成される。

【0349】

また、発光素子1217を封止するために保護積層1218を形成する。保護積層は、第1の無機絶縁膜と、応力緩和膜と、第2の無機絶縁膜との積層からなっている。次に、保護積層1218と第2の基板1204とを、第1のシール材1205及び第2のシール材1206で接着する。なお、第2のシール材を、シール材を滴下する装置を用いて滴下することが好ましい。シール材をディスペンサから滴下、又は吐出させてシール材をアクティブマトリクス基板上に塗布した後、真空中で、第2の基板とアクティブマトリクス基板とを貼り合わせ、紫外線硬化を行って封止することができる。

【0350】

なお、第2の基板1204表面には、外光が基板表面で反射するのを防止するための反射防止膜1226を設ける。また、第2の基板と反射防止膜との間に、偏光板、及び位相差板のいずれか一方又は両方を設けてもよい。位相差板、偏光板を設けることにより、外光が画素電極で反射することを防止することが可能である。なお、第1の画素電極1213及び第2の画素電極1216を、透光性を有する導電膜又は半透光性を有する導電膜で形成し、第2の絶縁物1233、第3の絶縁物1234を、可視光を吸収する材料、又は可視光を吸収する材料を溶解又は分散させてなる有機材料を用いて形成すると、各画素電極で外光が反射しないため、位相差板及び偏光板を用いなくとも良い。

【0351】

接続配線1208とFPC1209とは、異方性導電膜又は異方性導電樹脂1227で電気的に接続されている。さらに、各配線層と接続端子との接続部を封止樹脂で封止することが好ましい。この構造により、断面部からの水分が発光素子に侵入し、劣化することを防ぐことができる。

【0352】

なお、第2の基板1204と、保護積層1218との間には、第2のシール材1206の代わりに、不活性ガス、例えば窒素ガスを充填した空間を有してもよい。水分や酸素の侵入の防止を高めることができる。

【0353】

また、第2の基板と偏光板の間に着色層を設けることができる。この場合、画素部に白色発光が可能な発光素子を設け、RGBを示す着色層を別途第2の基板1204に設けることでフルカラー表示することができる。また、画素部に青色発光が可能な発光素子を設け、色変換層などを別途設けることによってフルカラー表示することができる。さらには、各画素部、赤色、緑色、青色の発光を示す発光素子を形成し、且つ第2の基板1204に着色層を用いることもできる。このような表示モジュールは、各RGBの色純度が高く、高精細な表示が可能となる。

【0354】

また、第1の基板1200又は第2の基板1204の一方、若しくは両方にフィルム又は樹脂等の基板を用いて発光表示モジュールを形成してもよい。このように対向基板を用いず封止すると、表示装置の軽量化、小型化、薄膜化を向上させることができる。

10

20

30

40

50

【 0 3 5 5 】

更には、外部入力端子となる F P C (フレキシブルプリント配線) 1 2 0 9 表面又は端部に、コントローラ、メモリ、画素駆動回路のような I C チップを設け発光表示モジュールを形成してもよい。

【 0 3 5 6 】

なお、実施形態 1 乃至実施形態 1 9 のいずれをも本実施例に適用することができる。

【実施例 5】

【 0 3 5 7 】

本実施例では、基板周辺部に設けられた走査線入力端子と信号線入力端子の構造について、図 3 7 を用いて説明する。図 3 7 (A)、(C) 及び (E) は、それぞれ基板周辺部の上面図であり、図 3 7 (B)、(D) 及び (F) は、それぞれ図 3 7 (A)、(C) 及び (E) の K - L、及び M - N の縦断面図である。なお、K - L は走査線入力端子の縦断面図を示し、M - N は信号線入力端子の縦断面図を示す。

10

【 0 3 5 8 】

図 3 7 (A) 及び図 3 7 (B) に示すように、第 1 の基板 1 1 及び第 2 の基板 2 1 は、シール材 2 0 を用いて封止されており、これらの内部には、第 1 の画素電極 1 9 及び画素 T F T 1 が配列された画素部が形成されている。また、第 1 の画素電極 1 9 端部を覆う絶縁物 2 7 が形成されており、絶縁物 2 7 と第 1 の画素電極 1 9 の表面上に発光物質を含む層 2 9 及び第 2 の画素電極 3 0 が形成されており、第 1 の画素電極、発光物質を含む層 2 9、及び第 2 の画素電極 3 0 で発光素子を形成する。

20

【 0 3 5 9 】

図 3 7 (A) 及び図 3 7 (B) においては、走査線入力端子 1 3 と信号線入力端子 2 6 は、T F T 1 のゲート電極 1 2 と同様の工程により形成されている。また、走査線入力端子 1 3 は、第 1 の層間絶縁膜 1 6 上に形成された走査線 1 7 を介して各ゲート電極と接続されている。また、信号線入力端子 2 6 は、電源線 1 4 a、1 4 b、信号線 1 4 c とそれぞれ接続されている。

【 0 3 6 0 】

また、第 1 の画素電極 1 9 は第 1 の層間絶縁膜 1 6 上に形成された第 2 の層間絶縁膜 1 8 上に形成されている。なお、第 1 の層間絶縁膜 1 6 及び第 2 の層間絶縁膜 1 8 を介して、第 1 の画素電極は、ドレイン電極 1 5 と接続されている。

30

【 0 3 6 1 】

走査線入力端子 1 3 と信号線入力端子 2 6 は、それぞれ接続層 2 2、2 3 を介して F P C 2 4、2 5 に接続されている。なお、図 3 7 (A) においては、接続層 2 2、2 3 及び F P C 2 4、2 5 は破線で示している。

【 0 3 6 2 】

図 3 7 (C) 及び図 3 7 (D) においては、走査線入力端子 3 3 は電源線 1 4 a、1 4 b、信号線 1 4 c と同様の工程で形成され、信号線入力端子 2 6 は、電源線 1 4 a、1 4 b、信号線 1 4 c それぞれの一部である。また、走査線入力端子 3 3 とゲート電極 1 2 とは、第 1 の層間絶縁膜 1 6 上に形成された走査線 1 7 で接続されている。

【 0 3 6 3 】

その他の構造は、図 3 7 (A) 及び図 3 7 (B) と同様である。

40

【 0 3 6 4 】

図 3 7 (E) 及び図 3 7 (F) においては、走査線入力端子は走査線 4 3 の一部であり、信号線入力端子 4 4 は、走査線 4 3 と同時に形成される。即ち、走査線 4 3 と同時に各入力端子が形成されている。また、信号線入力端子 4 4 は、電源線 1 4 a、1 4 b、信号線 1 4 c 上に形成された第 1 の層間絶縁膜が除去された後、露出された電源線 1 4 a、1 4 b、信号線 1 4 c 上に形成される。

【 0 3 6 5 】

その他の構造は、図 3 7 (A) 及び図 3 7 (B) と同様である。

【 0 3 6 6 】

50

なお、本実施例は、実施形態 1 に示される T F T の構造を用いて説明したが、適宜実施形態 2 乃至実施形態 19 に適用することが可能である。

【実施例 6】

【0367】

本発明の表示装置に具備される保護回路の一例について説明する。保護回路は、T F T、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1 つの入力端子に対応した保護回路の等価回路図の構成について、図 38 を用いて説明する。図 38 (A) に示す保護回路は、P 型 T F T 7220、7230、容量素子 7210、7240、抵抗素子 7250 を有する。抵抗素子 7250 は 2 端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記) が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記) が与えられる。

10

【0368】

図 38 (B) に示す保護回路は、P 型 T F T 7220、7230 を、整流性を有するダイオード 7260、7270 で代用した等価回路図である。図 38 (C) に示す保護回路は、P 型 T F T 7220、7230 を、T F T 7350、7360、7370、7380 で代用した等価回路図である。また、上記とは別の構成の保護回路として、図 38 (D) に示す保護回路は、抵抗 7280、7290 と、N 型 T F T 7300 を有する。図 38 (E) に示す保護回路は、抵抗 7280、7290、P 型 T F T 7310 及び N 型 T F T 7320 を有する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施例は、上記の実施の形態と自由に組み合わせることが可能である。

20

【実施例 7】

【0369】

本実施例では、上記実施例に示した発光パネルへの駆動回路の実装について、図 33 を用いて説明する。

【0370】

図 33 (A) に示すように、画素部 1401 の周辺に信号線駆動回路 1402、及び走査線駆動回路 1403a、1403b を実装する。図 33 (A) では、信号線駆動回路 1402、及び走査線駆動回路 1403a、1403b 等として、公知の異方性導電接着剤、及び異方性導電フィルムを用いた実装方法、COG 方式、ワイヤボンディング方法、並びに半田パンプを用いたリフロー処理等により、基板 1400 上に IC チップ 1405 を実装する。ここでは、COG 方式を用いる。そして、FPC (フレキシブルプリントサーキット) 1406 を介して、IC チップと外部回路とを接続する。

30

【0371】

なお、信号線駆動回路 1402 の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途 IC チップで実装してもよい。

【0372】

また、図 33 (B) に示すように、セミアモルファス半導体や結晶性半導体で T F T を代表とする半導体素子を形成する場合、画素部 1401 と走査線駆動回路 1403a、1403b 等を基板上に一体形成し、信号線駆動回路 1402 等を別途 IC チップとして実装する場合がある。図 33 (B) において、信号線駆動回路 1402 として、COG 方式により、基板 1400 上に IC チップ 1405 を実装する。そして、FPC 1406 を介して、IC チップと外部回路とを接続する。

40

【0373】

なお、信号線駆動回路 1402 の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途 IC チップで実装してもよい。

【0374】

さらに、図 33 (C) に示すように、COG 方式に代えて、TAB 方式により信号線駆動回路 1402 等を実装する場合がある。そして、FPC 1406 を介して、IC チップ

50

と外部回路とを接続する。図 3 3 (C) において、信号線駆動回路を T A B 方式により実装しているが、走査線駆動回路を T A B 方式により実装してもよい。

【 0 3 7 5 】

I C チップを T A B 方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縁化を達成することができる。

【 0 3 7 6 】

なお、信号線駆動回路 1 4 0 2 の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途 I C チップで実装してもよい。

【 0 3 7 7 】

I C チップは、シリコンウェハを用いて形成するが、I C チップの代わりにガラス基板上に回路を形成した I C (以下、ドライバ I C と表記する) を設けてもよい。I C チップは、円形のシリコンウェハから I C チップを取り出すため、母体基板形状に制約がある。一方ドライバ I C は、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバ I C の形状寸法は自由に設定することができる。例えば、ドライバ I C の長辺の長さを 1 5 ~ 8 0 m m として形成すると、I C チップを実装する場合と比較し、必要な数を減らすことができる。その結果、接続端子数を低減することができる、製造上の歩留まりを向上させることができる。

【 0 3 7 8 】

ドライバ I C は、基板上に形成された結晶性半導体を用いて形成することができ、結晶性半導体は連続発振型のレーザ光を照射することで形成するとよい。連続発振型のレーザ光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバ I C に好適である。

【 実施例 8 】

【 0 3 7 9 】

上記実施例に示される表示装置を筐体に組み込んだ電子機器として、テレビジョン装置 (単にテレビ、又はテレビジョン受信機ともよぶ) 、デジタルカメラやデジタルビデオカメラ等のカメラ、携帯電話装置 (単に携帯電話機、携帯電話ともよぶ) 、P D A 等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図 3 4 を参照して説明する。

【 0 3 8 0 】

図 3 4 (A) に示す携帯情報端末は、本体 9 2 0 1 、表示部 9 2 0 2 等を含んでいる。表示部 9 2 0 2 は、実施形態 1 ~ 1 9 、及び実施例 1 ~ 7 で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能な携帯情報端末を安価に提供することができる。

【 0 3 8 1 】

図 3 4 (B) に示すデジタルビデオカメラは、表示部 9 7 0 1 、表示部 9 7 0 2 等を含んでいる。表示部 9 7 0 1 及び 9 7 0 2 は、実施形態 1 ~ 1 6 、及び実施例 1 ~ 7 で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能なデジタルビデオカメラを安価に提供することができる。

【 0 3 8 2 】

図 3 4 (C) に示す携帯端末は、本体 9 1 0 1 、表示部 9 1 0 2 等を含んでいる。表示部 9 1 0 2 は、実施形態 1 ~ 1 6 、及び実施例 1 ~ 7 で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能な携帯端末を安価に提供することができる。

【 0 3 8 3 】

図 3 4 (D) に示す携帯型のテレビジョン装置は、本体 9 3 0 1 、表示部 9 3 0 2 等を含んでいる。表示部 9 3 0 2 は、実施形態 1 ~ 1 9 、及び実施例 1 ~ 7 で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能

10

20

30

40

50

な携帯型のテレビジョン装置を安価に提供することができる。このようなテレビジョン装置は携帯電話などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば40インチ以上）まで、幅広く適用することができる。

【0384】

図34(E)に示す携帯型のコンピュータは、本体9401、表示部9402等を含んでいる。表示部9402は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能な携帯型のコンピュータを安価に提供することができる。

【0385】

図34(F)に示すテレビジョン装置は、本体9501、表示部9502等を含んでいる。表示部9502は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能なテレビジョン装置を安価に提供することができる。

【0386】

上記に挙げた電子機器において、二次電池を用いているものは、消費電力を削減した分、電子機器の使用時間を長持ちさせることができ、二次電池を充電する頻度を下げることができる。

【0387】

図35に示す大型テレビジョン装置は、本体9601、表示部9602等を含んでいる。また、本体の裏又は上部には、壁掛用の支持体が設けられている。図35では、大型テレビジョン装置の代表例として、壁掛けテレビジョン装置を示す。図35に示すように壁9603にかけて表示することができる。また、鉄道の駅や空港などにおける情報表示板や、街頭における広告表示板など特に大面積の表示媒体として様々な用途に適用することができる。表示部9602は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である表示装置を用いることにより、高画質な表示が可能な大型テレビジョン装置を安価に提供することができる。

【図面の簡単な説明】

【0388】

【図1】本発明に係る表示装置の作製工程を説明する断面図。

【図2】本発明に係る表示装置の作製工程を説明する断面図。

【図3】本発明に係る表示装置の作製工程を説明する断面図。

【図4】本発明に係る表示装置の作製工程を説明する断面図。

【図5】本発明に係る表示装置の作製工程を説明する断面図。

【図6】本発明に係る表示装置の作製工程を説明する断面図。

【図7】本発明に係る表示装置の構造を説明する上面図及び断面図。

【図8】本発明に係る表示装置の構造を説明する上面図及び断面図。

【図9】本発明に係る表示装置の構造を説明する上面図及び断面図。

【図10】本発明に係る表示装置の構造を説明する上面図及び断面図。

【図11】本発明に係る表示装置の構造を説明する上面図及び断面図。

【図12】本発明に係る表示装置の構造を説明する上面図及び断面図。

【図13】本発明に係る表示装置の作製工程を説明する断面図。

【図14】本発明に係る表示装置の作製工程を説明する断面図。

【図15】本発明に係る表示装置の作製工程を説明する断面図。

【図16】本発明に係る表示装置の作製工程を説明する断面図。

【図17】本発明に係る表示装置の作製工程を説明する断面図。

【図18】本発明に係る表示装置の構造を説明する断面図。

【図19】本発明に係る表示装置の構造を説明する断面図。

【図20】本発明に係る表示装置の半導体領域における不純物濃度を説明する断面図。

【図21】本発明に係る表示装置の半導体領域における不純物濃度を説明する断面図。

10

20

30

40

50

- 【図 2 2】本発明に係る表示装置の作製工程を説明する断面図。
- 【図 2 3】本発明に係る表示装置の構造を説明する断面図。
- 【図 2 4】本発明に係る表示装置の作製工程を説明する断面図。
- 【図 2 5】本発明に係る表示装置の作製工程を説明する段面図。
- 【図 2 6】本発明に係る表示装置の作製工程を説明する段面図。
- 【図 2 7】本発明に係る表示装置の作製工程を説明する段面図。
- 【図 2 8】本発明に係る表示装置の画素の構造を説明する上面図。
- 【図 2 9】本発明に係る表示装置の駆動回路の構造を説明する上面図。
- 【図 3 0】本発明に係る発光表示パネルの構成を説明する上面図及び断面図。
- 【図 3 1】本発明に係る表示装置の発光素子の構造を説明する断面図。
- 【図 3 2】本発明に係る表示装置の発光素子の回路を説明する図。
- 【図 3 3】本発明に係る表示装置の駆動回路の実装方法を説明する上面図。
- 【図 3 4】電子機器の一例を説明する図。
- 【図 3 5】電子機器の一例を説明する図。
- 【図 3 6】本発明に係る表示装置の構造を説明する上面図及び断面図。
- 【図 3 7】本発明に係る表示装置の周辺部の構成を説明する上面図及び断面図。
- 【図 3 8】保護回路を説明する回路図。
- 【図 3 9】本発明に係る表示装置の駆動回路の構造を説明する上面図。

10

【符号の説明】

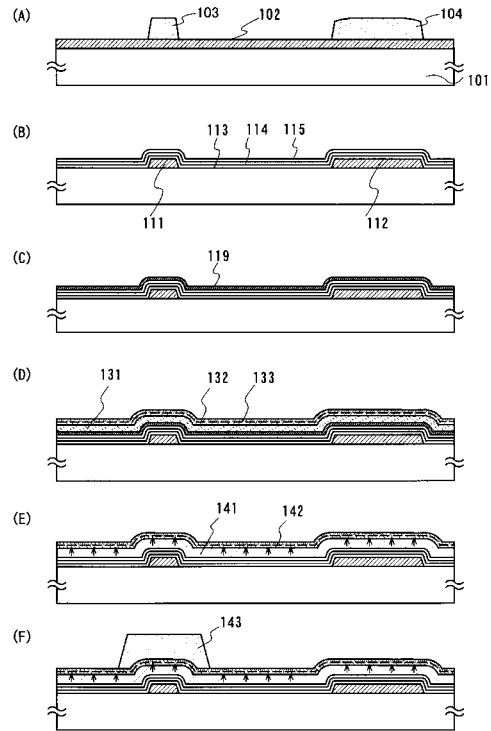
【 0 3 8 9 】

20

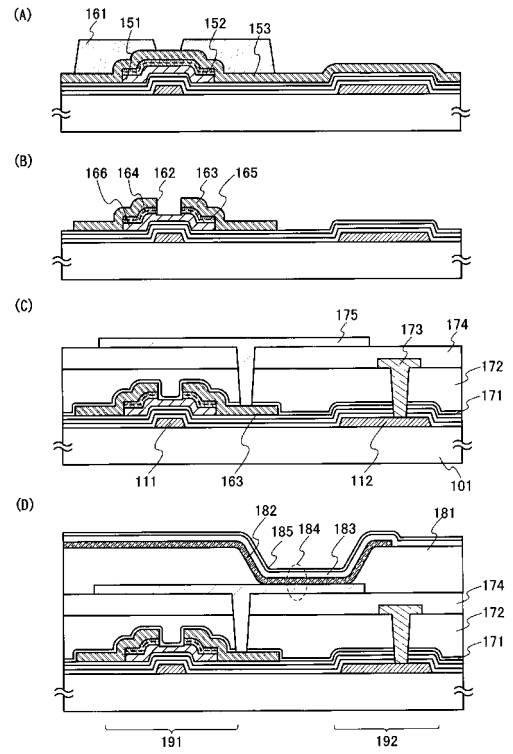
- 1 0 1 基板
- 1 0 2 第 1 の導電層
- 1 0 3 第 1 のマスク
- 1 0 4 第 1 のマスク
- 1 1 1 第 2 の導電層
- 1 1 2 第 2 の導電層
- 1 1 3 第 1 の絶縁膜
- 1 1 4 第 2 の絶縁膜
- 1 1 5 第 3 の絶縁膜
- 1 3 1 第 1 の半導体膜
- 1 3 2 第 2 の半導体膜
- 1 3 3 第 3 の半導体膜
- 1 4 1 第 1 の結晶性半導体膜
- 1 4 2 第 2 の結晶性半導体膜
- 1 4 3 第 2 のマスク

30

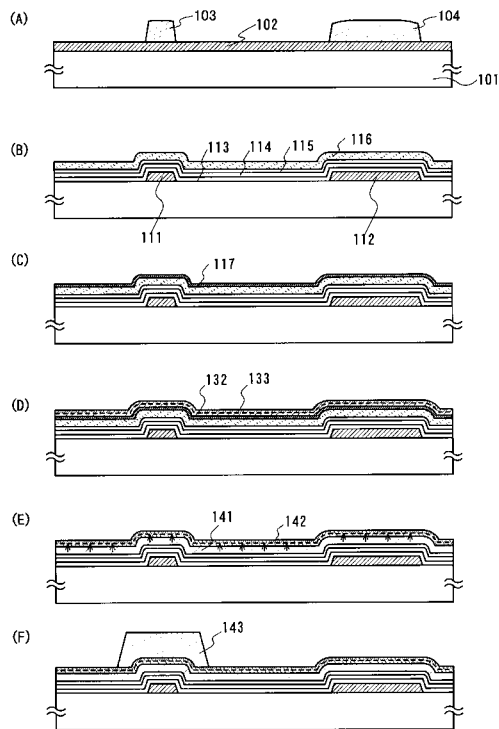
【図 1】



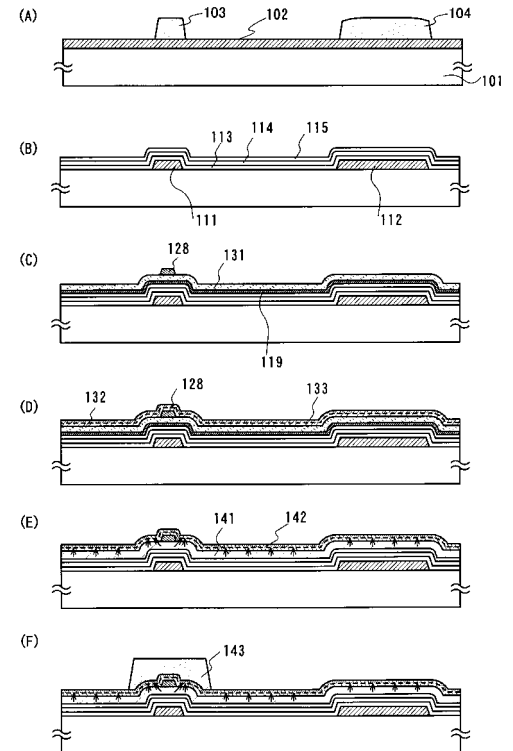
【図 2】



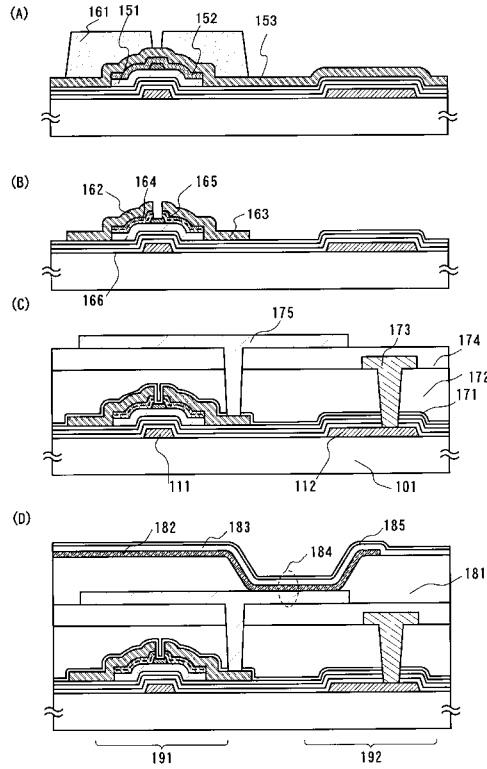
【図 3】



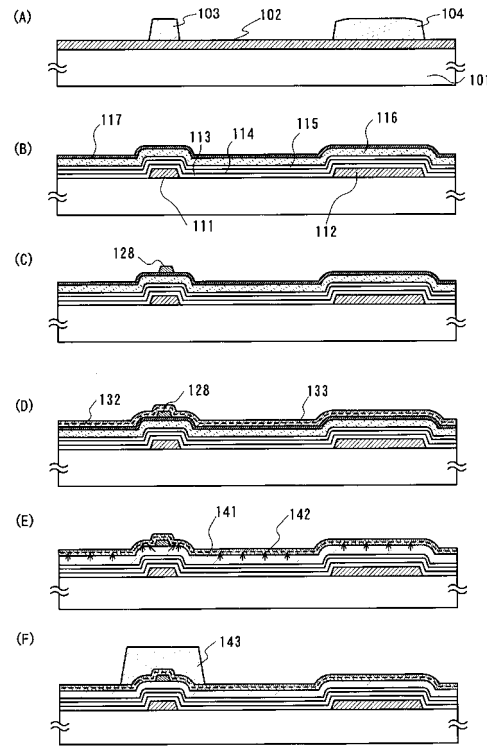
【図 4】



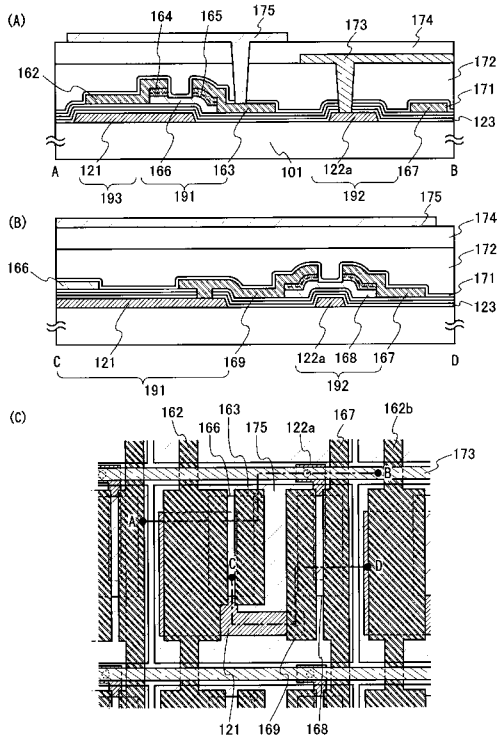
【図 5】



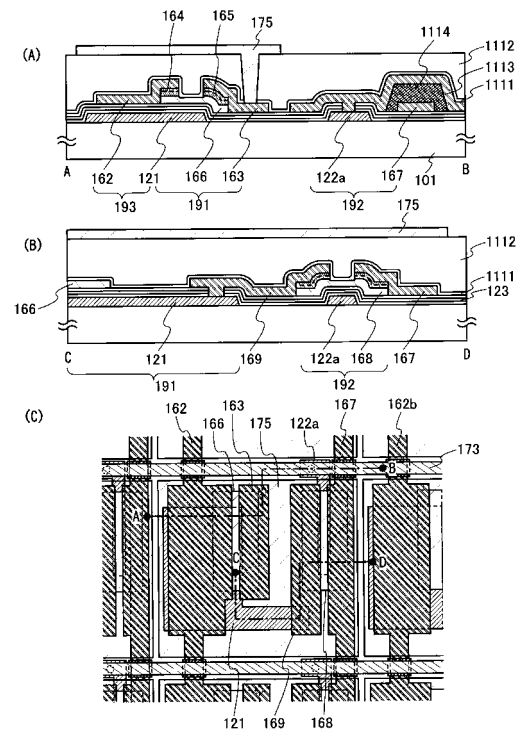
【図 6】



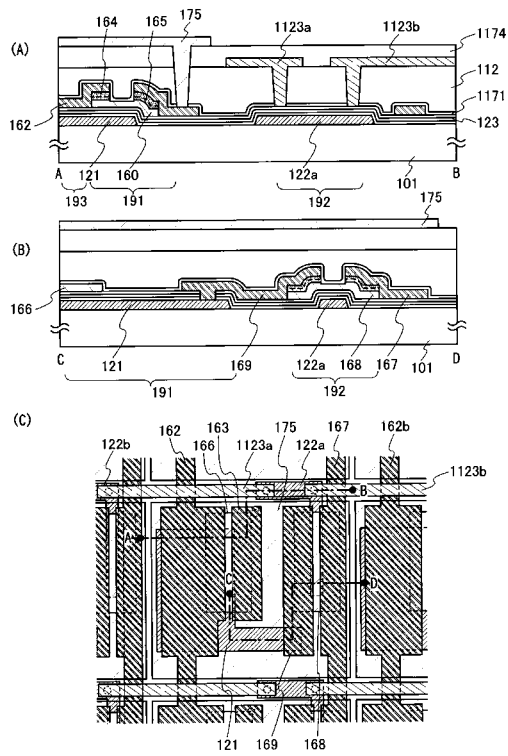
【図 7】



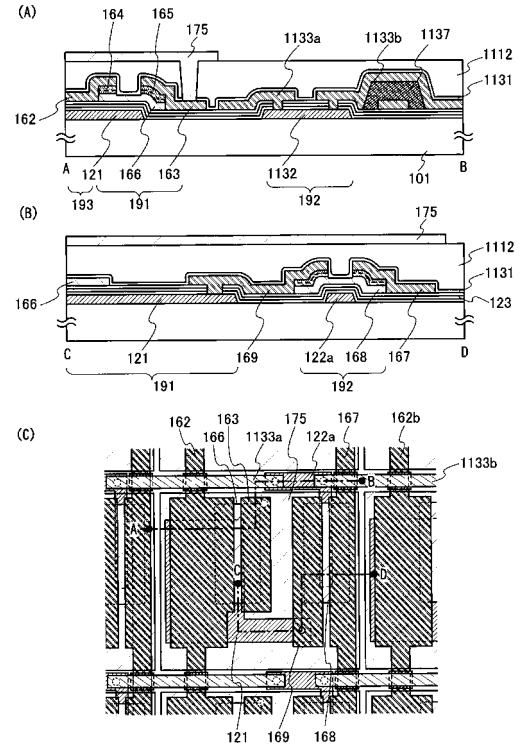
【図 8】



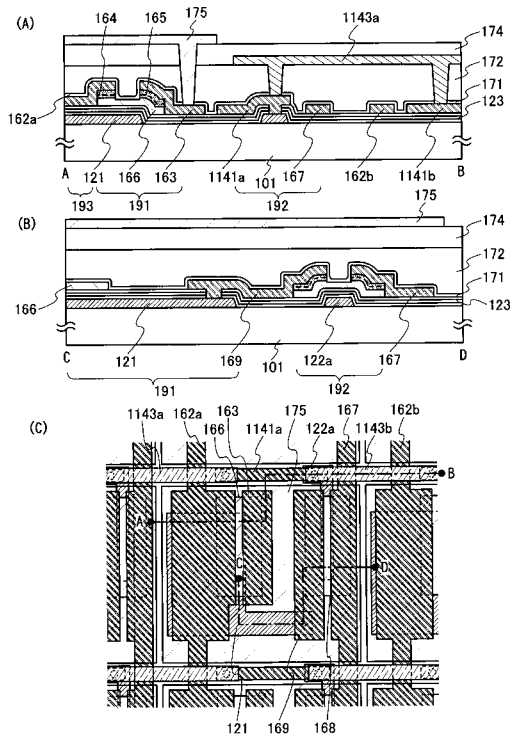
【図 9】



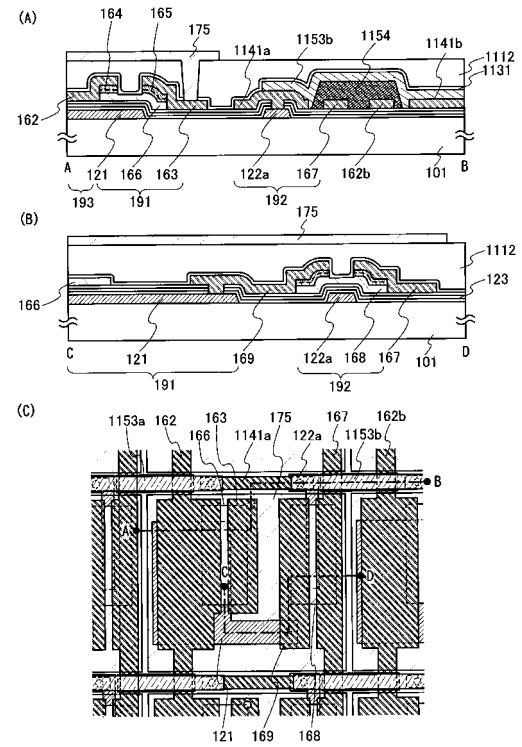
【図 10】



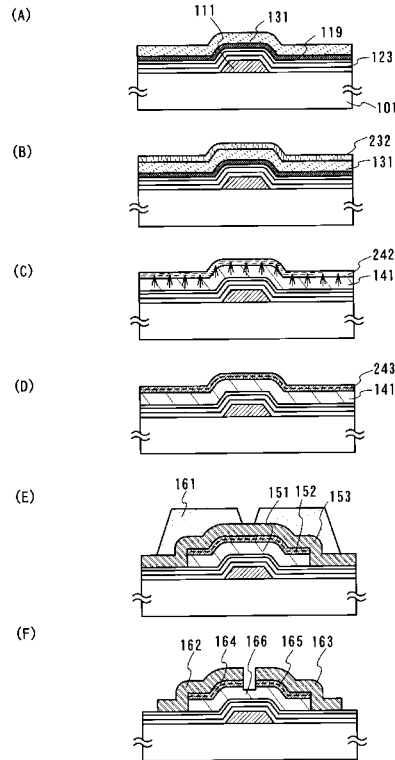
【図 11】



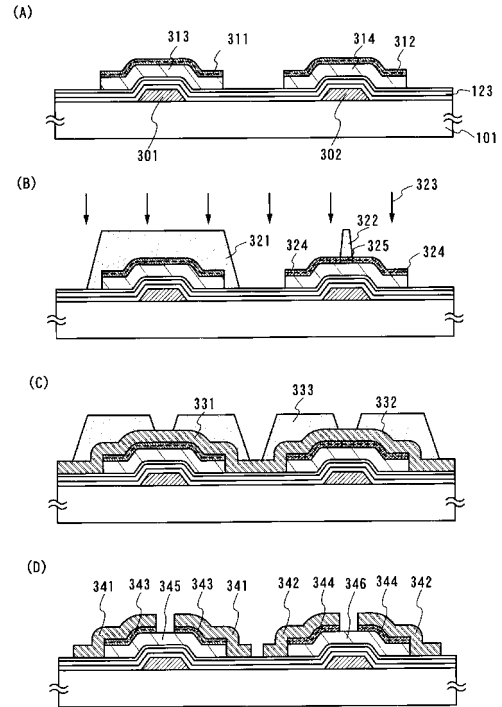
【図 12】



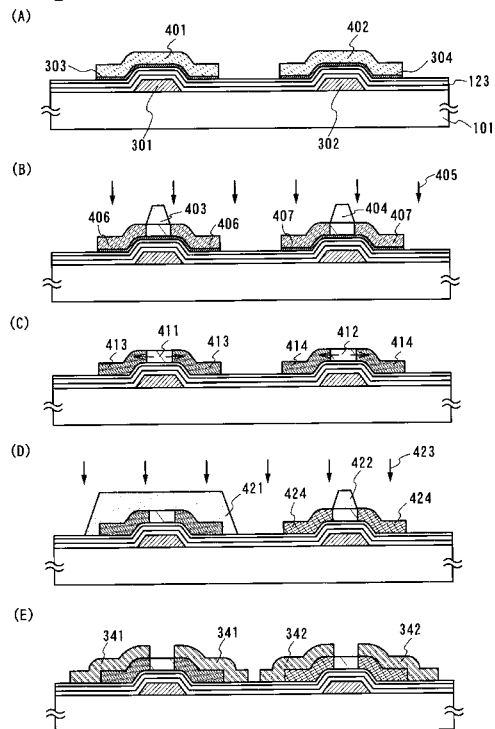
【図 13】



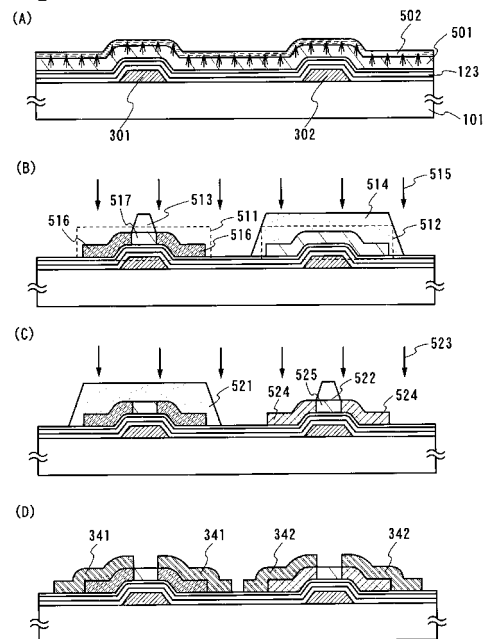
【図 14】



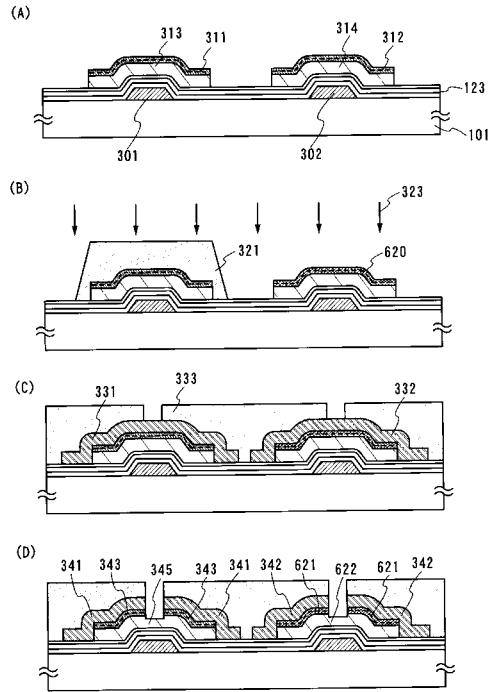
【図 15】



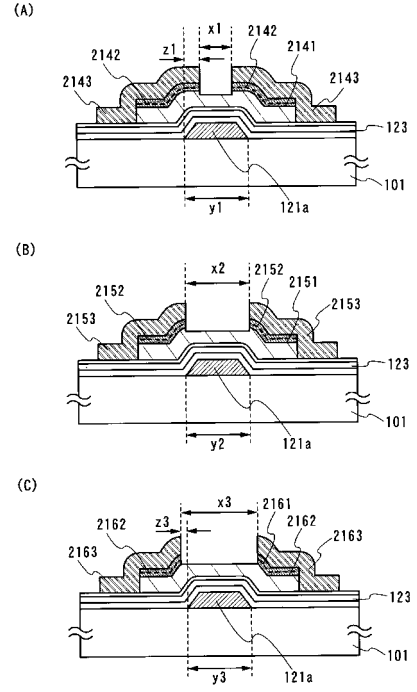
【図 16】



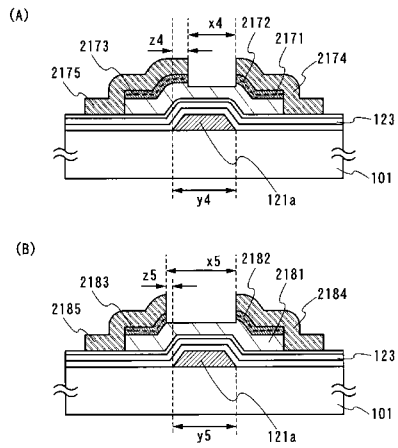
【図 17】



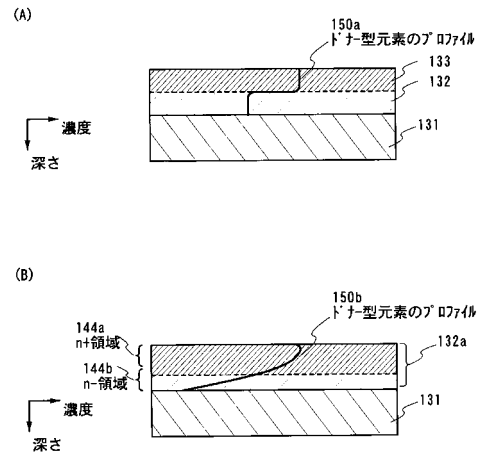
【図 18】



【図 19】

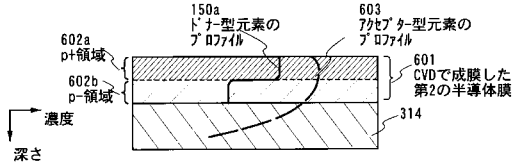


【図 20】

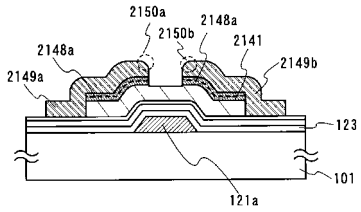


【図 2 1】

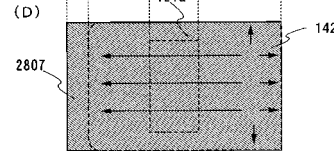
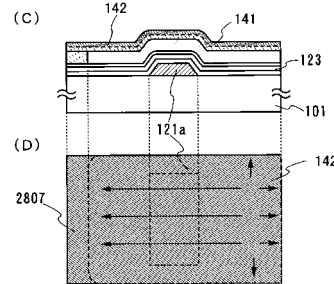
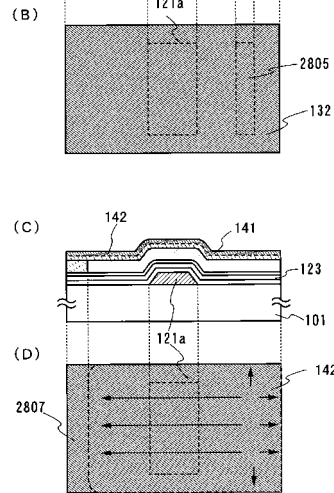
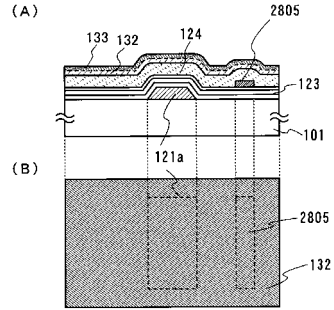
(A)



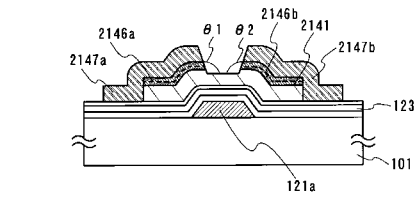
【図 2 3】



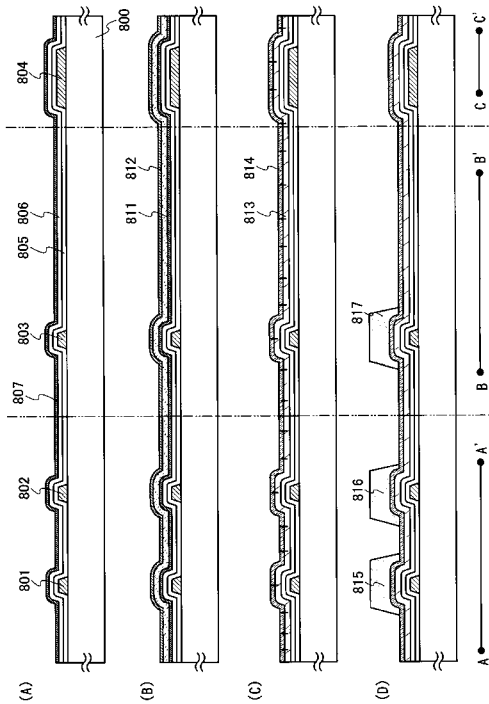
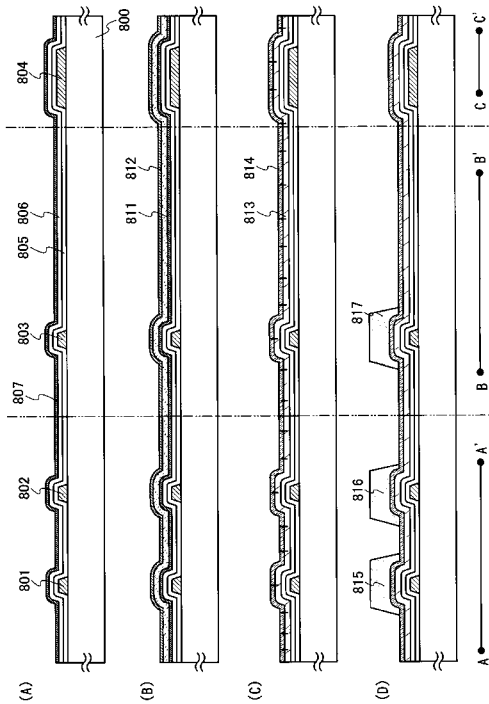
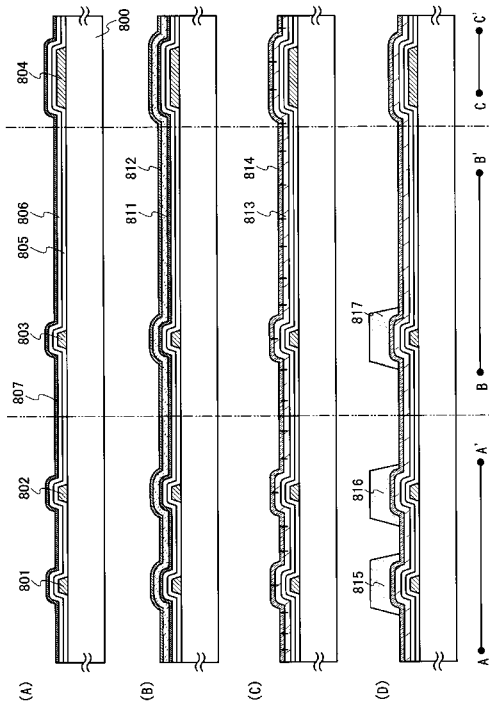
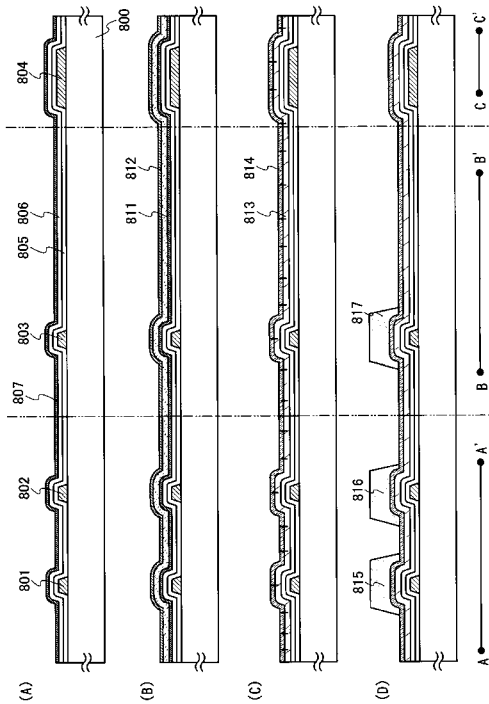
【図 2 4】



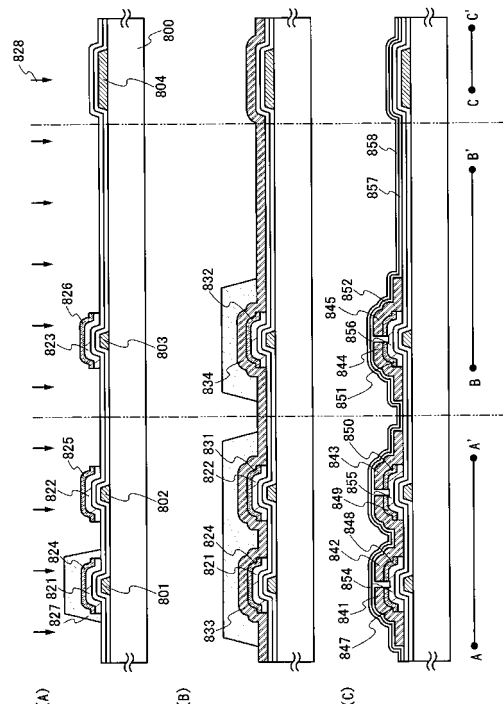
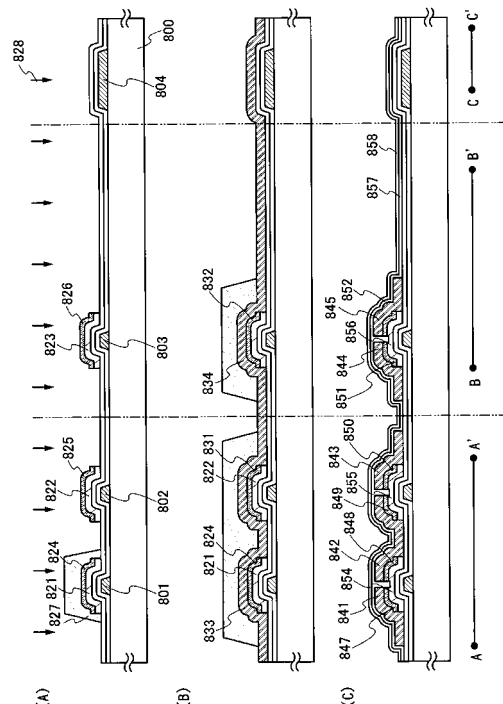
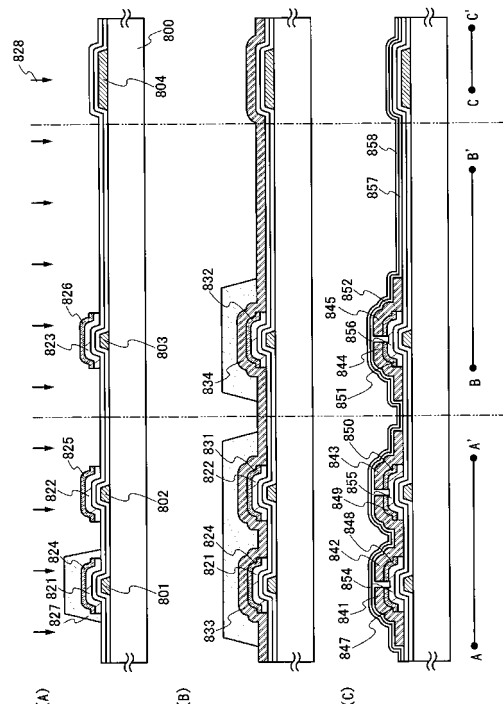
【図 2 2】



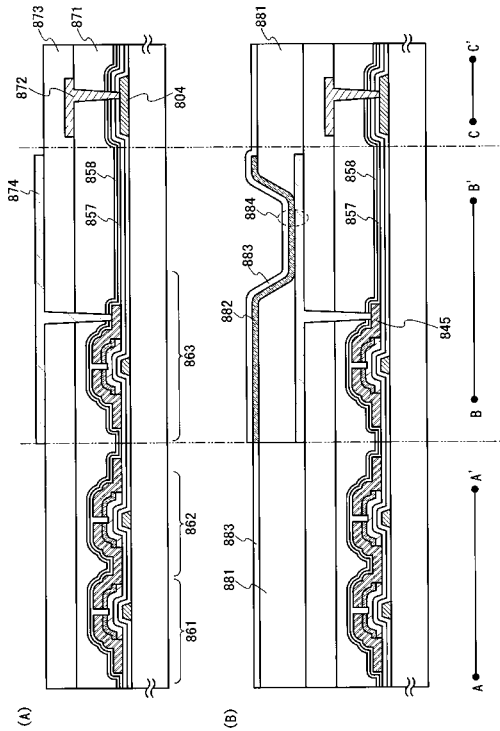
【図 2 5】



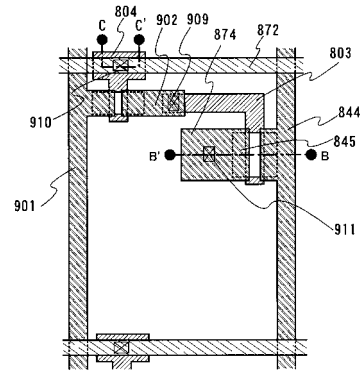
【図 2 6】



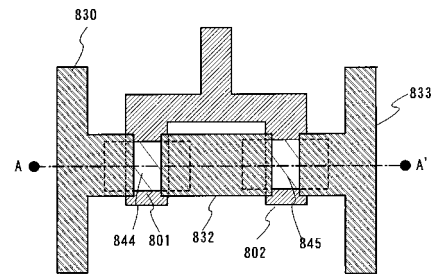
【図 27】



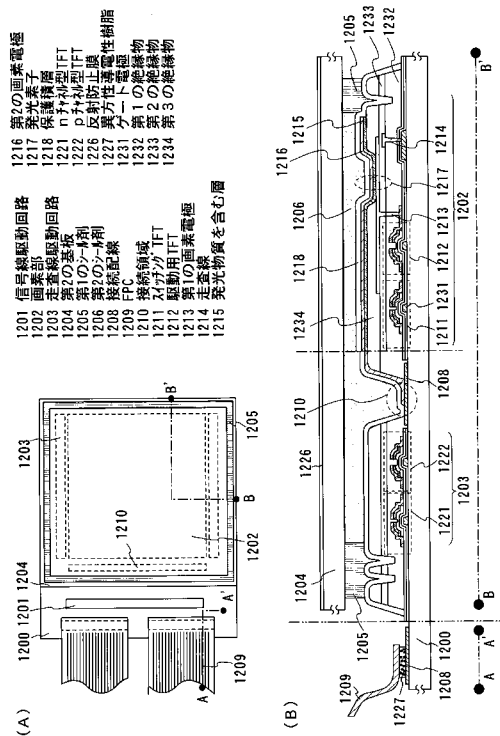
【図 28】



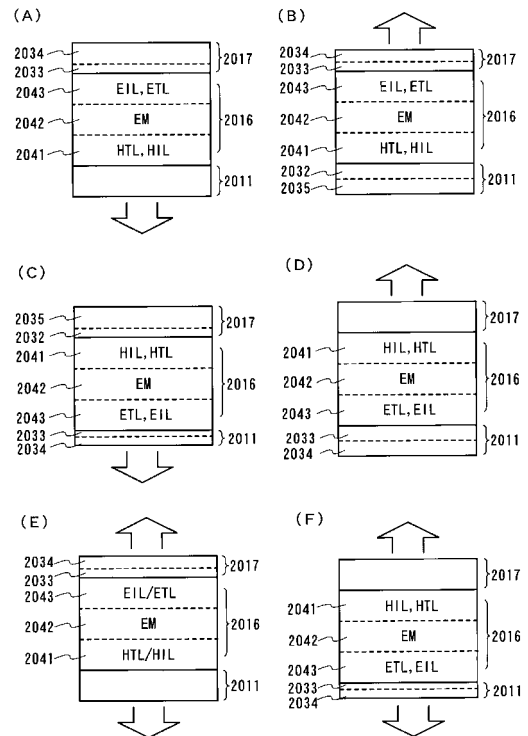
【図 29】



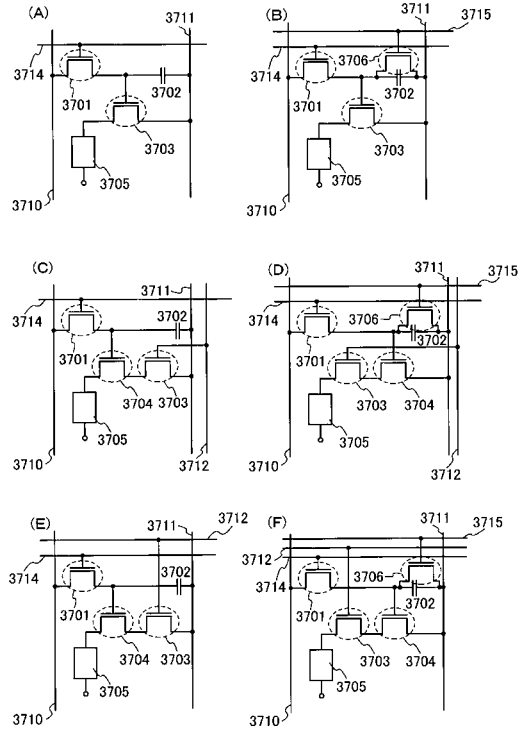
【図 30】



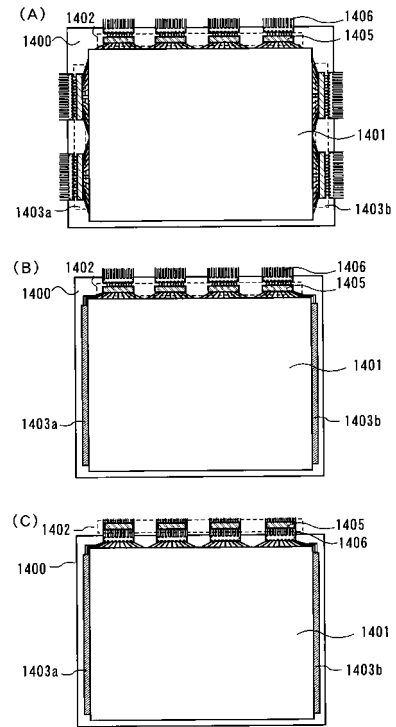
【図 31】



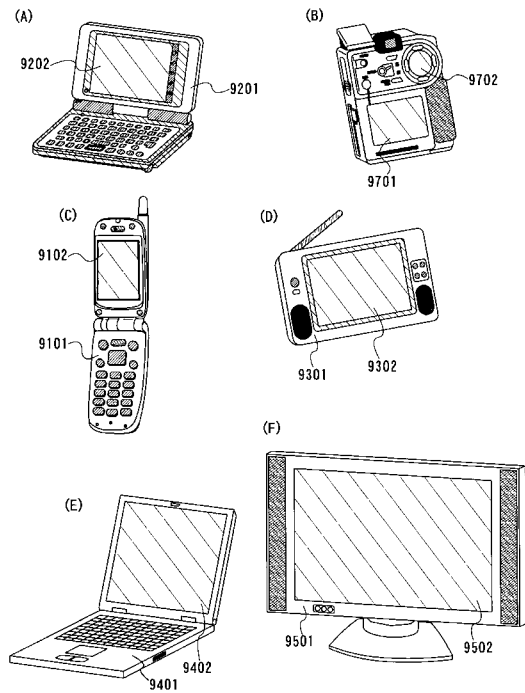
【図 3 2】



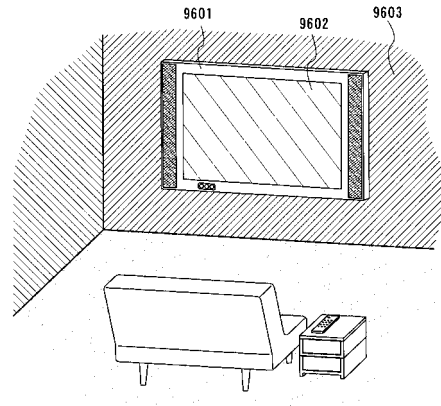
【図 3 3】



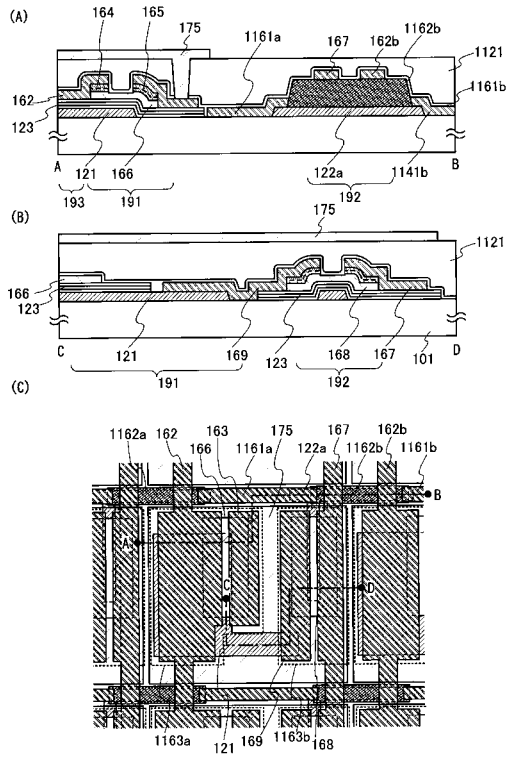
【図 3 4】



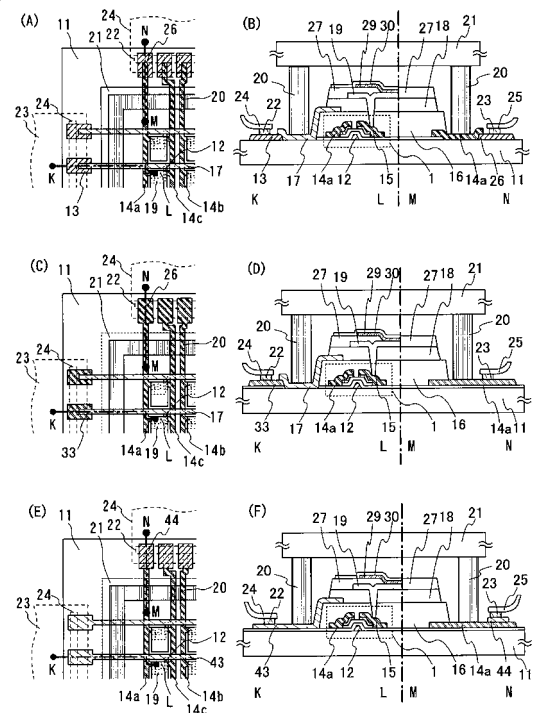
【図 3 5】



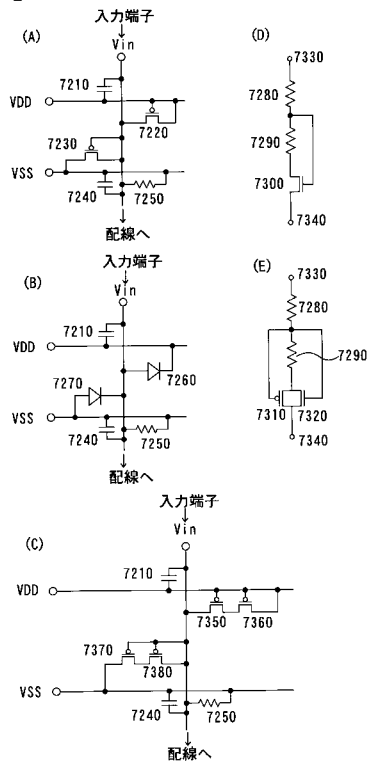
【図 36】



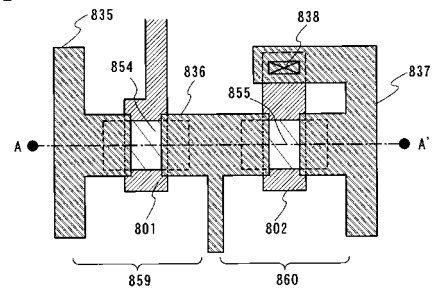
【図 37】



【図 38】



【図 39】



フロントページの続き

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 27/08 (2006.01)		H O 1 L 21/20		
H O 1 L 21/8234 (2006.01)		H O 1 L 27/08	3 3 1 E	
H O 1 L 27/088 (2006.01)		H O 1 L 27/08	1 0 2 C	
H O 1 L 51/50 (2006.01)		H O 1 L 27/08	1 0 2 B	
		H O 5 B 33/14	A	

F ターム(参考)	4M104	AA09	BB01	BB04	BB05	BB06	BB13	BB14	BB16	BB17	BB18
		BB29	BB30	BB31	BB32	BB33	BB36	BB40	CC05	FF13	GG09
		GG10	GG14								
	5F048	AA07	AB10	AC04	BA16	BB03	BB09	BB11	BC06	BC16	BD01
		BD04	BE03	BF07	BF11	BF15	BF16				
	5F110	AA01	AA03	AA06	AA16	AA28	BB02	BB04	CC07	DD01	DD02
		DD03	DD05	EE01	EE02	EE04	EE06	EE07	EE08	EE09	EE14
		EE37	EE38	EE42	EE43	EE44	EE45	FF02	FF03	FF04	FF07
		FF10	FF27	FF29	GG01	GG02	GG13	GG25	GG32	GG44	GG51
		GG52	HJ04	HJ12	HJ13	HK02	HK03	HK04	HK08	HK22	HK25
		HK26	HK27	HK32	HK33	HK34	HK35	HK42	HL07	HL22	HL23
		HL24	HM02	HM12	HM13	HM14	HM15	HM19	NN03	NN04	NN05
		NN14	NN16	NN22	NN23	NN24	NN27	NN33	NN34	NN35	NN71
		NN73	PP01	PP02	PP10	PP23	PP26	PP27	PP34	PP35	QQ09
		QQ19	QQ23	QQ24	QQ28						
	5F152	AA03	AA06	BB03	BB06	CC02	CC03	CC05	CC06	CC08	CD12
		CD13	CD14	CD15	CD16	CD17	CD18	CD23	CD27	CE05	CE06
		CE14	CE24	CE26	CE28	CE36	CE45	CF09	CF13	CF14	CF15
		CF18	CF22	EE15	EE16	FF11	FF22				