(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 698 28 234 T2** 2005.12.15

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 907 183 B1**
(21) Deutsches Aktenzeichen: **698 28 234.5**
(96) Europäisches Aktenzeichen: **98 117 000.4**
(96) Europäischer Anmeldetag: **08.09.1998**
(97) Erstveröffentlichung durch das EPA: **07.04.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **22.12.2004**
(47) Veröffentlichungstag im Patentblatt: **15.12.2005**

(51) Int Cl.[7]: **G11C 8/00**

(30) Unionspriorität:
28611897 02.10.1997 JP

(73) Patentinhaber:
Hitachi, Ltd., Tokio/Tokyo, JP; Hitachi ULSI Systems Co., Ltd., Kodaira, Tokio/Tokyo, JP

(74) Vertreter:
Strehl, Schübel-Hopf & Partner, 80538 München

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(72) Erfinder:
Sasaki, Toshio, Nishitama-gun, Tokyo, JP; Tanaka, Yuji, Kokubunji-shi, Tokyo, JP; Yanagisawa, Kazumasa, Kokubunji-shi, Tokyo, JP; Tanaka, Hitoshi, Ome-shi, Tokyo, JP; Sato, Jun, Musashino-shi, Tokyo, JP; Miyamoto, Takashi, Tokyo, JP; Ohtsuka, Mariko, Kokubunji-shi, Tokyo, JP; Nakanishi, Satoru, Fuchu-shi, Tokyo, JP; Ayukawa, Kazushige, Kokubunji-shi, Tokyo, JP; Watanabe, Takao, Fuchu-shi, Tokyo, JP

(54) Bezeichnung: **Integrierte Halbleiterschaltungsvorrichtung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft eine integrierte Halbleiterschaltungsvorrichtung und insbesondere eine Technik, die wirksam in einem mit Logikschaltungen gemischt angeordneten RAM (Direktzugriffsspeicher) verwendbar ist.

[0002] Mit dem Fortschritt der Halbleitertechnologie entwickeln sich hochintegrierte Schaltungen ähnlich dem Entwurf einer gedruckten Leiterplatte durch Kombinationen von Teilen in Richtung eines Verfahrens zum Bilden von Kombinationen umfangreicher makroskopischer Elemente (Kerne). Ein Speicher ist für die digitale Signalverarbeitung wesentlich. Weil ein dynamischer RAM insbesondere das Merkmal hat, dass eine große Speicherkapazität erhalten wird, spielt er eine wichtige Rolle für die vorstehend beschriebene hochintegrierte Schaltung.

[0003] Der dynamische RAM ist in mehrere Bänke unterteilt. Lese- oder Schreiboperationen werden an jeder ausgewählten Bank ausgeführt. Ein solches Verfahren zum Auswählen einer Bank oder eines spezifischen Bereichs oder dergleichen wurde in den offen gelegten japanischen Patentanmeldungen Hei 9-245474, 2-83895, 4-313886 und 9-106684 beschrieben.

ZUSAMMENFASSUNG DER ERFINDUNG

[0004] Die Erfinder der vorliegenden Anmeldung haben angesichts der Tatsache, dass wenn viele Arten von RAM-Kernen als der nach individuellen Anforderungen in der vorstehend beschriebenen hochintegrierten Schaltung platzierte oder montierte RAM vorbereitet werden, ihre Entwicklung und Verwaltung zu Schwierigkeiten und einer hohen Komplexität führt, über die Standardisierung von RAM-Kernen nachgedacht. Sie haben ein neuartiges Betriebssteuerverfahren erwogen, das die Einfachheit der Verwendung eines in einer integrierten Halbleiterschaltungsvorrichtung angebrachten RAMs berücksichtigt.

[0005] Eine Aufgabe dieser Erfindung besteht darin, eine integrierte Halbleiterschaltungsvorrichtung bereitzustellen, die mit einem RAM versehen ist, der in verschiedenen Konfigurationen bereitgestellt wird, während der Entwurf und die Verwaltung vereinfacht sind. Eine weitere Aufgabe dieser Erfindung besteht darin, eine integrierte Halbleiterschaltungsvorrichtung bereitzustellen, bei der ein darin vorhandener RAM leichter verwendbar ist. Die vorstehenden und andere Aufgaben und neue Merkmale der vorliegenden Erfindung werden anhand der Beschreibung der vorliegenden Spezifikation und der anliegenden Zeichnung verständlich werden.

[0006] Die Aufgabe wird durch die Vorrichtung nach Anspruch 1 gelöst. Die Unteransprüche betreffen bevorzugte Modifikationen davon.

[0007] Gemäß einer Ausführungsform der Erfindung ist ein RAM, der so angebracht ist, dass er mit Logikschaltungen gemischt ist, so konfiguriert, dass eine Steuerschaltung gemeinsam für mehrere Speichermatrizen bereitgestellt ist, die jeweils ein Speicherarray, in dem mehrere Speicherzellen jeweils an Punkten angeordnet sind, an denen mehrere Wortleitungen und mehrere Bitleitungen einander schneiden, und eine Adressauswahlschaltung zum Ausführen von Auswahloperationen an den Wortleitungen und den Bitleitungen aufweisen. Weiterhin wird die Anzahl der Speichermatrizen entsprechend der erforderlichen Speicherkapazität festgelegt, sind Arithmetikschaltungen zum jeweiligen Ausführen von +1- oder –1-Arithmetikoperationen in den Speichermatrizen bereitgestellt und kaskadenförmig miteinander verbunden, und sie weisen eine Arithmetikschaltung der ersten Stufe auf, die einen Eingangsanschluss aufweist, dem Adressfestlege-Adresssignale fest oder programmierbar zugeführt werden, wobei den Arithmetikschaltungen zugeführte Eingangssignale oder von diesen ausgegebene Signale als zugewiesene Adresssignale definiert sind, wobei jeder der Komparatoren die Koinzidenz zwischen den Adresssignalen und bei einem Speicherzugriff eingegebenen Adresssignalen vergleicht, so dass jede Speichermatrix eine Adressauswahloperation entsprechend dem Koinzidenzsignal aktiviert.

KURZBESCHREIBUNG DER ZEICHNUNG

[0008] Wenngleich die Beschreibung mit den Ansprüchen schließt, in denen der Erfindungsgegenstand eingehend dargelegt ist, wird angenommen, dass die Erfindung, ihre Aufgaben und Merkmale und weitere Vorteile davon anhand der folgenden Beschreibung zusammen mit der anliegenden Zeichnung besser verständlich werden. Es zeigen:

[0009] Fig. 1 ein Blockdiagramm, in dem eine Ausführungsform eines RAM-Moduls gemäß der vorliegenden Erfindung dargestellt ist,

[0010] Fig. 2 ein schematisches Blockdiagramm zum Beschreiben eines in dem RAM-Modul gemäß der vorliegenden Erfindung verwendeten Bankadressen-Festlegesystems,

[0011] die Fig. 3A, Fig. 3B bzw. Fig. 3C schematische Blockdiagramme zum Beschreiben einer anderen Ausführungsform von Bankadressen-Festlegeschaltungen, die jeweils in dem RAM-Modul gemäß der vorliegenden Erfindung verwendet werden,

[0012] die Fig. 4A, Fig. 4B bzw. Fig. 4C schematische Blockdiagramme, in denen eine andere Ausfüh-

rungsform des RAM-Moduls gemäß der vorliegenden Erfindung dargestellt ist,

[0013] Fig. 5 einen Schaltplan, in dem eine Ausführungsform eines Bankadressengenerators und von Bankadressen-Koinzidenzkomparatoren gemäß der vorliegenden Erfindung dargestellt ist,

[0014] Fig. 6 einen Schaltplan, in dem eine Ausführungsform eines Speicherarrays und eines Wortleitungswählers, die in einer Speichermatrix des RAM-Moduls verwendet werden, dargestellt ist,

[0015] Fig. 7 einen spezifischen Schaltplan, in dem eine Ausführungsform eines Zeilendecoders des RAM-Moduls und eines damit verbundenen Worttreibers dargestellt ist,

[0016] Fig. 8 ein Blockdiagramm, in dem eine Ausführungsform der in **Fig.** 3 dargestellten Leistungsschaltung gezeigt ist,

[0017] Fig. 9 einen Schaltplan, der eine Ausführungsform eines VDH-Generators (Generators einer verstärkten Spannung) zeigt,

[0018] Fig. 10 ein Zeitablaufdiagramm zum Beschreiben eines Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung,

[0019] Fig. 11 ein Zeitablaufdiagramm zum Beschreiben eines anderen Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung,

[0020] Fig. 12 ein Zeitablaufdiagramm zum Beschreiben eines weiteren Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung,

[0021] Fig. 13 ein Zeitablaufdiagramm zum Beschreiben eines weiteren Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung und

[0022] Fig. 14 ein Blockdiagramm, in dem eine Ausführungsform einer mit einem RAM-Modul gemäß der vorliegenden Erfindung versehenen integrierten Halbleiterschaltungsvorrichtung dargestellt ist.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0023] Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachstehend mit Bezug auf die anliegende Zeichnung beschrieben.

[0024] Fig. 1 ist ein Blockdiagramm einer Ausführungsform eines RAM-Moduls gemäß der vorliegenden Erfindung. Das RAM-Modul gemäß der vorliegenden Erfindung ist innerhalb einer integrierten Halbleiterschaltungsvorrichtung zusammen mit einer Digitalverarbeitungsschaltung zum Ausführen eines Schreibens und Lesens an dem RAM-Modul bereitgestellt. Das RAM-Modul und die Digitalverarbeitungsschaltung sind auf einem einzelnen Halbleitersubstrat, beispielsweise aus monokristallinem Silicium, durch die bekannte Technik zum Herstellen integrierter Halbleiterschaltungen gebildet.

[0025] Bei der vorliegenden Ausführungsform sind eine Steuerschaltung und eine Leistungsschaltung im selben Schaltungsbereich bereitgestellt und werden gemeinsam für mehrere Speichermatrizen verwendet. Die Steuerschaltung umfasst einen Befehlsdecoder COMD, einen Bustreiber BDV zum Bilden von Adresssignalen und verschiedener Steuersignale und einen Lese-/Schreibverstärker RWAmp. Die Leistungsschaltung VC erzeugt oder bildet Betriebsspannungen, die für die Operationen interner Schaltungen erforderlich sind, ansprechend auf eine Versorgungsspannung Vdd und ein Massepotential Vss. Mehrere Speichermatrizen sind für die Steuerschaltung und die Leistungsschaltung bereitgestellt. Die mehreren Speichermatrizen weisen eine gleiche Konfiguration auf, und sie umfassen jeweils ein Speicherarray MARY, einen Leseverstärker SA, einen Zeilendecoder RDEC, einen Spaltenschalter CSW, einen Bankadressengenerator BAG, einen Bankadressenkomparator BACP zum Fällen einer Entscheidung in Bezug auf einen Vergleich und eine Koinzidenz mit einer spezifizierten Bankadresse und einen Zeitgeber TG sowie einen Spaltenwähler CSEL.

[0026] In jedem Speicherarray MARY sind 256 Wortleitungen vorhanden, und komplementäre Bitleitungen bestehen aus 1024 Paaren. Demgemäß hat das gesamte Speicherarray eine Speicherkapazität von etwa 256 kBits. Der Spaltenschalter CSW verbindet die 1024 Paare aufweisenden komplementären Bitleitungen mit 128 Paaren globaler Bitleitungen GBD (Datenbus). Das heißt, dass die komplementären Bitleitungen jedes Speicherarrays MARY in acht Sätze unterteilt sind, so dass 1/8 Auswahloperationen ausgeführt werden.

[0027] In der Steuerschaltung sind die 128 Paare globaler Bitleitungen GBD in zwei Sätze von 64 Paaren unterteilt, so dass Ein- und Ausgaben in Gruppen von 64 Bits möglich sind. Demgemäß wird erreicht, dass die Steuerschaltung eine teilweise Spaltenauswahlfunktion aufweist und dass sie so verwendet werden kann, dass sie die Ein- und Ausgabe von Daten in 64-Bit-(8-Byte)-Einheiten ermöglicht. In diesem Fall sind die Leseverstärker RA für die zwei Sätze unterteilter globaler Bitleitungen GBD in einer Anzahl von 64 gemeinsam bereitgestellt, während die Schreibverstärker WA in einer Anzahl von 128 bereitgestellt sind, damit sie den 128 Paaren globaler Bitleitungen GBD entsprechen.

[0028] Die Anzahl der Schreibverstärker WA ist in Form von 16 Paaren oder Sätzen, die als ein Paar acht mal acht definiert sind, bereitgestellt. Für jedes Paar kann eine Maske festgelegt werden. Wenn eine Schreiboperation beispielsweise in 64-Bit-Einheiten ausgeführt wird, werden die 64 in einen ausgewählten Zustand versetzten Schreibverstärker WA aktiv gemacht und die restlichen nicht ausgewählten Schreibverstärker WA, die 64 Bits entsprechen, in einen Ausgangszustand hoher Impedanz versetzt. Demgemäß wird ein Schreibsignal zu den von der Steuerschaltung aus den 128 Paaren globaler Bitleitungen GBD ausgewählten 64 Paaren globaler Bitleitungen GBD gesendet, so dass die Schreiboperation an Speicherzellen ausgeführt wird, die elektrisch mit den die Hälfte darstellenden 64 Paaren komplementärer Bitleitungen, die den globalen Bitleitungen GBD entsprechen, verbunden werden. Weil die 64 Paare globaler Bitleitungen GBD, die der restlichen Hälfte entsprechen, in einen Zustand hoher Impedanz versetzt sind, tritt ein vom Leseverstärker SA, der mit den komplementären Bitleitungen verbunden ist, die über den Spaltenschalter CSW verbunden sind, gelesenes Signal einfach auf, so dass an den Speicherzellen, die elektrisch mit diesen komplementären Bitleitungen verbunden sind, kein Schreibvorgang ausgeführt wird.

[0029] Die Operationssteuerung jedes Schreibverstärkers WA kann auch auf die ausgewählten 64 Schreibverstärker angewendet werden. Das heißt, dass spezifische Bytes der 64 Bits (8 Bytes) so festgelegt werden können, dass sie nicht dem Schreiben unterzogen werden, indem die Ausgabe jedes Schreibverstärkers WA in den Zustand hoher Impedanz versetzt wird. Auf diese Weise kann die Schreiboperation durch eine Kombination beliebiger Bytes innerhalb eines Bereichs von minimal einem Byte bis zu maximal acht Bytes ausgeführt werden.

[0030] Wenn beispielsweise eine externe Logikschaltung für jedes RAM-Modul Daten in 64-Bit-Einheiten liest und die Daten elektrisch verarbeitet, um sie dadurch entsprechend nur einem spezifischen Byte zu verändern, führt die Logikschaltung einen Prozess zur Eingabe nur solcher geänderter Daten und zum Spezifizieren entsprechender Bytes aus, wodurch das Erneuern oder Reprogrammieren von Daten ermöglicht wird. Wenn es alternativ erwünscht ist, nur spezifische Bytes der 64-Bit-Daten zu ändern, können den spezifischen Bytes entsprechende Daten erzeugt und eingegeben werden, ohne die 64-Bit-Daten vorübergehend zu lesen. Diese Datenverarbeitung führt zu einer Funktion, die für diese Bildverarbeitung zweckmäßig ist, um Daten zu erzeugen, wobei nur auf Pixel an Punkten geachtet wird, die zu zeichnen sind, während der Hintergrund unverändert gehalten wird. Eine solche Maskenfunktion jedes Schreibverstärkers WA kann sogar dazu führen, dass der Leistungsverbrauch verringert werden kann, weil die 64 Schreibverstärker WA nicht immer aktiviert sind, wie vorstehend beschrieben wurde.

[0031] Es kann eine Maskenfunktion bereitgestellt werden, wobei 128 Leseverstärker RA bereitgestellt sind und die Lese-/Schreiboperation in 128-Bit-Einheiten ausgeführt wird und die Lese-/Schreiboperation in den 128-Bit-Einheiten als eine Grundoperation zugelassen ist, wobei bei der Schreiboperation die Schreibverstärker WA in mehrere Sätze oder Paare unterteilt werden, so dass sie in jedem der jeweiligen Sätze aktiviert werden können. Wenn die 128 Leseverstärker RA bereitgestellt werden, wie vorstehend beschrieben wurde, wird ein DQ-Prozess auf einer Ein-/Ausgabeleitung, die der Steuerschaltung zugeführt ist, in 128-Bit-Einheiten ausgeführt. In der Steuerschaltung kann ein Wähler bereitgestellt sein, um ein Schalten zwischen dem Zugriff auf die RAM-Module in den 128-Bit-Einheiten und dem Zugriff auf die RAM-Module in den 64-Bit-Einheiten zu ermöglichen.

[0032] Die vorliegende Ausführungsform ist mit der Funktion zum Schalten der Anzahl der Speichermatrizen, die in Zusammenhang mit einer Bankkonfiguration gleichzeitig ausgewählt werden, versehen. Das heißt, dass die Maximalzahl der Bänke auf N gelegt wird und die Minimalzahl der Bänke auf 2 gelegt wird, falls die Anzahl der mehreren angebrachten Speichermatrizen als N definiert ist. Unter dieser Bedingung ist die Anzahl der Speichermatrizen je Bank umgekehrt proportional zur Anzahl der Bänke innerhalb eines dem Quadrat entsprechenden beliebigen Bereichs festgelegt. Wenn die Anzahl der Bänke beispielsweise N ist, wird die Anzahl der Speichermatrizen je Bank 1. Wenn die Anzahl der Bänke 2 ist, ergibt sich als die Anzahl der Speichermatrizen je Bank N/2. Wenn die Anzahl der Bänke 2^n ist (wobei n eine ganze Zahl größer als 1 ist), wird die Anzahl der Speichermatrizen $N/2^n$. Das Festlegen einer solchen Bankkonfiguration wird durch eine Bankadressen-Festlegeschaltung BAG und eine Koinzidenzbestimmungsschaltung BACP vorgenommen. Eine Bankadresse BAD (oder ID-(Selbstidentifikations)-Informationen) wird jeder Speichermatrix durch die Bankadressen-Festlegeschaltung zugewiesen. Wenn eine Speicherbank aus mehreren Speichermatrixteilen besteht, wie vorstehend beschrieben wurde, wird für die mehreren Speichermatrizen eine gemeinsame Bankadresse festgelegt.

[0033] Zum Auswählen der komplementären Bitleitungen in den 128 Einheitspaaren, wie vorstehend beschrieben wurde, aus irgendwelchen der mehreren Speichermatrizen und zum Verbinden von diesen mit den entsprechenden globalen Bitleitungen GBD wird eine Spaltensystem-Auswahloperation in Bezug auf eine Speichermatrix von N Speichermatrizen, die einer Bank entsprechen, wie vorstehend erwähnt wurde, ausgeführt. Jede Speichermatrix hat acht

Paare von Spaltenschaltern und ist dementsprechend mit einem Spaltendecoder zum Decodieren der drei am weitesten rechts gelegenen Bits der Spaltenadressen versehen, um dadurch eines (128 Bits) der acht Paare von Spaltenschaltern auszuwählen. Wenn eine Speicherbank aus den N Speichermatrizen besteht, wird der Spaltendecoder für eine der N Speichermatrizen durch den entsprechenden Spaltenwähler CSEL ausgewählt.

[0034] Es wird die maximale Anzahl der an einem RAM-Modul anbringbaren Speichermatrizen bestimmt. Auf diese Weise wird veranlasst, dass der vorstehend beschriebene Spaltenwähler CSEL Decodierfunktionen aufweist, die Auswahlfunktionen entsprechend der Anzahl der anbringbaren Speichermatrizen aufweisen. In Bezug auf jede Spaltensystem-Auswahloperation wählt der Spaltenwähler einen Spaltenschalter für eine Speichermatrix ohne Bezugnahme auf die Bankkonfiguration aus. Wenn beispielsweise die Maximalzahl der RAM-Module auf 16 gelegt wird, wird bewirkt, dass der Spaltenwähler 16 Typen von Auswahloperationen unter Verwendung von 4-Bit-Spaltenadressen ausführt.

[0035] Dementsprechend kann die Bankkonfiguration im Wesentlichen von den nachstehend beschriebenen Zeilensystem-Auswahloperationen gesteuert verwirklicht werden. Wenn die Anzahl der Bänke 2 ist, wobei 16 Speichermatrizen bereitgestellt sind, wird eine Zeilensystemschaltung für einen 8 × 8-Speichermatrixsatz festgelegt (aktiviert). Eine der ausgewählten acht Speichermatrizen wird vom entsprechenden Spaltenwähler CSEL ausgewählt und elektrisch mit den entsprechenden globalen Bitleitungen GBD verbunden.

[0036] Nur das höchstwertige Bit der aus 4 Bits zusammengesetzten die Bank spezifizierenden Zeilenadressensignale wird gültig gemacht, und die drei am weitesten rechts gelegenen Bits werden ungültig gemacht. Unter dieser Bedingung wird die entsprechende Zeilensystemschaltung für die acht Speichermatrixsätze ausgewählt. Wenn die Anzahl der Bänke als 4 angesehen wird und die Anzahl der Speichermatrizen je Bank auf 4 gelegt wird, werden die beiden am weitesten rechts gelegenen Bits der 4-Bit-Adresssignale ungültig gemacht, um dadurch vier Speichermatrixgruppen zu spezifizieren und diese in der vorstehend beschriebenen Weise auszuwählen. Anschließend wird eine Speichermatrix davon durch den entsprechenden Spaltenwähler CSEL ausgewählt. Wenn die Anzahl der Bänke als 8 definiert ist und die Anzahl der Speichermatrizen je Bank auf 2 gelegt ist, wird das am weitesten rechts gelegene von den vier Bits ungültig gemacht, um dadurch zwei Speichermatrixgruppen zu spezifizieren oder festzulegen und diese in der gleichen Weise wie vorstehend beschrieben auszuwählen. Anschließend wird eine Speichermatrix davon durch den entsprechenden Spaltenwähler CSEL ausgewählt. Um die Anzahl der Bänke als 16 zu definieren und die Anzahl der Speichermatrizen je Bank auf 1 zu legen, wird ein Zeilensystem-Auswahlvorgang an einer Speichermatrix unter Verwendung der 4-Bit-Adressen ausgeführt, so dass die entsprechende Speichermatrix durch den Spaltenwähler CSEL ausgewählt wird.

[0037] Wie vorstehend beschrieben wurde, können die jeweiligen individuellen Speichermatrizen im Wesentlichen getrennt ausgewählt werden. Daher werden Adresssignale Add und ein Befehl Com zum Spezifizieren oder Festlegen eines Operationsmodus durch einen gemeinsamen Adress- und einen Befehlsbus zu den jeweiligen individuellen Speichermatrizen übertragen. Das heißt, dass die Signalbusse Add und Com zum Übertragen von Adressen und Befehlen so erweitert sind, dass sie den Speichermatrizen entsprechen, die in der gleichen Weise wie die globalen Bitleitungen GBD angebracht sind.

[0038] Der Zeitgeber TG, der für jede Speichermatrix bereitgestellt ist, erzeugt verschiedene Zeitsignale in der Art der Zeitsteuerung zum Auswählen jeder Wortleitung in jedem Speicherarray MARY, ein Aktivierungssignal für jeden Leseverstärker SA und Zeitsignale für das Vorladen komplementärer Bitleitungen und dergleichen. Im dynamischen RAM werden die Wortleitungs-Auswahlzeitsteuerung und die Leseverstärker-Aktivierungszeitsteuerung jeweils mit einer erforderlichen Zeit, bis ein für komplementäre Bitleitungen erforderliches Lesesignal von einer Speicherzelle entsprechend dem Wortleitungs-Auswahlvorgang erhalten wird, festgelegt. Ein Zeitsignal, das zum Aktivieren des entsprechenden Spaltenschalters CSW bereitgestellt ist, wird nur dann gebildet, wenn die Verstärkungsoperation jedes Leseverstärkers abgeschlossen ist.

[0039] Gemäß der vorliegenden Ausführungsform sind die mehreren Speichermatrizen in mehrere Paare oder Sätze unterteilt, um die mehreren Bänke zu bilden, wie vorstehend beschrieben wurde. Wenn eine Bank aus N Speichermatrizen gebildet wird, wobei die Gesamtzahl der Speichermatrizen beispielsweise M ist, wird die Anzahl der Bänke auf M/N gelegt. Nun geben die vorstehend angegebenen Bänke die Umfänge oder Größen entsprechend einem Speicherzugriff unabhängig lesbarer bzw. beschreibbarer Speicher an. Im Fall der vorstehend beschriebenen Ausführungsform weist die minimale Bank eine Matrix auf, und die Anzahl der Bänke wird zu dieser Zeit auf das Maximum M gelegt. Andererseits wird die minimale Anzahl der Bänke auf 2 gelegt und die Anzahl der Speichermatrizen je Bank zu dieser Zeit ergibt sich als M/2. Es ist bedeutungslos oder nutzlos, eine Bank aus den M Matrizen zu konstruieren. Dies liegt daran, dass die mehreren Bänke jeweils ein Lesen bzw. Schreiben getrennt mit den mehreren Bänken als Voraussetzung ausführen können, wie vorste-

hend beschrieben wurde.

[0040] Es ergibt sich ein Vorteil, dass eine Erhöhung der Anzahl der Speichermatrizen je Bank eine Erhöhung der Anzahl der lesbaren bzw. schreibbaren Daten bei einem Speicherzugriff ermöglicht. Andererseits ermöglicht eine Erhöhung der Anzahl der Speicherbänke eine Pipelineoperation unter Verwendung der Fähigkeit zum Erhalten eines unabhängigen Speicherzugriffs auf die jeweiligen Bänke. Daher können schnelle Lese-/Schreiboperationen ausgeführt werden. Bei einer dynamischen Speicherzelle wird beispielsweise ein verhältnismäßig langes Zeitintervall verbracht, bis eine in jedem kleinen Kondensator gespeicherte elektrische Ladung erfasst wird, um dadurch ein Lesesignal zu erhalten. Daher kann die Pipelineoperation zum sequenziellen Zugreifen auf mehrere Bänke ausgeführt werden, so dass gelesene Daten von den mehreren Bänken mit Ausnahme einiger Zyklen bis zur Ausgabe der ersten Daten der Reihe nach erhalten werden können.

[0041] Selbst im Fall einer statischen Speicherzelle mit einer eigenen Verstärkungsfunktion weisen MOSFETs aufweisende Speicherzellen zur Bildung einer Massenspeicherkapazität oder zum Erzielen einer hohen Integration eine geringe Leitfähigkeit auf. Daher wird ein in eine Bitleitung oder eine Datenleitung, mit der jede Speicherzelle elektrisch verbunden ist, gelesenes Signal auf einen verhältnismäßig kleinen Signalpegel gelegt. Es ist auch erforderlich, den Signalpegel einem Leseverstärker zuzuführen. Auf diese Weise kann selbst dann, wenn eine solche statische Speicherzelle verwendet wird, wenngleich ein gradweiser Unterschied besteht, ein ausreichend schnelles Lesen erwartet werden, indem, wie vorstehend beschrieben wurde, mehrere Bänke bereitgestellt werden und eine Pipelineoperation ausgeführt wird, um einen sequenziellen Zugriff auf die Bänke zu ermöglichen.

[0042] Gemäß der vorliegenden Ausführungsform wird die maximale Speicherkapazität des als Speicherschaltung verwendeten RAM-Moduls entsprechend dem Datenverarbeitungsvorgang der integrierten Halbleiterschaltungsvorrichtung bei ihrem Entwurf festgelegt. Das heißt, dass die Anzahl der am RAM-Modul angebrachten Speichermatrizen MAT festgelegt wird. Die mehreren Typen von Bankkonfigurationen werden unter Verwendung solcher Speichermatrizen MAT entsprechend der Klassifikation der Datenverarbeitung unter Verwendung der Speicherschaltung, d. h. der Schreib- und Leseoperationen für die Speicherschaltung, eingerichtet. Das Umschalten zwischen diesen Bankkonfigurationen ist durch die Steuerschaltung möglich. Im Fall einer batteriebetrieben integrierten Halbleiterschaltungsvorrichtung, beispielsweise bei einer tragbaren Informationsvorrichtung oder dergleichen, zusätzlich zu dem vorstehend Erwähnten, kann die integrierte Halbleiterschaltungsvorrichtung so verwendet werden, dass beim Batteriebetrieb oder beim Absenken der Batteriespannung die Anzahl der Bänke auf eine hohe Zahl gelegt wird und die Anzahl der bei einem Speicherzugriff aktivierten Speichermatrizen auf das Minimum von beispielsweise 1 gelegt wird, um den Spitzenstrom zu verringern, wodurch sie bis zu einem Niederspannungsbereich batteriebetrieben werden kann.

[0043] Bei der einfachsten Konfiguration wird einer Steuerschaltung entsprechend einem Master-Slice-System ein stationärer oder fester Signalpegel zugeführt, um dadurch die Anzahl der Bänke in dem RAM-Modul festzulegen. Bei einer solchen Konfiguration werden beispielsweise N Matrizen je Bank verwendet. Falls eine Konfiguration verwendet wird, bei der eine außerhalb des RAM-Moduls liegende Logikschaltung mit einem Register versehen ist und die Anzahl der Bänke für das Register festgelegt ist, können die Bankkonfigurationen nacheinander einzeln unter Verwendung desselben RAM-Moduls in Zusammenhang mit der Datenverarbeitungsoperation festgelegt werden.

[0044] Wenngleich die Steuerschaltung mehr oder weniger komplex wird, kann eine Konfiguration verwendet werden, bei der M Speichermatrizen in zwei Sätze oder Paare mit M/2 Einheiten unterteilt sind und die Anzahl der Bänke für jeden Satz festgelegt ist. Selbst in diesem Fall kann es eingerichtet werden, dass die Anzahl der Bänke in der vorstehend beschriebenen Weise feststehend ist oder dass die Anzahl der Bänke jedes Mal dann festgelegt wird, wenn das Register verwendet wird. Wenngleich diese Konfiguration nicht besonders beschränkt ist, kann bei der Operation des Schreibens bzw. Lesens von Daten, wofür ein schneller Zugriff während der Datenverarbeitung erforderlich ist, ein Satz verwendet werden, bei dem die Anzahl der Bänke auf einen hohen Wert gelegt ist, während bei der Operation des gemeinsamen Schreibens und Lesens großer Datenmengen der andere Satz verwendet werden kann, wobei die Anzahl der Bänke verringert ist und die Anzahl der Speichermatrizen je Bank erhöht ist.

[0045] Fig. 2 ist ein schematisches Blockdiagramm zum Beschreiben einer Ausführungsform der im RAM-Modul gemäß der vorliegenden Erfindung verwendeten Bankadressen-Festlegeschaltung. Wenn das Register zum Festlegen jeder Bankadresse verwendet wird, können jene, die eine identische Konfiguration aufweisen, als die jeweiligen Speichermatrizen verwendet werden. Die Bankadresse muss jedoch umgekehrt jedes Mal dann festgelegt werden, wenn die Leistung eingeschaltet wird. Wenn ein ROM verwendet wird, in den entsprechend dem Master-Slice-System zu schreiben ist, ist es nicht erforderlich, die Bankkonfigurationen jedes Mal dann, wenn die Leistung eingeschaltet wird, einzeln festzu-

legen. Es ist jedoch erforderlich, dass ein solcher ROM so gebildet wird, dass sein Gitter entsprechend den Bankkonfigurationen veränderlich ist. Dies führt daher zu einem komplexen Schaltungsentwurf. Das heißt, dass es erforderlich ist, sechzehn Typen in Makrozellenform festgelegter Speichermatrizen zu erzeugen oder Matrixadressen entsprechend einem Master-Slice manuell festzulegen, wenn nur die Abschnitte mit festgelegten Bankadressen nicht gemeinsam für jede individuelle Speichermatrix verwendet werden können und die maximale anbringbare Anzahl als 16 definiert ist, wie vorstehend beschrieben wurde.

[0046] Gemäß der vorliegenden Ausführungsform werden die gleichen Bankadressen-Festlegeschaltungen jeweils so ausgelegt, dass automatisch verschiedene Bankadressen festgelegt werden können, während sie in den jeweiligen Speichermatrizen verwendet werden. Binäre Addierschaltungen (Inkrementierschaltungen) sind als die in den jeweiligen Speichermatrizen bereitgestellten Bankadressen-Festlegeschaltungen BAG bereitgestellt. Wenn beispielsweise n + 1 Speichermatrizen mit von 0 bis n reichenden Bankadressen (Bk-add) angeordnet werden, werden die Speichermatrizen #0 bis #n eingerichtet, und ihre Addierschaltungen werden miteinander in Tandemform verbunden. Eine Anfangsadresse in der Art von 0000 wird als eine Adresseneingabe (CA<3 : 0>), die aus 4 Bits besteht, für die vorderste Speichermatrix zugeführt. Dabei führt die Addierschaltung in der vordersten Speichermatrix eine +1-Addieroperation aus, um eine addierte Ausgabe von 0001 zu bilden, und sie überträgt sie zu einer zweiten Speichermatrix. Weil die Addierschaltungen in den jeweiligen Speichermatrizen der Reihe nach in Tandemform verbunden sind, werden +1-Addieroperationen der Reihe nach jedes Mal dann ausgeführt, wenn die Adresseingabe durch die Addierschaltungen läuft, so dass binäre Adressen in der Art von 0010, 0011, 0100 ... gebildet werden.

[0047] Infolge dieses Aufbaus wird eine Bankadresse 0000 in die vorderste Speichermatrix gesetzt. Weiterhin wird eine durch die Addierschaltung in der vordersten Speichermatrix gebildete Adresse 0001 der zweiten Speichermatrix zugewiesen, eine durch die Addierschaltung in der zweiten Speichermatrix gebildete Adresse 0010 der dritten Speichermatrix zugewiesen und eine durch die Addierschaltung in der n – 1-ten Speichermatrix gebildete Adresse entsprechend einem Dezimalsystem der n-ten Speichermatrix zugewiesen. Weil die Adressenfestlegeschaltungen der jeweiligen Speichermatrizen in dieser Konfiguration die gleichen Addierschaltungen aufweisen können, können verschiedene Bankadressen durch einfaches Anordnen der gleichen Speichermatrizen festgelegt werden.

[0048] Die Bankadressen, die jeweils den jeweiligen Speichermatrizen zugewiesen sind, und die von der Steuerschaltung eingegebenen Bankadressen werden durch die Bankadressen-Koinzidenzkomparatoren BACP verglichen. Weil gemäß der vorliegenden Ausführungsform die verschiedenen Bankkonfigurationen festgelegt werden können, während die festen Bankadressen verwendet werden, werden eine Zeilensystem-Bankadresse ARNB <3 : 0> und eine Spaltensystem-Bankadresse ACNB <3 : 0> eingegeben. Das heißt, dass jeder Bankadressenkomparator BACP zwei Paare von Koinzidenzkomparatoren aufweist und Koinzidenzvergleichssignale CIC und CIR erzeugt oder bildet, die anhand eines Vergleichs zwischen der von der entsprechenden Bankadressen-Festlegeschaltung BAG erzeugten Bankadresse und den zwei Typen von Zeilensystem- und Spaltensystem-Bankadressen ARNB <3 : 0> und ACNB <3 : 0> erhalten werden.

[0049] Wenn das Ergebnis der Bestimmung des niedrigstwertigen Bits in dem Zeilensystem-Koinzidenzkomparator ungültig gemacht wird, wird das Koinzidenzvergleichssignal CIR für die zwei Bänke gleichzeitig gebildet. Andererseits führt die gleichzeitige Auswahl im Spaltensystem, wie vorstehend beschrieben wurde, zu dem Problem, dass komplementäre Bitleitungen mehrerer auf den globalen Bitleitungen GBL gleichzeitig ausgewählter Speichermatrizen gleichzeitig ausgewählt werden. Daher wird das Spaltensystem-Koinzidenzvergleichssignal CIC für jede jeder Speichermatrix zugewiesene Bankadresse einheitlich gebildet, wie vorstehend beschrieben wurde. Andererseits führt die Zeilensystem-Auswahloperation nicht nur zu keinem Problem, weil die Wortleitungen einfach in den mehreren Speichermatrizen ausgewählt werden, sondern sie ermöglicht auch die Ein- bzw. Ausgabe großer Datenmengen mit hoher Geschwindigkeit in serieller Form durch das einfache Schalten der Spaltensystem-Auswahloperation, weil die Wortleitungen in den mehreren Speichermatrizen gleichzeitig ausgewählt werden und die in jeder Speicherzelle gespeicherten Informationen durch den entsprechenden Leseverstärker SA verstärkt werden. Das heißt, dass große Datenmengen, die maximal N × 1024 Bits entsprechen, ein- und ausgegeben werden können, wenn eine Speicherkapazität von maximal 1024 Bits aus jeder Speichermatrix durch Aktualisieren jeder Spaltenadresse und einer Speicherbank aus N Speichermatrizen gelesen wird.

[0050] In dem RAM-Modul ist die Anzahl der Speichermatrizen, die daran anzubringen sind, beliebig. Daher ergibt sich kein Problem, wenn die maximal 16 Speichermatrizen beispielsweise auf der Grundlage der 4-Bit-Bankadressen angebracht werden, wie vorstehend beschrieben wurde. Es besteht jedoch die Möglichkeit, dass, wenn eine nicht existierende Bankadresse falsch spezifiziert wird, wobei beispielsweise nur eine kleinere Anzahl als 16 von Speichermatrizen angebracht ist, eine nicht existierende Spei-

chermatrix spezifiziert wird, so dass die globalen Bitleitungen GBL auf demselben Vorladesignal gehalten werden, wodurch ein unnötiger oder übermäßiger Strom durch einen Leseverstärker RA fließt, der das Vorladesignal empfängt, und bedeutungslose Daten auf der Systemseite als wirksame oder gültige Daten behandelt werden. Daher könnten Fehler in der Art eines Weglaufens eines Programms usw. auftreten.

[0051] Wenn die von der Addierschaltung in der Speichermatrix der letzten Stufe gebildeten Bankadressen einer Überlauf-Prüfschaltung zugeführt werden, in der nicht existierende Bankadressen durch Vergleichen ihrer Beträge erfasst werden, verhindert die Steuerschaltung den Betrieb des Leseverstärkers innerhalb des RAM-Moduls, und die Logikschaltung zum Bereitstellen von Lese- und Schreibbefehlen für das RAM-Modul ist zusätzlich mit einer Funktion versehen, einen Bankzuweisungsfehler durch die Steuerschaltung mitzuteilen.

[0052] Die Fig. 3A, Fig. 3B und Fig. 3C sind schematische Blockdiagramme zum Beschreiben einer weiteren Ausführungsform von Bankadressen-Festlegeschaltungen, die jeweils im RAM-Modul gemäß der vorliegenden Erfindung verwendet werden. Die in den Fig. 3A bis Fig. 3C dargestellten RAM-Module sind ebenso konfiguriert wie das in Fig. 1 oder in Fig. 2 dargestellte RAM-Modul, so dass auf den rechten Seiten Steuerschaltungen bereitgestellt sind und mehrere Speichermatrizen identischer Konfiguration Seite an Seite angeordnet sind.

[0053] Bei der in Fig. 3A dargestellten Konfiguration kann die anfängliche Bankadresse durch die entsprechende Steuerschaltung auf einen beliebigen Wert k gelegt werden, der feststehend oder programmierbar ist. Das heißt, dass eine 0te Speichermatrix auf eine (Matrixadresse) k gelegt wird und eine k + 1-te Bankadresse von der Addierschaltung der 0ten Speichermatrix mit k als Referenz erzeugt wird. Die erzeugte Adresse wird als eine Bankadresse für eine erste Speichermatrix zugeführt. Bankadressen werden wie im Fall von k + 2, k + 3, ... nacheinander für die Speichermatrizen bis zu einer k + n-ten Speichermatrix wie im Fall von k + 2, k + 3, ... festgelegt. Ein Signal AC ist eine bei einem Speicherzugriff eingegebene externe Bankadresse.

[0054] Bei der in Fig. 3B dargestellten Konfiguration ist eine einem Massepotential GND entsprechende Bankadresse auf eine n – 1-te Speichermatrix, die von der Steuerschaltung am weitesten entfernt ist, gelegt, so dass eine Adresse 0000 in dieser festgelegt wird, wenn die Speichermatrizen durch die 4 Bits wie vorstehend beschrieben spezifiziert werden. Weiterhin sind um +1 entgegengesetzt zur Richtung bei der zweiten Ausführungsform erhöhte Bankadressen für die entsprechenden Speichermatrizen festgelegt. Bei dieser Konfiguration ist eine maximale Bankadresse (Matrixadresse) einer 0ten Speichermatrix zugewiesen, die sich neben der Steuerschaltung befindet, und die Überlauf-Prüfschaltung OVFC kann in der Steuerschaltung angeordnet werden. Weiterhin wird das Verlegen von Drähten oder Verbindungen für das Übertragen eines Überlauf-Erfassungssignals unnötig, und das Schaltungslayout kann rational vorgenommen werden.

[0055] Bei der in Fig. 3C dargestellten Konfiguration ist eine einem Massepotential GND entsprechende Bankadresse auf eine n – 1-te Speichermatrix, die von der Steuerschaltung am weitesten entfernt ist, gelegt, so dass eine Adresse 0000 in dieser festgelegt wird, wenn die Speichermatrizen durch die 4 Bits wie vorstehend beschrieben spezifiziert werden. Weiterhin ist die maximale Bankadresse (Matrixadresse) ebenso wie vorstehend beschrieben für die 0te Speichermatrix festgelegt, die neben der Steuerschaltung angeordnet ist, und die Überlauf-Prüfschaltung OVFC ist in der Steuerschaltung angeordnet.

[0056] Wenngleich keine spezielle Beschränkung vorliegt, werden die den jeweiligen Speichermatrizen zugewiesenen Bankadressen durch Invertierer invertiert, woraufhin sie mit einer externen Bankadresse AC verglichen werden. Wenngleich eine als 0000 gegebene Bankadresse in der vorstehend beschriebenen Bankadressen-Festlegeschaltung demgemäß der 16ten Speichermatrix zugewiesen wird, wenn beispielsweise 16 Speichermatrizen angebracht werden, wird dieser eine als 1111 gegebene Adresse zugewiesen, indem ein Vergleich mit dem invertierten Signal ausgeführt wird. Wenngleich 0001 in die 15te Speichermatrix eingegeben ist, vergleicht ein Komparator 1110 damit. In der durch aufeinander folgendes Verringern der vom Komparator zu vergleichenden Bankadressen um –1 in der vorstehend beschriebenen Weise erreichten 0ten Speichermatrix, die sich neben der Steuerschaltung befindet, wird jede vom Komparator verglichene Bankadresse mit einem invertierten Signal 0000 von 1111 verglichen. Demgemäß wird dies äquivalent mit dem Zuweisen von Bankadressen zu ihren entsprechenden Speichermatrizen durch das Dezimalsystem wie im Fall von 0 bis n – 1.

[0057] Wenn jedoch die Anzahl der Speichermatrizen beispielsweise acht beträgt und kleiner ist als die maximale Anzahl (16), wie vorstehend beschrieben wurde, führt eine äquivalente Bankadresse einer neben der Steuerschaltung angeordneten Speichermatrix nicht zu 0 sondern zu 0111 (7 im Dezimalsystem). Die als Bankadressengenerator verwendete Addierschaltung, die in jeder Speichermatrix bereitgestellt ist, kann durch einen Subtrahierer oder eine Subtraktionsschaltung ersetzt werden. Das heißt, dass die voneinander verschiedenen Bankadressen ihren entsprechenden Speichermatrizen zugewiesen werden können, so dass sie in jeder Speichermatrix um 1 er-

höht oder verringert werden, weil die Bankadressen oder Matrixadressen so festgelegt werden können, dass sie keine gleichen einschließen.

[0058] Die Fig. 4A, Fig. 4B und Fig. 4C sind jeweils schematische Blockdiagramme einer anderen Ausführungsform des RAM-Moduls gemäß der vorliegenden Erfindung. Die RAM-Module gemäß den vorliegenden Ausführungsformen sind jeweils so festgelegt, dass sie sich in Zusammenhang mit den erforderlichen Speicherkapazitäten in der Anzahl der Speichermatrizen voneinander unterscheiden. Das heißt, dass sich die Lasten, die die Steuerschaltung wahrnimmt, entsprechend der Speicherkapazität ändern, weil eine Steuerschaltung für die verschiedenen Anzahlen von Speichermatrizen gemeinsam verwendet wird. Beispielsweise ist ein den Treibern oder Speichermatrizen zum Zuführen von Adresssignalen und Befehlen zugeführtes Taktsignal CKR einer starken Belastung ausgesetzt, wenn die Anzahl der Speichermatrizen zunimmt.

[0059] Die Signalübertragungsgeschwindigkeit oder die Signalübertragungsrate hängt davon ab, ob die Last niedrig oder hoch ist, so dass die für den Speicherzugriff aufgewendeten Zeitintervalle sich voneinander unterscheiden. Es ist dementsprechend erforderlich, für Zeitsteuerungseinstellungen viele Zeitgrenzen festzulegen. Bei jeder der Bankadressen-Festlegeschaltungen der vorstehend beschriebenen Speichermatrizen gemäß der vorliegenden Ausführungsform kann die Anzahl der angebrachten Speichermatrizen durch Decodieren eines von einer der letzten Stufe, mit anderen Worten den in die Überlauf-Prüfschaltung OVFC eingegebenen Bankadressen, entsprechenden Addierschaltung ausgegebenen Signals erkannt werden. Die Steuerschaltung wird veranlasst, die Speichermatrizen entsprechende Lasttreiberleistung in Übereinstimmung mit der maximalen anbringbaren Anzahl für diese Verwendung zu halten, und es werden verschiedene Zeitsteuerungseinstellungen unter den Bedingungen der Speichermatrizen entsprechend der maximalen anbringbaren Anzahl festgelegt, um dadurch Schaltungen zu erzeugen, wodurch eine Standardisierung auf der Seite der Steuerschaltung erreicht wird.

[0060] Blindlastschaltungen sind in der Steuerschaltung oder jeder Speichermatrix angeordnet. Wenngleich sie nicht speziell beschränkt sind, weist jede Blindlastschaltung eine Lastschaltung auf, die aus einer MOS-Gate-Kapazität oder dergleichen besteht. Die Blindlastschaltung wird so erzeugt oder hergestellt und angeordnet, dass sie durch Schalter-MOSFETs oder dergleichen selektiv mit dem Adressbus, dem Befehlsbus oder einem Signalübertragungsweg für das Taktsignal CKR oder dergleichen verbunden werden kann.

[0061] Wenn die Anzahl der tatsächlich angebrachten Speichermatrizen zwei beträgt und durch BAK#0 und BAK#1 gegeben ist, wie in Fig. 4A dargestellt ist, sind acht in der Steuerschaltung bereitgestellte Blindlastschaltungen miteinander verbunden, und es ist unter dieser Bedingung die gesamte vom Treiber der Steuerschaltung gesehene Last auf 10 gelegt. In Fig. 4B sind andererseits die Blindlastschaltungen so bereitgestellt, dass sie über die jeweiligen Speichermatrizen verteilt sind. Wenn demgemäß, ebenso wie vorstehend beschrieben, die Anzahl der tatsächlich angebrachten Speichermatrizen zwei beträgt und durch BAK#0 und BAK#1 gegeben ist, sind die für die implementierten BAK#0 und BAK#1 bereitgestellten Blindlastschaltungen miteinander verbunden, und es ist unter dieser Bedingung die gesamte von der Steuerschaltung gesehene Last auf 10 gelegt. Wenn bei dieser Konfiguration die Anzahl der angebrachten Speichermatrizen, wie in Fig. 4C dargestellt ist, wie im Fall BAK#0 bis BAK#3 auf 4 zunimmt, werden die für BAK#0 bis BAK#2 bereitgestellten Blindlastschaltungen verteilt miteinander verbunden, und es wird unter dieser Bedingung die von der Steuerschaltung gesehene Gesamtlast, ebenso wie vorstehend beschrieben, auf 10 gelegt. Wenngleich dies in dieser Zeichnung fortgelassen wurde, sind die Blindlastschaltungen bei der in Fig. 4A dargestellten Ausführungsform im Zustand maximaler Anbringung bis zu BAK#n nicht mit der Steuerschaltung verbunden, während sie in der in Fig. 4B dargestellten Ausführungsform mit keiner von BAK#0 bis BAK#n verbunden sind. Jede von der Steuerschaltungsseite gesehene Last wird so eingestellt, dass sie wie vorstehend erwähnt 10 beträgt.

[0062] In Bezug auf Taktsignale werden die in jeder Steuerschaltung auf der Grundlage eines extern zugeführten Systemtaktsignals CLK verwendeten Taktsignale CLKC und CLKM so festgelegt, dass entsprechend der Geringfügigkeit oder der Höhe einer Last keine Phasenverschiebungen hervorgerufen werden und die Last, ebenso wie vorstehend beschrieben, 10 annimmt, wenn die gleichen Takttreiber verwendet werden.

[0063] Dementsprechend wird ein den jeweiligen Speichermatrizen von der Steuerschaltung zugeführtes Taktsignal CLKR verwendet, um die Last ebenso wie vorstehend beschrieben entsprechend der jeweiligen Verbindung der Blindlastschaltungen auf 10 zu legen. Diese Einstellungen sorgen für eine Synchronisation der Taktsignale, und die Festlegung der Zeitgrenzen unter Berücksichtigung der Verschiebung jedes Taktsignals kann bis zum erforderlichen Minimum ausgeführt werden. Daher kann die Arbeitsfrequenz erhöht werden.

[0064] Gemäß der vorliegenden Ausführungsform ist das Schalten zwischen den Bankkonfigurationen wie vorstehend beschrieben zugelassen. Das heißt, dass es zwei Fälle bei der Zeilensystem-Auswahlo-

peration gibt, nämlich einen, bei dem nur eine Speichermatrix aktiviert wird, und einen anderen, bei dem zwei oder mehr Speichermatrizen gleichzeitig aktiviert werden. Falls sich die von der Steuerschaltung gesehenen Lasten voneinander unterscheiden und die Signalübertragungsrate infolge des gleichzeitigen Betriebs der mehreren Speichermatrizen dadurch beeinflusst wird, kann das Schalten zwischen Blindlastschaltungen in der gleichen Weise wie vorstehend beschrieben auf der Grundlage der Bankspezifizierungsinformationen ausgeführt werden, so dass die Signalübertragungsrate ohne Berücksichtigung des Schaltens zwischen Bänken konstant festgelegt wird.

[0065] Fig. 5 ist ein Schaltplan, in dem eine Ausführungsform des Bankadressengenerators und der Bankadressen-Koinzidenzkomparatoren dargestellt ist. Der Bankadressengenerator weist eine +1-Addierschaltung auf und nimmt eingegebene Bankadressen CAR<0>, CAR<1>, CAR<2> und CAR<3>, die aus 4 Bits bestehen, als Eigenbankadressen auf. Weiterhin führt der Bankadressengenerator daran eine +1-Addieroperation aus, um aus 4 Bits bestehende Bankadressen CAR<0>, CAR<1>, CAR<2> und CAR<3> zu erzeugen, die für die folgende Stufe verwendet werden.

[0066] Die Addierschaltung weist die folgenden Schaltungen auf. Das Ausgangssignal CAR<0>, das dem niedrigstwertigen Bit entspricht, wird durch Invertieren des dem niedrigstwertigen Bit entsprechenden Eingangssignals CAR<0> durch einen Invertierer gebildet. Das einem zweiten Bit entsprechende Ausgangssignal CAR<1> wird durch eine Exklusiv-ODER-Schaltung gebildet, die das eingegebene niedrigstwertige Bit CAR<0> und das zweite Bit CAR<1> empfängt. Das einem dritten Bit entsprechende Ausgangssignal CAR<2> wird durch eine Exklusiv-ODER-Schaltung gebildet, die die NAND-Ausgabe des eingegebenen niedrigstwertigen Bits CAR<0> und des zweiten Bits CAR<1> und ein durch Invertieren des dritten Bits CAR<2> erhaltenes Signal empfängt. Weiterhin wird das dem höchstwertigen Bit entsprechende Ausgangssignal CAR<3> durch Bilden der NOR-Ausgabe der NAND-Ausgabe des eingegebenen niedrigstwertigen Bits CAR<0> und des zweiten Bits CAR<1> und des invertierten Signals des dritten Bits CAR<2> und durch Zuführen von diesem und des dem höchstwertigen Bit entsprechenden Eingangssignals CAR<3> gebildet.

[0067] Zwei Spalten- und Zeilensysteme sind als die Bankadressen-Koinzidenzkomparatoren bereitgestellt. Das heißt, dass der Spaltensystem-Bankadressen-Koinzidenzkomparator entsprechende Bits der eingegebenen Bankadressen CAR<0>, CAR<1>, CAR<2> und CAR<3>, die aus den vier Bits bestehen, und der Spaltensystem-Bankadressen ACNB<0>, ACNB<1>, ACNB<2> und ACNB<3>, die bei einem Speicherzugriff zugewiesen oder spezifiziert werden, unter Verwendung von Exklusiv-ODER-Schaltungen (Koinzidenz/Nichtkoinzidenz-Schaltungen) bestimmt und dadurch ein Koinzidenzsignal für alle Bits durch NAND- und NOR-Gatterschaltungen ausgibt.

[0068] Ähnlich fällt der Zeilensystem-Bankadressen-Koinzidenzkomparator eine Entscheidung für entsprechende Bits der eingegebenen Bankadressen CAR<0>, CAR<1>, CAR<2> und CAR<3>, die aus den vier Bits bestehen, und Zeilensystem-Bankadressen ARNB<0>, ARNB<1>, ARNB<2> und ARNB<3>, die bei einem Speicherzugriff festgelegt werden, durch Exklusiv-ODER-Schaltungen (Koinzidenz/Nichtkoinzidenz-Schaltungen) und gibt dadurch ein Koinzidenzsignal für alle Bits durch eine NAND-Gatterschaltung aus.

[0069] Gemäß der vorliegenden Ausführungsform ist der Ausgang einer den niedrigstwertigen Bits CAR<0> und ARNB<0> entsprechenden Exklusiv-ODER-Schaltung mit der entsprechenden NOR-Gatterschaltung versehen, um ein Umschalten der Zeilensystem-Auswahloperation zu ermöglichen und dadurch die mehreren Speichermatrizen je Bank bereitzustellen oder zu bilden. Zum erzwungenen Legen eines von einer solchen NOR-Gatterschaltung ausgegebenen Signals auf ein Koinzidenzsignal wird die Eingabe der Exklusiv-ODER-Schaltung mit einem Steuersignal RFTN zugeführt. Falls demgemäß das Steuersignal RFTN auf eine logische 1 gelegt wird, wird das Koinzidenzsignal selbst dann im Zeilensystem gebildet, wenn das niedrigstwertige Bit der Bankadressen 0 oder 1 ist, so dass im Wesentlichen die gleiche Bankadresse für zwei Speichermatrizen festgelegt werden kann.

[0070] Falls auch eine solche Funktion für das Bilden oder Konstruieren von vier Speichermatrizen je Bank hinzugefügt ist, wird ein Signal RFTN1 zusammen mit niedrigstwertigen Bits CAR<0> und ARNB<0> als das Steuersignal RFTN bereitgestellt und ein Signal RFTN2 zusammen mit den niedrigstwertigen zweiten Bits CAR<1> und ARNB<1> als das Steuersignal RFTN bereitgestellt. Wenn die zwei Speichermatrizen je Bank gebildet sind, kann das Signal RFTN1 auf eine logische 1 gelegt werden. Wenn die vier Speichermatrizen je Bank gebildet sind, können die Signale RFTN1 und RFTN2 auf die logische 1 gelegt werden.

[0071] Der Bankadressengenerator und die Bankadressen-Koinzidenzkomparatoren, die in Fig. 5 dargestellt sind, können in Bezug auf alle in Fig. 2 dargestellten Speichermatrizen #0 bis #n alle aus den gleichen Schaltungen aufgebaut werden. Daher können die Speichermatrizen einen in Makrozellenform konfigurierten Speichermatrixtyp gemeinsam verwenden. Der vorstehend erwähnte in Makrozellen-

form konfigurierte Speichermatrixtyp kann für mehrere Typen von RAM-Modulen, die sich in der Anzahl der Speichermatrizen und der Bankkonfiguration unterscheiden, verwendet werden, wodurch der Schaltungsentwurf und die Layouts stark vereinfacht werden können.

[0072] Der Bankadressengenerator und die Bankadressen-Koinzidenzkomparatoren weisen die in der Zeichnung dargestellten einfachen Logikgatterschaltungen auf. Weil die als Bankadressengenerator verwendete Addierschaltung einfach insbesondere eine so genannte statische Signalübertragungsoperation allein ausführt, kann ihre Leistungsaufnahme sehr gering sein. Weil demgemäß Elemente, die diese jeweiligen Schaltungen bilden, mit einer sehr geringen Größe gebildet werden können, können sie unterhalb von Verdrahtungskanälen zum Übertragen der jeweiligen Signale CAR<0> bis CAR<3>, die für die Erzeugung der Bankadressen verwendet werden, auf einem Halbleitersubstrat hergestellt werden. Beispielsweise können die jeweiligen Signale CAR<0> bis CAR<3> durch eine einer dritten Schicht entsprechende Metallverdrahtungsschicht gebildet werden, und die Drähte oder Verbindungen für das Verbinden der jeweiligen die Addierschaltung bildenden Gatter können unter Verwendung einer zweiten Schicht und einer darunter angeordneten ersten Schicht entsprechender Metallverdrahtungsschichten gebildet werden.

[0073] Dies kann ähnlich wie oben auch auf jeden Bankadressen-Koinzidenzkomparator angewendet werden. Elemente, die den Bankadressen-Koinzidenzkomparator bilden, können unterhalb der Verdrahtungskanäle, in denen die jeweiligen Bankadressen ARNB<0>, ARNB<1>, ARNB<2>, ARNB<3> und ACNB<0>, ACNB<1>, ACNB<2> und RCNB<3> jeweils gebildet werden, und unterhalb der Verdrahtungskanäle, in denen die vorstehend beschriebenen Signale CAR<0> bis CAR<3> gebildet werden, auf einem Halbleitersubstrat hergestellt werden. Daher können die Speichermatrizen mit einer hohen Integration gebildet werden.

[0074] Gemäß der vorliegenden Ausführungsform hat jede Bankadresse zwei Bedeutungen, wie vorstehend beschrieben wurde. Das heißt, dass die Bankadressen bei Betrachtung im Spaltensystem in eine eineindeutige Entsprechung mit den Matrixadressen gebracht sind. Andererseits sind sie nicht den Matrixadressen im Zeilensystem zugeordnet, und ihre Anzahl wird proportional zur Anzahl der Bänke in einem Wort vergrößert oder verkleinert. Das heißt, dass die Bankadressen in die eineindeutige Entsprechung gebracht sind, wenn die Anzahl der Bänke gleich der Anzahl der Matrizen ist, wie vorstehend beschrieben wurde. Wenn jedoch die Anzahl der Bänke die Hälfte der Anzahl der Matrizen erreicht, werden die Bankadressen dementsprechend auf die Hälfte verringert. Wenn die Anzahl der Matrizen insbesondere 16 ist, erreicht die Anzahl der Matrixadressen 16 Typen. Wenn die Anzahl der Bänke jedoch auf acht, entsprechend der Hälfte der Anzahl der Matrizen im Zeilensystem verringert wird, wird das am weitesten rechts gelegene der vier Bits bei der vorstehend beschriebenen Bankadressen-Koinzidenzvergleichsoperation im Zeilensystem ungültig gemacht, so dass die Zeilensystem-Bankadressen auf acht Arten verringert werden.

[0075] Demgemäß werden die Signalübertragungswege der Speichermatrizen im Spaltensystem parallel geschaltet, und die Bankadressen und die Matrixadressen werden im Spaltensystem in einer eineindeutigen Entsprechung angeordnet, um eine überlappende Auswahl zu vermeiden. Weiterhin werden die Wortleitungen für die mehreren Speichermatrizen entsprechend der Bankkonfiguration im Zeilensystem gleichzeitig ausgewählt. Daher können durch das Lesen und Schreiben in jeder Bank Zeilensystem-Adresssignale aktualisiert werden und die Ein- bzw. Ausgabe von Daten entsprechend dem sequenziellen Zugriff auf der Grundlage des Schaltens von Spalten ermöglicht werden.

[0076] Fig. 6 ist ein Schaltplan, in dem eine Ausführungsform eines Speicherarrays MARY und eines in jeder vorstehend erwähnten Speichermatrix verwendeten Wortleitungswählers dargestellt ist. Die jeweiligen Abgleichs- und Vorladeschaltungen für Bitleitungen, die im Speicherarray enthalten sind, sind in der gleichen Zeichnung dargestellt. Eine Bank #j der vorstehend beschriebenen Bänke #0 bis #n ist in der in der gleichen Zeichnung dargestellten Speichermatrix zur Veranschaulichung als eine typische dargestellt. Von mehreren komplementären Bitleitungen und mehreren Wortleitungen, die innerhalb der Bank (Speichermatrix) #j bereitgestellt sind, sind ein Paar komplementärer Bitleitungen BLm und /BLm und eine Bitleitung BLn sowie Wortleitungen WL0, WLm, WLm + 1 und WLn als typische zur Veranschaulichung dargestellt.

[0077] Eine Speicherzelle, die an einem Punkt bereitgestellt ist, an dem die Wortleitung WL0 und die Bitleitung BLm einander schneiden, wird anhand eines der Erläuterung dienenden Beispiels erklärt. Die Gate-Elektrode eines Adressauswahl-MOSFETs Qm ist elektrisch mit der entsprechenden Wortleitung verbunden. Eine von der Source- und der Drain-Elektrode des MOSFETs Qm ist elektrisch mit der Bitleitung BLm verbunden. Die andere von der Source- und der Drain-Elektrode des MOSFETs Qm ist elektrisch mit einem Speicherknoten Ns verbunden, der als eine Elektrode eines Speicherkondensators Cs verwendet wird. Die andere Elektrode des Speicherkondensators Cs wird mit den anderen Elektroden der Speicherkondensatoren anderer Speicherzellen gemeinsam verwendet. Eine Plattenspannung VPL ist an die

andere Elektrode des Speicherkondensators Cs angelegt.

[0078] Die vorstehend beschriebenen Speicherzellen sind an Punkten, an denen die Wortleitungen und bestimmte der komplementären Bitleitungen einander schneiden, in Matrixform angeordnet. Bei der Wortleitung WLm und der benachbarten Wortleitung WLm + 1 ist beispielsweise eine Speicherzelle an einem Punkt bereitgestellt, an dem die Wortleitung WLm und eine Bitleitung BLm der komplementären Bitleitungen einander schneiden, und eine Speicherzelle an einem Punkt bereitgestellt, an dem die WLm + 1 und die andere Bitleitung /BLm der komplementären Bitleitungen einander schneiden. Zusätzlich zu dem Fall, in dem die Speicherzellen abwechselnd an bestimmten der komplementären Bitleitungen und der anderen Bitleitungen jeweils für die ungeraden und die geraden Wortleitungen angeordnet sind, können Speicherzellen in Zweiergruppen, die jeweils alle zwei Wortleitungen, die paarweise benachbart sind, bereitgestellt sind, abwechselnd an bestimmten der komplementären Bitleitungen und der anderen Bitleitungen angeordnet sein.

[0079] N-Kanal-MOSFETs Q14 bis Q16, die jeweils eine Abgleich- und Vorladeschaltung bilden, sind für die komplementären Bitleitungen BLm und /BLm bereitgestellt. Der MOSFET Q14 wird durch Kurzschalten hoher und niedriger Pegel (oder niedriger und hoher Pegel) der komplementären Bitleitungen BLm und /BLm auf ein Halbpotential gelegt. Die MOSFETs Q15 und Q16 werden verwendet, um zu verhindern, dass sich das auf dem Kurzschluss der komplementären Bitleitungen BLm und /BLm beruhende Halbpotential infolge eines Leckstroms oder dergleichen ändert. Weiterhin führen die MOSFETs Q15 und Q16 den komplementären Bitleitungen BLm und /BLm eine Halbvorladespannung VMP zu. Die Gate-Elektroden dieser MOSFETs Q14 bis Q16 sind elektrisch miteinander verbunden, so dass ihnen ein Vorlade- und Abgleichssignal BLEQj zugeführt werden kann. Das heißt, dass das Signal BLEQj, nachdem die entsprechende Wortleitung von einem Auswahlpegel auf einen Nicht-Auswahlpegel zurückgesetzt wurde, auf einen hohen Pegel gelegt wird, so dass die MOSFETs Q14 bis Q16 in einen Durchschaltzustand versetzt werden, um Vorlade- und Abgleichoperationen für die komplementären Bitleitungen BLm und /BLm auszuführen.

[0080] Mehrere Wortleitungstreiber WD0 bis WDn sind jeweils bereitgestellt, so dass sie den mehreren Wortleitungen WL0 bis WLn entsprechen. Eine spezifische Schaltung des der Wortleitung Wm von diesen Wortleitungen entsprechenden Wortleitungstreibers WDm ist in der gleichen Zeichnung 6 schematisch dargestellt. Ein CMOS-Invertierer, der aus einem P-Kanal-MOSFET Q6, dessen Source-Elektrode elektrisch mit einer Einrichtungs- oder Verstärkungsquelle VDH verbunden ist, und einem N-Kanal-MOSFET Q7, dessen Source-Elektrode elektrisch mit einem Massepotential der Schaltung verbunden ist, besteht, wird für den Wortleitungstreiber WDm verwendet.

[0081] Die Drain-Elektroden der MOSFETs Q6 und Q7 sind miteinander verbunden und bilden Ausgangsanschlüsse. Weiterhin sind ihre Drain-Elektroden elektrisch mit der Wortleitung WLm verbunden. Die Gate-Elektroden der MOSFETs Q6 und Q7 sind miteinander verbunden und bilden Eingangsanschlüsse. Weiterhin wird ihren Gate-Elektroden ein von einem Zeilendecoder (X-Decoder) RDEC erzeugtes Auswahlsignal zugeführt.

[0082] Ein Vorlade-P-Kanal-MOSFET Q9 und ein Nichtauswahl-Latch-P-Kanal-MOSFET Q8, deren Source-Drain-Pfade jeweils miteinander verbunden sind, sind zwischen dem Eingangsanschluss des CMOS-Invertierers (Q6 und Q7) und der Verstärkungsquelle VDH parallel bereitgestellt. Die Gate-Elektrode des Nichtauswahl-Latch-P-Kanal-MOSFETs Q8 ist elektrisch mit dem Ausgangsanschluss des CMOS-Invertierers (Q6 und Q7) verbunden. Der Gate-Elektrode des Vorlade-P-Kanal-MOSFETs Q9 wird ein Vorladesignal WPH zugeführt. Ein Signalgenerator zum Bilden des Vorladesignals WPH erzeugt ein Signal WPH mit einem hohen Pegel entsprechend dem Auswahlpegel jeder Wortleitung und einen niedrigen Pegel in der Art des Massepotentials der Schaltung mit der Verstärkungsquelle VDH als Betriebsspannung.

[0083] Der vorstehend beschriebene MOSFET Q14 ist ein für einen Pegelbegrenzer verwendeter MOSFET. Wenn der nicht dargestellte Leseverstärker durch eine Versorgungsspannung Vdd aktiviert wird, entspricht ein hoher Pegel des Potentials an der komplementären Bitleitung BLm oder /BLm der Versorgungsspannung Vdd. Das Potential der verstärkten Spannung VDH wird so gebildet, dass es zur Versorgungsspannung Vdd + Vth wird. Wenn der Leseverstärker durch eine heruntergeschaltete oder abgeschwächte interne Spannung VDL aktiviert wird, wird die verstärkte Spannung VDH auf VDL + Vth gelegt. Hierbei bezeichnet Vth die Schwellenspannung des Adressauswahl-MOSFETs Qm und dient dem Übertragen eines Signals mit einem hohen Pegel in der Art der an die komplementäre Bitleitung BLm oder /BLm angelegten Versorgungsspannung Vdd oder VDL, die durch den Verstärkungsvorgang des entsprechenden Leseverstärkers verstärkt wird, ohne Pegelverluste zum entsprechenden Kondensator Cs.

[0084] Fig. 7 ist ein spezifischer Schaltplan, in dem eine Ausführungsform des Zeilendecoders RDEC und eines daran angeschlossenen Worttreibers dargestellt ist. AX20 bis AX27 entsprechen den durch Vordecodieren von aus 3 Bits bestehenden Zeilena-

dresssignalen (X-Adresssignalen) A2 bis A4 durch eine Vordecodierschaltung oder einen Vordecoder gebildeten Signalen. AX50 bis AX57 entsprechen den durch Vordecodieren von aus 3 Bits bestehenden Zeilenadresssignalen (X-Adresssignalen) A5 bis A7 durch den Vordecoder gebildeten Signalen. Ein MOSFET Q3, an dessen Gate-Elektrode eines der Vordecodiersignale AX20 bis AX27 angelegt ist, und ein MOSFET Q4, an dessen Gate-Elektrode eines der Vordecodiersignale AX50 bis AX57 angelegt ist, sind zur Bildung des Zeilendecoders (RDEC), dem wiederum ein Auswahlzeitsignal XDGB zugeführt wird, direkt miteinander verbunden.

[0085] Der Zeilendecoder (RDEC) weist eine in NICHT-UND-(NAND)-Konfigurationen gebildete dynamische Logikschaltung auf, die mit einem durch ein Vorladesignal XDP schaltungsgesteuerten P-Kanal-Vorlade-MOSFET Q1, einem Invertierer zum Ausführen des Latch-Vorgangs eines Nichtauswahlpegels und einem P-Kanal-MOSFET Q2 versehen ist. Ein Auswahl/Nichtauswahl-Decodiersignal wird abhängig davon gebildet, ob ein durch den Vorlade-MOSFET Q1 auf einen hohen Pegel vorgeladener Knoten durch die MOSFETs Q3 und Q4 entsprechend einem niedrigen Pegel des Zeitsignals XDGB entladen wird. Wenngleich dies nicht besonders beschränkt ist, wird das Zeitsignal XDGB entsprechend dem Ergebnis der Entscheidung durch die erste Bestimmungsschaltung oder Bestimmungseinrichtung erzeugt. Zusätzlich kann die Erzeugung der Vordecodiersignale oder Wortleitungsauswahl-Zeitsignale X0MB bis X3MB, wie später beschrieben wird, entsprechend dem Ergebnis der Entscheidung durch die erste Bestimmungseinrichtung gültig bzw. ungültig gemacht werden, um die Zeilensystem-Auswahloperation jeder Speichermatrix zu steuern.

[0086] Es ist ein P-Kanal-MOSFET Q2 bereitgestellt, der ansprechend auf das Ausgangssignal des Invertierers ein Signal auf der Hochpegelseite zu seinem Eingang rückkoppelt. Der MOSFET Q2 dient dazu, eine Decodierausgabe zum Versetzen des MOSFETs Q3 oder Q4 in einen Sperrzustand entsprechend der Vordecodierausgabe AX2I oder AX5I auf einen durch den Vorlade-MOSFET Q1 vorgeladenen hohen Pegel zu legen. Weil der MOSFET Q1 nach Abschluss der Vorladeperiode gesperrt wird und der MOSFET Q3 oder Q4 entsprechend der Vordecodierausgabe AX2i oder AX5i gesperrt wird, wird dieser hohe Pegel in einen schwebenden Zustand versetzt. Demgemäß besteht die Möglichkeit, dass der hohe Pegel durch eine Kopplung oder einen Leckstrom unerwünscht auf einen Auswahlpegel, welcher einen niedrigen Pegel angibt, gelegt wird. Daher wird der Rückkopplungs-P-Kanal-MOSFET Q2 ansprechend auf den niedrigen Pegel des Invertierers IV1 durchgeschaltet, um den Eingangspegel des Invertierers auf der Versorgungsspannung Vdd zu halten.

[0087] Wenngleich dies nicht besonders beschränkt ist, dient das Ausgangssignal des Invertierers als ein den vier Wortleitungen WL0 bis WL3 entsprechendes Auswahlsignal. Eine durch vier Arten von Wortleitungsauswahl-Zeitsignalen X0MB bis X3MB, die durch Decodieren von Zeilenadresssignalen (X-Adresssignalen) A0 und A1 niederwertiger Bits und Addieren des Auswahlzeitsignals zu den decodierten Signalen erhalten werden, spezifizierte Wortleitung wird aus den vier Wortleitungen WL0 bis WL3 ausgewählt.

[0088] Wenn das Ausgangssignal des Invertierers einen Auswahlpegel aufweist, der einen hohen Pegel angibt, wird der MOSFET Q5 in einen Durchschaltzustand versetzt. Wenn weiterhin ein vorstehend erwähntes Wortleitungsauswahl-Zeitsignal X3MB von einem hohen zu einem niedrigen Pegel wechselt, wird ein Eingangssignal, das einen niedrigen Pegel angibt, dem entsprechenden Worttreiber zugeführt, der aus einem P-Kanal-MOSFET Q6 und einem N-Kanal-MOSFET Q7 besteht, die entsprechend der Spannung der Verstärkungsquelle VDH aktiviert werden, um die mit einem Ausgangsanschluss des Worttreibers verbundene Wortleitung WL3 entsprechend der Spannung der Verstärkungsquelle VDH von einem niedrigen auf einen hohen Pegel anzuheben.

[0089] Wenn das Ausgangssignal des Invertierers den Auswahlpegel aufweist, der auf den hohen Pegel hinweist, werden andere MOSFETs zusammen mit dem MOSFET Q5 durchgeschaltet. Die Wortleitungsauswahl-Zeitsignale X0MB bis X2MB bleiben jedoch auf dem hohen Pegel, und der N-Kanal-MOSFET jedes Worttreibers wird durchgeschaltet, um zu ermöglichen, dass die Wortleitungen WL0 bis WL2 in einem nicht gewählten Zustand verbleiben, der auf einen niedrigen Pegel hinweist. Jeder der P-Kanal-MOSFETs Q8 ist ein MOSFET zum Festhalten eines Nichtauswahlpegels. Wenn die Wortleitung WL3 auf einem niedrigen Pegel gehalten wird, der auf eine Nichtauswahl hinweist, wird der P-Kanal-MOSFET Q8 durchgeschaltet, um den Eingangsanschluss des Worttreibers auf die verstärkte Spannung VDH zu legen, wodurch der P-Kanal-MOSFET Q6 gesperrt wird. Jeder der P-Kanal-MOSFETs Q9 ist ein Vorlade-MOSFET und wird ansprechend auf den niedrigen Pegel des Vorladesignals WPH durchgeschaltet, so dass der Eingangsanschluss des Worttreibers auf die Spannung der Unter-Versorgungsleitung SVCW vorgeladen wird.

[0090] Wenn das Ausgangssignal des Invertierers auf dem Nichtauswahlpegel liegt, der auf den niedrigen Pegel hinweist, werden die MOSFETs, für die der MOSFET Q5 als typisch dargestellt ist, gesperrt. Demgemäß wird selbst dann, wenn eines der vorstehend beschriebenen Wortauswahl-Zeitsignale X0MB bis X3MB von einem hohen zu einem niedrigen Pegel wechselt, der P-Kanal-MOSFET Q8 entsprechend

den niedrigen Pegeln der Wortleitungen WL0 bis WL3, die jeweils den Vorladepegeln entsprechen, ohne ein Ansprechen darauf durchgeschaltet, so dass die Latch-Schaltung, bei der der hohe Pegel, der der Verstärkungsquelle VDH entspricht, zum Eingangsanschluss des Worttreibers zurückgeführt wird, hergestellt wird, wodurch die Wortleitungen WL0 bis WL3 oder dergleichen in einem nicht ausgewählten Zustand gehalten werden.

[0091] Ein Worttreiber, ein Latch-MOSFET und ein Vorlade-MOSFET ähnlich den vorstehend beschriebenen sind auch für eine redundante Wortleitung RWL0 bereitgestellt. Die redundante Wortleitung RWL0 wird synchron mit einem Auswahlsignal XR0B für redundante Wortleitungen ausgewählt, das durch eine Redundanzschaltung gebildet wird, die aus einer nicht dargestellten Verschmelzungsschaltung, welche zum Speichern fehlerhafter Adressen verwendet wird, und einem Adresskomparator zum Vergleichen der fehlerhaften Adresse mit jeder eingegebenen X-Adresse besteht. Weil zu dieser Zeit die Vordecodiersignale AX20 bis AX27 und AX50 bis AX57 von den als normale Schaltungen verwendeten Vordecodern oder die Wortleitungsauswahl-Zeitsignale X0MB bis X3MB jeweils entsprechend einem Koinzidenzsignal, das durch einen Vergleich mit der fehlerhaften Adresse erhalten wird, auf einen Nichtauswahlpegel gebracht werden, wird an jeder fehlerhaften Wortleitung keine Auswahloperation ausgeführt.

[0092] Die Leseverstärker SA (Vorladeschaltungen PC) sind auf beiden Seiten jedes Speicherarrays MARY bereitgestellt, das gemäß der vorliegenden Ausführungsform verwendet wird, wie in den Fig. 3A bis Fig. 3C dargestellt ist. Die Leseverstärker, die ungeradzahligen komplementären Bitleitungen und geradzahligen komplementären Bitleitungen entsprechen, sind auf der linken und der rechten Seite verteilt, so dass der Abstand der jeweiligen komplementären Bitleitungen, die die Wortleitungen WL0 bis WL3 oder dergleichen schneiden, in Übereinstimmung mit dem Abstand der jeweiligen Leseverstärker oder Vorladeschaltungen gebracht wird. Weil die jeweiligen Leseverstärker SA bereitgestellt sind, kann jeweils ein Leseverstärker in einem Abstand angeordnet werden, der doppelt so groß ist wie derjenige der komplementären Bitleitungen.

[0093] Fig. 8 ist ein Blockdiagramm, in dem eine Ausführungsform der in Fig. 1 dargestellten Leistungsschaltung VC dargestellt ist. Die Leistungsschaltung VC gemäß dieser Ausführungsform erzeugt entsprechend dem Auswahlpegel jeder Wortleitung, wie vorstehend erwähnt wurde, eine verstärkte Spannung VDH, eine einer negativen Spannung entsprechende Substratspannung VBB, die einem P-Wannenbereich zuzuführen ist, in dem Speicherzellen gebildet sind, eine Plattenspannung VBMPC (über VPL), die der gemeinsamen Elektrode der Speicherkondensatoren der Speicherzellen zuzuführen ist, und eine Vorladespannung VBM, die für jede komplementäre Bitleitung verwendet wird.

[0094] Die verstärkte Spannung VDH und die Substratspannung VBB werden von einem VDH-Generator und einem VBB-Generator erzeugt oder gebildet, die jeweils aus einer Ladungspumpenschaltung bestehen. Die Plattenspannung VBMPC und die Vorladespannung VBM werden durch einen VBM/VBMPC-Generator gebildet, um die Versorgungsspannung Vdd im Wesentlichen zu halbieren. Wenn eine interne Schaltung auf eine Spannung gelegt wird, die durch Verringern der Versorgungsspannung Vdd erhalten wird, wenn beispielsweise die Versorgungsspannung Vdd auf 3,3 V gelegt wird und eine Betriebsspannung für eine periphere Schaltung in der Art eines Leseverstärkers, einer Adressauswahlschaltung oder dergleichen auf eine beispielsweise auf 2,2 V verringerte Spannung VDL gelegt wird, werden die Plattenspannung VBMPC und die Vorladespannung VBM jeweils auf eine Spannung in der Art der internen Spannung VDL/2 = 1,1 V gelegt.

[0095] Es ist eine Leistungsschaltung VC für das vorstehend beschriebene RAM-Modul bereitgestellt. In dem vorstehend beschriebenen RAM-Modul sind die entsprechend den Bankkonfigurationen ausgewählten Speichermatrizen so bereitgestellt, dass sich ihre Anzahl unterscheidet. Wenn jede einzelne von den jeweiligen Speichermatrizen ausgewählt wird, wird die entsprechende Wortleitung, mit der eine Anzahl von Speicherzellen elektrisch verbunden ist, auf eine verstärkte Spannung gelegt. Wenn demgemäß die Anzahl der einer Bank zugewiesenen Speichermatrizen zunimmt, nimmt der Wortleitungs-Treiberstrom, der erforderlich ist, um eine Wortleitung auf einen Auswahlpegel für jede Speichermatrix zu bringen, zu.

[0096] Es ergibt sich kein Problem beim Betrieb, falls die Leistungsschaltung VC mit einer solchen Stromzufuhrfähigkeit versehen ist, dass sie das Treiben jeder in der maximalen Anzahl der Speichermatrizen je Bank verwendeten Wortleitung ermöglicht. Die Spannungsverstärkungsschaltung wird jedoch verwendet, um eine durch Verstärken der Versorgungsspannung Vdd erhaltene Spannung unter Verwendung der Ladungspumpenschaltung zu bilden oder zu erzeugen, und sie verbraucht Strom zur Bildung der verstärkten Spannung. Wenn demgemäß die Wortleitungen für die maximale Anzahl von Speichermatrizen getrieben werden, ergibt sich eine unnötige Erhöhung des Stromverbrauchs, wenn die Anzahl der Speichermatrizen je Bank kleiner oder gleich der maximalen Anzahl der Speichermatrizen ist.

[0097] Wenn gemäß der vorliegenden Ausführungsform die Anzahl der Speichermatrizen je Bank wie in der in Fig. 5 dargestellten Ausführungsform

auf 1 oder 2 geschaltet wird, wird dementsprechend die Stromzufuhrfähigkeit des VDH-Generators entsprechend den Bankkonfigurationen wie im Fall von 1 oder 2 umgeschaltet, wodurch ein geringerer Leistungsverbrauch erreicht wird. Gemäß der vorliegenden Ausführungsform wird die Frequenz eines Impulses CLKPS, der dem die Ladungspumpenschaltung aufweisenden VDH-Generator zugeführt wird, beim vorstehend erwähnten Schalten der Stromversorgungsfähigkeit geändert.

[0098] Das vorstehend beschriebene Frequenzumschalten wird durch Taktgeneratoren 1 und 2 implementiert. Das heißt, dass der Taktgenerator 1 ein 1/2-Frequenzteiler ist und die Frequenz eines Taktsignals CLKRB halbiert, wodurch ein 1/2-geteiltes Frequenzsignal CLKF erzeugt wird. Der Taktgenerator 2 ist ein Wähler und wählt entweder das Eingangstaktsignal CLKRB oder das geteilte Taktsignal CLKF ansprechend auf das Steuersignal RFTN aus, um ein Schalten der Bankkonfigurationen auszuführen und dabei ein Ausgangstaktsignal CLKPS zu erzeugen.

[0099] Das vom Taktgenerator 2 ausgegebene Taktsignal CLKPS wird zum VDH-Generator und zum VBM/VBMPC-Generator übertragen. Dem VBB-Generator wird ständig das geteilte Taktsignal CLKF des Taktgenerators 1 zugeführt. Das Taktsignal CLKRB ist ein von außerhalb des RAM-Moduls zugeführtes Taktsignal, und es wird dabei ein Systemtakt verwendet, der in einer mit dem RAM-Modul versehenen digitalen Informationsverarbeitungsschaltung eingesetzt wird.

[0100] Das RAM-Modul gemäß der vorliegenden Ausführungsform nimmt Daten synchron mit dem Taktsignal CLKRB auf und gibt diese aus, wie es beim herkömmlichen synchronen DRAM oder einem den LAN-Busspezifikationen unterliegenden DRAM der Fall ist. Daher wird das Aktualisieren jeder Spaltensystemadresse synchron mit dem Taktsignal CLKRB ausgeführt. Diese auf dem Taktsignal CLKRB beruhende synchrone Operation ermöglicht eine einfache Implementation des Lesens/Schreibens auf der Grundlage der vorstehend beschriebenen Pipelineoperation unter Verwendung der mehreren Bänke.

[0101] Wenn das Steuersignal RFTN zum Festlegen jeder Bankkonfiguration auf einem niedrigen Pegel (dem Logikpegel 0) liegt, weist eine Bank eine Speichermatrix auf. Weil die entsprechende Wortleitung für eine Speichermatrix allein während eines Zyklus des Taktsignals CLKRB bei einer solchen Bankkonfiguration ausgewählt wird, wird das durch den Taktgenerator 1 frequenzgeteilte Taktsignal CLKF vom Taktgenerator 2 ausgewählt und von diesem ausgegeben. Demgemäß führt der VDH-Generator eine Ladungspumpoperation synchron mit dem auf die niedrige Frequenz gelegten Taktsignal CLKF aus und ist daher so eingestellt, dass er eine damit übereinstimmende Stromzufuhrfähigkeit aufweist.

[0102] Wenn das Steuersignal RFTN zum Spezifizieren jeder Bankkonfiguration auf einem hohen Pegel (dem Logikpegel 1) liegt, weist eine Bank zwei Speichermatrizen auf. Weil die entsprechenden Wortleitungen für die zwei Speichermatrizen während eines Zyklus des Taktsignals CLKRB bei einer solchen Bankkonfiguration gleichzeitig ausgewählt werden, wird das eingegebene Taktsignal CLKRB vom Taktgenerator 2 ausgewählt und ausgegeben. Demgemäß führt der VDH-Generator eine Ladungspumpoperation synchron mit dem Taktsignal CLKRB aus, das auf eine dem Doppelten der vorstehenden Frequenz entsprechende hohe Frequenz gelegt ist, und er ist dementsprechend so eingestellt, dass er eine Stromzufuhrfähigkeit aufweist, die doppelt so groß ist wie die vorstehend erwähnte Stromzufuhrfähigkeit.

[0103] Weil die Stromzufuhrfähigkeit des VDH-Generators entsprechend einer solchen Bankkonfiguration und mit anderen Worten entsprechend der Anzahl der Speichermatrizen, in denen die Wortleitungen gleichzeitig aktiviert sind, umgeschaltet wird, kann der vom VDH-Generator verbrauchte Strom so gesteuert werden, dass er das notwendige Minimum annimmt. Bei dem vorstehend beschriebenen RAM-Modul gemäß der vorliegenden Ausführungsform wird auch eine Last in der Art eines Taktsignals CLKR oder dergleichen zum Treiben jeder Speichermatrix, die in der Steuerschaltung bereitgestellt ist, entsprechend der Bankkonfiguration umgeschaltet. Weiterhin ist in dem RAM-Modul das Bereitstellen einer flexiblen Entsprechung in Zusammenhang mit der Anzahl der angebrachten Speichermatrizen berücksichtigt, während eine Schaltungsstandardisierung vorgenommen wird.

[0104] Wenn das mit dem RAM-Modul versehene digitale Informationsverarbeitungssystem in einen Nichtbetriebszustand versetzt wird, wird das Taktsignal CLKRB angehalten. Daher werden auch der VDH-Generator und der VBB-Generator deaktiviert, so dass das RAM-Modul keinen erheblichen Strom verbraucht. Weil in diesem Fall die Schaltung zum Halbieren der Versorgungsspannung Vdd oder die Schaltung zum Bilden der verringerten Spannung VDL und die Schaltung zum Verringern von dieser um die Hälfte jeweilige Gleichstromwege aufweisen, werden die Gleichstromwege durch ein entsprechend dem Nichtbetriebszustand des mit dem RAM-Modul versehenen digitalen Informationsverarbeitungssystems selbst erzeugtes Steuersignal MQR abgeschnitten, so dass der VBM/VBMPC-Generator auch in einen deaktivierten Zustand versetzt wird.

[0105] Fig. 9 ist ein Schaltplan, in dem eine Ausführungsform des VDH-Generators dargestellt ist. In der

gleichen Zeichnung überlappen Schaltungssymbole, die jeweiligen Schaltungselementen gegeben sind, teilweise jene in Fig. 6 und dergleichen, um das Verständnis der Zeichnung zu erleichtern. Es ist jedoch zu verstehen, dass sie verschiedene Schaltungsfunktionen aufweisen. Weiterhin sind P-Kanal-MOSFETs von N-Kanal-MOSFETs unterschieden, indem ein O angebracht ist, das angibt, dass niedrige Pegel an ihren Gate-Abschnitten aktive Pegel sind. Während die N-Kanal-MOSFETs im gleichen P-Wannenbereich in einer CMOS-Schaltung gebildet sein können, sind mit A bis C in der gleichen Zeichnung markierte N-Kanal-MOSFETs dadurch elektrisch voneinander isoliert, dass sie in verschiedenen P-Wannenbereichen gebildet sind. Demgemäß ist eine Dreifachwannenstruktur bereitgestellt, wobei ein N-Wannenbereich DWLL in großer Tiefe auf einem P-Substrat gebildet ist und ein P-Wannenbereich PWELL innerhalb des Bereichs DWLL gebildet ist, wodurch die N-Kanal-MOSFETs gebildet sind.

[0106] Der VDH-Generator gemäß der vorliegenden Ausführungsform wurde unter Berücksichtigung der niedrigen Spannungsfestigkeit jedes durch Mikrobearbeitung hergestellten MOSFETs so ausgelegt, dass eine interne Spannung nicht größer oder gleich 2Vdd wird und auch so ausgelegt, dass die verstärkte Spannung VDH bei einer niedrigen Versorgungsspannung Vdd wirksam gebildet wird. Gemäß der vorliegenden Ausführungsform weist eine Verstärkungsschaltung eine Kombination zweier Schaltungen auf.

[0107] Eine Schaltung LC1 ist eine Schaltung zum Erzeugen einer verstärkten Spannung durch einen Kondensator C1 unter Verwendung der Gate-Kapazität eines P-Kanal-MOSFETs und eines Invertierers N1, wodurch die Treiberschaltung oder der Treiber gebildet ist. Die MOSFETs Q1 und Q4 sind an einem Knoten auf der Verstärkungsseite des Kondensators C1 als eine Vorladeschaltung bereitgestellt. Wenn ein vom Invertierer N1, der Teil des Treibers ist, ausgegebenes Signal cb auf einem niedrigen Pegel liegt, wird der Kondensator C1 durch die MOSFETs Q1 und Q4 vorgeladen. Wenn das Ausgangssignal cb vom niedrigen Pegel auf einen hohen Pegel wechselt, wird eine Vorladespannung zu einem hohen Pegel in der Art einer vom Invertierer N1 am Kondensator C1 ausgegebenen Versorgungsspannung Vdd addiert, um eine verstärkte Spannung zu bilden.

[0108] Der MOSFET Q1 ist ein N-Kanal-MOSFET. Seine Verwendung unterscheidet sich jedoch von der normalen Verwendung, bei der die Versorgungsspannung Vdd und seine Gate-Elektrode elektrisch mit seinem Kanalbereich (P-Wanne) verbunden sind. Wenn das Ausgangssignal cb auf dem niedrigen Pegel liegt, wird dem MOSFET Q1 infolge eines PN-Übergangs zwischen dem Kanalbereich und seiner Source-Elektrode ein Vorladestrom zugeführt. Ein Pegelverlust wird jedoch vom MOSFET Q1 durch eine Spannung in Durchlassrichtung am PN-Übergang erzeugt, wodurch ein geringer Wirkungsgrad hervorgerufen wird. Daher wird der MOSFET Q4 verwendet. Wenngleich der MOSFET Q4 im Wesentlichen auch dem MOSFET Q1 ähnelt, ist eine verstärkte Spannung, die größer oder gleich der von einem Kondensator C2 gebildeten Versorgungsspannung Vdd gelegt ist, an seine Gate-Elektrode angelegt. Er dient daher als ein MOSFET und ist in einen Durchschaltzustand versetzt. Demgemäß kann die Versorgungsspannung Vdd im Wesentlichen auf den Kondensator C1 übertragen werden.

[0109] Eine Schaltung LC2 ist eine Spannungsverstärkungsschaltung, die aus einer Kombination von zwei Ladungspumpenschaltungen besteht und zum Ansteuern des MOSFETs Q4 verwendet wird. Den zwei Kondensatoren C2 und C3 von dieser werden von einer NAND-Gatterschaltung oder einer NOR-Gatterschaltung und einem Invertierer und einer Verzögerungsschaltung D2 nicht-überlappende komplementäre Impulse zugeführt. Die in Latch-Form verbundenen N-Kanal-MOSFETs Q2 und Q3 sind an Knoten an den Verstärkungsseiten der Kondensatoren C2 und C3 bereitgestellt.

[0110] Wenn der eingangsseitige Knoten des Kondensators C2 einen niedrigen Pegel aufweist, wird eine verstärkte Spannung durch den Kondensator C3 erzeugt, um den MOSFET Q2 durchzuschalten und dadurch die Versorgungsspannung Vdd dem Kondensator C2 zuzuführen. Gleichzeitig wird die verstärkte Spannung auch an die Gate-Elektrode des MOSFETs Q4 angelegt, und es wird dadurch eine Vorladeoperation am Kondensator C1 ausgeführt. Nachdem der Eingangsknoten des Kondensators C3 auf einen niedrigen Pegel gelegt wurde, wird der Eingangsknoten des Kondensators C2 auf einen hohen Pegel gelegt, so dass eine verstärkte Spannung auf der Ausgangsseite des Kondensators C2 gebildet wird. Auf diese Weise wird der MOSFET Q3 durchgeschaltet, um zwischen der Gate-Elektrode und der Source-Elektrode des MOSFETs Q2 einen Kurzschluss zu bilden, wodurch der MOSFET Q2 gesperrt wird, um zu verhindern, dass die verstärkte Spannung des Kondensators C2 auf die Seite der Versorgungsspannung Vdd entweicht, und die Vorladeoperation am Kondensator C3 auszuführen.

[0111] Eine Schaltung LC3 ist im Wesentlichen identisch zur Schaltung LC2 konfiguriert. Ein dadurch gesteuerter MOSFET Q5 wird verwendet, um die vom Kondensator C1 gebildete verstärkte Spannung auszugeben, ohne dass es wie bei der Schaltung LC2 erforderlich wäre, die Vorladeoperation am Kondensator C2 auszuführen. Demgemäß werden die Schaltungen LC2 und LC3 durch die nicht überlappenden komplementären Impulse angesteuert. Das heißt, dass, wie durch ein Wellenformdiagramm dar-

gestellt ist, ein Impulssignal pc und ein Signal g auf den Eingangsseiten, welche zur Bildung der verstärkten Spannungen für die MOSFETs Q4 und Q5 verwendet werden, einander nicht in Gegenphase überlappen. Bei dieser Konfiguration kann die von jedem der Kondensatoren C1 bis C3 gebildete verstärkte Spannung maximal auf das Doppelte der Versorgungsspannung Vdd gesteuert werden. Daher kann die Schaltung durch eine Mikrofabrikation aus MOSFETs mit einer geringen Spannungsfestigkeit bestehen.

[0112] Die Schaltungen LC4 und LC5 sind gemäß der vorliegenden Ausführungsform zusätzlich bereitgestellt, um die ursprüngliche verstärkte Spannung zu bilden, weil mit anderen Worten die Verstärkungsschaltung in der Art der Schaltung LC3 allein nur schwer eine ausreichend verstärkte Spannung in einem niedrigen Bereich der Versorgungsspannung Vdd erhalten kann. Die Schaltung LC4 ist ein Pegelwandler zum Wandeln des Pegels eines auf der Grundlage der Versorgungsspannung Vdd gebildeten Impulssignals in eine Spannung, die jeder der von den Schaltungen LC1 bis LC3 gebildeten verstärkten Spannungen entspricht. Das heißt, dass die Schaltung LC5 unter Verwendung der von der Schaltung LC3 gebildeten verstärkten Spannung ohne eine Aktivierung durch eine Versorgungsspannung Vdd wie bei der Schaltung LC3 eine Ladungspumpenoperation ausführt.

[0113] Daher werden die Pegel der Impulssignale an den eingangsseitigen Knoten der Kondensatoren C6 und C7 jeweils auf die von der Verstärkungsschaltung LC3 in der Schaltung LC5 gebildete verstärkte Spannung gelegt. Daher kann eine Gate-Spannung eines MOSFETs Q6 erhöht werden. Das heißt, dass es schwierig ist, eine ausreichend verstärkte Spannung zu erhalten, weil der MOSFET Q5 durch seine Schwellenspannung einen Pegelverlust erzeugt, wie vorstehend beschrieben wurde. Weil jedoch durch die Verwendung der verstärkten Spannung VDH eine höhere Spannung an die Gate-Elektrode des MOSFETs Q6 angelegt wird, kann die vom Kondensator C1 gebildete Spannung wirksam als eine verstärkte Ausgangsspannung VDH ausgegeben werden.

[0114] Die Schaltungen LC3 und LC5 werden gleichzeitig aktiviert. Die Schaltung LC3 bildet jedoch unmittelbar nach dem Einschalten eine verstärkte Spannung VDH, und die Schaltung LC5 wird dominant über die Verstärkungsoperation, wenn die verstärkte Spannung VDH in gewissem Maße zunimmt, und sie ermöglicht es, eine vorgesehene oder angestrebte verstärkte Spannung zu erreichen. Wenngleich dies in der Zeichnung fortgelassen wurde, wird die verstärkte Spannung VDH durch einen geeigneten Pegelwandler verringert oder abgeschwächt. Falls festgestellt wird, dass die verstärkte Spannung eine einer gewünschten Spannung entsprechende Referenzspannung erreicht hat, wird die Zufuhr des Taktsignals CK unterbrochen. Wenn die Versorgungsspannung Vdd beispielsweise auf 3,3 V gelegt ist und die Betriebsspannung VDL der internen Schaltung auf 2,2 V verringert wird, wie vorstehend beschrieben wurde, wird der hohe Pegel auf der entsprechenden Bitleitung auf 2,2 V gelegt. Daher wird die verstärkte Spannung entsprechend auf eine verstärkte Spannung VDH in der Art von 3,8 V gelegt, zu der die effektive Schwellenspannung jedes Adressauswahl-MOSFETs addiert wird.

[0115] Infolge des vorstehend erwähnten intermittierenden Betriebs jeder Ladungspumpenschaltung wird die verstärkte Spannung VDH so gesteuert, dass sie eine dem Auswahlpegel jeder Wortleitung entsprechende hohe Spannung erreicht, wie vorstehend beschrieben wurde. Weiterhin ist ein Kondensator 8 ein Kondensator zum Halten der verstärkten Spannung VDH. Ein MOSFET Q7 ist ein MOSFET zum Aufladen des Kondensators C8 über einen PN-Übergang zwischen dem Substrat und der Source- und der Drain-Elektrode davon beim Einschalten der Leistung. Der MOSFET Q7 wird ausgeschaltet, wenn der vorstehend beschriebene Verstärkungsvorgang eingeleitet wird.

[0116] In Bezug auf Fig. 1 wird nachfolgend eine Ein-/Ausgabe-Schnittstelleneinheit erklärt. Ein Adressanschluss Add ist so aufgebaut, dass niedrige Adresssignale, welche aus AX0 bis AX7 bestehen und zum Auswählen von Wortleitungen in Bänken (Speichermatrizen) verwendet werden, Spaltenadresssignale, die aus AY0 bis AY2 bestehen, welche zur Spaltenauswahl verwendet werden, Bankadresssignale, die aus AR0 bis AR3 bestehen und dem Spezifizieren von Zeilensystem-Bankadressen dienen, und Bankadresssignale, die aus AC0 bis AC3 bestehen und dem Spezifizieren von Spaltensystem-Bankadressen dienen, übertragen werden.

[0117] Ein Befehlsanschluss Com ist so aufgebaut, dass ein Taktsignal CLK zum Eingeben von Maskentakten, ein Steuersignal CR, welches angibt, dass der entsprechende Zyklus eine Zeilensystem-Befehlseingabe ist, ein Steuersignal BA zum Bereitstellen von Befehlen in Bezug darauf, ob die entsprechende Bank aktiviert oder deaktiviert werden sollte, ein Steuersignal CC, welches angibt, dass der entsprechende Zyklus eine Spaltensystem-Befehlseingabe ist, und ein Steuersignal RW zum Bereitstellen von Befehlen in Bezug auf das Lesen oder Schreiben übertragen werden. Weiterhin sind ein Steuersignal MQ zum Unterbrechen des Betriebs einer internen Schaltung eines RAM-Moduls und ein Steuersignal RES zum Initialisieren eines internen Registers als spezielle Steuersignale bereitgestellt. Zusätzlich zu diesen sind auch Steuersignale ME0 bis ME7 zum Maskieren der Ein-/Ausgabe in Byteeinheiten, wie vorstehend beschrieben wurde, und zum Testen von

Steueranschlüssen bereitgestellt.

[0118] Zeilensystembefehle sind die folgenden:

(1) Keine Operation (NOP)

[0119] Dieser Befehl (NOP) wird durch einen niedrigen Pegel (= "0") des Signals CR an der ansteigenden Flanke des Taktsignals CLK festgelegt. Wenngleich der Befehl kein Ausführungsbefehl ist, wird eine interne Operation des Zeilensystems fortgesetzt.

(2) Bank aktiv (BA)

[0120] Dieser Befehl (BA) wird durch einen hohen Pegel (= "1") des Signals CR und einen hohen Pegel (= "1") des Signals BA an der ansteigenden Flanke des Taktsignals CLK festgelegt. Die X-Adresssignale AX0 bis AX7 und die Zeilenbankadressen AR0 bis AR3 werden durch den Befehl festgelegt. Eine durch diese Zeilenbankadressen spezifizierte entsprechende Bank (Speichermatrix) wird aktiv gemacht, und es wird daher eine durch die X-Adresssignale AX0 bis AX7 spezifizierte entsprechende Wortleitung in einen ausgewählten Zustand versetzt, und ein Leseverstärker SA wird aktiviert. Dieser Befehl (BA) entspricht bei einem DRAM für allgemeine Zwecke der ansteigenden Flanke eines RAS (Zeilenadressen-Strobe-Signal) bei einem hohen Pegel von /CAS (Spaltenadressen-Strobe-Signal). Das heißt, dass eine Zeilensystem-Auswahloperation ausgeführt wird und die spezifizierte Bank an jeder mit der ausgewählten Wortleitung verbundenen Speicherzelle eine Auffrischungsoperation ausführt.

(3) Aktive Bank schließen (BC)

[0121] Dieser Befehl (BC) wird durch den hohen Pegel (= "1") des Signals CR und einen niedrigen Pegel (= "0") des Signals BA an der ansteigenden Flanke des Taktsignals CLK festgelegt. Die X-Adresssignale AX0 bis AX7 werden durch diesen Befehl ignoriert, und die durch die Zeilenbankadressen AR0 bis AR3 spezifizierte entsprechende Bank wird vorgeladen. Das heißt, dass jede ausgewählte Wortleitung in einen nicht gewählten Zustand versetzt wird und der Leseverstärker SA deaktiviert wird, wodurch jede komplementäre Bitleitung und eine gemeinsame Versorgungsleitung für den Leseverstärker oder dergleichen auf die Hälfte des Vorladepotentials gelegt werden. Spaltensystembefehle sind die folgenden:

(4) Keine Operation (NOP)

[0122] Dieser Befehl (NOP) wird durch einen niedrigen Pegel (= "0") des Signals CC an der ansteigenden Flanke des Taktsignals CLK festgelegt. Wenngleich der vorliegende Befehl kein Ausführungsbefehl ist, wird eine interne Operation des Spaltensystems fortlaufend ausgeführt.

(5) Lesen (RD)

[0123] Dieser Befehl (RD) wird durch einen hohen Pegel (= "1") des Signals CC und einen hohen Pegel (= "1") des Signals RW an der ansteigenden Flanke des Taktsignals CLK festgelegt. Y-Adresssignale AY0 bis AY3 und Spaltenbankadressen AC0 bis AC3 werden durch den vorliegenden Befehl spezifiziert. Eine durch solche Zeilenbankadressen spezifizierte Bank (Speichermatrix) wird aktiv gemacht, so dass jeder von den Y-Adresssignalen AY0 bis AY3 spezifizierte Spaltenschalter eingeschaltet wird. Demgemäß werden die vorstehend beschriebenen 128 komplementären Paare mit ihren entsprechenden globalen Bitleitungen GBD verbunden, und ein Leseverstärker RA und ein Ausgabepuffer werden aktiviert. Dieser Befehl (RD) entspricht beim DRAM für allgemeine Zwecke einem hohen Pegel des /WE-Signals (Schreibfreigabesignals) bei einem niedrigen Pegel eines /RAS-Signals (Zeilenadressen-Strobe-Signals) und an der abfallenden Flanke eines /CAS-Signals (Spaltenadressen-Strobe-Signals). Falls ein Signal CME auf einem hohen Pegel (= "1") liegt, wird der Ausgabepuffer nach Abschluss des Lesens in einen Hochimpedanzzustand versetzt. Falls das Signal CME auf einem niedrigen Pegel (= "0") liegt, wird der Ausgabepuffer in einen Betriebszustand versetzt und setzt die vorstehend beschriebene Ausgabeoperation daher fort, bis das nächste Lesesignal ausgegeben wird.

(6) Schreiben (WT)

[0124] Dieser Befehl (WT) wird durch den hohen Pegel (= "1") des Signals CR und einen niedrigen Pegel (= "0") des Signals RW an der ansteigenden Flanke des Taktsignals CLK festgelegt. Y-Adresssignale AY0 bis AY3 und Spaltenbankadressen AC0 bis AC3 werden durch den vorliegenden Befehl festgelegt. Eine durch diese Zeilenbank-Adresssignale AY0 bis AY3 festgelegte Bank (Speichermatrix) wird aktiv gemacht, so dass ein durch die Y-Adresssignale AY0 bis AY3 festgelegter Spaltenschalter eingeschaltet wird. Demgemäß werden die vorstehend beschriebenen 128 Paare komplementärer Bitleitungen elektrisch mit ihren entsprechenden globalen Bitleitungen GBD verbunden. Weiterhin wird ein Eingabepuffer aktiviert, um Schreibdaten einzulesen oder zu erfassen, und ein Schreibverstärker aktiviert, um eine Schreiboperation auszuführen. Dieser Befehl (WT) entspricht einem niedrigen Pegel des /WE-Signals (Schreibfreigabesignals) beim niedrigen Pegel des /RAS-Signals (Zeilenadressen-Strobe-Signals) und an der abfallenden Flanke des /CAS-Signals (Spaltenadressen-Strobe-Signals).

[0125] Beim Lese- oder Schreibbefehl kann die Ein-/Ausgabe von Daten unter Verwendung der Signale BE0 bis BE15 maskiert werden. Das heißt, dass

128 Bits entsprechend den Signalen BE0 bis BE15 in 16 Bytes unterteilt werden, um ein Maskieren in Byteeinheiten zu ermöglichen. Wenn ein Signal BEi (wobei i = 0 bis 15 ist) beim Lesen auf einen hohen Pegel (= "1") gelegt wird, werden Niederimpedanzsignale ausgegeben, um die Ausgabe des entsprechenden Bytes i zu ermöglichen. Wenn das Signal BEi (wobei i = 0 bis 15 ist) auf einen niedrigen Pegel (= "0") gelegt wird, wird die Ausgabe mit einer hohen Impedanz versehen, so dass die Ausgabe des entsprechenden Bytes i maskiert wird. Wenn das Signal BEi (wobei i = 0 bis 15 ist) beim Schreiben auf den hohen Pegel (= "1") gelegt wird, werden Daten geschrieben. Wenn das Signal BEi (wobei i = 0 bis 15 ist) auf den niedrigen Pegel (= "0") gelegt wird, werden keine Daten geschrieben, und die vorhergehenden Daten werden in der ausgewählten Speicherzelle gehalten (aufgefrischt).

[0126] Fig. 10 ist ein Zeitablaufdiagramm zum Beschreiben eines Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung. Ein RAS-Down-Modus (Seitenlesen) ist in der Zeichnung beispielhaft dargestellt.

[0127] Der Bankaktivierungsbefehl (BA) wird in einem ersten Zyklus des Takts CLK ausgeführt. Der rasdown-Modus (Ras-Down-Modus) gibt eine Operation an, bei der Aktive-Bank-Schließen (BC) nicht vor der Ausführung ausgeführt wird. In der spezifizierten Bank (Speichermatrix) wird die entsprechende Wortleitung ausgewählt und bleibt der entsprechende Leseverstärker in einem aktivierten Zustand. Daher wird Aktive-Bank-Schließen (BC) für die entsprechende Bank im RAS-Down-Modus automatisch ausgeführt. Der erste und der zweite Zyklus dienen dazu, Aktive-Bank-Schließen (BC) auszuführen. Demgemäß wird der Bankaktivierungsbefehl (BA) von einem dritten Zyklus ausgeführt. Das heißt, dass eine Wortleitungs-Auswahloperation und eine Leseverstärker-Verstärkungsoperation unter Verwendung von drei Zyklen (3 bis 5) des Taktsignals CLK an der entsprechenden von den festgelegten Bankadressen vorgegebenen Speichermatrix ausgeführt werden. Zum Gewährleisten der vorstehend beschriebenen Betriebszeit werden die Zyklen zwei bis fünf des Taktsignals CLK als Nichtoperationsbefehl (NOP-Befehl) definiert.

[0128] In einem sechsten Zyklus des Taktsignals CLK wird ein Lesebefehl (RD) eingegeben, um eine erste Spaltenadresse #1 zu spezifizieren. Daher wird ein der ersten Spaltenadresse #1 entsprechendes Lesesignal #1 mit einer Verzögerung von zwei Takten ausgegeben. In dem synchronen DRAM gemäß der vorliegenden Ausführungsform ist die CAS-Latenzzeit auf 2 gelegt. Das heißt, dass zwischen der Eingabe einer Spaltenadresse und der Ausgabe dieser entsprechender Daten zwei Takte verstreichen.

[0129] Im Seitenmodus wird das Signal CC auf einem hohen Pegel gehalten. Weiterhin werden die folgenden Spaltenadressen AY und AC synchron mit dem Taktsignal CLK eingegeben, und das Schalten zwischen den Spaltenschaltern wird entsprechend den eingegebenen Spaltenadressen AY und AC ausgeführt. Daher können mit dem Taktsignal CLK synchronisierte Daten sequenziell gelesen werden. Die Zeichnung zeigt ein Beispiel, in dem zwei Dateneinheiten sequenziell gelesen werden. Weil die Spaltenschalter jedoch, wie vorstehend beschrieben wurde, als acht Sätzepaare bereitgestellt sind, wenn eine Speichermatrix je Bank verwendet wird, ist ein sequenzielles Lesen maximal über acht Zyklen zulässig. Wenn zwei Speichermatrizen je Bank zugewiesen werden, ist ein sequenzielles Lesen über maximal sechzehn Zyklen zulässig. In einem neunten Zyklus wird die zweite Dateneinheit #2 ausgegeben, und es wird ein Befehl für eine Bankaktivierung (BA) ähnlich dem vorstehenden gleichzeitig damit ausgegeben, woraufhin die folgende Zeilenadresse ausgewählt wird.

[0130] Fig. 11 ist ein Zeitablaufdiagramm zum Beschreiben eines weiteren Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung. Die Zeichnung zeigt ein Beispiel eines schnellen Modus (Seitenlesen).

[0131] Dieser schnelle Modus (Fast-Modus) beruht auf der Voraussetzung, dass Aktive-Bank-Schließen (BC) vor dem gegenwärtigen Modus ausgeführt worden ist. Ein in einem ersten Zyklus eines Takts CLK spezifizierter Bankaktivierungsbefehl (BA) wird von einem ersten Zyklus ausgeführt, so dass eine Wortleitungs-Auswahloperation und eine Leseverstärker-Verstärkungsoperation unter Verwendung von drei Zyklen (1 bis 3) des Taktsignals CLK an der festgelegten Speichermatrix auf der Grundlage der Bankadressen ausgeführt werden. Zum Gewährleisten der vorstehend beschriebenen Betriebszeit werden der zweite und der dritte Zyklus des Taktsignals CLK als Nichtoperationsbefehl (NOP) definiert.

[0132] In einem vierten Zyklus des Taktsignals CLK wird ein Lesebefehl (RD) eingegeben. Bei diesem Befehl wird eine erste Spaltenadresse #1 in der gleichen Weise wie vorstehend beschrieben spezifiziert, und es wird ein der ersten Spaltenadresse #1 entsprechendes Lesesignal #1 mit einer Verzögerung von zwei Takten ausgegeben. Im Seitenmodus wird in der gleichen Weise wie vorstehend beschrieben das Signal CC auf dem hohen Pegel gehalten. Weiterhin werden die folgenden Spaltenadressen AY und AC synchron mit dem Taktsignal CLK eingegeben, und das Schalten zwischen den Spaltenschaltern wird entsprechend den eingegebenen Spaltenadressen AY und AC ausgeführt. Daher können mit dem Taktsignal CLK synchronisierte Daten sequenziell gelesen werden.

[0133] Die gleiche Fig. 11 zeigt ein Beispiel, in dem zwei Dateneinheiten sequenziell gelesen werden. Weil jedoch, wie vorstehend beschrieben wurde, die Spaltenschalter als acht Sätzepaare bereitgestellt sind, ist, wenn eine Speichermatrix je Bank verwendet wird, ein sequenzielles Lesen über maximal acht Zyklen zulässig. Wenn zwei Speichermatrizen je Bank zugewiesen sind, ist ein sequenzielles Lesen über maximal sechzehn Zyklen möglich. Im schnellen Modus wird Aktive-Bank-Schließen (BC) in einem siebten Zyklus eingegeben, wenn die zweite Dateneinheit #2 wie in der gleichen Zeichnung dargestellt ausgegeben wird, und es werden anschließend zwei Zyklen für das Ausführen einer Vorladeoperation aufgewendet. Demgemäß erfolgt die Eingabe eines Bankaktivierungsbefehls für den nächsten Lesevorgang in einem neunten Zyklus.

[0134] Im RAS-Down-Modus werden Aktive-Bank-Schließen-Befehle (BC-Befehle) nicht nacheinander ausgegeben, und Bänke, in denen gelesene Daten existieren, können einfach beliebig spezifiziert werden. Daher wird dadurch eine einfache Verwendung bereitgestellt. Umgekehrt beträgt ein Zeitintervall LA1 zwischen der Eingabe der Bankaktivierung (BA) und der Ausgabe von Daten jedoch 6 Zyklen. Andererseits bringt der schnelle Modus den Vorteil mit sich, dass das Zeitintervall LA2 zwischen der Eingabe jeder Bankaktivierung (BA) und der Ausgabe von Daten beispielsweise auf vier Zyklen verkürzt werden kann, wenngleich er die Unannehmlichkeit mit sich bringt nach Abschluss des erforderlichen Lesens (oder Schreibens) von Daten, nacheinander die Aktive-Bank-Schließen-Befehle (BC-Befehle) an die entsprechenden Bänke auszugeben. Demgemäß kann einer der zu verwendenden Modi entsprechend dem Datentyp oder der Prozedur für die Verarbeitung von Daten am geeignetsten ausgewählt werden.

[0135] Fig. 12 ist ein Zeitablaufdiagramm zum Beschreiben eines weiteren Beispiels der Operation des RAM-Moduls gemäß der vorliegenden Erfindung. Dieselbe Zeichnung zeigt ein Beispiel eines Ras-Down-Modus (Seitenschreibens).

[0136] Das Seitenschreiben ähnelt im Wesentlichen dem in Fig. 10 dargestellten Seitenlesen. Die Operation beim Seitenschreiben wird jedoch einfach so geändert, dass ein im sechsten Zyklus eingegebener Befehl an Stelle des Lesebefehls (RD) als ein Schreibbefehl (WT) festgelegt wird und Schreibdaten D dementsprechend eingegeben werden und durch einen Schreibverstärker in die entsprechende Speicherzelle eingeschrieben werden.

[0137] Fig. 13 ist ein Zeitablaufdiagramm zum Beschreiben eines weiteren Beispiels der Arbeitsweise des RAM-Moduls gemäß der vorliegenden Erfindung. Dieselbe Zeichnung zeigt ein Beispiel eines schnellen Modus (Seitenschreibens).

[0138] Das Seitenschreiben ähnelt im Wesentlichen dem in Fig. 11 dargestellten Seitenlesen. Die Operation beim Seitenschreiben wird jedoch einfach so geändert, dass ein im vierten Zyklus eingegebener Befehl an Stelle des Lesebefehls (RD) als ein Schreibbefehl (WT) festgelegt wird und Schreibdaten D dementsprechend eingegeben werden und durch einen Schreibverstärker in die entsprechende Speicherzelle eingeschrieben werden.

[0139] Die Fig. 12 und Fig. 13 zeigen jeweils Beispiele, in denen zwei Dateneinheiten sequenziell geschrieben werden. Weil die Spaltenschalter jedoch, wie vorstehend beschrieben wurde, als acht Sätze bereitgestellt sind, ist, wenn eine Speichermatrix je Bank verwendet wird, ein sequenzielles Schreiben über maximal acht Zyklen zulässig. Wenn zwei Speichermatrizen je Bank zugewiesen sind, ist ein sequenzielles Schreiben über maximal sechzehn Zyklen möglich. Die Kombination der Signale BEi ermöglicht das Maskieren in Byteeinheiten. Eine Maskenfunktion unter Verwendung dieser Signale BEi ist gleich derjenigen im vorstehend erwähnten Lesemodus.

[0140] In dem Banksteuersystem werden die jeweiligen Bänke getrennt voneinander aktiviert, und das Aktivieren/Deaktivieren und Lesen/Schreiben wird für jede Bank ausgeführt. Zum fortlaufenden Ausgeben der Bankaktivierungsbefehle (BA) an dieselbe Bank sind selbst im optimalen Fall zwei Taktintervalle erforderlich, um den Ras-Down-Modus auszuführen. Das heißt, dass der vorhergehende BA-Befehl durch eine Ras-Down-Funktion, die auf dem folgenden BA-Befehl beruht, ungültig gemacht wird. Infolge von Beschränkungen in Bezug auf Buskonflikte müssen Lese-/Schreibbefehle gleichzeitig an mehrere Bänke ausgegeben werden. Unter diesen Bedingungen werden mehrere Bänke aufeinander folgend festgelegt, und die Ein-/Ausgabe fortlaufender Daten durch den Pipelinebetrieb ist zulässig. Das Steuersystem eines Typs, bei dem die Steuerung für die jeweiligen Bänke auf der Grundlage der Bankaktivierungsbefehle (BA) und des Aktive-Bank-Schließen-Befehls (BC) ausgeführt wird, wird in einer Hinsicht als kompliziert angesehen, es weist jedoch die größte Wirksamkeit in Bezug auf die Ein-/Ausgabe von Daten mit einer beliebigen erforderlichen Zeitsteuerung auf. Das heißt, dass, solange der Bankaktivierungsbefehl (BA) ausgegeben wird, die entsprechende Bank diesen Zustand beibehält. Falls weiterhin der Lesebefehl (RD) oder der Schreibbefehl (WT), wie vorstehend erwähnt wurde, mit der erforderlichen Zeitsteuerung ausgegeben wird, kann die Ein-/Ausgabe von Daten sofort ausgeführt werden. Dies ist daher nützlich für den Pipelinebetrieb, bei dem mehrere Bänke verwendet werden. Gemäß der vorliegenden Ausführungsform sind entsprechend der Datenverarbeitungszeit oder der Vorladezeit oder dergleichen mehrere Zyklen erforderlich. Sie sind jedoch erforderlich,

um einen schnellen Betrieb bereitzustellen. Die Anzahl der Zyklen ist bei einem langsamen Betrieb nicht darauf beschränkt.

[0141] Wenngleich die dynamische Speicherzelle gemäß der vorliegenden Ausführungsform verwendet wird, hat sie keinen für das Auffrischen vorgesehenen Befehl, und sie hat nicht einmal eine Auffrischungssteuerschaltung. Dies liegt daran, dass der Fall betrachtet wurde, in dem die Anzahl der Speichermatrizen in dem RAM-Modul selbst entsprechend der Speicherkapazität festgelegt wird und mehrere RAM-Module selbst bereitgestellt sind. Das heißt, dass dann, wenn Auffrischungssteuerschaltungen für mehrere RAM-Module bereitgestellt werden, diese bei einer integrierten Halbleiterschaltungsvorrichtung bereitgestellt werden, so dass sie einander beim Anbringen der RAM-Module überlappen, woraus sich das Risiko der Erzeugung von Abfall ergibt.

[0142] Gemäß der vorliegenden Ausführungsform ist die Auffrischungssteuerschaltung so konfiguriert, dass sie außerhalb des RAM-Moduls bereitgestellt ist. Wegen dieser Konfiguration kann die Auffrischungssteuerschaltung selbst beim Anbringen mehrerer RAM-Module gemeinsam verwendet werden. Weil die Zeilensystem-Auswahloperation und die Spaltensystem-Auswahloperation, wie vorstehend beschrieben, in dem RAM-Modul unabhängig ausgeführt werden, kann die Auffrischungssteuerschaltung eine Auffrischungsoperation ausführen, um eine Auffrischungsadresse, einen Bankaktivierungsbefehl (BA) und einen Aktive-Bank-Schließen-Befehl (BC) auszugeben.

[0143] Falls die mit dem RAM-Modul gemäß der vorliegenden Ausführungsform versehene integrierte Halbleiterschaltungsvorrichtung in einen Zustand gebracht wird, in dem ihr eine Versorgungsspannung zugeführt wird, und sie in einen Standby-Zustand versetzt wird, in dem kein Betrieb stattfindet, weist sie einen vollständigen Standby- oder einen Super-Standby-Modus auf, in dem alle Schaltungsoperationen einschließlich der Auffrischungsoperation unterbrochen sind und kein Strom fließt. Das Steuersignal MQ wird zum Festlegen eines solchen Modus verwendet. Wenn das Signal MQ aktiviert wird, wird das RAM-Modul so festgelegt, dass selbst durch die Ladungspumpenschaltung, die Teil der Leistungsschaltung VC ist, und den Teiler zum Bilden der halben Vorladespannung oder der Plattenspannung kein Gleichstrom fließt. Falls demgemäß festzuhaltende gespeicherte Daten existieren, wird ein statischer RAM angebracht, und die im dynamischen RAM gespeicherten Daten können anschließend, unmittelbar vor dem vollständigen Standby- oder dem Super-Standby-Modus, im statischen RAM gespeichert werden.

[0144] Im RAM-Modul gemäß der vorliegenden Ausführungsform werden die Spaltensystem- und die Zeilensystem-Auswahloperationen für jede Bank getrennt ausgeführt, wie vorstehend beschrieben wurde. Das heißt, dass die entsprechende Speicherbank im aktiven Zustand gehalten wird, es sei denn, dass Aktive-Bank-Schließen (BC) ausgegeben wird, wie vorstehend beschrieben wurde. Daher ist zusätzlich eine Rücksetzfunktion bereitgestellt, weil das Prüfen, ob sich jede Speicherbank im aktiven Zustand befindet, und das Festlegen der Bänke einzeln nacheinander zum Ausgeben von Aktive-Bank-Schließen (BC) mühsam werden. Das heißt, dass zusätzlich eine Funktion bereitgestellt ist, bei der, wenn das Steuersignal RES aktiv gemacht wird, ein in einem Betriebszustand gehaltenes Register zurückgesetzt wird und mit anderen Worten die Auswahloperationen in jeder individuellen Speichermatrix zurückgesetzt werden, so dass sie automatisch in eine Vorladeoperation übergehen und anschließend in den Schließzustand versetzt werden.

[0145] Fig. 14 ist ein Blockdiagramm, in dem eine Ausführungsform einer mit dem RAM-Modul gemäß der vorliegenden Erfindung versehenen integrierten Halbleiterschaltungsvorrichtung dargestellt ist. Jeweilige Schaltungsblöcke, die in derselben Zeichnung dargestellt sind, sind durch bekannte Techniken zur Herstellung integrierter Halbleiterschaltungen auf einem einzelnen Halbleitersubstrat, beispielsweise aus monokristallinem Silicium, gebildet.

[0146] Die integrierte Halbleiterschaltungsvorrichtung gemäß der vorliegenden Ausführungsform ist für eine Datenverarbeitung in der Art einer 3D-Graphikverarbeitung vorgesehen und kann als ein in einer Heim-Spielmaschine verwendeter Graphikverarbeitungs-LSI eingesetzt werden. Die vorliegende Ausführungsform umfasst SDRAMs (synchrone dynamische RAMs), die insgesamt 8 MBits umfassen, welche aus 4 MBits, die für ein vorgeschriebenes und ein Quellenbild verwendet werden, und 2 × 2 MBits, die zur Anzeige und zur Bilddarstellung verwendet werden, bestehen, einen Bilddarstellungsprozessor, der aus 50 Tausend Gattern besteht, eine DMA-Steuereinrichtung, eine Bussteuereinrichtung und eine Anzeigeschaltung.

[0147] Der SDRAM weist eine Kombination solcher RAM-Module auf, wie in den vorstehend erwähnten Ausführungsformen erläutert wurde. Beispielsweise sind acht Speichermatrizen, die jeweils aus etwa 256 kBits bestehen, in Kombination bereitgestellt, wie vorstehend beschrieben wurde, um Anzeige- und Bilddarstellungs-SDRAMs 2 und 3 einzurichten, die jeweils 2 MBits aufweisen. Die vorstehend erwähnten sechzehn 256-kBit-Speichermatrizen werden montiert, um einen SDRAM 1 zu konfigurieren, der aus etwa 4 MBits besteht und für das vorgeschriebene und das Quellenbild verwendet wird.

[0148] Die beiden SDRAMs 1 und 2 werden für die Bilddarstellung und die Anzeige zeitlich abwechselnd umgeschaltet. Wenn Bilddaten, beispielsweise im Fall eines geraden Rahmens = 0, aus einem SDRAM 1 von den beiden SDRAMs ausgelesen werden und mit der Rasterabtastzeit einer Anzeigeeinheit in der Art einer CRT oder dergleichen synchronisierte Anzeigedaten durch die Bussteuereinrichtungen und die Anzeigeschaltung über einen externen Anzeigeprozessor ausgegeben werden, wird der andere SDRAM 2 für die Bilddarstellung und das Schreiben darin zu aktualisierender Bilddaten verwendet. Wenn die im anderen SDRAM 2 von den beiden SDRAMs gespeicherten Bilddaten dagegen in dem Fall eines ungeraden Rahmens = 1 gelesen werden und mit der Rasterabtastzeit der Anzeigeeinheit in der Art der CRT oder dergleichen synchronisierte Anzeigedaten über den Anzeigeprozessor durch die Bussteuereinrichtungen und die Anzeigeschaltung ausgegeben werden, wird der vorstehend erwähnte SDRAM 1 für die Bilddarstellung und das Schreiben darin zu aktualisierender Bilddaten verwendet.

[0149] Infolge des abwechselnden Schaltens zwischen der Anzeigeoperation und der Bilddarstellungsoperation, wie vorstehend beschrieben wurde, kann ein kurzes Zeitintervall, das dem angezeigten Bildrahmen entspricht, wirksam für das Darstellen und Anzeigen von 3D-Graphikbildern verwendet werden. Weil es erforderlich ist, große Datenmengen sequenziell zu lesen, wenn der SDRAM für die vorstehend beschriebene Anzeige verwendet wird, wird die Anzahl der Speichermatrizen je Bank auf 2 gelegt und die Anzahl der durch einen Speicherzugriff sequenziell gelesenen Daten auf einen hohen Wert gelegt. Wenn andererseits der SDRAM für das Darstellen von Bildern verwendet wird, wird die Anzahl der Bänke auf einen hohen Wert gelegt, um einen Abschnitt zu erneuern oder zu reprogrammieren, der während der Anzeigeoperationsperiode mit hoher Geschwindigkeit zu ändern ist, und es wird dadurch eine schnelle Schreiboperation auf der Grundlage einer Pipelineverarbeitung ermöglicht. Weil das Schalten zwischen den Bankkonfigurationen, wie vorstehend beschrieben wurde, durch das Steuersignal RFTN im RAM-Modul gemäß der vorliegenden Ausführungsform ausgeführt werden kann, kann eine wirksame Speicheroperation, die einem Betriebsmodus davon entspricht, ausgeführt werden.

[0150] Dies ist ähnlich dem SDRAM 1, der für das vorgeschriebene und das Quellenbild verwendet wird. Zum Erfassen von einer CD mit Schaltprogrammen oder dergleichen, die darin gespeichert sind, gelesener Programmbefehle und Quellenbilder wird beispielsweise die Anzahl der Speichermatrizen je Bank erhöht, um darin große Datenmengen mit hoher Geschwindigkeit zu schreiben. Bei der Bilddarstellungsoperation wird die Anzahl der Bänke erhöht und werden nur die erforderlichen Daten durch die Pipelineoperation mit hoher Geschwindigkeit ausgetauscht, wodurch 3D-Graphikdaten schnell erzeugt werden können.

[0151] Die für die jeweiligen Speichermatrizen des RAM-Moduls bereitgestellten Bankadressengeneratoren werden jeweils in Selbstidentifikationsschaltungen IDG der Bussteuereinrichtungen zum Steuern des Zugriffs auf die SDRAMs 1 bis 3 verwendet. Das heißt, dass Addierschaltungen der Selbstidentifikationsschaltungen IDG ähnlich der Zuweisung der Bankadressen zu den vorstehend beschriebenen Speichermatrizen in Reihe elektrisch miteinander verbunden sind und ihre entsprechenden Selbstidentifikationsadressen ihnen zugewiesen sind. Die entsprechende Bussteuereinrichtung wird entsprechend dem Vergleich und bei einer Koinzidenz mit Identifikationsinformationen von dem Bilddarstellungsprozessor ausgewählt. Das heißt, dass der selektive Speicherzugriff auf die SDRAMs durch die Bussteuereinrichtungen gesteuert werden kann. Bei einem Einchip-Mikrocomputersystem oder dergleichen, das auf diese Weise in der integrierten Halbleiterschaltungsvorrichtung gebildet ist, kann die Zuweisung von Adressen zu peripheren Schaltungen in Selbstidentifikationsschaltungen IDG verwendet werden, die jeweils eine Addierschaltung oder eine Subtraktionsschaltung ähnlich der vorstehend erwähnten verwenden.

[0152] Die Operationen und Wirkungen, die von den vorstehend erwähnten Ausführungsformen erhalten werden, sind die folgenden:

(1) Es kann der Vorteil erhalten werden, dass ein RAM, der so angebracht ist, dass er mit Logikschaltungen gemischt ist, so konfiguriert ist, dass eine Steuerschaltung für mehrere Speichermatrizen gemeinsam bereitgestellt ist, die jeweils ein Speicherarray, in dem mehrere Speicherzellen jeweils an Punkten angeordnet sind, an denen sich mehrere Wortleitungen und Bitleitungen schneiden, und eine Adressauswahlschaltung zum Auswählen von Operationen an den Wortleitungen und den Bitleitungen aufweisen, wobei eine Konfiguration verwendet wird, bei der die Anzahl der Speichermatrizen entsprechend der erforderlichen Speicherkapazität festgelegt wird, Arithmetikschaltungen für das Ausführen von +1- oder –1-Arithmetikoperationen jeweils in den Speichermatrizen bereitgestellt sind und kaskadenförmig verbunden sind und eine Arithmetikschaltung der ersten Stufe aufweisen, die einen Eingangsanschluss aufweist, dem Adressfestlege-Adresssignale fest oder programmierbar zugeführt werden, wobei den Arithmetikschaltungen zugeführte Eingangssignale oder von diesen ausgegebene Signale als zugewiesene Adresssignale definiert sind, wobei jeder der Komparatoren die Koinzidenz zwischen den Adresssignalen und bei einem Speicherzugriff eingegebenen Adresssignalen

vergleicht, so dass jede Speichermatrix eine Adressauswahloperation entsprechend dem Koinzidenzsignal aktiviert, wodurch standardisierte Speichermatrizen verwendet werden können und die Entwurfsverwaltung des RAM-Moduls vereinfacht werden kann.

(2) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass den Zwecken entsprechende flexible Behandlungen ausgeführt werden können, indem die Anzahl der Speichermatrizen entsprechend der für das RAM-Modul verwendeten erforderlichen Speicherkapazität beliebig festgelegt wird.

(3) Es kann ein weiterer Vorteil erzielt werden, der darin besteht, dass eine hohe Integration und eine Massenspeicherkapazität erreicht werden können, indem als das Speicherarray eine DRAM-Schaltung verwendet wird, die in Matrixform angeordnete dynamische Speicherzellen, Leseverstärker, die jeweils in einer Speicherzelle gespeicherte Informationen lesen und verstärken, welche in eine mit den Speicherzellen verbundene Bitleitung einzulesen sind, eine Vorladeschaltung, welche das Potential auf der Bitleitung vorlädt, und einen Spaltenschalter, der die entsprechende Bitleitung mit einer globalen Bitleitung verbindet, die für die mehreren Speichermatrizen gemeinsam bereitgestellt ist, aufweist.

(4) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass jede der vorstehend erwähnten Speichermatrizen mit einer ersten und einer zweiten Bestimmungsschaltung versehen wird, um jeweils Vergleiche für eine Koinzidenz zwischen Bankadresseninformationen, die aus jeder Speichermatrix zugewiesenen binären Informationen bestehen, und eingegebenen Bankadresseninformationen vorzunehmen, wobei X-System-Adresssignale, die für eine Auswahloperation jeder Wortleitung oder eines Decodierergebnisses davon verwendet werden, auf der Grundlage des ersten Bestimmungsergebnisses geprüft werden, und Y-System-Adresssignale, die für eine Auswahloperation jeder Bitleitung oder eines Decodierergebnisses davon verwendet werden, auf der Grundlage des zweiten Bestimmungsergebnisses geprüft werden, wobei Adressinformationsbits, die der Anzahl der in Bezug auf die erste Bestimmungsschaltung gleichzeitig aktivierten Speicher ist matrizen entsprechen, zwangsweise in einen Koinzidenzzustand versetzt werden, wodurch das Schalten zwischen Bankkonfigurationen ermöglicht wird.

(5) Es kann ein weiterer Vorteil erzielt werden, der darin besteht, dass eine X-System-Adressauswahlschaltung zum Auswählen jeder vorstehend erwähnten Wortleitung eine Vordecodierschaltung, die X-System-Adresssignale in mehrere Sätze unterteilt und die mehreren unterteilten Sätze vordecodiert, und einen UND-konfigurierten Zeilendecoder, der in Reihe geschaltete MOSFETs zum Empfangen der Vordecodiersignale aufweist, umfaßt, wobei ein Worttreiber die entsprechende Wortleitung ansprechend auf ein vom Zeilendecoder gebildetes Wortleitungs-Auswahlsignal auswählt und die Operation der Vordecodierschaltung oder des Zeilendecoders auf der Grundlage des von der Bestimmungsschaltung gebildeten Bestimmungsergebnisses gesteuert wird, so dass die entsprechende Wortleitungs-Auswahloperation durch eine ausgewählte Speichermatrix allein ausgeführt wird, wodurch die Zeilensystem-Auswahloperation jeder Speichermatrix entsprechend dem ersten Bestimmungsergebnis gesteuert werden kann.

(6) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass weiter eine Überlauf-Prüfschaltung bereitgestellt wird, die die Beträge eines der Arithmetikschaltung zugeführten Eingangssignals entsprechend der Speichermatrix der letzten Stufe von den mehreren kaskadenförmig verbundenen Speichermatrizen oder eines davon erzeugten Ausgangssignals und jedes beim Speicherzugriff eingegebenen Adresssignals vergleicht, wobei die Operation eines Leseverstärkers zum Verstärken eines von der entsprechenden Speichermatrix ausgegebenen Lesesignals entsprechend einem von der Überlauf-Prüfschaltung erfassten Überlauferfassungssignal zwangsweise unterbrochen wird und das Überlauferfassungssignal vom RAM-Modul ausgegeben wird, wodurch der Stromverbrauch in dem Leseverstärker verringert werden kann und das Auftreten von Fehlern verhindert werden kann.

(7) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass die Steuerschaltung mit einem Detektor versehen wird, der die Anzahl der angebrachten Speichermatrizen ansprechend auf ein von der Speichermatrix der letzten Stufe von den mehreren kaskadenförmig verbundenen Speichermatrizen ausgegebenes Signal erfasst, wobei die Steuerschaltung die Last an jedem Treiber, der ein Steuersignal oder ein Zeitsignal, die den Speichermatrizen gemeinsam zugeführt werden, bildet, einstellt oder steuert, so dass sie unabhängig von der Anzahl der Speichermatrizen im Wesentlichen konstant wird, wodurch die Zeitgrenzen vergrößert werden können.

(8) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass jede vorstehend erwähnte Speichermatrix Blindlastschaltungen aufweist, die in einem Weg zum Übertragen des Steuersignals oder des Zeitsignals bereitgestellt sind, wobei die Steuerschaltung die Anzahl der an den jeweiligen Speichermatrizen montierten Blindlastschaltungen festlegt, die mit den jeweiligen Speichermatrizen verbunden sind, um dadurch die Gesamtlast an dem Treiber zu steuern, so dass sie, unabhängig von der Anzahl der Speichermatrizen, im Wesentlichen konstant wird, wodurch die Zeitgrenzen

mit einer einfachen Konfiguration vergrößert werden können, weil die Blindlastschaltungen in den jeweiligen Matrizen verteilt angeordnet sind.

(9) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass die Steuerschaltung und mehrere Speichermatrizen zur Bildung eines RAM-Moduls Seite an Seite auf einer geraden Linie angeordnet werden, wobei die Arithmetikschaltung in der Speichermatrix, die an einer Position bereitgestellt ist, die von der Steuerschaltung am weitesten entfernt ist, so verbunden ist, dass sie eine Anfangsstufenschaltung ist, während die Arithmetikschaltung in der Speichermatrix, die neben der Steuerschaltung angeordnet ist, so verbunden ist, dass sie eine Endstufenschaltung ist, und die Überlauf-Prüfschaltung in der Steuerschaltung oder auf der Seite der Steuerschaltung bereitgestellt ist und ein Leseverstärker zum Verstärken eines Lesesignals von jeder der vorstehend erwähnten Speichermatrizen und eine Schaltung zum Übertragen eines Überlauferfassungssignals zu einer externen Schaltung in der Steuerschaltung angeordnet sind, wodurch die Anordnung von Schaltungen entlang des Flusses von Signalen ermöglicht wird und ein vernünftiges Schaltungslayout erreicht wird.

(10) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass eine Steuerschaltung und mehrere Speichermatrizen zur Bildung eines RAM-Moduls Seite an Seite auf einer geraden Linie angeordnet werden, wobei die Arithmetikschaltung in der Speichermatrix, die an einer Position bereitgestellt ist, die von der Steuerschaltung am weitesten entfernt ist, als eine Anfangsstufenschaltung platziert ist, während die Arithmetikschaltung in der Speichermatrix, die neben der Steuerschaltung angeordnet ist, als eine Endstufenschaltung platziert ist, wobei dem in der Steuerschaltung bereitgestellten Anzahl-von-Speichermatrizen-Detektor ein von der Arithmetikschaltung der letzten Stufe ausgegebenes Signal zugeführt wird, wodurch die Anordnung von Schaltungen entlang dem Fluss von Signalen ermöglicht wird und ein vernünftiges Schaltungslayout erreicht werden kann.

(11) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass der Steuerschaltung getrennt Zeilensystem- und Spaltensystem-Adresssignale zugeführt werden und es jeder Speichermatrix ermöglicht wird, Zeilensystem- und Spaltensystem-Auswahloperationen entsprechend den getrennt eingegebenen Zeilensystem- und Spaltensystem-Adresssignalen auszuführen, wodurch eine flexible Speicherauswahloperation entsprechend dem Schalten zwischen Bankkonfigurationen ermöglicht wird.

(12) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass die Zeilensystem- und die Spaltensystem-Adresssignale mit einem von außerhalb des RAM-Moduls zugeführten Taktsignal synchronisiert sind und zusammen mit Steuersignalen eingegeben werden, welche Anweisungen für die Operationen der Zeilensystem- und Spaltensystemschaltungen bereitstellen, wobei die Adresssignale Adresssignale einschließen, welche eine der mehreren Speichermatrizen spezifizieren, die von der entsprechenden Wortleitung auszuwählen ist, und die Anweisungen für den Betrieb der Zeilensystemschaltung zwei Typen eines Anfangs der Zeilensystem-Auswahloperation und eines Operationsendes zum Bereitstellen von Anweisungen für eine Vorladeoperation nach Abschluss der Zeilensystem-Auswahloperation einschließen, wodurch die Auswahloperationen mit einem beliebigen Zeitablauf wie im Fall einer Pipelineoperation unter Verwendung mehrerer Speicherbänke implementiert werden können.

(13) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass, wenn der unmittelbar vorhergehende Zustand der Zeilensystemschaltung für die Zeilensystem-Auswahloperation verwendet wird, die Zeilensystemschaltung die vorhergehende Operation abschließt und eine Vorladeoperation ausführt und anschließend automatisch eine Zeilensystem-Auswahloperation entsprechend den eingegebenen Adresssignalen ausführt, während, wenn der unmittelbar vorhergehende Zustand davon als der Operationsendzustand gegeben ist, die Zeilensystemschaltung eine Zeilensystem-Auswahloperation entsprechend den eingegebenen Adresssignalen ausführt, wodurch ein einfach verwendbarer Speicherzugriff möglich ist.

(14) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass das RAM-Modul mit einem Rücksetzeingangsanschluss versehen ist und zusätzlich mit der Funktion versehen ist, die Zeilensystem- und die Spaltensystem-Auswahloperationen zwangsweise zu beenden, wenn ein vorgegebenes Rücksetzsignal an den Rücksetzeingangsanschluss angelegt wird, wodurch die Auswahlschaltung in jeder Speichermatrix in einen Vorladezustand versetzt wird, wodurch die Einfachheit des Betriebs im Banksteuersystem verbessert werden kann.

(15) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass das RAM-Modul so aufgebaut ist, dass in einem Zustand, in dem die integrierte Halbleiterschaltungsvorrichtung mit einer Versorgungsspannung versorgt wird, der Betrieb jeder Schaltung mit der Funktion versehen wird, sie in einen vollständigen Standby-Zustand zu versetzen, in dem ein Nicht-Stromflusszustand über eine lange Zeit aufrechterhalten wird, die zumindest die Informationshaltezeit jeder Speicherzelle übersteigt, wodurch eine vernünftige Speichersteuerung, die mit dem Betrieb der integrierten Halbleiterschaltungsvorrichtung konsistent ist, zulässig ist, so dass ein geringerer Leistungsverbrauch implementiert werden kann.

(16) Es kann ein weiterer Vorteil erhalten werden, der darin besteht, dass eine integrierte Halbleiterschaltungsvorrichtung mit mehreren Schaltungsblöcken versehen ist, die jeweils eine spezifische Schaltungsfunktion aufweisen, wobei die jeweiligen Schaltungsblöcke jeweils mit Arithmetikschaltungen, welche eine +1-Additionsoperation oder eine –1-Subtraktionsoperation an aus mehreren Bits bestehenden Adressvorgabe-Eingangssignalen ausführen, und Komparatoren, welche jeweils den Arithmetikschaltungen zugeführte Eingangssignale oder davon erzeugte Ausgangssignale als selbst zugewiesene Adresssignale definieren und jeweils Vergleiche für eine Koinzidenz zwischen den den Arithmetikschaltungen zugeführten Eingangssignalen oder den davon ausgegebenen Signalen und externen Adresssignalen bestimmen, versehen sind, wobei die Arithmetikschaltungen in den mehreren Schaltungsblöcken kaskadenförmig verbunden sind, einem Eingangsanschluss der Arithmetikschaltung in dem Anfangsstufenschaltungsblock feste Adresssignale zugeführt werden und der entsprechende Schaltungsblock in den jeweiligen Schaltungsblöcken entsprechend dem Koinzidenzsignal aktiviert wird, wodurch das Zuweisen von Adressen zu den in der integrierten Halbleiterschaltungsvorrichtung bereitgestellten Schaltungsblöcken einfach erreicht werden kann.

[0153] Die vorstehend beschriebene Erfindung wurde spezifisch anhand der erläuterten Ausführungsformen beschrieben. Die Erfindung der vorliegenden Anmeldung ist jedoch nicht notwendigerweise auf die vorstehenden Ausführungsformen beschränkt. Es erübrigt sich zu bemerken, dass daran innerhalb des Schutzumfangs verschiedene Änderungen vorgenommen werden können, ohne vom Grundgedanken der Erfindung abzuweichen. Die Speicherkapazität eines in einer Speichermatrix bereitgestellten Speicherarrays kann beispielsweise verschiedene Formen annehmen. Das Speicherarray kann ein gemeinsam verwendetes Leseverstärkersystem aufweisen, wobei Leseverstärker, eine Vorladeschaltung und ein Spaltenschalter in der Mitte angeordnet sind und Speicherzellen auf beiden Seiten bereitgestellt sind. Ein von der vorstehend beschriebenen Substratspannung VBB verschiedenes Massepotential der Schaltung kann in einem Halbleiterbereich verwendet werden, in dem dynamische Speicherzellen gebildet sind.

[0154] In diesem Fall kann ein so genanntes BSG-System (System mit einer verstärkten Messmasse), wobei ein Niederpegelpotential auf jeder Bitleitung höher gelegt ist als das Massepotential der Schaltung, verwendet werden, um in Adressauswahl-MOSFETs von dynamischen Speicherzellen entwickelte Leckströme zu verringern und um mit anderen Worten die Informationshalteeigenschaften jeder Speicherzelle aufrechtzuerhalten. Stattdessen kann ein System verwendet werden, bei dem eine Verstärkungsschaltung fortgelassen wird, indem das Potential auf jeder Bitleitung als eine gegenüber einer Versorgungsspannung um die Schwellenspannung jedes Adressauswahl-MOSFETs verringerte Spannung verwendet wird und die Versorgungsspannung als ein Auswahlpegel für jede Wortleitung verwendet wird. Alternativ kann eine Kombination der beiden vorstehend erwähnten verwendet werden. Hierbei wird die Kompatibilität eines Vorrichtungsprozesses zwischen einem RAM-Modul und jeder extern bereitgestellten CMOS-Logikschaltung verbessert und ihre Vereinfachung ermöglicht.

[0155] Jede an einem RAM-Modul angebrachte Speichermatrix kann eine Konfiguration annehmen, bei der von den vorstehend beschriebenen dynamischen Speicherzellen verschiedene statische Speicherzellen verwendet werden. Alternativ kann eine Konfiguration verwendet werden, bei der Zellen in der Art nichtflüchtiger Speicher usw. eingesetzt werden. Diese Erfindung kann weit verbreitet in einer mit einem RAM-Modul versehenen integrierten Halbleiterschaltungsvorrichtung verwendet werden.

[0156] Wirkungen, die durch eine typische der in der vorliegenden Anmeldung offenbarten Erfindungen erhalten werden, werden nachstehend kurz beschrieben. Ein RAM, der so angebracht ist, dass er mit Logikschaltungen gemischt ist, ist so konfiguriert, dass eine Steuerschaltung für mehrere Speichermatrizen gemeinsam bereitgestellt ist, die jeweils ein Speicherarray, in dem mehrere Speicherzellen jeweils an Punkten angeordnet sind, an denen sich mehrere Wortleitungen und Bitleitungen schneiden, und eine Adressauswahlschaltung zum Auswählen von Operationen an den Wortleitungen und den Bitleitungen aufweisen, wobei eine Konfiguration verwendet wird, bei der die Anzahl der Speichermatrizen entsprechend der erforderlichen Speicherkapazität festgelegt wird, Arithmetikschaltungen für das Ausführen von +1- oder –1-Arithmetikoperationen jeweils in den Speichermatrizen bereitgestellt sind und kaskadenförmig verbunden sind und eine Arithmetikschaltung der ersten Stufe aufweisen, die einen Eingangsanschluss aufweist, dem Adressfestlege-Adresssignale fest oder programmierbar zugeführt werden, wobei den Arithmetikschaltungen zugeführte Eingangssignale oder von diesen ausgegebene Signale als zugewiesene Adresssignale definiert sind, wobei jeder der Komparatoren die Koinzidenz zwischen den Adresssignalen und bei einem Speicherzugriff eingegebenen Adresssignalen vergleicht, so dass jede Speichermatrix eine Adressauswahloperation entsprechend dem Koinzidenzsignal aktiviert, wodurch standardisierte Speichermatrizen verwendet werden können und die Entwurfsverwaltung des RAM-Moduls vereinfacht werden kann.

Patentansprüche

1. Integrierte Halbleiterschaltungsvorrichtung mit mehreren kaskadenförmig verbundenen ersten Schaltungen, gekennzeichnet durch
mehrere Komparatoren, die jeweils Koinzidenz zwischen einem Referenzadreßsignal und sowohl einem Eingangssignal, das einer entsprechenden ersten Schaltung zugeführt wurde, als auch einem davon erzeugten Ausgangssignal bestimmen,
wobei jede erste Schaltung einen vorbestimmten Wert zu ihrem Eingangssignal hinzufügt oder von diesem abzieht, um das Ausgangssignal zu bilden.

2. Vorrichtung nach Anspruch 1, ferner mit mehreren zweiten Schaltungen, die jeweils in den ersten Schaltungen vorgesehen sind,
wobei eine der zweiten Schaltungen aktiviert wird, wenn ein zugehöriger Komparator Koinzidenz anzeigt.

3. Vorrichtung nach Anspruch 2, ferner mit einem RAM-Modul, das mehrere Speichermatrizen aufweist, und einer Steuerschaltung, die gemeinsam für die mehreren Speichermatrizen vorgesehen ist, wobei
das Eingangssignal in einem Adreßvorgabe-Eingangssignal besteht, das mehrere Bits umfaßt,
die ersten Schaltungen in Arithmetikschaltungen bestehen, die eine "+1 "- oder eine "–1"-Operation an dem Adreßvorgabe-Eingangssignal vornehmen,
die zweiten Schaltungen in Adreßauswahloperationsschaltungen bestehen,
jede Speichermatrix einen der mehreren Komparatoren, eine der mehreren Arithmetikschaltungen und ein Speicherarray enthält, und
das Speicherarray mehrere Wortleitungen (WL0 bis WLn), mehrere Bitleitungen (BL0 bis WLn) und mehrere Speicherzellen aufweist.

4. Vorrichtung nach Anspruch 3, wobei die Anzahl der Speichermatrizen gemäß der Speicherkapazität des RAM-Moduls gesetzt ist.

5. Vorrichtung nach Anspruch 3 oder 4, wobei
die Speicherzellen dynamische Speicherzellen aufweisen, und
jedes Speicherarray wenigstens einen Leseverstärker (SA) aufweist, der in den Speicherzellen gespeicherte Information zum Auslesen in jede Bitleitung (BL0 bis BLn) liest und verstärkt und die in der Speicherzelle gespeicherte elektrische Ladung wieder in den Ursprungszustand zurückversetzt, eine Vorspannungsschaltung (PC), die das Potential in der Bitleitung (BL0 bis BLn) vorspannt, und einen Spaltenschalter, der die Bitleitungen zu einer globalen Bitleitung verbindet, die gemeinsam für die mehreren Speichermatrizen vorgesehen ist, aufweist.

6. Vorrichtung nach Anspruch 5, wobei
jede Speichermatrix eine erste und eine zweite Bestimmungsschaltung aufweist, um jeweils Koinzidenzen zwischen den der jeweiligen Speichermatrix zugeordneten Binärinformationen und Feldadreßinformationen, die gemeinsam für die mehreren Speichermatrizen eingegeben sind, zu bestimmen, X-System-Adreßsignale, die für eine Auswahloperation jeder Wortleitung (WL0 bis WLn) verwendet werden, oder ein Ergebnis einer Dekodierung davon auf Grundlage des Ergebnisses der Bestimmung durch die erste Bestimmungsschaltung validiert, und Y-System-Adreßsignale, die für eine Auswahloperation jeder Bitleitung (BL0 bis BLn) verwendet werden, oder ein Ergebnis einer Dekodierung davon auf Grundlage des Ergebnisses der Bestimmung durch die zweite Bestimmungsschaltung validiert und
die Steuerschaltung ein Feldvorgabesignal liefert, um der ersten Bestimmungsschaltung zu ermöglichen, eine Koinzidenzentscheidung gemäß der Anzahl von zu aktivierenden Speichermatrizen zu erzwingen.

7. Vorrichtung nach Anspruch 6, wobei eine X-System-Adreßauswahlschaltung zum Auswählen jeder Wortleitung (WL0 bis WLn) aufweist:
eine Vordekodierschaltung, die X-System-Adreßsignale in mehrere Paare unterteilt und die unterteilten mehreren Paare vordekodiert;
einen UND-konfigurierten Reihendekoder, der in Serie geschaltete MOSFETS zum Empfangen des von der Vordekodierschaltung ausgegebenen, vordekodierten Signals aufweist; und
einen Worttreiber, der die entsprechende Wortleitung (WL0 bis WLn) gemäß einem von dem Reihendekoder gebildeten Wortleitungs-Auswahlsignal auswählt,
wobei die Operation der Vordekodierschaltung oder des Reihendekoders auf Grundlage des Ergebnisses der von der ersten Bestimmungsschaltung erzielten Bestimmung so gesteuert wird, daß die entsprechende Wortleitungs-Auswahloperation durch eine ausgewählte Speichermatrix durchgeführt wird.

8. Vorrichtung nach Anspruch 3, ferner mit einer Überlastprüfschaltung, die die Größen eines Eingangssignals, das zu der Endzustand-Arithmetikschaltung der mehreren kaskadenförmig verbundenen Arithmetikschaltungen oder eines davon erzeugten Ausgangssignals und jedes Adreßsignals, das nach Speicherzugriff der jeweiligen Speichermatrix eingegeben wurde, vergleicht,
wobei die Operation eines Leseverstärkers zum Verstärken eines von der Speichermatrix ausgegebenen Lesesignals erzwungenermaßen gestoppt wird, wenn ein Überlasterfassungssignal von der Überlastprüfschaltung erfaßt wird, und das Überlasterfassungssignal in den Bereich außerhalb des RAM-Moduls übertragen wird.

9. Vorrichtung nach Anspruch 4, wobei
die Steuerschaltung ferner einen Detektor aufweist, der darin ein Signal empfängt, das von der Endzu-

stands-Arithmetikschaltung der mehreren kaskadenförmig verbundenen Arithmetikschaltungen ausgegeben wurde, und die Anzahl angelegter Speichermatrizen erfaßt, und
die Steuerschaltung die Last an jedem Treiber anpaßt, der ein Steuersignal oder ein Zeitgebesignal bildet, das den Speichermatrizen gemeinsam zugeführt wird, um unabhängig von der Anzahl der Speichermatrizen im wesentlichen konstant zu werden.

10. Vorrichtung nach Anspruch 9, wobei
jede Speichermatrix ferner Scheinlastschaltungen aufweist, die in einem Pfad zum Übertragen des Steuersignals oder des Zeitgebesignals vorgesehen sind,
die Steuerschaltung die Anzahl der Scheinlastschaltungen bezeichnet, die in der jeweiligen Speichermatrix angelegt sind, und die mit den jeweiligen Speichermatrizen verbunden sind, und
jede Speichermatrix wahlweise mit den zugehörigen Scheinlasten gemäß dem durch die Steuerschaltung spezifizierten Steuersignal verbunden ist, und die Gesamtlast an dem Treiber so angepaßt ist, daß sie unabhängig von der Anzahl der Speichermatrizen im wesentlichen konstant wird.

11. Vorrichtung nach Anspruch 9, wobei
die Steuerschaltung ferner Scheinlastschaltungen aufweist, die in einem Ausgabeabschnitt eines Pfads zum Übertragen des Steuersignals oder des Zeitgebesignals vorgesehen sind, und
die Steuerschaltung die Anzahl der Scheinlastschaltungen steuert, die mit den jeweiligen Speichermatrizen verbunden sind, so daß die Gesamtanzahl von angelegten Speichermatrizen äquivalent identisch zu der Maximalzahl von angelegten Speichermatrizen wird, und die Gesamtlast an dem Treiber steuert, um das Steuersignal oder das Zeitgebesignal so zu bilden, daß es unabhängig von der Anzahl der Speichermatrizen im wesentlichen konstant wird.

12. Vorrichtung nach Anspruch 8, wobei
das RAM-Modul eine Steuerschaltung und mehrere Speichermatrizen aufweist, die Seite an Seite in einer geraden Linie angeordnet sind,
die Arithmetikschaltung in der Speichermatrix, die an der von der Steuerschaltung am weitesten entfernten Stelle vorgesehen ist, so plaziert ist, daß sie eine Erstzustands-Schaltung darstellt, und die Arithmetikschaltung in der Speichermatrix, die neben der Steuerschaltung angeordnet ist, so plaziert ist, daß sie eine Endzustands-Schaltung darstellt, und
die Überlastprüfschaltung in der Steuerschaltung oder auf der Seite der Steuerschaltung vorgesehen ist, und ein Leseverstärker zum Verstärken eines Lesesignals von jeder Speichermatrix und eine Schaltung zum Übertragen eines Überlasterfassungssignals davon in der Steuerschaltung plaziert sind.

13. Vorrichtung nach Anspruch 9, wobei
das RAM-Modul eine Steuerschaltung und mehrere Speichermatrizen aufweist, die Seite an Seite in einer geraden Linie angeordnet sind,
die Arithmetikschaltung in der Speichermatrix, die an einer von der Steuerschaltung am weitesten entfernten Position vorgesehen ist, so plaziert ist, daß sie eine Erstzustands-Schaltung darstellt,
die Arithmetikschaltung in der Speichermatrix, die neben der Steuerschaltung angeordnet ist, so plaziert ist, daß sie eine Endzustands-Schaltung darstellt, und
dem Anzahl-von-Speichermatrizen-Detektor, der in der Steuerschaltung vorgesehen ist, ein von der Endzustands-Arithmetikschaltung ausgegebenes Signal zugeführt wird.

14. Vorrichtung nach Anspruch 3, wobei
der Steuerschaltung separat Reihen- und Spaltensystemadreßsignale zugeführt werden, und
die Steuerschaltung jeder Speichermatrix ermöglicht, Reihen- und Spaltensystemauswahloperationen gemäß separat eingegebener Reihen- und Spaltensystemadreßsignale auszuwählen.

15. Vorrichtung nach Anspruch 14, wobei
die Reihen- und die Spaltensystemadreßsignale mit einem von außerhalb des RAM-Moduls zugeführten Taktsignal synchronisiert und zusammen mit Steuersignalen eingegeben werden, die Befehle für die Operationen der Reihen- und der Spaltensystemschaltungen darstellen,
die Adreßsignale Adreßsignale einschließen, die eine oder mehrere Speichermatrizen auswählen, und
die Befehle für die Operation der Reihensystemschaltung zwei Arten eines Starts der Reihensystemauswahloperation und eines Operationsendes zum Liefern von Befehlen für eine Vorspannungs-Operation nach der Beendigung der Reihensystemauswahloperation einschließen.

16. Vorrichtung nach Anspruch 15, wobei wenn der unmittelbar vorausgehende Zustand der Zeilensystemschaltung die Zeilensystemauswahloperation ist, die Zeilensystemschaltung die vorangegangene Operation vollendet und eine Vorspannungs-Operation durchführt und anschließend automatisch eine Zeilensystemauswahloperation entsprechend des Eingabe-Adreßsignals ausführt, und wenn der unmittelbar vorausgegangene Zustand davon der Operationsendzustand ist, die Zeilensystemschaltung eine Zeilensystemauswahloperation entsprechend den Eingabe-Adreßsignalen ausführt.

17. Vorrichtung nach Anspruch 15, wobei das RAM-Modul einen Rückstell-Eingangsanschluß aufweist und eine Beendigung der Zeilen- und Spaltensystemauswahloperationen erzwingt, wenn ein vorbestimmtes Rückstellsignal an dem Rückstell-Eingangsanschluß eingegeben wird, wodurch die Auswahlschaltung in jeder Speichermatrix in einen Vor-

spannungszustand gebracht wird.

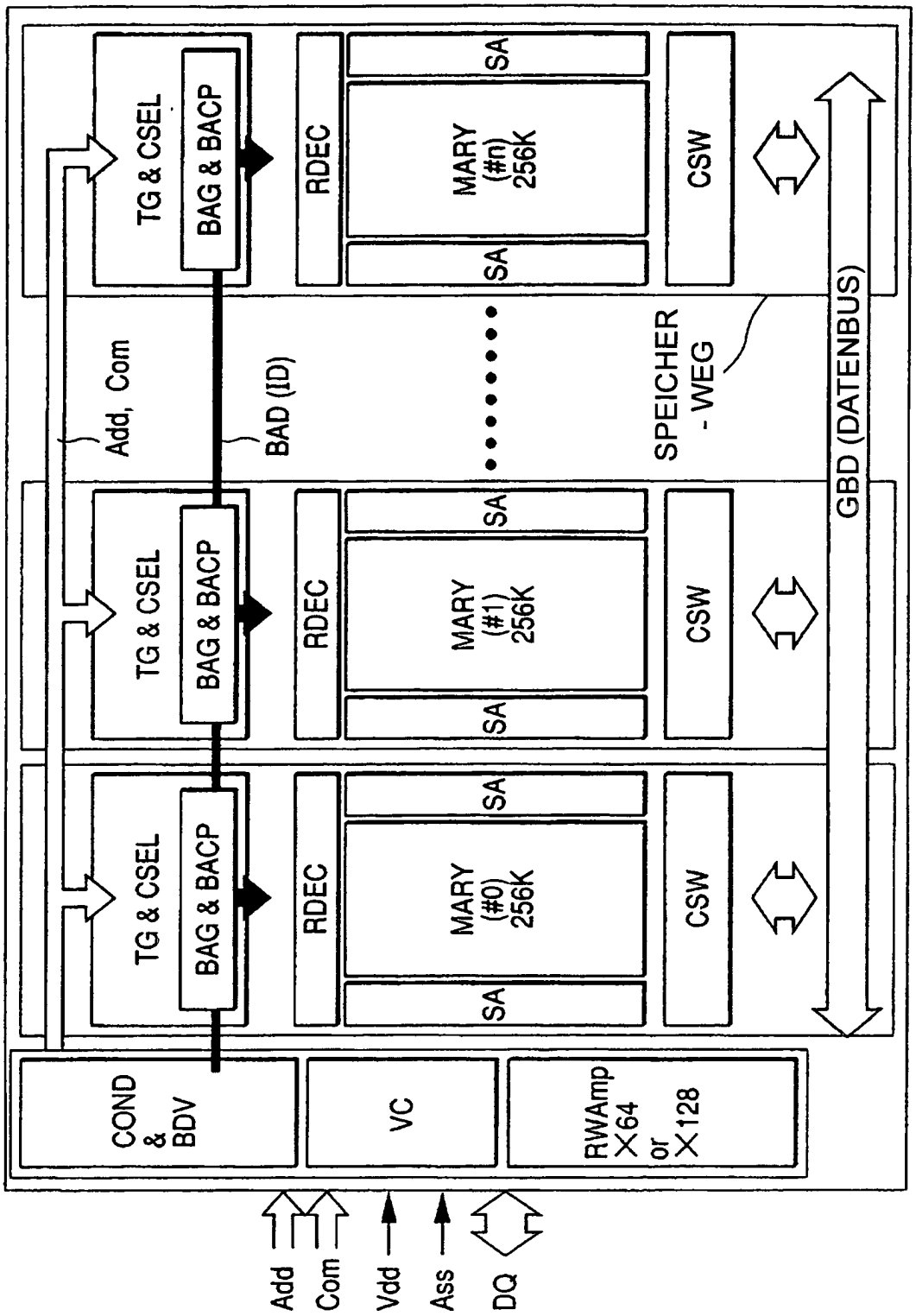
18. Vorrichtung nach Anspruch 5, wobei das RAM-Modul so ausgelegt ist, daß in einem Zustand in dem die integrierte Halbleiterschaltungsvorrichtung mit einer Versorgungsspannung versorgt wird, die Operation jeder Schaltung mit der Funktion versehen ist, sie in einen vollen Standby-Zustand zu bringen, in dem ein Nicht-Stromfluß-Zustand über eine lange Zeit aufrechterhalten wird, die wenigstens eine Informations-Haltezeit jeder Speicherzelle übersteigt.

19. Vorrichtung nach Anspruch 1, ferner mit mehreren Speicherblocks, die jeweils eine spezifische Schaltungsfunktion haben, wobei
das Eingangssignal in einem Adreßvorgabe-Eingangssignal besteht, das mehrere Bit umfaßt,
die ersten Schaltungen Arithmetikschaltungen darstellen, die eine "+1 "- oder eine "–1"-Operation an dem Adreßvorgabe-Eingangssignal vornehmen,
jeder Speicherblock eine der mehreren Arithmetikschaltungen und eine der mehreren Komparatoren aufweist, und
die Arithmetikschaltung in dem Erstzustand-Schaltungsblock einen Eingangsanschluß aufweist, dem feste Adreßsignale zugeführt werden, und der entsprechende Schaltungsblock in den jeweiligen Schaltungsblocks aktiviert wird, wenn ein Koinzidenzsignal von dem jeweiligen Komparator ausgegeben wird.

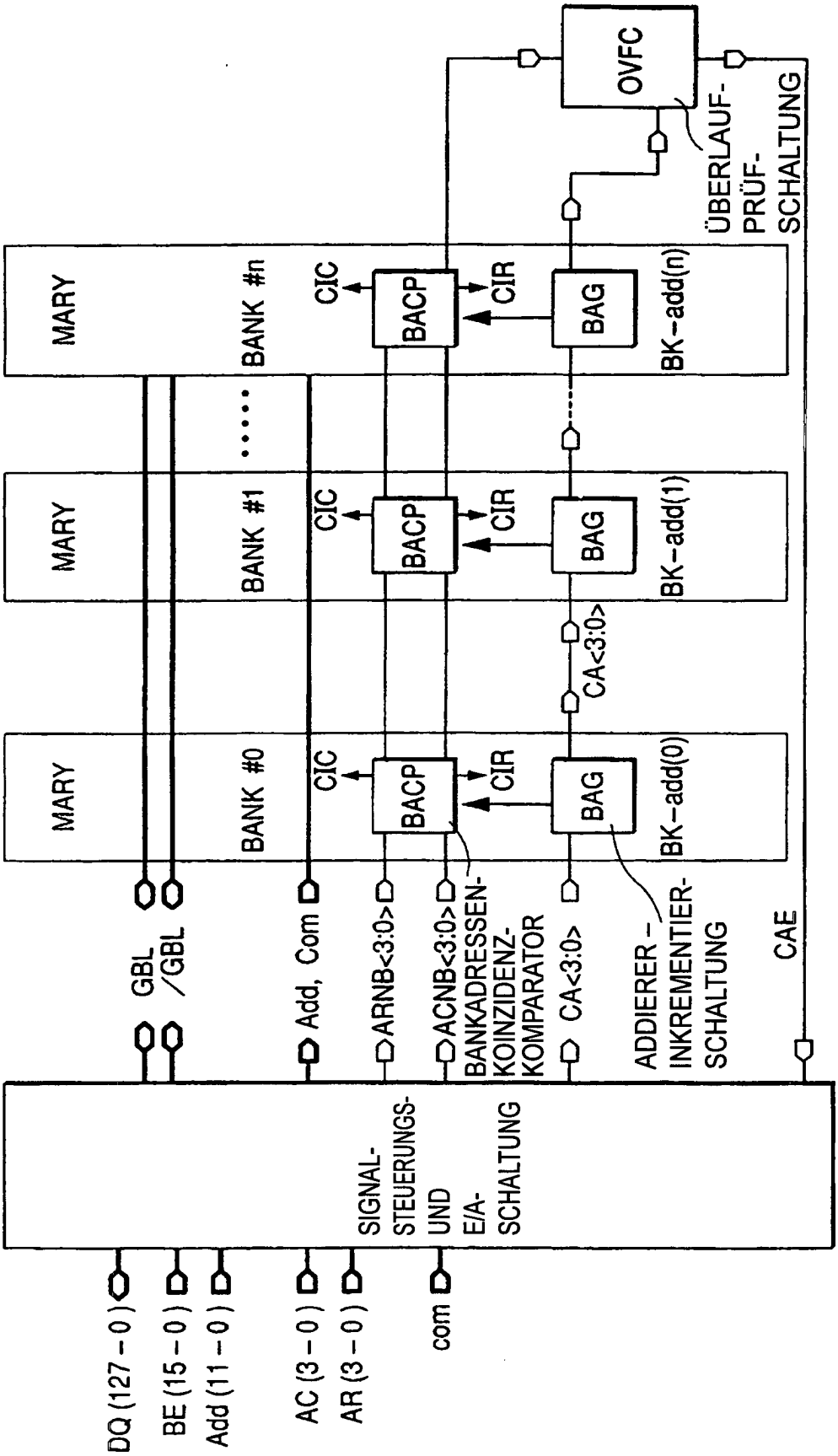
Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

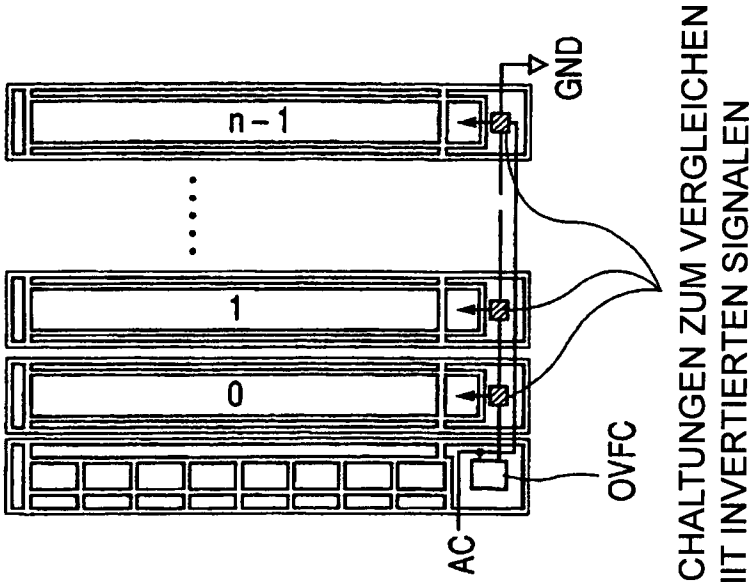
Figur 1



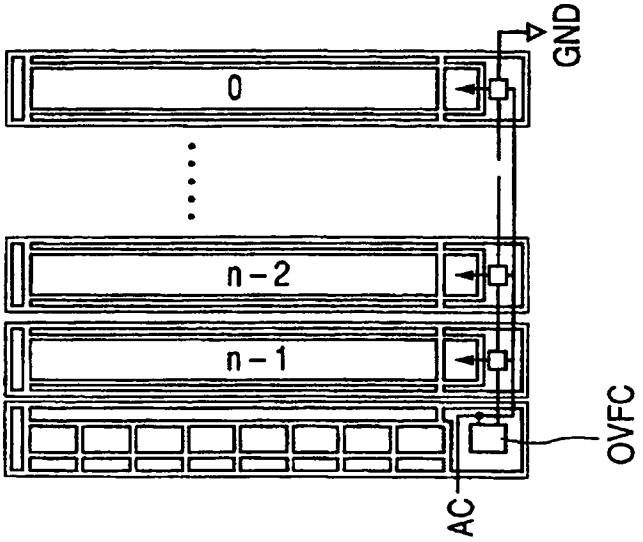
Figur 2


MARY
BANK #n
BANK #1
BANK #0
CIC
BACP
CIR
BAG
BK-add(n)
BK-add(1)
BK-add(0)
OVFC
ÜBERLAUF-PRÜF-SCHALTUNG
CA<3:0>
GBL
/GBL
Add, Com
ARNB<3:0>
ACNB<3:0>
BANKADRESSEN-KOINZIDENZ-KOMPARATOR
CA<3:0>
ADDIERER-INKREMENTIER-SCHALTUNG
CAE
SIGNAL-STEUERUNGS-UND E/A-SCHALTUNG
DQ (127-0)
BE (15-0)
Add (11-0)
AC (3-0)
AR (3-0)
com

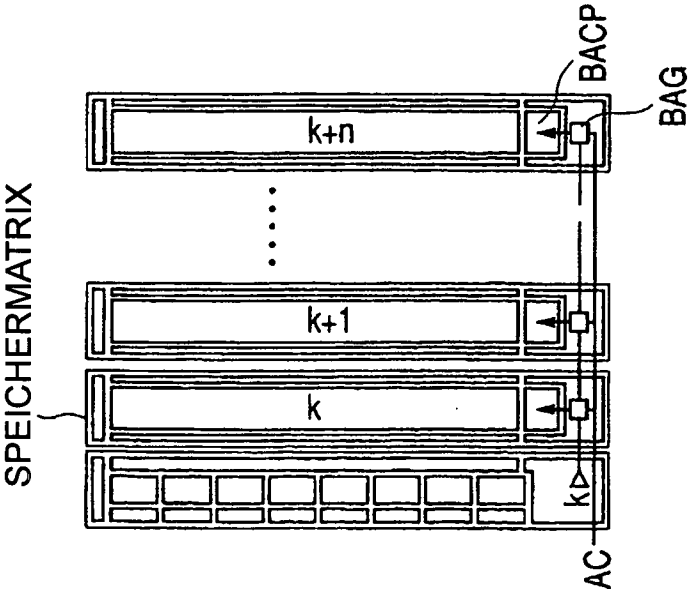
Figur 3C

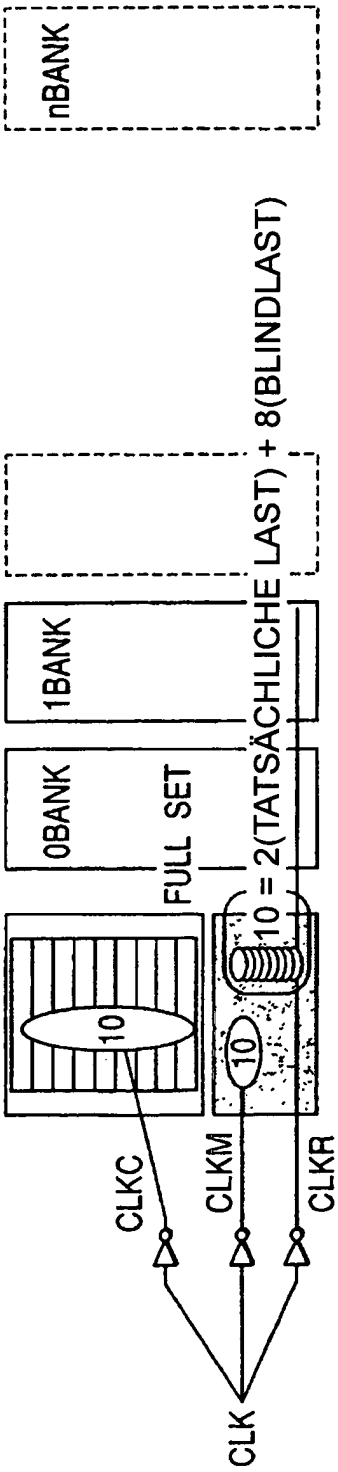


Figur 3B

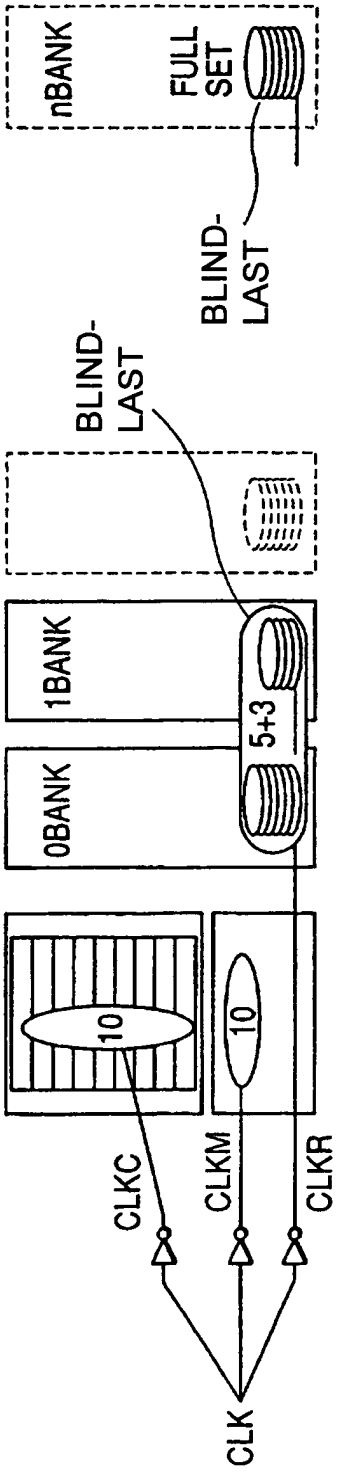


Figur 3A

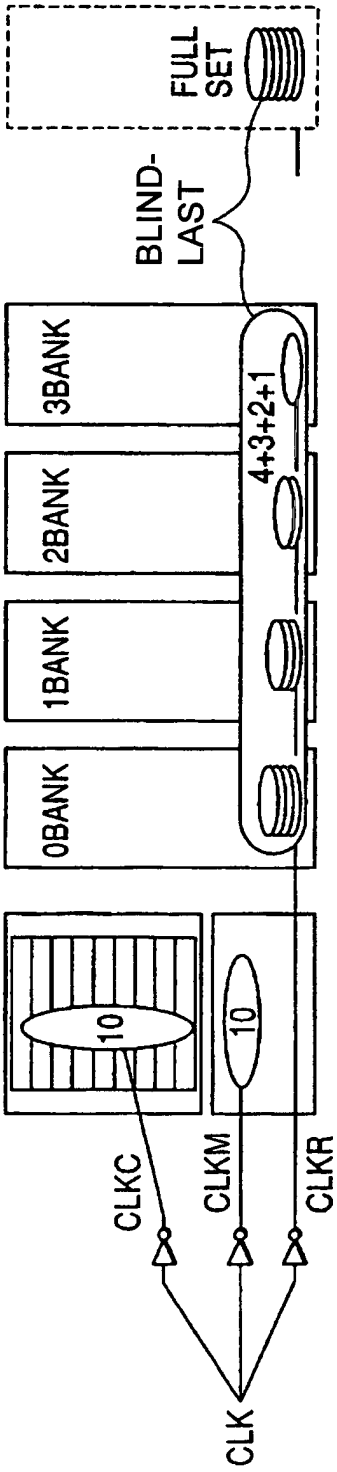




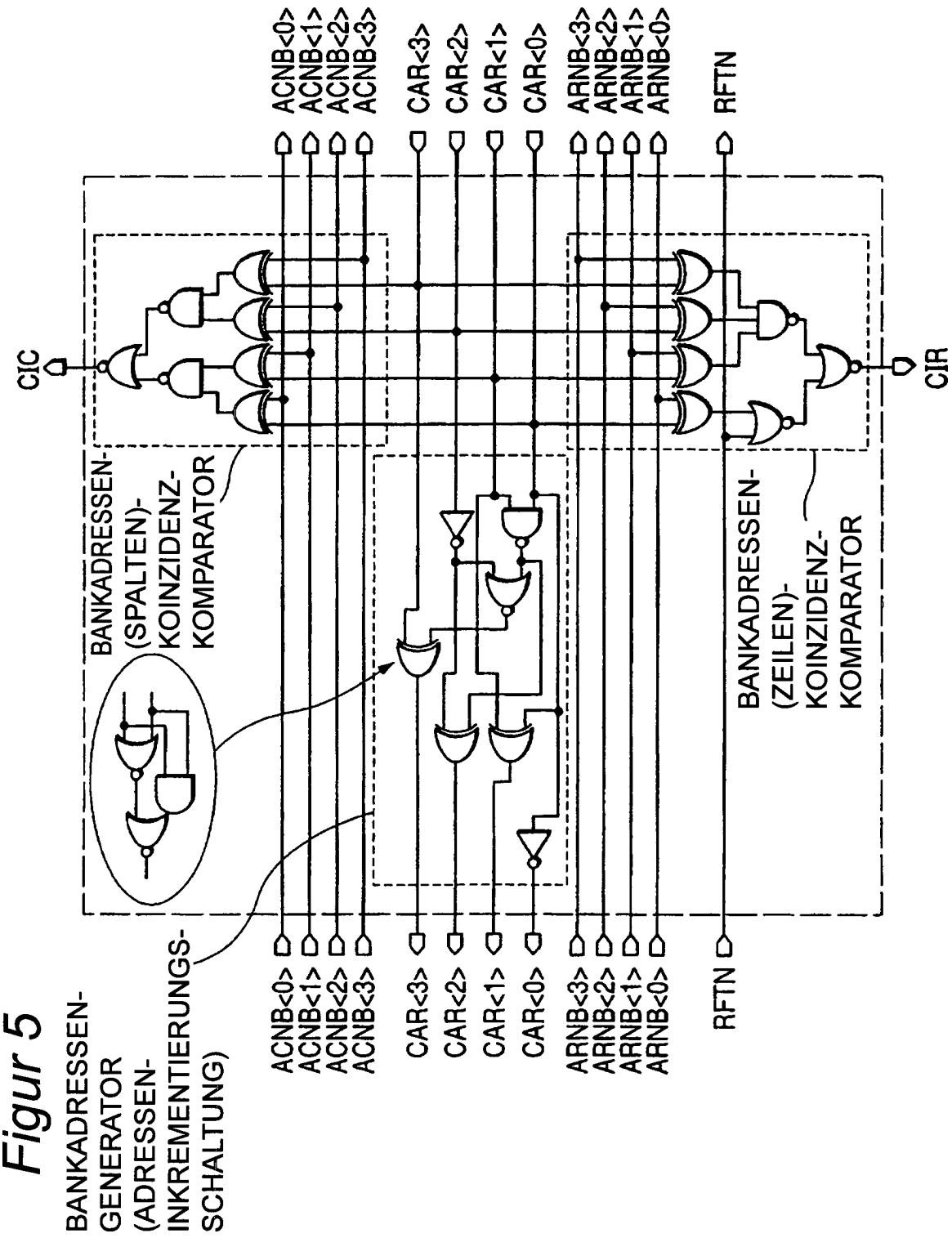
Figur 4A



Figur 4B

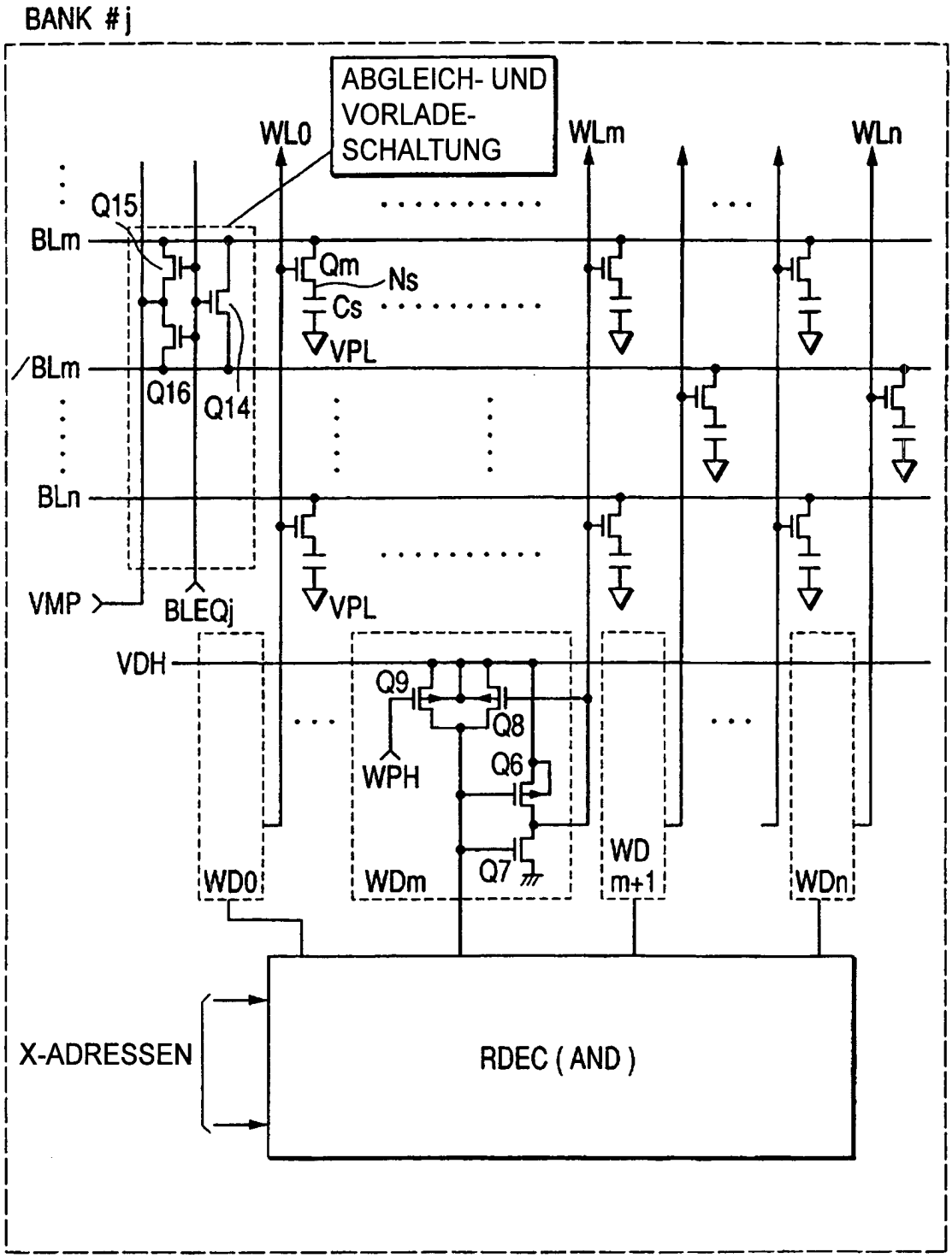


Figur 4C

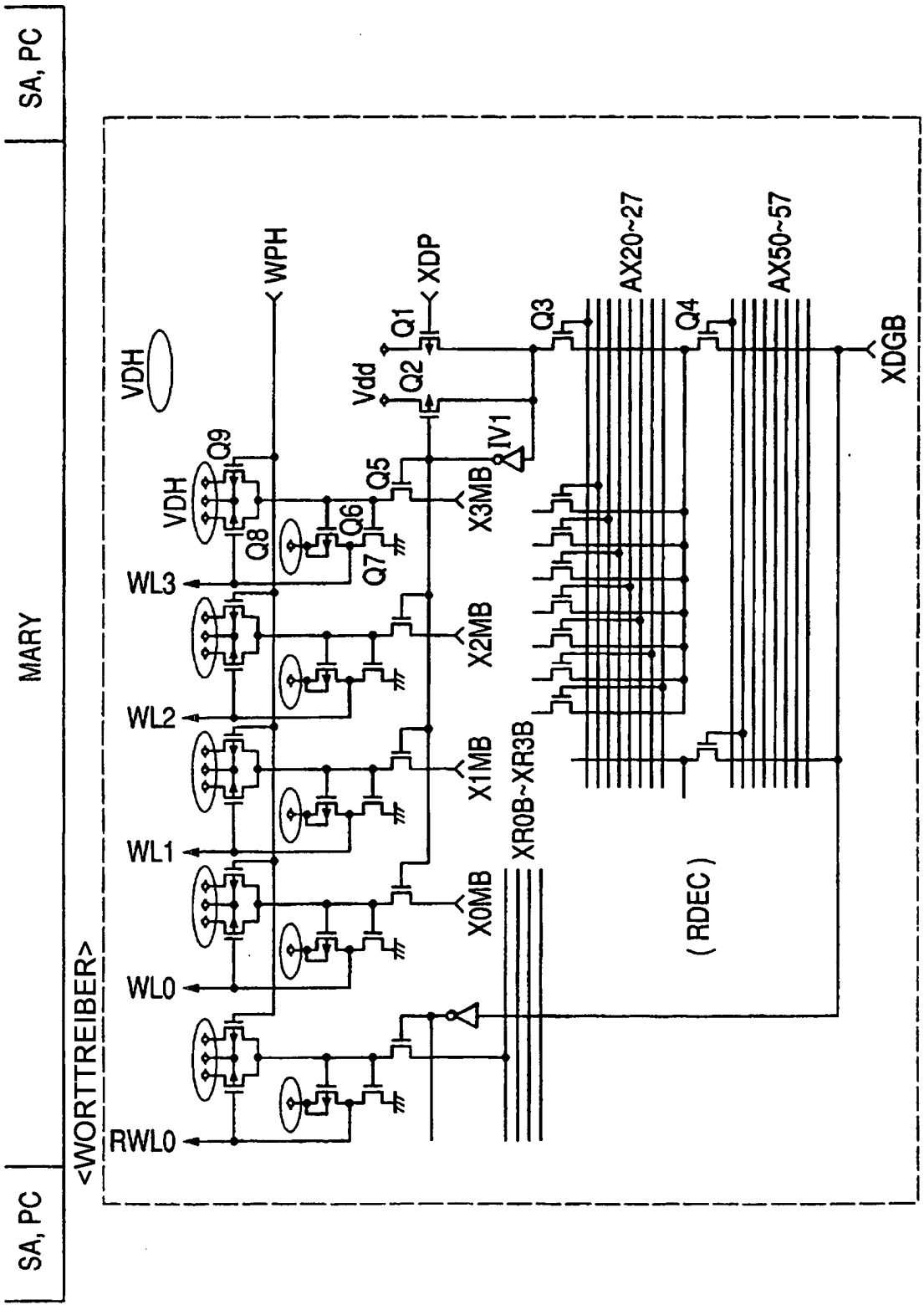

ACNB<0>
ACNB<1>
ACNB<2>
ACNB<3>
CAR<3>
CAR<2>
CAR<1>
CAR<0>
ARNB<3>
ARNB<2>
ARNB<1>
ARNB<0>
RFTN
CIC
CIR
BANKADRESSEN-
(SPALTEN)-
KOINZIDENZ-
KOMPARATOR
BANKADRESSEN-
(ZEILEN)-
KOINZIDENZ-
KOMPARATOR
BANKADRESSEN-
GENERATOR
(ADRESSEN-
INKREMENTIERUNGS-
SCHALTUNG)

Figur 5

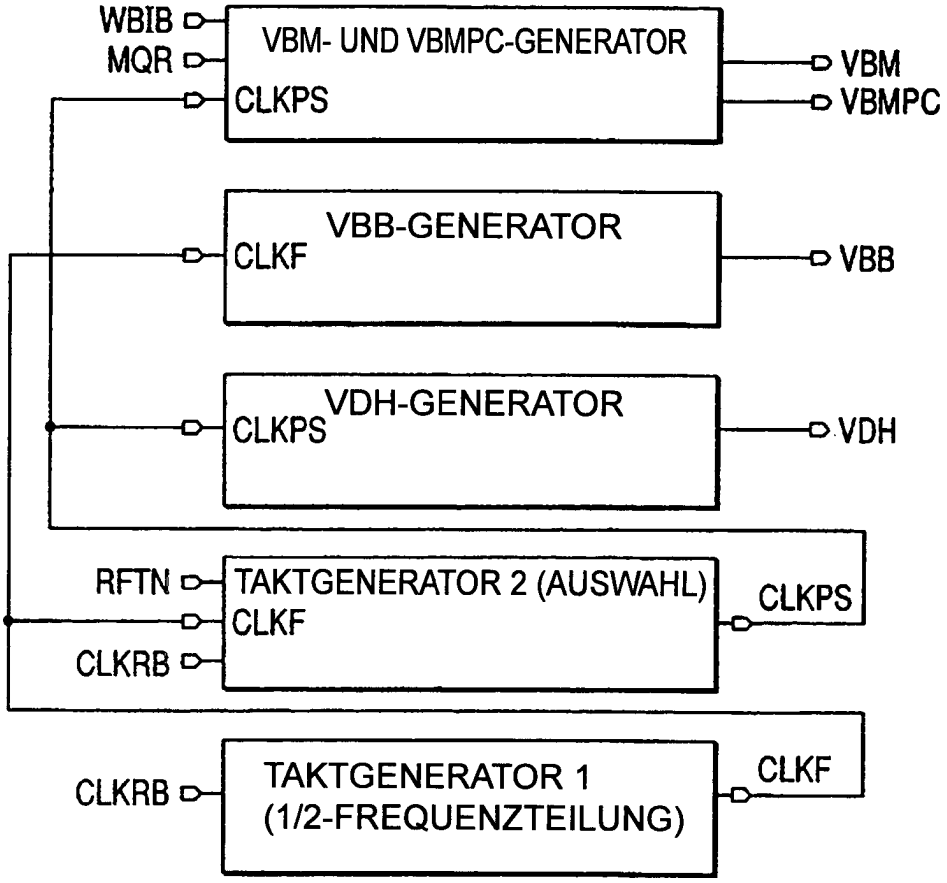
Figur 6


BANK #j
ABGLEICH- UND VORLADE- SCHALTUNG
WL0
WLm
WLn
Q15
BLm
Qm
Ns
Cs
VPL
/BLm
Q16
Q14
BLn
VMP
BLEQj
VPL
VDH
Q9
Q8
Q6
WPH
Q7
WD0
WDm
WD m+1
WDn
X-ADRESSEN
RDEC (AND)

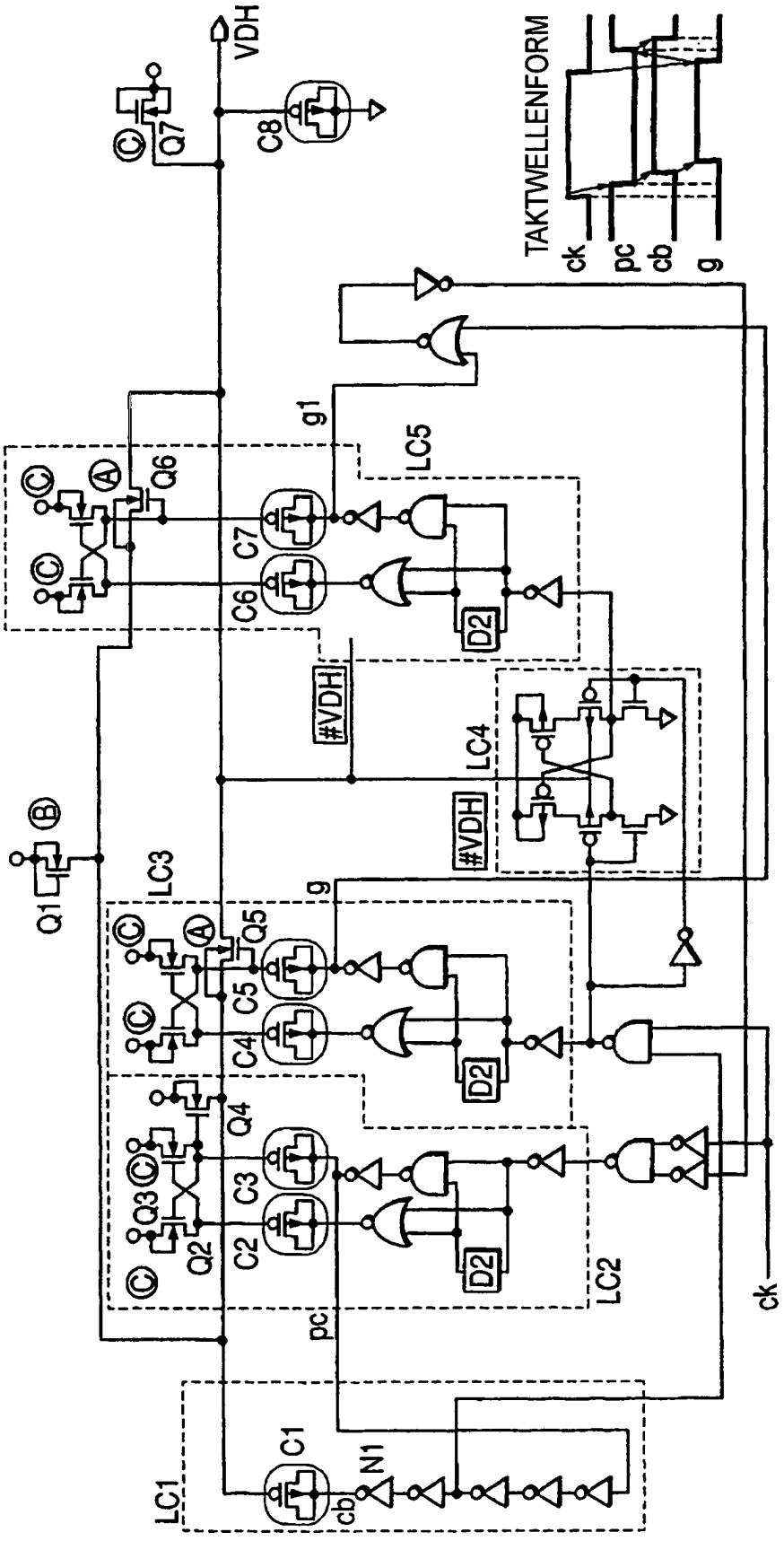
Figur 7


SA, PC
MARY
SA, PC
<WORTTREIBER>
WPH
XDP
VDH
Vdd
Q1
Q2
Q3
Q4
AX20~27
AX50~57
XDGB
IV1
Q9
Q5
Q8
Q6
Q7
X3MB
X2MB
X1MB
X0MB
XR0B~XR3B
WL3
WL2
WL1
WL0
RWL0
(RDEC)

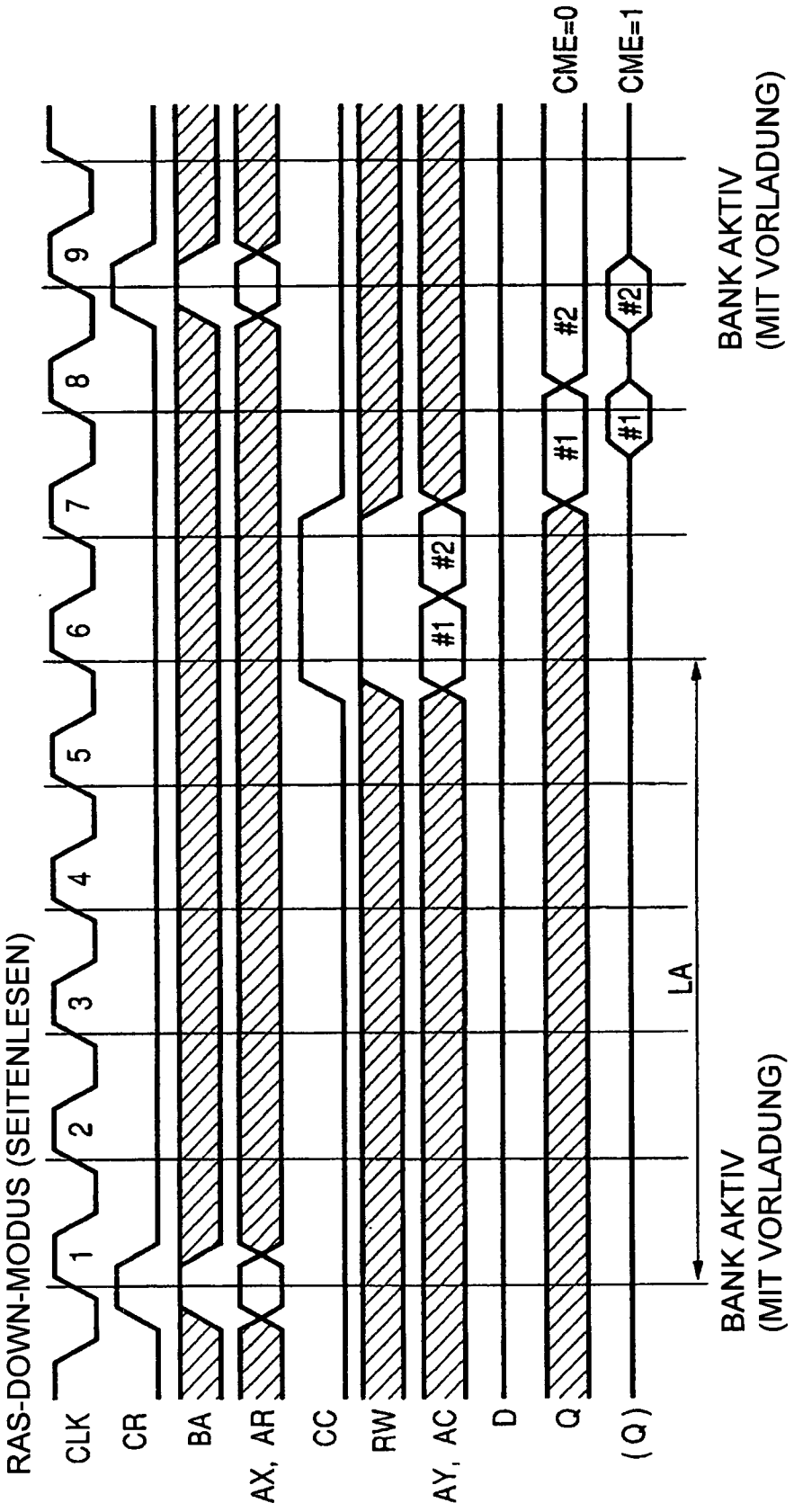
Figur 8


WBIB
MQR
CLKPS
VBM- UND VBMPC-GENERATOR
VBM
VBMPC
CLKF
VBB-GENERATOR
VBB
CLKPS
VDH-GENERATOR
VDH
RFTN
CLKF
CLKRB
TAKTGENERATOR 2 (AUSWAHL)
CLKPS
CLKRB
TAKTGENERATOR 1
(1/2-FREQUENZTEILUNG)
CLKF

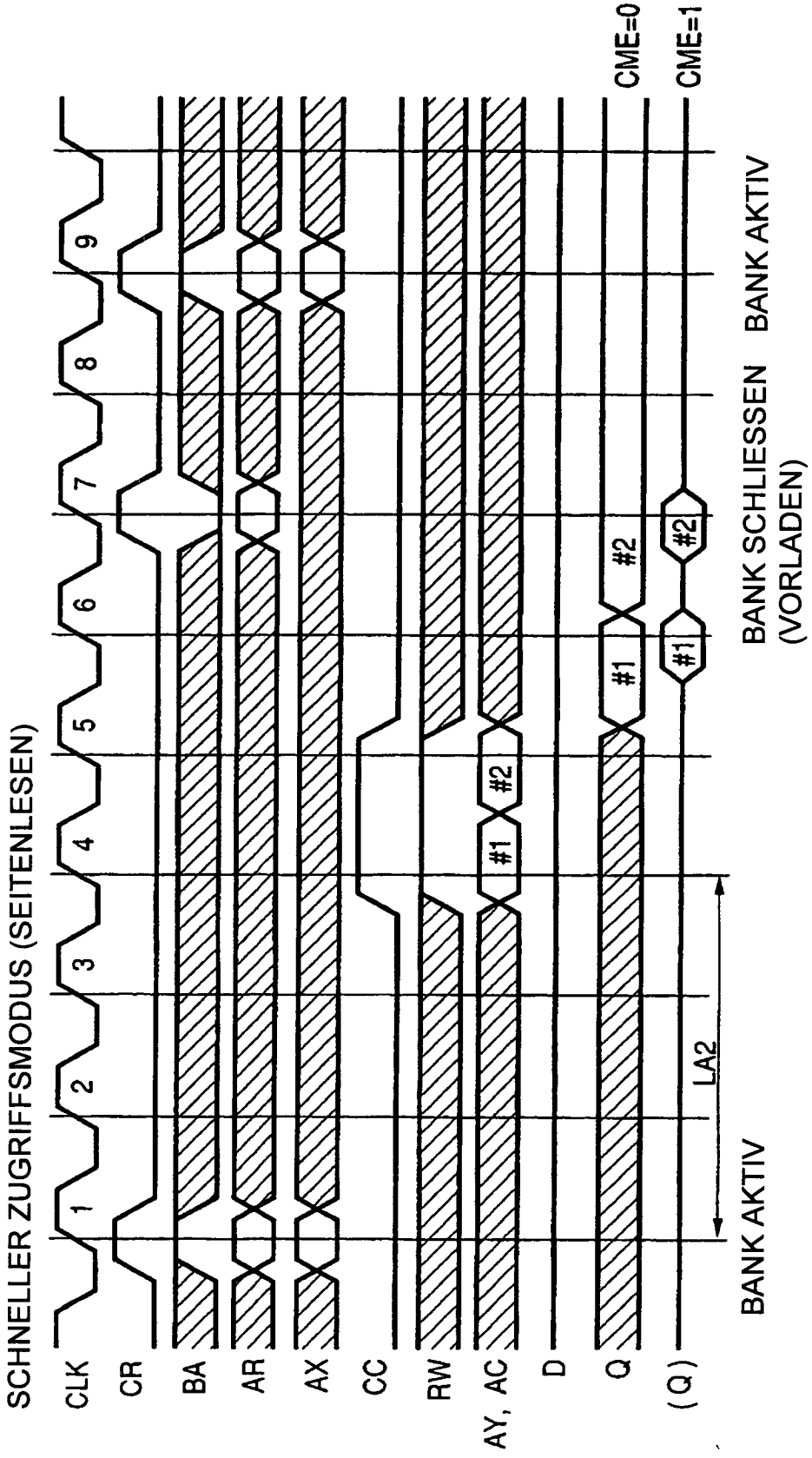
Figur 9


VDH
TAKTWELLENFORM
ck
pc
cb
g
Q7
C8
g1
LC5
Q6
C7
C6
D2
#VDH
LC4
#VDH
Q1
LC3
g
Q5
C5
C4
D2
Q4
C3
Q3
Q2
C2
D2
LC2
ck
pc
LC1
C1
cb
N1

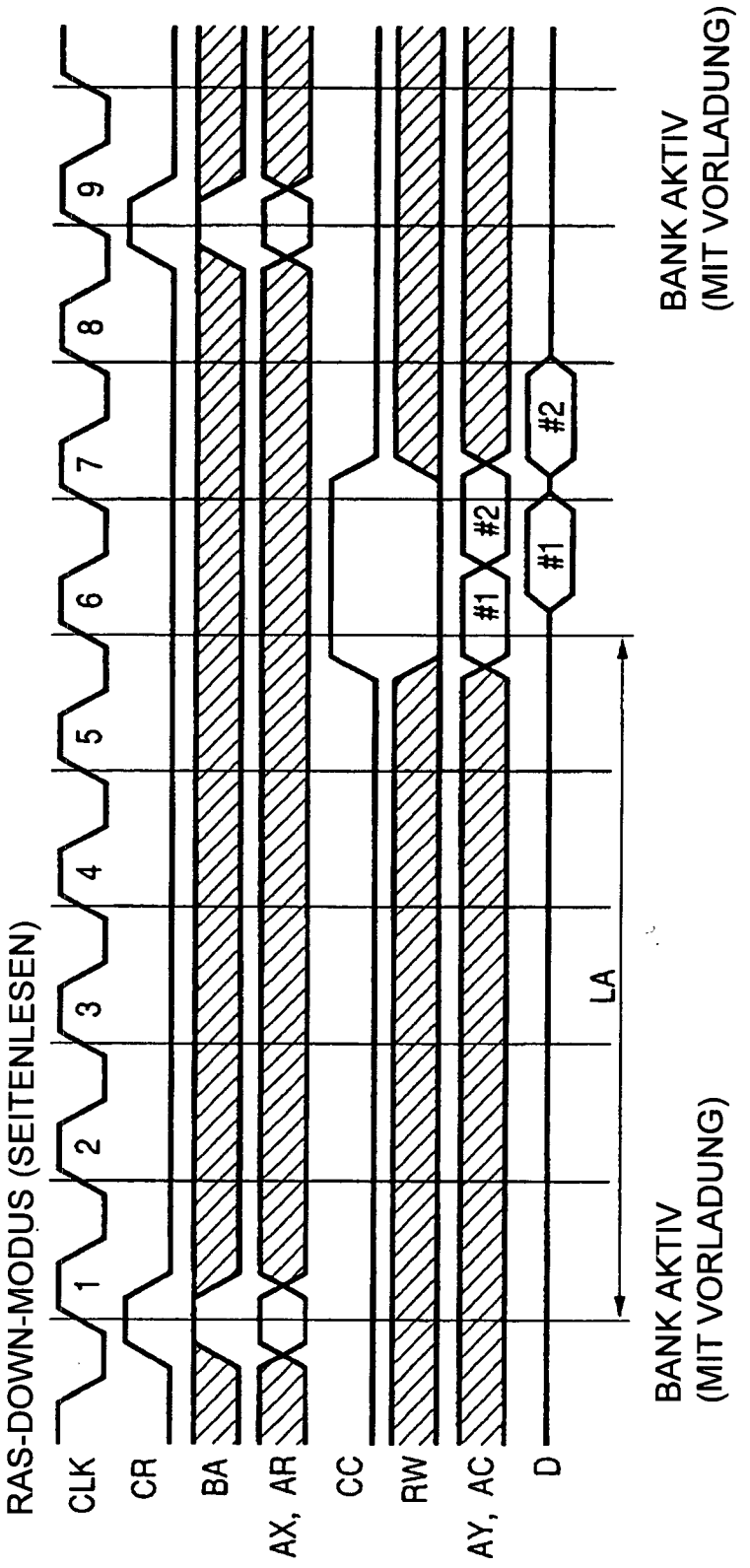
Figur 10


RAS-DOWN-MODUS (SEITENLESEN)
CLK
CR
BA
AX, AR
CC
RW
AY, AC
D
Q
(Q)
1
2
3
4
5
6
7
8
9
#1
#2
CME=0
CME=1
LA
BANK AKTIV
(MIT VORLADUNG)
BANK AKTIV
(MIT VORLADUNG)

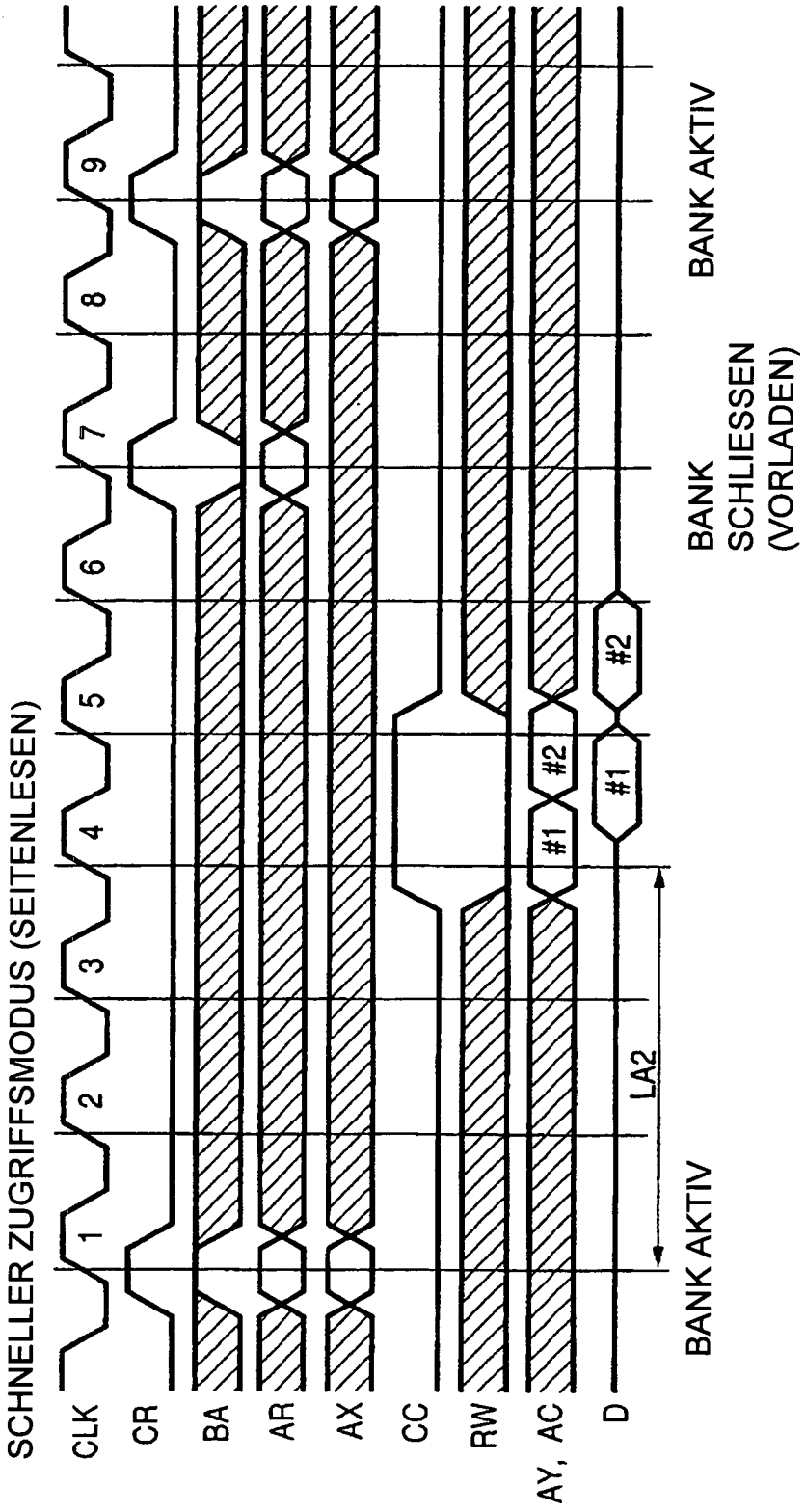
Figur 11


SCHNELLER ZUGRIFFSMODUS (SEITENLESEN)
CLK
CR
BA
AR
AX
CC
RW
AY, AC
D
Q
(Q)
CME=0
CME=1
1
2
3
4
5
6
7
8
9
#1
#2
LA2
BANK AKTIV
BANK SCHLIESSEN
(VORLADEN)
BANK AKTIV

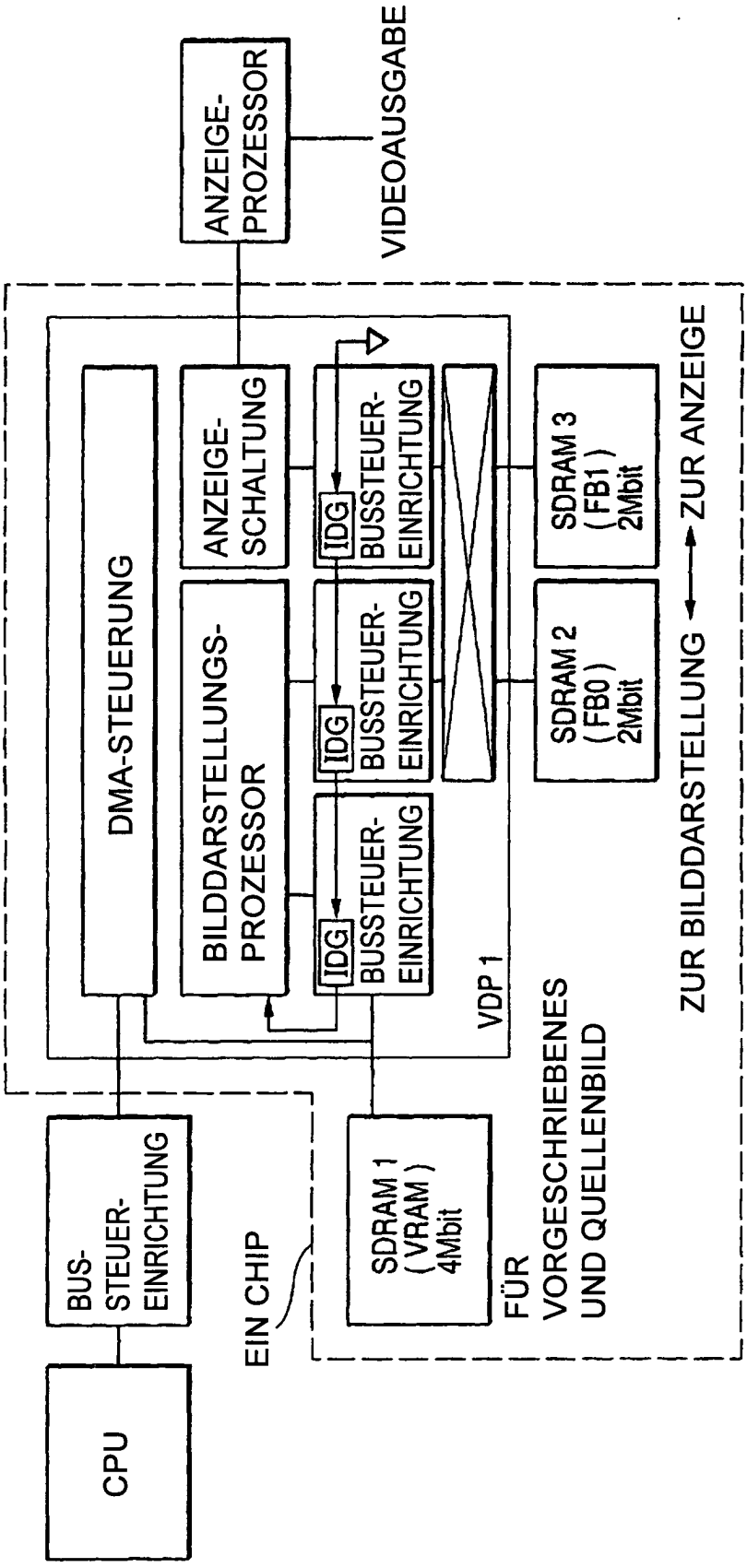
Figur 12


RAS-DOWN-MODUS (SEITENLESEN)
CLK
CR
BA
AX, AR
CC
RW
AY, AC
D
1
2
3
4
5
6
7
8
9
#1
#2
#1
#2
LA
BANK AKTIV
(MIT VORLADUNG)
BANK AKTIV
(MIT VORLADUNG)

Figur 13


SCHNELLER ZUGRIFFSMODUS (SEITENLESEN)
CLK
CR
BA
AR
AX
CC
RW
AY, AC
D
1
2
3
4
5
6
7
8
9
#1
#2
#1
#2
LA2
BANK AKTIV
BANK SCHLIESSEN (VORLADEN)
BANK AKTIV

Figur 14


ANZEIGE-PROZESSOR
VIDEOAUSGABE
DMA-STEUERUNG
ANZEIGE-SCHALTUNG
BILDDARSTELLUNGS-PROZESSOR
IDG
BUSSTEUER-EINRICHTUNG
IDG
BUSSTEUER-EINRICHTUNG
IDG
BUSSTEUER-EINRICHTUNG
SDRAM 3 (FB1) 2Mbit
SDRAM 2 (FB0) 2Mbit
VDP 1
ZUR BILDDARSTELLUNG
ZUR ANZEIGE
BUS-STEUER-EINRICHTUNG
CPU
EIN CHIP
SDRAM 1 (VRAM) 4Mbit
FÜR VORGESCHRIEBENES UND QUELLENBILD