



[12] 发明专利说明书

[21] ZL 专利号 91108565.3

[51]Int.Cl⁶

G11C 11/34

[45]授权公告日 1995 年 10 月 11 日

[24]颁证日 95.7.15

[21]申请号 91108565.3

[22]申请日 91.8.2

[30]优先权

[32]90.8.2 [33]SE[31]9002558-6

[73]专利权人 卡尔斯特电子公司

地址 瑞典哥德堡

[72]发明人 卡尔斯特·拉斯·冈纳

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

G06F 13/38

代理人 杨国旭

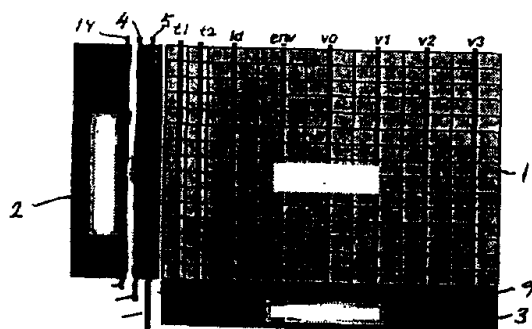
说明书页数:

附图页数:

[54]发明名称 相联存储器

[57]摘要

提出一种用于外部控制具有一个第一控制总线装置,用于数据具有一个第二存储器总线装置的相联存储器。该存储器有若干用于存储合成信息的存储单元(1),优先级译码器(2)与所有存储单元相耦联,并且从若干上述存储单元中选择出一个来,至少给出一条总体总线(4、5)。在每个存储单元中设有闭包头(11)用于同上述总线相通信,并且控制上述存储单元参与实际逻辑操作。



权 利 要 求 书

1. 一个相联存储器,具有

一个用于存储单元外部控制的第一控制总线装置(*any—type, Vr, cpb, set. s, match, r/w. s, r/w. b, r/w. r, Wand. a, Wand. b, Wor, s. a, reset. b, mode. a mode. a*, prech, ba, mode. b, grant. b, prio* 等);

用于数据的存储器总线装置(*t1, t2, id, env, v0, v1, v2, v3*);

若干个存储单元(1),每个用于存储合成信息,并连接到控制总线装置和用于数据的存储器总线装置,

用于经存储器总线装置在存储单元中搜索关键数据的装置,以设置至少一个符号,指明存储单元的至少一个选择状态或非选择状态,

在每个存储单元中的头装置(8),用于存储该符号或各符号,

一个优先级译码器(2),其上耦联所有存储单元,为要求选择单独存储单元的操作,从若干存储单元中选择一个,以及

在每个存储单元中用于与所述总线通信的装置(11),对于要进行的实际操作,如果该实际操作要求选择一个单独的存储单元,则装置(11)根据所涉及的存储单元中所述头装置内的符号或各符

号而控制存储单元之中的所述存储单元;

其特征在于:

所述第一控制总线装置(*any—type, Vr, cpb, set. s, match, r/w. s, r/w. b, r/w. r, Wand. a, Wand. b, Wor, s. a, reset. b, mode. a mode. a*, prech, ba, mode. b, grant. b, prio* 等), 根据实际操作的要求, 同时控制其符号已设置的单元, 并且与设置优先级请求状态的控制装置(11)相连, 以当需要时设置请求状态, 以及

优先级译码器(2)包括一个从在所有存储单元中设置优先级请求状态的装置(11)中读取请求状态的电路, 从需要请求的存储单元中选出一个, 并且因而使符号得以设置, 以指明选择状态, 并且同时向存储器中的每个存储单元返回一个单独信号, 指明所述选择或非选择状态。

2. 根据权利要求 1 中的存储器, 其特征是为在上述存储单元之间进行“与”(AND)及“或”(OR)类型的逻辑操作至少给出一条连接于每个所述存储单元的总线(4,5), 以及在每个存储单元中用于与这些总线相通信的装置(11), 并控制上述存储单元参与实际逻辑操作。

3. 根据权利要求 1 或 2 中的存储器, 其特征是每个存储单元均包括有一些数据目标存储字段(*IDENTITY, ENVIRONMENT, VALVE/DES. 0, VALVE/DES. 1, VALVE/DES2, VALVE/DES. 3*)每个数据目标存储字段均能够存储数据字和至

少一个呈标签形式的符号。

4. 根据权利要求 1 至 3 中的任一个中的存储器,其特征是每个存储单元至少包括有一个指示上述存储单元中内容的一个状态或几个状态的状态储字段(LAZY,WHERE,TYPE)。

5. 根据权利要求 3 或 4 中的存储器,其特征是为了在上述存储字段与上述优先级译码器(2)之间能够进行“线与”(WIRED AND)和“线或”(WIRED OR)类型的逻辑操作,对每个存储单元中的存储字段(b)至少给出一个第二总线(a, b),并且每个字段均能够读这些总线,而且参与实现逻辑操作。

6. 根据权利要求 1 至 5 中任一个的存储器,其特征是通过控制总线装置将上述存储单元连接到结合的中央控制器上,该控制总线是分布到所有存储单元上的,因而数据字能够在该控制总线、装置上通过给出的合成信息向上述存储器总线装置上的存储器进行传送或传出。

7. 根据权利要求 3 至 6 中任一个的存储器,其特征是上述存储字段有存储上述呈标签形式的符号的控制部件头(8),以及一些存储上述数据字中若干位的位单元,并且将每个位单元彼此相连接,而且接到上述“头”上。

8. 根据权利要求 7 中的存储器,其特征是上述部件(8)可控制上述位单元在如下操作时完成其一个操作:

休止 每个位单元保持所存储的位值,

读 读出在位单元中所存储的位值，
写 将位值写入位单元，
比较 将用存入位单元的位值合成的数据字与另外的数据相比较。

9. 根据权利要求 8 中的存储器，其特征是上述来自该部件头(8)的控制取决于在上述第二总线(a, b)上的数据函数的每个逻辑状态，呈现标签形式的先头符号、进行比较操作时的比较结果以及对该存储器来自中央控制器的控制信号。

10. 根据权利要求 3 至 8 中的任一个存储器，其特征是可根据上述第二总线(a, b)上的数据函数的每种逻辑状态、呈现标符合形式的先头符号、进行比较操作时的比较结果以及对该存储器来自中央控制器的控制信号来设置这些呈标签形式的符号。

11. 根据权利要求 7 至 10 中的存储器，其特征是连接到上述部件头(8)上的第一线(acc)与存储字段(b)的所有位单元相交连，并且之中所有上述位单元均受该线上的信号所控制，而且将连接上述位单元的其它线(d, d')接到上述存储器中其他存储单元内的相应位单元上。

12. 根据权利要求 1 至 11 任一个中的存储器，其特征是上述优先级译码器(2)是结合的电路并包括每个存储单元的一部分，每部分均有关于“请求”(REQUEST)的每一连接，在这个连接上，位值“真”表示需要(NEEDED)优先，而位值“伪”表示不需要(NO)

NEED) 优先, 以及关于“谁许”(GRANT) 的第二连接, 在这个连接上, 位值“真”表示选中(*CHOSEN*), 而位值“伪”表示未选中(*NOT CHOSEN*)。

13. 权利要求 1 至 12 任五个中的存储器, 其特征是通过对呈现标签形式的各符号进行比较, 并通过对上述部件头(8)的控制作出搜索, 从而得到结果 *FIT*(吻合) 或 *DIFERENT*(有差别), 而且以如下式中的一种作出该搜索:

(1) 对每个存储字段(6) 单个地进行搜索, 并且与其他存储字段中的合成信息无关。

(2) 可采用对一个存储单元中所选择的存储字段(*b*) 进行比较来作出搜索。该比较结果在每个所选择的存储字段中为 *FIT*(吻合)。

(3) 可采用对一个存储单元中所选择的存储字段(6) 进行比较来作出搜索。该比较结果至少在所选择的存储字段中是 *FIT*(吻合)。

14. 根据权利要求 13 中的存储器, 其特征是按如下方式中的一种进行比较:

(1) 比较两个位模式, 只有当所有相应的位均相类同时, 比较结果方为 *FIT*(吻合)。

(2) 将要进行比较的两个位模式或仅仅其中一个作编码, 这样一来, 至少一个位状态其位模式信息相应于 *ARBITRARY*(任

意)及 *SPECIFIC* (特定) 信息值 *V*, 如果在比较时, 一个信息值对应于 *ARBITRARY*, 那么其比较结果就是 *FIT*, 否则只有当两个特定的信息值 *V* 相同时其比较结果方为 *FIT*。

15. 根据权利要求 1 至 14 任一个中的存储器, 其特征是它有多位单元, 每个位单元均能存储一位值, 该位值或者是“真”或者是“伪”, 该位单元包括:

总是给出电源电压的第一连接线(*VCC*),

每个均可设置在不同的控制状态上的第二、第三及第四连接线(*acc, d, d**);

该单元的电路因而是在上述第二、第三及第四连接线上的每种上述控制状态组合, 对于上述存储器单元在一组功能状态中, 以单个形式进行置位。

16. 根据权利要求 15 中的存储器, 其特征是上述这些控制状态是高电平、低电平、无电流流入单元, 电流流入所有上述第二、第三及第四连接线的单元之中以及还有电流从至少一条连接线上的单元中流出的控制状态。

17. 根据权利要求 16 中的存储器, 其特征是上述第二条线是存取线(*acc*), 上述第三及及第四条线(*d, d**)当对上述单元进行读或写时, 具有彼此相互反相的信号。

18. 根据权利要求 15 至 17 任一个中的存储器, 其中一个位值是可存储的, 该位值或者是“真”或者是“伪”, 特征在于由上述控制

状态设置如下功能状态：

休止	上述单元正在对上述位值进行存储，
读	可读上述位值，
不读	上述单元正在对上述位值进行存储，
写伪	将上述所存储的位值置位于“伪”，
写真	将上述所存储的位值置位于“真”，
不写	上述单元正以对上述位值进行存储，
比较伪	将上述所存储的位值对值“伪”作比较，
比较真	将上述所存储的位值“真”作比较，
不比较	上述单元正对上述位值进行存储。

19. 根据权利要求 15 至 18 任一个中的存储器，所述位单元含有通过第三及第四线 (d, d^*) 从每边均可控制的触发器，其特征在于该触发器具有可基本上将第一及第二节点设置在第一及第二电压电平上，并且该触发器有它自己的在上述第一线 (VCC) 及第二线 (acc) 之间的电源电压，并且可将上述第二线控制到不同的电压电平上。

20. 根据权利要求 17 至 19 任一个中的存储器，其特征是在上述第二线 (acc) 与上述第一线 (VCC) 之间接有并行着的的第一及第二串行连接，每个串行连接均由一个晶体管和一个负载的源/漏通路所组成 (T_1, L_1 , 和 T_2, L_2)，在第一串行连接中负载和晶体管漏极之间的交接点是第一节点 n_1 ，并且接到第二串行连接中晶体管

的栅极上,而第二串行连接中晶体管的漏极则接到第一串和连接中晶体管的栅极上。将第一整流元件(D_1)接在第三线(d)与上述第一节点之间,使电流只在相同对于上述第三线的一个方向上流动,而第二整流元件(D_2)则接在第四线(d^*)与第二节点(n_2)之间,使电流只在相对于上述第四线的一方向上流动。

21. 根据权利要求 20 中的存储器,其特征是上述整流元件(D_1 及 D_2)在如下元件中选取:

- (1) 将 n -沟道 MOSFET 中的漏极与栅极相连接(正电压),
- (2) 将 p -沟道 MOSFET 中的漏极与栅极相连接(负电压),
- (3) pn -二极管(带有反向二极管的正电压,负电压),
- (4) Schottky(肖特基)-二极管(带有反向二极管的正电压,负电压)。

22. 根据权利要求 20 或 21 中的存储器,其特征是上述晶体管(T_1 及 T_2),在如下元件中选取:

- (1) n -沟道 MOSFET(正电压)
- (2) p -沟道 MOSFET(负电压)
- (3) npn 双晶体管(正电压)
- (4) pnp 双极晶体管(负电压)

23. 根据权利要求 20 至 22 任一个中的存储器,其特征是上述负载(L_1 及 L_2),在如下元件中选取:

- (1) 电阻,

(2)将其漏极与栅极相连接的 n -沟道增强型 MOSFET(正电压),

(3)将其漏极与栅极相连接的 p -沟道增强型 MOSFET(负电压),

(4)将其源极与栅极相连接的 n -沟道耗尽型 MOSFET(正电压),

(5)将其源极与栅极相连接的 n -沟道耗尽型 MOSFET(负电压),

(6)将其栅极作为控制极,源极和漏极作为驱动连接的 n -沟道耗尽型 MOSFET(正电压),

(7)将其栅极作为控制极,源极和漏极作为驱动连接的 n -沟道耗尽型 MOSFET(负电压),

(8)将其基极作为控制极,源极和漏极作为驱动连接的 n -沟道耗尽型 MOSFET(正电压),

(9)将其基极作为控制极,源极和漏极作为驱动连接的 n -沟道耗尽型 MOSFET(负电压),

相联存储器

本发明涉及一种相联存储器。即在这种存储器中,它是根据至少一部分存储单元内的内容来寻址包含其信息的存储单元的,并不是根据这些存储单元在存储器中的位置进行寻址的。因此,这里没有具体地址,或者说,不依赖于其具体位置。

在常规的相联存储器中,将其存储单元划分成相关区及存储区。不用寻址,即将信息写入相联存储器,通常将其单元区设计成为移位寄存器。

自从四十年代期间发明了计算机以来,电子计算机正以革命性的速度得到了发展。尽管如此,但人们还是难以理解现今的计算机在结构上几乎与当初的第一台计算机没有什么两样。

多年来,人们在硬件上作出了许多改进。VLSI 的出现以及金属印刷术的提高使得有可能将五年前的超级计算机集成在仅只一块芯片上。其大小在指数性地缩减着,如今其线宽可作到小于 1 微米。其时钟频率及有源晶体管的数目已经提高了许多数量级。其物理上的一些限制将把其线宽限制到 0.2 微米上。

在此同时,在采用硅这方面,其计算机的结构并没有什么改进。相反,为了实现快速,大多数计算机一直在采用较多数目的硅片。如此下去,在下一个五年内,单片处理机的速度将不会有所进展。并行处理机的出现都提高了硬件的价格。因为复杂程度提高了,并且对于大多数类型的程序而言,程序设计的成本提

高得过高了。

正像所看到这种相互关系,其硬件价格降低了,但一些新系统的编程成本却大大提高了,并且将很快达到一种相当高的程度,况且目前在世界上还没有足够多的程序设计人员。

计算机是一个复杂的不同硬件及软件单元的组合体。由于在发展的不同的典型机器和阶段中,产生了一些特定的标准,并且进入到系统设计中,因为这种不一致性,于是就有了许多接口设计。

所有这些接口和典型机器的设计都有其不同的特性,因而更增加了它的复杂性。程序设计人员及用户甚至不能使用机器或者出现任何隐藏着的错误。

但是,最近研制了一种简化处理机。简化处理机包括有效存储器,其中存储器有包括算法表达式的一些结构的程序,并且在一些简化步骤中简化这种结构。因此,在一个给定的顺序中就像其他种计算机一样不执行程序。

按以上的有限尺寸研制简化处理机一直存在不少困难。

本发明的主要目的是提出一种具有存储单元的相联存储器,在其存储单元中,可以在其实质上具有任意位置的目标存储器中放入存储字段的数据元件上作出相关搜索。

本发明的进一步的目的是提出一种可以成为计算机一个有效部分的相联存储器,因而,不仅存储信息,而且也参与逻辑运算。

本发明的另一目的是提出一种以下称之谓目标存储器的,特别适用于简化处理机的有源存储器。

本发明的另一目的是提出一种相联存储器其中所选取的部

分存储单元可以起到相关联部件的作用。

本发明的另一目的是提出一种相联存储器其中可将其存储单元或存储字段是否处于可运行状态或非运行状态作出标记。

本发明的另一目的是提出一种可以用 VLSI 技术(VLSI=超大规模集成)实现的相联存储器。

为达到上述目的,该发明设想了一种相联存储器具有用于外部控制的第一控制总线装置以及用于数据的第二存储总线装置,它们包括:

用于存储合成信息的几个存储单元,在每个存储单元中用于至少存储一个标记符的装置,该标记符至少指示上述存储单元是处于选择状态或是处于非选择状态,在这些存储单元中为建立上述标记符用于作出搜寻操作的装置,以及连接所有上述存储单元的优先级译码器,该译码器从上述存储单元的几个之中选择出一个来。

为了在上述存储单元之间进行“与”(AND)及“或”(OR)的逻辑操作,至少要有一个全局总线,以及在每个存储单元中用于与上述总线相通信并控制上述存储单元参与实际逻辑操作的装置。每个存储单元最好包括一定数目的数据目标存储字段,每个字段均能够存储一个数据字及至少一个标记符,并且呈现标签形式。每个存储单元最好至少包括一个状态存储字段。用以指示上述存储单元中所存内容的状态。

将存储单元的这些字段至少连接到一个第二总线上,每个字段均有一个比特(bit)的位宽,这些总线是用来进行“线与”(WIRED, AND)或“线或”(WIRED OR)逻辑操作而提供的,为了读写存储器总线上的内容,将这些字段及优先级译码器连接到第

二总线上。这些存储单元受到分布在所有存储单元上的外部控制所控制,这些数据字将能够通过连接到所有存储单元上的存储器总线上给出的外部合成信息传送到该存储器中去或从该存储器中传送出来。

本发明也设想了一个用于相联存贮器的存贮器位单元,其中存贮器位单元值 V_{store} 是可设置的,该值可为“真”也可为“伪”。该存贮器位单元具有能以几个不同的功能状态进行设置的结构,并且包括总是有电源电压的第一连接,至少可在三个不同的控制状态中设置每种连接的第二,第三及第四连接,以及在该第二,第三及第四连接上的每个控制状态的组合都在这些功能状态之中以单个形式对该存贮器位单元进行设置。

该存贮器位单元能够完成许多功能,即便是它仅包括有四种连接,而且其中三个是可控的。它包括有很少的元件。这就有可能作出具有大量位单元的一种小型存贮器件。

以下给出本说明书中用到的表示符清单及其它们的含义

element	在数据结构中较大型的部件。
---------	---------------

(部件)

list	部件的次序,每个部件均可依次排成一个清单。
------	-----------------------

(清单)

closure	定义一个过程的分散结构实体。
---------	----------------

(闭包)

所有的闭包都有一个唯一定义该包的根。在这闭包上进行简化机器中的简化工作。通过这些变换该机器的整个状态。

storage bit cell

(存贮位单元)	仅仅存贮如像“0”或“1”这样的一份信息
---------	----------------------

的存贮器单元。

Storage cell 包括许多位单元的目标贮器单元。

(存贮单元) 它存贮可以涉及存入其它存贮单元的其它单元包的单元闭包。

Cell cosure 在一个存储单元中的内容。
(单元包)

Storage field 在一个存储单元中的字段。
(存贮字段)

Closure element 存入一个存储时间元字段中的一个数据部件。
(包部件)

Closure identifier 唯一指定一个闭包的包单元部件。
(包标识符)

Canonical closure 不能再简化的闭包,即不含有任何指定某些其它单元包可以再将此单元包进一步进行简化的闭包标识符的一个单元闭包。
(标准闭包)

goal 将要执行的一个闭包,即已简化了的。
(目标)

father

(父) 在一个值/指定字段中,至少具有一个闭包标识符的一个闭包。

Son

(子) 通过一个指定为儿子的闭包标识符连接到另一个闭包上的一个闭包。

儿子也可以成为父亲。父亲也可以是儿子。一个儿子可以有多个父亲。一个父亲可以有多个儿子。一般最多可有四个儿子。

closure position

(包位置) 不论闭包是处于根位置还是处于节点位置。

root 在一个闭包树中,最顶部的那个闭包单元。

(根)

node 在一个闭包树中,不是处于根位置上的闭包单元。

(节点)

where 含有一个闭包位置的一存储单元字段。

(何处)

type 在一个单元中的型号代码。

(型)

lazy

(迟缓) 指示存入该存储单元中的单元闭包是否是可执行的或者是延迟鉴定的或者是无效的一个存储单元中的一个部件。

identifier

(标识符) 用来指示存入一个存储单元中的目标的一个特种闭包部件。

environment 可以将有相同环境的目标汇集成组。

(环境)

Value/des

(值/指定) 一种闭包部件,存储着或者是取值,即直接表示,什么都没有,或者是指定到其它闭包,即间接表示。

Core cell

(芯单元) 能够完成含有简化闭包的结构运算的一种结构运算单元。

numword 表示一种取值或一种指定的部分部件字。

(数目字)

tagword

(标签字) 具有指示该数目字中特征表示的标签的部分部件字。

object storage 指示存储着目标的存贮单元的存贮器。

(目标存贮器)

为充分理解本发明及其本发明实现之目的及其优点,现结合如下图作出如下说明:

图 1 示意性说明根据本发明的存贮器的一个实施方案设计;

图 2 示意性说明在依本发明的存储器中一个存贮单元的实施方案;

图 3 是在一个存储单元中可能使用不同存贮字段的示意性说明;

图 4 是在目标存贮器中依照本发明的存贮单元如何可以表示一种功能的示意性说明;

图 5 是在一个存储单元中一个位单元的第一个实施方案的电路图;

图 6 是在一个存贮单元中一个位单元的电路图及连接到它上面的驱动及读出电路;

图 7A 是依照本发明在存贮器中包括有优先级译码器的一个电路框图;

图 7b 说明图 7A 所示框图之连接；

图 8 是依照本发明在存贮器中一个部件头的一个实施方案的电路图；

图 9 是依照本发明在存贮器中一个闭包头的一个实施方案的电路图。

根据本发明之相联存贮器尤其适宜与简化型计算机相结合。这种计算机在美国的专利申请(NO.....)中有所描述。这种计算机不像通常所使用的计算机那样具有任意的彼此分隔着的存贮器。而这种计算机是使用依本发明的这种存贮器作为一种有效存贮器单元的一个集合体。

依照本发明设计该相联存贮器时的策略是用若干存贮单元建立起一个存贮器件。每个这样的存贮单元应含有一个单元闭包或者是一个空间无用的存贮单元。这些存贮单元不应被配置在任何特定的次序上,但应被假设是一组可利用的资源。

没有具体的地址或者说不依赖于其具体位置这一点被认为是非常重要的。在所有现有的 RAM 型器件中,这样的依赖性迟早会出现问题。

所有存贮单元皆通过存贮器总线装置进行通信。为了降低成本,这一点是很重要的。其它设计,如像采用若干端口等,都将增大存贮器的面积。然而,存贮器总线装置在每个存贮周期内可以仅只完成一个操作。

该简化机构将具有一个由单元闭包组成的状态。每个单元闭包都有一个标识符,并且将这些单元闭包通过标识符连接在一起,形成一个图形。借助于其标识符可以通过寻址闭合跟随该图形。因此,该存贮器总线将被用作该图形所有顶点的共同通路。

每个闭包都有一个环境。这种环境可以包括一个在提供该包环境的包树中指定其根包的标识符。按这种方式,整个结构都是可以从该树中的一个包内,通过其根,在仅仅一个操作中,进行存取。可将具有相同的环境的闭包连在一起构成组。

所有的“寻址”都必须根据内容的信息来进行,因为这里没有具体的依赖关系,也就是说,该存储器是相关联的。单元闭包,也就是一个存储单元内的内容,包括若干存储部件,并可存入该存储单元中的存储字段内。每个存储部件均能够含有附带某些标号信息的一些标识符。使每个存储字段都彼此相关联。因此,这里没有信息流的方向。这就有可能使用该单元标识符、单元环境、单元类型,写入存储单元字段的值或者将其组合作为搜索键。

存储部件可以包括一个指示已经将该存储部件选择作为存取机构的目标的外部选择位。某些搜索操作设置这些存储单元字段中的选择位。

这种存取类型可含有一个或几个存储单元。一个多单元操作可以在属于不同存储单元的许多选择的存储部件中存储一个标识符,并且在之中存入不同的字段。

当在简化型计算机中包括有根据本发明的以下称之为目标存储器的存储器时,其简化机构可具有由许多闭包组成的状态,在此若干标识符形成一个图形。然而,该基本的简化规则有许多,而且又不能把它们包括到每个存储单元之内。因此,该简化机构为所有闭包共用。采用中央控制器使得该目标存储器中的所有目标存储单元都能够产生出长的存储器总线。该中央控制器也有可能在时间上及电平上控制总线上的信号。该中央控制

器并不是本发明的一部分,因此不再对此详述。

外部控制器控制目标存储器的功能。该存储器总线与所有的存储单元相通信。在某些情况下,要求读出几个存储单元。为此,提出一种机构用于在几个可用的存储单元中仅只选择一个来。通过连接到所有单元上的优先级译码器来完成这种选择。

依照本发明的目标存储器与常规的 RAM 型存储器相比具有相当高得多的智能。这种相关联就是使它有可能与常规 RAM 型存储器所提供的“读”及“写”相比给出更多的服务。以下将对此作进一步解解。图 5 及图 6 示出特别适用于目标存储器的位单元结构,以下将作进一步描述。

按存储单元划分该目标存储器,每个均包括若干存储字段。所提供的服务均处在高电平上。例如,有可能找到无论什么存储字段存入到单个存储单元之内都会出现所有的特定数据部件,并且整个地将所找到的特定数据部件进行重写;也就是说,在整个目标存储器中,仅采用一个存储器指令写到一个新的数值上。由于该目标存储器是相关联的,于是可以在与所受影响的存储单元数无关的情况下于两个具体的存储周期内完成这个重写操作。

参见图 1,该存储器,以下称之为谓目标存储器,由存储单元组成的排的存储器面 1 所组成。因此,用这些存储单元构成堆栈的许多排。将它们全部连接到由驱动及读出放大器驱动的一个垂直存储器总线 $t_1, t_2, id, env, v_0, v_1, v_2, v_3$ 上。图 6 详细示出了这种对于一个位单元的电路实施方案。同样是把所有的存储单元连接到一个优先级译码器 2 上,当运行若干个存储单元时,从中选择一个存储单元来。通过几个周期内完成的相关存取控

制该存储器。在这期间里完成全部的目标存储器存取。

根据本发明,可以将目标存储器中的存储单元用来存储数字内容和在实际进行计算中取作有效部分。在每个存储单元 1 中存储上合成的数字信息以及至少一个符号。这些符号或是(选中)CHOSEN 或是(未选中)NON CHOSEN。这些存储单元中或其中部分存储单元中的合成的数字信息称作存储字段,存储这些存储部件,并且通过具有值 CHOSEN 符号的标号信息的读出或写入对它们可作读出或写入。在没有这种标号位在内的情况下,也可给出存取。然后,通过连接到这些部件(见图 2)上的一个位总线 a 及 b 上的逻辑操作的结果控制该存取。

中央控制器(未示出)用作外部控制,它参与搜索操作以及从存储单元中对信息进行读出及向存储单元将信息进行写入。该中央控制器在美国待批专利申请 NO……中有所描述,它涉及包括一个目标存储器的处理器,但并不是依照本发明的这种目标存储器的部件,故在此不再详述。该中央控制器最好是从连接到该目标存储器上的存储单元及器件中的内容之中得出输入信号的一个布尔门阵列,并且根据它的输入信号向该目标存储器提供控制信号。然而,要注意,依照本发明之目标存储器可以与任何通常类型的处理器相协同操作,只要这种处理器具有适合于该目标存储器的接口及控制程序。

根据本发明所用的存储器总线装置,最好把简化处理器中的简化操作放在连接到目标存储器中所有存储单元上的结构运算器,以下称为芯单元 3,中进行。该存贮器总线装置在每个存贮周期里仅可完成一个操作。这将是最简单,也是最便宜的一种实现这种连接的方式。然而,其他的设计也是可以采用的,如像

采用若干端口等等,但是这样的装置将会增大存贮器的面积。存贮单元的字长可以是相当的长,例如,238 位。因此,在芯单元和存贮单元之间,可以把读存储器总线装置划分成若干总线节,如像 $t_1, t_2, id, env, v_0, v_1, v_2, v_3$, 可以将它们相互给予不同的任务。然而,在本发明的范围之内,是具有仅仅少数一些位的短字长,如像三十二位的八,十六,并且仅有一个或一些符号。然而,对于可在一个芯单元中实现的操作来说,有可能在目标存贮器中保留一个字段,即,可以在目标存贮器的部件中模拟该芯单元。该芯单元对于在仅一个操作中其寄存器之间的交换及传送数据来说,具有若干特征。这样的一些特征在一个模拟芯单元的目标存贮字段中将占用若干个存贮周期。

为在存贮单元 1 之间作逻辑操作给出两个总体一位总线 4,5。这些操作可以是“与”(AND)及“或”(OR)。可用第三个总线 14 与优先级译码器相连接。然而,这并不是把总线的数目限制到三个,但它可能仅是一个或几个。这些相互分隔开的存贮单元可以读总线 4,5 及 14 并也参与逻辑操作。如果将要在任意的总线 a 或 b 上作测试的话,则总线 4 将具有信号“真”值。所有的存贮单元都可以读及写该总线 4(模)。如果选取了多个存贮单元,则总线 5 将具有“真”值。如果任意存贮单元都要求通信,则总线 14 将具有信号“真”值(即“1”)。

图 2 示出了一个存贮单元。该存贮单元被划分成若干存贮字段 6。每个存贮字段 6 都有若干存储位单元 7,以下称作位单元,以及一个部件头 8。将表示部分合成数字信息的数据存入位单元 7。该位单元 7 是与存入部件头 8 中表示(选中)CHOSEN 或(未选中)NON CHOSEN 的符号连在一起的。可将这些存储字段

给予相互间不同的任务。将要存入每个存储字段的字长,例如,可以是 38 位这样的量级。作为“头”8 中的附加符号也可用位单元 7 中的一些位作为有关该存储字段内其它信息的用法信息。因此,可以把称作标签的字放在这些位之中。可用 6 个位作为标签字并且一般把 32 个位用作正常的存入位单元 7 中的信息。把每个位单元用两条线连接到驱动及读出放大器上(见图 6),如像图 5 中所示的位单元实施方案中的线 d 及 d'。因此,走向用来存储是 38 位长信息的部件的每个信息总线部分含有 76 条线。将每个这样的总线部分连接到放入一个存储单元面中的一列内的存储部件上。

由图 1 可看出,所有的存储字段不一定必须要有相同的大小。因此,连接到总线部分 t_1 及 t_2 上的存储字段小于连接到其他总线部分上的存储字段。将存储字段 6 的部件头 8 连接到该存储单元的本机的一位总线 a 及 b 上。可以其它方式选取这些总线的数目。重要的是至少要有一条总线。采用这些总线进行在存储字段选中 (SHOSED) 的那些存储单元之中的“线与” (WIRED AND) 及“线或” (WIRED OR) 的逻辑操作。

由图 2 可看出,每个存储单元都有一个闭包头 11,并且把总线 a 及 b 连接到它上面。也把该闭包头 11 至少用一个一位宽的总线连接到优先级译码器上去,在该所示出的实施方案中就是两条总线 12 及 13;同时,也把它连接到总体总线 4 及 5 上。该闭包头 11 起到一个缓冲器的作用。这些存储单元可以读这些总线上的操作结果,或参加逻辑操作。

中央控制器通过控制总线控制存储单元。通过驱动及读出放大器的接口(见图 6),可以在目标存储器中的所有存储单元

和芯单元 3 之间交换合成的数字信息。将外部连接上的信息写入存贮单元。并把存贮单元中的信息从该存贮单元读出到外部连接上去。

可从其头 8 中控制每个存贮部件中的位单元 7, 这样这些位单元就可以如下操作:

- | | |
|----|------------------------------|
| 休止 | 此时的每个位单元维持所存贮的位值。 |
| 读 | 此时读出该位单元中所存贮的位值, |
| 写 | 此时将位值写入位单元, |
| 比较 | 此时将由存入位单元的位值合成的数据字与另一个数据相比较。 |

头 8 的控制取决于逻辑状态; 每个逻辑状态均是第二个总线 a 及 b 上的数据, 较早的符号, 当比较操作时的比较结果以及对目标存贮器的外部控制信号的函数。

根据逻辑状态, 该符号是可以进行设置的。每个逻辑状态均是第二总线 a 及 b 上的数据, 较早的符号, 当比较操作时的比较结果以及对目标存贮器由外部中央控制器(未示出)给的外部控制信号的函数。

因为这里没有具体的依赖性, 所以全部“寻址”都必须根据内容信息, 即目标存贮器是相关联的。因此, 这里没有清楚的信息流方向。正如以下将进一步解释的那样, 有可能使用单元标识符, 环境、类型、信息值或它们的组合作为搜索键。

在存入具有值“选中”(CHOSEN)的存贮单元的一个存贮字段中的部件内的一个或几个符号位, 指示该部件一直被选作用于该存取机构的目标。可以采用某些搜索操作来设置这些符号。

这种类型的存取可包含有一个或几个存储单元。这些多单

元操作中的一个操作就是一种存储操作,它可在许多所选择的部件中存储一个标识符。

由图 2 可看出,线 **acc** 连接到“头”8 上,并横向连接一个部件内全部的位单元。正如将在描述图 5 及 6 中将进一步解释的那样,通过该线 **acc** 上的信号控制全部的位单元。每个位单元包括有两个线 **d** 及 **d'**,并且把它们连接到目标存储器中其他存储单元内所相应的全部位单元上去。

优先级译码器对每个存储单元均包括有一个节。每节都有关于 **REQUEST**(请求)的第一连接;在它上面,位值“真”表示 **NEED**(需要),而位值“伪”表示 **NO NEED**(不需要)。每节都有关于 **GRANT**(准许)的第二连接;在它上面,位值“真”表示 **CHOSEN**(选中),而“伪”表示 **NOT CHOSEN**(未选中)。

该优先级译码器 2 对于具有相当于 **NEED**(需要)的 **REQUEST**(请求)的存储单元来说,最多设置一个相当于 **CHOSEN**(选中)的 **GRANT**(准许)。可以这样 **CHOSEN**(选取),按结构测量,第一节具有 **REQUEST**(请求)则将相当于选取 **NEED**(需要)。图 7A 及 7B 示出了一个优先级译码器的实施方案,以下将作进一步详述。

在许多情况下,约定目标存储器总线是与所有的存储单元相通信的。然而,有些情况,在存储单元之内的几个存储单元或存储部件应该预定,然后再进行读出。这由优先级译码器 2 来完成。从每个单元那里有一个 **REQUEST**(请求)信号,而后,优先级译码器 2 再返回一个 **GRANT**(准许)信号。

用读操作,写操作及搜索操作来控制该目标存储器。可把这些操作组合成更为复杂的操作。在内部总线 a 及 b 上及总体总线

4 及 5 上均可完成某些逻辑操作。

通过进行比较作出搜索,而后,得出结果 FIT(吻合)或 DIFFERDNT(不一致)。可按如下的一种方式实现该搜索。

(1)单个地对每个存储部件进行搜索,并且是与其他存储部件中的合成信息相互无关的。

(2)可通过与一个存储单元中所有的存储部件进行比较实现搜索。在每个部件中,其结果必须是 FIT(吻合)。

(3)可通过与一个存储单元中所有的存储部件进行比较来实现搜索。至少在一个存储部件中,其结果必须是 FIT(吻合)。可按如下方式进行比较:

(1)将两个位模式作比较。仅当所有相应的位均相类同时,该比较结果方为 FIT(吻合)。

(2)将两个位模式进行比较或仅将其中的一个作编码,以致其中的一位标明该位模式信息对应于 ARBITRARY 或特定信息值 V。在比较之中,若其中的一个信息值对应于 ARBITRARY,则其结果为 FIT(吻合)。否则,仅当两个特定信息值 V 完全相同时,该结果方为 FIT(吻合)。

其总线的作用是执行目标存储字的读出或写入。通过 access (存取)作用控制该 bus (总线)。该 access (存取)作用取决于第二总线 a 及 b 上的符号和/或其值。

在一个位总线 a 上提供的“线或”(WIRED OR)功能具有一个布尔(booleans)清单。它在一个存储单元中的所有存储部件之间计算逻辑或(OR)。具体讲,它对应于由分布在部件头 8 中的晶体管设置的线。

在一位总线 b 上提供的“线与”(WIRED AND)功能具有一

个布尔清单。它在一个存贮单元中的全部存贮部件之间计算逻辑与(AND)。具体讲,它对应于由分布在部件 8 中的晶体管设置的线。

优先级译码器 2 的优先级功能具有一个作为对应于大小的布尔清单自变量及结果的布尔清单。其自变量具有一个有着最高优先级的第一部件。此后,便将跟随若干较低优先级的位。该自变量的第一“真值”位导致其结果中所相应的真值位。所有其他位则均为“伪值”。

通常通过该部件中的第一搜索值使用存贮单元中的部件,而后再在所寻找到的部件中完成读写操作。

根据本发明所用的目标存储器,图 3 以图表形式示出了一个存储单元的实施方案,并将用来解释在一个存储单元中不同存储字段的作用。图 3 中存储单元的这些字段并不像图 2 中存储单元的那些字段具有相同的量级和分割,因为图 2 表示的是硬件,而图 3 表示的是存储单元的使用。如图 3 所示,该存储单元可存储两种类型的存储部件,并且包括具有特别适用于将要被存储的那些部件的一些存储字段。在图 3 中,对这些字段一直作为其中将要被存储起来的部件给以相同的命名。

第一种部件描述存储单元的不同状态。也可把这些部件叫作状态存储部件。一个这样的部件就是 LAZY(迟缓),它指示是否该单元是空闲着的。在这种情况下,将该单元的其余内容视为被动信息,exec(执行)即为可执行状态,或者 wait(等待)即为将对该单元的求值推迟,一直等待到有了可对它执行之前的结果。另外的第一种部件在 Type(类型),它有类型代码(Par,seg,apply,list 等等)。由图 2 可看出,可以在具有存储器总线型的一个

存储字段中提供所有的状态存储部件,或者如图 1 所示,可以在具有存储器总线 t_1 及 t_2 的两个存储字段中提供所有的状态存储部件。

第二种部件描述标识、环境或取值。这些就是 IDENTITY, ENVIRONMENT, VALUE/DES. 这些部件中的每一个都有一个代码字,并把它们依次划分入一个数目字及一个标签字之中。也可以把这些第二种部件叫作数据目标存储部件,因为是把数据目标存入这些部件的。

该标签字指示该数目字的特征。有两种标签字。一种是间接标签字,即用于标识符、环境及标识目标的那些标签字。另一种是直接标签字,即用于简单取值等这样的标签字。间接标签字的例子是 cls, canon 及 open。如果标签字是 cls, 它的意思就是在该标识符字段中的数目字表示可以被简化的一个闭包。如果标签字是 canon, 它的意思就是在该标识字段中的数目字表示的是不可以再作简化的一个闭包。如果标签字是 open, 它的意思就是该标识字段表示具有插入清单的一个闭包。直接标签的例子是 discr, cont, unused 及 nothing。如果标签字是 discr, 它的意思就是该数目字是一个整数。如果标签字是 cont, 它的意思就是该数目字是一个浮点值。如果标签字是 unused, 它的意思就是该标识字段中的数目字缺乏意义。如果标签字是 nothing, 它的意思就是该标识字段中的数目字表示的是没有,即相互矛盾;例如,包括具有标记 nothing 的字段的一个闭包的一致性将永远是 nothing (没有)。

如果在存贮单元中的标识字段包括有标识符部件,那么则可以把该存贮单元中的过程状态传送给芯单元。每个存贮单元

均可有一个将该单元连接到另外的单元包中去的字段 VALVE/DES 中的闭包部件。环境字段将包括可有一个指示在给出该环境的闭包网络部分,即树,之中的根包的标识符。然而,该环境字段也可有其他用途。可用该环境通过存贮在所有单元立包环境中的创立标识符保持其结构的创立者跟踪。例如在子树内的所有的包单元中,所有具有相同命名的符号都应代表相同的事情,并通过因具有相同的环境而把它们构成组。依这种方式,就能够仅在一个操作之中,通过该根包,得到整个结构。

可将其指示功能视作从父亲到儿子的直接键,即一个闭包部件唯一对一个单元闭包进行标识。就是这样,以闭包方向图的形式表示具有这种相关联的目标存贮器的机器行为。

因此,如果给定一个闭包的环境,那么在其根包之中就可以找到这个环境。对根包在其存贮单元中的字段 WHERE 内给出一个特定符号(例如“1”)。对节点包在该字段 WHERE 内给出另一个符号(例如“0”)。

图 4 示出的例子就是存贮两个并行取值组合清单的函数

$$id_1 = list(par(123)par(456))$$

的一个存贮单元。第一个并行组合 $par(123)$ 有标识符 id_2 , 第二个并行组合 $par(456)$ 有标识符 id_3 。在该标签为 cls 的树中, 包括有标识符 id_1 的单元包的根存贮单元, 在 LAZY(迟缓)字段中具有循环 $exec$ (执行)在该 WHERE 字段中具有一个“1”置位, 在该 TYPE 字段中具有 $list$ 标记, 并在第一个 $value/des$ 双字段中具有 id_2 及 id_3 。因此, 将这些字段的标签记为 Canon, 因为这些字段的内容是间接地连接到其他包单元中去的。包括有标识符 id_2 的单元包的节点存贮单元, 在该 WHERE 字段中具有一个

“0”置位,在该 Type 字段中具有标记 par,并具有存入其第一个 Value/des 三字段的离散值 1,2,3。因此,将这些字段的标签标记 discr。包括有标识符 id_3 的单元包的节点存贮单元,在该 WHERE 字段中具有一个“0”置位,在 Type 字段中具有标记 par,并具有存入第一个 Value/des 三字段中的离散值 4,5,6。因此,也把这些字段的标签标记 discr。

整个目标存贮器希望用 VLSI—工艺(VLSI—超大规模集成)实现。因此,每个位单元均有适于以 VLSI—工艺实现的,并且对于大量位单元的高密度集成是最佳的一种设计。正如图 5 所示之,该位单元仅有四条连接线,即接通电源电压的第一连接线 V_{cc} ,以及每个都至少可设置到三个不同的控制状态上的第二、第三及第四连接线 acc, d, d^* ,以下将对此作进一步详述。

图 5 所示之位单元的实施方案是一个四晶体管 CMOS 单元。在该实施方案中,这些晶体管都是 n—型晶体管。然而,从以下给出的元件清单中可清楚地看出,该位单元电路中的元件可以是许多不同种的元件。这四个晶体管的 CMOS 单元是静态的,并且有电阻性负载。该单元从每边看上去都是一个可控制的触发器。在存取线 acc 与电源线 V_{cc} 之间,分别并行给出两条串联着的,每条均有源/漏通路的 MOS FET 及负载的 T_1, L_1 及 T_2, L_2 。晶体管 T_1 的漏极接到晶体管 T_2 的栅极,晶体管 T_2 的漏极接到晶体管 T_1 的栅极。将二极管 D_1 接到线 d 与晶体管 T_1 的漏极、负载 L_1 及晶体管 T_2 的栅极的交接点 n_1 之间。将二极管 D_2 接在线 d^* 与晶体管 T_2 的漏极、负载 L_2 及晶体管 T_1 的栅极的交接点 n_2 之间。二极管 D_1 及 D_2 的每一个又都是通过将 MOS FET 的漏极与栅极彼此相连给出的,并且分别接到线 d 或 d^* 上。

该电路部件的基本特性是二极管 D_1 及 D_2 使电流只能按照相对于线 d 及 d^* 的一个方向流动,并且这些晶体管都是有源部件,其中的电流都是可以由它们的栅极电位的变化进行控制的。在交接点 n_1 与 n_2 上,可存储相关于一个位信息的电位。每个负载都是类同于电阻这样的元件。

图 5 实施方案中所示的电压 V_{cc} 是一个高电位。因而控制二极管 D_1 及 D_2 使电流分别从线 d 或 d^* 流向节点 n_1 或 n_2 。当栅极电位提高时,有源元件 T_1 或 T_2 的电阻则降低,于是节点电位也下降。然而,在其他实施方案中,可以选择这些电位和电流,使得具有与图 5 所示实施方案中所示的方向完全相反的方向。

可以许多不同的方式选择图 5 这种电路的元件。可以在如下元件之中选取二极管 D_1 和 D_2 :

(1)将 n -沟道 MOS FET 中的漏极及栅极相互相接起来(正电压)。

(2)将 p -沟道 MOS FET 中的漏极及栅极相互连接起来(负电压)。

(3)、 pn -二极管(有向二极管的正电压、负电压)。

(4)Schottky(肖特基)-二极管(有反向二极管的正电压,负电压)。

可用如下元件作有源部件 T_1 及 T_2 :

(1) n -沟道 MOS FET(正电压)

(2) p -沟道 MOS FET(负电压)

(3) nnp 晶体管(正电压)

(4) $pnnp$ 晶体管(负电极)

可用如下元件作负载 L_1 及 L_2 :

(1)电阻

(2)将其漏极与栅极相互连接起来的 n—沟道增强型 MOS FET(正电压)

(3)将其漏极与栅极相互连接起来的 p—沟道增强型 MOS FET(负电压)

(4)将其漏极与栅极相互连接起来的 n—沟道耗尽型 MOS FET(正电压)

(5)将其漏极与栅极相互连接起来的 p—沟道耗尽型 MOS FET(负电压)

(6)将其栅极作为控制极,源极与漏极作为驱动连接的 n—沟道 MOS FET(正电压)

(7)将其栅极作为控制极,源极与漏极作为驱动连接的 p—沟道 MOS FET(负电压)

(8)将其基极作为控制极,发射极与集电极作为驱动连接的 npn 晶体管(正电压)

(9)将其基极作为控制极,发射极与集电极作为驱动连接的 pnp 晶体管(负电压)

有正电压和负电压的意思是指 V_{cc} 相对于地电位分别为正或负。以下用到的“低”及“高”电压是相对来说,将位单元中的电压是否视作为正向或负向,即相对于地电位来说,第一连接上的电压 V_{cc} 是正的还是负的。

图 6 示出有位单元驱动线 d, d^* 及 acc 的位单元电路的第二实施方案。相对于图 5 中的元件都记作相同的标引号。用虚线围起来的表示位单元 7^* 。负载分别就是 MOS FET I_1 及 I_2 的源/漏通路。在此实施方案中它们是 p—型,也就是说,相对于 n 型

的晶体管 T_1 及 T_2 来说,正好是相反的一种类型。晶体管 I_1 的栅极接到节点 n_2 上,晶体管 I_2 的栅极接到节点 n_1 上。

考虑图 5 及图 6 的位单元实施方案,该位单元可以存储取值 V_{store} 。该取值可以是“真值”也可以是“伪值”。该位单元具有通过在线 acc, d 及 d^* 上设置不同的电位就可以将其置于几个不同的功能状态上的一种结构。

这些控制状态是高电平、低电平、流入所有线的单元之中,以及也从线 acc 的单元中流出。线 acc 是一条来自“头”8 的存取线,并且在存储部件中连接到所有的位单元 7 上。第三及第四条线 d 及 d^* 当进行写入或读出时,具有彼此相互反向的信号,并且存取线 acc 处于低电平。

图 6 中的虚线方块说明的是“头”8 中的驱动及读出放大器。在“头”8 中对存取线 acc 进行控制,并依次受提供电压 V_r 及 V_3 以及予充电信号 $prech$ 的外部中央控制器的控制。第一晶体管 T_3 ,在此实施方案中是 n -型,将其源极接到电压 V_r 上,将其漏极接到存储单元中为所有位单元 7 共用的存取线 acc 上,将其栅极接上予充电信号 $prech$,可以把这个信号视作时钟信号。第二晶体管 T_4 ,在此实施方案中是 n -型,将其源极接到电压 $0V$ 上,将其漏极接到存储单元中为所有位单元 7 共用的存取线 acc 上,其栅极则受外部控制信号的控制,当在存取线上设置的电压为 $0V$ 时,该外部控制信号电压 V_3 将为高电平。如上所述,将把线 acc 连接到存储单元中的所有位单元上;因此,所有的位单元将有关于线 acc 的相同的控制。为了对线 acc 进行控制,在第一阶段给出一个予充电,将 MOS FET T_3 控制到它的导通状态上,因而将线 acc 设置在电压 V_r 上。在下一个阶段里,将

取决于作何种控制的高电平或低电平的信号 V_3 , 对于线 acc 来说, 就是低电压或高电压, 馈送给 MOS FET T_4 。在放大器 AMP 中, 将线 acc 上的电压电平进行放大, 然后再传送给外部电路作进一步的操作。

图 8 示出整个部件头的实施方案, 并且以下将作进一步描述。信号对“头”8 以及对以下要描述的驱动及读出电路 9 的控制信号的方法并不是本发明的一部分, 故将不再进一步详述。

图 6 中的另一个虚线方块图示出了位单元线 d 及 d^* 的一个驱动及读出电路 9 的实施方案。然而, 要注意, 该电路 9 仅只对驱动及读出线 d 及 d^* 说明了一种可能的方式。将输入/输出 (IN/OUT) 连接到图 1 所示的芯单元 3 上。因此, 电路 9 是在目标存贮器 1 与芯单元 3 之间的接口中给出的许多类似电路中的一种。

对于线 d 的写电路包括一个第一对晶体管 T_9 及 T_{10} 。在本实施方案中, 第一个是 n -型的, 第二个是 p -型的, 并将它们的漏极接到线 d 上, 而且给出一个电压分压。将晶体管 T_9 的源极接到电位 V_r 上, 将其栅极接到予充电信号 $prech$ 上。另一个晶体管 T_{10} 把它的漏极接到电位 V_{cc} 上, 把它的栅极接到控制信号 V_4 上。当把电位 V_{cc} 馈送给线 d 上时, 该控制信号 V_4 则走向低电平, 如像以下将进一步解释的那样。对于线 d 的, 写电路, 还包括在电源电压 V_{cc} 与 n -型晶体管 T_{11} 的漏极之间连接的 p -型晶体管 T_9 及 n -型晶体管 T_{10} 的一条串行连接的源/漏通路。该 n -型晶体管 T_{11} 将它的源极接到地电位上, 将它的栅极接到来自外部控制的输入写上。将晶体管 T_9 及 T_{10} 的漏极之间的交接点接到晶体管 T_9 的栅极上, 并且具有电压 V_4 。将晶体管 T_9 的栅极

送入反向予充电信号 prech , 在该予充电阶段里, 通过晶体管 T_9 的导通, 将晶体管 T_8 的栅极与电源电压 V_{cc} 相连通。

对于线 d^* 的写电路包括一个第二对串联的晶体管 T_7 及 T_8 , 在本实施方案中其第一个是 n -型的, 其第二个是 p -型的, 并且把它们漏极接到线 d^* 上, 而且也给出一个电压分压。晶体管 T_7 将它的源极接到电位 V_r 上, 对它的栅极馈送入予充电信号 prech 。另一个晶体管 T_8 将它的漏极接到电位 V_{cc} 上, 并对它的栅极馈送一个控制信号 V_6 。当应该把电位 V_{cc} 传送给 d^* 时, 该控制信号 V_6 则走向低电平。

对于线 d^* 的写电路在电源电压 V_{cc} 与晶体管 T_{11} 的漏极之间也包括有一条串行连接着的 p -型晶体管 T_{12} 与 n -型晶体管 T_{13} 所连接的源/漏通路。在晶体管 T_{12} 与 T_{13} 的漏极之间的交接点接到晶体管 T_8 的栅极上, 并且在它上面的电压是 V_6 。对晶体管 T_{12} 的栅极馈送给反向的予充电信号 prech^* 。在该予充电阶段里, 通过晶体管 T_{12} 的导通, 则把晶体管 T_8 的栅极与电源电压 V_{cc} 相连通。

将用于输入及输出的外部线 IN/OUT 接到两个三态反相器上。将其输出端接到线 IN/OUT 上的三态反相器中的一个三态反相器具有一条两个 n -型晶体管 T_{14}, T_{15} 及两个 p -型晶体管 T_{16}, T_{17} 相串接着的源/漏通路。将晶体管 T_{16} 的栅极接到给出信号 bitin 的外部控制线上, 而将晶体管 T_{15} 的栅极送入反相的信号 bitin^* 。将其输出端接到线 IN/OUT 的第二个三态反相器具有一条两个 n -型晶体管 T_{18}, T_{19} 及两个 p -型晶体管 T_{20}, T_{21} 相串接着的源/漏通路。将晶体管 T_{19} 的栅极接到给出信号 bitin 的外部控制线上, 而将晶体管 T_{20} 的栅极送入反相的信号 bitin^* 。将该

第二个三态反相器的输出端接到晶体管 T_{13} 的栅极上,并通过反相器 INV 接到晶体管 T_{10} 的栅极上。

读放大器包括一个 n—型晶体管 T_{22} 。将其 T_{22} 的源极接地,栅极接恒定电压 V_{bias} 。该电压 V_{bias} 使晶体管 T_{22} 保持常导通,从而起到一个电流源的作用。而 T_{22} 的漏极则接到一条分别由 n—型晶体管及 p—型晶体管 T_{23} , T_{24} 及 T_{25} , T_{26} 组成的两个相串接着的源/漏通路的并行连接上,并且将它们的端点都接到电源电压 V_{cc} 上。p—型晶体管 T_{24} 的栅极接到晶体管 T_{23} 的漏极交接点上。将晶体管 T_{23} 的栅极接到位单元 $7'$ 的线 d 上,而将晶体管 T_{25} 的栅极接到线 d^* 上。

将每个时钟周期,信号 $prech$ 及 $prech^*$, 分成一个予充电阶段。在此予充电阶段里,信号 $prech$ 处于高电平,而在一个制作阶段里,信号 $prech$ 处于低电平,并且来自外部控制的其他控制信号决定将要作出的操作。因此,在予充电阶段上,分别通过晶体管 T_5 , T_7 及 T_8 将线 d , d^* 及 acc 予充电到电压 V_r 上。

当要把数据送入位单元 $7'$ 及从位单元 $7'$ 中送出时,则需要用信号 $bitin$ 及 $bitin^*$ 进行控制。当信号 $bitin$ 处于低电平,而信号 $bitin^*$ 处于高电平时,则通过第一个三态反相器从位单元向线 IN/OUT 传送数据。当信号 $bitin$ 处于高电平,而信号 $bitin^*$ 处于低电平时,则通过第二个三态反相器从线 IN/OUT 向位单元传送数据。

在阶段二中的读操作上,当把线 d , d^* 及 acc 予充电到 V_r 上之后,则将线 d 及 d^* 保持浮动着,并通过高电压 V_s 使晶体管 T_4 导通将线 acc 设置到电压 OV 上。这就使得具有最低电位的节点 n_1 上的电位低到一个 V_r 与 OV 之间的电位上。因此,电流从线 d

流向节点 n_1 再流向线 acc 。这个电流使线 d 放电,即线 d 上的电压将会下降。这种电压的减小可通过读放大器 T_{22} 至 T_{26} 来测量。在晶体管 T_{25} 及 T_{26} 的漏极之间的交接点上给出该读出结果,并且把它馈送给第一个三态反相器 T_{14} 至 T_{17} 的输入端上。当信号 $bitin$ 处于低电平,而信号 $bitin^*$ 处于高电平时,则给出读出的传输,并且把经放大的位值送到输入/输出线 IN/OUT 上。重要的是,在阶段二期间的有效方式中,并不驱动线 d 及 d^* ;因此,在一条线上是不能取得电压削减的。

因此,对于读操作来说,起始都是将 d 及 d^* 给在电位 V_r 上。将 d 及 d^* 完全保持在电位 V_r 上,但是其中之一则有所下降,因为“电流流入”进入线 d , d^* 放电的那一个线的单元之中了。由于这里把 V_r 定义作“低”,那么低电位就是说比“低”还要低一些。 d 及 d^* 给出读出值。 d 低于 d^* - 则给出 FALSE(伪); d 高于 d^* , 则给出 TRUE(真)。对于不写、写伪、写真、不写并且不比较这些操作来说,在线 d 及 d^* 上的信息电位不给出任何信息。

在阶段二期间,对于写操作来说,当把线 d , d^* 及 acc 予充电到 V_r 上之后,则通过高电压 V_3 使晶体管 T_4 的导通,将线 acc 置位到电压 OV 。在输入/输出线 IN/OUT 上,给出所要存储的值。信号 $bitin$ 高,而 $bitin^*$ 低,则启动第二个三态反相器 T_{18} 至 T_{21} 将线 IN/OUT 上的值传送给它的输出端上。在晶体管 T_{11} 栅极上的控制信号 $write$ 处于高电平时,则把晶体管 T_{10} 及 T_{13} 的源级都接到 OV 上。

来自第二个三态反相器 T_{18} 至 T_{21} 的高电平信号,即要写入的“0”或“伪”,控制晶体管 T_{13} 成截止状态,并将电压 V_6 设置到

低电平电压,于是将晶体管 T_3 控制成导通状态,因而把线 d^* 置位到电压 V_{cc} ,即高电平。来自第二个三态反相器的反相信号馈送到晶体管 T_{10} 的栅极,该信号处于低电平,因此,将使晶体管 T_{10} 导通。在予充电阶段里,被连接到电源电压 V_{cc} 上的电压 V_r 将被保持在这个电压上。晶体管 T_6 将保持截止,并且通过晶体管 T_5 ,以予充电期间,连接到线 d 上的电压 V_r 将被保持住。

来自第二个三态反相器 T_{18} 至 T_{21} 的低电平信号,即要进行写入的“1”或“真”,将控制用于线 d 的写电路 T_5 、 T_6 、 T_9 、 T_{10} ,并将它通过反相器 INV 置位到高电压 V_{cc} 上;而写电路 T_7 、 T_8 、 T_{12} 、 T_{13} 将线 d^* 保持在予充电阶段设置在上面的电压 V_r 上。

从以上实施例中可看出,在图 6 所示的实施方法中,以如下操作方式使用存贮器节点 n_1 及 n_2 。在操作周期的第二个阶段里,将根据使用控制信号 V_3 、 V_4 及 V_5 中究竟是哪一个来对节点 n_1 、 n_2 中的一个节点或两个节点进行充电还是进行放电,即,是否将线 acc 置位于 OV 上或是否将线 d 及 d^* 中的一条线(或两条线)置位到 V_{cc} 上。

如上所述,每个操作周期都是由予充电周期及执行周期组合成的。因此,以下要提及的是,将线 acc 置位于高电平,这就意味着,信号 V_3 不是在执行周期里控制晶体管 T_4 把电压 OV 置位在线 acc 上。同样,以下要提及的是,将线 d 或 d^* 置位于低电平,这是意味着,控制信号 V_4 或 V_5 不是在执行周期里对线 d 或 d^* 控制晶体管 T_6 或 T_8 处于与高于电压 V_r 的电压 V_{cc} 相接通的状况。然而,当把线 d 或 d^* 置位于高电平时,则将控制晶体管 T_6 或 T_8 把电压 V_{cc} 接通到线上。

存储单元面积可能会扩大一些,例如包括有 256 个存贮单

元,这装置就是,分别把每对晶体管 T_6, T_8 及 T_7, T_9 连接到用作所有存贮单元如像 256 个存贮单元中的一个位单元的一条线上去。因此,必须调整晶体管的尺寸,以适应于总线总容量和所要求的速度。

为了保持 V_r 和读出放大器反相器之间的已知关系,可以从少量的反相器之中提高电压 V_r 。在“头”中的存取电路应控制这些位单元,并且也从这些位单元之中获取信息。

通过控制状态可设置如下功能状态:

状态:

休止: 该单元只是进行值 V_{store} 的存贮,

读伪: 值 V_{store} = 可读“伪值”,

读真: 值 V_{store} = 可读“真值”,

不读: 该单元只是进行值 V_{store} 的存贮,

写伪: 将所存贮的值 V_{store} 置位于“伪值”,

写真: 将所存贮的值 V_{store} 置位于“真值”,

不写: 该单元只是进行值 V_{store} 的存贮,

比较伪: 将所存贮的值 V_{store} 对“伪值”作比较,

比较真: 将所存贮的值 V_{store} 对“真值”作比较,

不比较: 该单元只是进行值 V_{store} 的存贮。

以下是对于一个位单元不同操作方式的操作表:

操作方式	acc	d	d*
休止	低	低	低
读伪	低	流入	高
读真	低	高	流入
不读	高	任意	任意

写伪	低	低	高
写真	低	高	低
不写	高	任意	任意
比较伪	任意	低	高
比较真	任意	高	低
不比较	任意	低	低

对于“比较伪”和“比较真”来说,如果比较结果是 DIFFER-ENT(有差),则线 acc 应有流出状态。

对于“比较伪”或“比较真”操作来说,线 acc(存取线)给出比较结果。将线 acc 予充电到 V_r ,并将输入数据加在线 d 上,将其反相数据值加在线 d* 上。如果存入位单元中的值是不同的,那么输入数据将通过二极管 D_1 或 D_2 中的一个,并通过相应的 n 一型晶体管 T_1 或 T_2 对线 acc 充电。由“头”8 中的放大器(Amp)检测这一点。当检测到比较的是 FIT(吻合)时,线 acc 将保持在电位 V_r 上。

流入及流出表示的是在一个时序期间里当线处于询问状态时,分别让电荷流入及流出。通常这是在“休止”操作模式中分别通过把线起始时置于高电平或低电平进行的,然后再变成为实际的模式,而后,电流将分别对处于询问状态的线进行放电或充电。当没有电流时,也就不会传送可观的电荷了。因此,在该时序期间里,不会有任何电压变化。

图 7A 及 7B 所示之优先级译码器 2 的实施方案分成为 4 一方框。如图 7A 所示,每个 4 一方框均有一对左边的线 granta 及 rega 和四对右边的线 rega,granto……至 reg3,grant3。

如图 7B 所示,第一个 4 一方框 20 有四对右边线,每对均接

到一个 4—方框的一对左边线上,形成四个 4—方框,在此只示出外边的两个,即 21 和 22。用反相放大器 23 及 24,将方框 20, 21 及方框 20,22 相互连接起来。放大器 23 对方框链中的较低级方框给出信息,但在该链中对较高级方框的优先级要求才是需要的,而放大器 24 对方框链中的较高级方框给出信息,于是给出准许信息。因此,在第二列 4—方框中的方框 21,……22 的数目是四个。

而后,第二列中的每个方框又以如第二列中的方框连接到 4—方框 20 一样的方式连接到第三列方框的四个 4—方框上去。于是第三列中的 4—方框数是十六个。在此只示出最外边的 4—方框 25 及 26。

而后,第三列中的每个方框再以同样方式接到第四列方框中的四个 4—方框上去。这样,第四列中的 4—方框数将是六十四个。在此只示出最外边的 4—方框 27 及 28。

由图 7B 可看出,将第四列中 4—方框的右边线接到目标存储器上(原英文第 35 页上第 8 行看不清)用作存贮单元 1 的总线 12 及 13。

要用 256 个闭包,则需提供八十五个方框。最低的方框 28 用于最低的存贮单元,低到存贮单元数为 0;最高的方框 28 用于最高的存贮单元,即高到存贮单元数 255。

图 7A 及 7B 所示的结构采用 domino 予充电逻辑,在此整个优先权译码器包括一串 domino 级,并相应于从最低方框 28 中的情况 rego,经所有优先级译码器方框,再对所有存贮单元(存贮单元数为 0 除外)返回给出一个伪准许信号的请求信号传输。

如图 7A 所示,每个方框均有 5 排 MOSFET 晶体管,每排都

比下面一排多有一个 MOSFET 晶体管,只是第五排例外,第五排与第四排有相同数目的 MOSFET 晶体管。

在四个最低排中最右边的 MOSFET, Tr_{00} 到 Tr_{30} 中的每个晶体管都是 p-型的,并且将其栅极接到时钟信号源上,将其漏极接到正电源电压上将其源极分别接到准许线 $grant_0$, $grant_1$, $grant_2$ 或 $grant_3$ 上,在最高排中的 MOSFET Tr_{40} 不是把它的源极接到准许线 $grant_i$ 上, i 是 0 和 3 之间的数,而是接到线 $raga$ 上,再通过反相器 23 接到该方框串的下一个较低级的方框上。

其余的 MOSFET,如图所示,第一排中的 Tr_{01} ,第二排中的 $Tr_{1,1}$ 及 $Tr_{1,2}$,第三排中的 $Tr_{2,1}$ $Tr_{2,2}$ 及 $Tr_{2,3}$ 第四排中的 $Tr_{3,1}$, $Tr_{3,2}$, $Tr_{3,3}$ 及 $Tr_{3,4}$ 第五排中的 $Tr_{4,2}$, $Tr_{4,3}$, $Tr_{4,4}$ 及 $Tr_{4,5}$ 都是 n-型的,并且把它们的源极均接地,而对于四个最低排,分别把它们的漏极接到准许线 $grant_0$, $grant_1$, $grant_2$ 或 $grant_3$ 上,但对于第五排,则把它们的漏极接到 $raga$ 上。

将线 $granta$ 接到每个 MOSFET, $Tr_{0,1}$, $Tr_{1,1}$, $Tr_{2,1}$, $Tr_{3,1}$ 的栅极上。将线 req_0 接到每个 MOSFET, $Tr_{1,2}$, $Tr_{2,2}$, $Tr_{3,2}$ 及 $Tr_{4,2}$ 的栅极上。将线 req_1 接到每个 MOSFET $Tr_{2,3}$, $Tr_{3,3}$ 及 $Tr_{4,3}$ 的栅极上。将线 req_2 接到每个 MOSFET $Tr_{3,4}$ 及 $Tr_{4,4}$ 的栅极上。将线 req_3 接到 MOSFET $Tr_{4,5}$ 的栅极上。

在两个阶段上运行优先级译码器。在第一阶段上,当时钟信号处于低电平时,则把所有的 $grant_i$ 予充电到高电平(真)上。然后,所有信号 req_i 将是低电平(不需要)。在第二阶段上,结束该予充电,即时钟信号呈现高电平。然后,任何或某些输出端 req_i 将走向高电平,并把所有的 $grant_i$ 置位高于低电平的电平上(未选中),同时把 req_a 置位到低电平上。如果 req_a 走向低电平,那

么图 7 中左邻 4—方框内的 req_i 则被置位到高电平。4—方框 20 中的信号 req_a 及 $granta$ 并没有什么重要性。然而,4—方框 20 内的 $granta$ 是接地的,在该 4—方框 20 中的信号 req_a ,在图 1 及 2 的线 14 上,给出结果“ANY”因为当接到任意单元包上的任意 req_i 走向高电平时,它必须走向低电平。

图 8 示出部件头 8 的详细实施方案。本实施方案适用于简化型处理器中的目标存储器。该部件头 8 对存储单元 7 控制其存取线 acc ,并且读该存取线 acc 及线 ANY14,在此称作“任意一型”它在总线 a 及 b 上完成“线—与”及“线—非或”的操作,并且它也读该总线 a 及 b 。然而,它包括一个内部动态存储器位。

一个 n —沟道 MOSFET n_0 在电压 V_r ,与图 6 中的电压 V_r 是一样的,与存取线 acc 之间接有它的源/漏通路。将时钟脉冲 cpb 馈送给 MOSFET n_0 的栅极。一个 n —沟道 MOSFET n_1 在地与存取线 acc 之间接有它的源/漏通路。

在电源电压 V_{cc} 与地之间串行连接着一个由两个 p —沟道 MOSFET p_2 及 p_3 相并行耦联的源/漏通路、一个 p —沟道 MOSFET p_4 的源/漏通路以及一个 n —沟道 MOSFET n_5 的漏/源通路。

将连接最近的位单元的任意一型线接到 MOSFET p_2 的栅极上。将来自中央控制器(未示出)的匹配线接到 MOSFET p_3 的栅极上。存取线 acc 通过一个由 p —沟道 MOSFET p_1 及 n —沟道 MOSFET n_6 形成的串行相接的源/漏通路并将它们的栅极都接到该存取线 acc 上的反相器 INV_1 ,并且接到 MOSFET p_4 的栅极上, n —沟道 MOSFET n_7 将它的源/漏通路接在反相器 INV_1 与地之间。将来自中央控制器的 $eval,s$ 线,即求值选择线,接到 MOSFET n_7 的栅极上。将来自中央控制器的 set,s 线,即置位选择线,

接到 MOSFET n_5 的栅极上。

将 MOSFET p_4 及 n_5 的漏极之间的交接点 i_1 , 也叫作选择节点, 接到 p-沟道 MOSFET p_6 的漏极上。该 MOSFET p_6 将它的源极经过一个 p-沟道 MOSFET p_7 的漏/源通路接到电源电压 + V_{cc} , 将来自中央控制器的 reset, b 线接到 MOSFET p_6 的栅极上。将与图 2 所示的线 $\underline{b}$ 相同的线 $\underline{b}$ 接到 MOSFET p_7 的栅极上。

p-沟道 MOSFET p_8 将它的漏极接到与图 2 所示的线 $\underline{a}$ 相同的线 $\underline{a}$ 上, 并把它的源极接到交点 i_2 上。将来自中央控制器的 wand, a 线, 即“线与 $\underline{a}$ ”线, 接到它的反相栅极上。p-沟道 MOSFET p_9 将它的漏极接到线 $\underline{b}$ 上, 并把它的源极接到交接点 i_2 上。将来自中央控制器的 wand, b 线, 即“线一与 $\underline{b}$ ”线, 接到它的反相栅极上。p-沟道 MOSFET p_{10} 将它的漏极接到交接点 i_2 上, 并把它的源极接到电源电压 + V_{cc} 上。交接点 i_1 经过一个反相器 INV_2 接到 MOSFET p_{10} 的反相栅极上。该反相器 INV_2 是将 p-沟道 MOSFET p_{14} 及 n-沟道 MOSFET n_8 的串行相接的源/漏通路连接在电源电压 + V_{cc} 与地之间并把它们的栅极都接到 i_1 交接点上。

将两个 p-沟道 MOSFET p_{11} 与 p_{12} 的串行相接的漏/源通路连接在线 $\underline{a}$ 与电源电压 + V_{cc} 之间。将来自中央控制器的线 wor, 即“线或”线, 接到 MOSFET p_{12} 的栅极上。将交接点 i_1 接到 MOSFET p_{11} 的栅极上。p-沟道 MOSFET p_{13} 将它的源漏通路连接在线 $\underline{a}$ 与交接点 i_1 之间。将来自中央控制器的线 S, $\underline{a}$, 即“选择 $\underline{a}$ ”线, 接到 MOSFET p_{13} 的栅极上。

将 n-沟道 MOSFET n_2 , p-沟道 MOSFET p_{15} , p-沟道 MOSFET p_{16} 的串行相接的漏/源通路连接在地与电源电压 + V_{cc} 之

间。将 MOSFET_{n_2} 及 p_{15} 的源极之间的交接点 i_3 接在 MOSFET_{n_1} 的栅极上。将两个 p-沟道 $\text{MOSFET}_{p_{17}}$ 与 p_{18} 的串行连接接在交接点 i_3 与电源电压 $+V_{cc}$ 之间。将交接点 i_1 , 该选择节点, 连接在 $\text{MOSFET}_{p_{18}}$ 的栅极上。将来自中央控制器的线 $r/w, b$, 即读/写 b 线, 接到 $\text{MOSFET}_{p_{15}}$ 的反相栅极上。将来自中央控制器的线 $r/w, s$, 即读/写选择线, 接到 $\text{MOSFET}_{p_{17}}$ 的栅极上, 将来自中央控制器的当读或写操作之后用来使节点 i_3 复位的线 $r/w, r$, 即读/写复位线, 接到 MOSFET_{n_2} 的栅极上。

图 8 所示之部件头实施方案中的逻辑功能说明如下, 在每个负向时钟脉冲上, MOSFET_{n_3} 对存取线 acc 进行充电, 而 MOSFET_{n_1} 在读或写上将它取值到低。该 MOSFET_{n_2} 使 i_3 予充电到低。从而保持 MOSFET_{n_1} 截止, 即不导通, 处于备用状态。

$\text{MOSFET}_{p_{17}}$ 及 p_{18} 通过选择节点实现读/写控制。这是用于各种形式的指令情况的, 例如匹配指令, 清除闭包单元的符号或读该闭包单元的标识符以及是否不设置符号, 根据总线 a 及 b 的信息决定何处应产生不同的动作。

匹配功能是对取值进行比较。例如, 比较在芯单元中的及在存储单元中称作目标的取值, 而后考虑这些定义着两种设置的取值。如果这些设置是不相交的, 那么其匹配结果就是“伪值”。也把这种情况认为是不是没有全部对该闭包的各部分作评测。

MOSFET_{n_5} 对选择节点 i_1 予充电, 并且 MOSFET_{p_2} 和 p_4 在 MOSFET_{n_7} 的栅极上由来自外部控制器的控制下对它进行评测, MOSFET_{p_8} 至 p_{10} 根据来自中央控制器的控制信号完成总线 a 和/或总线 b 上的“线与”。 $\text{MOSFET}_{p_{11}}$ 和 p_{12} 在中央控制器的控制下完成总线 a 上的“线或”。

反相器 INV_2 将选择节点上的选择位进行反相。因为要完成“线或”及“线与”这两种操作,所以需要这种反相。 $MOSFET_{p_{13}}$ 将总线 a 上的值传送到选择节点上。由于一直把它予充电到一个低电平状态,所以只需要传送高电平状态。最后,当受到控制时,则用 $MOSFET_{p_6}$ 及 p_7 选择高电平。这对于指令及这种单元的标记都是需要的,因为而后应在完成读出的同时把该选择节点复位。也可把这个特征用于必须在部件头中完成的逻辑与(AND)操作这样的一些其它类型的指令。

直接将信号任意型(any-type)接到最近的位单元上。它含有所存储的值的类型。在匹配期间,将 $MOSFET_{p_3}$ 控制成截止,因此,在有信号任意型(any-type)的线上的高电平值将产生一个真匹配。同样地,为了测试是该存储单元是不被用着的,在有信号任意型(any-type)的线上的高电平状态,同时将 $MOSFET_{p_3}$ 控制成截止,都将使得在选择节点上的选择信号保持到低电平上,为了测试涉及到的一致性,将 $MOSFET_{p_3}$ 控制成接通状态,即导通状态。

图 9 所示之闭包头 11 的实施方案能够完成总线 a 上的或总线 b 上的优先级操作及方式(MODE)操作。同样,本实施方案适用于与简化型计算机的协同。可以同时在不同的总线上完成这两种总线上的操作。方式(MODE)操作,即图 1 及 2 所示电路中总线 4(MODE)的操作,对总线 a 上的高电平状态或低电平状态都是敏感的,但它仅仅对总线 b 上的低电平状态是敏感的。该闭包头也可以把总线 5(见图 1)上的总体信号 MORE 复位,并且把老的总线数据读回和写回到总线 a 和 b 上。

根据两级 domino 原理设计该完成 MODE 操作的电路以及

完成优先级操作的电路。第一级决定哪条总线应该是输入并校正其极性,而第二级完成实际操作,因此,该闭包头按照两个阶段进行操作,即第一予充电阶段,第二操作阶段。所以,给出一些予充电 n -沟道 MOSFET n_{20}, n_{21}, n_{22} 及 n_{23} , 并且通过来自中央控制器的时钟信号 $\overline{prech}$ 控制它们的栅极。 n_{20} 予充电总线 $\underline{a}$, n_{21} 则对总线 $\underline{b}$, n_{22} 则对优先级译码器 2 的总线 $\underline{req}$, 而 n_{23} 则把一个接触网 F_1 控制到“低”。

接触网 F_1 由两个并行耦联着的一对分别串行相接的 p -沟道 MOSFET p_{20}, p_{21} 及 p_{22}, p_{23} 的源/漏通路所组成。该网 F_1 一方面通过 MOSFET p_{23} 的源/漏通路接地,另一方面接电源电压 $+V_{cc}$ 。将总线 $\underline{a}$ 接到 MOSFET p_{20} 的栅极上,并且通过反相器 INV_{20} 接到 MOSFET p_{23} 的栅极上。因此,这是把总线 $\underline{a}$ 上的反相信号 a^* 馈送到该 p_{23} 的栅极上。将来自中央控制器的信号 $mode, a$ 送入 MOSFET p_{21} 的栅极,并将来自中央控制器的它的反相信号 $mode\ a^*$ 送入 MOSFET p_{22} 的栅极。该接触网 F_1 实向该 $a^* mode, a$ 的功能,反之 $a^* * mode, a^*$ 的功能。

将两个 p -沟道 MOSFET p_{24} 及 p_{25} 的串行相接的源/漏通路连接在电源电压 $+V_{cc}$ 与总线 $\underline{b}$ 之间。将总线 $\underline{a}$ 接到 MOSFET p_{24} 的栅极上,并把来自中央控制器的信号 ba 送入 MOSFET p_{25} 的栅极。

将网络 F_1 与 MOSFET n_{23} 漏极之间的节点接到 n -沟道 MOSFET n_{24} 的栅极上。该 n_{24} 将它的源极接地,并把它的漏极接到图 1 与 2 中所示之给出 $mode$ -信号的总线 4(MODE)上。将两个 p -沟道 MOSFET p_{26} 与 p_{27} 串行相接的源/漏通路连接在电源电压 $+V_{cc}$ 与总线 $\underline{b}$ 之间。总线 4 上的 $mode$ -信号再通过两个

反相器 INV_{21} 及 INV_{22} , 放大该 mode—信号后, 再接到 MOSFET p_{27} 的栅极上。将来自中央控制器的信号 mode, b 送入 MOSFET p_{26} 的栅极。

信号 mode, a 进行总线 a 上的 mode 操作。信号 mode, a* 也进行总线 a 上的 mode 操作, 但是构成一个该总线上的反相值 a*。如果将总线 a 置位于“低”, 则信号 ba 将该总线置位于“高”。如果该总线 mode 是“低”, 那么信号 mode, b 将该总线 b 置位于“高”。信号 precb 用来将总线 a 及 b 予充电到“低”。

因此, 借助于该接触网络 F_1 , 对是否在信号 a 上或是在信号 a* 上要进行该 MODE 操作作出选择。而后, 恰好通过该目标存储器中所有的闭包头 11 可以把该总线 MODE4 置位于地电平。晶体管 p_{26} 栅极上的控制信号 mode, b 将再把该总线 b 拉到一个高电平上。以此方式, 有可能在总线 a 上以及在总线 b 上作出两个不同的测试。如果在总线 a 上的测试指示在实际操作中决定的一个结果是“高”, 那么可把该总线 b 位于高。例如, 可以在总线 a 和 b 中的一条总线上作“线或(WIRED OR), 同时在另一条总线上作“线与”(WIRED AND), 并且一定状态上作出一个逻辑操作, 该状态可以是, 若总线 a 上的结果例如是“伪”, 则总线 b 可指示“伪”。另外的状态是根据总线 b 上的结果作出另外的操作。

将两个 p—沟道 MOSFET p_{28} 及 p_{29} 串行相接的源/漏通路连接在电源电压 +Vcc 与总线 b 之间。将来自优先级译码器 2 的信号 grant 经过一个反相器 INV_{23} 接到“与非”(NAND) 门 $NAND_1$ 的一个输入端上。并把信号 req 接到它的第二个输入端上。该“与非”(NAND) 门包括有两个将它们的源/漏通路串行相接的 n—沟道 MOSFET n_{25} 及 n_{26} 以及两个将它们的源/漏通路并行相接的

p-沟道 MOSFET_{p32}及 _{p34}，而且它们连接在 MOSFET_{n26}的漏极与电源电压 V_{cc} 之间。将 MOSFET_{n25}的源极接地。将信号 $grant$ 送入 MOSFET_{n26}与 _{p34}的栅极，并把信号 req 送入 MOSFET_{n25}与 _{p32}的栅极。将该“与非”(NAND)门的输出端接到 MOSFET_{p23}的栅极上，并接到 p-沟道 MOSFET_{p33}的栅极上，该 _{p33}将它的源/漏通路连接在电源电压 V_{cc} 与线 MORE5 之间。将来自中央控制器的信号 $grant, b$ 送入 MOSFET_{p29}的栅极上。

将两个 p-沟道 MOSFET_{p30}与 _{p31}串行相接的源/漏通路连接在电源电压 $+V_{cc}$ 与接到优先级译码器 2 上的总线 req 之间。将来自中央控制器的信号 $prio$ 送入 MOSFET_{p30}的栅极，并把总线 b 接到 MOSFET_{p31}的栅极上。

来自中央控制器的信号 $prio$ 用于把一个请求信号送给优先级译码器 2，也就时说，如果总线 b 处于“低”电平，则给出一个高电平的信号 req 。该“与非”(NAND)门 _{p32}, _{p34}, _{n25}, _{n26} 感知到，是否信号 req 是高电平，而信号 $grant$ 是低电平，也就是说，是否要求有优先权，但却没被选中。在这种情况下，该“与非”(NAND)门走向低电平，并将总线 5(MORE)置位于“高”电平上，即指示这里需要有优先权，使用信号 $grant, b$ 为的是如果信号 req 为“高”，并且信号 $grant$ 为低，则把总线 b 置位于“高”。此后，首先从中央控制器中给出信号 $prio$ ，然后是信号 $grant, b$ ，于是在目标存储器中顶多一个存储单元使总线 b 处于“低”电平。

至此，参照具体的实施方案已对本发明作出了描述。本领域内的专业技术人员将会理解，不脱离本发明的精神实质及范围可作出种种变型和等同替换。此外，不脱离本发明的基本技术可作出各种改型。

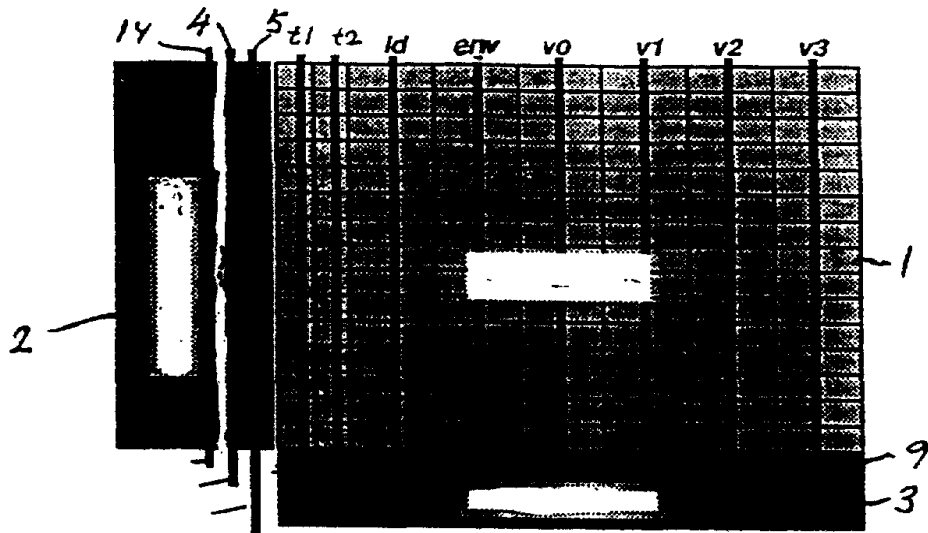


图 1

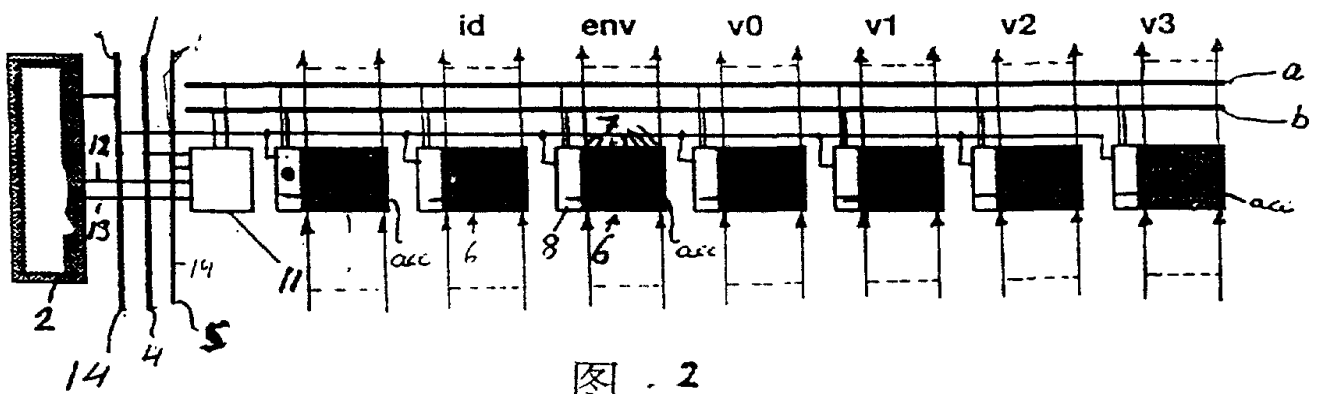


图 2

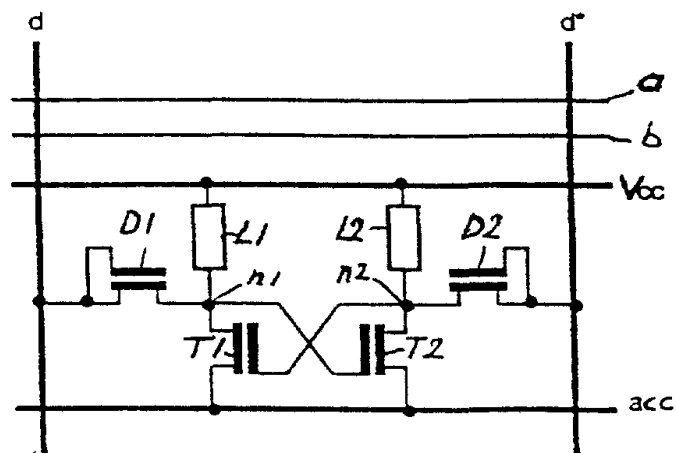


图 3

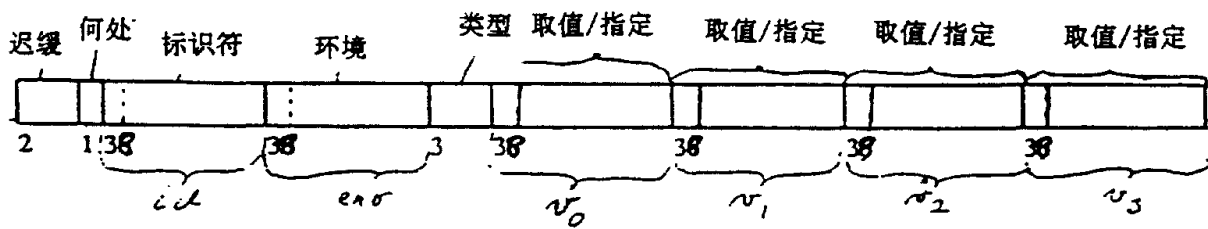


图 3

$id_1 = list(\overbrace{par(1\ 2\ 3)}^{id_2} \overbrace{par(4\ 5\ 6)}^{id_3})$

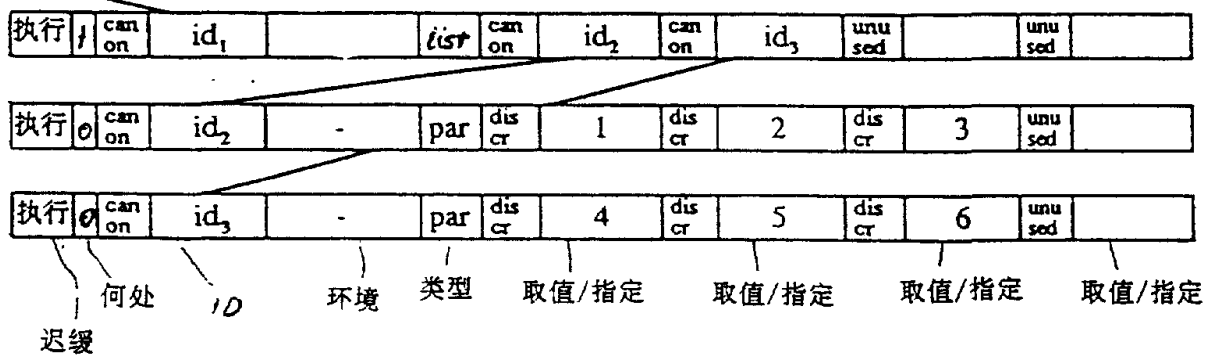
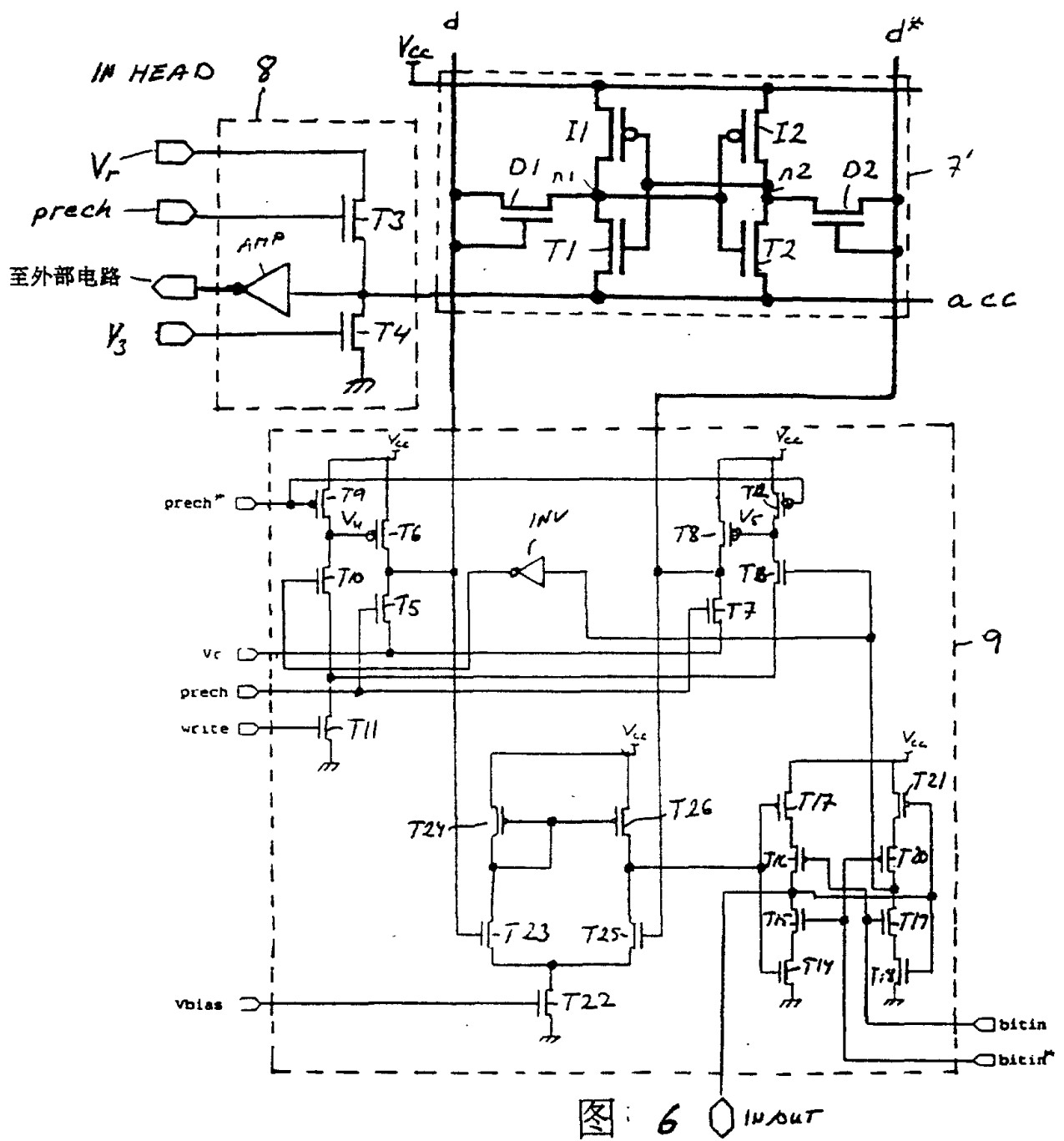


图 4



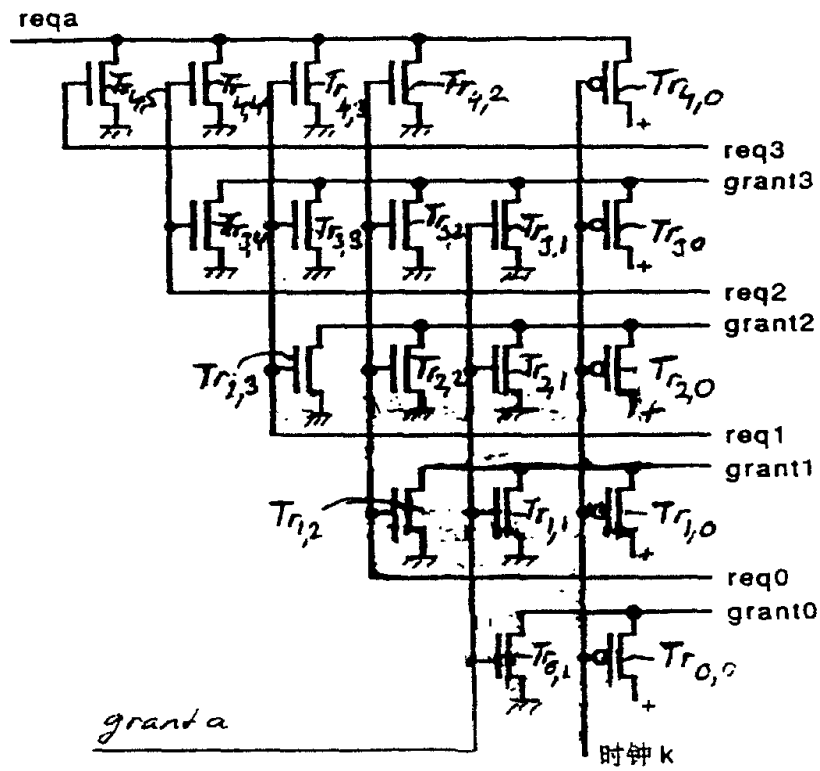


图 7A

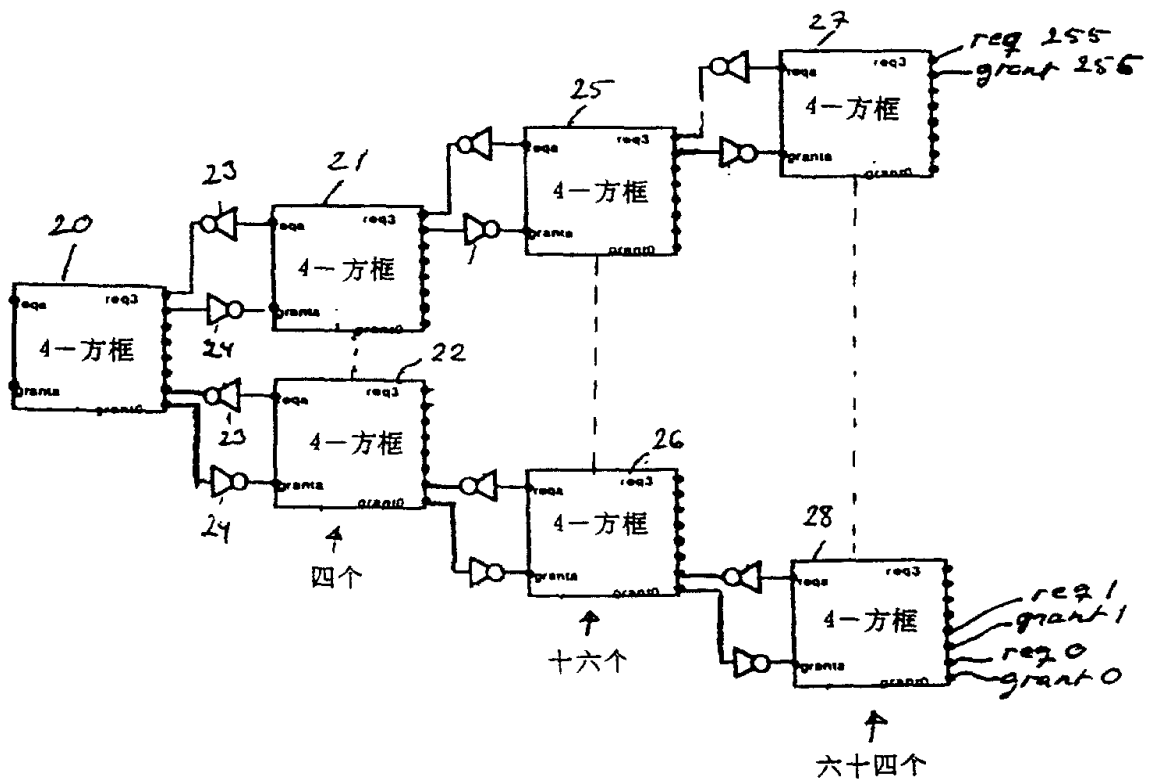


图 7B



8
[X]

任意一型

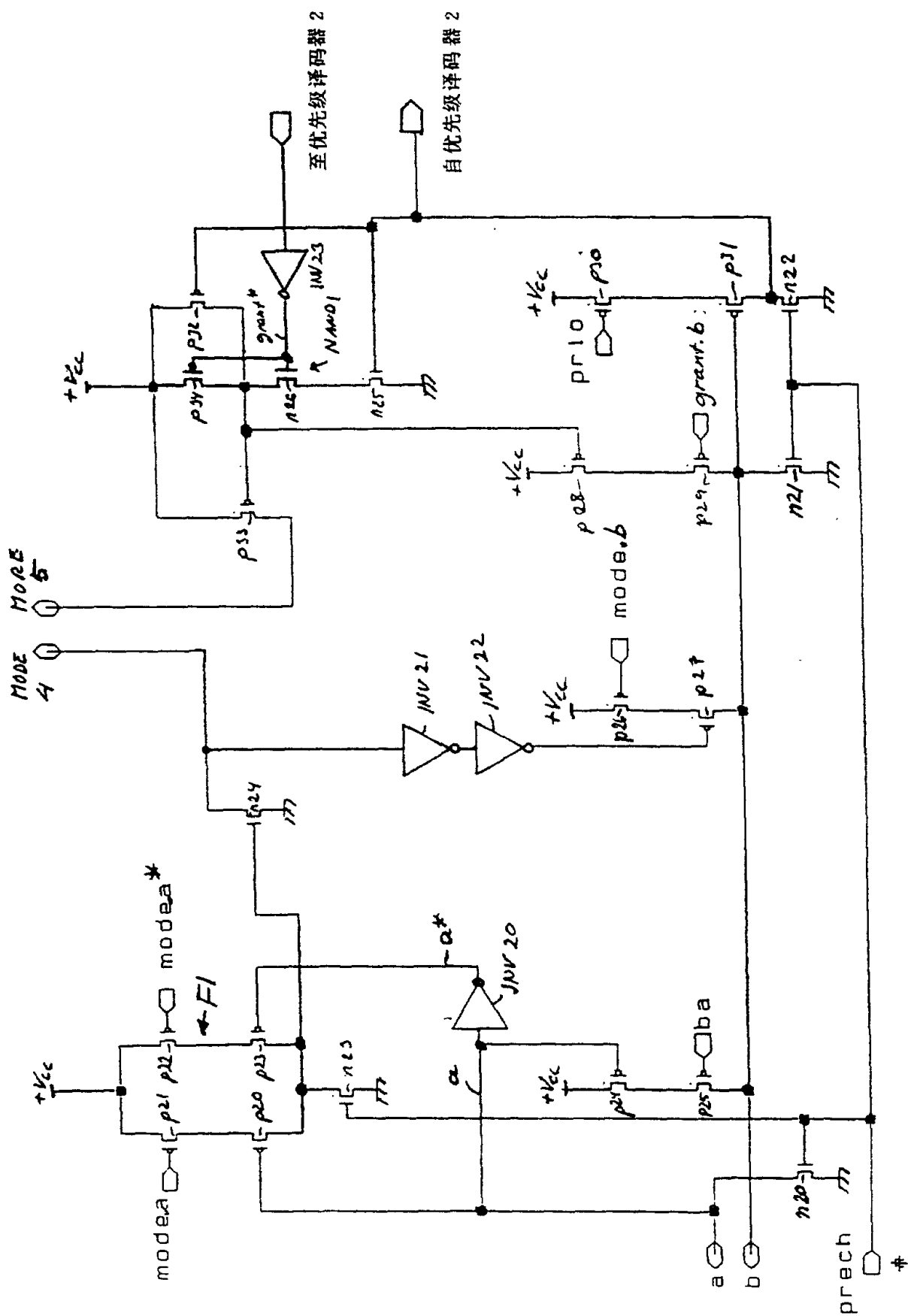


图 9

闭包头 11