

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5795893号
(P5795893)

(45) 発行日 平成27年10月14日(2015.10.14)

(24) 登録日 平成27年8月21日(2015.8.21)

(51) Int.Cl.

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)

F 1

G09G 3/30 J
G09G 3/20 611H
G09G 3/20 641D
G09G 3/20 642A
G09G 3/20 623C

請求項の数 7 (全 42 頁) 最終頁に続く

(21) 出願番号

特願2011-150938 (P2011-150938)

(22) 出願日

平成23年7月7日(2011.7.7)

(65) 公開番号

特開2013-19953 (P2013-19953A)

(43) 公開日

平成25年1月31日(2013.1.31)

審査請求日

平成26年6月4日(2014.6.4)

(73) 特許権者 514188173

株式会社 J O L E D

東京都千代田区神田錦町三丁目23番地

(74) 代理人 110001737

特許業務法人スズエ国際特許事務所

(74) 代理人 110001357

特許業務法人つばき国際特許事務所

(72) 発明者 豊村 直史

東京都港区港南1丁目7番1号 ソニー株式会社内

(72) 発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】表示装置、表示素子、及び、電子機器

(57) 【特許請求の範囲】

【請求項 1】

電流駆動型の発光部と発光部を駆動する駆動回路とを有する表示素子が、行方向と列方向とに2次元マトリクス状に配列されており、各表示素子において、駆動回路は、駆動トランジスタ、書きトランジスタ、発光制御トランジスタ、及び、閾値補正制御トランジスタ、並びに、保持容量、及び、結合容量を備えており、書きトランジスタにあっては、ゲート電極は走査線に接続されており、一方のソース／ドレイン領域は映像信号線に接続されており、他方のソース／ドレイン領域は結合容量の一端に接続されており、駆動トランジスタにあっては、ゲート電極は、保持容量の一端に接続されており、第1ノードを構成し、一方のソース／ドレイン領域は、保持容量の他端と結合容量の他端とに接続されており、第2ノードを構成し、他方のソース／ドレイン領域は、発光制御トランジスタを介して電源供給線に接続されていると共に、閾値補正制御トランジスタを介して第1ノードに接続されており、発光部にあっては、その一端は第2ノードに接続されており、他端はカソード電位を供給する配線に接続されており、導通状態の発光制御トランジスタを介して駆動トランジスタの他方のソース／ドレイン領域が電源供給線に接続されている状態で保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させた状態から発光制御トランジ

スタを非導通状態に切り替えて発光部を消灯させ、併せて、閾値補正制御トランジスタと書込トランジスタとを共に導通状態に切り換えることによって、書込トランジスタを介して映像信号線から初期化電圧を結合容量の一端に印加することで、第2ノードの電位をカソード電位に発光部の閾電圧を加えた電位と共に第1ノードの電位を第2ノードの電位に駆動トランジスタの閾電圧を加えた電位とし、

次いで、閾値補正制御トランジスタと書込トランジスタとを共に非導通状態に切り換える、

その後、映像信号線に映像信号が供給されている状態で、書込トランジスタを導通状態に切り換えることによって、書込トランジスタと結合容量とを介して保持容量に映像信号を書き込み、

次いで、発光制御トランジスタを導通状態に切り替えることで、駆動トランジスタを介して流れる電流によって第2ノードの電位を上昇させ、

その後、書込トランジスタを非導通状態とし、保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させる、

表示装置。

【請求項2】

電流駆動型の発光部と発光部を駆動する駆動回路とを有する表示素子が、行方向と列方向とに2次元マトリクス状に配列されており、

各表示素子において、

駆動回路は、駆動トランジスタ、書込トランジスタ、発光制御トランジスタ、閾値補正制御トランジスタ、及び、初期化トランジスタ、並びに、保持容量、及び、結合容量を備えており、

書込トランジスタにあっては、ゲート電極は走査線に接続されており、一方のソース／ドレイン領域は映像信号線に接続されており、他方のソース／ドレイン領域は結合容量の一端に接続されており、

駆動トランジスタにあっては、ゲート電極は、保持容量の一端に接続されており、第1ノードを構成し、一方のソース／ドレイン領域は、保持容量の他端と結合容量の他端とに接続されており、第2ノードを構成し、他方のソース／ドレイン領域は、発光制御トランジスタを介して電源供給線に接続されると共に、閾値補正制御トランジスタを介して第1ノードに接続されており、

初期化トランジスタにあっては、一方のソース／ドレイン領域は結合容量の一端に接続されており、他方のソース／ドレイン領域には初期化電圧が供給され、

発光部にあっては、その一端は第2ノードに接続されており、他端はカソード電位を供給する配線に接続されており、

導通状態の発光制御トランジスタを介して駆動トランジスタの他方のソース／ドレイン領域が電源供給線に接続されている状態で保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させた状態から発光制御トランジスタを非導通状態に切り替えて発光部を消灯させ、併せて、閾値補正制御トランジスタと初期化トランジスタとを共に導通状態に切り換えることによって、初期化トランジスタを介して初期化電圧を結合容量の一端に印加することで、第2ノードの電位をカソード電位に発光部の閾電圧を加えた電位と共に第1ノードの電位を第2ノードの電位に駆動トランジスタの閾電圧を加えた電位とし、

次いで、閾値補正制御トランジスタと初期化トランジスタとを共に非導通状態に切り換える、

その後、映像信号線に映像信号が供給されている状態で、書込トランジスタを導通状態に切り換えることによって、書込トランジスタと結合容量とを介して保持容量に映像信号を書き込み、

次いで、発光制御トランジスタを導通状態に切り替えることで、駆動トランジスタを介して流れる電流によって第2ノードの電位を上昇させ、

その後、書込トランジスタを非導通状態とし、保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させる、

表示装置。

10

20

30

40

50

【請求項 3】

発光部は有機エレクトロルミネッセンス発光部から成る、
請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

請求項 1 ないし請求項 3 のいずれか 1 項に記載の表示装置を備えた電子機器。

【請求項 5】

電流駆動型の発光部と発光部を駆動する駆動回路とを有し、
駆動回路は、駆動トランジスタ、書きトランジスタ、発光制御トランジスタ、及び、閾値補正制御トランジスタ、並びに、保持容量、及び、結合容量を備えており、
書きトランジスタにあっては、ゲート電極は走査線に接続されており、一方のソース /
ドレイン領域は映像信号線に接続されており、他方のソース / ドレイン領域は結合容量の
一端に接続されており、 10

駆動トランジスタにあっては、ゲート電極は、保持容量の一端に接続されており、第 1
ノードを構成し、一方のソース / ドレイン領域は、保持容量の他端と結合容量の他端とに
接続されており、第 2 ノードを構成し、他方のソース / ドレイン領域は、発光制御トラン
ジスタを介して電源供給線に接続されていると共に、閾値補正制御トランジスタを介して
第 1 ノードに接続されており、

発光部にあっては、その一端は第 2 ノードに接続されており、他端はカソード電位を供
給する配線に接続されており、

導通状態の発光制御トランジスタを介して駆動トランジスタの他方のソース / ドレイン
領域が電源供給線に接続されている状態で保持容量に保持された電圧に応じた電流を駆動
トランジスタを介して発光部に流すことで発光部を発光させた状態から発光制御トラン
ジスタを非導通状態に切り替えて発光部を消灯させ、併せて、閾値補正制御トランジスタと
書きトランジスタとを共に導通状態に切り換え、書きトランジスタを介して映像信号線か
ら初期化電圧を結合容量の一端に印加することで、第 2 ノードの電位をカソード電位に発
光部の閾電圧を加えた電位と共に第 1 ノードの電位を第 2 ノードの電位に駆動トラン
ジスタの閾電圧を加えた電位とし、

次いで、閾値補正制御トランジスタと書きトランジスタとを共に非導通状態に切り換える、

その後、映像信号線に映像信号が供給されている状態で、書きトランジスタを導通状態
に切り換え、書きトランジスタと結合容量とを介して保持容量に映像信号を書き込み、 30

次いで、発光制御トランジスタを導通状態に切り替えることで、駆動トランジスタを介して
流れる電流によって第 2 ノードの電位を上昇させ、

その後、書きトランジスタを非導通状態とし、保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させる、
表示素子。

【請求項 6】

電流駆動型の発光部と発光部を駆動する駆動回路とを有し、
駆動回路は、駆動トランジスタ、書きトランジスタ、発光制御トランジスタ、閾値補正
制御トランジスタ、及び、初期化トランジスタ、並びに、保持容量、及び、結合容量を備えており、 40

書きトランジスタにあっては、ゲート電極は走査線に接続されており、一方のソース /
ドレイン領域は映像信号線に接続されており、他方のソース / ドレイン領域は結合容量の
一端に接続されており、

駆動トランジスタにあっては、ゲート電極は、保持容量の一端に接続されており、第 1
ノードを構成し、一方のソース / ドレイン領域は、保持容量の他端と結合容量の他端とに接続されており、第 2 ノードを構成し、他方のソース / ドレイン領域は、発光制御トランジスタを介して電源供給線に接続されていると共に、閾値補正制御トランジスタを介して第 1 ノードに接続されており、

初期化トランジスタにあっては、一方のソース / ドレイン領域は結合容量の一端に接続

10

20

30

40

50

されており、他方のソース／ドレイン領域には初期化電圧が供給され、

発光部にあっては、その一端は第2ノードに接続されており、他端はカソード電位を供給する配線に接続されており、

導通状態の発光制御トランジスタを介して駆動トランジスタの他方のソース／ドレイン領域が電源供給線に接続されている状態で保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させた状態から発光制御トランジスタを非導通状態に切り替えて発光部を消灯させ、併せて、閾値補正制御トランジスタと初期化トランジスタとを共に導通状態に切り換え、初期化トランジスタを介して初期化電圧を結合容量の一端に印加することで、第2ノードの電位をカソード電位に発光部の閾電圧を加えた電位と共に第1ノードの電位を第2ノードの電位に駆動トランジスタの閾電圧を加えた電位とし、

10

次いで、閾値補正制御トランジスタと初期化トランジスタとを共に非導通状態に切り換える、

その後、映像信号線に映像信号が供給されている状態で、書込トランジスタを導通状態に切り換え、書込トランジスタと結合容量とを介して保持容量に映像信号を書き込み、

次いで、発光制御トランジスタを導通状態に切り替えることで、駆動トランジスタを介して流れる電流によって第2ノードの電位を上昇させ、

その後、書込トランジスタを非導通状態とし、保持容量に保持された電圧に応じた電流を駆動トランジスタを介して発光部に流すことで発光部を発光させる、表示素子。

20

【請求項7】

発光部は有機エレクトロルミネッセンス発光部から成る、
請求項5または請求項6に記載の表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する技術は、画素回路、表示装置、電子機器、及び、画素回路（表示装置）の駆動方法に関する。

【背景技術】

【0002】

今日、表示素子（電気光学素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置、表示装置を具備する電子機器が広く利用されている。画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。例えば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機EL, Organic Light Emitting Diode, OLED；以下、有機ELと記す）素子が代表例である。後者の有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

30

【0003】

ところで、表示素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを探ることができる。但し、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しい等の問題がある。

40

【0004】

このため、近年、画素内部の表示素子に供給する画素信号を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor ; TFT）等のトランジスタをスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0005】

50

従来のアクティブマトリクス方式の表示装置は、プロセス変動により表示素子を駆動するトランジスタの閾値電圧や移動度がばらついてしまう。又、表示素子の特性が経時に変動する。このような駆動用のトランジスタの特性ばらつきや表示素子等の画素回路を構成する素子の特性変動は、発光輝度に影響を与えててしまう。即ち、各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずであるが、駆動用のトランジスタの特性ばらつきや表示素子の特性変動により、画面のユニフォーミティが損なわれる。そこで、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内でトランジスタや表示素子等の画素回路を構成する素子の特性ばらつき等に起因する表示むらを補正する技術が、例えば特許第4240059号公報や特許第4240068号公報に提案されている。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許第4240059号公報

【特許文献2】特許第4240068号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に、電気光学素子がターンオンしてしまうことに起因して、画面のユニフォーミティが損なわれる場合があることが分かった。

20

【0008】

したがって本開示の目的は、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に電気光学素子がターンオンしてしまうことに起因する表示むら現象を抑制することのできる技術を提供することにある。

【課題を解決するための手段】

【0009】

本開示の第1の態様に係る画素回路は、電気光学素子と、保持容量と、一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、制御入力端が保持容量の一端と第1ノードにて接続されており、保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタとを備える。駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第2ノードに接続されている。そして、書込トランジスタを介して映像信号と対応する駆動電圧を保持容量に書き込みつつ、駆動トランジスタを介して保持容量に電流を供給する第1の処理の際に、電気光学素子がターンオンするのを抑制可能に構成されている。本開示の第1の態様に係る画素回路の従属項に記載された各画素回路は、本開示の第1の態様に係る画素回路のさらなる有利な具体例を規定する。

30

【0010】

本開示の第2の態様に係る表示装置は、電気光学素子、保持容量、一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、制御入力端が保持容量の一端と第1ノードにて接続されており保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタを具備した表示素子が配列されている。又、駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第2ノードに接続されている。更に、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する第1の処理と連動して、電気光学素子がターンオンするのを抑制する制御部を備える。本開示の第2の態様に係る表示装置の従属項に記載された各表示装置は、本開示の第2の態様に係る表示装置のさらなる有利な具体例を規定する。更には、第2の態様に係る表示装置は、第1の態様

40

50

に係る画素回路の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第2の態様に係る表示装置のさらなる有利な具体例を規定する。

【0011】

本開示の第3の態様に係る電子機器は、電気光学素子、保持容量、一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書き込込トランジスタ、及び、制御入力端が保持容量の一端と第1ノードにて接続されており保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタを具備した表示素子が配列されており、駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第2ノードに接続されている画素部と、画素部に供給される映像信号を生成する信号生成部と、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する第1の処理と運動して、電気光学素子がターンオンするのを抑制する制御部とを備える。第3の態様に係る電子機器は、第1の態様に係る画素回路の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第3の態様に係る電子機器のさらなる有利な具体例を規定する。

【0012】

本開示の第4の態様に係る画素回路の駆動方法は、電気光学素子を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理の際に、電気光学素子がターンオンするのを抑制する。第4の態様に係る画素回路の駆動方法は、第1の態様に係る画素回路の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第4の態様に係る画素回路の駆動方法のさらなる有利な具体例を規定する。

【0013】

要するに、本明細書で開示する技術では、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理の際に、電気光学素子がターンオンしないように制御する。映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間には、電気光学素子がターンオンすることが起きないないようにする。当該期間に電気光学素子に電流を流したとしても、電気光学素子がターンオンしないように「一定期間」を定めればよい。映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理に先立って、その後の発光期間前までは電気光学素子がターンオンすることが起きないないように、電気光学素子を逆バイアス状態にことができ、電気光学素子がターンオンすることに起因する表示むら現象を防止することができる。

【発明の効果】

【0014】

第1の態様に係る画素回路、第2の態様に係る表示装置、第3の態様に係る電子機器、第4の態様に係る画素回路の駆動方法によれば、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に電気光学素子がターンオンすることに起因する表示むら現象を抑制することができる。

【図面の簡単な説明】

【0015】

【図1】図1は、アクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。

【図2】図2は、カラー画像表示対応のアクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。

【図3】図3は、発光素子（実質的には画素回路）を説明する図である。

【図4】図4は、比較例の画素回路の一形態を示す図である。

【図5】図5は、比較例の画素回路を備えた表示装置の全体概要を示す図である。

【図6】図6は、実施例1の画素回路の一形態を示す図である。

10

20

30

40

50

【図7】図7は、実施例1の画素回路を備えた表示装置の全体概要を示す図である。

【図8】図8は、比較例の画素回路の駆動方法を説明するタイミングチャートである。

【図9】図9(A)～図9(G)は、図8に示したタイミングチャートの主要な期間における等価回路と動作状態を説明する図である。

【図10】図10は、移動度補正期間中の有機EL素子のターンオン現象に起因する表示むら対策に着目した実施例1の画素回路の駆動方法を説明するタイミングチャートである。

【図11】図11は、実施例2の画素回路の一形態を示す図である。

【図12】図12は、実施例2の画素回路を備えた表示装置の全体概要を示す図である。

【図13】図13は、移動度補正期間中の有機EL素子のターンオン現象に起因する表示むら対策に着目した実施例2の画素回路の駆動方法を説明するタイミングチャートである。

10

【図14】図14(A)～図14(E)は実施例3(電子機器)を説明する図である。

【発明を実施するための形態】

【0016】

以下、図面を参照して、本明細書で開示する技術の実施形態について詳細に説明する。各機能要素について形態別に区別する際にはアルファベット或いは“_n”(nは数字)或いはこれらの組合せの参照子を付して記載し、特に区別しないで説明する際にはこの参照子を割愛して記載する。図面においても同様である。

【0017】

説明は以下の順序で行なう。

1. 全体概要
2. 表示装置の概要
3. 発光素子
4. 駆動方法：基本
5. 具体的な適用例：

電気光学素子がターンオンすることに起因する表示むら現象の対処

実施例1：移動度補正開始時の電気光学素子の一端の電位を低電位に制御

実施例2：実施例1+初期化独立走査

実施例3：電子機器への適用事例

20

【0018】

<全体概要>

先ず、基本的な事項について以下に説明する。本実施形態の構成において、画素回路、表示装置、或いは、電子機器は、電気光学素子(表示部)と、保持容量と、一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、制御入力端が保持容量の一端と第1ノードにて接続されており、保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタとを備える。駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第2ノードに接続されている。そして、書込トランジスタを介して映像信号と対応する駆動電圧を保持容量に書き込みつつ、駆動トランジスタを介して保持容量に電流を供給する第1の処理の際に、電気光学素子がターンオンするのを抑制する。第1の処理期間に電気光学素子がターンオンしないように画素回路の動作を制御する趣旨である。

30

【0019】

第1の処理の際に、電気光学素子がターンオンするのを抑制するに当たっては、第1の処理の際に電気光学素子がターンオンしない程度に、第1の処理の開始前に予め電気光学素子を逆バイアス状態に制御するとよい。「電気光学素子がターンオンしない程度」とは、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間に、電気光学素子がターンオンしない程度であればよい。当該期間に電気光学素子がターンオンしないようにすればよく、換言すると、当該期間に電気光学素子に電流を流したとしても、ターンオンする前に中断すればよ

40

50

いので、その限りにおいて、「逆バイアス状態」の程度や「一定期間」の範囲を定めればよい。これによって、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理期間中に電気光学素子がターンオンする現象を防止することができ、電気光学素子がターンオンすることに起因する表示むら現象を確実に防止することができる。

【0020】

好ましくは、第1の処理の際に電気光学素子がターンオンするのを抑制可能な構成部材としては、トランジスタその他の電子部材を画素回路内に備えているのが好ましい。即ち、画素回路、表示装置、或いは、電子機器は、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する第1の処理と連動して、電気光学素子がターンオンするのを抑制する制御部を備えているのがよい。

10

【0021】

制御部としては、例えば、第1ノードと駆動トランジスタの他方の主電極端との間に、駆動トランジスタの閾値電圧の補正を行なう第2の処理を制御する閾値補正制御トランジスタを有する構成をとることができる。閾値補正制御トランジスタをオン／オフ制御するに当たっては、書き込トランジスタを制御する書き込駆動パルスその他の制御パルスと連動して制御してもよいし、書き込トランジスタを制御する書き込駆動パルス等と独立して制御してもよい。閾値補正制御トランジスタをオン／オフ制御する機能部として、閾値補正制御走査部を設けるとよい。閾値補正制御トランジスタを成すトランジスタは、nチャネル型、pチャネル型の何れでもよく、その極性に合わせて制御パルスの極性を設定すればよい。

20

【0022】

制御部としては、例えば、書き込トランジスタの他方の主電極端と第2ノードとの間に結合容量を有する構成をとることができる。映像信号は、書き込トランジスタ及び結合容量を介して第2ノードに供給される。好ましくは、結合容量のキャパシタンスは、保持容量のキャパシタンスとほぼ同じ値であるとよい。

【0023】

制御部としては、例えば、駆動トランジスタの閾値電圧の補正を行なう第2の処理時には、第2の処理用の初期化電圧を書き込トランジスタを介して結合容量に供給する構成をとることができる。映像信号だけでなく初期化電圧も書き込トランジスタ及び結合容量を介して第2ノードに供給される。

30

【0024】

或いは、制御部としては、例えば、駆動トランジスタの閾値電圧の補正を行なう第2の処理時に初期化電圧を結合容量に供給する初期化トランジスタを有する構成をとることができる。映像信号は、書き込トランジスタ及び結合容量を介して第2ノードに供給される一方、初期化電圧は、初期化トランジスタ及び結合容量を介して第2ノードに供給される。初期化トランジスタをオン／オフ制御するに当たっては、書き込トランジスタを制御する書き込駆動パルスその他の制御パルスと連動して制御してもよいし、書き込トランジスタを制御する書き込駆動パルス等と独立して制御してもよい。初期化トランジスタをオン／オフ制御する機能部として、初期化走査部を設けるとよい。初期化トランジスタを成すトランジスタは、nチャネル型、pチャネル型の何れでもよく、その極性に合わせて制御パルスの極性を設定すればよい。

40

【0025】

好ましくは、初期化電圧を結合容量を介して第2ノードに供給する構成においては、映像信号の初期化電圧に対する極性を、第1の処理の開始前に電気光学素子を逆バイアス状態に制御可能な極性にするとよい。

【0026】

更には、制御部としては、例えば、駆動トランジスタの他方の主電極端と電源線との間に発光制御トランジスタを有する構成をとることができる。発光制御トランジスタをオン／オフ制御する機能部として、発光制御走査部を設けるとよい。発光制御トランジスタを成すトランジスタは、nチャネル型、pチャネル型の何れでもよく、その極性に合わせて

50

制御パルスの極性を設定すればよい。

【0027】

デバイス構成としては、画素回路（電気光学素子）が1つでもよいし、電気光学素子がライン状或いは2次元マトリクス状に配列された画素部を備えるものでもよい。画素部を備える構成の場合、好ましくは、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と連動して、電気光学素子がターンオンするのを抑制する制御部を設けるとよい。制御部の一部を成す走査部は、電気光学素子（表示部）とは別に備えるのがよく、電気光学素子が2次元マトリクス状に配列された画素部を備える構成の場合、走査処理により、行ごとに、表示部がターンオンするのを抑制する構成をとることができる。

10

【0028】

電気光学素子としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、LED発光部、半導体レーザー発光部等の自発光型の発光部を表示部として具備した発光素子を用いることができ、特に、有機エレクトロルミネッセンス発光部であるとよい。

【0029】

<表示装置の概要>

以下の説明においては、対応関係の理解を容易にするため、回路構成部材の抵抗値や容量値（静電容量、キャパシタンス）等は、その部材に付されている符号と同一符号で示すことがある。

20

【0030】

[基本]

先ず、発光素子（電気光学素子）を備えた表示装置の概要について説明する。以下の回路構成においては、「電気的に接続」を単に「接続」と記載するし、この「電気的に接続」は、特段の明示のない限り、直接に接続されることに限らず、他のトランジスタ（スイッチングトランジスタが典型例である）その他の電気素子（能動素子に限らず受動素子でもよい）を介して接続されることも含む。

【0031】

表示装置は、複数の画素回路（或いは単に画素とも称することもある）を備えている。各画素回路は、表示部（発光部）と表示部を駆動する駆動回路とを具備する表示素子（電気光学素子）を有する。表示部としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、LED発光部、半導体レーザー発光部等の自発光型の発光部を具備した発光素子を用いることができる。尚、表示素子の発光部を駆動する方式としては定電流駆動型を採用するが、原理的には、定電流駆動型に限らず定電圧駆動型でもよい。

30

【0032】

以下に説明する例においては、発光素子として、有機エレクトロルミネッセンス発光部を備えている場合で説明する。より詳細には、発光素子は、駆動回路と、駆動回路に接続された有機エレクトロルミネッセンス発光部（発光部ELP）とが積層された構造を有する有機エレクトロルミネッセンス素子（有機EL素子）である。

40

【0033】

発光部ELPを駆動するための駆動回路として各種の回路があるが、画素回路としては、5Tr/1C型、4Tr/1C型、3Tr/1C型、或いは2Tr/1C型等の駆動回路を備えた構成にことができる。「Tr/1C型」におけるTrはトランジスタの数を意味し、「1C」は容量部が1つの保持容量C_{cs}（キャパシタ）を具備することを意味する。駆動回路を構成する各トランジスタは、好適には、全てがnチャネル型のトランジスタから構成されているのが好ましいが、これには限らず、場合によっては、一部のトランジスタをpチャネル型としてもよい。尚、半導体基板等にトランジスタを形成した構成とすることもできる。駆動回路を構成するトランジスタの構造は、特に限定するものではなく、MOS型FETを代表例とする絶縁ゲート型電界効果トランジスタ（一般には、薄

50

膜トランジスタ (Thin Film Transistor ; T F T)) を使用できる。更には、駆動回路を構成するトランジスタはエンハンスマント型とデプレッション型の何れでもよいし、又、シングルゲート型とデュアルゲート型の何れでもよい。

【 0 0 3 4 】

何れの構成においても、表示装置は、基本的には、最小の構成要素として 2 T r / 1 C 型と同様に、発光部 E L P 、駆動トランジスタ T R D 、書きトランジスタ T R W (サンプリングトランジスタとも称される) 、少なくとも書き走査部を具備する垂直走査部、信号出力部の機能を持つ水平駆動部、保持容量 C c s を備える。好ましくは、ブーストストラップ回路を構成するべく、駆動トランジスタ T R D の制御入力端 (ゲート端) と主電極端 (ソース / ドレイン領域) の一方 (典型的にはソース端) との間に保持容量 C c s が接続される。10 駆動トランジスタ T R D は、主電極端の一方が発光部 E L P と接続され、主電極端の他方は電源線 P W L と接続される。電源線 P W L には、電源回路或いは電源電圧用の走査回路等から電源電圧 (定常電圧或いはパルス状の電圧) が供給される。

【 0 0 3 5 】

水平駆動部は、発光部 E L P における輝度を制御するための映像信号 V sig や閾値補正等に使用される基準電位 (1種とは限らない) を表す広義の映像信号 V S を映像信号線 D T L (データ線とも称される) に供給する。書きトランジスタ T R W は、主電極端の一方が映像信号線 D T L に接続され、主電極端の他方が駆動トランジスタ T R D の制御入力端に接続される。書き走査部は書きトランジスタ T R W をオン / オフ制御する制御パルス (書き駆動パルス WS) を書き走査線 W S L を介して書きトランジスタ T R W の制御入力端に供給する。書きトランジスタ T R W の主電極端の他端と駆動トランジスタ T R D の制御入力端と保持容量 C c s の一端との接続点を第 1 ノード N D 1 と称し、駆動トランジスタ T R D の主電極端の一方と保持容量 C c s の他端との接続点を第 2 ノード N D 2 と称する。20

【 0 0 3 6 】

〔構成例〕

図 1 及び図 2 は、本開示に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。図 1 は、一般的なアクティブマトリクス型表示装置の構成の概略を示すブロック図であり、図 2 は、そのカラー画像表示対応の場合の概略を示すブロック図である。

【 0 0 3 7 】

図 1 に示すように、表示装置 1 は、複数の表示素子としての有機 E L 素子 (図示せず) を持った画素回路 1 0 (画素とも称される) が表示アスペクト比である縦横比が X : Y (例えば 9 : 16) の有効映像領域を構成するように配置された表示パネル部 1 0 0 と、この表示パネル部 1 0 0 を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部 2 0 0 (いわゆるタイミングジェネレータ) と、映像信号処理部 2 2 0 を備えている。駆動信号生成部 2 0 0 と映像信号処理部 2 2 0 とは、1 チップの I C (Integrated Circuit ; 半導体集積回路) に内蔵され、本例では、表示パネル部 1 0 0 の外部に配置されている。30

【 0 0 3 8 】

尚、製品形態としては、図示のように、表示パネル部 1 0 0 、駆動信号生成部 2 0 0 、及び映像信号処理部 2 2 0 の全てを備えたモジュール (複合部品) 形態の表示装置 1 として提供されることに限らず、例えば、表示パネル部 1 0 0 のみで表示装置 1 として提供してもよい。又、表示装置 1 は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部 1 0 2 に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。透明な対向部には、カラーフィルタ、保護膜、遮光膜等が設けられてもよい。表示モジュールには、外部から画素アレイ部 1 0 2 への映像信号 V sig や各種の駆動パルスを入出力するための回路部や F P C (フレキシブルプリントサーキット) 等が設けられていてもよい。

【 0 0 3 9 】

このような表示装置 1 は、電子機器に入力された映像信号や電子機器内で生成した映像

10

20

30

40

50

信号を、静止画像や動画像（映像）として表示するあらゆる分野の様々な電子機器の表示部に利用できる。例えば、半導体メモリやミニディスク（MD）やカセットテープ等の記録媒体を利用した携帯型の音楽プレイヤー、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラ等の表示部に利用できる。

【0040】

表示パネル部100は、基板101の上に、画素アレイ部102、垂直駆動部103、水平駆動部106（水平セレクタ或いはデータ線駆動部とも称される）、インターフェース部130（IF）、及び、外部接続用の端子部108（パッド部）等が集積形成されている。即ち、垂直駆動部103や水平駆動部106やインターフェース部130等の周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。第m行目（ $m = 1, 2, 3, \dots, M$ ）、第n列（ $n = 1, 2, 3, \dots, N$ ）に位置する発光素子（画素回路10）を、図では $10_{-n, m}$ で示している。
10

【0041】

画素アレイ部102は、画素回路10がM行×N列のマトリクス状に配列されている。垂直駆動部103は、画素回路10を垂直方向に走査する。水平駆動部106は、画素回路10を水平方向に走査する。インターフェース部130は、各駆動部（垂直駆動部103及び水平駆動部106）と外部回路とのインターフェースをとる。インターフェース部130は、垂直駆動部103と外部回路とのインターフェースをとる垂直IF部133と、水平駆動部106と外部回路とのインターフェースをとる水平IF部136を有する。
20

【0042】

垂直駆動部103と水平駆動部106とで、信号電位の保持容量への書き込みや、閾値補正動作や、移動度補正動作や、ブーストストラップ動作を制御する制御部109が構成される。この制御部109とインターフェース部130（垂直IF部133や水平IF部136）を含めて、画素アレイ部102の画素回路10を駆動制御する駆動制御回路を構成している。
20

【0043】

2Tr/1C型とする場合であれば、垂直駆動部103は、書き込み部（ライトスキャナW_S；Write Scan）や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナD_S；Drive Scan）を有する。画素アレイ部102は、一例として、図示する左右方向の一方側もしくは両側から垂直駆動部103で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部106で駆動されるようになっている。
30

【0044】

端子部108には、表示装置1の外部に配された駆動信号生成部200から、種々のパルス信号が供給される。同様に、映像信号処理部220から映像信号V_{sig}が供給される。カラー表示対応の場合には、色別（本例ではR（赤）、G（緑）、B（青）の3原色）の映像信号V_{sig_R}、映像信号V_{sig_G}、映像信号V_{sig_B}が供給される。
30

【0045】

一例としては、垂直駆動用のパルス信号として、垂直方向の走査開始パルスの一例であるシフトスタートパルスSP（図はSPDS、SPWSの2種）や垂直走査クロックCK（図はCKDS、CKWSの2種）が供給される。必要に応じて位相反転した垂直走査クロックxCK（図はxCKDS、xCKWSの2種）、並びに特定タイミングのパルス出力を指示するイネーブルパルス等の必要なパルス信号が供給される。水平駆動用のパルス信号として、水平方向の走査開始パルスの一例である水平スタートパルスSPHや水平走査クロックCKH、必要に応じて位相反転した水平走査クロックxCKH、並びに特定タイミングのパルス出力を指示するイネーブルパルス等の必要なパルス信号が供給される。
40

【0046】

端子部108の各端子は、配線110を介して、垂直駆動部103や水平駆動部106に接続される。例えば、端子部108に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部103の各部や水平駆動部106に供給される。
50

【0047】

画素アレイ部102は、図示を割愛するが（詳細は後述する）、表示素子としての有機EL素子に対して画素トランジスタが設けられた画素回路10が行列状に2次元配置され、画素配列に対して行ごとに垂直走査線SCLが配線されるとともに、列ごとに映像信号線DTLが配線された構成となっている。つまり、画素回路10は、垂直走査線SCLを介して垂直駆動部103と接続され、又、映像信号線DTLを介して水平駆動部106と接続されている。具体的には、マトリクス状に配列された各画素回路10に対しては、垂直駆動部103によって駆動パルスで駆動されるM行分の垂直走査線SCL_1～SCL_Mが画素行ごとに配線される。垂直駆動部103は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部102の各画素回路10を行単位で選択する、即ち、駆動信号生成部200から供給される垂直駆動系のパルス信号に基づき、垂直走査線SCLを介して各画素回路10を順次選択する。水平駆動部106は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部102の各画素回路10を列単位で選択する。即ち、水平駆動部106は、駆動信号生成部200から供給される水平駆動系のパルス信号に基づき、選択された画素回路10に対し映像信号線DTLを介して映像信号VS内の所定電位（例えば映像信号V_{sig}レベル）をサンプリングして保持容量C_{cs}に書き込ませる。10

【0048】

本実施形態の表示装置1は、線順次駆動や点順次駆動が可能になっており、垂直駆動部103の書込走査部104及び駆動走査部105は線順次で（つまり行単位で）で画素アレイ部102を走査する。更に、この走査に同期して水平駆動部106が、画像信号を、1水平ライン分を同時に（線順次の場合）、或いは画素単位で（点順次の場合）、画素アレイ部102に書き込む。20

【0049】

カラー画像表示対応をとるには、画素アレイ部102には、例えば図2に示すように、色別（本例ではR（赤）、G（緑）、B（青）の3原色）のサブピクセルとして画素回路10_R、画素回路10_G、画素回路10_Bを所定の配列順で縦ストライプ状に設ける。1組の色別のサブピクセルによりカラーの1画素が構成される。ここでは、サブピクセルレイアウトの一例として縦ストライプ状に各色のサブピクセルを配置したストライプ構造のものを示しているが、サブピクセルレイアウトはこのような配列例に限定されるものではない。サブピクセルを垂直方向にシフトさせた形態を採用してもよい。30

【0050】

尚、図1及び図2では、画素アレイ部102の一方側にのみ垂直駆動部103（詳しくはその構成要素）を配置する構成を示しているが、垂直駆動部103の各要素を画素アレイ部102を挟んで左右両側に配置する構成を探ることもできる。又、垂直駆動部103の各要素の一方と他方を左右の各別に配置する構成を探ることもできる。同様に、図1及び図2では、画素アレイ部102の一方側にのみ水平駆動部106を配置する構成を示しているが、画素アレイ部102を挟んで上下両側に水平駆動部106を配置する構成を探ることもできる。本例では、垂直シフトスタートパルス、垂直走査クロック、水平スタートパルス、水平走査クロック等のパルス信号を表示パネル部100の外部から入力する構成をしているが、これらの各種のタイミングパルスを生成する駆動信号生成部200を表示パネル部100上に搭載することもできる。40

【0051】

図示した構成は、表示装置の一形態を示したに過ぎず、製品形態としては、その他の形態をとることができる。即ち、表示装置は、画素回路10を構成する素子を行列状に配置した画素アレイ部と、画素アレイ部の周辺に配置され、各画素を駆動するための走査線と接続された走査部を主要部とする制御部と、制御部を動作させるための各種の信号を生成する駆動信号生成部や映像信号処理部を備えて装置の全体が構成されていればよい。製品形態としては、画素アレイ部と制御部とを同一の基体（例えばガラス基板）上に搭載した表示パネル部と駆動信号生成部や映像信号処理部を別体とする図示のような形態（パネル50

上配置構成と称する)を探ることができる。更には、表示パネル部には画素アレイ部を搭載し、それとは別基板(例えばフレキシブル基板)上に制御部や駆動信号生成部や映像信号処理部等の周辺回路を搭載する形態(周辺回路パネル外配置構成と称する)を探ることもできる。又、画素アレイ部と制御部とを同一の基体上に搭載して表示パネル部を構成するパネル上配置構成の場合、画素アレイ部のTFTを生成する工程にて同時に制御部(必要に応じて駆動信号生成部や映像信号処理部も)用の各トランジスタを生成する形態(トランジスタ一体構成と称する)を探ることもがきる。更には、COG(Chip On Glass)実装技術により画素アレイ部が搭載された基体上に制御部(必要に応じて駆動信号生成部や映像信号処理部も)用の半導体チップを直接実装する形態(COG搭載構成と称する)を探ることもできる。或いは又、表示パネル部(少なくとも画素アレイ部を備える)のみで表示装置として提供することもできる。

10

【0052】

<発光素子>

図3は、駆動回路を備えた発光素子11(実質的には画素回路10)を説明する図である。ここで、図3は、発光素子11(画素回路10)の一部分の模式的な一部断面図である。図3では、絶縁ゲート型電界効果トランジスタは薄膜トランジスタ(TFT)であるとする。図示しないが、いわゆるバックゲート型の薄膜トランジスタ或いはMOS型のトランジスタを使用してもよい。

【0053】

発光素子11の駆動回路を構成する各トランジスタ及び容量部(保持容量 C_{cs})は支持体20上に形成され、発光部ELPは、例えば、層間絶縁層40を介して、駆動回路を構成する各トランジスタ及び保持容量 C_{cs} の上方に形成されている。駆動トランジスタTR_Dの一方のソース/ドレイン領域は、発光部ELPに備えられたアノード電極に、コンタクトホールを介して接続されている。図3においては、駆動トランジスタTR_Dのみを図示する。書込トランジスタTR_Wや他のトランジスタは隠れて見えない。発光部ELPは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。

20

【0054】

具体的には、駆動トランジスタTR_Dは、ゲート電極31、ゲート絶縁層32、半導体層33、半導体層33に設けられたソース/ドレイン領域35、及び、ソース/ドレイン領域35の間の半導体層33の部分が該当するチャネル形成領域34から構成されている。保持容量 C_{cs} は、他方の電極36、ゲート絶縁層32の延在部から構成された誘電体層、及び、一方の電極37(第2ノードND₂に相当する)から成る。ゲート電極31、ゲート絶縁層32の一部、及び、保持容量 C_{cs} を構成する他方の電極36は、支持体20上に形成されている。駆動トランジスタTR_Dの一方のソース/ドレイン領域35は配線38に接続され、他方のソース/ドレイン領域35は一方の電極37に接続されている。駆動トランジスタTR_D及び保持容量 C_{cs} 等は、層間絶縁層40で覆われており、層間絶縁層40上に、アノード電極51、正孔輸送層、発光層、電子輸送層、及び、カソード電極53から成る発光部ELPが設けられている。図3においては、正孔輸送層、発光層、及び、電子輸送層を1層52で表した。発光部ELPが設けられていない層間絶縁層40の部分の上には、第2層間絶縁層54が設けられ、第2層間絶縁層54及びカソード電極53上には透明な基板21が配置されており、発光層にて発光した光は、基板21を通して、外部に出射される。一方の電極37とアノード電極51とは、層間絶縁層40に設けられたコンタクトホールによって接続されている。カソード電極53は、第2層間絶縁層54、層間絶縁層40に設けられたコンタクトホール56、コンタクトホール55を介して、ゲート絶縁層32の延在部上に設けられた配線39に接続されている。

30

【0055】

[駆動方法]

発光部の駆動方法に関して、以下に説明する。理解を容易にするべく、画素回路10を構成する各トランジスタは、nチャネル型のトランジスタから構成されているとして説明

40

50

する。又、発光部 E L P は、アノード端が第 2 ノード N D₂ に接続され、カソード端はカソード配線 cath (その電位をカソード電位 V_{cath} とする) に接続されるものとする。更には、ドレンイン電流 I_{ds} の値の大小によって、発光部 E L P における発光状態 (輝度) が制御される。発光素子の発光状態においては、駆動トランジスタ T R_D の 2 つの主電極端 (ソース / ドレンイン領域) は、一方 (発光部 E L P のアノード側) がソース端 (ソース領域) として働き、他方がドレンイン端 (ドレンイン領域) として働く。表示装置は、カラー表示対応のものであり、N × M 個の 2 次元マトリクス状に配列された画素回路 1 0 から構成され、カラー表示の一単位を成す 1 つの画素回路は、3 つの副画素回路 (赤色を発光する赤色発光画素回路 1 0 _R 、緑色を発光する緑色発光画素回路 1 0 _G 、青色を発光する青色発光画素回路 1 0 _B) から構成されているとする。各画素回路 1 0 を構成する発光素子は、
10 線順次駆動されるとし、表示フレームレートを F R (回 / 秒) とする。即ち、第 m 行目 (但し、m = 1, 2, 3, ..., M) に配列された N 個の画素回路 1 0 、より具体的には、N 個の画素回路 1 0 のそれぞれを構成する発光素子が同時に駆動される。換言すれば、1 つの行を構成する各発光素子にあっては、その発光 / 非発光のタイミングは、それらが属する行単位で制御される。尚、1 つの行を構成する各画素回路 1 0 について映像信号を書き込む処理は、全ての画素回路 1 0 について同時に映像信号を書き込む処理 (同時書き込み処理とも称する) でもよいし、画素回路 1 0 每に順次映像信号を書き込む処理 (順次書き込み処理とも称する) でもよい。何れの書き込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

【 0 0 5 6 】

ここで、第 m 行目、第 n 列 (但し、n = 1, 2, 3, ..., N) に位置する発光素子 (画素回路 1 0) に関する駆動動作を説明する。因みに、第 m 行目、第 n 列に位置する発光素子を、第 (n, m) 番目の発光素子或いは第 (n, m) 番目の発光素子画素回路と称する。第 m 行目に配列された各発光素子の水平走査期間 (第 m 番目の水平走査期間) が終了するまでに、各種の処理 (閾値補正処理、書き込み処理、移動度補正処理、等) が行なわれる。尚、書き込み処理や移動度補正処理は、第 m 番目の水平走査期間内に行なわれる必要がある。一方、駆動回路の種類によっては、閾値補正処理やこれに伴う前処理を第 m 番目の水平走査期間より先行して行なうことができる。
20

【 0 0 5 7 】

前述の各種の処理が全て終了した後、第 m 行目に配列された各発光素子を構成する発光部を発光させる。尚、各種の処理が全て終了した後、直ちに発光部を発光させてもよいし、所定の期間 (例えば、所定の行数分の水平走査期間) が経過した後に発光部を発光させてもよい。「所定の期間」は、表示装置の仕様や画素回路 1 0 (つまり駆動回路) の構成等に応じて、適宜設定すればよい。以下では説明の便宜のため、各種の処理終了後、直ちに発光部を発光させるものとする。第 m 行目に配列された各発光素子を構成する発光部の発光は、第 (m + m') 行目に配列された各発光素子の水平走査期間の開始直前まで継続される。「m'」は、表示装置の設計仕様によって決定すればよい。即ち、或る表示フレームの第 m 行目に配列された各発光素子を構成する発光部の発光は、第 (m + m' - 1) 番目の水平走査期間まで継続される。一方、第 (m + m') 番目の水平走査期間の始期から、次の表示フレームにおける第 m 番目の水平走査期間内において書き込み処理や移動度補正処理が完了するまで、第 m 行目に配列された各発光素子を構成する発光部は、原則として非発光状態を維持する。非発光状態の期間 (非発光期間とも称する) を設けることにより、アクティブマトリクス駆動に伴う残像ボケが低減され、動画品位をより良好にすることができる。但し、各画素回路 1 0 (発光素子) の発光状態 / 非発光状態は、以上に説明した状態には限定されない。水平走査期間の時間長は、(1 / F R) × (1 / M) 秒未満の時間長である。(m + m') の値が M を越える場合、越えた分の水平走査期間は、次の表示フレームにおいて処理される。
30

【 0 0 5 8 】

トランジスタがオン状態 (導通状態) にあるとは、主電極端間 (ソース / ドレンイン領域間) にチャネルが形成されている状態を意味し、一方の主電極端から他方の主電極端に電
40

10

20

30

40

50

流が流れているか否かは問わない。トランジスタがオフ状態（非導通状態）にあるとは、主電極間にチャネルが形成されていない状態を意味する。或るトランジスタの主電極端が他のトランジスタの主電極端に接続されているとは、或るトランジスタのソース／ドレイン領域と他のトランジスタのソース／ドレイン領域とが同じ領域を占めている形態を包含する。更には、ソース／ドレイン領域は、不純物を含有したポリシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料（導電性高分子）から成る層から構成することができる。又、以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。

【0059】

10

画素回路10の駆動方法においては、前処理工程、閾値補正処理工程、映像信号書き込み処理工程、移動度補正工程、発光工程を有する。前処理工程、閾値補正処理工程、映像信号書き込み処理工程、及び、移動度補正工程を纏めて非発光工程とも称する。画素回路10の構成によっては映像信号書き込み処理工程と移動度補正工程とを同時に行なうこともある。各工程について概説する。

【0060】

因みに、駆動トランジスタTR_Dは、発光素子の発光状態においては、以下の式(1)に従ってドレイン電流I_{ds}を流すように駆動される。ドレイン電流I_{ds}が発光部ELPを流れることで発光部ELPが発光する。更には、ドレイン電流I_{ds}の値の大小によって、発光部ELPにおける発光状態（輝度）が制御される。発光素子の発光状態においては、駆動トランジスタTR_Dの2つの主電極端（ソース／ドレイン領域）は、一方（発光部ELPのアノード端側）がソース端（ソース領域）として働き、他方がドレイン端（ドレイン領域）として働く。説明の便宜のため、以下の説明において、駆動トランジスタTR_Dの一方の主電極端を単にソース端と称し、他方の主電極端を単にドレイン端と呼ぶ場合がある。尚、実効的な移動度μ、チャネル長L、チャネル幅W、制御入力端の電位（ゲート電位V_g）とソース端の電位（ソース電位V_s）との電位差（ゲート・ソース間電圧）V_{gs}、閾値電圧V_{th}、等価容量C_{ox}（（ゲート絶縁層の比誘電率）×（真空の誘電率）/（ゲート絶縁層の厚さ））、係数k（1/2）・（W/L）・C_{ox}とする。

20

【0061】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (1)$$

30

【0062】

以下の説明では、特段の断りのない限り、発光部ELPの寄生容量の静電容量C_{e1}は、保持容量C_{cs}の静電容量C_{cs}及び駆動トランジスタTR_Dの寄生容量の一例であるゲート・ソース間の静電容量C_{gs}と比較して十分に大きな値であるとし、駆動トランジスタTR_Dのゲート端の電位（ゲート電位V_g）の変化に基づく駆動トランジスタTR_Dのソース領域（第2ノードND₂）の電位（ソース電位V_s）の変化を考慮しない。

【0063】

〔前処理工程〕

第1ノードND₁と第2ノードND₂との間の電位差が、駆動トランジスタTR_Dの閾値電圧V_{th}を越え、且つ、第2ノードND₂と発光部ELPに備えられたカソード電極との間の電位差が、発光部ELPの閾値電圧V_{thEL}を越えないようにする。このために、第1ノードND₁に第1ノード初期化電圧（V_{ofs}）を印加し、第2ノードND₂に第2ノード初期化電圧（V_{ini}）を印加する。例えば、発光部ELPにおける輝度を制御するための映像信号V_{sig}を0～10ボルト、電源電圧V_{cc}を20ボルト、駆動トランジスタTR_Dの閾値電圧V_{th}を3ボルト、カソード電位V_{cath}を0ボルト、発光部ELPの閾値電圧V_{thEL}を3ボルトとする。この場合、駆動トランジスタTR_Dの制御入力端の電位（ゲート電位V_g、つまり第1ノードND₁の電位）を初期化するための電位V_{ofs}は0ボルト、駆動トランジスタTR_Dのソース端の電位（ソース電位V_sつまり第2ノードND₂の電位）を初期化するための電位V_{ini}は-10ボルトとする。

40

【0064】

50

〔閾値補正処理工程〕

第1ノードND₁の電位を保った状態で、駆動トランジスタTR_Dにドレイン電流I_{ds}を流して、第1ノードND₁の電位から駆動トランジスタTR_Dの閾値電圧V_{th}を減じた電位に向かって第2ノードND₂の電位を変化させる。この際には、前処理工程後の第2ノードND₂の電位に駆動トランジスタTR_Dの閾値電圧V_{th}を加えた電圧を超える電圧（例えば発光時の電源電圧）を、駆動トランジスタTR_Dの主電極端の他方（第2ノードND₂とは反対側）に印加する。この閾値補正処理工程において、第1ノードND₁と第2ノードND₂との間の電位差（換言すれば、駆動トランジスタTR_Dのゲート・ソース間電圧V_{gs}）が駆動トランジスタTR_Dの閾値電圧V_{th}に近づく程度は閾値補正処理の時間により左右される。よって、例えば閾値補正処理の時間を充分長く確保すれば第2ノードND₂の電位は第1ノードND₁の電位から駆動トランジスタTR_Dの閾値電圧V_{th}を減じた電位に達し、駆動トランジスタTR_Dはオフ状態となる。一方、例えば閾値補正処理の時間を短く設定せざるを得ない場合は、第1ノードND₁と第2ノードND₂との間の電位差が駆動トランジスタTR_Dの閾値電圧V_{th}より大きく、駆動トランジスタTR_Dはオフ状態とはならない場合がある。閾値補正処理の結果として、必ずしも駆動トランジスタTR_Dがオフ状態となることを要しない。尚、閾値補正処理工程においては、好ましくは、式(2)を満足するように電位を選択、決定しておくことで、発光部ELPが発光しないようにする。

【0065】

$$(V_{ofs} - V_{th}) < (V_{thEL} + V_{cath}) \quad (2)$$

【0066】

〔映像信号書き込み処理工程〕

書込走査線WSLからの書込駆動パルスWSによりオン状態とされた書込トランジスタTR_Wを介して、映像信号線DTLから映像信号V_{sig}を第1ノードND₁に印加し、第1ノードND₁の電位をV_{sig}へと上昇させる。この第1ノードND₁の電位変化分(=V_{in}=V_{sig}-V_{ofs})に基づく電荷が、保持容量C_{cs}、発光部ELPの寄生容量C_{e1}、駆動トランジスタTR_Dの寄生容量（例えばゲート・ソース間容量C_{gs}等）に振り分けられる。静電容量C_{e1}が、静電容量C_{cs}及びゲート・ソース間容量C_{gs}の静電容量C_{gs}と比較して十分に大きな値であれば、電位変化分(V_{sig}-V_{ofs})に基づく第2ノードND₂の電位の変化は小さい。一般に、発光部ELPの寄生容量C_{e1}の静電容量C_{e1}は、保持容量C_{cs}の静電容量C_{cs}及びゲート・ソース間容量C_{gs}の静電容量C_{gs}よりも大きい。この点を勘案して、特段の必要がある場合を除き、第1ノードND₁の電位変化により生ずる第2ノードND₂の電位変化は考慮しない。この場合、ゲート・ソース間電圧V_{gs}は、式(3)で表すことができる。

【0067】

$$\begin{aligned} V_g &= V_{sig} \\ V_s &= V_{ofs} - V_{th} \\ V_{gs} &= V_{sig} - (V_{ofs} - V_{th}) \end{aligned} \quad (3)$$

【0068】

〔移動度補正処理工程〕

書込トランジスタTR_Wを介して映像信号V_{sig}を保持容量C_{cs}の一端に供給しつつ（つまり映像信号V_{sig}と対応する駆動電圧を保持容量C_{cs}に書き込みつつ）、駆動トランジスタTR_Dを介して保持容量C_{cs}に電流を供給する。例えば、書込走査線WSLからの書込駆動パルスWSによりオン状態とされた書込トランジスタTR_Wを介して映像信号線DTLから映像信号V_{sig}を第1ノードND₁に供給した状態で、駆動トランジスタTR_Dに電源を供給しドレイン電流I_{ds}を流して、第2ノードND₂の電位を変化させ、所定期間経過後、書込トランジスタTR_Wをオフ状態にする。このときの第2ノードND₂の電位変化分をV（=電位補正值、負帰還量）とする。移動度補正処理を実行するための所定期間は、表示装置の設計の際、設計値として予め決定しておけばよい。尚、この際には、好ましくは、式(2A)を満足するように移動度補正期間を決定する。こうすることで、移動

10

20

30

40

50

度補正期間に発光部 E L P が発光することはない。

【 0 0 6 9 】

$$(V_{ofs} - V_{th} + V) < (V_{thEL} + V_{cath}) \quad (2A)$$

【 0 0 7 0 】

駆動トランジスタ T R_Dの移動度 μ の値が大きい場合は電位補正值 V は大きくなり、移動度 μ の値が小さい場合は電位補正值 V は小さくなる。このときの駆動トランジスタ T R_Dのゲート・ソース間電圧 V_{gs} (つまり第 1 ノード N D₁と第 2 ノード N D₂との電位差) は、式(4)で表すことができる。ゲート・ソース間電圧 V_{gs} は発光時の輝度を規定するが、電位補正值 V は駆動トランジスタ T R_Dのドレン電流 I_{ds} に比例し、ドレン電流 I_{ds} は移動度 μ に比例するので、結果的には、移動度 μ が大きいほど電位補正值 V が大きくなるので、画素回路 10 ごとの移動度 μ のばらつきを取り除くことができる。
10

【 0 0 7 1 】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) - V \quad (4)$$

【 0 0 7 2 】

〔発光工程〕

書き走査線 W S L からの書き駆動パルス WS により書きトランジスタ T R_wをオフ状態とすることにより第 1 ノード N D₁を浮遊状態とする。そしてこの状態で、駆動トランジスタ T R_Dに電源を供給して駆動トランジスタ T R_Dを介して、駆動トランジスタ T R_Dのゲート・ソース間電圧 V_{gs} (第 1 ノード N D₁と第 2 ノード N D₂との間の電位差) に応じた電流 I_{ds} を発光部 E L P に流すことにより発光部 E L P を駆動して発光させる。
20

【 0 0 7 3 】

〔駆動回路の構成による相違点〕

ここで、それぞれ典型的な、5 T r / 1 C 型、4 T r / 1 C 型、3 T r / 1 C 型、2 T r / 1 C 型での相違点は以下の通りである。5 T r / 1 C 型では、駆動トランジスタ T R_Dの電源側の主電極端と電源回路 (電源部) との間に接続された第 1 トランジスタ T R₁ (発光制御トランジスタ) と、第 2 ノード初期化電圧を印加する第 2 トランジスタ T R₂と、第 1 ノード初期化電圧を印加する第 3 トランジスタ T R₃とを設ける。第 1 トランジスタ T R₁、第 2 トランジスタ T R₂、第 3 トランジスタ T R₃は何れもスイッチングトランジスタである。第 1 トランジスタ T R₁は、発光期間にオン状態としており、オフ状態にして非発光期間に入り、その後の閾値補正期間に一度オン状態にし、更に移動度補正期間以降 (次の発光期間も) オン状態とする。第 2 トランジスタ T R₂は、第 2 ノードの初期化期間にのみオン状態としそれ以外はオフ状態とする。第 3 トランジスタ T R₃は、第 1 ノードの初期化期間から閾値補正期間に亘ってのみオン状態としそれ以外はオフ状態とする。書きトランジスタ T R_wは、映像信号書き込み処理期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。
30

【 0 0 7 4 】

4 T r / 1 C 型では、5 T r / 1 C 型から、第 1 ノード初期化電圧を印加する第 3 トランジスタ T R₃が省略される。第 1 ノード初期化電圧は映像信号線 D T L から映像信号 V_{sig} と時分割で供給される。第 1 ノードの初期化期間に第 1 ノード初期化電圧を映像信号線 D T L から第 1 ノードに供給するべく、書きトランジスタ T R_wは第 1 ノードの初期化期間にもオン状態とされる。典型的には、書きトランジスタ T R_wは、第 1 ノードの初期化期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。
40

【 0 0 7 5 】

3 T r / 1 C 型では、5 T r / 1 C 型から、第 2 トランジスタ T R₂と第 3 トランジスタ T R₃が省略される。第 1 ノード初期化電圧及び第 2 ノード初期化電圧は映像信号線 D T L から映像信号 V_{sig} と時分割で供給される。映像信号線 D T L の電位は、第 2 ノードの初期化期間に第 2 ノードを第 2 ノード初期化電圧に設定し、その後の第 1 ノードの初期化期間に第 1 ノードを第 1 ノード初期化電圧に設定するべく、第 2 ノード初期化電圧と対応した電圧 V_{ofs_H} を供給しその後に第 1 ノード初期化電圧 V_{ofs_L} (= V_{ofs}) にする。そして、これと対応して、書きトランジスタ T R_wは第 1 ノードの初期化期間及び第 2 ノ
50

ードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ T_{R_W} は、第2ノードの初期化期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【0076】

因みに、3Tr/1C型では、映像信号線DTLを利用して第2ノードND₂の電位を変化させる。このため、保持容量C_{cs}の静電容量C_{cs}を、設計上、他の駆動回路よりも大きい値（例えば、静電容量C_{cs}を静電容量C_{e1}の約1/4～1/3程度）に設定する。したがって、他の駆動回路よりも、第1ノードND₁の電位変化により生ずる第2ノードND₂の電位変化の程度が大きい点を考慮する。

【0077】

2Tr/1C型では、5Tr/1C型から、第1トランジスタTR₁と第2トランジスタTR₂と第3トランジスタTR₃が省略される。第1ノード初期化電圧は映像信号線DTLから映像信号V_{sig}と時分割で供給される。第2ノード初期化電圧は駆動トランジスタTR_Dの電源側の主電極端を、第1電位V_{cc_H}（=5Tr/1C型のV_{cc}）と第2電位V_{cc_L}（=5Tr/1C型のV_{ini}）でパルス駆動することで与えられる。駆動トランジスタTR_Dの電源側の主電極端は、発光期間に第1電位V_{cc_H}にされ、第2電位V_{cc_L}にされることで非発光期間に入り、その後の閾値補正期間以降（次の発光期間も）に第1電位V_{cc_H}にされる。第1ノードの初期化期間に第1ノード初期化電圧を映像信号線DTLから第1ノードに供給するべく、書込トランジスタTR_Wは第1ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタTR_Wは、第1ノードの初期化期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【0078】

尚、ここでは、駆動トランジスタの特性ばらつきとして、閾値電圧及び移動度の双方について補正処理を行なう場合で説明したが、何れか一方のみについて補正処理を行なうようにしてもよい。

【0079】

以上、好ましい例に基づき説明したが、これらの例に限定されるものではない。各例において説明した表示装置、表示素子、駆動回路を構成する各種の構成要素の構成、構造、発光部の駆動方法における工程は例示であり、適宜、変更することができる。

【0080】

又、5Tr/1C型、4Tr/1C型、及び、3Tr/1C型の動作においては、書込み処理と移動度補正を別個に行なってもよいし、2Tr/1C型と同様に、書込み処理において移動度補正処理を併せて行なってもよい。具体的には、第1トランジスタTR₁（発光制御トランジスタ）をオン状態とした状態で、書込トランジスタTR_Wを介して、データ線DTLから映像信号V_{sig}を第1ノードに印加すればよい。

【0081】

<具体的な適用例>

以下に、電気光学素子がターンオンすることに起因する表示むら現象を抑制する技術の具体的な適用例について説明する。尚、アクティブマトリクス型の有機ELパネルを使用する表示装置においては、例えば、パネル両側或いは片側に配置されている垂直走査部によってトランジスタの制御入力端に供給する各種のゲート信号（制御パルス）を作り、画素回路10へ当該信号を印加する。更にはこのような有機ELパネルを使用する表示装置においては、素子数削減及び高精細化のため、2Tr/1C型の画素回路10を用いることがある。この点を勘案して、以下では、代表的に2Tr/1C型の構成への適用例で説明する。

【実施例1】

【0082】

[画素回路]

図4及び図5は、各実施例に対する比較例の画素回路10Zと、当該画素回路10Zを備えた表示装置の一形態を示す図である。比較例の画素回路10Zを画素アレイ部102

10

20

30

40

50

に備える表示装置を比較例の表示装置 1 Z と称する。図 4 は基本構成（1 画素分）を示し、図 5 は具体的な構成（表示装置の全体）を示す。図 6～図 7 は、実施例 1 の画素回路 10 A と、当該画素回路 10 A を備えた表示装置の一形態を示す図である。実施例 1 の画素回路 10 A を画素アレイ部 102 に備える表示装置を実施例 1 の表示装置 1 A と称する。図 6 は基本構成（1 画素分）を示し、図 7 は具体的な構成（表示装置の全体）を示す。尚、比較例及び実施例 1 の何れにおいても、表示パネル部 100 の基板 101 上において画素回路 10 の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。後述する他の実施例でも同様である。

【0083】

先ず、参照子 A、参照子 Z を割愛して、比較例と実施例 1 とで、共通する部分について説明する。表示装置 1 は、映像信号 V_{sig} （詳しくは信号振幅 V_{in} ）に基づいて画素回路 10 内の電気光学素子（本例では発光部 E LP として有機 E L 素子 127 を使用する）を発光させる。このため、表示装置 1 は、画素アレイ部 102 に行列状に配される画素回路 10 内に、少なくとも、駆動トランジスタ 121（駆動トランジスタ TR_D ）、保持容量 120（保持容量 C_{cs} ）、電気光学素子の一例である有機 E L 素子 127（発光部 E LP）、及び、サンプリングトランジスタ 125（書き込トランジスタ TR_W ）を備える。駆動トランジスタ 121 は、駆動電流を生成して有機 E L 素子 127 に供給する。保持容量 120 は、駆動トランジスタ 121 の制御入力端（ゲート端が典型例）と出力端（ソース端が典型例）の間に接続されている。有機 E L 素子 127 は、駆動トランジスタ 121 の出力端に接続されている。サンプリングトランジスタ 125 は、保持容量 120 に信号振幅 V_{in} に応じた情報を書き込む。この画素回路 10 においては、保持容量 120 に保持された情報に基づく駆動電流 I_{ds} を駆動トランジスタ 121 で生成して電気光学素子の一例である有機 E L 素子 127 に流すことで有機 E L 素子 127 を発光させる。

【0084】

サンプリングトランジスタ 125 で保持容量 120 に信号振幅 V_{in} に応じた情報を書き込むので、サンプリングトランジスタ 125 は、その入力端（ソース端もしくはドレイン端の一方）に信号電位 ($V_{ofs} + V_{in}$) を取り込み、その出力端（ソース端もしくはドレイン端の他方）に接続された保持容量 120 に信号振幅 V_{in} に応じた情報を書き込む。もちろん、サンプリングトランジスタ 125 の出力端は、駆動トランジスタ 121 の制御入力端にも接続されている。

【0085】

尚、ここで示した画素回路 10 の接続構成は、最も基本的な構成を示したもので、画素回路 10 は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。又、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。例えば、接続間には、必要に応じて更に、スイッチング用のトランジスタや、ある機能を持った機能部等を介在させる等の変更が加えられることがある。各変形態様の画素回路であっても、実施例 1（或いはその他の実施例）で説明する構成や作用を実現し得るものである限り、それらの変形態様も、本開示に係る表示装置の一実施形態を実現する画素回路 10 である。

【0086】

又、画素回路 10 を駆動するための周辺部には、例えば、書き走査部 104 及び駆動走査部 105 を具備する制御部 109 を設ける。書き走査部 104 は、サンプリングトランジスタ 125 を水平周期で順次制御することで画素回路 10 を線順次走査して、1 行分の各保持容量 120 に映像信号 V_{sig} の信号振幅 V_{in} に応じた情報を書き込む。駆動走査部 105 は、書き走査部 104 での線順次走査に合わせて 1 行分の各駆動トランジスタ 121 の電源供給端に印加される電源供給を制御するための走査駆動パルス（電源駆動パルス DSL）を出力する。又、制御部 109 には、書き走査部 104 での線順次走査に合わせて各水平周期内で基準電位 (V_{ofs}) と信号電位 ($V_{ofs} + V_{in}$) で切り替わる映像信号 V_{sig} がサンプリングトランジスタ 125 に供給されるように制御する水平駆動部 106 を設ける。

10

20

30

40

50

【0087】

制御部109は、好ましくは、ブートストラップ動作を行なうように制御するのがよい。ここでブートストラップ動作とは、保持容量120に信号振幅 V_{in} に対応する情報が書き込まれた時点でサンプリングトランジスタ125を非導通状態にして駆動トランジスタ121の制御入力端への映像信号 V_{sig} の供給を停止させ、駆動トランジスタ121の出力端の電位変動に制御入力端の電位が連動する動作である。制御部109は、好ましくは、ブートストラップ動作を、サンプリング動作の終了後の発光開始の初期でも実行するようとする。即ち、信号電位($V_{ofs} + V_{in}$)がサンプリングトランジスタ125に供給されている状態でサンプリングトランジスタ125を導通状態にした後にサンプリングトランジスタ125を非導通状態にすることで、駆動トランジスタ121の制御入力端と出力端の電位差が一定に維持されるようとする。

10

【0088】

又、制御部109は、好ましくはブートストラップ動作を、発光期間において電気光学素子(有機EL素子127)の経時変動補正動作を実現するように制御する。このため、制御部109は、保持容量120に保持された情報に基づく駆動電流 I_{ds} が電気光学素子(有機EL素子127)に流れている期間は継続的にサンプリングトランジスタ125を非導通状態にしておくことで、制御入力端と出力端の電位差を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。発光時における保持容量120のブートストラップ動作により有機EL素子127の電流-電圧特性が経時変動しても駆動トランジスタ121の制御入力端と出力端の電位差をブートストラップした保持容量120により一定に保つことで、常に一定の発光輝度を保つようとする。又、好ましくは、制御部109は、基準電位(=第1ノード初期化電圧 V_{ofs})がサンプリングトランジスタ125の入力端(ソース端が典型例)に供給されている時間帯でサンプリングトランジスタ125を導通させることで駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持するための閾値補正動作を行なうように制御する。

20

【0089】

この閾値補正動作は、必要に応じて、信号振幅 V_{in} に対応する情報の保持容量120への書き込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1水平周期内の閾値補正期間では駆動トランジスタ121の閾値電圧に相当する電圧を十分に保持容量120へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させる。

30

【0090】

又、更に好ましくは、制御部109は、閾値補正動作に先立って、サンプリングトランジスタ125の入力端に基準電位(V_{ofs})が供給されている時間帯でサンプリングトランジスタ125を導通させて閾値補正用の準備動作(放電動作や初期化動作)を実行するように制御する。閾値補正動作前に駆動トランジスタ121の制御入力端と出力端の電位を初期化しておく。より詳しくは、制御入力端と出力端と間に保持容量120を接続しておくことで、保持容量120の両端の電位差が閾値電圧 V_{th} 以上になるように設定する。

40

【0091】

尚、2Tr/1C構成における閾値補正に当たっては、制御部109には、書込走査部104での線順次走査に合わせて1行分の各画素回路10に、駆動電流 I_{ds} を電気光学素子(有機EL素子127)に流すために使用される第1電位 V_{cc_H} と第1電位 V_{cc_L} とは異なる第2電位 V_{cc_L} とを切り替えて出力する駆動走査部105を設けるのがよい。駆動走査部105は、駆動トランジスタ121の電源供給端子に第1電位 V_{cc_H} に対応する電圧が供給され、かつサンプリングトランジスタ125に信号電位($V_{ofs} + V_{in}$)が供給されている時間帯でサンプリングトランジスタ125を導通させることで閾値補正動作を行なうように制御するのがよい。又、2Tr/1C構成における閾値補正の準備動作に当たっては、駆動トランジスタ121の電源供給端に第2電位 V_{cc_L} (=第2ノード初期化電圧 V_{ini})に対応する電圧が供給され、かつサンプリングトランジスタ125に基準

50

電位 (V_{ofs}) が供給されている時間帯でサンプリングトランジスタ 125 を導通させるのがよい。そしてこの状態で、駆動トランジスタ 121 の制御入力端（つまり第 1 ノード ND₁）の電位を基準電位 (V_{ofs}) に初期化し、出力端（つまり第 2 ノード ND₂）の電位を第 2 電位 V_{cc_L} に初期化するのがよい。

【0092】

更に好ましくは、制御部 109 は、閾値補正動作の後、駆動トランジスタ 121 に第 1 電位 V_{cc_H} に対応する電圧が供給され、サンプリングトランジスタ 125 に信号電位 ($V_{ofs} + V_{in}$) が供給されている時間帯でサンプリングトランジスタ 125 を導通させる。こうすることで、保持容量 120 に信号振幅 V_{in} の情報を書き込む際、駆動トランジスタ 121 の移動度 μ に対する補正分を保持容量 120 に書き込まれる情報に加えるように制御する。この際には、サンプリングトランジスタ 125 に信号電位 ($V_{ofs} + V_{in}$) が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタ 125 を導通させるとよい。以下 2Tr / 1C 駆動構成での画素回路 10 の一例について具体的に説明する。
10

【0093】

画素回路 10 は、基本的に n チャネル型の薄膜電界効果トランジスタで駆動トランジスタが構成されている。画素回路 10 は、有機 EL 素子の経時劣化による当該有機 EL 素子への駆動電流 I_{ds} の変動を抑制するための回路、即ち電気光学素子の一例である有機 EL 素子の電流 - 電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路（その 1）を備える点に特徴を有する。又、画素回路 10 は、駆動トランジスタの特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流 I_{ds} を一定に維持する駆動方式を採用した点に特徴を有する。
20

【0094】

駆動トランジスタ 121 の特性変動（例えば閾値電圧や移動度等のばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法としては、2Tr / 1C 構成の駆動回路をそのまま駆動信号一定化回路（その 1）として採用する。そして、各トランジスタ（駆動トランジスタ 121 及びサンプリングトランジスタ 125）の駆動タイミングを工夫することで対処する。画素回路 10 は、2Tr / 1C 構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。
30

【0095】

又、画素回路 10 は、保持容量 120 の接続様に特徴を有し、有機 EL 素子 127 の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路（その 2）の一例であるブートストラップ回路を構成している。有機 EL 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にする（駆動電流変動を防ぐ）ブートストラップ機能を実現する駆動信号一定化回路（その 2）を備えた点に特徴を有する。

【0096】

駆動トランジスタを始めとする各トランジスタとしては FET（電界効果トランジスタ）を使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端及びドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方（ここではドレイン端とする）を電源供給端として取り扱う。
40

【0097】

具体的には図 4 及び図 5 に示すように、画素回路 10 は、それぞれ n チャネル型の駆動トランジスタ 121 及びサンプリングトランジスタ 125 と、電流が流れることで発光する電気光学素子の一例である有機 EL 素子 127 とを有する。一般に、有機 EL 素子 127 は整流性があるためダイオードの記号で表している。尚、有機 EL 素子 127 には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機 EL 素子 127（ダイオード状のもの）と並列に示す。

【0098】

駆動トランジスタ121は、ドレイン端Dが第1電位 V_{cc_H} 或いは第2電位 V_{cc_L} を供給する電源供給線105DSLに接続され、ソース端Sが、有機EL素子127のアノード端Aに接続されている（その接続点は第2ノードND₂でありノードND122とする）。有機EL素子127のカソード端Kが基準電位を供給する全画素回路10共通のカソード配線cath（電位はカソード電位 V_{cath} 、例えばGND）に接続されている。尚、カソード配線cathは、それ用の単一層の配線（上層配線）のみとしてもよいし、例えばアノード用の配線が形成されるアノード層に、カソード配線用の補助配線を設けてカソード配線の抵抗値を低減するようにしてもよい。この補助配線は、画素アレイ部102（表示エリア）内に格子状又は列又は行状に配線され、上層配線と同電位で固定電位である。

【0099】

10

サンプリングトランジスタ125は、ゲート端Gが書き走査部104からの書き走査線104WSに接続され、ドレイン端Dが映像信号線106HS（映像信号線DTL）に接続され、ソース端Sが駆動トランジスタ121のゲート端Gに接続されている（その接続点は第1ノードND₁でありノードND121とする）。サンプリングトランジスタ125のゲート端Gには、書き走査部104からアクティブHの書き駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。

【0100】

駆動トランジスタ121のドレイン端Dは、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。駆動走査部105は、駆動トランジスタ121のドレイン端Dに対して、それぞれ電源電圧に相当する高電圧側の第1電位 V_{cc_H} と閾値補正に先立つ準備動作に利用される低電圧側の第2電位 V_{cc_L} （初期化電圧もしくはイニシャル電圧とも称される）とを切り替えて供給する。

20

【0101】

駆動トランジスタ121のドレイン端D側（電源回路側）を第1電位 V_{cc_H} と第2電位 V_{cc_L} の2値をとる電源駆動パルスDSLで駆動することで、閾値補正に先立つ準備動作を行なうことを可能にしている。第2電位 V_{cc_L} としては、映像信号線106HSにおける映像信号 V_{sig} の基準電位（ V_{ofs} ）より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} （ゲート電位 V_g とソース電位 V_s の差）が駆動トランジスタ121の閾値電圧 V_{th} より大きくなるように、電源供給線105DSLの低電位側の第2電位 V_{cc_L} を設定する。尚、基準電位（ V_{ofs} ）は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージにしておくためにも利用する。

30

【0102】

このような画素回路10では、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端Dに第1電位 V_{cc_H} が供給され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

40

【0103】

このような画素回路10を採用する場合、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ（サンプリングトランジスタ125）を使用する2Tr/1C構成を探る。そして、各スイッチングトランジスタを制御する電源駆動パルスDSL及び書き駆動パルスWSのオン／オフタイミングの設定により、有機EL素子127の経時劣化や駆動トランジスタ121の特性変動（例えば閾値電圧や移動度等のばらつきや変動）による駆動電流 I_{ds} に与える影響を防ぐ。

【0104】

〔実施例1に特有の構成〕

ここで、実施例1の画素回路10Aにおいては、映像信号と対応する駆動電圧を保持容

50

量 1 2 0 に書き込む処理の際に、表示部のターンオンを抑制するトランジスタ特性補正制御部 6 2 0 A を有する。実施例 1 のトランジスタ特性補正制御部 6 2 0 A は、容量部 6 2 1 と、発光制御トランジスタ 6 2 4 と、閾値補正制御トランジスタ 6 2 6 と、発光制御走査部 6 2 5 と、閾値補正制御走査部 6 2 7 とを有する。容量部 6 2 1 は、保持容量 1 2 0 と結合容量 6 2 2 とで構成されている。結合容量 6 2 2 の静電容量 C_{cup} は、保持容量 1 2 0 の静電容量 C_{cs} とほぼ同じ値であるとよい。因みに、比較例の画素回路 1 0 Z における駆動走査部 1 0 5 を電源回路に変更し、電源供給線 1 0 5 DSL にはパルス状ではなく、一定の電源電圧（この例では第 1 電位 V_{cc_H} と等しい）を供給する。

【 0 1 0 5 】

即ち、比較例の画素回路 1 0 Z は、サンプリングトランジスタ 1 2 5 の主電極端とノード ND 1 2 2（第 2 ノード ND₂）とが直接に接続されているのに対して、実施例 1 の画素回路 1 0 A は、結合容量 6 2 2 を介して接続されている点が異なる。又、比較例の画素回路 1 0 Z は、駆動トランジスタ 1 2 1 の主電極端（電源側）が直接に電源供給線 1 0 5 DSL に接続されているのに対して、実施例 1 の画素回路 1 0 A は、駆動トランジスタ 1 2 1 の主電極端（電源側）と電源供給線 1 0 5 DSL との間に発光制御トランジスタ 6 2 4 を有する点が異なる。更には、駆動トランジスタ 1 2 1 の主電極端と発光制御トランジスタ 6 2 4 の各主電極端の接続点と駆動トランジスタ 1 2 1 の制御入力端（つまりノード ND 1 2 1）との間に閾値補正制御トランジスタ 6 2 6 を有する点が異なる。表示装置 1 A は、発光制御走査部 6 2 5 と閾値補正制御走査部 6 2 7 とを画素アレイ部 1 0 2 の外部に備えている。発光制御トランジスタ 6 2 4 の制御入力端（ゲート端）は、発光制御線 6 2 5 DS を介して発光制御走査部 6 2 5 に接続され、アクティブ H の発光制御パルス DS が行ごとに供給される。閾値補正制御トランジスタ 6 2 6 の制御入力端（ゲート端）は、閾値補正制御線 6 2 7 AZ を介して閾値補正制御走査部 6 2 7 に接続され、アクティブ H の閾値補正制御パルス AZ が行ごとに供給される。10

【 0 1 0 6 】

このような実施例 1 の構成では、基準電位 (V_{ofs}) や映像信号 V_{sig} (信号電位 : $V_{of_s} + V_{in}$) が結合容量 6 2 2 を介してノード ND 1 2 2 に供給される。実施例 1 では、当該作用を利用して、閾値補正や信号書き込みや移動度補正を行なう。このような実施例 1 の画素回路 1 0 A とした意義や利点についての詳細は後述するが、特に、信号書き込み時には、マイナス電位の映像信号 V_{sig} を書き込むことで、その後の移動度補正時の有機 EL 素子 1 2 7 を大きな逆バイアス状態にし、移動度補正中に有機 EL 素子 1 2 7 がターンオンすることを抑制する。移動度補正中の有機 EL 素子 1 2 7 のターンオンを防止することで、移動度補正動作を正常に行なうことができる。20

【 0 1 0 7 】

[画素回路の動作]

図 8 は、画素回路 1 0 に関する駆動タイミングの一例として、線順次方式で信号振幅 V_{in} の情報を保持容量 1 2 0 に書き込む際の動作を説明するタイミングチャート（理想状態）である。図 9 は、図 8 に示したタイミングチャートの主要な期間における等価回路と動作状態を説明する図である。図 8 においては、時間軸を共通にして、書き走査線 1 0 4 WS の電位変化、電源供給線 1 0 5 DSL の電位変化、映像信号線 1 0 6 HS の電位変化を表してある。これらの電位変化と並行に、駆動トランジスタ 1 2 1 のゲート電位 V_g 及びソース電位 V_s の変化も表してある。基本的には、書き走査線 1 0 4 WS や電源供給線 1 0 5 DSL の 1 行ごとに、1 水平走査期間だけ遅れて同じような駆動を行なう。以下では、比較例の画素回路 1 0 Z について説明するが、後述する各実施例において特段の断りのない事項は、ここで説明する動作が同様に適用される。30

【 0 1 0 8 】

図 8 中の信号のように各パルスのタイミングによって有機 EL 素子 1 2 7 に流れる電流値をコントロールする。図 8 のタイミング例では、電源駆動パルス DSL を第 2 電位 V_{cc_L} とすることで消光及びノード ND 1 2 2 を初期化する。この後に、第 1 ノード初期化電圧 V_{ofs} を映像信号線 1 0 6 HS に印加している際にサンプリングトランジスタ 1 2 5 をオン40

状態としてノードN D 1 2 1を初期化し、その状態で電源駆動パルスDSLを第1電位 V_{cc_H} とすることで閾値補正を行なう。その後、サンプリングトランジスタ1 2 5をオフ状態とし、映像信号線1 0 6 HSに映像信号 V_{sig} を印加する。その状態でサンプリングトランジスタ1 2 5をオン状態とすることにより信号を書き込むと同時に移動度補正を行なう。信号を書き込んだ後、サンプリングトランジスタ1 2 5をオフ状態にすると発光を開始する。このように移動度補正や閾値補正等、パルスの位相差によって駆動をコントロールする。

【 0 1 0 9 】

以下、閾値補正及び移動度補正に着目して動作を説明する。画素回路1 0 Zにおいて、駆動タイミングとしては、先ず、サンプリングトランジスタ1 2 5は、書込走査線1 0 4 WSから供給された書込駆動パルスWSに応じて導通し、映像信号線1 0 6 HSから供給された映像信号 V_{sig} をサンプリングして保持容量1 2 0に保持する。以下では、説明や理解を容易にするため、特段の断りのない限り、書き込みゲインが1(理想値)であると仮定して、保持容量1 2 0に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングする等と簡潔に記して説明する。書き込みゲインが1未満の場合、保持容量1 2 0には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

【 0 1 1 0 】

画素回路1 0に対する駆動タイミングは、映像信号 V_{sig} の信号振幅 V_{in} の情報を保持容量1 2 0に書き込む際に、順次走査の観点からは、1行分の映像信号を同時に各列の映像信号線1 0 6 HSに伝達する線順次駆動を行なう。特に、画素回路1 0 Zにおける駆動タイミングでの閾値補正と移動度補正を行なう際の基本的な考え方においては、先ず、映像信号 V_{sig} を基準電位(V_{ofs})と信号電位($V_{ofs} + V_{in}$)とを1 H期間内において時分割で有するものとする。具体的には、映像信号 V_{sig} が非有効期間である基準電位(V_{ofs})にある時間を1水平期間の前半部とし、有効期間である信号電位($V_{sig} = V_{ofs} + V_{in}$)にある時間を1水平期間の後半部とする。1水平期間を前半部と後半部に分ける際は、典型的にはほぼ1/2期間ずつ分けるがこのことは必須でなく、前半部よりも後半部の方をより長くしてもよいし、逆に、前半部よりも後半部の方をより短くしてもよい。

【 0 1 1 1 】

信号書き込みに用いる書込駆動パルスWSを閾値補正や移動度補正にも用いることとし、1 H期間内に2回、書込駆動パルスWSをアクティブにしてサンプリングトランジスタ1 2 5をオンする。そして、1回目のオンタイミングにて閾値補正を行ない、2回目のオンタイミングにて信号電圧書き込みと移動度補正を同時に行なう。その後、駆動トランジスタ1 2 1は、第1電位(高電位側)にある電源供給線1 0 5 DSLから電流の供給を受け保持容量1 2 0に保持された信号電位(映像信号 V_{sig} の有効期間の電位に対応する電位)に応じて駆動電流 I_{ds} を有機EL素子1 2 7に流す。尚、1 H期間内に2回、書込駆動パルスWSをアクティブにするのではなく、サンプリングトランジスタ1 2 5のオン状態を維持したまま、映像信号線1 0 6 HSの電位を、有機EL素子1 2 7における輝度を制御するための信号電位($= V_{ofs} + V_{in}$)としてもよい。

【 0 1 1 2 】

例えば、有機EL素子1 2 7の発光状態は、電源供給線1 0 5 DSLが第1電位 V_{cc_H} であり、サンプリングトランジスタ1 2 5がオフ状態である(図9(A)を参照)。このとき、駆動トランジスタ1 2 1は飽和領域で動作するよう設定されているため、有機EL素子1 2 7に流れる電流 I_{ds} は駆動トランジスタ1 2 1のゲート・ソース間電圧 V_{gs} (ノードN D 1 2 1とノードN D 1 2 2との間の電圧)に応じて決まる式(1)に示される値となる。その後、垂直駆動部1 0 3は、電源供給線1 0 5 DSLが第1電位 V_{cc_H} にありかつ映像信号線1 0 6 HSが映像信号 V_{sig} の非有効期間である基準電位(V_{ofs})にある時間帯でサンプリングトランジスタ1 2 5を導通させる制御信号として書込駆動パルスWSを出力する。これにより、駆動トランジスタ1 2 1の閾値電圧 V_{th} に相当する電圧が保持容量

10

20

30

40

50

120に保持される（図9（D）を参照）。この動作が閾値補正機能を実現する。この閾値補正機能により、画素回路10ごとにばらつく駆動トランジスタ121の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0113】

垂直駆動部103は、信号振幅 V_{in} のサンプリングに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持するようにするのがよい。閾値補正動作を複数回実行することで、十分に長い書き込み時間を確保する。こうすることで、駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を確実に保持容量120に予め保持することができる。

【0114】

保持された閾値電圧 V_{th} に相当する電圧は駆動トランジスタ121の閾値電圧 V_{th} のキャンセルに用いられる。したがって、画素回路10ごとに駆動トランジスタ121の閾値電圧 V_{th} がばらついていても、画素回路10ごとに完全にキャンセルされるため、画像のユニフォーミティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度むらを防ぐことができる。

【0115】

好ましくは、垂直駆動部103は、閾値補正動作に先立って、電源供給線105DSLが第2電位にありかつ映像信号線106HSが映像信号 V_{sig} の非有効期間である基準電位（ V_{ofs} ）にある時間帯で、書き駆動パルスWSをアクティブ（本例ではHレベル）にしてサンプリングトランジスタ125を導通させる。その後、垂直駆動部103は、書き駆動パルスWSをアクティブHにしたままで電源供給線105DSLを第1電位に設定する。

【0116】

こうすることで、ソース端Sを基準電位（ V_{ofs} ）より十分低い第2電位 V_{cc_L} にセットし（放電期間C=第2ノード初期化期間）（図9（B）を参照）、且つ、駆動トランジスタ121のゲート端Gを基準電位（ V_{ofs} ）にセットしてから（初期化期間D=第1ノード初期化期間）（図9（C）を参照）、閾値補正動作を開始する（閾値補正期間E）。このようなゲート電位及びソース電位のリセット動作（初期化動作）により、後続する閾値補正動作を確実に実行することができる。放電期間Cと初期化期間Dとを合わせて、駆動トランジスタ121のゲート電位 V_g とソース電位 V_s を初期化する閾値補正準備期間（=前処理期間）とも称する。因みに、図示した例は、第1ノードのあるノードND121への初期化動作（初期化期間D）は3回繰り返しており、放電期間Cの開始から最後の初期化期間Dが完了するまでが閾値補正準備期間となる。

【0117】

閾値補正期間Eでは、電源供給線105DSLの電位が低電位側の第2電位 V_{cc_L} から高電位側の第1電位 V_{cc_H} に遷移することで、駆動トランジスタ121のソース電位 V_s が上昇を開始する。即ち、駆動トランジスタ121のゲート端Gは映像信号 V_{sig} の基準電位（ V_{ofs} ）に保持されており、駆動トランジスタ121のソース端Sの電位 V_s が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ121のソース電位 V_s は“ $V_{ofs} - V_{th}$ ”となる。閾値補正期間Eでは、ドレイン電流が専ら保持容量120側（ $C_{cs} < < C_{el}$ 時）に流れ、有機EL素子127側には流れないようにするために、有機EL素子127がカットオフとなるように全画素共通の接地配線cathの電位 V_{cath} を設定しておく。

【0118】

有機EL素子127の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ”である限り、つまり、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さい限り、駆動トランジスタ121のドレイン電流 I_{ds} は保持容量120と寄生容量 C_{el} を充電するために使われる。この結果、有機EL素子127のアノード端Aの電圧 V_{el} つまりノードND122の電位は、時間とともに上昇してゆく。そして、ノードND122の電位（ソース電位 V_s ）とノードND121の電位（ゲート電位 V_g ）との電位差がちょうど閾値電圧 V_{th} となつたところで

10

20

30

40

50

駆動トランジスタ 121 はオン状態からオフ状態となり、ドレイン電流 I_{ds} は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

【0119】

ここで、閾値補正動作は1回のみ実行するものとすることもできるが、このことは必須ではない。1水平期間を処理サイクルとして、閾値補正動作を複数回（図は4回で示している）繰り返してもよい。例えば、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S と間に接続された保持容量 120 に書き込まれることになる。しかしながら、閾値補正期間 E は、書込駆動パルス WS をアクティブ H にしたタイミングからインアクティブ L に戻すタイミングまでであり、この期間が十分に確保されていないときには、それ以前に終了してしまう。この問題を解消するには、閾値補正動作を複数回繰り返すのがよい。10

【0120】

閾値補正動作を複数回実行する場合に、1水平期間が閾値補正動作の処理サイクルとなるのは、閾値補正動作に先立って、1水平期間の前半部で映像信号線 106 HS を介して基準電位 (V_{ofs}) を供給しソース電位を第2電位 V_{cc_L} にセットする初期化動作を経るからである。必然的に、閾値補正期間は、1水平期間よりも短くなってしまう。したがって、保持容量 120 の静電容量 C_{cs} や第2電位 V_{cc_L} の大きさ関係やその他の要因で、この短い1回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量 120 に保持仕切れないケースも起こり得る。閾値補正動作を複数回実行するのが好ましいのは、この対処のためである。即ち、信号振幅 V_{in} の保持容量 120 へのサンプリング（信号書き込み）に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのが好ましい。20

【0121】

例えば、第1閾値補正期間 E_1 ではゲート・ソース間電圧 V_{gs} が $V_{x1} (> V_{th})$ になつたとき、つまり、駆動トランジスタ 121 のソース電位 V_s が低電位側の第2電位 V_{cc_L} から “ $V_{ofs} - V_{x1}$ ” になったときに終わってしまう（図 9 (D) を参照）。このため、第1閾値補正期間 E_1 が完了した時点では、 V_{x1} が保持容量 120 に書き込まれる。

【0122】

次に、駆動走査部 105 は、1水平期間の後半部で、書込駆動パルス WS をインアクティブ L に切り替え、さらに水平駆動部 106 は、映像信号線 106 HS の電位を基準電位 (V_{ofs}) から映像信号 V_{sig} (= $V_{ofs} + V_{in}$) に切り替える（図 9 (E) を参照）。これにより、映像信号線 106 HS が映像信号 V_{sig} の電位に変化する一方、書込走査線 104 W S の電位（書込駆動パルス WS）はローレベルになる。30

【0123】

このときには、サンプリングトランジスタ 125 は非導通（オフ）状態にあり、それ以前に保持容量 120 に保持された V_{x1} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s が僅かに上昇する。この上昇分を V_{a1} とすると、ソース電位 V_s は “ $V_{ofs} - V_{x1} + V_{a1}$ ” となる。さらに、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動することで、ゲート電位 V_g が “ $V_{ofs} + V_{a1}$ ” となる。40

【0124】

次の第2閾値補正期間 E_2 では、第1閾値補正期間 E_1 と同様の動作をする。具体的には、先ず、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} の基準電位 (V_{ofs}) に保持されることとなり、ゲート電位 V_g が直前の “ $V_g = \text{基準電位} (V_{ofs}) + V_{a1}$ ” から基準電位 (V_{ofs}) に瞬時に切り替わる。駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のゲート電位 V_g の変動にソース電位 V_s が連動する。このた50

め、ソース電位 V_s は、直前の “ $V_{ofs} - V_{x1} + V_{a1}$ ” から V_{a1} だけ低下するので、“ $V_{ofs} - V_{x1}$ ”となる。この後、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。しかしながら、ゲート・ソース間電圧 V_{gs} が $V_{x2} (> V_{th})$ になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が “ $V_{ofs} - V_{x2}$ ” になったときに終わってしまい、第 2 闘値補正期間 E_2 が完了した時点では V_{x2} が保持容量 120 に書き込まれる。次の第 3 闘値補正期間 E_3 の直前では、保持容量 120 に保持された V_{x2} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s は “ $V_{ofs} - V_{x2} + V_{a2}$ ” となり、ゲート電位 V_g は “ $V_{ofs} + V_{a2}$ ” となる。

【0125】

10

同様にして、次の第 3 闘値補正期間 E_3 では、ゲート・ソース間電圧 V_{gs} が $V_{x3} (> V_{th})$ になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が “ $V_{ofs} - V_{x3}$ ” になったときに終わってしまい、第 3 闘値補正期間 E_3 が完了した時点では V_{x3} が保持容量 120 に書き込まれる。次の第 4 闘値補正期間 E_4 の直前では、保持容量 120 に保持された V_{x3} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s は “ $V_{ofs} - V_{x3} + V_{a3}$ ” となり、ゲート電位 V_g は “ $V_{ofs} + V_{a3}$ ” となる。

【0126】

そして、次の第 4 闘値補正期間 E_4 では、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れれる。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となり、ゲート・ソース間電圧 V_{gs} が闘値電圧 V_{th} と同じ状態になっている。第 4 闘値補正期間 E_4 が完了した時点で、駆動トランジスタ 121 の闘値電圧 V_{th} が保持容量 120 に保持される。

20

【0127】

画素回路 10においては、闘値補正機能に加えて、移動度補正機能を備えている。即ち、垂直駆動部 103 は、映像信号線 106 HS が映像信号 V_{sig} の有効期間である信号電位 ($V_{ofs} + V_{in}$) にある時間帯にサンプリングトランジスタ 125 を導通状態にするため、書込走査線 104 WS に供給する書込駆動パルス WS を、上述の時間帯より短い期間だけアクティブ（本例では H レベル）にする。この期間では、駆動トランジスタ 121 の制御入力端に信号電位 ($V_{ofs} + V_{in}$) を供給した状態で駆動トランジスタ 121 を介して有機 EL 素子 127 の寄生容量 C_{el} 及び保持容量 120 を充電する（図 9 (F) を参照）。この書込駆動パルス WS のアクティブ期間（サンプリング期間でもあり移動度補正期間でもある）を適切に設定することで、保持容量 120 に信号振幅 V_{in} に応じた情報を保持する際、同時に駆動トランジスタ 121 の移動度 μ に対する補正を加えることができる。水平駆動部 106 により映像信号線 106 HS に信号電位 ($V_{ofs} + V_{in}$) を実際に供給して、書込駆動パルス WS をアクティブ H にする期間を、保持容量 120 への信号振幅 V_{in} の書込み期間（サンプリング期間とも称する）とする。

30

【0128】

特に、画素回路 10 における駆動タイミングでは、電源供給線 105 DSL が高電位側である第 1 電位 V_{cc_H} にあり、かつ、映像信号 V_{sig} が有効期間にある時間帯内（信号振幅 V_{in} の期間）で書込駆動パルス WS をアクティブにしている。つまり、その結果、移動度補正時間（サンプリング期間も）は、映像信号線 106 HS の電位が、映像信号 V_{sig} の有効期間の信号電位 ($V_{ofs} + V_{in}$) にある時間幅と書込駆動パルス WS のアクティブ期間の両者が重なった範囲で決まる。特に、映像信号線 106 HS が信号電位にある時間幅の中に入るように書込駆動パルス WS のアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルス WS で決まる。正確には、移動度補正時間（サンプリング期間も）は、書込駆動パルス WS 立ち上がりってサンプリングトランジスタ 125 がオンしてから、同じく書込駆動パルス WS が立ち下がってサンプリングトランジスタ 125 がオフするまでの時間となる。因みに、図では、第 4 闘値補正期間 E_4 の後で書込駆動パルス WS を一端インアクティブ L にしているが、このことは必須でなく、アクティブ H のままにして、

40

50

映像信号 V_{sig} を基準電位 (V_{ofs}) から有効期間の信号電位 ($V_{ofs} + V_{in}$) に切り替えてよい。

【0129】

具体的には、サンプリング期間においては、駆動トランジスタ 121 のゲート電位 V_g が信号電位 ($V_{ofs} + V_{in}$) にある状態でサンプリングトランジスタ 125 が導通（オン）状態となる。したがって、書き込み & 移動度補正期間 H では、駆動トランジスタ 121 のゲート端 G が信号電位 ($V_{ofs} + V_{in}$) に固定された状態で、駆動トランジスタ 121 に駆動電流 I_{ds} が流れる。信号振幅 V_{in} の情報は駆動トランジスタ 121 の閾値電圧 V_{th} に足し込む形で保持される。この結果、駆動トランジスタ 121 の閾値電圧 V_{th} の変動は常にキャセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量 120 に保持されるゲート・ソース間電圧 V_{gs} は、“ $V_{sig} + V_{th}$ ” = “ $V_{in} + V_{th}$ ” となる。又、同時に、このサンプリング期間で移動度補正を実行するので、サンプリング期間は移動度補正期間を兼ねることとなる（書き込み & 移動度補正期間 H）。 10

【0130】

ここで、有機 EL 素子 127 の閾値電圧を V_{thEL} としたとき、“ $V_{ofs} - V_{th} < V_{thEL}$ ”と設定しておくことで、有機 EL 素子 127 は、逆バイアス状態におかれ、カットオフ状態（ハイインピーダンス状態）にあるため、発光することではなく、又、ダイオード特性ではなく単純な容量特性を示す。よって駆動トランジスタ 121 に流れるドレイン電流（駆動電流 I_{ds} ）は保持容量 120 の静電容量 C_{cs} と有機 EL 素子 127 の寄生容量（等価容量） C_{el} の静電容量 C_{el} の両者を結合した容量“ $C = C_{cs} + C_{el}$ ”に書き込まれていく。これにより、駆動トランジスタ 121 のドレイン電流は有機 EL 素子 127 の寄生容量 C_{el} に流れ込み充電を開始する。その結果、駆動トランジスタ 121 のソース電位 V_s は上昇していく。図 8 のタイミングチャートでは、この上昇分を V で表してある。このようにして、画素回路 10 における駆動タイミングでは、書き込み & 移動度補正期間 H において、信号振幅 V_{in} のサンプリングと移動度 μ を補正する V （負帰還量、移動度補正パラメータ）の調整が行なわれる。 20

【0131】

書き走査部 104 は、保持容量 120 に信号振幅 V_{in} の情報が保持された段階で書き走査線 104WS に対する書き駆動パルス WS の印加を解除する、即ち、インアクティブ L（ロー）にする。これにより、サンプリングトランジスタ 125 が非導通状態にされ駆動トランジスタ 121 のゲート端 G が映像信号線 106HS から電気的に切り離される（発光期間 I：図 8 (G) を参照）。 30

【0132】

有機 EL 素子 127 の発光状態を第 ($m + m' - 1$) 番目の水平走査期間まで継続する。以上によって、第 (n, m) 番目の副画素を構成する有機 EL 素子 127 の発光の動作が完了する。この後、次のフレーム（もしくはフィールド）に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、及び発光動作が繰り返される。

【0133】

発光期間 I では、駆動トランジスタ 121 のゲート端 G は映像信号線 106HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位 ($V_{ofs} + V_{in}$) の印加が解除されるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果によって、ブーストストラップ動作が行なわれ、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。 40

【0134】

[表示むら現象の発生原因]

前述のように、図8に示した駆動タイミングでは、移動度補正は、映像信号 V_{sig} と対応する駆動電圧を保持容量120に書き込みつつ駆動トランジスタ121を介して保持容量120に電流を供給する処理である。この移動度補正では、映像信号 V_{sig} を書き込みながら駆動トランジスタ121に電流を流しソース電位 V_s (第2ノードの電位)を上昇させるが、ソース電位 V_s が有機EL素子127(の発光部ELP)の閾値電圧 V_{thEL} まで到達てしまい、有機EL素子127がターンオン(turn on)している状態になる場合がある。これにより駆動トランジスタ121の移動度 μ を反映したソース電位 V_s の上昇が妨げられ、補正動作が正常に行なわれず、ユニフォミティ劣化の原因となる。例えは、移動度 μ が過度に大きい(高い)駆動トランジスタ121を使用すると、移動度補正がかかり過ぎ、発光直前のゲート・ソース間電圧 V_{gs} のつぶれが生じ、著しい輝度低下やユニフォミティの低下が発生する。この弊害を抑制するべく、例えは移動度補正パルスを狭幅にすることが考えられる。ところが、実際には、狭幅の移動度補正パルスにして動作させることは、回路構成や遅延その他の面から、パルス幅の設定・管理が困難である。例えは、MOSFETでは移動度 μ が高いため、移動度補正がかかり過ぎ、輝度が低下しないよう移動度補正パルスを数ナノ秒程度にしなければならない。このような狭パルスの制御は困難である。この点を踏まえると、移動度補正パルスを狭幅にせずに(現状をほぼ維持して)、解決することが望ましい。

【0135】

[表示むら現象の対策手法]

図10は、移動度補正期間中の有機EL素子127のターンオン現象に起因する表示むら対策に着目した実施例1の画素回路の駆動方法を説明するタイミングチャートである。因みに、図示した例は、第1ノードであるノードND121や第2ノードであるノードND122への初期化動作が事実上閾値補正動作とともにに行なわれ、又、閾値補正動作を1回行なう事例である。図示しないが、閾値補正動作を複数回行なうことも可能である。

【0136】

本実施形態の駆動方法は、移動度補正開始時の電気光学素子の一端の電位を比較例よりも低電位に制御する、換言すると、移動度補正の開始前に予め、電気光学素子を比較例よりも強い逆バイアス状態に制御する点に特徴がある。詳しくは、信号書き込み時に電気光学素子の両端電位差がその閾値電圧 V_{thEL} よりも大きくなるように第2ノードND₂の電位を通常よりも低電位側に大きく振ることで、移動度補正期間中の電気光学素子のターンオン現象に起因する表示むら現象を解決する手法をとる。このように構成することで、移動度補正パルスを狭幅にせずに(現状をほぼ維持して)、移動度補正期間中に、第2ノードの電位変化によって電気光学素子がターンオンするのを防止することができる。

【0137】

例えは、実施例1では、発光期間B中に発光制御パルスDSをインアクティブLとして発光制御トランジスタ624をオフ状態として消光期間に入る。このとき、発光制御トランジスタ624のオフとほぼ同時に、書き駆動パルスWS及び閾値補正制御パルスAZをアクティブHとしてサンプリングトランジスタ125と閾値補正制御トランジスタ626とをオン状態にして閾値補正を行なう。具体的には、映像信号線106HSが基準電位(V_{ofs})にある間にサンプリングトランジスタ125をオン状態にすることで結合容量622に第1ノード初期化電圧(V_{ofs})をチャージし、これとともに、発光制御トランジスタ624をオフ状態とし、閾値補正制御トランジスタ626をオン状態とする(期間K)。これにより、ノードND122の電位 V_{ND2} は $V_{cath} + V_{thEL}$ に変化し、ノードND121の電位 V_{ND1} は $V_{ND2} + V_{th}$ に変化する。ノードND121とノードND122の電位差(保持容量120の両端電圧差)が駆動トランジスタ121の閾値電圧 V_{th} となるので閾値補正が行なわれたことになる。期間Kは閾値補正期間であり、結合容量622に第1ノード初期化電圧(V_{ofs})をチャージする動作が、第1ノード及び第2ノードに対する初期化動作と見なすことができる。

【0138】

10

20

30

40

50

この後、書込駆動パルスWS及び閾値補正制御パルスAZをインアクティブLとしてサンプリングトランジスタ125と閾値補正制御トランジスタ626とをオフ状態とする(信号書込み準備期間L)。その後、映像信号線106HSが映像信号 V_{sig} ($V_{ots} - V_{in}$)にある間に書込駆動パルスWSをアクティブHとしてサンプリングトランジスタ125を再びオン状態とすることで、ノードND122に映像信号 V_{sig} を書き込む(信号書込み期間M)。この信号書込み期間Mでは、映像信号 V_{sig} はマイナス電位であり、これにより駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は、 $V_{th} + V_{sig} \times G_{in}$ となる。信号書込み期間Mにおける信号書込み動作時には、信号振幅 V_{in} に対応する情報を如何に大きく保持容量120に書き込むかが肝要となる。信号振幅 V_{in} に対応する保持容量120に書き込まれる情報の大きさの割合を、書き込みゲイン G_{in} と称する。

10

【0139】

その後、サンプリングトランジスタ125がオン状態のままで、発光制御パルスDSをアクティブHにして発光制御トランジスタ624をオン状態にする。こうすることで、サンプリングトランジスタ125を介して映像信号 V_{sig} を保持容量120の一端に供給しつつ(つまり映像信号 V_{sig} と対応する駆動電圧を保持容量120に書き込みつつ)、駆動トランジスタ121を介して保持容量 C_{cs} に電流を供給することで移動度補正処理を行なう(移動度補正期間N)。即ち、サンプリングトランジスタ125がオン状態の最中に発光制御トランジスタ624をオン状態にすることで移動度補正動作が開始されノードND122の上昇とともにノードND121が上昇する。書込走査部104は、移動度補正が完了した段階で書込走査線104WSに対する書込駆動パルスWSの印加を解除し発光期間Oに移行する。

20

【0140】

ここで、移動度補正において、保持容量120に対する映像信号 V_{sig} の書き込みの極性と駆動トランジスタ121を介しての電流供給の極性とは反対である。そのため、駆動トランジスタ121を介しての電流供給による電位変化分(移動度補正パラメータである電位補正值V)が、閾値補正によって保持容量120に保持されるゲート・ソース間電圧“ $V_{gs} = V_{in} + V_{th}$ ”から差し引かれることになる。ゲート・ソース間電圧 V_{gs} は発光時の輝度を規定するが、電位補正值Vは駆動トランジスタ121のドレイン電流 I_{ds} に比例し、ドレイン電流 I_{ds} は移動度μに比例する。このため、結果的には、移動度μが大きいほど電位補正值Vが大きくなるので、画素回路10Aごとの移動度μのばらつきを取り除くことができる。

30

【0141】

このようにして、実施例1の画素回路10Aにおける駆動タイミングでは、移動度補正期間Nにおいて、信号振幅 V_{in} のサンプリングの維持とともに、移動度μを補正するV(負帰還量、移動度補正パラメータ)の調整が行なわれる。書込走査部104は、移動度補正期間Nの時間幅を調整可能であり、これにより保持容量120に対する駆動電流 I_{ds} の負帰還量を最適化することができる。

【0142】

電位補正值Vは $V = I_{ds} \cdot t / C_{el}$ である。この式から明らかなように、駆動トランジスタ121のドレイン・ソース間電流である駆動電流 I_{ds} が大きい程、電位補正值Vは大きくなる。逆に、駆動トランジスタ121の駆動電流 I_{ds} が小さいとき、電位補正值Vは小さくなる。このように、電位補正值Vは駆動電流 I_{ds} に応じて決まる。信号振幅 V_{in} が大きいほど駆動電流 I_{ds} は大きくなり、電位補正值Vの絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、移動度補正期間Nは必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。例えば、駆動電流 I_{ds} が大きい場合、移動度補正期間tは短めにし、逆に駆動電流 I_{ds} が小さくなると、移動度補正期間Nは長めに設定するのがよい。

40

【0143】

又、電位補正值Vは、 $I_{ds} \cdot t / C_{el}$ であり、画素回路10Aごとに移動度μのばらつきに起因して駆動電流 I_{ds} がばらつく場合でも、それぞれに応じた電位補正值Vとな

50

るので、画素回路 10 Aごとの移動度 μ のばらつきを補正することができる。つまり、信号振幅 V_{in} を一定とした場合、駆動トランジスタ 121 の移動度 μ が大きいほど電位補正值 V の絶対値が大きくなる。換言すると、移動度 μ が大きいほど電位補正值 V が大きくなるので、画素回路 10 ごとの移動度 μ のばらつきを取り除くことができる。

【0144】

有機 EL 素子 127 の発光状態を第 ($m + m' - 1$) 番目の水平走査期間まで継続する。以上によって、第 (n, m) 番目の副画素を構成する有機 EL 素子 127 の発光の動作が完了する。この後、次のフレーム（もしくはフィールド）に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、及び発光動作が繰り返される。

【0145】

発光期間 0 では、サンプリングトランジスタ 125 がオフ状態であるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果によって、ブートストラップ動作が行なわれ、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。ここで、駆動電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の関係は、先のトランジスタ特性を表した式(1)に “ $V_{sig} + V_{th} - V$ ” 或いは “ $V_{in} + V_{th} - V$ ” を代入することで、式(5A)或いは式(5B)（両式を纏めて式(5)と記す）のように表すことができる。

10

【0146】

$$I_{ds} = k \cdot \mu \cdot (V_{sig} - V_{ofs} - V)^2 \quad (5A)$$

$$I_{ds} = k \cdot \mu \cdot (V_{in} - V_{ofs} - V)^2 \quad (5B)$$

【0147】

この式(5)から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 127 に供給される駆動電流 I_{ds} は駆動トランジスタ 121 の閾値電圧 V_{th} に依存しないことが分かる。即ち、有機 EL 素子 127 を流れる電流 I_{ds} は、例えば、 V_{ofs} を 0 ボルトに設定した場合、有機 EL 素子 127 における輝度を制御するための映像信号 V_{sig} の値から、駆動トランジスタ 121 の移動度 μ に起因した第 2 ノード ND₂（駆動トランジスタ 121 のソース端）における電位補正值 V の値を減じた値の 2 乗に比例する。換言すると、有機 EL 素子 127 を流れる電流 I_{ds} は、有機 EL 素子 127 の閾値電圧 V_{thEL} 及び駆動トランジスタ 121 の閾値電圧 V_{th} には依存しない。即ち、有機 EL 素子 127 の発光量（輝度）は、有機 EL 素子 127 の閾値電圧 V_{thEL} の影響及び駆動トランジスタ 121 の閾値電圧 V_{th} の影響を受けない。そして、第 (n, m) 番目の有機 EL 素子 127 の輝度は、電流 I_{ds} に対応した値である。

30

【0148】

しかも、移動度 μ の大きな駆動トランジスタ 121 ほど、電位補正值 V が大きくなるので、ゲート・ソース間電圧 V_{gs} の値が小さくなる。したがって、式(5)において、移動度 μ の値が大きくとも、 $(V_{sig} - V_{ofs} - V)^2$ の値が小さくなる結果、ドレイン電流 I_{ds} を補正することができる。即ち、移動度 μ の異なる駆動トランジスタ 121 においても、映像信号 V_{sig} の値が同じであれば、ドレイン電流 I_{ds} が略同じとなる結果、有機 EL 素子 127 を流れ、有機 EL 素子 127 の輝度を制御する電流 I_{ds} が均一化される。即ち、移動度 μ のばらつき（更には、 k のばらつき）に起因する有機 EL 素子 127 の輝度のばらつきを補正することができる。

40

【0149】

又、駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ 121 のゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$

50

- V ”を一定に維持したまま、駆動トランジスタ121のゲート電位 V_g 及びソース電位 V_s が上昇する。駆動トランジスタ121のソース電位 V_s が“ $-V_{th} + V + V_{el}$ ”となることで、ゲート電位 V_g は“ $V_{in} + V_{el}$ ”となる。このとき、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ121は、一定電流(駆動電流 I_{ds})を有機EL素子127に流す。その結果、有機EL素子127のアノード端Aの電位(=ノードND122の電位)は、有機EL素子127に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

【0150】

ここで、有機EL素子127は、発光時間が長くなるとそのI-V特性が変化してしまう。そのため、時間の経過とともに、ノードND122の電位も変化する。しかしながら、このような有機EL素子127の経時劣化によりそのアノード電位が変動しても、保持容量120に保持されたゲート・ソース間電圧 V_{gs} は常に“ $V_{in} + V_{th} - V$ ”で一定に維持される。駆動トランジスタ121が定電流源として動作することから、有機EL素子127のI-V特性が経時変化し、これに伴って駆動トランジスタ121のソース電位 V_s が変化したとしても、保持容量120によって駆動トランジスタ121のゲート・ソース間電圧 V_{gs} が一定($V_{in} + V_{th} - V$)に保たれているため、有機EL素子127に流れる電流は変わらず、したがって有機EL素子127の発光輝度も一定に保たれる。実際にはブートストラップゲインは「1」よりも小さいので、ゲート・ソース間電圧 V_{gs} は「 $V_{in} + V_{th} - V$ 」よりも小さくなるが、そのブートストラップゲインに応じたゲート・ソース間電圧 V_{gs} に保たれることには変わりがない。

【0151】

以上のように、実施例1の画素回路10Aは、回路構成と駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が構成される。画素回路10Aは、駆動トランジスタ121の特性ばらつき(本例では閾値電圧 V_{th} 及び移動度 μ のばらつき)による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} 及び移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっている。ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電位補正值 V とによって調整されている。このため、有機EL素子127の発光輝度は駆動トランジスタ121の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがないし、有機EL素子127の経時劣化の影響も受けない。入力される映像信号 V_{sig} (信号振幅 V_{in})に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【0152】

又、画素回路10Aは、nチャネル型の駆動トランジスタ121を用いたソースフォロア回路によって構成することができるするために、現状のアノード・カソード電極の有機EL素子をそのまま用いても、有機EL素子127の駆動が可能になる。又、駆動トランジスタ121及びその周辺部のサンプリングトランジスタ125等も含めてnチャネル型のみのトランジスタを用いて画素回路10Aを構成することができ、トランジスタ作製においても低コスト化が図れる。

【0153】

更には、実施例1の画素回路10Aでは、信号書き込み期間Mにおいて、マイナス電位の映像信号 V_{sig} をノードND122に書き込むので、その後の移動度補正期間Nにおいては、有機EL素子127を大きな逆バイアス状態にすることができます。即ち、移動度補正期間Nにおいては、ノードND122(第2ノードND₂)の電位を V_{ND2} とすると、式(2B)(式(2B-1)及び式(2B-2))を満足させることができる。式(2B-2)の左辺で示される電位差を比較例の画素回路10Zの場合よりも大きくすることができるため、移動度補正中に有機EL素子127がターンオンすることを防止することができ、移動度補正動作を正常に行なうことができるし、発光することもない。

【0154】

10

20

30

40

50

$$V_{ND2} = (V_{ofs} - V_{th} + V) << (V_{thEL} + V_{cath}) \quad (2B-1)$$

$$V_{ND2} - V_{thEL} < V_{cath} \quad (2B-2)$$

【実施例2】

【0155】

図11～図12は、実施例2の画素回路10Bと、当該画素回路10Bを備えた表示装置の一形態を示す図である。実施例2の画素回路10Bを画素アレイ部102に備える表示装置を実施例2の表示装置1Bと称する。図11は基本構成(1画素分)を示し、図12は具体的な構成(表示装置の全体)を示す。図13は、移動度補正期間中の有機EL素子127のターンオン現象に起因する表示むら対策に着目した実施例2の画素回路の駆動方法を説明するタイミングチャートである。

10

【0156】

図11～図12に示すように、実施例2のトランジスタ特性補正制御部620Bは、実施例1の構成をベースに、更に、初期化トランジスタ628と初期化走査部629とを有する。映像信号線106HSには狭義の映像信号 V_{sig} のみを供給し、基準電位(V_{ofs})を初期化トランジスタ628を介して供給する点が実施例1と異なる。即ち、実施例2の画素回路10Bは、第1ノード初期化電圧(基準電位(V_{ofs}))を印加する初期化トランジスタ628を有する。初期化トランジスタ628は、一方の主電極端に基準電位(V_{ofs})が印加され、他方の主電極端は、サンプリングトランジスタ125の主電極端と結合容量622との接続点に接続されている。表示装置1Bは、初期化走査部629を画素アレイ部102の外部に備えている。初期化トランジスタ628の制御入力端(ゲート端)は、初期化制御線629ofsを介して初期化走査部629に接続され、アクティブHの初期化制御パルスOFSが行ごとに供給される。

20

【0157】

実施例2の動作は図13に示す通りであり、書き駆動パルスWSは書き込み期間M及び移動度補正期間NにのみアクティブHであればよい。アクティブHの初期化制御パルスOFSに基づき第1ノード初期化電圧(基準電位(V_{ofs}))の供給が初期化トランジスタ628を介してなされる点を除いて、基本的には実施例1と相違がない。実施例1と同様に、移動度補正中に有機EL素子127がターンオンすることを防止することができ、移動度補正動作を正常に行なうことができる。

30

【0158】

実施例2では、第1ノード初期化電圧(基準電位(V_{ofs}))の供給タイミングの設定の自由度が実施例1よりも高い。変形例としては、例えば、初期化走査部629を設げずに、閾値補正制御走査部627にその機能を担当させ、初期化トランジスタ628の制御入力端(ゲート端)を閾値補正制御線627AZに接続し、アクティブHの閾値補正制御パルスAZを行ごとに供給してもよい。但しこの変形例は、表示装置1の回路構成が簡易になる反面、第1ノード初期化電圧の供給タイミングの設定の自由度が図示した構成よりも劣る。

【実施例3】

【0159】

図14は実施例3を説明する図である。実施例3は、前述の移動度補正期間中の有機EL素子127のターンオン現象に起因する表示むらを抑制・解消する技術が適用された表示装置を搭載した電子機器についての事例である。本実施形態の表示むら抑制処理は、ゲーム機、電子ブック、電子辞書、携帯電話機等の各種の電子機器に使用される電流駆動型の表示素子を具備した表示装置に適用することができる。

40

【0160】

例えば、図14(A)は、電子機器700が、画像表示装置の一例である表示モジュール704を利用したテレビジョン受像機702の場合の外観例を示す斜視図である。テレビジョン受像機702は、台座706に支持されたフロントパネル703の正面に表示モジュール704を配置した構造となっており、表示面にはフィルターガラス705が設けられている。図14(B)は、電子機器700がデジタルカメラ712の場合の外観例を

50

示す図である。デジタルカメラ 712 は、表示モジュール 714、コントロールスイッチ 716、シャッターボタン 717、その他を含んでいる。図 14 (C) は、電子機器 700 がビデオカメラ 722 の場合の外観例を示す図である。ビデオカメラ 722 は、本体 723 の前方に被写体を撮像する撮像レンズ 725 が設けられ、更に、表示モジュール 724 や撮影のスタート / ストップスイッチ 726 等が配置されている。図 14 (D) は、電子機器 700 がコンピュータ 732 の場合の外観例を示す図である。コンピュータ 732 は、下側筐体 733a、上側筐体 733b、表示モジュール 734、Web カメラ 735、キー ボード 736 等を含んでいる。図 14 (E) は、電子機器 700 が携帯電話機 742 の場合の外観例を示す図である。携帯電話機 742 は、折り畳み式であり、上側筐体 743a、下側筐体 743b、表示モジュール 744a、サブディスプレイ 744b、カメラ 745、連結部 746 (この例ではヒンジ部)、ピクチャーライト 747 等を含んでいる。
10

【0161】

ここで、表示モジュール 704、表示モジュール 714、表示モジュール 724、表示モジュール 734、表示モジュール 744a、サブディスプレイ 744b は、本実施形態による表示装置を用いることにより作製される。これにより、各電子機器 700 は、駆動トランジスタの閾値電圧や移動度のばらつき (更には、k のばらつき) に起因する輝度ばらつきを補正することができるだけでなく、移動度補正期間中の有機 EL 素子 127 のターンオン現象に起因する表示むらを抑制・解消することができ、高画質の表示を行なうことができる。
20

【0162】

以上、本明細書で開示する技術について実施形態を用いて説明したが、請求項の記載内容の技術的範囲は前記実施形態に記載の範囲には限定されない。本明細書で開示する技術の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本明細書で開示する技術の技術的範囲に含まれる。前記の実施形態は、請求項に係る技術を限定するものではなく、実施形態の中で説明されている特徴の組合せの全てが、本明細書で開示する技術が対象とする課題の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の技術が含まれてあり、開示される複数の構成要件における適宜の組合せにより種々の技術を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、本明細書で開示する技術が対象とする課題と対応した効果が得られる限りにおいて、この幾つかの構成要件が削除された構成も、本明細書で開示する技術として抽出され得る。
30

【0163】

例えば、実施例 1 及び実施例 2 では、結合容量を介して映像信号や閾値補正用の初期化電圧を第 2 ノードに供給していたが、この構成は、第 1 の処理の際に表示部がターンオンしない程度に、第 1 の処理の開始前に予め表示部を逆バイアス状態に制御するための一構成例に過ぎない。第 1 の処理の開始前に予め表示部を逆バイアス状態に制御すればよく、第 1 ノード側に所定の極性の映像信号や閾値補正用の初期化電圧を供給する構成に変形することも可能である。トランジスタを n チャネルと p チャネルに入れ替え、それに合わせて、電源や信号の極性を逆転させる等した相補型の構成にできることは云うまでもない。
40

【0164】

要するに、駆動トランジスタを介して保持容量に電流を供給する第 1 の処理の際に表示部がターンオンしないように画素回路の動作を制御する構成である限り、どのような構成をとってもよい。映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理 (移動度補正処理と対応する) を行なう際に電気光学素子がターンオンしてしまうことに起因する表示むらを抑制するように構成されればよい。この点においては、少なくとも当該処理の期間に電気光学素子がターンオンすることを防止するように制御可能に構成されればよく、その限りにおいて、様々な構成をとることができる。その対処のため、実施例 1 や実施例 2 のように、画素回路の外部に設けられる制御部 109 (前例では発光制御走査部 625、閾値補正制御走査部 62
50

7、初期化走査部 629)による画素回路 10 の制御タイミングの工夫によって実現することは必須でなく、その対処のための各種のトランジスタを制御する制御パルスを生成する回路要素を画素回路ごとに設けてもよい。

【0165】

例えば、トランジスタを n チャネルと p チャネルに入れ替え、それに合わせて、電源や信号の極性を逆転させる等した相補型の構成にできることは云うまでもない。

【0166】

前記実施形態の記載を踏まえれば、特許請求の範囲に記載の請求項に係る技術は一例であり、例えば、以下の技術が抽出される。以下列記する。

[付記 1]

電気光学素子と、

保持容量と、

一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、

制御入力端が保持容量の一端と第 1 ノードにて接続されており、保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタ、

とを備え、

駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第 2 ノードに接続されており、

書込トランジスタを介して映像信号と対応する駆動電圧を保持容量に書き込みつつ、駆動トランジスタを介して保持容量に電流を供給する第 1 の処理の際に、電気光学素子がターンオンするのを抑制可能に構成されている

画素回路。

[付記 2]

第 1 の処理の際に電気光学素子がターンオンしない程度に、第 1 の処理の開始前に予め電気光学素子を逆バイアス状態に制御可能に構成されている

付記 1 に記載の画素回路。

[付記 3]

映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する第 1 の処理と連動して、電気光学素子がターンオンするのを抑制する制御部、

を備えている付記 1 又は付記 2 に記載の画素回路。

[付記 4]

制御部は、第 1 ノードと駆動トランジスタの他方の主電極端との間に、駆動トランジスタの閾値電圧の補正を行なう第 2 の処理を制御する閾値補正制御トランジスタを有する

付記 3 に記載の画素回路。

[付記 5]

制御部は、書込トランジスタの他方の主電極端と第 2 ノードとの間に結合容量を有する付記 3 又は付記 4 に記載の画素回路。

[付記 6]

駆動トランジスタの閾値電圧の補正を行なう第 2 の処理時には、初期化電圧が書込トランジスタを介して結合容量に供給される

付記 5 に記載の画素回路。

[付記 7]

制御部は、駆動トランジスタの閾値電圧の補正を行なう第 2 の処理時に初期化電圧を結合容量に供給する初期化トランジスタを有する

付記 5 に記載の画素回路。

[付記 8]

映像信号の初期化電圧に対する極性は、第 1 の処理の開始前に電気光学素子を逆バイアス状態に制御可能な極性である

10

20

30

40

50

付記 6 又は付記 7 に記載の画素回路。

[付記 9]

制御部は、駆動トランジスタの他方の主電極端と電源線との間に発光制御トランジスタを有する

付記 3 乃至付記 8 の何れか 1 項に記載の画素回路。

[付記 10]

電気光学素子が配列された画素部を備え、

特性制御部は、電気光学素子ごとに、駆動トランジスタの特性を制御する

付記 1 乃至付記 9 の何れか 1 項に記載の画素回路。

[付記 11]

画素部は、電気光学素子が 2 次元マトリクス状に配列されている

付記 10 に記載の画素回路。

[付記 12]

電気光学素子は自発光型である

付記 1 乃至付記 11 の何れか 1 項に記載の画素回路。

[付記 13]

電気光学素子は有機エレクトロルミネッセンス発光部を有する

付記 12 に記載の画素回路。

[付記 14]

電気光学素子、保持容量、一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書き込トランジスタ、及び、制御入力端が保持容量の一端と第 1 ノードにて接続されており保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタを具備した表示素子が配列されており、

駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第 2 ノードに接続されており、更に、

映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する第 1 の処理と連動して、電気光学素子がターンオンするのを抑制する制御部、

を備えた表示装置。

[付記 15]

制御部は、

第 1 ノードと駆動トランジスタの主電極端の他端との間に、駆動トランジスタの閾値電圧の補正を行なう第 2 の処理を制御する閾値補正制御トランジスタを有し、更に、

閾値補正制御トランジスタをオン / オフ制御する閾値補正制御走査部を有する

付記 14 に記載の表示装置。

[付記 16]

制御部は、

駆動トランジスタの閾値電圧の補正を行なう第 2 の処理時には、初期化電圧が一方の主電極端に供給されている書き込トランジスタを制御する

付記 15 に記載の表示装置。

[付記 17]

制御部は、

駆動トランジスタの閾値電圧の補正を行なう第 2 の処理時に初期化電圧を結合容量に供給する初期化トランジスタを有し、更に、

初期化トランジスタをオン / オフ制御する初期化走査部を有する

付記 15 に記載の表示装置。

[付記 18]

制御部は、

駆動トランジスタの他方の主電極端と電源線との間に発光制御トランジスタを有し、更に、

10

20

30

40

50

発光制御トランジスタをオン／オフ制御する発光制御走査部を有する
付記 14 乃至付記 17 の何れか 1 項に記載の表示装置。

[付記 19]

電気光学素子、保持容量、一方の主電極端に供給された映像信号と対応する駆動電圧を保持容量に書き込む書き込トランジスタ、及び、制御入力端が保持容量の一端と第 1 ノードにて接続されており保持容量に書き込まれた駆動電圧に基づいて電気光学素子を駆動する駆動トランジスタを具備した表示素子が配列されており、駆動トランジスタの一方の主電極端と保持容量の他端と電気光学素子の一端とが電気的に第 2 ノードに接続されている画素部と、

画素部に供給される映像信号を生成する信号生成部と、

10

映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する第 1 の処理と連動して、電気光学素子がターンオンするのを抑制する制御部、

とを備えた電子機器。

[付記 20]

電気光学素子を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、
映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理の際に、電気光学素子がターンオンするのを抑制する
画素回路の駆動方法。

【符号の説明】

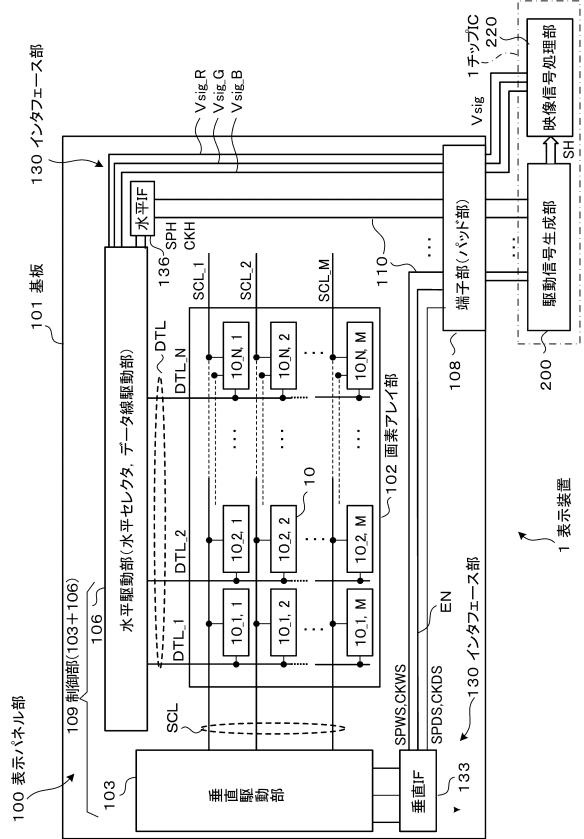
20

【0167】

1 ... 表示装置、10 ... 画素回路、11 ... 発光素子、100 ... 表示パネル部、101 ... 基板、102 ... 画素アレイ部、103 ... 垂直駆動部、104 ... 書込走査部、105 ... 駆動走査部、106 ... 水平駆動部、120 ... 保持容量、121 ... 駆動トランジスタ、125 ... サンプリングトランジスタ（書き込トランジスタ）、127 ... 有機EL素子、130 ... インタフェース部、200 ... 駆動信号生成部、220 ... 映像信号処理部、620 ... トランジスタ特性補正制御部、621 ... 容量部、622 ... 結合容量、624 ... 発光制御トランジスタ、625 ... 発光制御走査部、626 ... 閾値補正制御トランジスタ、627 ... 閾値補正制御走査部、628 ... 初期化トランジスタ、629 ... 初期化走査部、700 ... 電子機器

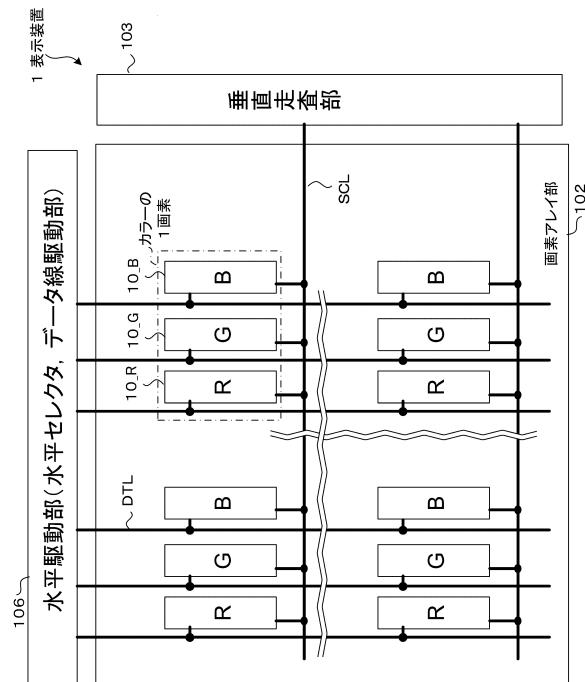
【 図 1 】

[図1]



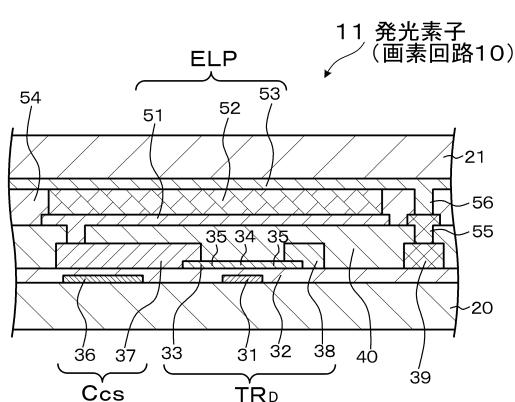
【 図 2 】

[図2]



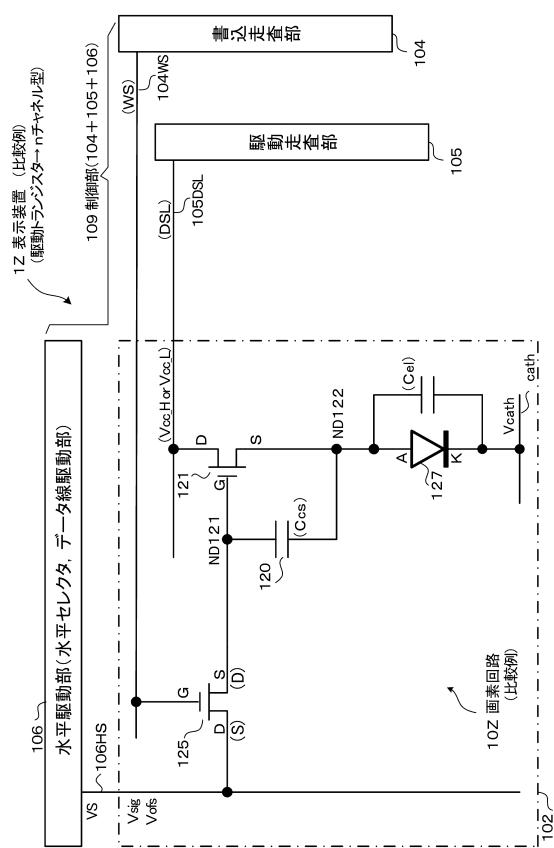
【図3】

[3]



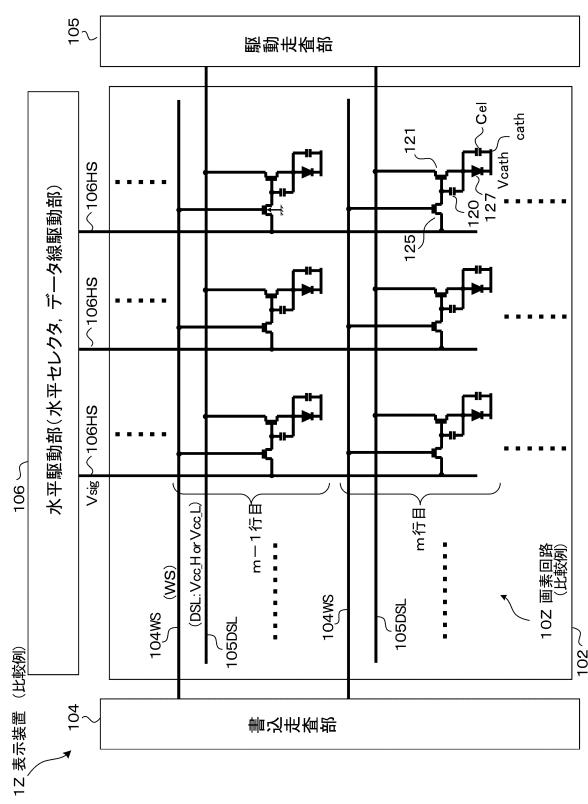
【 四 4 】

[図4]



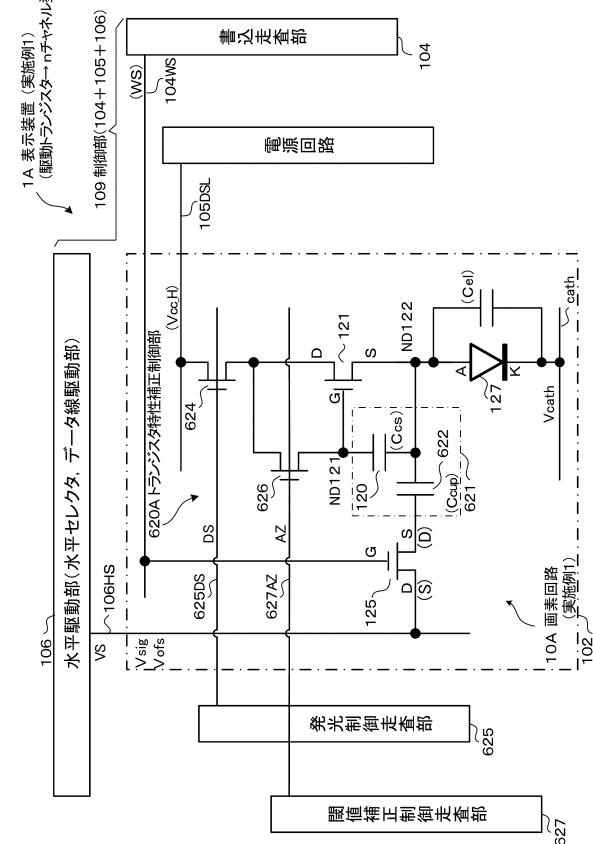
【図5】

[図5]



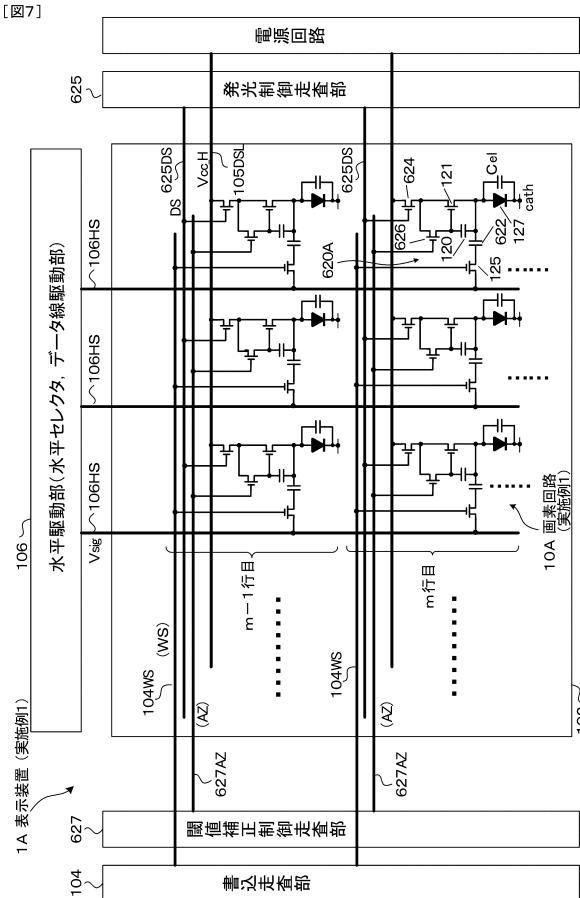
【図6】

〔図6〕



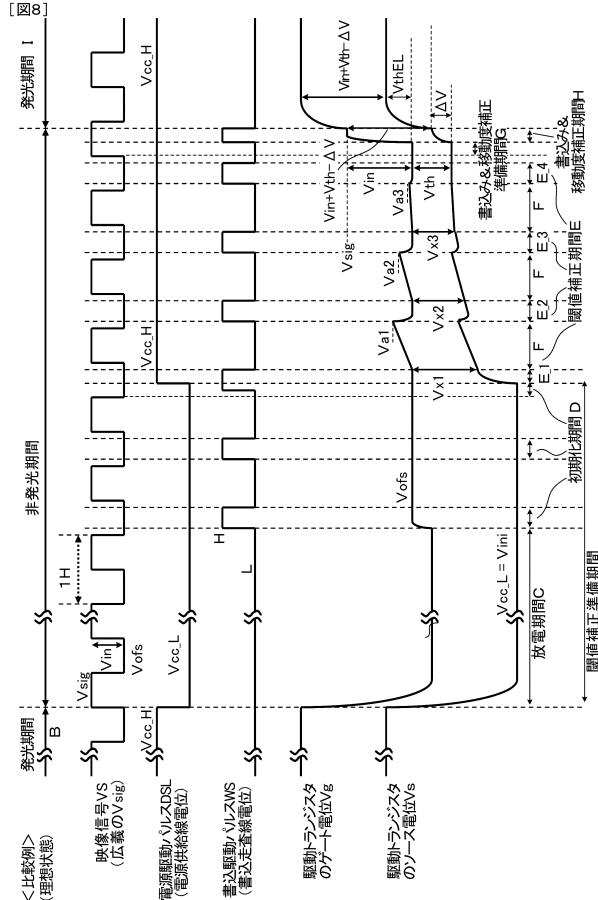
【 四 7 】

〔図7〕

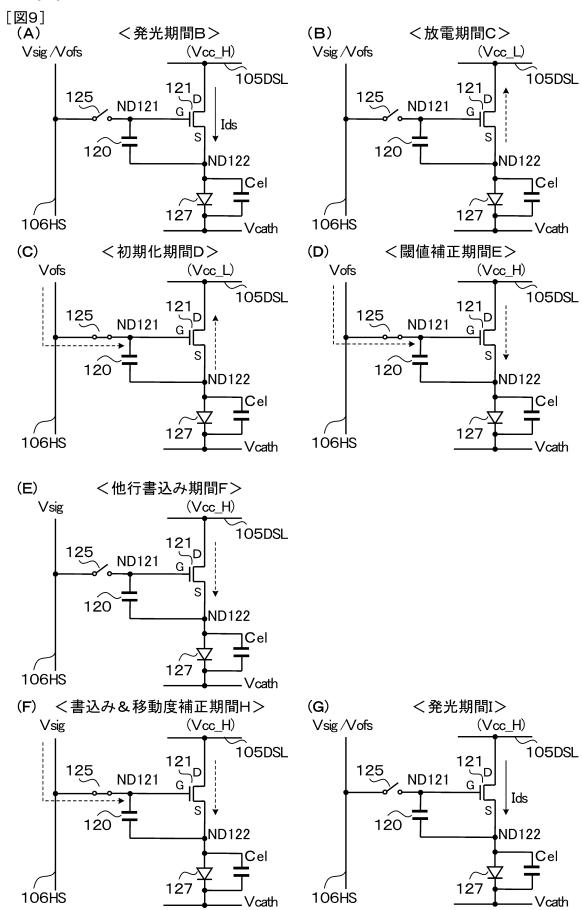


【 四 8 】

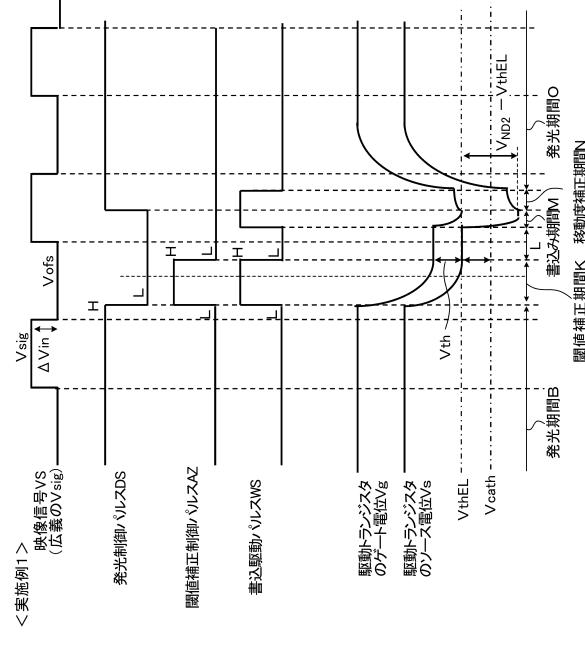
「図8



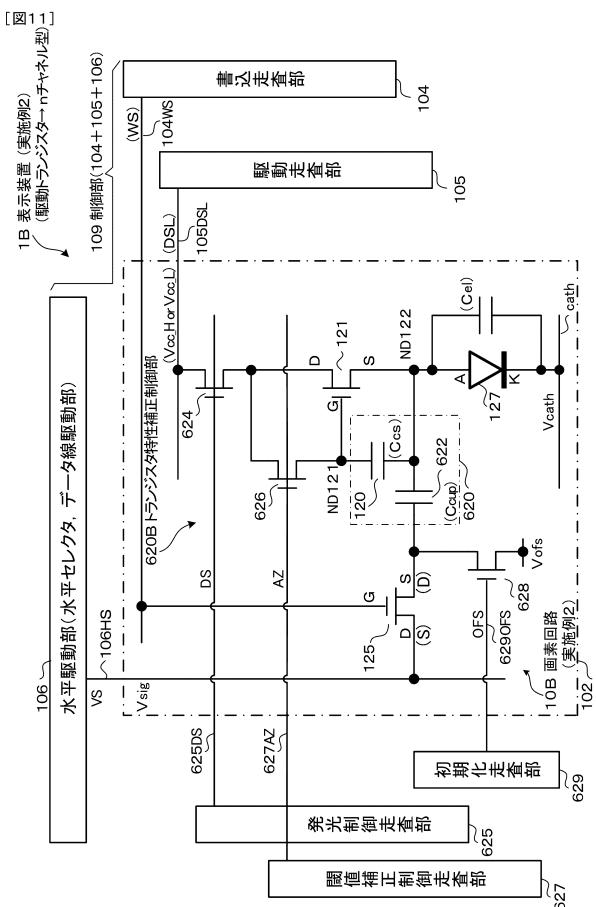
【図9】



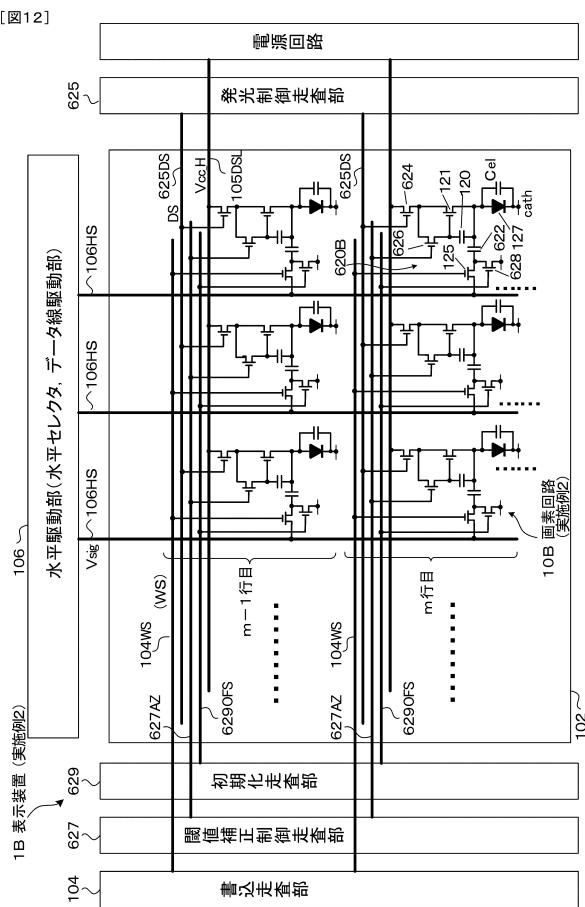
【 図 1 0 】



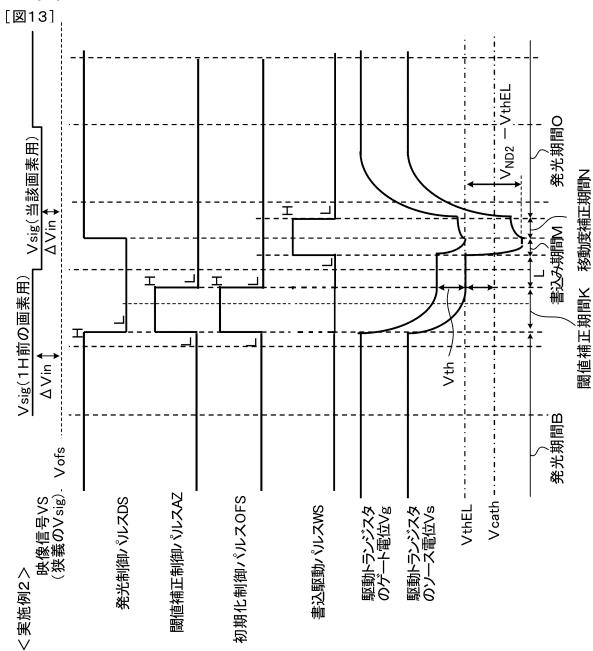
【図 1 1】



【図12】

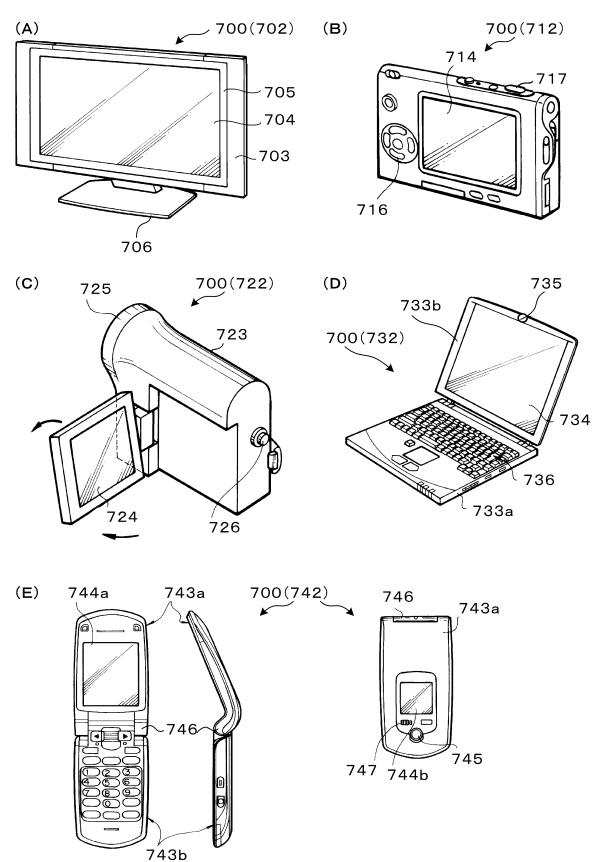


【図 13】



【図 14】

【図14】<実施例3:電子機器>



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 2 D

(56)参考文献 特開2007-102046(JP,A)

特開2008-203657(JP,A)

特開2007-310311(JP,A)

特開2009-157019(JP,A)

特開2008-287196(JP,A)

特開2009-134110(JP,A)

特開2010-286526(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8