

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3685947号  
(P3685947)

(45) 発行日 平成17年8月24日(2005.8.24)

(24) 登録日 平成17年6月10日(2005.6.10)

(51) Int. Cl.<sup>7</sup>

H01L 25/065

H01L 25/07

H01L 25/18

F I

H01L 25/08

Z

請求項の数 9 (全 17 頁)

|           |                              |   |  |
|-----------|------------------------------|---|--|
| (21) 出願番号 | 特願平11-69013                  | (73) 特許権者                               | 000190688                                |
| (22) 出願日  | 平成11年3月15日(1999.3.15)        |   | 新光電気工業株式会社                               |
| (65) 公開番号 | 特開2000-269408(P2000-269408A) |   | 長野県長野市小島田町80番地                           |
| (43) 公開日  | 平成12年9月29日(2000.9.29)        | (74) 代理人                                | 100070150                                |
| 審査請求日     | 平成14年5月10日(2002.5.10)        |   | 弁理士 伊東 忠彦                                |
| 前置審査      |                              | (72) 発明者                                | 武田 久司                                    |
|           |                              |   | 長野県須坂市大字小山460番地 富士通<br>メディアデバイス株式会社内     |
|           |                              | 審査官                                     | 酒井 英夫                                    |
|           |                              | (56) 参考文献                               | 特開平10-012810(JP,A)<br>特開平03-280495(JP,A) |
|           |                              | (58) 調査した分野(Int.Cl. <sup>7</sup> , DB名) | H01L 25/00-25/18                         |

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の半導体素子と、

該第1の半導体素子を上面に搭載すると共に下面に外部接続端子が配設された多層配線基板と、

第2の半導体素子と、

該第2の半導体素子を前記第1の半導体素子上に離間した状態で重ね合わされるよう保持すると共に、前記第2の半導体素子と前記多層配線基板とを電気的に接続するインターポーザと、

前記第1及び第2の半導体素子を封止するよう、かつ前記第1の半導体素子と前記第2の半導体素子との離間部分に充填されるよう形成された封止樹脂とを有する半導体装置において、

前記インターポーザは、

前記第2の半導体素子を搭載するステージと、前記第2の半導体素子が電気的に接続されるリード部とを有したリードフレームと、

前記第2の半導体素子と前記リード部とを電気的に接続する第1のワイヤと、

前記リード部と前記多層配線基板とを電気的に接続する第2のワイヤと、  
により構成されることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

10

20

前記ステージが前記第 1 の半導体素子と対向するよう配置すると共に、前記ステージの前記第 1 の半導体素子と対向する面に絶縁材を配設したことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記第 1 の半導体素子の回路形成面と、前記第 2 の半導体素子の回路形成面が対向するよう配置したことを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記ステージを前記封止樹脂から露出した構成としたことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 3 のいずれかに記載の半導体装置において、

前記リードフレームを前記多層配線基板上に保持する保持部材を設けたことを特徴とする半導体装置。

【請求項 6】

第 1 の半導体素子と、

該第 1 の半導体素子を上面に搭載すると共に下面に外部接続端子が配設された多層配線基板と、

第 2 の半導体素子と、

該第 2 の半導体素子を前記第 1 の半導体素子上に離間した状態で重ね合わされるよう保持すると共に、前記第 2 の半導体素子と前記多層配線基板とを電氣的に接続するインターポーザと、

前記第 1 及び第 2 の半導体素子を封止するよう、かつ前記第 1 の半導体素子と前記第 2 の半導体素子との離間部分に充填されるよう形成された封止樹脂とを有する半導体装置において、

前記インターポーザは、

前記第 2 の半導体素子を搭載すると共に、前記第 2 の半導体素子が電氣的に接続されるリード部とを有した可撓性配線基板と、

前記第 2 の半導体素子と前記リード部とを電氣的に接続するパンプと、

前記リード部と前記多層配線基板とを電氣的に接続するワイヤと、  
により構成されることを特徴とする半導体装置。

【請求項 7】

多層配線基板の上面に第 1 の半導体素子を搭載すると共に該第 1 の半導体素子と前記多層配線基板とを電氣的に接続する第 1 の半導体素子搭載工程と、

ステージとリード部とを有するリードフレームの該ステージに第 2 の半導体素子を搭載すると共に、該第 2 の半導体素子と前記リード部とを第 1 のワイヤで接続する第 2 の半導体素子搭載工程と、

保持手段を用い、前記第 1 の半導体素子に対し前記第 2 の半導体素子が離間するよう前記リードフレームを前記多層配線基板上に保持するリードフレーム保持工程と、

前記リード部と前記多層配線基板とを第 2 のワイヤにて接続する接続工程と、

前記第 1 及び第 2 の半導体素子を封止するよう、かつ前記第 1 の半導体素子と前記第 2 の半導体素子との離間部分に樹脂を充填することにより封止樹脂を形成する樹脂封止工程と、

前記多層配線基板の下面に外部接続端子を形成する端子形成工程と、  
を有することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 7 記載の半導体装置の製造方法において、

前記保持手段として、前記リードフレームを前記多層配線基板上に保持するダム部材を用いたことを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 7 記載の半導体装置の製造方法において、

10

20

30

40

50

前記保持手段として、前記リードフレームのリード部外側に形成された折り曲げ部を用いたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に係り、特に複数の半導体素子をスタックした構造を有した半導体装置及びその製造方法に関する。

近年、半導体分野においては、「より小さく」「より薄く」「より軽く」する高密度実装方法が要求されている。そのような要求を充たすため、MCM(Multi Chip Module)構造を有した半導体装置が注目されている。

10

【0002】

このMCMにおける実装レベルはCSP(Chip Size Package)と略同レベルであり、かつ複数の半導体素子を多層配線基板上にワイヤ・ボンディング或いはフリップチップ・ボンディング等で搭載・実装する構成とされている。

【0003】

【従来の技術】

図1は、第1の従来例である半導体装置1Aを示す断面図である。同図に示す半導体装置1AはMCM構造を有しており、かつBGA(Ball Grid Array)タイプの半導体装置である。

同図に示す半導体装置1Aは、大略すると複数(同図では2個)の半導体素子2A, 2B、多層配線基板3A、半田ボール4A、及び封止樹脂5A等により構成されている。同図に示すように、多層配線基板3A上には複数の半導体素子2A, 2Bが表面実装されており、よって半導体装置1AはMCM構造とされている。

20

【0004】

各半導体素子2A, 2Bは、接着剤6により多層配線基板3Aの上面に接着された上、ワイヤ8を用いて多層配線基板3Aに形成されたボンディングパッド7にワイヤボンディングされている。また、多層配線基板3Aの下面には外部接続端子として機能する半田ボール4Aが配設されている。ワイヤ8がボンディングされたボンディングパッド7と半田ボール4Aは、多層配線基板3Aの内部に形成された内部配線により接続されており、よって各半導体素子2A, 2Bは、所定の半田ボール4Aと電氣的に接続された構成とされている。

30

【0005】

また、封止樹脂5Aは多層配線基板3Aの上面に各半導体素子2A, 2B及びワイヤ8を覆うように形成されている。これにより、各半導体素子2A, 2B及びワイヤ8は、封止樹脂5Aにより保護された構成となっている。

また、図2は第2の従来例である半導体装置1Bを示す断面図である。同図に示す半導体装置1BもMCM構造及びBGA(Ball Grid Array)構造を有した半導体装置である。この半導体装置1Bは、各半導体素子2A, 2Bにスタッドバンプ9を形成し、多層配線基板3Aにフリップチップボンディングした構成とされている。また、スタッドバンプ9に印加される応力を緩和するため、各半導体素子2A, 2Bと多層配線基板3Aとの間にはアンダーフィルレジジン14が介装された構成とされている。

40

【0006】

しかるに、図1及び図2に示した各半導体装置1A, 1Bでは、複数の半導体集積回路チップ2A, 2Bを多層配線基板3A上に平面的に並べて搭載する構成であるため、各半導体装置1A, 1Bの平面的な面積の総和より、多層配線基板3Aの面積を小さくすることは不可能である。このため、図1及び図2に示した各半導体装置1A, 1Bでは、装置が大型化してしまうという問題点があった。

【0007】

そこで、図3に示すような多層配線基板3Bの両面に半導体素子2C~2Eを搭載したQFP(Quad Flat Package)タイプ(リード10が封止樹脂5Bの各外周辺から延出した構

50

成)の半導体装置1Cが提案されている。しかるに、この半導体装置1Cでは実装密度は上がるが、多層配線基板3Bの両面に半導体素子2C~2Eを搭載することにより、多層配線基板3Bの両面に封止樹脂5Bを形成する必要が生じ、封止樹脂5Bの量も多くなってしまい「重く」「厚い」パッケージになってしまう。

#### 【0008】

また、実装密度を向上しつつ、かつ「より小さく」「より薄く」「より軽く」を目的としたものとして、図4に示す半導体装置1Dが提案されている。この半導体装置1Dは、スタックDCSPと称せられる半導体パッケージであり、単層の配線基板11の上部に複数(本例では2個)の半導体素子2F, 2Gを直接積み重ねた(スタックした)構成とされている。

10

#### 【0009】

各半導体素子2F, 2Gは回路形成面が上面に位置するよう配設されており、半導体素子2Gと配線基板11の接合、及び半導体素子2Fと半導体素子2Gとの接合には絶縁性接着剤12が用いられている。また、配線基板11の上面には配線パターン13が形成されており、各半導体素子2F, 2Gと配線パターン13はワイヤ8により電氣的に接続されている。

#### 【0010】

また、配線基板11の下面には半田ボール4Bが形成されており、この半田ボール4Bは配線基板11に形成された孔15を介して配線パターン13に接続されている。これにより、各半導体素子2F, 2Gは半田ボール4Bと電氣的に接続された構成とされている。更に、配線基板11の上面には各半導体素子2F, 2G及びワイヤ8を封止する封止樹脂5Cが形成されている。本従来例に係る半導体装置1Dは、各半導体素子2F, 2Gが配線基板11の片面にスタックされた構成であるため、封止樹脂5Cも配線基板11の片面にのみ配設すればよく、よって「小さく」「薄く」「軽い」パッケージを実現している。

20

#### 【0011】

##### 【発明が解決しようとする課題】

上記のように、図4に示す半導体装置1Dは各半導体素子2F, 2Gが配線基板11の片面にスタックされ、よって封止樹脂5Cも配線基板11の片面にのみ配設すればよいため、「小さく」「薄く」「軽い」パッケージを実現できる。

しかるに、半導体装置1Dでは、半導体素子2Fと半導体素子2Gを直接スタック(接合)した構成であったため、各半導体素子2F, 2G間で干渉が生じてしまうという問題点があった。具体的には、絶縁性接着剤12を用いて各半導体素子2F, 2G間を接合した後、例えば封止樹脂5Cを形成する時、或いは半導体装置1Dを実装基板に実装する時等において各半導体素子2F, 2Gには熱が印加されるが、各半導体素子2F, 2Gの熱膨張率に差がある場合、この熱により半導体素子2Fと半導体素子2Gとの間には応力が発生する。そして、この応力により、各半導体素子2F, 2G間に接合不良が発生したり、また半導体素子2Fが接合されている下部に位置する半導体素子2Gの回路形成面に悪影響が発生するおそれがある。

30

#### 【0012】

また、上記のように半導体装置1Dは単層の配線基板11を用いていたため、配線パターン13の引回し(レイアウト)の自由度は低い。よって、各半導体素子2F, 2Gと配線基板11の電氣的接続を行なう場合、配線レイアウトはワイヤ8の接続において行なう必要がある。しかるに、半導体素子2F, 2Gが高密度化しワイヤ数も多数化すると隣接するワイヤ間の距離は短くなり、ワイヤレイアウトの自由度も低下する。また、半導体装置1Dのように複数の半導体素子2F, 2Gがスタックされた構成では、この自由度は更に低下する。

40

#### 【0013】

このため、予めピンレイアウトが決められている比較的安価な汎用性の高い素子を半導体素子2F, 2Gとして半導体装置1Dに用いようとしても、ワイヤ8が干渉することにより汎用性の高い素子を用いることができないという問題点があった。このため、ワイヤ8

50

が干渉しないようなピンレイアウトを有した半導体素子 2 F , 2 G を新たに開発する必要があり、半導体装置 1 C の開発コスト及び開発に要する時間が増大してしまうという問題点があった。

【 0 0 1 4 】

本発明は上記の点に鑑みてなされたものであり、小型化を図りつつ、実装信頼性の向上、及び汎用性の高い半導体素子の使用を可能とした半導体装置及びその製造方法を提供することを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。 10

請求項 1 記載の発明に係る半導体装置は、

第 1 の半導体素子と、

該第 1 の半導体素子を上面に搭載すると共に下面に外部接続端子が配設された多層配線基板と、

第 2 の半導体素子と、

該第 2 の半導体素子を前記第 1 の半導体素子上に離間した状態で重ね合わされるよう保持すると共に、前記第 2 の半導体素子と前記多層配線基板とを電氣的に接続するインターポーザと、

前記第 1 及び第 2 の半導体素子を封止するよう、かつ前記第 1 の半導体素子と前記第 2 の半導体素子との離間部分に充填されるよう形成された封止樹脂とを有する半導体装置において、 20

前記インターポーザは、

前記第 2 の半導体素子を搭載するステージと、前記第 2 の半導体素子が電氣的に接続されるリード部とを有したリードフレームと、

前記第 2 の半導体素子と前記リード部とを電氣的に接続する第 1 のワイヤと、

前記リード部と前記多層配線基板とを電氣的に接続する第 2 のワイヤと、

により構成されることを特徴とするものである。

【 0 0 1 6 】

また、請求項 2 記載の発明は、 30

請求項 1 記載の半導体装置において、

前記ステージが前記第 1 の半導体素子と対向するよう配置すると共に、前記ステージの前記第 1 の半導体素子と対向する面に絶縁材を配設したことを特徴とするものである。

【 0 0 1 7 】

また、請求項 3 記載の発明は、

請求項 1 記載の半導体装置において、

前記第 1 の半導体素子の回路形成面と、前記第 2 の半導体素子の回路形成面が対向するよう配置したことを特徴とするものである。

また、請求項 4 記載の発明は、

請求項 3 記載の半導体装置において、 40

前記ステージを前記封止樹脂から露出した構成としたことを特徴とするものである。

【 0 0 1 8 】

また、請求項 5 記載の発明は、

請求項 1 乃至 3 のいずれかに記載の半導体装置において、

前記リードフレームを前記多層配線基板上に保持する保持部材を設けたことを特徴とするものである。

【 0 0 1 9 】

また、請求項 6 記載の発明は、

第 1 の半導体素子と、

該第 1 の半導体素子を上面に搭載すると共に下面に外部接続端子が配設された多層配線 50

基板と、

第 2 の半導体素子と、

該第 2 の半導体素子を前記第 1 の半導体素子上に離間した状態で重ね合わされるよう保持すると共に、前記第 2 の半導体素子と前記多層配線基板とを電氣的に接続するインターポーザと、

前記第 1 及び第 2 の半導体素子を封止するよう、かつ前記第 1 の半導体素子と前記第 2 の半導体素子との離間部分に充填されるよう形成された封止樹脂とを有する半導体装置において、

前記インターポーザは、

前記第 2 の半導体素子を搭載すると共に、前記第 2 の半導体素子が電氣的に接続されるリード部とを有した可撓性配線基板と、

前記第 2 の半導体素子と前記リード部とを電氣的に接続するバンプと、

前記リード部と前記多層配線基板とを電氣的に接続するワイヤと、  
により構成されることを特徴とするものである。

また、請求項 7 記載の発明は、

多層配線基板の上面に第 1 の半導体素子を搭載すると共に該第 1 の半導体素子と前記多層配線基板とを電氣的に接続する第 1 の半導体素子搭載工程と、

ステージとリード部とを有するリードフレームの該ステージに第 2 の半導体素子を搭載すると共に、該第 2 の半導体素子と前記リード部とを第 1 のワイヤで接続する第 2 の半導体素子搭載工程と、

保持手段を用い、前記第 1 の半導体素子に対し前記第 2 の半導体素子が離間するよう前記リードフレームを前記多層配線基板上に保持するリードフレーム保持工程と、

前記リード部と前記多層配線基板とを第 2 のワイヤにて接続する接続工程と、

前記第 1 及び第 2 の半導体素子を封止するよう、かつ前記第 1 の半導体素子と前記第 2 の半導体素子との離間部分に樹脂を充填することにより封止樹脂を形成する樹脂封止工程と、

前記多層配線基板の下面に外部接続端子を形成する端子形成工程と、  
を有することを特徴とするものである。

【 0 0 2 0 】

また、請求項 8 記載の発明は、

請求項 7 記載の半導体装置の製造方法において、

前記保持手段として、前記リードフレームを前記多層配線基板上に保持するダム部材を用いたことを特徴とするものである。

また、請求項 9 記載の発明は、

請求項 7 記載の半導体装置の製造方法において、

前記保持手段として、前記リードフレームのリード部外側に形成された折り曲げ部を用いたことを特徴とするものである。

【 0 0 2 3 】

上記した各手段は、次のように作用する。

請求項 1 記載の発明によれば、

多層配線基板の上面に第 1 の半導体素子を搭載すると共にインターポーザに保持された第 2 の半導体素子が第 1 の半導体素子上に離間した状態で重ね合わされるよう配設したことにより、スタックド C S P と同様に半導体装置の小型化を図ることができる。

【 0 0 2 4 】

また、第 1 及び第 2 の半導体素子は、多層配線基板と電氣的に接続された構成としている。多層配線基板は、その内部配線によって配線の引回しに自由度を有する。よって、多層配線基板の外部に位置するインターポーザ側で配線の引回しを行なう必要がなくなり、よって半導体素子として汎用品を用いることが可能となる。これにより、半導体装置の低コスト化を図ることができる。

【 0 0 2 5 】

10

20

30

40

50

また、封止樹脂内において、第1の半導体素子と第2の半導体素子は離間した状態で配設されるため、各半導体素子が相互に干渉することがなくなり、半導体装置の信頼性を向上させることができる。

また、ステージとリード部を有したリードフレームと、第2の半導体素子を多層配線基板に電氣的に接続する第1及び第2の電氣的接続手段とによりインターポーザを構成したことにより、リードフレームは半導体装置の構成要素として広く用いられており、また半導体素子とリード部を接続する第1の電氣的接続手段、及びリード部と多層配線基板を接続する第2の電氣的接続手段も周知の電氣的接続手段（例えば、ワイヤや突起電極）を用いることができる。よって、新たな製造設備を必要することなく半導体装置を製造することができ、半導体装置の低コスト化を図ることが可能となる。

10

## 【0026】

また、請求項2記載の発明によれば、

ステージが第1の半導体装置と対向するよう配置するよう配設することにより、ワイヤを用いた場合にはワイヤとステージが近接して接触するおそれがある。しかるに、ステージの第1の半導体素子と対向する面に絶縁材を配設することにより、ワイヤがステージと接触してもワイヤとステージが電氣的に接続することはなく、半導体装置の誤動作及び損傷を防止することができる。

## 【0027】

また、請求項3記載の発明によれば、

第1の半導体素子の回路形成面と第2の半導体素子の回路形成面が対向するよう配置したことにより、第2の半導体素子とリード部とを接続するワイヤは、第1の半導体素子と対向する側にループを形成する構成となる。このため、第2の半導体素子の背面側に形成される封止樹脂を薄く形成することができ、半導体装置の薄型化を図ることができる。

20

## 【0028】

また、請求項4記載の発明によれば、

ステージを封止樹脂から露出した構成としたことにより、半導体素子で発生した熱はステージを介して直接外気に放熱されるため、放熱特性を向上させることができる。

また、請求項5記載の発明によれば、

リードフレームを多層配線基板上に保持する保持部材を設けたことにより、第2の半導体素子を第1の半導体素子から離間した状態に安定した状態で保持することができる。

30

## 【0029】

また、請求項6記載の発明によれば、

第2の半導体素子を搭載すると共に第2の半導体素子が電氣的に接続されるリード部とを有した可撓性配線基板と、第2の半導体素子を多層配線基板に電氣的に接続する第1及び第2の電氣的接続手段とによりインターポーザを構成したことにより、可撓性配線基板はリードフレームに比べて狭ピッチで配設パターンを形成できるため、高密度化された半導体素子に対応することができる。

## 【0030】

また、可撓性配線基板は、例えばTAB (Tape Automated Bonding) テープ等の半導体装置の構成要素として広く用いられているものを適用でき、かつ半導体素子とリード部及びリード部と多層配線基板を接続する第1及び第2の電氣的接続手段も周知の電氣的接続手段（例えば、ワイヤや突起電極）を用いることができる。よって、新たな製造設備を必要することなく半導体装置を製造することができ、半導体装置の低コスト化を図ることが可能となる。

40

## 【0031】

また、請求項7記載の発明によれば、

第1の半導体素子搭載工程及び第2の半導体素子搭載工程が終了した後、リードフレーム保持工程において、保持手段を用いて第1の半導体素子に対し第2の半導体素子が離間するようリードフレームを多層配線基板上に保持するため、続いて実施される接続工程及び樹脂封止工程では、第2の半導体素子が第1の半導体素子上に保持された状態で接続処

50

理及び樹脂封止処理を実施することができ、各処理を容易に行なうことが可能となる。

【0032】

また、請求項8記載の発明のように、保持手段としては、リードフレームを多層配線基板上に保持するダム部材を用いることができる。

また、請求項9記載の発明のように、保持手段としては、リードフレームのリード部外側に形成された折り曲げ部を用いることができる。

【0033】

【発明の実施の形態】

次に、本発明の目実施の形態について図面と共に説明する。

図5は、本発明の第1実施例である半導体装置20Aを示す断面図である。同図に示す半導体装置20Aは、大略すると複数(本実施例では2個)の半導体素子22A, 22B、多層配線基板23、半田ボール24、インターポーザ、及び封止樹脂25等により構成されている。同図に示すように、多層配線基板23上には複数の半導体素子22A, 22Bが積み重ねられた構成(スタックされた構成)とされており、よって半導体装置20AはスタックDCSPと類似した構成とされている。

【0034】

第1の半導体素子22Aは例えばシステムICであり、図示しない接着剤により多層配線基板23の上面に接着されている。第1の半導体素子22Aの回路形成面は図中上面であり、この回路形成面の外周に形成された電極と多層配線基板23に形成されたボンディングパッド27はワイヤ28Aにより接続されている。また、多層配線基板23の下面には、外部接続端子として機能する複数の半田ボール24が配設されている。

【0035】

第2の半導体素子22Bは例えばDRAM等のメモリICであり、インターポーザにより第1の半導体素子22Aに対し上方に離間した位置に保持されると共に多層配線基板23に電氣的に接続された構成とされている。

インターポーザは、リードフレーム31A, ワイヤ28(第1の電氣的接続手段), ワイヤ28C(第2の電氣的接続手段)等により構成されている。リードフレーム31Aはステージ29Aとリード部30Aとを有した構成とされており、例えば42アロイ, 銅合金等の従来から半導体装置のリード材料として一般に用いられている材料により形成されている。

【0036】

第2の半導体素子22Bは、その背面を図示しない接着剤によりステージ29Aに接合される。また、リードフレーム31Aは、多層配線基板23の上面に固定されたダム部材32上に配設された構成とされており、よってリードフレーム31Aは多層配線基板23に対し図中矢印H1で示す寸法だけ離間して配設された構成となっている。これにより、第2の半導体素子22Bは第1の半導体素子22Aに対し上方に所定寸法(例えば、200μm程度)だけ離間した位置に保持される。

【0037】

また、本実施例の構成ではステージ29Aが第1の半導体素子22Aと直接対向した状態となるため、ステージ29Aの第1の半導体素子22Aと対向する面に絶縁材38を配設した構成としている。この絶縁材38としては、例えば絶縁性樹脂を用いることができ、この絶縁性樹脂を所定の膜厚でコーティングすることにより絶縁材38は形成される。

【0038】

本実施例のように、ステージ29Aが第1の半導体装置22Aと対向するよう配置された構成では、ワイヤ28Aとステージ29Aが近接するため両者28, 29Aが接触するおそれがある。この場合、ステージ29Aはもともと導電性を有するリード材料により形成されているため、ワイヤ28Aが接触すると短絡してしまい、半導体装置20Aの動作不良につながる。

10

20

30

40

50



## 【0039】

しかるに、上記のようにステージ29Aの第1の半導体素子22Aと対向する面(下面)に絶縁材38を配設することにより、ワイヤ28Aがステージ29Aと接触しても、ワイヤ28Aとステージ29Aが電氣的に接続することはない。これにより、半導体装置20Aに誤動作が発生したり、また各半導体素子22A, 22Bに損傷が発生することを防止できる。

## 【0040】

一方、リードフレーム31Aを構成するリード部30Aは、前記したダム部材32の上部に載置されており、よってリードフレーム31Aは多層配線基板23上に安定して保持された構成となっている(後述するように、特に封止樹脂25を配設する前において)。尚、本実施例では、前記したステージ29Aとリード部30Aは、略同一平面上にあるよう構成されている。

10

## 【0041】

第2の半導体素子22Bとリード部30Aは、ワイヤ28B(第1の電氣的接続手段)により電氣的に接続された構成とされている。また、リード部30Aと多層配線基板23に形成されたボンディングパッド27は、ワイヤ28C(第2の電氣的接続手段)により電氣的に接続された構成とされている。これにより、第2の半導体素子22Bは、各ワイヤ28B, 28C、及びリード部30Aを介して多層配線基板23に電氣的に接続された構成となる。

## 【0042】

上記のように、各半導体素子22A, 22Bは、各ワイヤ28A~28Cを用いて多層配線基板23に接続される。また、各ワイヤ28A~28Cがボンディングされるボンディングパッド27と半田ボール24が接合される電極35は、多層配線基板23の内部に形成された内部配線により接続されており、よって各半導体素子22A, 22Bは所定の半田ボール24に電氣的に接続された構成となっている。

20

## 【0043】

尚、各ワイヤ28A~28Cは、いわゆる逆打ちボンディングにより配設されている。即ち、多層配線基板23のボンディングパッド27或いはダム部材32のリード部30Aとの接合をファーストボンディングとし、各半導体素子22A, 22Bの電極との接合をセカンドボンディングとしている。このように、各ワイヤ28A~28Cを逆打ちボンディングにより配設することにより、ワイヤループの高さを低くすることができ、半導体装置20Aの薄型化を図ることができる。

30

## 【0044】

一方、封止樹脂25は、例えばエポキシ樹脂等の絶縁性樹脂よりなり、上記した多層配線基板3Aの片面上に各半導体素子22A, 22B, リードフレーム31A, 及びワイヤ28A~28Cを覆うように形成されている。これにより、各半導体素子22A, 22B, リードフレーム31A, 及びワイヤ28A~28Cは、封止樹脂25により保護された構成となる。

## 【0045】

この封止樹脂25は、第1の半導体素子22Aと第2の半導体素子22Bとの離間部分に充填されるよう形成されており、よって封止樹脂25によってもステージ29Aとワイヤ28は絶縁された構成となっている。また、上記のように封止樹脂25は多層配線基板3Aの片面上にのみ形成されるため、先に図3を用いて説明した従来の半導体装置1Cと異なり、小型・軽量化を図ることができると共に封止樹脂25の使用量を低減することができる。

40

## 【0046】

上記したように、本実施例の半導体装置20Aは多層配線基板23の上面に第1の半導体素子22Aを搭載すると共に、リードフレーム31Aに保持された第2の半導体素子22Bが第1の半導体素子22A上に離間した状態で重ね合わされるよう構成されている。このため、先に説明したスタックドCSPタイプの半導体装置1D(図4参照)と同様に、

50

各半導体装置 22A, 22B の平面的な面積の総和よりも多層配線基板 23 の面積を小さくすることができ、よって半導体装置 20A の小型化を図ることができる。

【0047】

また、上記のように第1及び第2の半導体素子 22A, 22B は多層配線基板 23 と電氣的に接続された構成としているが、この多層配線基板 23 はその内部に形成された内部配線によって配線の引回しに自由度を有している。即ち、各半導体素子 22A, 22B と接続されたワイヤ 28A ~ 28C がボンディングされるボンディングパッド 27 と、半田ボール 24 が接合される電極 35 との間で、配線の引回しを行なうことが可能となる。

【0048】

よって、各半導体素子 22A, 22B として、予めピンレイアウト(ピンアドレス)が決まっている汎用品を用いたとしても、多層配線基板 23 内の内部配線において配線の引回しを行なえばよく、多層配線基板 23 の外部においてワイヤ 28A ~ 28C の引回しを行なう必要はなくなる。これにより、半導体素子 22A, 22B として汎用品を用いることが可能となり、半導体装置 20A の低コスト化を図ることができる。

10

【0049】

尚、多層配線基板 23 としては、セラミック製多層配線基板、ガラスエポキシ製多層配線基板、樹脂製多層配線基板等、種々の構造の多層配線基板を適用することが可能である。一方、本実施例に係る半導体装置 20A では、封止樹脂 25 内において、第1の半導体素子 22A と第2の半導体素子 22B は離間した状態で配設されている。よって、各半導体素子 22A, 22B 間で熱膨張率に差があり、また封止樹脂 25 の形成或いは半導体装置 20A の実装等により各半導体素子 22A, 22B に熱が印加されたとしても、この熱により第1の半導体素子 22A と第2の半導体素子 22B との間に応力が発生するようなことはない。従って、各半導体素子 22A, 22B が相互に干渉することはなくなり、半導体装置 20A の信頼性を向上させることができる。

20

【0050】

更に本実施例に係る半導体装置 20A では、インターポーザをリードフレーム 31A と各ワイヤ 28B, 28C により構成している。リードフレーム 31A は半導体装置の構成要素として広く用いられている。また、第2の半導体素子 22B とリード部 30A を接続するワイヤ 28B、及びリード部 30A と多層配線基板 23 を接続するワイヤ 28C も周知のワイヤボンディング装置を用いてワイヤボンディングできるワイヤを用いている。よって、新たな製造設備を必要することなく半導体装置 20A を製造することができ、半導体装置 20A のコスト低減を図ることができる。

30

【0051】

続いて、本発明の第2実施例について説明する。

図6は、本発明の第2実施例である半導体装置 20B を示している。尚、図6において、図5に示した第1実施例である半導体装置 20A と同一構成については、同一符号を付してその説明を省略する。また、図7乃至図10を用いて説明する各実施例についても同様とする。

【0052】

図5を用いて説明した第1実施例に係る半導体装置 20A では、第1の半導体素子 22A の回路形成面がステージ 29A と対向するよう構成した。これに対し本実施例に係る半導体装置 20B では、第1の半導体素子 22A の回路形成面と、第2の半導体素子 22B の回路形成面が対向するよう配置したことを特徴とするものである。

40

【0053】

この構成とすることにより、リードフレーム 31B のステージ 29B は第2の半導体素子 22B の外側に位置する構成となる。また、リード部 30A の多層配線基板 23 上の高さ H1 は第1実施例に係る半導体装置 20A と同一であるため、本実施例で用いるリードフレーム 31B はステージ 29B とリード部 30A とで、高さ方向に対して段差を有した構成とされている。更に、本実施例では、図示されるようにステージ 29B を封止樹脂 25 から露出した構成としている。

50

## 【0054】

本実施例のように、第1の半導体素子22Aの回路形成面と第2の半導体素子22Bの回路形成面が対向するよう配置したことにより、第2の半導体素子22Bとリード部30Aとを接続するワイヤ28Bは、第1の半導体素子22Aと対向する側にループを形成する構成となる。このため、第2の半導体素子22Bの背面側に形成される封止樹脂を薄く形成することができ、半導体装置20Bの薄型化を図ることができる。

## 【0055】

特に、本実施例のように、ステージ29Aを封止樹脂25から露出した構成とした場合には、更に半導体装置20Bの薄型化を図ることができる。また、ステージ29Bを封止樹脂25から露出した構成としたことにより、ステージ29Bは放熱フィンとしても機能し、よって各半導体素子22A、22Bで発生する熱をステージ29Bを介して直接外気に放熱することが可能となり、半導体装置20Bの放熱特性を向上させることができる。

10

## 【0056】

続いて、本発明の第3実施例について説明する。

図7は、本発明の第3実施例である半導体装置20Cを示している。本実施例に係る半導体装置20Cは、第1及び第2実施例に係る各半導体装置20A、20Bにおいて、リードフレーム31A、31Bを保持するために用いていたダム部材32を除去した構成としたことを特徴とするものである。即ち、本実施例では、リードフレーム31Cが多層配線基板23に対して浮いた状態となっている（尚、実際はリードフレーム31Cと多層配線基板23との間には封止樹脂25が介在する）。この構成とすることにより、部品点数の削減を図ることができる。尚、この半導体装置20Cの製造方法については、後に詳述する。

20

## 【0057】

続いて、本発明の第4実施例について説明する。

図8は、本発明の第4実施例である半導体装置20Dを示している。本実施例に係る半導体装置20Dは、インターポーザを可撓性配線基板であるTAB (Tape Automated Bonding) 基板33、ワイヤ28C、及び突起電極であるスタッドバンプ34（例えば金バンプ）等により構成したことを特徴とするものである。

## 【0058】

TAB基板33は、樹脂テープとその上部に形成された配線パターンとにより構成されている。このTAB基板33の一部（以下、リード部30Bという）はダム部材32の上面に接着剤により接着されている。また、TAB基板33の一部は第2の半導体素子22Bの下部まで延出している。第2の半導体素子22Bは、スタッドバンプ34をこの部位に接合することによりTAB基板33にフリップチップボンディングされる。

30

## 【0059】

また、TAB基板33のリード部30Bと多層配線基板23に形成されたボンディングパッド27との間には、ワイヤ28Cが配設される。これにより、第2の半導体素子22Bは、スタッドバンプ34（第1の電氣的接続手段）、TAB基板33、及びワイヤ28C（第2の電氣的接続手段）を介して多層配線基板23に電氣的に接続された構成となる。

## 【0060】

TAB基板33は、配線パターンを薄膜形成技術を用いて形成できるため、上記したリードフレーム31A、31Cに比べて狭ピッチで配設パターンを形成できる。よって、インターポーザの一部としてTAB基板33を用いることにより、半導体素子22A、22Bが高密度化し電極数が増大しても、これに十分に対応することができる。

40

## 【0061】

また、TAB基板33は、半導体装置の構成要素として広く用いられているTABテープ等を適用することができ、かつ第2の半導体素子22Bとリード部30Bを接続するスタッドバンプ34、及びリード部30Bと多層配線基板23を接続するワイヤ28Cも半導体装置の構成要素として広く用いられているものである。よって、新たな製造設備を必要することなく半導体装置を製造20Dを形成することができ、半導体装置20Dの低コス

50

ト化を図ることができる。

【0062】

続いて、上記した半導体装置20A～20Dの製造方法について説明する。尚、以下の説明では、図6に示した第2実施例に係る半導体装置20B、及び図7に示した第2実施例に係る半導体装置20Cの製造方法を例に挙げて説明するものとする。

図9は、第2実施例に係る半導体装置20Bの製造方法を説明するための図である。

【0063】

半導体装置20Bを製造するには、先ず図9(A)に示すように、予め別工程(リードフレーム形成工程)においてステージ29B及びリード部30Aが形成されたリードフレーム31Bに第2の半導体素子22Bを搭載する。具体的には、接着剤(図示せず)を用いて、第2の半導体素子22Bをステージ29Bにダイボンディングする。続いて、ステージ29B上に搭載された第2の半導体素子22Bとリード部30Aとの間にワイヤ28B(第1の電気的接続手段)をワイヤボンディングする(以上の処理を第2の半導体素子搭載工程とう)。

【0064】

尚、本実施例で用いるリードフレーム31Bは、ステージ29Bとリード部30Aが高さ方向に段差を有した構成である。しかるに、リードフレーム31Bを形成するリードフレーム形成工程では、板状基材をプレス加工により切断或いは塑性変形させて所定形状のリードフレーム31Bを形成するため、ステージ29Bとリード部30Aとの間に段差を有するリードフレーム31Bであっても容易に形成することができる。

【0065】

一方、図9(B)に示されるように、第1の半導体素子22Aは接着剤(図示せず)を用いて多層配線基板23の上面に搭載される。多層配線基板23は別工程において製造されるものであり、上面にはボンディングパッド27が形成され、また下面には電極35が形成され、またボンディングパッド27と電極35との間には内部配線が形成されている。

【0066】

上記のように第1の半導体素子22Aが多層配線基板23の上面に搭載されると、続いて第1の半導体素子22Aの回路形成面の外周に設けられた電極とボンディングパッド27との間にワイヤ28Aがワイヤボンディングされる。このワイヤボンディングの際、ボンディングパッド27にファーストボンディングを行い、第1の半導体素子22Aにセカンドボンディングを行なう逆打ちを行なう。これにより、ワイヤ28Aのループ高さを低くすることができる。

【0067】

このワイヤボンディング処理が終了すると、多層配線基板23の第1の半導体素子22Aが配設された位置の外周にダム部材32(保持部材)を配設する。このダム部材32の材質としては、絶縁性を有した樹脂を利用することが考えられる。ダム部材32は、多層配線基板23に接着剤を用いて固定される(以上の処理を第1の半導体素子搭載工程という)。

【0068】

尚、上記した第1の半導体素子搭載工程と第2の半導体素子搭載工程は、いずれを先に実施してもよく、また同時に実施するとも可能である。また、第1の半導体素子22Aと第2の半導体素子22Bの離間距離は、ダム部材32の高さを調整することにより、任意に設定することが可能である。

上記の第1及び第2の半導体素子搭載工程が終了すると、続いて図9(C)に示されるように、第2の半導体素子22Bが搭載されたリードフレーム31Bのリード部30Aを多層配線基板23に設けられたダム部材32の上部に接着剤を用いて固定する。これにより、リードフレーム31Bはダム部材32に保持された構成となる(リードフレーム保持工程)。この際、リードフレーム31Bは、第2の半導体素子22Bの回路形成面が第1の半導体素子22Aの回路形成面と対向するようダム部材32上に配設される(即ち、図9(C)に示されるリードフレーム31Bは、図9(A)に示す状態に対し上下を逆とした

10

20

30

40

50

状態となる)。

【0069】

上記のリードフレーム保持工程が終了すると、図9(D)に示されるように、リード部30Aと多層配線基板23のボンディングパッド27との間にワイヤ28Cがワイヤボンディングされる(接続工程)。このワイヤボンディングの際、ボンディングパッド27にファーストボンディングを行い、リード部30Aにセカンドボンディングを行なう逆打ちを行なう。これにより、ワイヤ28Cのループ高さを低くすることができる。

【0070】

上記の接続工程が終了すると、続いて第1及び第2の半導体素子22A, 22B, リードフレーム31B, 及び各ワイヤ28A~28Cを封止するよう、かつ第1の半導体素子22Aと第2の半導体素子22Bとの離間部分を塞ぐよう、樹脂を充填して封止樹脂25を形成する(樹脂封止工程)。本実施例では、ステージ29Bを封止樹脂25から露出するように樹脂封止処理を行なっている。これは、封止樹脂25の形成時に用いる金型にステージ29Bを当接させた状態で樹脂モールドすることにより容易に行なうことができる。

【0071】

続いて、所定位置で多層配線基板23, ダム部材32, リードフレーム31B, 及び封止樹脂25をダイシングし、その後に多層配線基板23の下面に形成されている電極35に半田パンプ24を形成する(端子形成工程)ことにより、図9(E)に示す半導体装置20Bが製造される。

上記した製造方法によれば、第1及び第2の半導体素子搭載工程が終了した後、リードフレーム保持工程においてダム部材32を用いて第1の半導体素子22Aに対し第2の半導体素子22Bが離間するようリードフレーム31Bを多層配線基板23上に保持するため、後に実施される接続工程及び樹脂封止工程では、第2の半導体素子22Bが第1の半導体素子22A上に保持された状態で各工程を実施することができ製造処理を容易に行なうことができる。

行なうことが可能となる。

【0072】

続いて、図10を用いて第3実施例に係る半導体装置20Cの製造方法について説明する。尚、第3実施例に係る半導体装置20Cの製造方法は、基本的な製造工程は図9を用いて説明した第2実施例に係る半導体装置20Bの製造方法と同一であるため、以下の説明では第2実施例に係る半導体装置20Bの製造方法と異なる処理を重点的に説明するものとする。

【0073】

半導体装置20Cを製造するには、予めリードフレーム形成工程においてステージ29B, リード部30A, 及び折り曲げ部36が形成されたリードフレーム31Cを形成しておく。そして、図10(A)に示すように、リードフレーム31Cのステージ20Bに第2の半導体素子22Bを搭載し、その後ステージ29B上に搭載された第2の半導体素子22Bとリード部30Aとの間にワイヤ28Bをワイヤボンディングする(第2の半導体素子搭載工程)。

【0074】

ここで、リードフレーム形成工程において折り曲げ部36を形成する際、図10(A)に矢印H3で示す寸法は、半導体装置20Cにおいて多層配線基板23に対しリード部30Aが離間した高さH2(図7に矢印で示す)と等しくなるよう設定する( $H2 = H3$ )。尚、前記したように、リードフレーム31Cを形成するリードフレーム形成工程では、板状基材をプレス加工により切断或いは塑性変形させて所定形状のリードフレーム31Bを形成するため、ステージ29Bとリード部30Aとの間に段差を有し、かつ折り曲げ部36を有するリードフレーム31Cであっても容易に形成することができる。

【0075】

図10(B)は第1の半導体素子搭載工程を示しているが、この処理はダム部材32を配設しない点を除いては図9(B)の処理と同一であるため、説明を省略する。

第1及び第2の半導体素子搭載工程が終了すると、続いて図10(C)に示されるように、第2の半導体素子22Bが搭載されたリードフレーム31Cを多層配線基板23の上面に接着剤を用いて固定する(リードフレーム保持工程)。この際、リードフレーム31Cは、図10(A)に示される状態に対して上下を反対にした状態で多層配線基板23上に載置される。

【0076】

これにより、リードフレーム31Cに設けられた折り曲げ部36は、第2の半導体素子22Bを第1の半導体素子22Aに対して離間した状態で保持する脚部として機能することとなる。即ち、第2の半導体素子22Bは、ダム部材32等の保持部材を要することなく、リードフレーム31C自体により保持された構成となる。更に、図10(A)に示したように、折り曲げ部36は段差高さH3(=H2)を有しているため、第2の半導体素子22Bの回路形成面と多層配線基板23との離間距離はH2となる。

10

【0077】

上記のリードフレーム保持工程が終了すると、図10(D)に示されるように、リード部30Aと多層配線基板23のボンディングパッド27との間にワイヤ28Cがワイヤボンディングされる(接続工程)。このワイヤボンディングの際、本実施例ではリード部30Aが浮いた状態となっているため、ワイヤボンディングを確実にこなうためにリードの下部に補強部材37を挿入してワイヤボンディング処理を行なっている。尚、この補強部材37はワイヤボンディング処理の終了後に除去される。

【0078】

上記の接続工程が終了すると、樹脂封止工程、端子形成工程等が実施され、これにより図10(E)に示す半導体装置20Cが製造される。上記した製造方法によれば、図9を用いて説明した製造方法と同様に、リードフレーム保持工程後は第1の半導体素子22Aに対して第2の半導体素子22Bは離間した位置に保持されるため、後に実施される接続工程及び樹脂封止工程を容易に行なうことができる。更に、本実施例では第2の半導体素子22Bを第1の半導体素子22Aに対して離間保持する保持手段として、リードフレーム31Cの折り曲げ部36を用いているため、部品点数の削減を図ることができる。

20

【0079】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項1記載の発明によれば、第2の半導体素子が第1の半導体素子上に離間した状態で重ね合わされるよう配設したことにより、半導体装置の小型化を図ることができる。

30

【0080】

また、多層配線基板の外部に位置するインターポーザ側で配線の引回しを行なう必要がなくなるため、半導体素子として汎用品を用いることが可能となり、よって半導体装置の低コスト化を図ることができる。

更に、封止樹脂内において、第1の半導体素子と第2の半導体素子は離間した状態で配設されるため、各半導体素子が相互に干渉することがなくなり、半導体装置の信頼性を向上させることができる。

【0081】

また、新たな製造設備を必要することなく半導体装置を製造することができ、半導体装置の低コスト化を図ることが可能となる。

40

また、請求項2記載の発明によれば、ステージの第1の半導体素子と対向する面に絶縁材を配設することにより、ワイヤがステージと接触してもワイヤとステージが電氣的に接続することはなく、半導体装置の誤動作及び損傷を防止することができる。

【0082】

また、請求項3記載の発明によれば、第2の半導体素子とリード部とを接続するワイヤは、第1の半導体素子と対向する側にループを形成する構成となるため、第2の半導体素子の背面側に形成される封止樹脂を薄く形成することができ、半導体装置の薄型化を図ることができる。

50

また、請求項4記載の発明によれば、ステージを封止樹脂から露出した構成としたことにより、半導体素子で発生した熱はステージを介して直接外気に放熱されるため、放熱特性を向上させることができる。

【0083】

また、請求項5記載の発明によれば、リードフレームを多層配線基板上に保持する保持部材を設けたことにより、第2の半導体素子を第1の半導体素子から離間した状態に安定した状態で保持することができる。

また、請求項6記載の発明によれば、可撓性配線基板はリードフレームに比べて狭ピッチで配設パターンを形成できるため、高密度化された半導体素子に対応することができる。また、新たな製造設備を必要することなく半導体装置を製造することができ、半導体装置の低コスト化を図ることが可能となる。

10

【0084】

また、請求項17記載の発明によれば、接続工程及び樹脂封止工程を第2の半導体素子が第1の半導体素子上に保持された状態で実施することができるため、各工程で実施される接続処理及び樹脂封止処理を容易に行なうことができる。

【図面の簡単な説明】

【図1】第1の従来例である半導体装置を説明するための断面図である。

【図2】第2の従来例である半導体装置を説明するための断面図である。

【図3】第3の従来例である半導体装置を説明するための断面図である。

【図4】第3の従来例である半導体装置を説明するための断面図である。

20

【図5】本発明の第1実施例である半導体装置を説明するための断面図である。

【図6】本発明の第2実施例である半導体装置を説明するための断面図である。

【図7】本発明の第3実施例である半導体装置を説明するための断面図である。

【図8】本発明の第4実施例である半導体装置を説明するための断面図である。

【図9】図5に示す第1実施例である半導体装置の製造方法を製造手順に沿って説明するための図である。

【図10】図7に示す第3実施例である半導体装置の製造方法を製造手順に沿って説明するための図である。

【符号の説明】

20A～20D 半導体装置

30

22A 第1の半導体装置

22B 第2の半導体装置

23 多層配線基板

24 半田ボール

25 封止樹脂

28A～28C ワイヤ

29A, 29B ステージ

30A, 30B リード部

31A～31C リードフレーム

32 ダム部材

40

33 TAB基板

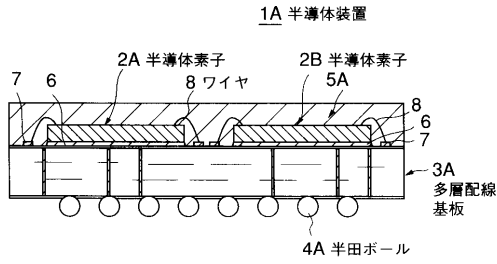
34 スタッドパンブ

36 折り曲げ部

37 補強部材

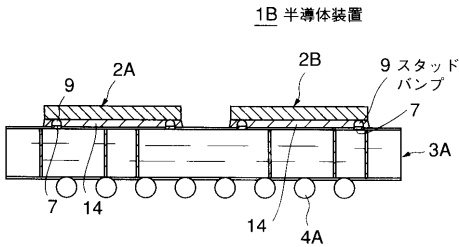
【図1】

第1の従来例である半導体装置を説明するための断面図



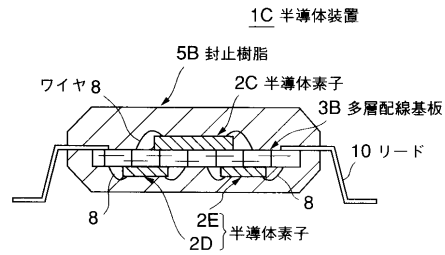
【図2】

第2の従来例である半導体装置を説明するための断面図



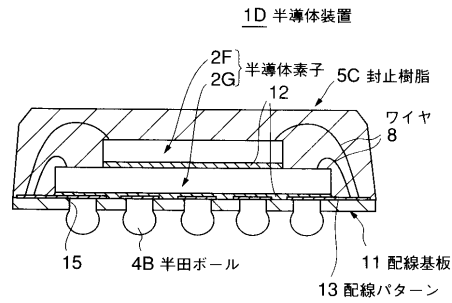
【図3】

第3の従来例である半導体装置を説明するための断面図

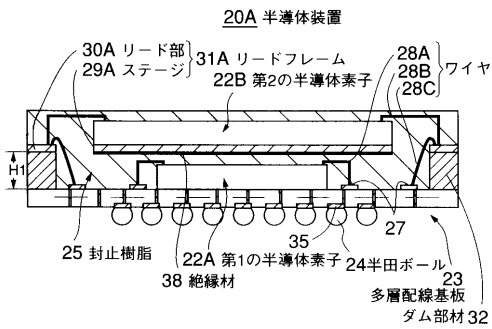


【図4】

第3の従来例である半導体装置を説明するための断面図

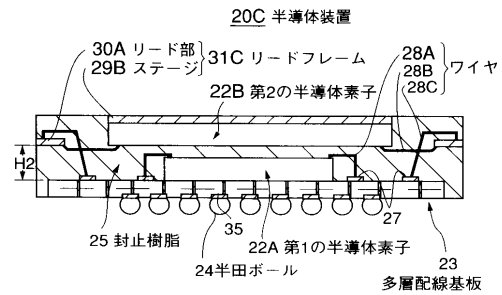


【図5】



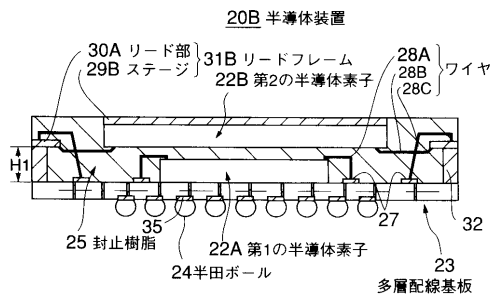
【図7】

本発明の第3実施例である半導体装置を説明するための断面図



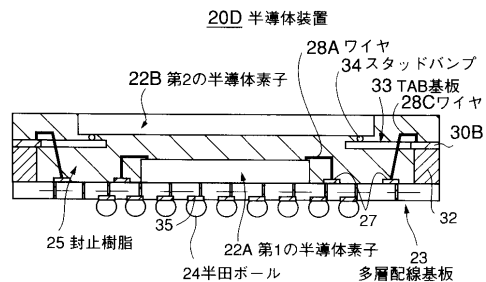
【図6】

本発明の第2実施例である半導体装置を説明するための断面図



【図8】

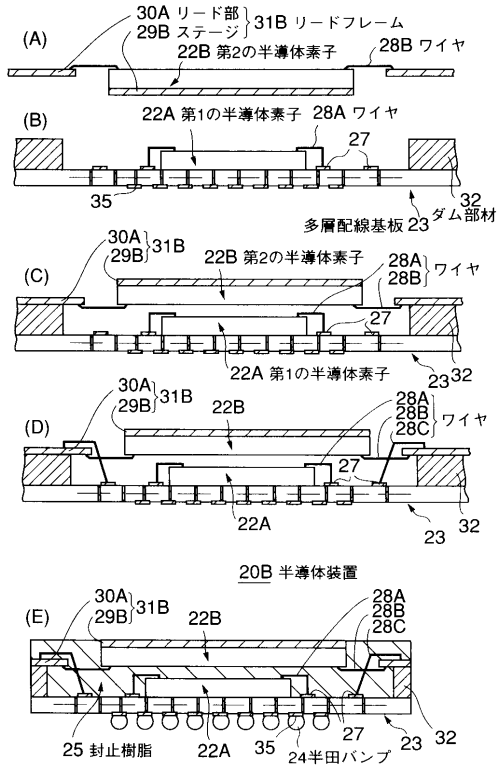
本発明の第4実施例である半導体装置を説明するための断面図





【 図 9 】

図5に示す第1実施例である半導体装置の製造方法を製造手順に沿って説明するための図



【 図 10 】

図7に示す第3実施例である半導体装置の製造方法を製造手順に沿って説明するための図

