

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成27年3月19日 (2015.3.19)

【公開番号】特開2015-18564(P2015-18564A)

【公開日】平成27年1月29日 (2015.1.29)

【年通号数】公開・登録公報2015-006

【出願番号】特願2014-165486(P2014-165486)

【国際特許分類】

G 0 6 F 3/00 (2006.01)

G 0 6 F 13/38 (2006.01)

G 0 6 F 13/36 (2006.01)

【 F I 】

G 0 6 F 3/00 R

G 0 6 F 13/38 3 5 0

G 0 6 F 13/36 5 2 0 C

【手続補正書】

【提出日】平成27年1月29日 (2015.1.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

直列化器 / 並列化器 (S e r D e s) デバイスによって実行される方法であって、

(a) 第 2 の S e r D e s リンクの第 1 のエラーレートを決定することであって、前記第 2 の S e r D e s リンクを介して渡される情報が S e r D e s 受信機によって受信されることと、

(b) 前記第 1 のエラーレートがエラーレート下限とエラーレート上限との間に実質的に維持されるように、前記 S e r D e s 受信機の消費電力設定を制御することと、

(c) 別の S e r D e s デバイスへの送信のための第 1 の S e r D e s リンクの第 2 のエラーレートを決定することと、

(d) 前記第 2 のエラーレートが、第 1 のエラーレート限度と第 2 のエラーレート限度との中に維持されるように、前記別の S e r D e s デバイスの入力インピーダンス設定を制御することと、

を備え、

前記第 2 のエラーレートが前記第 1 のエラーレート限度と前記第 2 のエラーレート限度の範囲外のままであるとき、 S e r D e s 送信機が、前記別の S e r D e s デバイスにおける入力インピーダンスを変更する表示を前記別の S e r D e s デバイスに前記第 1 の S e r D e s リンクを介して送信するように構成される、方法。

【請求項 2】

(a) における前記第 1 のエラーレートを前記決定することが第 1 の集積回路上で実行され、前記 S e r D e s 受信機が第 1 の集積回路の一部である、請求項 1 に記載の方法。

【請求項 3】

(a) における前記第 1 の S e r D e s リンクを介して渡される前記情報が前記別の S e r D e s デバイスの S e r D e s 送信機によって出力され、

(a) における前記情報を受信する前記 S e r D e s 受信機が第 1 の集積回路の一部であり、(a) の前記決定することおよび (b) の前記制御することが前記第 1 の集積回路

によって実行される、請求項 1 に記載の方法。

【請求項 4】

前記第 2 のエラーレートを決定するために、パケット内のエラー情報を使用することをさらに備え、

前記パケットは、前記第 2 の S e r D e s リンクを介して第 1 の集積回路上で受信され

、
(c) の前記決定することが前記第 1 の集積回路によって実行される、請求項 1 に記載の方法。

【請求項 5】

前記パケットがキープアライブ同期パケットである、請求項 4 に記載の方法。

【請求項 6】

前記エラー情報が、前記第 1 の S e r D e s リンクを介して渡される情報に関連する、請求項 4 に記載の方法。

【請求項 7】

第 2 の集積回路内の回路が、前記第 1 の S e r D e s リンクを介して渡される前記情報内のエラーを検出し、前記エラーから前記エラー情報を生成し、

前記第 2 の集積回路が前記エラー情報を前記パケットに組み込んで、前記パケットを前記第 2 の S e r D e s リンクを介して前記第 1 の集積回路に送信する、請求項 4 に記載の方法。

【請求項 8】

前記第 1 の集積回路が、パケットを前記第 1 の S e r D e s リンクを介して前記第 2 の集積回路に送信することによって (d) の前記制御することを実行し、

前記第 2 の集積回路に送信された前記パケットが前記入カインピーダンス設定を含み、前記入カインピーダンス設定が前記第 2 の集積回路の前記 S e r D e s 受信機に供給される、請求項 2 に記載の方法。

【請求項 9】

前記パケットが制御パケットである、請求項 8 に記載の方法。

【請求項 10】

(c) の前記決定することおよび (d) の前記制御することが、前記 S e r D e s 送信機を含む第 1 の集積回路によって実行され、

前記第 1 の S e r D e s リンクを介して渡される情報が前記 S e r D e s 送信機から送信され、

前記第 1 の集積回路が中央処理装置 (C P U) を含み、

前記第 2 の集積回路がメモリを含み、

前記第 1 の集積回路の前記 C P U が、前記第 1 の S e r D e s リンクを使用して前記第 2 の集積回路の前記メモリにアクセスする、請求項 1 に記載の方法。

【請求項 11】

(a) の前記決定することおよび (b) の前記制御することが、電池式ワイヤレスモバイル通信デバイス内の第 1 の集積回路によって実行される、請求項 1 に記載の方法。

【請求項 12】

(a) 第 1 の直列化器 / 並列化器 (S e r D e s) 通信を第 1 のデバイスから第 1 の S e r D e s リンクを介して第 2 のデバイス上で受信することであって、前記第 1 の S e r D e s 通信が前記第 2 のデバイスの S e r D e s 受信機上で受信されることと、

(b) 前記第 1 の S e r D e s 通信内でエラーが発生したことを前記第 2 のデバイス上で判断することと、前記判断することに応答して、前記第 1 の S e r D e s 通信に存在する送信エラーの数を含む第 2 の S e r D e s 通信を前記第 2 のデバイスから前記第 1 のデバイスに第 2 の S e r D e s リンクを介して送信することと、

(c) 前記第 2 の S e r D e s 通信に基づくエラーレートが許容範囲外であるとき、第 3 の S e r D e s 通信を前記第 1 のデバイスから前記第 2 のデバイスに前記第 1 の S e r D e s リンクを介して送信することと、

(d) 前記第 1 のデバイスの消費電力設定を調整するために、前記第 2 の S e r D e s 通信に係るビットエラー情報を使用することと、

(e) 前記第 2 のデバイスの前記 S e r D e s 受信機の入力インピーダンス設定を調整するために、前記第 3 の S e r D e s 通信内の情報を使用することと
を備える、方法。

【請求項 13】

前記エラーレートが、送信を試みられたビットの数で割ったエラーの総数を備える、請求項 12 に記載の方法。

【請求項 14】

(a)、(b)、(c) および (e) が第 2 の集積回路によって実行され、前記第 1 の S e r D e s リンクのエラーレートがエラーレート下限とエラーレート上限との間に実質的に維持されるように複数回繰り返される、請求項 12 に記載の方法。

【請求項 15】

第 2 の直列化器 / 並列化器 (S e r D e s) リンクを介して情報を受信するように適合された第 1 の S e r D e s 受信機と、

第 1 の S e r D e s リンクを介して第 2 の S e r D e s 受信機に情報を送信するように適合された S e r D e s 送信機と、

前記第 1 の S e r D e s 受信機と前記 S e r D e s 送信機とに結合されたコントローラと、
を備え、

前記コントローラが、前記第 1 の S e r D e s 受信機を介して前記第 2 の S e r D e s リンク上のパケットを受信し、前記第 2 の S e r D e s リンクに係るビットエラーレートを決定し、前記ビットエラーレートに基づいて前記第 1 の S e r D e s 受信機の消費電力を調整し、

前記コントローラは、さらに、前記第 1 の S e r D e s 受信機を介してエラー情報を受信し、前記第 1 の S e r D e s リンクのエラーレートを決定するために前記エラー情報を使用し、

前記第 1 の S e r D e s リンクの前記エラーレートが許容可能な範囲外のままであるとき、前記コントローラが、前記第 1 の S e r D e s リンクの前記エラーレートがエラーレート下限とエラーレート上限との間に実質的に維持されるように、前記第 2 の S e r D e s 受信機の入力インピーダンスを調整するために、前記 S e r D e s 送信機に制御パケットを送信させる、集積回路。

【請求項 16】

前記エラー情報が、キープアライブ同期パケットの一部として前記第 2 の S e r D e s リンクを介して前記集積回路上で受信される、請求項 15 に記載の集積回路。

【請求項 17】

前記第 1 の S e r D e s リンクおよび前記第 2 の S e r D e s リンクを介してメモリアクセスを実行する中央処理装置 (C P U) をさらに備える、請求項 15 に記載の集積回路。

【請求項 18】

第 1 の直列化器 / 並列化器 (S e r D e s) デバイスと第 2 の S e r D e s デバイスとの間の情報の通信において S e r D e s 回路を用いることと、ここにおいて、前記第 1 の S e r D e s デバイスは、第 1 の S e r D e s リンクを介して情報を送信する S e r D e s 送信機と、第 2 の S e r D e s リンクから情報を受信する S e r D e s 受信機を備える

、

前記第 2 の S e r D e s デバイスから前記第 1 の S e r D e s デバイスへの、前記第 2 の S e r D e s リンクを介した送信に係る第 1 のエラーレートがエラーレート下限とエラーレート上限の間に実質的に維持されるように、前記第 1 の S e r D e s デバイスにおける前記 S e r D e s 受信機の消費電力を制御することと、

前記第 1 の S e r D e s リンクを介して前記第 1 の S e r D e s デバイスから与えられ

る送信に係る第2のエラーレートに基づいて、前記第2のSerDesデバイスにおける入力インピーダンスを入力インピーダンス限度の中にはいるように制御することと、を備える方法。

【請求項19】

直列化器／並列化器（SerDes）回路に機能的に接続され、第1のSerDesデバイスと第2のSerDesデバイスとの間で、第1のSerDesリンクと第2のSerDesリンクとを備えるSerDesリンクを介して情報を通信するために適応されるコントローラを備え、

前記コントローラは、第1のSerDesデバイスに位置付けられ、前記第2のSerDesリンクの第1のエラーレートがエラーレート下限とエラーレート上限の間に実質的に維持されるように、前記SerDes回路の消費電力を制御するよう適応され、さらに、前記第1のSerDesリンクを介して前記第1のSerDesデバイスから与えられる送信に係る第2のエラーレートに基づいて、前記第2のSerDesデバイスにおける入力インピーダンスを入力インピーダンス範囲の中にはいるように制御する、装置。

【請求項20】

前記SerDesリンクが、前記第1のSerDesデバイスと前記第2のSerDesデバイスとの間に延在する、請求項19に記載の装置。

【請求項21】

前記コントローラおよび前記SerDes回路が、前記第1のSerDesデバイスの一部である、請求項19に記載の装置。

【請求項22】

直列化器／並列化器（SerDes）デバイスによって実行される方法であって、（a）第2のSerDesリンクの第1のエラーレートを決定することと、ここにおいて、前記第2のSerDesリンクを介して渡される情報は、SerDes受信機によって受信される、

（b）前記第1のエラーレートがエラーレート下限とエラーレート上限との間に実質的に維持されるように前記SerDes受信機の消費電力設定を制御することと、

（c）第1のSerDesリンクの第2のエラーレートを決定することと、

（d）前記第2のエラーレートが第1のビットエラーレート限度と第2のビットエラーレートとの間に実質的に維持されるように、別のSerDesデバイスの入力インピーダンスを制御することと、

を備え、

前記SerDes受信機によって受信された、送信に係る前記第2のエラーレートが、前記第1のビットエラー限度と前記第2のビットエラー限度の範囲外のままであるとき、SerDes送信機が、前記別のSerDesデバイスの前記入力インピーダンスを変更するために、前記第1のSerDesリンクを介して、前記別のSerDesデバイスに表示を送信するよう構成される、方法。

【請求項23】

（a）の前記決定することおよび（b）の前記制御することが、電池式モバイル通信デバイス内で行われ、

前記第2のSerDesリンクが前記電池式モバイル通信デバイス内に配設される、請求項22に記載の方法。

【請求項24】

前記第2のSerDesリンクが、電池式モバイル通信デバイス内の第1の集積回路から前記電池式モバイル通信デバイス内の第2の集積回路まで延在する、請求項22に記載の方法。

【請求項25】

（a）の前記決定することおよび（b）の前記制御することが、前記SerDes受信機を含む第1の集積回路によって実行され、

前記第2のSerDesリンクを介して渡される前記情報が、第2の集積回路の一部であるSerDes送信機から受信され、

前記第1の集積回路が中央処理装置(CPU)を含み、

前記第2の集積回路がメモリを含み、

前記方法が、前記第2のSerDesリンクの前記SerDes受信機を使用して前記第2の集積回路の前記メモリから情報を受信することをさらに備え、

前記第1の集積回路の前記CPUが前記受信することを実行する、請求項22に記載の方法。

【請求項26】

(a)の前記決定することおよび(b)の前記制御することが集積回路によって実行され、

前記集積回路が前記SerDes受信機を含み、

(a)の前記決定することが、

データ部分とエラー検出コード部分とを含む情報を、前記SerDes受信機を介して受信することと、

前記エラー検出コード部分を使用して前記データ部分内の1つまたは複数のビットエラーを検出するために前記集積回路上のエラー検出回路を使用することとを含む、請求項22に記載の方法。

【請求項27】

前記エラー検出コード部分が、エラー訂正コードと、エラー検出および訂正コードと、CRC(巡回冗長コード)コードとからなる群から得られる、請求項26に記載の方法。

【請求項28】

(a)の前記決定することが、

検出されたビットエラーの数の合計を保持することと、

エラーなしで受信されたビットの数の合計を保持することと

をさらに含む、請求項26に記載の方法。

【請求項29】

前記SerDes受信機がループフィルタを含み、

前記消費電力設定が前記ループフィルタの設定を備える、請求項22に記載の方法。

【請求項30】

前記SerDes受信機がデジタルフィルタを含み、

前記消費電力設定が、デジタルクロック信号が前記デジタルフィルタの一部分に供給されるのを防止する設定である、請求項22に記載の方法。

【請求項31】

前記SerDes受信機がクロックとデータ回復回路とを含み、

前記消費電力設定が前記クロックおよびデータ回復回路の設定を備える、請求項22に記載の方法。

【請求項32】

前記SerDes受信機がイコライザを含み、

前記消費電力設定が前記イコライザの設定を備える、請求項22に記載の方法。

【請求項33】

前記SerDes受信機がイコライザを含み、

前記消費電力設定が、前記イコライザの高周波数ブーストをイネーブルする設定を備える、請求項22に記載の方法。

【請求項34】

前記SerDes受信機が多相クロック信号を出力する位相ロックループ(PLL)を含み、

前記消費電力設定が前記PLLの設定を備える、請求項22に記載の方法。

【請求項35】

前記SerDes受信機が入力インピーダンスを有し、

前記消費電力設定が前記 S e r D e s 受信機の前記入カインピーダンスを決定する設定を備える、請求項 2 2 に記載の方法。

【請求項 3 6】

直列化器 / 並列化器 (S e r D e s) デバイスによって実行される方法であって、
(a) 第 2 の S e r D e s リンクを介して渡され、前記 S e r D e s デバイスの S e r D e s 受信機によって受信される情報を使用して、前記第 2 の S e r D e s リンクの第 1 のエラーレートを決
定することと、
(b) 前記第 1 のエラーレートが、エラーレート下限とエラーレート上限の間に実質的に維持されるように、前記 S e r D e s 受信機の消費電力設定を制御することと、
(c) 前記第 2 の S e r D e s リンクを介して渡されるさらなる受信情報に基づいて、第 1 の S e r D e s リンクの第 2 のエラーレートを決定することと、
(d) 前記第 2 のエラーレートがエラーレート上限とエラーレート下限との間に実質的に維持されるように、別の S e r D e s デバイスの入カインピーダンス設定を制御することと、
を備え、

前記第 2 のエラーレートが前記エラーレート下限と前記エラーレート上限との外のままであるとき、前記 S e r D e s デバイスの S e r D e s 送信機が、前記別の S e r D e s デバイスにおける入カインピーダンスを変更するために、前記第 1 の S e r D e s リンクを介して表示を送るよう
に構成される、方法。

【請求項 3 7】

(a) の前記第 1 のエラーレートを決定することは、第 1 の集積回路上で実行され、
前記 S e r D e s 受信機は、前記第 1 の集積回路の一部である、
請求項 3 6 に記載の方法。

【請求項 3 8】

(a) において前記第 2 の S e r D e s リンクを介して渡される情報は、前記別の S e r D e s デバイスの S e r D e s 送信機によって出力され、
(a) における情報を受信する前記 S e r D e s デバイスの前記 S e r D e s 受信機は、第 1 の集積回路の一部であり、
(a) の前記決定することと (b) の前記制御することは、前記第 1 の集積回路で実行される、
請求項 3 6 に記載の方法。

【請求項 3 9】

前記第 2 のエラーレートを決定するために、パケット内のエラー情報を使用することをさらに備え、
前記パケットは、前記第 2 の S e r D e s リンクを介して第 1 の集積回路に受信され、
(c) の前記決定することは、前記第 1 の集積回路によって実行される、
請求項 3 6 に記載の方法。

【請求項 4 0】

前記パケットがキープアライブ同期パケットである、請求項 3 9 に記載の方法。

【請求項 4 1】

前記エラー情報は、前記第 1 の S e r D e s リンクを介して渡される情報に関連付けられる、請求項 3 9 に記載の方法。

【請求項 4 2】

第 2 の集積回路における回路が、前記第 1 の S e r D e s リンクを介して渡される情報におけるエラーを検出し、前記エラーから前記エラー情報を生成し、
前記第 2 の集積回路は、前記エラー情報を前記パケットに組み込み、前記第 2 の S e r D e s リンクを介して、前記パケットを前記第 1 の集積回路に送信する、
請求項 3 9 に記載の方法。

【請求項 4 3】

前記第 1 の集積回路は、前記第 1 の S e r D e s リンクを介して第 2 の集積回路にパケ

ットを送信することによって、(d)の前記制御することを実行し、

前記第2の集積回路に送信される前記パケットは前記入力インピーダンス設定を含み、
前記入力インピーダンス設定は、前記第2の集積回路のSerDes受信機に供給され
る、

請求項37に記載の方法。

【請求項44】

前記パケットは制御パケットである、請求項43に記載の方法。

【請求項45】

(c)の前記決定することと(d)の前記制御することは、SerDes送信機を含む
第1の集積回路によって実行され、

前記第1のSerDesリンクを介して渡される情報は、前記SerDes送信機から
送信され、

前記第1の集積回路は中央処理装置(CPU)を含み、

前記第2の集積回路はメモリを含み、

前記第1の集積回路のCPUは、前記第2のSerDesリンクを使用して、前記第2
の集積回路のメモリにアクセスする、

請求項43に記載の方法。

【請求項46】

(a)の前記決定することと(b)の前記制御することは、電池式ワイヤレスモバイル
通信デバイス内の第1の集積回路によって実行される、請求項36に記載の方法。

【請求項47】

SerDes受信機と、

SerDes送信機と、

前記SerDes受信機と前記SerDes送信機に結合されたコントローラと、
を備え、

前記コントローラが、前記SerDes受信機を伴う第2のSerDesリンクに対す
る第1のエラーレートを決定し、

前記コントローラが、前記第1のエラーレートがエラーレート下限とエラーレート上限
との間に実質的に維持されるように、前記コントローラによって前記SerDes受信機
に供給される消費電力設定を調整し、

前記SerDes送信機を伴う第1のSerDesリンクに対する第2のエラーレート
が、エラーレート下限とエラーレート上限の範囲外のままであるとき、前記コントローラ
が別のSerDesデバイスにおける入力インピーダンスを変更する表示を前記別のSe
rDesデバイスへの前記第1のSerDesリンクを介して提供するように構成される
、集積回路。

【請求項48】

前記コントローラが、前記第2のSerDesリンクを介して行われた通信内のエラー
を検出するエラー検出回路を含み、

前記コントローラが、前記第2のSerDesリンクに対する前記第1のエラーレート
を決定するために、前記エラー検出回路によって生成されたエラー情報を使用する、請求
項47に記載の集積回路。

【請求項49】

前記SerDes受信機がループフィルタを含み、

前記消費電力設定が前記ループフィルタの設定を備える、請求項47に記載の集積回路
。

【請求項50】

前記SerDes受信機がデジタルフィルタを含み、

前記消費電力設定が、デジタルクロック信号が前記デジタルフィルタの一部分に供給さ
れるのを防止する設定である、請求項47に記載の集積回路。

【請求項51】

前記 S e r D e s 受信機がクロックおよびデータ回復回路を含み、
前記消費電力設定が前記クロックおよびデータ回復回路の設定を備える、請求項 4 7 に
記載の集積回路。

【請求項 5 2】

前記 S e r D e s 受信機がイコライザを含み、
前記消費電力設定が前記イコライザの設定を備える、請求項 4 7 に記載の集積回路。

【請求項 5 3】

前記 S e r D e s 受信機がイコライザを含み、
前記消費電力設定が、前記イコライザの高周波数ブーストをイネーブルする設定を備え
る、請求項 4 7 に記載の集積回路。

【請求項 5 4】

前記 S e r D e s 受信機が、多相クロック信号を出力する位相ロックループ (P L L)
を含み、
前記消費電力設定が前記 P L L の設定を備える、請求項 4 7 に記載の集積回路。

【請求項 5 5】

前記 S e r D e s 受信機が入力インピーダンスを有し、
前記消費電力設定が、前記 S e r D e s 受信機の前記入力インピーダンスを決定する設
定を備える、請求項 4 7 に記載の集積回路。

【請求項 5 6】

第 2 の直列化器 / 並列化器 (S e r D e s) リンクを介して情報を受信するよう適応さ
れた第 1 の S e r D e s 受信機と、

第 1 の S e r D e s リンクを介して第 2 の S e r D e s 受信機に情報を送信するよう適
応された S e r D e s 送信機と、

前記第 1 の S e r D e s 受信機と前記 S e r D e s 送信機に結合されたコントローラと
、
を備え、

前記コントローラは、前記第 1 の S e r D e s 受信機を介してエラー情報を受信し、前
記第 1 の S e r D e s リンクのビットエラーレートと前記第 2 の S e r D e s リンクのエ
ラーレートを決定するために前記エラー情報を使用し、

前記第 2 の S e r D e s リンクの前記エラーレートが範囲の外にあるとき、前記コント
ローラは、前記第 1 の S e r D e s 受信機の消費電力を調整し、

前記第 1 の S e r D e s リンクのビットエラーレートが許容可能な限度の外のままであ
るとき、前記コントローラは、前記第 1 の S e r D e s リンクの前記ビットエラーレ
ートがエラーレート上限とエラーレート下限との間に実質的に維持されるように、前記 S e r
D e s 送信機に、前記第 2 の S e r D e s 受信機の入力インピーダンスを調整させる、集
積回路。

【請求項 5 7】

前記エラー情報は、キープアライブ同期パケットの部分として、前記第 2 の S e r D e
s リンクを介して前記集積回路に受信される、請求項 5 6 に記載の集積回路。

【請求項 5 8】

前記第 1 と第 2 の S e r D e s リンクを介してメモリアクセスを実行する中央処理ユニ
ット (C P U) をさらに備える、請求項 5 6 に記載の集積回路。

【請求項 5 9】

第 2 の直列化器 / 並列化器 (S e r D e s) リンクを介して渡され、 S e r D e s 受信
機によって受信される情報を使用して、前記第 2 の S e r D e s リンクのエラーレートを
決定するための手段と、

前記エラーレートがエラーレート下限とエラーレート上限との間に実質的に維持される
ように、前記 S e r D e s 受信機の消費電力設定を制御するための手段と、

前記第 2 の S e r D e s リンクを介して渡される更に受信される情報に基づいて、第 1
の S e r D e s リンクのビットエラーレートを決定するための手段と、

前記ビットエラーレートが、エラーレート下限とエラーレート上限との間に実質的に維持されるように、別の S e r D e s デバイスの入力インピーダンス設定を制御するための手段と、
を備え、

前記ビットエラーレートが前記エラーレート下限と前記エラーレート上限の範囲外のみであるとき、S e r D e s 送信機が、別の S e r D e s デバイスにおける入力インピーダンスを変更する表示を、前記第 1 の S e r D e s リンクを介して、前記別の S e r D e s デバイスへ送信するように構成される、装置。

【請求項 60】

方法を実装するためにプロセッサによって実行可能なコードを組み入れた非一時的なコンピュータ可読記憶媒体であって、

前記方法は、

第 2 の直列化器 / 並列化器 (S e r D e s) リンクを介して渡され、S e r D e s 受信機によって受信される情報を使用して、前記第 2 の S e r D e s リンクのエラーレートを決定することと、

前記エラーレートがエラーレート下限とエラーレート上限との間に実質的に維持されるように、前記 S e r D e s 受信機の消費電力設定を制御することと、

前記第 2 の S e r D e s リンクを介して渡される更に受信される情報に基づいて、第 1 の S e r D e s リンクのビットエラーレートを決定することと、

前記ビットエラーレートが、エラーレート下限とエラーレート上限との間に実質的に維持されるように、別の S e r D e s デバイスの入力インピーダンス設定を制御することと
を備え、

前記ビットエラーレートが前記エラーレート下限と前記エラーレート上限の範囲外のみであるとき、S e r D e s 送信機が、別の S e r D e s デバイスにおける入力インピーダンスを変更する表示を、前記第 1 の S e r D e s リンクを介して、前記別の S e r D e s デバイスへ送信するように構成される、非一時的なコンピュータ可読記憶媒体。