

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200410054921.2

H01L 23/52 (2006.01)

H01L 21/31 (2006.01)

H01L 21/312 (2006.01)

H01L 21/4763 (2006.01)

H01L 21/3205 (2006.01)

H01L 21/768 (2006.01)

[45] 授权公告日 2007 年 4 月 4 日

[11] 授权公告号 CN 1309074C

[22] 申请日 2004.7.21

[21] 申请号 200410054921.2

[30] 优先权

[32] 2003.7.28 [33] US [31] 10/628,925

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 李·M·尼科尔森 曾伟志

克里斯蒂·泰博格

[56] 参考文献

US6048796A 2000.4.11

US6207554B1 2001.3.27

US2001/0004550A1 2001.6.21

审查员 智 月

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 王永刚

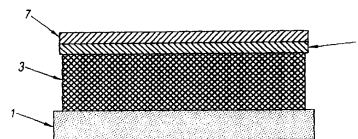
权利要求书 5 页 说明书 12 页 附图 4 页

[54] 发明名称

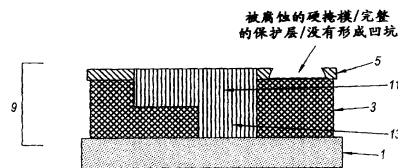
衬底上的电互连结构及其制作方法

[57] 摘要

一种衬底上的电互连结构，包括：第一低 k 电介质层；旋涂低 k CMP 保护层，该保护层与第一低 k 电介质层以共价键相结合；以及提供 CVD 沉积的硬掩模/CMP 抛光停止层。在第一低 k 电介质层中可以制作电通路和衬里。旋涂的低 k CMP 保护层防止对低 k 电介质的破坏，这种破坏可能从中心到边缘或者在金属密度变化的区域内由于 CMP 处理过程中的不均匀而造成。低 k CMP 保护层的厚度可以在不显著地影响这种结构有效介电常数的情况下调节以适应 CMP 处理中的较大变化。



直到CMP的
处理步骤



- 1、一种衬底上的电互连接构，包括：
第一低 k 或超低 k 电介质层；
在所述第一低 k 电介质层上沉积的低 k CMP 保护层；以及
CVD 硬掩模/CMP 抛光停止层；
其中所述低 k CMP 保护层与所述第一低 k 电介质层进行共价键结合。
- 2、权利要求 1 的电互连结构，其中所述的第一低 k 电介质层是第一旋涂低 k 电介质层。
- 3、权利要求 1 的电互连结构，其中所述的第一低 k 电介质层由有机电介质材料组成。
- 4、权利要求 2 的电互连结构，其中所述的旋涂低 k 电介质层从下列物质构成的组中选择：SiLK™、GX-3™、多孔 SiLK™、GX-3p™、JSR LKD 5109™、多孔旋涂 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 材料、旋涂电介质材料、低 k 旋涂电介质材料以及多孔低 k 自旋电介质材料。
- 5、权利要求 1 的电互连结构，其中所述的低 k CMP 保护层是旋涂的低 k CMP 保护层。
- 6、权利要求 5 的电互连结构，其中所述的旋涂低 k CMP 保护层由可以在不发生擦伤或者产生其它缺陷的情况下直接进行抛光的低 CMP 抛光速率材料组成。
- 7、权利要求 5 的电互连结构，其中所述的旋涂低 k CMP 保护层具有从 2.2 到 3.5 的介电常数。
- 8、权利要求 5 的电互连结构，其中所述的旋涂低 k CMP 保护层对于包含在 CMP 抛光浆中的化学物质是惰性的。
- 9、权利要求 5 的电互连结构，其中所述的低 k CMP 保护层具有分子水平的自由体积或分子水平的孔隙度。
- 10、权利要求 9 的电互连结构，其中所述的分子水平自由体积具有从 2Å 到 50Å 范围的尺寸。

11、权利要求 9 的电互连结构，其中所述的分子水平的孔隙度具有从 5% 到 80% 的体积百分数。

12、权利要求 5 的电互连结构，其中所述的旋涂低 k CMP 保护层机理上行为类似于海绵，它在抛光过程中应用向下的力的情况下提供阻尼性能。

13、权利要求 5 的电互连结构，其中所述的旋涂低 k CMP 保护层具有细小且均匀分布的孔。

14、权利要求 5 的电互连结构，其中所述低 k CMP 保护层由旋涂材料组成，该旋涂材料从下列物质构成的组中选择：HOSP™、AP 6000™、HOSP BEST™、Ensemble™ 腐蚀停止材料、Ensemble™ 硬掩模、有机倍半硅氧烷、氢倍半硅氧烷、氢-有机倍半硅氧烷共聚物、硅氧烷和倍半硅氧烷。

15、权利要求 14 的电互连结构，其中所述的旋涂材料具有低的介电常数和低的 CMP 抛光速率。

16、权利要求 1 的电互连结构，其中所述的硬掩模/CMP 抛光停止层由 BLOK™、氮化硅、碳化硅、SixCyNz 和具有低 CMP 抛光速率的 CVD 沉积材料组成。

17、权利要求 1 的电互连结构，其中所述的第一低 k 电介质是有机电介质，而且所述的旋涂低 k CMP 保护层是无机材料或者无机/有机混合材料。

18、权利要求 1 的电互连结构，其中所述的第一低 k 电介质是多孔的。

19、权利要求 1 的电互连结构，其中所述的第一低 k 电介质是包括内嵌腐蚀停止层的电介质叠层。

20、权利要求 1 的电互连结构，其中所述的第一低 k 电介质层具有从 600Å 到 8000Å 的厚度。

21、权利要求 1 的电互连结构，其中所述的旋涂低 k CMP 保护层具有从 50Å 到 500Å 的厚度。

22、权利要求 1 的电互连结构，其中所述的衬底是上面制作有粘

附促进剂层的半导体晶片。

23、权利要求 1 的电互连结构，还包括：

所述衬底上的电介质层的叠层，所述叠层至少包括所述的低 k 电介质层和所述的旋涂低 k CMP 保护层。

24、权利要求 23 的电互连结构，还包括：在所述第一低 k 电介质层和所述旋涂低 k CMP 保护层的所述叠层内制作的多个图形化的金属导体。

25、权利要求 24 的电互连结构，其中至少一个所述的图形化的金属导体是电通路。

26、权利要求 24 的电互连结构，其中至少一个所述的图形化的金属导体是衬里。

27、权利要求 23 的电互连结构，还包括：

在所述衬底上的电介质叠层内制作的单层图形化的金属导体。

28、权利要求 27 的电互连结构，其中所述的图形化的金属导体是衬里。

29、权利要求 27 的电互连结构，其中所述的图形化的金属导体是通路。

30、一种在衬底上制作电互连结构的方法，包括：

在沉积到衬底上的第一低 k 电介质或超低 k 电介质层上制作低 k CMP 保护层，使得所述的 CMP 保护层与所述的第一低 k 电介质或所述的超低 k 电介质层以共价键相结合；和

在所述低 k CMP 保护层上制作硬掩模/CMP 抛光停止层。

31、权利要求 30 的方法，其中所述的第一低 k 电介质层是第一旋涂低 k 电介质层。

32、权利要求 31 的方法，其中所述的旋涂低 k 电介质层从下列物质构成的组中选择：SiLK™、GX-3™、多孔 SiLK™、GX-3p™、JSR LKD 5109™、多孔旋涂的 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 材料、旋涂电介质材料、低 k 旋涂电介质材料以及多孔低 k 自旋电介质材料。

33、权利要求 30 的方法，其中所述的第一低 k 电介质层是多孔

的。

34、权利要求 30 的方法，其中所述的第一低 k 电介质层具有从 600Å 到 8000Å 的厚度。

35、权利要求 30 的方法，其中所述的低 k CMP 保护层是厚度从 50Å 到 500Å 的旋涂低 k CMP 保护层。

36、权利要求 30 的方法，其中所述的 CMP 保护层由旋涂材料组成，该旋涂材料从下列物质构成的组中选择：HOSP™、AP 6000™、HOSP BEST™、Ensemble™腐蚀停止材料、Ensemble™硬掩模、有机倍半硅氧烷、氢倍半硅氧烷、氢-有机倍半硅氧烷共聚物、硅氧烷和倍半硅氧烷。

37、权利要求 30 的方法，还包括：

在所述第一电介质层内制作金属衬里。

38、权利要求 30 的方法，还包括：

在所述电介质层内制作金属通路。

39、权利要求 30 的方法，还包括：

增加附加的电介质层；和

增加导体以完成所述电互连结构。

40、权利要求 39 的方法，还包括：

在所述衬底上制作电介质层的叠层，该叠层至少包括所述的第一电介质层和所述的低 k CMP 保护层；和

在所述电介质层内制作多个图形化的金属导体。

41、权利要求 40 的方法，还包括：

烘焙所述电介质层以促进所述 CMP 保护层交联到所述的第一低 k 电介质层并减小所述的 CMP 保护层的 CMP 抛光速率。

42、权利要求 41 的方法，其中所述第一电介质和所述 CMP 保护层在单一步骤中烘焙。

43、权利要求 42 的方法，其中所述的第一电介质和所述的 CMP 保护层在炉子中进行烘焙，烘焙时间在从 15 分钟到 3 小时的时间段内，烘焙温度从 300°C 到 500°C。

44、权利要求 41 的方法，其中所述叠层内的所述电介质层在相继在单一工具中涂覆之后进行烘焙。

45、权利要求 44 的方法，其中所述的涂覆工具是包含高温热板烘烤室的旋涂工具。

46、权利要求 30 的方法，其中所述的第一低 k 电介质层是旋涂的第一低 k 电介质层，而且所述低 k CMP 保护层是旋涂低 k CMP 保护层。

47、权利要求 46 的方法，其中所述的旋涂低 k CMP 保护层具有细小且均匀分布的孔。

衬底上的电互连结构及其制作方法

技术领域

本发明涉及用于高速微处理器、专用集成电路 (ASICs) 以及高速 IC's 相关的互连结构。更具体地, 本发明提供低或超低介电常数(k) 的互连结构, 这种互连结构提高电路速度、导体电阻的精确值, 并改善机械完整性 (mechanical integrity)。

背景技术

许多双镶嵌型的低 k 电介质加 Cu 的互连结构是大家所熟知的。例如双镶嵌工艺, 其中 SILK™ 被用作低 k 介电材料, 参见美国专利 6,383,920, 该专利指定给本发明的同一受让人, 并且其全部内容以引用形式结合在本文中, 就象这里进行了全部说明。

为了保护位于下面的电介质并防止低 k 电介质的腐蚀和凹陷, 低和超低介电常数 (k) 材料的集成需要化学机械平整 (CMP) 抛光停止层。有代表性地, 具有明显更高介电常数 (与中间层面的介电绝缘材料相比较) 的化学气相沉积 (CVD) 材料被直接应用到制作硬掩模的衬里层面的介电材料。

在 CMP 之后, CVD CMP 抛光停止层的连续层必须保留在该结构中以防止随后对电介质的破坏。此外, 还必须具有足够的厚度, 从而在 CMP 中从中心到边缘或者由不同金属填充的区域内的不均匀将不会产生针孔或者 CMP 抛光停止层已被完全腐蚀的区域。因此, 更高介电常数材料 (有代表性地 $k = 4.1$ 的 SiC) 必须保留在结构中, 结果导致有效介电常数的增加。

发明内容

本发明的一个目的就是提供一种超低 k 电介质加 Cu 的单或双镶

嵌型的电互连结构，这种电互连结构具有对 Cu 导体电阻进行精确和均匀的控制并具有减小的有效介电常数以及改善的制作可靠性和简易性。

本发明的另一个目的就是提供一种低 k 或者多孔超低 k 电介质叠层，这种电介质叠层具有改善的后 CMP 硬掩模保持力、改善的可靠性以及在原始的处理时间增加最小情况下减小的有效介电常数。

本发明还有另外一个目的就是提供一种这里描述的发明结构的制作方法。

本发明提供一种衬底上的电互连结构。这种互连结构包括：

第一低 k 或超低 k 电介质层；

沉积在第一低电介质层上的低 k CMP 保护层；以及

CVD 硬掩模/CMP 抛光停止层；

其中所述低 k CMP 保护层与所述第一低 k 电介质层进行共价键结合。

本发明提供一种在衬底上制作电互连结构的方法。这种方法包括以下步骤：

在沉积到衬底上的第一低 k 电介质或超低 k 电介质层上制作低 k CMP 保护层；和

在低 k CMP 保护层上制作硬掩模/CMP 抛光停止层，使得 CMP 保护层与第一低 k 电介质或超低 k 电介质层以共价键相结合。

本发明的这些和其它目的、优点和特征可以参照下文详细说明和附图得以理解。

附图说明

图 1 是说明在沉积然后经过直至且包括 CMP 处理之后的电介质和硬掩模/CMP 停止层的示意图。这说明由于 CMP 过程中，从中心到边缘或者金属密度变化的区域内不均匀而可能产生穿过硬掩模/CMP 抛光停止层的破坏作用。

图 2 是说明本发明结构的示意图，该结构包括在沉积然后经过直至且包括 CMP 处理之后的电介质、旋涂的低 k CMP 保护层以及硬掩模/CMP 停止层。这说明由于 CMP 过程中，从中心到边缘或者金属密

度变化的区域内不均匀而可能产生穿过硬掩模/CMP 抛光停止层的破坏作用。

图 3 是说明本发明结构的示意图, 该结构包括在沉积然后经过直至且包括 CMP 处理之后的电介质、旋涂的低 k CMP 保护层以及硬掩模/CMP 停止层。在这种结构中, 可以使用更厚的 CMP 保护层致使 CMP 之后的保留材料全部都是低 k 材料。在不影响有效介电常数的情况下可以增加保护层的厚度。

图 4 是用于制作图 2 或者图 3 中结构的方法的工艺流程图。

具体实施方式

本发明提供一种衬底上的电互连结构, 包括第一低 k 或超低 k 电介质层、沉积在第一低 k 电介质层上的低 k CMP 保护层以及 CVD 硬掩模/CMP 抛光停止层。

更好地, 这种电互连结构包括旋涂的有机衬里层面电介质层(或者双镶嵌通路和衬里层面电介质, 有或者没有内嵌的腐蚀停止层), 沉积在旋涂的有机衬里层面电介质层上的旋涂的无机或者无机-有机混合倍半硅氧烷 CMP 保护层以及传统等离子增强化学气相沉积(PECVD)硬掩模/CMP 抛光停止层。

更好地, 第一低 k 电介质层由旋涂介电材料组成, 例如, SiLK™, The Dow Chemical Company 的商标, 表示一组包含 b 级聚合物的聚合物基低 k 介电材料(参见, 例如, <http://www.dow.com/silk/feature.htm> 和先前结合的美国专利 6,383,920); GX-3™ (Honeywell Electronic Materials 的商标, 在网站

http://www.electronicmaterials.com/na/products_services/thin_films/dielectrics/low_k_dielectrics.html 中进行了说明); 多孔 SiLK™ (The Dow Chemical Company 的商标), GX-3p™ (Honeywell Electronic Materials 的商标); 含有 Si、C、O 和 H 的 JSR LKD 5109™ 旋涂低 k 介电材料 (JSR Micro Corp. 的商标); 多孔旋涂的 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 材料,

旋涂介电材料，低 k 旋涂介电材料或多孔低 k 旋涂介电材料。

衬里层面电介质层可以由 SiLK™、GX-3™、多孔 SiLK™、GX-3p™ 或者其它非多孔或者多孔有机低 k 介电材料组成。

这类材料在以下文献中进行了描述：美国专利 5,965,679（该专利指定给 The Dow Chemical Company，由 James P. Godschalx 等发明，标题为“Polyphenylene Oligomers and Polymers”）和国际专利申请 WO 00/31183（该专利指定给 The Dow Chemical Company，由 Kenneth J. Bruza 等发明，标题为“A Composition Containing a Cross-linkable Matrix Precursor and a Porogen, and a Porous Matrix Prepared Therefrom”）中，其全部内容以引用方式结合在本文中，就象在本文中全部提出一样。

更好地，旋涂的低 k CMP 保护层与第一低 k 电介质层以共价键相结合。更好地，旋涂的低 k CMP 保护层由具有低 CMP 抛光速率的材料组成，这种材料可以在不发生擦伤或者产生其它缺陷的情况下直接进行抛光，而且其介电常数从大约 2.2 到大约 3.5。

通常，旋涂的低 k CMP 保护层对于包含在 CMP 抛光浆中的化学物质是惰性的并且具有低的介电常数和低的 CMP 抛光速率。它具有体积百分比从大约 5% 到 80% 的分子水平的自由体积 (free volume) 或者分子水平的孔隙度。更好地，分子水平的自由体积具有从大约 2Å 到大约 50Å 的尺寸范围。

旋涂的低 k CMP 保护层机理上行为类似于海绵，它在抛光过程中应用向下的力的情况下提供阻尼性能。旋涂的低 k CMP 保护层具有细小且均匀分布的孔或者自由体积，而且该保护层由旋涂材料组成，例如，HOSP™（Honeywell Electronic Materials 的商标）、AP 6000™（Dow Chemical 的商标）、HOSP BEST™（Honeywell Electronic Materials 的商标）、Ensemble™ 腐蚀停止材料（Dow Chemical 的商标）、Ensemble™ 硬掩模（Dow Chemical 的商标）、有机倍半硅氧烷、氢倍半硅氧烷、氢-有机倍半硅氧烷共聚物、硅氧烷、倍半硅氧烷或者其它具有低介电常数（最好小于 3.5 而且更好是小于 3.0）和

在标准的衬里抛光过程中相对低的 CMP 抛光速率（最好小于 350Å/min，更好是小于 150Å/min）的材料。

这类材料说明如下：

(1) 美国专利 6,218,020，该专利指定给 Allied Signal Inc.，由 Nigel P. Hacker 等发明，标题为“Dielectric Films from Organohydridosiloxane Resins with High Organic Content”；

(2) 美国专利 6,177,199，该专利指定给 Allied Signal Inc.，由 Nigel P. Hacker 等发明，标题为“Dielectric Films from Organohydridosiloxane Resins with Low Organic Content”的；以及

(3) 专利合作协定 (PCT) 公布编号为 WO 02/083327 A1 的标题为“Layered Stacks and Methods of Production Thereof”的国际 (专利) 申请，该专利指定给 Honeywell International Inc.，由 Michael Thomas 等发明。

这些文件的全部内容以引用方式结合在本文中，就象在本文中全部提出一样。

有代表性地，CVD 硬掩模/CMP 抛光停止层是传统的 CVD 硬掩模/CMP 抛光停止层，它可以由 BLOK™阻挡介电薄膜 (Applied Materials, Inc. 的商标)、氮化硅、碳化硅、 $\text{Si}_x\text{C}_y\text{N}_z$ 沉积材料以及 CVD 沉积材料或其它具有低 CMP 抛光速率的含 Si 的 PECVD 沉积材料组成。

这类材料说明于专利合作协定 (PCT) 公布编号为 WO 00/19508 的标题为“Silicon Carbide Deposition Method and use as a Barrier Layer and Passivation Layer”的国际 (专利) 申请中，该专利指定给 Applied Materials, Inc.，由 Sudha Rathi 等发明，其全部内容以引用方式结合在本文中，就象在本文中全部提出一样。

在一个具体实施方式中，互连结构可以包括多个图形化的金属导体，这些导体制作在衬底上的电介质层内。至少一个图形化的金属导体能够是衬里，而且，在双镶嵌型结构的情况下，至少一个图形化的金属导体能够是通路。

本发明也提供一种在衬底上制作电互连结构的方法，包括第一电介质层（或者包括内嵌腐蚀停止层的多层电介质叠层）的单镶嵌或双镶嵌厚度；在第一电介质层上制作旋涂的低 k CMP 保护层；以及烘焙低 k CMP 保护层加电介质层。然后，可以沉积至少包括一种 CMP 抛光停止层的传统的硬掩模叠层。

在更好的具体实施方式中，电介质层可以由 SILK™、GX-3™、多孔 SiLK™、GX-3p™或其它非多孔或多孔的旋涂低 k 电介质材料组成，而且旋涂的低 k CMP 保护层可以由 AP 6000™、HOSP™、HOSP BEST™、Ensemble™ 腐蚀停止材料、Ensemble™ 硬掩模、有机倍半硅氧烷、氢倍半硅氧烷、氢-有机倍半硅氧烷共聚物、硅氧烷、倍半硅氧烷或者其它具有低介电常数（最好小于 3.5 而且更好是小于 3.0）且在标准的衬里抛光过程中具有相对低的 CMP 抛光速率（最好小于 350Å/min，更好是小于 150Å/min）的材料组成。

在更好的具体实施方式中，第一低 k 电介质可以是多孔有机电介质，而且旋涂的低 k CMP 保护层可以是无机材料或者无机/有机混合材料。

互连结构中的第一低 k 电介质层可以是包含内嵌腐蚀停止层的电介质叠层。

更好地，第一低 k 电介质层具有从大约 600 Å 到大约 8000 Å 的厚度，而且旋涂的低 k CMP 保护层具有从大约 50 Å 到大约 500 Å 的厚度。

该结构使用对包含在 CMP 抛光浆中的化学物质是惰性的低 k CMP 保护层。机理上，其行为类似于海绵，它在抛光过程中应用向下的力的情况下提供阻尼性能。这种化学惰性和机械阻尼的结合分别减小了 CMP 过程中的化学侵蚀和机械磨损，从而导致了低的抛光速率。这种阻尼机理也有助于减轻跨过不同图形尺寸的局部压力变化，因此提供了附加的减小抛光速率的图形尺寸/密度依赖性的优点。

由于材料的分子水平的自由体积，这种海绵状或多孔状低 k CMP 保护层在材料内包含细小和均匀分布的孔。但是它仍然具有足够高的

粘接和剪切强度以经受住由 CMP 施加的剪切应力。这种材料的海绵或多孔结构也产生了更低的介电常数（低 k）。因此，由于在 CMP 之后剩余的层明显具有比如碳化硅层的传统硬掩模/CMP 抛光停止层更低的介电常数，本发明的结构相对于传统低 k 有机电介质结构减小了有效介电常数。

而且，由于在旋涂的电介质层和旋涂的低 k CMP 保护层之间的共价键结合，该层可以选为与介电材料具有优异的粘接性能。

本发明的结构的独特之处在于，它使在不明显影响该结构有效介电常数的情况下使用比电介质更高 k 的 CMP 抛光停止层成为可能，这是因为更高 k 的 CMP 抛光停止层在抛光过程中能够被完全清除而只留下低 k CMP 保护层。

而且，在不影响该结构有效介电常数的情况下，CMP 保护层或者 CMP 抛光停止层的厚度可以增加以解决 CMP 过程中的不均匀性。这允许有更多的“可制造的”CMP 处理窗口，并防止 CMP 过程中对电介质的损坏，从而提高产量和可靠性。

在互连结构的更好具体实施方式中，衬底可以是半导体晶片，该晶片上具有粘附促进剂层。

在互连结构的更好具体实施方式中，该结构还包括衬底上的电介质层的叠层。叠层可能至少包括第一低 k 电介质层和旋涂的低 k CMP 保护层，而且叠层可能还包括制作在第一低 k 电介质层和旋涂低 k 的 CMP 保护层的叠层内的多个图形化的金属导体。

至少一个图形化的金属导体能够作为电通路，而且至少一个图形化的金属导体能够作为连接到通路的衬里。

在互连结构的另外一个更好的具体实施方式中，该结构还可包括制作在衬底上电介质层叠层内的单层图形化的金属导体。同样，图形化的金属导体能够作为衬里或者通路。

本发明还提供在衬底上制作电互连结构的方法，包括：

在沉积到衬底上的第一低 k 电介质或超低 k 电介质层上制作低 k CMP 保护层；和

在低 k CMP 保护层上制作硬掩模/CMP 抛光停止层，结果 CMP 保护层与第一低 k 电介质或超低 k 电介质层以共价键相结合。

第一低 k 电介质或超低 k 电介质层、低 k CMP 保护层、硬掩模/CMP 抛光停止层以及衬底与上文已经说明的一样。

该方法还可包括在衬底上的电介质单层或叠层内制作多个图形化的金属导体。可以增加额外的电介质层且可以通过增加导体完成该结构。

在一个具体实施方式中，该方法还可包括在第一电介质层内制作金属衬里或在电介质层内制作金属通路的步骤。

在另外一个具体实施方式中，该方法还可包括增加额外的电介质层和增加导体以完成电互连结构的步骤。

仍然是另外一个具体实施方式中，该方法还包括在衬底上制作电介质层叠层（至少包括第一电介质层和低 k CMP 保护层）和在电介质层内制作多个图形化的金属导体的步骤，

在另一个具体实施方式中，该方法还包括烘焙电介质层以促进 CMP 保护层与第一低 k 电介质层的交联结合以及降低 CMP 保护层的 CMP 抛光速率。在电介质层处于叠层中的情况下，它们可以在连续应用单个工具（例如，包含高温热板烘烤室的旋涂工具）之后进行烘焙。

更好地，第一电介质和 CMP 保护层是在炉子中在单一步骤中烘焙，有代表性地，温度从大约 300°C 到大约 500°C，时间周期从大约 15 分钟到 3 小时。

该方法还可包括烘焙电介质单层或多层和 CMP 保护层。叠层中的旋涂层最好是在单一步骤中连续应用单个工具之后进行烘焙。电介质涂覆工具可以是包含高温热板烘焙室的旋涂工具，而且制作步骤可以是在从大约 300°C 到大约 500°C 的温度下操作大约 15 分钟到 3 小时的炉内制作步骤。

根据本发明的结构

参见图 1，硅衬底 1 上具有第一低 k 电介质层 3 和硬掩模/CMP 抛光停止层 7。传统的硬掩模/CMP 抛光停止层是在制作电介质之后采

用 PECVD 沉积技术沉积的,而且具有等于或大于 ~ 3.5 的介电常数。硬掩模/CMP 抛光停止层厚度的增加可以允许更为可控的 CMP 处理以防止 CMP 浆对电介质的暴露,然而,这将负面地影响总有效介电常数。

参见图 2 和图 3,以及如下文中的更详细的说明,与更低总有效介电常数相结合的改善的可靠性是通过在硬掩模/CMP 抛光停止层与电介质之间整合旋涂的低 k CMP 保护层 5 而得以实现的。在允许完全去除更高 k 的硬掩模/CMP 抛光停止层的同时,保护层的厚度可以调节以防止电介质对 CMP 浆的任何暴露。这样在保持低有效介电常数时防止对电介质的破坏。

参见图 2 和图 3,衬底 1 可以包含电子元器件,例如,晶体管和导体元件阵列。根据本发明,互连结构 9 制作在衬底 1 上。结构 9 由 SiLK™电介质层 3 组成,电介质层 3 具有 $600 - 8000 \text{ \AA}$ 的厚度,可以具有高芳香族结构,到大约 425°C 是热稳定的,具有超过 450°C 的玻璃转变温度,以及 2.65 的低介电常数。

将厚度为 $50 - 500 \text{ \AA}$ (更好地, $50 - 200 \text{ \AA}$) 且具有使 CMP 抛光速率小于 $\sim 200 \text{ \AA}/\text{min}$ 的原子组成的 HOSP™ CMP 保护层 5 沉积到 SiLK™层 3 上。这种材料具有与 SiLK™的优异的粘合性和到温度超过 425°C 的热稳定性,以及 3.2 或更低的低介电常数。

硬掩模/CMP 抛光停止层 7 SiC 被沉积在 CMP 保护层 5 上,硬掩模/CMP 抛光停止层 7 具有 $300 - 1000 \text{ \AA}$ 的厚度而且是 CMP 抛光速率小于 $\sim 300 \text{ \AA}/\text{min}$ 且介电常数 ~ 4.1 的含硅的 PECVD 沉积材料。

采用双镶嵌处理制作的图形化的金属衬里 11 和通路 13,形成于上文说明的电介质多层结构内。

其它低 k 旋涂材料可以被用于电介质层 3 和 CMP 保护层 5,而且其它 PECVD 沉积材料可以用于硬掩模/CMP 抛光停止层 7。可以被用于电介质层 3 的材料的例子是 SiLK™、GX-3™、GX-3p™、JSR LKD 5109™、多孔旋涂或 CVD 沉积基础上的 $\text{Si}_w\text{C}_x\text{O}_y\text{H}_z$ 或其它低 k 或多孔低 k 介电材料。可以被用于抛光停止层 7 的其它材料的例子是 AP

6000™、HOSP BEST™、Ensemble™腐蚀停止材料、Ensemble™硬掩模、有机倍半硅氧烷、氢倍半硅氧烷、氢-有机倍半硅氧烷共聚物、硅氧烷、倍半硅氧烷或者其它具有低介电常数低 CMP 抛光速率的旋涂材料。

根据本发明的方法

A. 电介质层叠层

根据本发明的互连结构 9 通过旋涂技术涂覆到衬底 1 或晶片上。结构 3 中的第一层 3 最好是所需厚度为 600 - 8000Å 的低 k 电介质。这种低 k 电介质是采用旋转速度为 1000 - 4000rpm 的旋涂技术进行涂覆的。旋涂以后，衬底 1 经过 100 - 350°C 热板烘烤 30 - 120 秒以去除低 k 电介质的溶剂。然后将衬底 1 放置到氧受控制的热板上并在 350 - 400°C 烘焙 1 - 7 分钟。这个时间和温度足够使第一层 3 的薄膜不发生溶解。冷却之后，采用旋转速度 1000 - 4000rpm 的旋涂技术涂覆 50 - 500Å 所需厚度的旋涂 CMP 保护层 5。然后将晶片放置到氧受控制的热板上并在 150 - 350°C 烘焙 30 - 120 秒以使溶剂干燥。

B. 在单一烘焙步骤中烘焙的电介质层叠层

这点，晶片被放置到纯 N₂ 气氛（O₂ 和 H₂O 的浓度非常低）的炉子中，并在 350 - 450°C 烘焙 1 - 3 小时以交联电介质和 CMP 保护层。在烘焙步骤中，CMP 保护层还与电介质的表面进行化学键合，结果导致两层间具有优异的附着力。如果电介质是多孔材料，在烘焙的过程中将采用热分解和扩散通过低 k CMP 保护层的自由体积从而去除成孔物质（porogen）。

C. 添加用于双镶嵌型图形（分布式硬掩模）的附加电介质层

如上文中注释的一样，在增加附加层的时，可以使用例如美国专利 6,383,920 中描述的双镶嵌工艺。对于单镶嵌处理可以增加类似的层。

D. 采用标准工艺步骤完成的图 3 的双镶嵌结构

双镶嵌结构由标准双镶嵌 BEOL 加工完成，该加工过程包括在电介质中制作沟槽和通路，至少用一种导电金属填充沟槽；平整停止于

硬掩模/CMP 抛光停止层上的导电金属,并且在非均匀 CMP 的一些区域中,平整将停止在旋涂低 k CMP 保护层上.也可以应用单镶嵌加工.

实例

一种制作的 SiLK™/HOSP BEST™/BLOK™结构

A. 如图 2 制作的电介质层的叠层

表 I - 工艺流程图

步骤	条件
旋涂	粘附促进剂
热板烘烤	310°C/ 90 秒
旋涂	第一 ILD 层(SiLK)
热板烘烤	310°C/2min.
旋涂	CMP 保护层(HOSP BEST)
热板烘烤	310°C/2min
烘焙	炉子 - 415°C / 60 min.
CVD 沉积	碳化硅

参见上文表 I 和图 2, 通过将 AP 6000™溶液涂覆到晶片上并随后以 3000rpm 转速自旋 30 秒的方法, 使用粘附促进剂对直径为 200mm 的硅晶片进行处理。在 22, 然后将晶片放置到 310°C 的热板上保持 120 秒以进行第一次热板烘烤。

晶片冷却到室温之后, 涂覆第一层低 k 电介质 (SiLK™) (图 2, 层 3)。将 SiLK™溶液放到晶片上并以 3000rpm 的转速下旋转晶片 30 秒。旋转之后, 将晶片放置到 310°C 的热板上保持 2 分钟以部分干燥溶剂。然后转移到 400°C 的热板上保持 3 分钟。时间和温度计划应足以使薄膜不发生溶解。

然后允许晶片冷却且返回到旋转器上。被稀释用以在 2000rpm 的转速下获得 100Å 薄膜厚度的 HOSP BEST™溶液, 被涂覆到晶片上并以 2000rpm 的转速旋转晶片 30 秒, 以制作 CMP 保护层 5 (图 2)。

旋涂之后，将晶片放置到 310°C 热板保持 2 分钟以部分干燥溶剂。

将晶片放置到氧受控的烤箱内，在 415°C 保持 60 分钟以烘焙 SiLK 和 CMP 保护层、促进层间的交联以及改善 CMP 保护层的力学性能以减小该层的 CMP 抛光去除速率。

将经烘焙的包括上述各层的晶片放置到 PECVD 反应器中，并沉积一层 500Å 的碳化硅。这样完成了该实例的电介质多层的制作。

D. 已完成的图 2 所示的双镶嵌结构

然后进行附加图形化层的沉积、光刻以及腐蚀处理，例如，与美国专利 6,383,920 中所说明的一样。然后使用工业中已知的标准加工方法（先使用衬里然后使用 Cu 填充沟槽和通路，采用 CMP 平整 Cu）完成双镶嵌结构的制作。

在最后的 CMP 步骤中，大部分沉积的碳化硅层被去除，留下图 2 中所示的结构。

作为选择，可以将全部碳化硅层去除而留下图 3 所示的结构。

尽管我们已经展示和说明了根据我们的发明的几个实施方式，但应该清楚地理解，同样是容易进行大量的改变，这对于该技术的技术人员是显而易见的。因此，我们不希望仅仅限制到的展示或的说明，而是考虑权利要求范围内的全部改变和修正。

图1

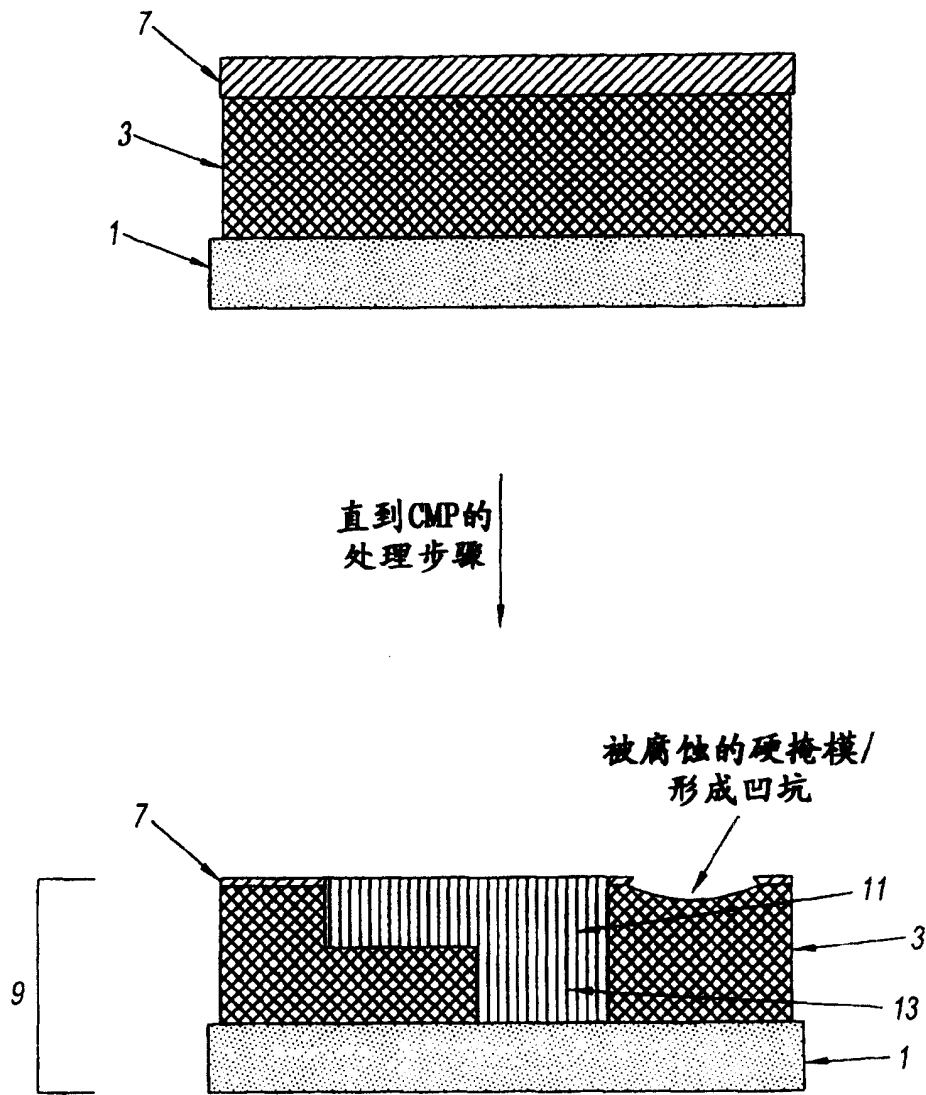
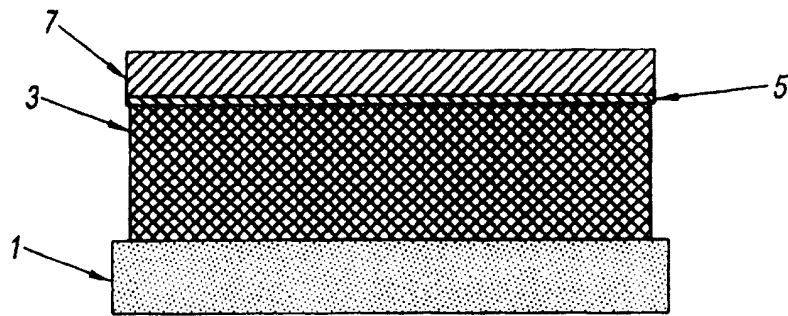


图2



直到CMP的
处理步骤

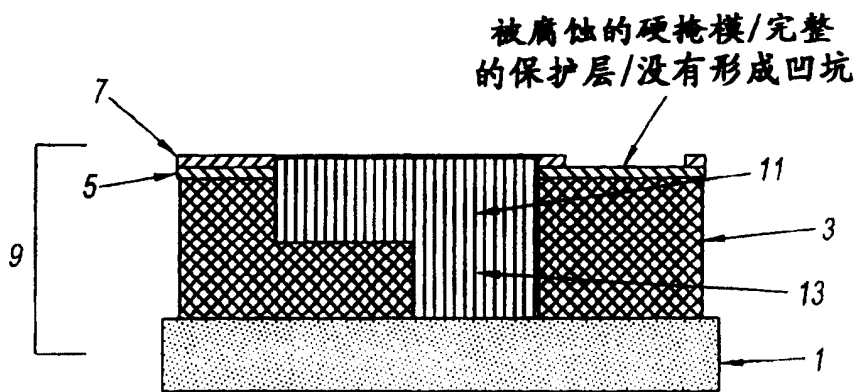
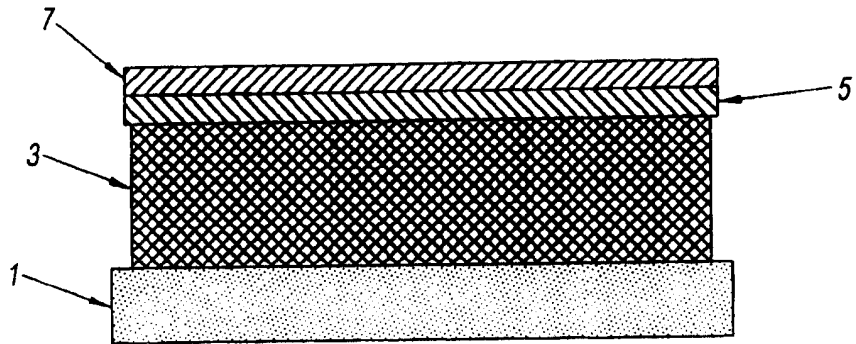


图3



直到CMP的
处理步骤



被腐蚀的硬掩模/完整
的保护层/没有形成凹坑

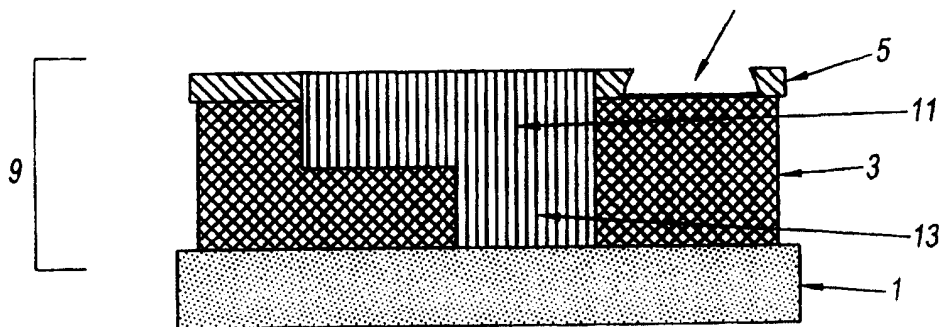


图 4

1) 旋涂介电单层或多层
2) 热板烘烤介电层以交联 (310°C, 2 min + 400°C, 2 min)
3) 旋涂CMP保护层
4) 热板烘烤CMP保护层(310°C, 2 min)
5) 炉子烘焙多层叠层 (415°C, 1hr)
6) 采用传统CVD方法沉积 硬掩模/CMP抛光停止层