(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H01L 27/10

(11) 공개번호 특1994-0004818
(43) 공개일자 1994년03월16일

(21) 출원번호 특1993-0015073
(22) 출원일자 1993년08월03일
(30) 우선권주장 7/924, 685 1992년08월03일 미국(US)
(71) 출원인 어드밴스드 마이크로디바이시즈, 인코포레이티드 미키오 이시마루
미합중국 캘리포니아 서니베일 피. 오. 박스 3453 톰프슨 플레이스 901(우편번호 : 94088-3453)
(72) 발명자 옴 피. 아그라왈
미합중국 캘리포니아 로스 앨토스 하이랜드 써클 891(우편번호 : 94024)
제리 디. 모엔치
미합중국 텍사스 오스틴 스파이스우드 파크웨이 11305(우편번호 : 78950)
케리 에이. 일젠스타인
미합중국 텍사스 오스틴 새플링 코브 4900(우편번호 : 78735)
(74) 대리인 박장원

심사청구 : 없음

(54) 다수의 프로그램가능 스위치 매트릭스를 갖춘 다중 어레이 고밀도프로그램가능 논리소자

요약

본 발명의 프로그램가능 논리소자(PLD)는 프로그램가능한 입력 스위치 매트릭스(입력 스위치 매트릭스) 및 프로그램가능한 중앙집중식 스위치 매트릭스(중앙집중식 스위치 매트릭스)를 포함하는 프로그램가능한 스위치 매트릭스에 의해 상호연결되는 둘 이상의 프로그램가능한 논리블록을 포함한다. 각각의 프로그램가능한 논리블록은 중앙집중식 스위치 매트릭스로부터만 입력신호를 수신한다. 프로그램가능한 논리블록에서 나온 출력 신호는 출력스위치 매트릭스에 의해 다수의 입/출력 핀에 연결된다. 프로그램가능한 논리블록에서 나온 출력신호는 프로그램가능한 입력 스위치 매트릭스로 직접 전송된다. 또한, 입력 매크로셀은 입력 매크로셀을 구동하는 입/출력 핀, 즉 연결된 입/출력 핀상의 신호를 프로그램가능한 입력 스위치 매트릭스에 연결시킨다. 각각의 프로그램가능한 논리블록은 프로그램가능한 논리 어레이, 프로그램가능한 논리 할당기 및 프로그램가능한 논리 매크로셀을 포함한다.

대표도

도2

명세서

[발명의 명칭]

다수의 프로그램가능 스위치 매트릭스를 갖춘 다중 어레이 고밀도 프로그램가능 논리소자

[도면의 간단한 설명]

제2도는 본 발명의 프로그램가능한 논리블록, 프로그램가능한 입력 스위치 매트릭스 뱅크, 프로그램가능한 출력 스위치 매트릭스 뱅크, 입/출력 셀 입력 매크로셀 및 입출력 핀을 포함하는 본 발명의 기본적인 구성을 보인 상세 블록선도,

제3도는 본 발명의 논리 할당기의 일실시예의 범용 디멀티플렉서의 선도,

제4도, 제5도, 제6도는 본 발명의 논리할당기의 일실시예의 디멀티플렉서의 선도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

다수의 핀을 구비하는 접적회로로서, 다수의 입력선과 다수의 출력선을 각각 구비하는 다수의 프로그램가능한 논리블록과, 상기 프로그램가능한 논리블록 각각에 연결되며, 다수의 입력선 및 다수의 출력선을

각각 구비하는 다수의 프로그램가능한 입력 스위치 매트릭스 뱅크로 구성되는 프로그램가능한 입력 스위치 상호연결수단과, 상기 각각의 프로그램가능한 논리블록 및 상기 프로그램가능한 입력 스위치 상호연결수단에 연결되고, 다수의 입력선 및 다수의 출력선을 갖춘 프로그램 가능한 중앙집중식 스위치 상호연결수단으로 구성되며, 적어도 하나의 프로그램가능한 논리블록은 상기 다수의 프로그램 가능한 논리블록 입력선으로부터만 다수의 입력신호를 수신하고 다수의 출력신호를 발생시키는 프로그램가능한 어레이수단을 포함하고, 상기 프로그램가능한 어레이수단은 곱셈항 클러스터를 포함하며, 상기 곱셈항 클러스터내의 곱셈항중 하나는 상기 클러스터에 프로그램가능하게 연결되고 분리될 수 있으며, 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 다수의 입력선은 하나의 프로그램가능한 논리블록의 상기 다수의 출력선에 연결되고, 상기 프로그램가능한 입력스위치 매트릭스 뱅크는 세트로 된 상기 다수의 입력선의 각각의 선을 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 상기 출력선에 선택적으로 연결하거나 분리시키며, 상기 프로그램가능한 중앙집중식 스위치 상호연결수단의 다수의 입력선은 상기 프로그램가능한 입력 스위치 매트리스 뱅크의 다수의 출력선에 연결되고, 상기 프로그램 가능한 중앙집중식 스위치 상호연결수단은 상기 프로그램가능한 중앙집중식 스위치 상호연결수단의 다수의 입력선상의 신호를 상기 다수의 프로그램가능한 논리블록의 다수의 입력선에 선택적으로 연결하거나 분리시킴으로써 상기 다수의 프로그램가능한 논리블록이 상기 프로그램가능한 중앙집중식 스위치 상호연결수단으로부터만 입력신호를 수신하는 것을 특징으로 하는 집적회로.

청구항 2

제1항에 있어서, 상기 프로그램가능한 입력 스위치 매트릭스 뱅크는, 그 기원과는 상관없이 모든 신호에 대해 상기 프로그램가능한 입력 스위치 상호연결수단을 통한 시간지연이 일정하게 고정된 시간지연이 될 수 있도록, 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 다수의 입력선 및 다수의 출력선에 연결되는 프로그램가능한 멀티플렉서 수단으로 구성되는 것을 특징으로 하는 집적회로.

청구항 3

제2항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 다수의 프로그램가능한 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 4

제3항에 있어서, 상기 프로그램가능한 멀티플렉서는 상기 프로그램가능한 입력스위치 매트릭스 뱅크가 적어도 3.0의 루팅가능성 인자를 가질 수 있는 크기로 구성되는 것을 특징으로 하는 집적회로.

청구항 5

제3항에 있어서, 상기 프로그램가능한 멀티플렉서는 상기 프로그램가능한 입력 스위치 매트릭스 뱅크로 들어가는 각각의 입력신호가 적어도 한번 그곳을 통과할 수 있는 기회를 가질 수 있는 크기로 구성되는 것을 특징으로 하는 집적회로.

청구항 6

제3항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 프로그램가능한 4:1 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 7

제3항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 프로그램가능한 2:1 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 8

제1항에 있어서, 상기 다수의 프로그램가능한 논리블록 입력선은 33개의 입력선으로 구성됨을 특징으로 하는 집적회로.

청구항 9

제1항에 있어서, 상기 다수의 프로그램가능한 논리블록 입력선은 34개의 입력선으로 구성됨을 특징으로 하는 집적회로.

청구항 10

제1항에 있어서, 상기 프로그램가능한 중앙집중식 스위치 상호 연결수단은, 그 기원과는 상관없이 모든 신호에 대해 상기 프로그램 가능한 중앙집중식 스위치 상호연결수단을 통한 시간지연이 일정하게 고정된 시간지연이 될 수 있도록, 상기 프로그램가능한 중앙집중식 스위치 상호연결수단의 다수의 입력선 및 다수의 출력선에 연결되는 프로그램가능한 멀티플렉서 수단으로 구성되는 것을 특징으로 하는 집적회로.

청구항 11

제10항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 다수의 프로그램가능한 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 12

제11항에 있어서, 상기 프로그램가능한 멀티플렉서는 상기 프로그램가능한 중앙집중식 스위치 상호연결수단이 적어도 3.0의 루팅가능성 인자를 가질 수 있는 크기로 구성되는 것을 특징으로 하는 집적회로.

청구항 13

제10항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 프로그램가능한 10:1 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 14

제10항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 프로그램가능한 36:1 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 15

제1항에 있어서, 상기 집적회로가 상기 각각의 프로그램가능한 논리블록 및 한세트로 된 상기 다수의 핀에 연결되며, 다수의 입력선 및 다수의 출력선을 각각 구비하는 다수의 출력 스위치 매트릭스 뱅크로 구성되는 프로그램가능한 출력 스위치 상호연결수단을 포함하며, 상기 프로그램가능한 출력 스위치 매트릭스 뱅크의 다수의 입력선은 하나의 프로그램가능한 논리블록이 다수의 출력선에 연결되고, 상기 프로그램가능한 출력 스위치 상호 연결수단은 상기 세트로된 다수의 입력선을 각각 상기 세트로 된 다수의 핀 각각에 선택적으로 연결하고 분리시키는 것을 특징으로 하는 집적회로.

청구항 16

제15항에 있어서, 상기 세트로된 다수의 핀은 입/출력 핀으로 구성되는 것을 특징으로 하는 집적회로.

청구항 17

제16항에 있어서, 상기 프로그램가능한 출력 스위치 매트릭스 뱅크는, 그 기원과는 상관없이 모든 신호에 대해 상기 프로그램가능한 입력스위치 상호연결수단을 통한 시간지연이 일정하게 고정된 시간지연이 될 수 있도록, 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 다수의 입력선 및 다수의 출력선에 연결되는 프로그램가능한 멀티플렉서 수단으로 구성되는 것을 특징으로 하는 집적회로.

청구항 18

제17항에 있어 서, 상기 프로그램가능한 멀티플렉서 수단은 다수의 프로그램가능한 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 19

제18항에 있어서, 상기 프로그램가능한 멀티플렉서는 상기 프로그램가능한 출력스위치 매트릭스 수단이 적어도 3. 0의 루팅가능성 인자를 가질 수 있는 크기로 구성되는 것을 특징으로 하는 집적회로.

청구항 20

제17항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 프로그램가능한 8:1 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 21

제1항에 있어서, 상기 각각의 프로그램가능한 논리블록은 동일한 것을 특징으로 하는 집적회로.

청구항 22

제1항에 있어서, 상기 다수의 핀중 적어도 하나의 핀은 전용 입력핀인 것을 특징으로 하는 집적회로.

청구항 23

제22항에 있어서, 상기 전용 입력핀은 상기 프로그램가능한 중앙집중식 스위치 상호연결수단에 연결되는 것을 특징으로 하는 집적회로.

청구항 24

제1항에 있어서, 상기 적어도 하나의 프로그램가능한 논리블록은 각각 상기 프로그램가능한 입력 스위치 매트릭스 수단에 연결되고, 적어도 하나의 입력선과 하나의 출력선을 갖춘 다수의 프로그램 가능한 논리 매크로 셀 수단과, 상기 프로그램가능한 어레이 수단에 연결되고, 상기 다수의 프로그램가능한 논리 매크로 셀 수단 각각에 연결되거나 분리됨으로써 상기 프로그램가능한 어레이 수단의 다수의 출력신호를 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택된 입력선으로 안내하고 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택되지 않은 입력선을 상기 프로그램가능한 어레이 수단에서 분리시키는 논리 할당기 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 25

제24항에 있어서, 상기 프로그램가능한 논리 매크로셀 수단은 각각 상기 프로그램가능한 논리 매크로셀 수단 입력선에 연결되고 입력단자 및 출력단자를 갖는 프로그램가능한 논리수단과, 상기 프로그램가능한 논리수단에 연결되어 논리신호의 극성을 제어하는 제어수단으로 구성되며, 제1동작모드에서, 상기 극성 제어수단은 상기 입력신호에 응답하여 제1출력신호를 발생시키고, 제2동작모드에서, 상기 극성 제어수단은 상기 입력신호에 응답하여 제2출력신호를 발생시키고, 상기 제2출력신호는 상기 제1출력신호의 역수임을 특징으로 하는 집적회로.

청구항 26

제25항에 있어서, 상기 극성제어수단은, 1)상기 프로그램가능한 논리 매크로셀 입력선에 연결된 제1입력단자, 2)제1 및 제2신호를 반송하는 선에 연결된 제2입력단자와, 3)상기 프로그램가능한 논리수단의 입력단자에 연결되는 논리 게이트 출력신호용 출력선을 구비한 논리 게이트를 포함하는 것을 특징으로 하는 집적회로.

청구항 27

제26항에 있어서, 상기 제1 및 제2신호를 반송하는 선은 상기 클러스터에 프로그램 가능하게 연결되거나 분리될 수 있는 하나의 곱셈항에 연결되는 것을 특징으로 하는 집적회로.

청구항 28

제25항에 있어서, 상기 클러스터에 프로그램가능하게 연결되거나 분리될 수 있는 하나의 곱셈항은 상기 클러스터에서 분리됨에 따라 제2논리 게이트의 제1입력단자에 연결되고, 상기 제2논리게이트는 상기 제1논리 게이트와는 다른 것을 특징으로 하는 집적회로.

청구항 29

제28항에 있어서, 상기 극성 제어수단은 제1전압레벨에 연결되는 제1입력단자와, 제2전압레벨에 연결되는 제2입력단자와, 상기 제2논리게이트의 제2입력단자에 연결되는 출력단자를 구비하는 프로그램가능한 멀티플렉서 수단을 포함하며, 입력신호 선택신호에 응답하여, 상기 프로그램가능한 멀티플렉서는 그를 통해 상기 입력단자중 하나의 입력단자상의 신호를 상기 출력단자에 보내는 것을 특징으로 하는 집적회로.

청구항 30

제29항에 있어서, 상기 제2논리 게이트의 출력단자는 상기 제1 및 제2신호를 반송하는 상기 선에 연결됨을 특징으로 하는 집적회로.

청구항 31

제30항에 있어서, 상기 제1 및 제2논리게이트는 배타적 오어 논리 게이트로 구성되는 것을 특징으로 하는 집적회로.

청구항 32

제25항에 있어서, 상기 프로그램가능한 논리수단은, 구성 선택 신호에 응답하여, D형 플립플롭, T형 플립플롭, 래치 및 조합신호 경로중 어느 하나로 구성될 수 있는 것을 특징으로 하는 집적회로.

청구항 33

제32항에 있어서, 상기 프로그램가능한 논리수단은 상기 구성 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 34

제25항에 있어서, 상기 프로그램가능한 논리 블록은 클럭/래치 인에이블 단자를 구비하는 것을 특징으로 하는 집적회로.

청구항 35

제34항에 있어서, 상기 프로그램가능한 논리 매크로셀 수단은 상기 프로그램가능한 논리수단 클럭/래치 인에이블 단자 및 다수의 입력단자에 연결되는 출력단자를 구비하며, 출력 선택신호에 응답하여 그를 통해 선택된 입력단자상의 신호를 상기 출력단자에 보내는 프로그램가능한 클럭 멀티플렉서 수단과, 상기 프로그램가능한 클럭 멀티플렉서 수단에 연결되어 상기 입력 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 36

제35항에 있어서, 상기 다수의 클럭 멀티플렉서 수단 입력단자의 제1단자는 상기 핀중 하나에 연결되고, 상기 다수의 클럭 멀티플렉서 수단 입력단자의 제2단자는 상기 핀중 또다른 하나에 연결되는 것을 특징으로 하는 집적회로.

청구항 37

제36항에 있어서, 상기 핀중 하나와 상기 핀중 다른 하나는 전용 입력선으로 구성되는것을 특징으로 하는 집적회로.

청구항 38

제25항에 있어서, 상기 프로그램 가능한 논리수단은 비동기 프리세트 단자 및 비동기 리세트단자로 구성됨을 특징으로 하는 집적회로.

청구항 39

제38항에 있어서, 상기 프로그램가능한 어레이 수단은 다수의 제어 곱셈항을 포함함을 특징으로 하는 집적회로.

청구항 40

제39항에 있어서, 상기 프로그램가능한 논리수단은 제1 및 제2입력단자와, 비동기 프리세트 출력단자와, 비동기 리세트 출력 단자를 갖춘 프로그램가능한 신호 코넥터수단을 포함하며, 상기 프로그램가능한 신호 코넥터수단 비동기 프리세트 단자는 상기 프로그램가능한 논리수단 비동기 프리세트 단자에 연결되며, 상기 프로그램가능한 신호 코넥터 수단 비동기 리세트 단자는 상기 프로그램가능한 논리수단 비동기 리세트 단자에 연결되고, 상기 입력선택신호의 제1레벨에 응답하여, 상기 프로그램가능한 신호 코넥터수단은 상기 제1입력단자를 상기 비동기 리세트 단자에 연결하고 상기 제2입력단자를 상기 비동기 프리세트 단자에 연결하며, 상기 입력선택신호의 제2레벨에 응답하여, 상기 프로그램가능한 신호 코넥터 수단은 상기 제2입력단자를 상기 비동기 리세트 단자에 연결하고 상기 제1입력단자를 상기 비동기 프리세트 단자에 연결하는 것을 특징으로 하는 집적회로.

청구항 41

제40항에 있어서, 상기 다수의 제어 곱셈항중 제1곱셈항은 상기 프로그램가능한 신호 코넥터 제1입력단자에 연결되고, 상기 다수의 제어 곱셈항중 제2곱셈항은 상기 프로그램가능한 신호 코넥터 제2입력단자에 연결되는 것을 특징으로 하는 집적회로.

청구항 42

제1항에 있어서, 상기 곱셈항 클러스터내의 다수의 곱셈항은 상기 클러스터에 프로그램하게 연결되고 분리될 수 있는 것을 특징으로 하는 집적회로.

청구항 43

제42항에 있어서, 상기 다수의 곱셈항은 상기 하나의 곱셈항에 추가됨으로써, 상기 클러스터에 프로그램가능하게 연결되고 분리될 수 있는 곱셈항의 총수가 상기 다수의 곱셈항과 하나의 곱셈항의 합이 되는 것을 특징으로 하는 집적회로.

청구항 44

제43항에 있어서, 상기 적어도 하나의 프로그램가능한 논리블록은 각각 상기 프로그램가능한 입력 스위치 매트릭스 수단에 연결되고, 적어도 하나의 입력선과 하나의 출력선을 갖춘 다수의 프로그램 가능한 논픽 매크로 셀 수단과, 상기 프로그램가능한 어레이 수단에 연결되고, 상기 다수의 프로그램가능한 논리 매크로셀 수단 각각에 연결되거나 분리됨으로써 상기 프로그램가능한 어레이 수단의 다수의 출력신호를 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택된 입력선으로 안내하고 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택되지 않은 입력선을 상기 프로그램가능한 어레이 수단에서 분리시키는 논리 할당기 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 45

제44항에 있어서, 상기 프로그램가능한 논리 매크로셀 수단은 각각 상기 프로그램가능한 논리 매크로셀 수단 입력선에 연결되고 입력단자 및 출력단자를 갖는 프로그램가능한 논리수단으로 구성됨을 특징으로 하는 집적회로.

청구항 46

제45항에 있어서, 상기 프로그램가능한 논리수단은, 구성 선택 신호에 응답하여, D형 플립플롭, T형 플립플롭 래치 및 조합신호 경로중 어느 하나로 구성될 수 있는 것을 특징으로 하는 집적회로.

청구항 47

제46항에 있어서, 상기 프로그램가능한 논리수단은 상기 구성 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 48

제45항에 있어서, 상기 프로그램가능한 논리 블록은 클럭/래치 인에이블 단자를 구비하는 것을 특징으로 하는 집적회로.

청구항 49

제48항에 있어서, 상기 프로그램가능한 논리 매크로셀 수단은 상기 프로그램가능한 논리수단 클럭/래치 인에이블 단자에 연결되는 출력단자 및 다수의 입력단자를 구비하며, 출력 선택신호에 응답하여 그를 통해 선택된 입력단자상의 신호를 상기 출력단자에 보내는 프로그램가능한 클럭 멀티플렉서 수단과, 상기 프로그램가능한 클럭 멀티플렉서 수단에 연결되어 상기 입력 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 50

제49항에 있어서, 상기 곱셈항 클러스터내의 상기 다수의 곱셈항중 하나의 곱셈항은 상기 하나의 곱셈항이 상기 곱셈항 글러스터에서 분리됨에 따라 상기 프로그램 가능한 클럭 멀티플렉서의 하나의 입력단자에 연결됨으로써 상기 프로그램가능한 클럭 멀티플렉서에 개개의 클럭신호를 제공하는 것을 특징으로 하는 집적회로.

청구항 51

제45항에 있어서, 상기 프로그램 가능한 논리수단은 비동기 프리세트 단자 및 비동기 러세트단자를 포함하는 것을 특징으로 하는 집적회로.

청구항 52

제51항에 있어서, 상기 프로그램가능한 논리수단은 제1 및 제2입력단자와, 비동기 프리세트 출력단자와, 비동기 리세트 출력단자를 갖춘 프로그램가능한 신호 코넥터 수단을 포함하며, 상기 프로그램가능한 신호 코넥터 수단 비동기 프리세트 단자는 상기 프로그램가능한 논리수단 비동기 프리세트 단자에 연결되며, 상기 프로그램가능한 신호 코넥터 수단 비동기 리세트 단자는 상기 프로그램가능한 논리수단 비동기 리세트 단자에 연결되고, 상기 입력선택신호의 제1레벨에 응답하여, 상기 프로그램가능한 신호 코넥터 수단은 상기 제1입력단자를 상기 비동기 리세트 단자에 연결하고 상기 제2입력단자를 상기 비동기 프리세트 단자에 연결하며, 상기 입력선택신호의 제2레벨에 응답하여, 상기 프로그램가능한 신호 코넥터 수단은 상기 제2입력단자를 상기 비동기 리세트 단자에 연결하고 상기 제1입력단자를 상기 비동기 프리세트 단자에 연결하는 것을 특징으로 하는 집적회로.

청구항 53

제52항에 있어서, 상기 곱셈항 클러스터내의 상기 다수의 곱셈항중 하나의 곱셈항은 상기 하나의 곱셈항이 상기 곱셈항 클러스터에서 분리됨에 따라 상기 프로그램가능한 신호 코넥터수단의 하나의 입력단자에 연결됨으로써 개개의 비동기 제어 곱셈항이 상기 프로그램 가능한 논리수단에 이용가능하게 되는 것을 특징으로 하는 집적회로.

청구항 54

제53항에 있어서, 상기 프로그램가능한 논리수단은 제1입력단자 및 제1출력단자를 갖춘 프로그램가능한 비동기 신호원 선택기 수단과, 상기 프로그램가능한 비동기 신호원 선택기에 연결되어 상기 입력신택신호를 제공하는 수단을 포함하며, 상기 출력단자는 상기 프로그램가능한 신호 코넥터 수단의 하나의 입력단자에 연결되고, 상기 프로그램가능한 비동기 신호원 선택기 제1입력단자는 입력선택신호에 응답하여 상기 제1출력단자에 연결되는 것을 특징으로 하는 집적회로.

청구항 55

제54항에 있어서, 상기 곱셈항 클러스터내의 상기 다수의 곱셈항중 하나의 곱셈항은 상기 프로그램가능한 비동기 신호원 선택기 수단의 상기 제1입력단자에 연결되는 것을 특징으로 하는 집적회로.

청구항 56

제44항에 있어서, 상기 논리 할당기 수단은 각각 다수의 출력선 및 하나의 입력선을 가지며, 그를 통해 상기 입력선상의 신호를 상기 다수의 출력선내의 선택된 출력선에 연결하는 다수의 루팅수단을 포함하며, 상기 루팅수단 입력선은 상기 프로그램가능한 논리 어레이 수단에서 나온 출력선에 연결됨을 특징으로 하는 집적회로.

청구항 57

제56항에 있어서, 상기 루팅수단은 각각 상기 루팅수단 입력선에 연결되는 입력단자 및 다수의 출력단자를 구비하는 디멀티플렉싱 수단과, 상기 디멀티플렉싱 수단에 연결되어 상기 입력 선택신호를 제공하는 수단을 포함하며, 상기 디멀티플렉싱 수단은 입력 선택신호에 응답하여 그를 통해 상기 입력단자상의 신호를 상기 다수의 출력선중 선택된 출력선에 보내고, 상기 디멀티플렉싱 수단의 다수의 출력선은 상기 루팅수단의 다수의 출력선인 것을 특징으로 하는 집적회로.

청구항 58

제1항에 있어서, 상기 집적회로는 다수의 프로그램가능한 입/출력 셀 수단을 포함하며, 각각의 입/출력 셀 수단은 상기 핀중 하나에 연결되는 것을 특징으로 하는 집적회로.

청구항 59

제58항에 있어서, 상기 집적회로는 상기 다수의 프로그램가능한 논리블록중 하나의 프로그램 가능한 논리블록의 출력선에 연결되고 상기 다수의 프로그램가능한 입/출력 셀수단에 연결됨으로써 상기 하나의 프로그램가능한 논리블록의 상기 출력 신호를 상기 다수의 프로그램가능한 입/출력 셀수단중 선택된 프로그램가능한 입/출력 셀 수단에 안내하는 프로그램가능한 출력 스위치 상호연결수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 60

제59항에 있어서, 상기 프로그램가능한 출력 스위치 상호연결수단은 상기 하나의 프로그램가능한 논리블록의 상기 출력선 및 상기 다수의 프로그램가능한 입/출력 셀수단에 연결되는 프로그램가능한 멀티플렉서 수단으로 구성됨을 특징으로 하는 집적회로.

청구항 61

제60항에 있어서, 상기 프로그램가능한 멀티플렉서 수단은 프로그램가능한 8:1 멀티플렉서로 구성되는 것을 특징으로 하는 집적회로.

청구항 62

제58항에 있어서. 상기 프로그램가능한 입/출력 셀수단은 인에이블 신호를 선택적으로 재공하는 수단과,

상기 프로그램가능한 출력 스위치 상호연결 수단의 하나의 출력선에 연결되고, 상기 핀중 하나에 연결되고, 인에이블 신호 제공수단에 연결되어 상기 프로그램가능한 출력 스위치 상호 연결수단의 상기 하나의 출력선으로부터 출력선상의 신호를 상기 핀에 선택적으로 제공하는 수단을 포함하며, 상기 제공수단은 상기 인에이블 신호를 수신하는 때에만 그를 통해 상기 프로그램가능한 출력 스위치 상호 연결수단으로부터 출력선상의 상기 신호를 보내는 것을 특징으로 하는 집적회로.

청구항 63

제1항에 있어서, 상기 집적회로는 다수의 프로그램가능한 입력 매크로셀 수단을 포함하며, 각각의 프로그램가능한 입력 매크로셀은 상기 핀중 하나의 핀에 연결되는 입력선과 상기 프로그램가능한 스위치 상호연결수단에 연결되는 출력선을 구비하는 것을 특징으로 하는 집적회로.

청구항 64

제63항에 있어서, 각각의 입력 매크로셀 수단은 상기 프로그램 가능한 입력 매크로셀 수단 입력선에 연결되는 입력단자와 출력단자를 구비하는 프로그램가능한 저장수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 65

제64항에 있어서, 상기 프로그램가능한 저장수단은, 구성 선택 신호에 응답하여, D형 플립플롭, 래치중 어느 하나로 구성될 수 있는 것을 특징으로 하는 집적회로.

청구항 66

제65항에 있어서, 상기 프로그램가능한 저장수단은 상기 구성 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 67

제64항에 있어서, 상기 프로그램가능한 저장 수단은 클럭/래치 인에이블 단자를 구비하는 것을 특징으로 하는 집적 회로.

청구항 68

제67항에 있어서, 상기 프로그램가능한 입력 매크로셀 수단은 상기 프로그램가능한 논리수단 클럭/래치 인에이블 단자 및 다수의 입력단자에 연결되는 출력단자를 구비하며, 출력 선택신호에 응답하여 그를 통해 선택된 입력단자상의 신호를 상기 출력단자에 보내는 프로그램가능한 클럭 멀티플렉서 수단과, 상기 프로그램가능한 클럭 멀티플렉서 수단에 연결되어 상기 입력 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 69

제68항에 있어서, 상기 다수의 클럭 멀티플렉서 수단 입력단자의 제1단자는 상기 핀중 하나에 연결되고, 상기 다수의 클럭 멀티플렉서 수단 입력단자의 제2단자는 상기 핀중 또다른 하나에 연결되는 것을 특징으로 하는 집적회로.

청구항 70

다수의 핀을 구비하는 접적회로로서, 다수의 입력선과 다수의 출력선을 각각 구비하는 다수의 프로그램가능한 논리블록과, 상기 프로그램가능한 논리블록 각각에 연결되며, 다수의 입력선 및 다수의 출력선을 각각 구비하는 다수의 프로그램가능한 입력 스위치 매트릭스 뱅크로 구성되는 프로그램가능한 입력 스위치 상호연결수단과, 상기 각각의 프로그램가능한 논리블록 및 상기 프로그램가능한 입력 스위치 상호연결수단에 연결되고, 다수의 입력선 및 다수의 출력선을 갖춘 프로그램 가능한 중앙집중식 스위치 상호연결수단으로 구성되며, 적어도 하나의 프로그램가능한 논리블록은 상기 다수의 프로그램 가능한 논리블록 입력선으로부터만 다수의 입력신호를 수신하고 다수의 출력 신호를 발생시키는 프로그램가능한 어레이수단을 포함하고, 상기 프로그램가능한 어레이수단은 곱셈항 클러스터를 포함하며, 상기 곱셈항 클러스터내의 곱셈항중 하나는 상기 클러스터에 프로그램가능하게 연결되고 분리될 수 있으며, 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 다수의 입력선은 하나의 프로그램가능한 논리블록의 상기 다수의 출력선에 연결되고, 상기 프로그램가능한 입력 스위치 매트릭스 뱅크는 세트로 된 상기 다수의 입력선의 각각의 선을 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 상기 출력선에 선택적으로 연결하거나 분리시키며, 상기 프로그램가능한 중앙집중식 스위치 상호연결수단의 다수의 입력선은 상기 프로그램가능한 중앙집중식 스위치 상호연결수단의 다수의 입력선은 상기 프로그램가능한 입력 스위치 매트릭스 뱅크의 다수의 출력선에 연결되고, 상기 프로그램 가능한 입력스위치 매트리스 뱅크의 다수의 출력선에 연결되고 상기 프로그램 가능한 중앙집중식 스위치 상호연결수단의 다수의 입력선상의 신호를 상기 다수의 프로그램가능한 논리블록의 다수의 입 력선에 선택적으로 연결하거나 분리시킴으로써 상기 다수의 프로그램가능한 논리블록이 상기 프로그램가능한 중앙집중식 스위치 상호연결수단으로부터만 입력신호를 수신하는 것을 특징으로 하는 집적회로.

청구항 71

제70항에 있어서, 상기 집적회로가 상기 각각의 프로그램가능한 논리블록 및 한세트로 된 상기 다수의 핀에 연결되며, 다수의 입력선 및 다수의 출력선을 각각 구비하는 다수의 출력 스위치 매트릭스 뱅크로 구성되는 프로그램가능한 출력 스위치 상호연결수단을 포함하며, 상기 프로그램가능한 출력 스위치 매트릭스 뱅크의 다수의 입력선은 하나의 프로그램가능한 논리블록이 다수의 출력선에 연결되고, 상기 프로그램가능한 출력 스위치 상호연결수단은 상기 세트로된 다수의 입력선을 각각 상기 세트로 된 다수의 핀

각각에 선택적으로 연결하고 분리시키는 것을 특징으로 하는 집적회로.

청구항 72

제70항에 있어서, 상기 적어도 하나의 프로그램가능한 논리블록은 각각 상기 프로그램가능한 입력 스위치 매트릭스 수단에 연결되고, 적어도 하나의 입력선과 하나의 출력선을 갖춘 다수의 프로그램 가능한 논리 매크로 셀 수단과, 상기 프로그램가능한 어레이 수단에 연결되고, 상기 다수의 프로그램가능한 논리 매크로셀 수단 각각에 연결되거나 분리됨으로써 상기 프로그램가능한 어레이 수단의 다수의 출력신호를 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택된 입력선으로 안내하고 상기 다수의 프로그램가능한 논픽 매크로셀 수단의 선택되지 않은 입력선을 상기 프로그램가능한 어레이 수단에서 분리시키는 논리 할당기 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 73

제72항에 있어서, 상기 프로그램가능한 논리 매크로셀 수단은 각각 상기 프로그램가능한 논리 매크로셀 수단 입력선에 연결되고 입력단자 및 출력단자를 갖는 프로그램가능한 논리수단과, 상기 프로그램가능한 논리수단에 연결되어 논리신호의 극성을 제어하는 제어수단으로 구성되며, 제1동작모드에서, 상기 극성 제어수단은 상기 입력신호에 응답하여 제1출력신호를 발생시키고, 제2동작모드에서, 상기 극성 제어수단은 상기 입력신호에 응답하여 재2출력신호를 발생시키고, 상기 제2출력신호는 상기 제1출력신호의 역수임을 특징으로 하는 집적회로.

청구항 74

제73항에 있어서, 상기 극성 제어수단은, 1)상기 프로그램 가능한 논리 매 크로셀 입력선에 연결된 제1입력단자, 2)제1 및 제2신호를 반송하는 선에 연결된 제2입력단자와, 3)상기 프로그램가능한 논리수단의 입력단자에 연결되는 논리 게이트 출력신호용 출력선을 구비한 논리 게이트를 포함하는 것을 특징으로 하는 집적회로.

청구항 75

제74항에 있어서, 상기 제1 및 제2신호를 반송하는 선은 상기 클러스터에 프로그램가능하게 연걸되거나 분리될 수 있는 상기 곱셈항 클러스터내의 상기 다수의 곱셈항의 하나의 곱셈항에 연결되거나 분리될 수 있는 곱셈항에 연결되는 특징으로 하는 집적회로.

청구항 76

제74항에 있어서, 상기 클러스터에 프로그램가능하게 연결되거나 분리될 수 있는 하나의 곱셈항은 상기 클러스터에서 분리됨에 따라 제2논리 게이트의 제1입력단자에 연결되고, 상기 제2논리 게이트는 상기 제1논리 게이트와는 다른 것을 특징으로 하는 집적회로.

청구항 77

제76항에 있어서, 상기 극성 제어수단은 제1전압레벨에 연결되는 제1입력단자와, 제2전압레벨에 연결되는 제2입력단자와, 상기 제2논리게이트외 제2입력단자에 연결되는 출력단자를 구비하는 프로그램가능한 멀티플렉서 수단을 포함하며, 입력신호 선택신호에 응답하여, 상기 프로그램가능한 멀티플렉서는 그를 통해 상기 입력단자중 하나의 입력단자상의 신호를 상기 출력단자에 보내는 것을 특징으로 하는 집적회로.

청구항 78

제77항에 있어서, 상기 제2논리 게이트의 출력단자는 상기 제1 및 제2신호를 반송하는 상기 선에 연결됨을 특징으로 하는 집적회로.

청구항 79

제78항에 있어서, 상기 제1 및 제2논리게이트는 배타적 오어 논리 게이트로 구성되는 것을 특징으로 하는 집적회로.

청구항 80

제70항에 있어서, 상기 적어도 하나의 프로그램가능한 논리블록은 각각 상기 프로그램가능한 입력 스위치 매트릭스 수단에 연결되고, 적어도 하나의 입력선과 하나의 출력선을 갖춘 다수의 프로그램 가능한 논리 매크로 셀 수단과, 상기 프로그램가능한 어레이 수단에 연결되고, 상기 다수의 프로그램가능한 논리 매크로셀 수단 각각에 연결되거나 분리됨으로써 상기 프로그램가능한 어레이 수단의 다수의 출력신호를 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택된 입력선으로 안내하고 상기 다수의 프로그램가능한 논리 매크로셀 수단의 선택되지 않은 입력선을 상기 프로그램가능한 어레이 수단에서 분리시키는 논리 할당기 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 81

제80항에 있어서, 상기 프로그램가능한 논리블록은 클럭/래치 인에이블 단자를 구비하는 것을 특징으로 하는 집적회로.

청구항 82

제81항에 있어서, 상기 프로그램가능한 논리 매크로셀 수단은 상기 프로그램가능한 논리수단 클럭/래치 인에이블 단자에 연결되는 출력단자 및 다수의 입력단자를 구비하며, 출력 선택신호에 응답하여 그를 통

해 선택된 입력단자상의 신호를 상기 출력단자에 보내는 프로그램가능한 클럭 멀티플렉서 수단과, 상기 프로그램가능한 클럭 멀티플렉서 수단에 연결되어 상기 입력 선택신호를 제공하는 수단을 포함하는 것을 특징으로 하는 집적회로.

청구항 83

제82항에 있어서, 상기 곱셈항 클러스터내의 상기 다수의 곱셈항중 하나의 곱셈항은 상기 하나의 곱셈항이 상기 곱셈항 클러스터에서 분리됨에 따라 상기 프로그램 가능한 클럭 멀티플렉서의 하나의 입력단자에 연결됨으로써 상기 프로그램가능한 클럭 멀티플렉서에 개개의 클럭신호를 제공하는 것을 특징으로 하는 집적회로.

청구항 84

제87항에 있어서, 상기 프로그램 가능한 논리수단은 비동기 프리세트 단자 및 비동기 리세트단자를 포함하는 것을 특징으로 하는 집적회로.

청구항 85

제84항에 있어서, 상기 프로그램가능한 논리수단은 제1및 제2입력단자와, 비동기 프리세트 출력단자와, 비동기 리세트 출력단자를 갖춘 프로그램가능한 신호 코넥터 수단을 포함하며, 상기 프로그램가능한 신호 코넥터 수단 비동기 프리세트 단자는 상기 프로그램가능한 논리수단 비동기 프리세트 단자에 연결되고, 상기 프로그램가능한 신호 코넥터 수단 비동기 리세트 단자는 상기 프로그램가능한 논리수단 비동기 리세트 단자에 연결되며, 상기 입력선택신호의 제1레벨에 응답하여, 상기 프로그램가능한 신호 코넥터 수단은 상기 제1입력단자를 상기 비동기 리세트 단자에 연결하고 상기 제2입력단자를 상기 비동기 프리세트 단자에 연결하며, 상기 입력선택신호의 제2레벨에 응답하여, 상기 프로그램가능한 신호 코넥터 수단은 상기 제2입력단자를 상기 비동기 리세트 단자에 연결하고 상기 제1입력단자를 상기 비동기 프리세트 단자에 연결하는 것을 특징으로 하는 집적회로.

청구항 86

제84항에 있어서, 상기 곱셈항 클러스터내의 상기 다수의 곱셈항중 하나의 곱셈항은 상기 하나의 곱셈항이 상기 곱셈항 클러스터에서 분리됨에 따라 상기 프로그램가능한 신호 코넥터수단의 하나의 입력단자에 연결됨으로써 개개의 비동기 제어 곱셈항이 상기 프로그램 가능한 논리수단에 이용가능하게 되는 것을 특징으로 하는 집적회로.

청구항 87

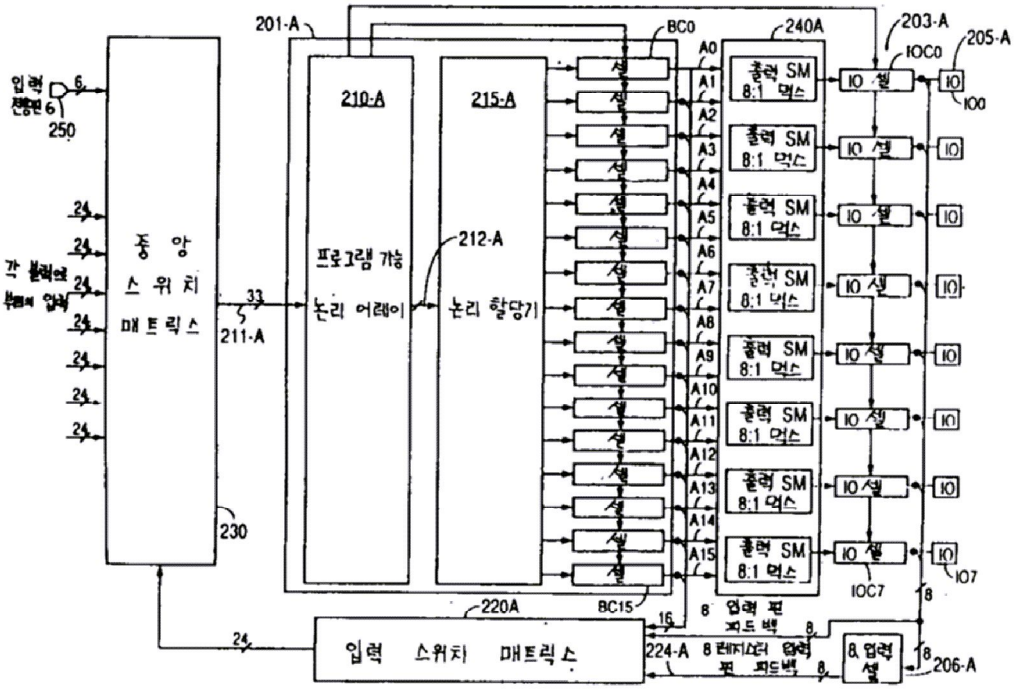
제86항에 있어서, 상기 프로그램가능한 논리수단은 제1입력단자 및 제1출력단자를 갖춘 프로그램가능한 비동기 신호원 선택기 수단과, 상기 프로그램가능한 비동기 신호원 선택기에 연결되어 상기 입력신택신호를 제공하는 수단을 포함하며, 상기 출력단자는 상기 프로그램가능한 신호 코넥터 수단의 하나의 입력단자에 연결되고, 상기 프로그램가능한 비동기 신호원 선택기 제1입력단자는 입력선택신호에 응답하여 상기 제1출력단자에 연결되는 것을 특징으로 하는 집적회로.

청구항 88

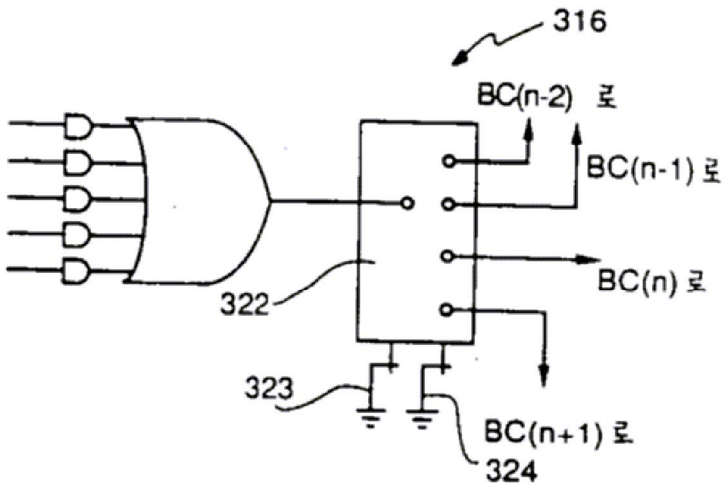
제87항에 있어서, 상기 곱셈항 클러스터내의 다수의 곱셈항중 하나의 곱셈항은 상기 프로그램가능한 비동기 신호원 선택기 수단의 상기 제1입력단자에 연결되는 것을 특징으로 하는 집적회로.

도면

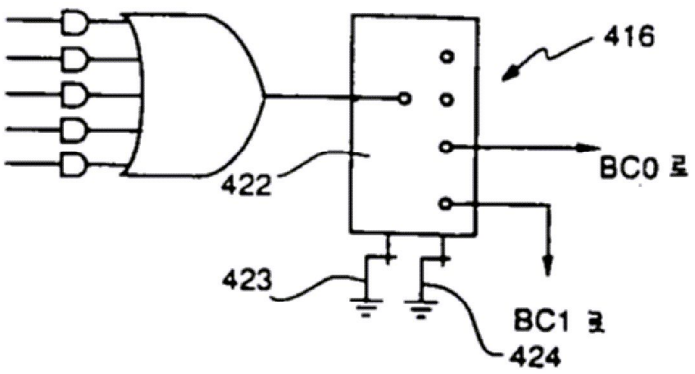
도면2


201-A
BC0
240A
203-A
IOC0
205-A
210-A
215-A
프로그램 가능
논리 어레이
논리 할당기
212-A
중 앙
스 위 치
매 트 릭 스
211-A
230
250
출력 SM
8:1 먹스
IO 셀
IOC7
IO7
220A
BC15
입력 스위치 매트릭스
224-A
8 입력 셀
206-A

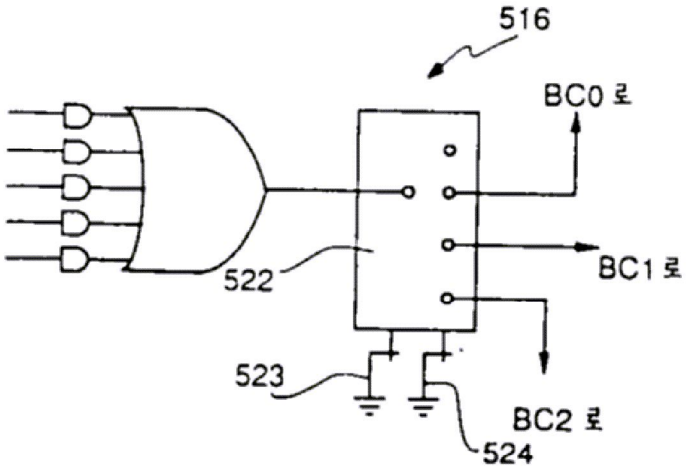
도면3


316
BC(n-2) 로
BC(n-1) 로
BC(n) 로
322
323
BC(n+1) 로
324

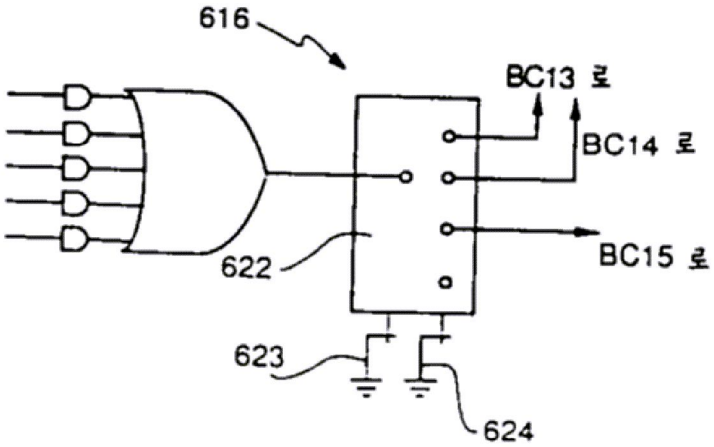
도면4


416
BC0 로
422
423
BC1 로
424

도면5


516
BC0 로
BC1 로
BC2 로
522
523
524

도면6


616
BC13 로
BC14 로
BC15 로
622
623
624