(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3597379号
(P3597379)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月17日(2004.9.17)

| (51)Int.Cl.[7] | F I | | |
|---|---|---|---|
| H01L 21/285 | H01L | 21/285 | S |
| H01L 21/3205 | H01L | 21/88 | B |
| H01L 21/768 | H01L | 21/90 | C |

請求項の数 7　(全 30 頁)

(21)出願番号　特願平10-112943
(22)出願日　平成10年4月23日(1998.4.23)
(65)公開番号　特開平11-307476
(43)公開日　平成11年11月5日(1999.11.5)
審査請求日　平成14年8月14日(2002.8.14)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　齋藤　達之
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　山口　日出
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内
(72)発明者　大和田　伸郎
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、

（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、

（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を、前記半導体基板の主面と前記第１導体膜形成用のターゲットの主面との間の距離ＴＳが、前記ターゲットの実効半径Ｒ1と前記半導体基板の半径Ｒ2との和を３の平方根で割った値以上であり、かつ、放電時の第１導体膜の粒子の平均自由行程がＴＳ／ＣＯＳ（ａｒｃｔａｎ（Ｒ1＋Ｒ2）／ＴＳ）以上である条件で物理的気相成長法により被着する工程と、

（ｃ）前記第１導体膜形成後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、

（ｄ）前記第１導体膜および第２導体膜を削ることにより、前記配線溝または接続孔の少なくとも一方の内部に第１導体膜および第２導体膜からなる埋込配線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項２】

請求項１記載の半導体集積回路装置の製造方法において、前記第１導体膜にプラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含有させるか、または、前記第１導体膜上に、プラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも

１つを含む第３導体膜を被着した後、前記第２導体膜を被着することを特徴とする半導体集積回路装置の製造方法。
【請求項３】
半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、
（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、
（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上にバリア導体膜を被着する工程と、
（ｃ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を、前記半導体基板の主面と前記第１導体膜形成用のターゲットの主面との間の距離ＴＳが、前記ターゲットの実効半径Ｒ1と前記半導体基板の半径Ｒ2との和を３の平方根で割った値以上であり、かつ、放電時の第１導体膜の粒子の平均自由行程がＴＳ／ＣＯＳ（ａｒｃｔａｎ（Ｒ1＋Ｒ2）／ＴＳ）以上である条件で物理的気相成長法により被着する工程と、
（ｄ）前記第１導体膜形成後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、
（ｅ）前記第１導体膜および第２導体膜を削ることにより、前記配線溝または接続孔の少なくとも一方の内部に第１導体膜および第２導体膜からなる埋込配線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。
【請求項４】
請求項３記載の半導体集積回路装置の製造方法において、前記バリア導体膜にプラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含有させるか、前記第１導体膜にプラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含有させるか、または、前記バリア導体膜上に、プラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含む第３導体膜を被着した後、前記第１導体膜を被着することを特徴とする半導体集積回路装置の製造方法。
【請求項５】
請求項１または３記載の半導体集積回路装置の製造方法において、前記第１導体膜の被着中の半導体基板を冷却することを特徴とする半導体集積回路装置の製造方法。
【請求項６】
請求項１、２、３、４または５記載の半導体集積回路装置の製造方法において、前記第１導体膜の被着中または被着後に半導体基板の温度を上昇させて、前記第１導体膜を配線溝の底部に移動させる工程を有することを特徴とする半導体集積回路装置の製造方法。
【請求項７】
請求項１または３記載の半導体集積回路装置の製造方法において、前記第１導体膜の被着中に、前記半導体基板にバイアス電圧を印加することを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、絶縁膜に形成された溝または接続孔内に配線用導体膜を埋め込むことで形成される埋込配線技術に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
半導体集積回路装置の配線形成方法として、ダマシン（Ｄａｍａｓｃｅｎｅ ）法と呼ばれるプロセスがある。この方法は、絶縁膜に配線形成用の溝を形成した後、半導体基板全面に配線形成用の導体膜を堆積し、さらに、その溝以外の領域の導体膜を化学的機械的研磨法（ＣＭＰ；Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ ）によって除去することにより、配線形成用の溝内に埋込配線を形成する方法である。この方法

の場合は、特に、微細なエッチング加工が困難な銅系の導体材料（銅または銅合金）からなる埋込配線の形成方法として適している。

【０００３】

また、ダマシン法の応用としてデュアルダマシン（Ｄｕａｌ－Ｄａｍａｓｃｅｎｅ）法がある。この方法は、絶縁膜に配線形成用の溝および下層配線との接続を行うための接続孔を形成した後、半導体基板全面に配線形成用の導体膜を堆積し、さらに、その溝以外の領域の導体膜をＣＭＰによって除去することにより、配線形成用の溝内に埋め込み配線を形成し、かつ、接続孔内にプラグを形成する方法である。この方法の場合は、特に、多層配線構造を有する半導体集積回路装置において、工程数の削減が可能であり、配線コストの低減が可能である。

【０００４】

このようなダマシン法等を用いた配線形成技術については、例えば（１）．Ｋ．Ａｂｅ ｅｔ．ａｌ，ｉｎ Ｅｘｔｅｎｄｅｄ Ａｂｓｔｒａｃｔｓ １９９４ ＳＳＤＭ，ｐｐ９３７ －９４０ （沖電気）、（２）．Ｖａｌｅｒｙ Ｍ．Ｄｕｂｉｎ ｅｔ．ａｌ，ｉｎ Ｐｒｏｃｅｅｄｉｎｇｓ １９９７ ＶＭＩＣ，ｐｐ６９ －７４に記載がある。

【０００５】

上記（１） の文献には、絶縁膜に溝を形成した後、銅をスパッタリング法により堆積し、さらに熱処理を施して配線形成用の溝を良好に埋め込む技術が開示されている。また、上記（２） の文献には、絶縁膜に形成した溝および接続孔内に、銅をスパッタリング法により被着した後、さらに銅をメッキ法によって埋め込む方法が開示されている。

【０００６】

また、特開平８－７８５２５号公報には、半導体基板上に被着された絶縁膜に半導体基板の一部が露出するような接続孔を形成する工程と、その絶縁膜の上に配線層をスパッタリング法によって形成する工程と、配線上にメッキ法による金属層を形成する工程と、この配線層および金属層をパターニングする工程とを有する半導体集積回路装置の通常の配線形成技術が開示されている。

【０００７】

この公報に記載の技術は、ダマシンプロセスを前提とした本願とは適用プロセスが異なり、比較的緩いデザインルールの低アスペクトの接続孔にメッキを適用している。しかし、微細で高アスペクト比の接続孔やダマシン構造に適用する場合、通常のスパッタリング法を用いる当該公報の技術では、スパッタリング法による導体膜の接続孔内におけるステップカバレッジが低いため、たとえメッキ法を適用したとしても、配線形成用の導体膜を完全に埋め込むことができず、接続孔内にボイドが生じてしまう。

【０００８】

【発明が解決しようとする課題】

ところが、埋込配線技術においては、配線溝や接続孔の微細化やアスペクト比の増大に伴い、以下の課題があることを本発明者は見出した。

【０００９】

すなわち、配線溝や接続孔をスパッタリング法単独で埋め込むのは困難であり、その溝あるいは接続孔を充分に埋め込むことができず、埋込配線（配線部分および接続孔部分を含む）において良好な電気的特性を確保することできない。

【００１０】

また、メッキ法を用いた場合には埋め込み能力は高いが、この場合にも下地金属膜が必要であり、当該下地金属膜のカバレッジで埋め込みの限界が決まってしまうので、埋込配線（配線部分および接続孔部分を含む）の微細化を阻害する課題がある。

【００１１】

本発明の目的は、絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法において、その配線溝または接続孔の少なくとも一方の内部に埋込配線形成用の導体膜を良好に埋め込むことのできる技術を提

供することにある。
【００１２】
また、本発明の目的は、絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法において、その埋込配線の微細化を推進することのできる技術を提供することにある。
【００１３】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【００１４】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。
【００１５】
すなわち、本発明は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、
（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、
（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を、指向性を有し、かつ、第１導体膜の粒子がターゲットと半導体基板との間で散乱し難い条件で物理的気相成長法により被着する工程と、
（ｃ）前記第１導体膜形成後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、
（ｄ）前記第１導体膜および第２導体膜を削ることにより、前記配線溝または接続孔の少なくとも一方の内部に第１導体膜および第２導体膜からなる埋込配線を形成する工程とを有するものである。
【００１６】
また、本発明は、前記第１導体膜にプラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含有させるか、または、前記第１導体膜上に、プラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含む第３導体膜を被着した後、前記第２導体膜を被着するものである。
【００１７】
また、本発明は、前記第１導体膜の被着前または被着中の半導体基板を冷却するものである。
【００１８】
また、本発明は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、
（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、
（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する最中または被着後に半導体基板の温度を上昇させて、前記第１導体膜を配線溝の底部に移動させる工程とを有するものである。
【００１９】
また、本発明は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、
（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、
（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上にプラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含む第３導体膜を被着する工程と、
（ｃ）前記第３導体膜形成後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、
（ｄ）前記第２導体膜および第３導体膜を削ることにより、前記配線溝または接続孔の少

なくとも一方の内部に第２導体膜および第３導体膜からなる埋込配線を形成する工程とを有するものである。

【００２０】

また、本発明は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、

（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、

（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する際に、成膜作用とエッチング作用との両方が行われるようにする工程と、

（ｃ）前記第１導体膜形成後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、

（ｄ）前記第１導体膜および第２導体膜を削ることにより、前記配線溝内に第１導体膜および第２導体膜からなる埋込配線を形成する工程とを有するものである。

【００２１】

本発明者が検討したさらに他の手段のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００２２】

すなわち、その手段は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、

（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、

（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する最中または被着後に半導体基板の温度を上昇させて、前記第１導体膜を配線溝の底部に移動させる工程と、

（ｃ）前記（ｂ）工程後に、前記配線溝または接続孔の少なくとも一方の内部および前記第１導体膜上に、銅、銅合金、プラチナ、パラジウム、ニッケル、クロム、金または銀の少なくとも１つを含む導体膜を物理的気相成長法により被着する工程と、

（ｄ）前記（ｃ）工程後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、

（ｅ）前記（ｄ）工程後に、第２導体膜および第１導体膜を削り、前記配線溝または接続孔の少なくとも一方の内部に前記第１導体膜、第２導体膜および導体膜からなる埋込配線を形成する工程とを有するものである。これにより、配線溝または接続孔のアスペクト比を小さくすることができるので、その後のメッキ処理による導体膜の埋め込みを良好に行うことが可能となる。

【００２３】

また、続くメッキ法による銅または銅合金からなる導体膜を触媒作用により良好に被着することも可能となる。

【００２４】

また、他の手段は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、

（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、

（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する最中または被着後に半導体基板の温度を上昇させて、前記第１導体膜を配線溝の底部に移動させる工程と、

（ｃ）前記（ｂ）工程後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、

（ｄ）前記（ｃ）工程後に、第２導体膜および第１導体膜を削り、前記配線溝または接続孔の少なくとも一方の内部に前記第１導体膜、第２導体膜および導体膜からなる埋込配線を形成する工程とを有するものである。これにより、配線溝または接続孔のアスペクト比

を小さくすることができるので、その後のメッキ処理による導体膜の埋め込みを良好に行うことが可能となる。

【００２５】

また、他の手段は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、

（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、

（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する最中または被着後に半導体基板の温度を上昇させて、前記第１導体膜を配線溝の底部に移動させる工程と、

（ｃ）前記（ｂ）工程後に、前記絶縁膜上の第１導体膜を除去する工程と、

（ｄ）前記（ｃ）工程後に、前記第１導体膜の除去工程により配線溝内に残された第１導体膜上に、銅または銅を含有する第２導体膜をメッキ法により選択的に被着する工程とを有するものである。これにより、配線溝または接続孔のアスペクト比を小さくすることができるので、その後のメッキ処理による導体膜の埋め込みを良好に行うことが可能となる。また、導体膜の除去工程を施さなくとも埋込配線を形成できる。

【００２６】

また、他の手段は、半導体基板上の絶縁膜に形成された配線溝または接続孔の少なくとも一方に埋込配線を設ける構造を有する半導体集積回路装置の製造方法であって、

（ａ）前記絶縁膜に配線溝または接続孔の少なくとも一方を形成する工程と、

（ｂ）前記配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する工程と、

（ｃ）前記（ｂ）工程後に、銅または銅を含む導体材料からなる第２導体膜をメッキ法により被着する工程と、

（ｄ）前記（ｃ）工程後に、第２導体膜および第１導体膜を削り、前記配線溝または接続孔の少なくとも一方の内部に前記第１導体膜、第２導体膜および導体膜からなる埋込配線を形成する工程とを有し、

前記第１導体膜の被着前または被着中にスパッタエッチング処理を施す工程を有するものである。これにより、配線溝または接続孔上部にテーパを形成し、スパッタリング粒子が配線溝または接続孔の底部まで到達し易いようにすることや、配線溝また接続孔内部の前記第１導体膜を再スパッタすることにより、ステップカバレージを改善することができる。

【００２７】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【００２８】

（実施の形態１）

図１～図１６は本発明の一実施の形態である半導体集積回路装置の製造工程中における要部断面図、図１７～図２１は本発明のスパッタリング条件設定を説明するための説明図、図２２および図２３は本発明の一実施の形態である半導体集積回路装置の製造工程中における要部拡大断面図、図４９および図５０は本発明者が検討した埋込配線形成時における不具合を説明するための説明図である。

【００２９】

まず、本実施の形態１の半導体集積回路装置の製造方法を図１～図１６によって説明する。

【００３０】

図１は半導体集積回路装置の製造工程中における要部断面図を示している。半導体基板１は、例えば支持基板１ａ上に絶縁層１ｂを介して素子形成用の半導体層１ｃを設けている

ＳＯＩ基板が用いられている。
【００３１】
支持基板１ａは、例えばシリコン単結晶からなり、絶縁層１ｂは、例えばシリコン酸化膜からなる。半導体層１ｃは、例えばｐ形のシリコン単結晶からなり、その素子分離領域には半導体層１ｃの主面から絶縁層１ｂに達する溝２ａが掘られている。この溝２ａの内部には、例えばシリコン酸化膜からなる絶縁膜２ｂが埋め込まれている。
【００３２】
また、半導体層１ｃには、例えばｎチャネル形のＭＯＳ・ＦＥＴＱが形成されている。このＭＯＳ・ＦＥＴＱは、一対の半導体領域３ａと、ゲート絶縁膜３ｂと、ゲート電極３ｃとを有している。一対の半導体領域３ａは、例えばリンまたはヒ素が半導体層１ｃに導入されてｎ形に設定されている。なお、中央の半導体領域３ａは、隣接するＭＯＳ・ＦＥＴＱに共有の領域となっている。
【００３３】
ゲート絶縁膜３ｂは、例えばシリコン酸化膜からなる。ゲート電極３ｃは、例えば低抵抗ポリシリコンの単体膜からなる。ただし、ゲート電極３ｃは低抵抗ポリシリコンの単体膜に限定されるものではなく種々変更可能であり、例えば低抵抗ポリシリコン膜上にシリサイド膜を形成した、いわゆるポリサイド構造としても良いし、また、例えば低抵抗ポリシリコン上に窒化チタンまたは窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を形成した、いわゆるポリメタル構造としても良い。
【００３４】
このゲート電極３ｃの表面はキャップ絶縁膜４ａおよびサイドウォール４ｂによって覆われている。このキャップ絶縁膜４ａおよびサイドウォール４ｂは、例えばシリコン酸化膜またはシリコン窒化膜からなる。なお、キャップ絶縁膜４ａおよびサイドウォール４ｂをシリコン窒化膜で形成し、選択エッチング処理を採用することで、層間絶縁膜の接続孔を自己整合的に形成することができる。
【００３５】
この半導体層１ｃの主面上には、例えばシリコン酸化膜からなる層間絶縁膜５ａが被着されている。層間絶縁膜５ａは、ＳＯＧ（Ｓｐｉｎ　Ｏｎ　Ｇｌａｓｓ　）法等による塗布膜、有機膜、フッ素を添加したＣＶＤ酸化膜、シリコン窒化膜あるいは種々の絶縁膜を組み合わせたものであっても良い。この層間絶縁膜５ａには、半導体領域３ａの一部が露出するような接続孔６ａが形成されている。
【００３６】
まず、本実施の形態１においては、図２に示すように、層間絶縁膜５ａの上面および接続孔６ａ内に、バリアメタル７ａを、ＣＶＤ法、スパッタリング法またはメッキ法等によって被着する。
【００３７】
バリアメタル７ａは、層間絶縁膜５ａと配線形成用の導体膜との密着性を改善し、かつ、配線形成用の導体膜形成用のＣＶＤ原料ガスや導体膜の構成原子やシリコンの拡散を抑制する機能を有しており、例えば窒化チタン、タンタル、窒化タンタル、タングステン、窒化タングステン、窒化チタンシリサイドまたは窒化タングステンシリサイド等、その他の金属あるいはその化合物からなる。
【００３８】
続いて、バリアメタル７ａ上に、バリアメタル７ａに比して相対的に厚い配線形成用の導体膜８ａをＣＶＤ法等によって被着する。これにより、接続孔６ａを埋め込む。導体膜８ａは、例えばタングステンまたはその合金等からなる。
【００３９】
その後、ＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ　）処理を施すことにより、層間絶縁膜５ａ上面が露出する程度まで導体膜８ａおよびバリアメタル７ａを削る。これにより、図３に示すように、接続孔６ａ内にバリアメタル７ａおよび導体膜８ａからなるプラグ９ａを形成する。

【００４０】
次いで、図５に示すように、例えばシリコン酸化膜等からなる層間絶縁膜５ｂをＣＶＤ法等によって被着し、これを平坦化した後、その層間絶縁膜５ｂに配線溝１０ａをフォトリソグラフィ技術およびドライエッチング技術により形成する。なお、図５の左２つの配線溝１０ａの底面にはプラグ９ａの上面が露出されている。また、層間絶縁膜５ｂは上記層間絶縁膜５ａと同様に形成しても良い。
【００４１】
配線溝１０ａの幅は、例えば０．１３～１．０μｍ程度、特に限定されないが、例えば０．２５μｍ程度、その深さは、例えば０．１５～１．０　μｍ程度、特に限定されないが、例えば０．４　μｍ程度、配線ピッチは、例えば０．２６～２．０μｍ程度、特に限定されないが、例えば０．５μｍ程度である。
【００４２】
続いて、図６に示すように、層間絶縁膜５ａ，　５ｂの上面および配線溝１０ａ内に、バリアメタル（バリア導体膜）７ｂを、ＣＶＤ法、スパッタリング法またはメッキ法等によって被着した後、図７に示すように、そのバリアメタル７ｂ上に、例えば銅または銅合金からなる配線形成用の導体膜（第１導体膜）８ｂをスパッタリング法等により被着する。
【００４３】
バリアメタル７ｂの機能および構成材料は上記バリアメタル７ａと同じである。このバリアメタル７ｂはなくてもよい場合もある。配線形成用の導体膜８ｂは、この後にメッキ法により被着する導体膜の種結晶層であり、配線溝１０ａを埋め込まないように比較的薄く被着する。導体膜８ｂの厚さは、例えば５００～１５００Å程度である。
【００４４】
この配線形成用の導体膜８ｂを被着するためのスパッタリング処理は、配線溝１０ａに対するスパッタリング粒子の入射角度が垂直またはそれに近い値となるような条件（指向性する条件）で、かつ、スパッタリング粒子が半導体基板の主面とターゲットの主面（スパッタリング面）との間で散乱され難い条件で行う。なお、このスパッタリング条件の設定については後ほど詳細に説明する。
【００４５】
このような条件で配線形成用の導体膜８ｂを被着することにより、当該導体膜８ｂを、配線溝１０ａの上部ではオーバーハングの小さいまたは無い状態で、配線溝１０ａ内では、薄く、かつ、むらのない状態で被着できる。すなわち、導体膜８ｂを高いステップカバレッジで被着できる。なお、バリアメタル７ｂも同様のスパッタリング条件により被着しても良い。
【００４６】
また、バリアメタル７ｂ内に、例えばプラチナ、パラジウム、ニッケル、クロム、金、銀または銅を添加しても良い。また、導体膜８ｂに、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀を添加しても良い。さらに、この導体膜８ｂの上面（溝や孔内を含む）に、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなる薄い導体膜を被着しても良い。このようにすることで、続くメッキ法による銅または銅合金からなる導体膜を触媒作用により良好に被着することが可能となる。なお、この方法は、無電解メッキ法を用いる場合に特に有効である。
【００４７】
その後、図８に示すように、導体膜８ｂ上に、例えば銅または銅合金からなる配線形成用の導体膜（第２導体膜）８ｃをメッキ法等により被着する。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込むことができる。
【００４８】
なお、この場合のメッキ法は、電解メッキ法、無電解メッキ法またはその組合せ（この場合は基本的に無電解メッキ後に電解メッキ）のいずれでも良い。また、層間絶縁膜５ｂの上面（溝や孔以外の平坦領域）において、導体膜８ｃの厚さは、導体膜８ｂの厚さよりも厚い。導体膜８ｃの厚さは、例えば０．５～１．０μｍ程度である。

【００４９】
次いで、ＣＭＰ処理を施すことにより、層間絶縁膜５ｂ上面が露出する程度まで導体膜８ｃ，　８ｂおよびバリアメタル７ｂを削る。これにより、図９に示すように、配線溝１０ａ内にバリアメタル７ｂおよび導体膜８ｂ，　８ｃからなる埋込配線１１ａを形成する。なお、この埋込配線１１ａは図９の紙面に対して垂直な方向に延在している。
【００５０】
続いて、図１０に示すように、層間絶縁膜５ｂおよび埋込配線１１ａ上に、例えばシリコン窒化膜等からなるバリア絶縁膜１２をＣＶＤ法等によって被着した後、その上に、図１１に示すように、例えばシリコン酸化膜等からなる層間絶縁膜５ｃをＣＶＤ法等により被着する。なお、層間絶縁膜５ｃは上記した層間絶縁膜５ａと同様に形成しても良い。
【００５１】
その後、その層間絶縁膜５ｃの上部に、配線溝１０ｂをフォトリソグラフィ技術およびドライエッチング技術により形成した後、図１２に示すように、配線溝１０ｂの底部から埋込配線１１ａに達し埋込配線１１ａの一部が露出する接続孔６ｂをフォトリソグラフィ技術およびドライエッチング技術により形成する。
【００５２】
配線溝１０ｂの寸法や配線ピッチについては上記配線溝１０ａと同じである。また、接続孔６ｂの直径は、例えば０．１３～１．０μｍ程度、特に限定されないが、例えば０．２５μｍ程度、その深さは、例えば０．１５～２．０μｍ程度、特に限定されないが、例えば０．６μｍ程度である。
【００５３】
この接続孔６ｂの形成に際しては、シリコン酸化膜とシリコン窒化膜とのエッチング選択比が大きくなる条件でエッチング処理を施す。すなわち、初めはシリコン酸化膜の方がシリコン窒化膜よりもエッチングされ易い条件でエッチング処理を施した後、接続孔６ｂの底部からシリコン窒化膜からなるバリア絶縁膜１２が露出した時点で、エッチング条件を変えてシリコン窒化膜の方がシリコン酸化膜よりもエッチングされ易い条件でエッチング処理を施す。これにより、接続孔６ｂの形成時に埋込配線１１ａが除去されないようにすることができる。
【００５４】
次いで、図１３に示すように、層間絶縁膜５ｃの上面、配線溝１０ｂおよび接続孔６ｂ内に、バリアメタル（バリア導体膜）７ｂを、ＣＶＤ法、スパッタリング法またはメッキ法等によって被着した後、図１４に示すように、そのバリアメタル７ｂ上に、例えば銅または銅合金からなる配線形成用の導体膜（第１導体膜）８ｂをスパッタリング法等により被着する。
【００５５】
バリアメタル７ｂの機能および構成材料は上記バリアメタル７ａと同じである。配線形成用の導体膜８ｂは、この後にメッキ法により被着する導体膜の種結晶層であり、接続孔６ｂおよび配線溝１０ｂを埋め込まないように比較的薄く被着する。この導体膜８ｂの厚さは、例えば５００～１５００Å程度である。
【００５６】
この配線形成用の導体膜８ｂを被着するためのスパッタリング処理は、配線溝１０ｂに対するスパッタリング粒子の入射角度が垂直またはそれに近い値となるような条件（指向性する条件）で、かつ、スパッタリング粒子が半導体基板の主面とターゲットの主面（スパッタリング面）との間で散乱され難い条件で行う。なお、このスパッタリング条件の設定については後ほど詳細に説明する。
【００５７】
このような条件で配線形成用の導体膜８ｂを被着することにより、当該導体膜８ｂを、配線溝１０ｂの上部ではオーバーハングの小さいまたは無い状態で、接続孔６ｂおよび配線溝１０ｂ内では、薄く、かつ、むらのない状態で被着できる。すなわち、導体膜８ｂを高いステップカバレッジで被着できる。なお、このバリアメタル７ｂも同様のスパッタリン

グ条件により被着しても良い。

【００５８】

また、ここでも、バリアメタル７ｂ内に、例えばプラチナ、パラジウム、ニッケル、クロム、金、銀または銅を添加しても良い。また、この導体膜８ｂに、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀を添加しても良い。さらに、この導体膜８ｂの上面（溝や孔内を含む）に、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなる薄い導体膜を被着しても良い。このようにすることで、続くメッキ法による銅または銅合金からなる導体膜を触媒作用により良好に被着することが可能となる。なお、この方法は、無電解メッキ法を用いる場合に特に有効である。

【００５９】

その後、図１５に示すように、導体膜８ｂ上に、例えば銅または銅合金からなる配線形成用の導体膜（第２導体膜）８ｃをメッキ法等により被着する。これにより、微細でアスペクト比の高い接続孔６ｂおよび配線溝１０ｂを充分に埋め込むことができる。なお、この場合のメッキ法は、電解メッキ法、無電解メッキ法またはその組合せ（この場合は基本的に無電解メッキ後に電解メッキ）のいずれでも良い。この導体膜８ｃの厚さは、例えば０．５～１．０μｍ程度である。

【００６０】

次いで、ＣＭＰ処理を施すことにより、層間絶縁膜５ｃ上面が露出する程度まで導体膜８ｃ，　８ｂおよびバリアメタル７ｂを削る。これにより、図１６に示すように、接続孔６ｂおよび配線溝１０ｂ内にバリアメタル７ｂおよび導体膜８ｂ，　８ｃからなる埋込配線１１ｂを形成する。

【００６１】

なお、埋込配線１１ｂの配線溝１０ｂ内部分は、図１６の紙面に垂直な方向に延在している。また、埋込配線１１ｂの接続孔６ｂ内部分は、図１６の紙面に垂直な方向には延在していないが、図１６の上下方向に延在して埋込配線１１ａ，　１１ｂを電気的に接続している。

【００６２】

次に、溝や孔内に導体膜をスパッタリング法で被着する場合の問題点を説明した後、上記した配線形成用の導体膜８ｂのスパッタリング条件の設定技術について説明する。

【００６３】

図４９は上記した指向性を有せず、かつ、スパッタリング粒子の散乱を考慮しない通常のスパッタリング法で成膜処理をした場合の層間絶縁膜５０に形成された配線溝５１の断面図を示している。

【００６４】

層間絶縁膜５０の上面および配線溝５１の表面には、例えば窒化チタン等からなるバリアメタル５２が被着されている。上記通常のスパッタリング法を用いて銅または銅合金等からなる導体膜５３を被着した場合、配線溝５１内に銅または銅合金の粒子が入り込めず、配線溝５１の内側面において導体膜５３に非連続部やカバレッジ不足が生じたり、配線溝５１の底部に導体膜５３のカバレッジ不足が生じたり、配線溝５１の上部において導体膜５３によるオーバーハングが大きくなったりする。

【００６５】

このような状態で、図５０に示すように、銅または銅合金からなる導体膜５４をメッキ処理により被着すると、上記した非連続性やカバレッジ不足に起因して配線溝５１の内側面にボイドが生じたり、上記したオーバーハングに起因して配線溝５１の中央に大きなボイドが生じたりしてしまう。このような問題は、配線溝５１だけでなく、接続孔等でも同様に生じる。

【００６６】

そこで、本実施の形態では、次のようなスパッタリング条件で導体膜８ｂを被着する。

【００６７】

第１の手段を図１７により説明する。ここでの条件は、スパッタリング装置におけるター

ゲットＴＧの主面（スパッタリング面）と半導体基板１の主面との間の距離ＴＳを、ターゲットＴＧの実効半径Ｒ1と半導体基板１の半径Ｒ2 との和を３の平方根で割った値以上とし、かつ、放電時の導体膜８ｂのスパッタリング粒子の平均自由行程を、長さＬ1＝ＴＳ／ＣＯＳ（ａｒｃｔａｎ（Ｒ1＋Ｒ2）／ＴＳ）以上にすることである。

【００６８】

これにより、半導体基板１の主面に対して垂直な方向を零（０）度とした場合において、スパッタリング粒子の半導体基板１に入射する角度の最大角が３０度以下になるように制限する。当該入射角度を約３０度以下に制限することにより、無散乱で飛来するスパッタリング粒子を、アスペクト比＝１の孔（または溝）の底中央部に１００％の確率で到達させることが可能となる。また、アスペクト比＝２の孔（または溝）の底のコーナー部に５０％の確率で到達する。

【００６９】

なお、当該入射角度は厳密には２６．６度以下にすることが好ましいが、その場合、３０度でも効果が得られるので、約３０度以下としている。逆に、３０度であれば、アスペクト比０．８７に対して、スパッタリング粒子を、孔（または溝）の底の中央で１００％、また、アスペクト比１．７３に対して、スパッタリング粒子を、孔（または溝）の底の周辺で５０％の確率で到達させることができる。

【００７０】

また、特に限定されないが、この場合のＴＳは、例えば３００ｍｍ程度、Ｒ１　は、例えば１２５ｍｍ程度、Ｒ２　は、例えば６２．５ｍｍ程度、圧力は、例えば０．０２５　Ｐａ程度であり、（Ｒ１　＋Ｒ２　）を３の平方根で割った値が、例えば１０８ｍｍ程度、従って、ＴＳ／ＣＯＳ（ａｒｃｔａｎ（（Ｒ１　＋Ｒ２　）／ＴＳ））は、例えば３５０ｍｍ程度、平均自由行程は、例えば４７０ｍｍ程度である。

【００７１】

第２の手段を図１８および図１９により説明する。ここでの条件は、スパッタリング装置におけるターゲットＴＧの主面（スパッタリング面）と半導体基板１との間の距離ＴＳを、半導体基板１の半径（または直径）以上にすることである。

【００７２】

ここで、図１８では、半導体基板１の主面に対して垂直な方向を零（０）度とした場合において、スパッタリング粒子の半導体基板１に入射する角度の最大角が３０度以下になるように制限する。これにより、第１手段と同じ効果が得られる。

【００７３】

なお、ここでも当該入射角度は厳密には２６．６度以下にすることが好ましいが、上述と同様の理由で約３０度以下としている。逆に、３０度であれば、アスペクト比０．８７／１．７３に対して、スパッタリング粒子を、孔（または溝）の底の中央で１００％、周辺で５０％の確率で到達させることができる。

【００７４】

また、図１９では、半径Ｒ１　＝半径Ｒ２　の場合を示しており、当該入射角度を４５度以下になるように制限する。当該入射角度を約４５度以下に制限することにより、無散乱で飛来するスパッタリング粒子を、アスペクト比＝０．５　の孔（又は溝）の底部の中央部に１００％の確率で到達させることができる。また、アスペクト比＝１の孔（または溝）のコーナー部に５０％の確率で到達させることができる。

【００７５】

特に限定されないが、この場合のＴＳは、例えば１７０ｍｍ程度、Ｒ１　は、例えば１２５ｍｍ程度、Ｒ２　は、例えば６２．５ｍｍ程度、圧力は、例えば０．０２５　Ｐａ程度であり、半導体基板１の直径は、例えば１２５ｍｍ程度、平均自由行程は、例えば４７０ｍｍ程度である。

【００７６】

第３の手段を図２０および図２１により説明する。ここでの条件は、スパッタリング装置におけるターゲットＴＧの主面（スパッタリング面）と半導体基板１との間の距離を、半

導体基板１の直径×２以上にすることである。
【００７７】
ここで、図２０では、半導体基板１の主面に対して垂直な方向を零（０）度とした場合において、スパッタリング粒子の半導体基板１に入射する角度の最大角が１４度以下になるように制限する。当該入射角度を約１４度以下に制限することにより、スパッタリング粒子が主にターゲットＴＧの中央から半導体基板１の主面に飛来し、無散乱で飛来するスパッタリング粒子を、アスペクト比＝２の孔（または溝）の底中央部に１００％の確率で到達させることが可能となる。また、アスペクト比＝４の孔（または溝）の底のコーナー部に５０％の確率で到達する。
【００７８】
また、図２１では、当該入射角度を３０度以下になるように制限する。これにより、第１手段と同様の効果が得られる。
【００７９】
なお、当該入射角度は厳密には２６．６度以下にすることが好ましいが、上述と同様の理由で、約３０度以下としている。逆に、３０度であれば、アスペクト比０．８７／１．７３に対して、スパッタリング粒子を、孔（または溝）の底の中央で１００％、周辺で５０％の確率で到達させることができる。
【００８０】
また、特に限定されないが、この場合のＴＳ、Ｒ１　、Ｒ２　、圧力、平均自由行程等は、第１手段と同じである。
【００８１】
第４の手段として導体膜８ｂ（図７等参照）を被着するためのスパッタリング処理に際して、スパッタリングチャンバ内の圧力を低くする。本実施の形態においては、特に限定されないが、スパッタリングチャンバ内の圧力を、上記ＴＳが３００ｍｍの場合において、例えば０．１Ｐａ以下、好ましくは０．０２５　Ｐａ程度とした。これにより、スパッタリング粒子の散乱をさらに抑制できるので、当該導体膜８ｂを、配線溝１０ａ，　１０ｂの上部ではオーバーハングの小さいまたは無い状態で、接続孔６ｂおよび配線溝１０ａ，　１０ｂ内では、薄く、かつ、むらのない状態で被着できる。すなわち、導体膜８ｂを高いステップカバレッジで被着できる。
【００８２】
第５の手段として、上記した第１～第４の手段の少なくとも１つと組み合わせて、導体膜８ｂの被着のためのスパッタリング処理前または処理中に、半導体基板１を冷却する。本実施の形態においては、特に限定されないが、半導体基板１の温度を、例えば３０℃以下、好ましくは０℃とした。これにより、導体膜８ｂを構成する銅または銅合金の成膜状態が固体状態となり、銅または銅合金の凝集を抑制することができるので、導体膜８ｂに非連続部が形成されるのを抑制することが可能となる。
【００８３】
図２２は、上記した手段またはこれらの組合せにより導体膜８ｂを被着した場合の断面図を示している。導体膜８ｂは、配線溝１０ａ内に、薄く、かつ、むらのない状態で被着されている。すなわち、配線溝１０ａの内側面（矢印Ａ）および底面（矢印Ｂ）において導体膜８ｂの非連続部は形成されないし、カバレッジ不足も生じない。また、配線溝１０ａの上部（矢印Ｃ）で顕著なオーバーハングが形成されることもない。
【００８４】
図２３は、このような状態で、銅または銅合金等からなる導体膜８ｃをメッキ法により被着した状態を示している。配線溝１０ａ内は、導体膜８ｃにより充填されておりボイドが生じていない。したがって、埋込配線の不良を発生率を大幅に低減でき、半導体集積回路装置の歩留まりおよび信頼性を向上できる。
【００８５】
このように、本実施の形態によれば、以下の効果を得ることが可能となる。
【００８６】

（１）．微細な配線溝１０ａ，　１０ｂまたは接続孔６ｂの内部にボイドを生じることなく導体膜８ｂ，　８ｃを充填することが可能となる。

【００８７】

（２）．上記（１）　により、埋込配線１１ａ，　１１ｂの電気抵抗の設定精度を向上させることが可能となる。

【００８８】

（３）．バリアメタル７ｂに、例えばプラチナ、パラジウム、ニッケル、クロム、金、銀または銅を添加したり、導体膜８ｂに、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀を添加したり、導体膜８ｂ上に、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなる薄い導体膜を形成したりすることにより、続くメッキ法による銅または銅合金からなる導体膜８ｃを触媒作用により良好に被着することが可能となる。これにより、微細な配線溝１０ａ，　１０ｂまたは接続孔６ｂの内部にボイドを生じることなく導体膜８ｂ，　８ｃを充填することが可能となる。

【００８９】

（４）．上記（１）　、（２）　または（３）　により、埋込配線（接続孔部を含む）１１ａ，　１１ｂでの不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【００９０】

（５）．上記（１）　により、配線溝１０ａ，　１０ｂまたは接続孔６ｂの微細化を推進することが可能となる。このため、素子集積度を向上させることができ、半導体集積回路装置の小形・高機能化を推進することが可能となる。

【００９１】

（実施の形態２）

図２４～図２９は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【００９２】

図２４は、層間絶縁膜５ｂ（または層間絶縁膜５ｃ：以下、層間絶縁膜５ｂで代表する）に配線溝１０ａ（または配線溝１０ｂ、接続孔６ｂ：以下、配線溝１０ａで代表する）を形成した状態を示している。

【００９３】

このような層間絶縁膜５ｂ上に、図２５に示すように、例えば銅または銅合金からなる導体膜８ｂ１　をスパッタリング法により成膜するが、本実施の形態２においては、導体膜８ｂ１　が目標成膜値に達していない段階で成膜処理を中断する。この場合のスパッタリング法は、前記実施の形態１のスパッタリング条件を付加したスパッタリング法でも良いし、当該スパッタリング条件を付加しない通常のスパッタリング法でも良い。なお、導体膜８ｂ１　の被着に先立って、上記したバリアメタルを被着しても良い。

【００９４】

続いて、配線溝１０ａの上方が開口したままの状態で熱処理を施すことにより、図２６に示すように、配線溝１０ａの内側面の導体膜８ｂ１　を配線溝１０ａの底部に流動させて配線溝１０ａの内側面の導体膜８ｂを分断する。

【００９５】

また、配線溝８ｂの底部に所定の厚さの導体膜８ｂ１　を堆積する。これにより、配線溝１０ａを浅くすることができる。すなわち、配線溝１０ａのアスペクト比を小さくできるので、配線溝１０ａを、続くメッキ法による導体膜で良好に埋め込むことが可能となる。

【００９６】

その後、上記したスパッタリング法による銅または銅合金等からなる導体膜の成膜処理を再開することにより、図２７に示すように、導体膜８ｂ１　の上面および配線溝１０ａの側面に導体膜８ｂ２　を被着する。

【００９７】

また、ここでも、上記バリアメタル内に、例えばプラチナ、パラジウム、ニッケル、クロ

ム、金、銀または銅を添加しても良いし、また、この導体膜８ｂ２に、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀を添加しても良い。さらに、この導体膜８ｂ２を、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなる薄い導体膜で形成しても良い。このようにすることで、続くメッキ法による銅または銅合金からなる導体膜を触媒作用により良好に被着することが可能となる。なお、この方法は、無電解メッキ法を用いる場合に特に有効である。

【００９８】

その後、図２８に示すように、導体膜８ｂ２　上に導体膜８ｃを前記実施の形態１と同様にメッキ法等で被着する。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込むことができる。なお、層間絶縁膜５ｂの上面（溝や孔以外の略平坦領域）において、導体膜８ｃの厚さは、導体膜８ｂ１，８ｂ２　の和の厚さよりも厚い。

【００９９】

次いで、前記実施の形態１と道央にＣＭＰ処理等を施すことにより、導体膜８ｃ，　８ｂ２，８ｂ１　（バリアメタルがあればバリアメタルも）を削り、図２９に示すように、配線溝１０ａ内に導体膜８ｂ１，８ｂ２，８ｃからなる埋込配線１１ａ（または埋込配線１１ｂ）を形成する。

【０１００】

このような本実施の形態２においても前記実施の形態１で得られた効果の他に、以下の効果を得ることが可能となる。

【０１０１】

（１）．配線溝１０ｂの底部に所定の厚さの導体膜８ｂ１　を堆積することにより、配線溝１０ａを浅くすることができ、配線溝１０ａのアスペクト比を小さくすることができるので、配線溝１０ａを、続くメッキ法による導体膜８ｃで良好に埋め込むことが可能となる。

【０１０２】

（実施の形態３）

図３０および図３１は本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１０３】

本実施の形態３においては、前記実施の形態２の図２６までの処理は同じであり、その後の工程において、前記実施の形態２で説明した導体膜８ｂ２　（図２７参照）を被着せず、図３０に示すように、層間絶縁膜５ｂ上（配線溝１０ａ内を含む）に、導体膜８ｃを前記実施の形態１，　２と同様のメッキ法等で被着する。配線溝１０ａ内は導体膜８ｃで埋め込む。

【０１０４】

その後、図３１に示すように、前記実施の形態１，　２と同様にＣＭＰ処理等を施すことにより導体膜８ｃ，　８ｂ１　（バリアメタルがあればバリアメタルも）を削り、図３２に示すように、配線溝１０ａ内に導体膜８ｂ１，８ｃからなる埋込配線１１ａ（または埋込配線１１ｂ）を形成する。

【０１０５】

また、このような実施の形態３の変形例として、導体膜８ｂ１　を前記実施の形態１，２で説明したスパッタリング法により成膜する最中に半導体基板１の温度を上昇させて、導体膜８ｂ１　を配線溝１０ａの途中位置まで埋め込み配線溝１０ａのアスペクト比を小さくした後、前記実施の形態１，　２と同様のメッキ法により導体膜８ｃを被着して配線溝１０ａを埋め込むようにしても良い。

【０１０６】

このような本実施の形態３およびその変形例においては、前記実施の形態１，　２と同様の効果を得ることが可能となる。

【０１０７】

（実施の形態４）

図３２は本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１０８】

本実施の形態４においては、前記実施の形態２の図２６までの処理は同じであり、その後、前記実施の形態２で説明した導体膜８ｂ１　（図２６参照）において層間絶縁膜５ｂの上面（配線溝１０ａ内を除く、略平坦領域）の導体膜８ｂ１　をＣＭＰ法等により除去する。

【０１０９】

この処理工程後においては、図３２に示すように、配線溝１０ａの底部のみに導体膜８ｂ１　が残されている。

【０１１０】

これにより、層間絶縁膜５ｂの上面（配線溝１０ａ内を除く、略平坦領域）に導体膜８ｂ１　がない分、前記実施の形態２，　３の場合よりもさらに配線溝１０ａを浅くすることができる。すなわち、配線溝１０ａのアスペクト比をさらに小さくすることができるので、配線溝１０ａ内を、続くメッキ法による導体膜でさらに良好に埋め込むことが可能となる。

【０１１１】

続いて、例えば銅または銅合金からなる配線形成用の導体膜を前記実施の形態１～３と同様のメッキ法等により被着することにより、当該導体膜を配線溝１０ａ内のみに選択的に成長させることが可能となる。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込むことができる。なお、本実施の形態４での完成図は図３１と同じであり、当該導体膜は導体膜８ｃに該当する。

【０１１２】

このような本実施の形態４においては、前記実施の形態１～３で得られた効果の他に、以下の効果を得ることが可能となる。

【０１１３】

（１）．配線溝１０ａの底部に所定の厚さの導体膜８ｂ１　を堆積し、かつ、層間絶縁膜５ｂ上の導体膜８ｂ１　を除去することにより、層間絶縁膜５ｂ上に導体膜が無い分、配線溝１０ａをさらに浅くすることができるので、配線溝１０ａのアスペクト比をさらに小さくすることができ、配線溝１０ａを、続くメッキ法による導体膜８ｃで良好に埋め込むことが可能となる。

【０１１４】

（２）．配線溝１０ａの底部のみに導体膜８ｂ１　を被着しておくことにより、続くメッキ法による導体膜８ｃの被着処理に際して、導体膜８ｃを配線溝１０ａ内のみに選択的に成長させることが可能となる。

【０１１５】

（実施の形態５）

図３３～図３６は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１１６】

本実施の形態５においては、図２４までは前記実施の形態１～４と同じであり、続く工程において、例えば銅または銅合金からなる導体膜をスパッタリング法により成膜する前または成膜中にスパッタエッチング処理を施すことにより、図３３に示すように、配線溝１０ａの上部における層間絶縁膜５ｂをエッチングし、微細な配線溝１０ａの上部において層間絶縁膜５ｂの上面と配線溝１０ａの内側面とのなす角部にテーパ（傾斜）を形成する。

【０１１７】

これにより、微細な配線溝１０ａの開口面積（開口部の幅）を広げることができるので、配線溝１０ａ内における銅または銅合金等からなる導体膜のステップカバレッジを向上させることができる。

【０１１８】
このような層間絶縁膜５ｂ上に、図３４に示すように、導体膜８ｂを前記実施の形態１，２と同様のスパッタリング法により成膜した後、図３５に示すように、導体膜８ｂ上に、導体膜８ｃを前記実施の形態１～４と同様のメッキ法等により被着する。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込むことができる。
【０１１９】
その後、前記実施の形態１等と同様にＣＭＰ処理等を施すことにより、導体膜８ｃ，　８ｂ１　（バリアメタルがあればバリアメタルも）を削り、図３６に示すように、配線溝１０ａ内に導体膜８ｂ，　８ｃからなる埋込配線１１ａ（または埋込配線１１ｂ）を形成する。
【０１２０】
このような本実施の形態５においては、前記実施の形態１～４で得られた効果の他に、以下の効果を得ることが可能となる。
【０１２１】
（１）．銅または銅合金からなる導体膜８ｂをスパッタリング法により成膜する前または成膜中にスパッタエッチング処理を施し、微細な配線溝１０ａの上部角にテーパ（傾斜）を形成することにより、微細な配線溝１０ａの上部の開口面積を広げることができるので、配線溝１０ａ内における導体膜８ｂのステップカバレッジを向上させることができる。これにより、配線溝１０ａを、続くメッキ法による導体膜８ｃで良好に埋め込むことが可能となる。
【０１２２】
（実施の形態６）
図３７～図４０は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【０１２３】
本実施の形態６においては、前記実施の形態２の図２４までの処理は同じであり、その後の工程において、図３７に示すように、例えば銅または銅合金からなる導体膜８ｂをスパッタリング法により成膜する際に、半導体基板１側（スパッタリング装置の下部電極）にバイアス電圧を印加することで、成膜とスパッタエッチングとの両方の作用を生じさせながら成膜処理を行うようにする（いわゆるバイアススパッタリング法を用いる）。
【０１２４】
このような方法によれば、配線溝１０ａの開口上部に被着される導体膜８ｂのオーバーハング部分（破線で示す部分）をスパッタエッチング作用により除去できるので、図３８に示すように、導体膜８ｂを、微細な配線溝１０ａ内に、薄く、かつ、むらのない状態で被着することが可能となる。すなわち、配線溝１０ａ内における導体膜８ｂのステップカバレッジを向上させることができる。
【０１２５】
ただし、上記したバイアススパッタリング法に際しても、前記実施の形態１で説明したスパッタリング条件を付加しても良い。これにより、さらに配線溝１０ａ内における導体膜８ｂのステップカバレッジを向上させることができる。また、導体膜８ｂの被着に先立って上記したバリアメタルを被着しても良い。
【０１２６】
その後、図３９に示すように、導体膜８ｂ上に、導体膜８ｃを前記実施の形態１～５と同様のメッキ法等により被着する。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込むことができる。
【０１２７】
次いで、前記実施の形態１と同様にＣＭＰ処理を施すことにより、導体膜８ｃ，　８ｂ（バリアメタルがあればバリアメタルも）を削り、図４０に示すように、配線溝１０ａ内に導体膜８ｂ，　８ｃからなる埋込配線１１ａ（または埋込配線１１ｂ）を形成する。
【０１２８】

このような本実施の形態６においては、前記実施の形態１等で得られた効果の他に、以下の効果を得ることが可能となる。

【０１２９】

（１）．銅または銅合金からなる導体膜８ｂをバイアススパッタリング法により成膜することにより、配線溝１０ａの上部に形成される導体膜８ｂのオーバーハング部分を除去したり、再スパッタにより膜厚の薄い部分に追加成膜できるので、配線溝１０ａ内における導体膜８ｂのステップカバレッジを向上させることができる。これにより、配線溝１０ａを、続くメッキ法による導体膜８ｃで良好に埋め込むことが可能となる。

【０１３０】

（実施の形態７）

図４１～図４３は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１３１】

本実施の形態７においては、前記実施の形態１，　２の図２４までの処理は同じであり、その後の工程において、図４１に示すように、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなる薄い導体膜８ｄをＣＶＤ法、スパッタリング法またはメッキ法等によって被着する。このようにすることで、続くメッキ法による銅または銅合金からなる導体膜を触媒作用により良好に被着することが可能となる。

【０１３２】

また、この導体膜８ｄは、この後にメッキ法により被着する導体膜の種結晶層であり、配線溝１０ａを埋め込まないように比較的薄く被着する。この導体膜８ｄをスパッタリング法で形成する場合、前記実施の形態１のスパッタリング条件を付加しても良い。これにより、薄い導体膜８ｄのステップカバレッジを向上させることが可能となる。

【０１３３】

なお、導体膜８ｄの被着に先立って、配線溝１０ａ内を含む層間絶縁膜５ｂの上面に、バリアメタルを被着しても良い。その方法は、前記実施の形態１と同様に被着すれば良い。また、そのバリアメタル内に、例えばプラチナ、パラジウム、ニッケル、クロム、金、銀または銅を添加しても良い。

【０１３４】

続いて、図４２に示すように、導体膜８ｄ上に、導体膜８ｃを前記実施の形態１～６と同様にメッキ法等で被着した後、前記実施の形態１～６と同様にＣＭＰ処理等を施すことにより導体膜８ｃ，　８ｄおよびバリアメタル７ｂを削り、図４３に示すように、配線溝１０ａ内にバリアメタル７ｂおよび導体膜８ｄ，　８ｃからなる埋込配線１１ａを形成する。

【０１３５】

このような本実施の形態７によれば、前記実施の形態１等と同様の効果を得ることが可能となる。

【０１３６】

（実施の形態８）

図４４および図４５は本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１３７】

本実施の形態８においては、図４４に示すように、第１層目の埋込配線１１ａがバリアメタル７ｂ、導体膜８ｂ（図９参照）、導体膜８ｃおよび導体膜８ｄで構成されている。この導体膜８ｄは、例えば例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなり、導体膜８ｃの上面を被覆するように、すなわち、埋込配線１１ａの上部に形成されている。そして、この導体膜８ｄは、接続孔６ｂの底部から露出されている。なお、このような構造では導体膜８ｄの被着に際してステップカバレッジのことを考慮する必要がない。

【０１３８】

このように導体膜８ｄを設けることにより、続くメッキ法による銅または銅合金からなる導体膜を触媒作用により良好に被着することが可能となる。なお、この方法は、続く銅または銅合金等からなる導体膜を無電解メッキ法で形成する場合に特に有効である。

【０１３９】

その後、図４５に示すように、導体膜８ｄ上に、導体膜８ｃを前記実施の形態４と同様のメッキ法等により被着することにより、接続孔６ｂおよび配線溝１０ａ内に選択的に導体膜８ｃを形成する。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込み、接続孔６ｂおよび配線溝１０ａ内に導体膜８ｃからなる埋込配線１１ａを形成する。

【０１４０】

このような本実施の形態８によれば、前記実施の形態１等と同様の効果を得ることが可能となる。

【０１４１】

（実施の形態９）

図４６～図４８は本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１４２】

本実施の形態９においては、図４６に示すように、バリアメタル７ｂを前記実施の形態１と同様に被着した後、その上に、導体膜８ｂを前記実施の形態１と同様により被着するが、導体膜８ｂの厚さを、前記実施の形態１の場合よりも厚くし、層間絶縁膜５ｂ上面（略平坦領域）において、後述のメッキ法による銅または銅合金等からなる導体膜よりも厚くする。ここでの導体膜８ｂの厚さは、例えば５０００～６０００Å程度である。ただし、配線溝１０ａの内部を導体膜８ｂで完全に埋め込むことはしない。これにより、配線溝１０ａの底部に導体膜８ｂが厚めに被着されるようにする。

【０１４３】

続いて、図４７に示すように、導体膜８ｂ上に、導体膜８ｃを前記実施の形態１等と同様のメッキ法等により被着する。これにより、微細でアスペクト比の高い配線溝１０ａを充分に埋め込む。なお、層間絶縁膜５ｂの上面（略平坦領域）において、導体膜８ｃの厚さは、導体膜８ｂの厚さよりも薄い。この導体膜８ｃの厚さは、例えば１０００Å～２０００Å程度である。また、導体膜８ｂの被着に先立って前記実施の形態６等で説明した導体膜８ｄ（図４１参照）を被着しても良い。

【０１４４】

その後、前記実施の形態１等と同様にＣＭＰ処理を施すことにより、導体膜８ｃ，　８ｂを削り、図４８に示すように、配線溝１０ａ内にバリアメタル７ｂおよび導体膜８ｂ，８ｃからなる埋込配線１１ａを形成する。

【０１４５】

このような本実施の形態９によれば、前記実施の形態１と同様の効果を得ることが可能となる。

【０１４６】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【０１４７】

例えば前記実施の形態１～９においては、半導体基板としてＳＯＩ基板を用いた場合について説明したが、これに限定されるものではなく、例えば半導体単体のみで構成される通常の半導体基板を用いても良し、半導体基板上に薄いエピタキシャル層を設けるエピタキシャル基板を用いても良い。

【０１４８】

また、前記実施の形態６においては、銅または銅合金からなる導体膜をバイアススパッタリング法により成膜する方法を採用したが、これに限定されるものではなく、例えば当該導体膜を、スパッタリング粒子をイオン化して成膜を行っても良いし、蒸着法で成膜して

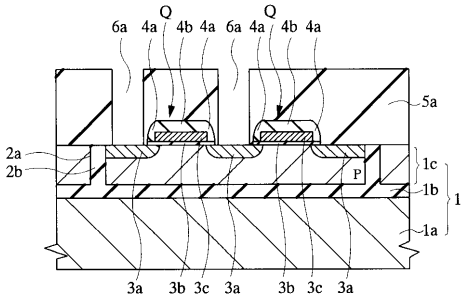
も良い。
【０１４９】
以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置技術に適用した場合について説明したが、それに限定されるものではなく、例えば液晶基板の形成技術等に適用できる。
【０１５０】
【発明の効果】
本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。
【０１５１】
（１）．本発明によれば、微細な配線溝または接続孔の内部にボイドを生じることなく導体膜を充填することが可能となる。
【０１５２】
（２）．本発明によれば、第１導体膜に、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀を添加したり、第１導体膜上に、例えばプラチナ、パラジウム、ニッケル、クロム、金または銀からなる薄い導体膜を形成したりすることにより、続くメッキ法による銅または銅合金からなる第２導体膜を触媒作用により良好に被着することが可能となる。これにより、微細な配線溝または接続孔の内部にボイドを生じることなく導体膜を充填することが可能となる。
【０１５３】
（３）．本発明によれば、第１導体膜の成膜前または成膜中に半導体基板を冷却することにより、第１導体膜を構成する銅または銅合金の成膜状態が固体状態となり、銅または銅合金の凝集を抑制することができるので、第１導体膜に非連続部が形成されるのを抑制することが可能となる。
【０１５４】
（４）．本発明によれば、配線溝または接続孔の少なくとも一方の内部および前記絶縁膜上に、銅または銅を含む導体材料からなる第１導体膜を物理的気相成長法により被着する最中または被着後に半導体基板の温度を上昇させて、前記第１導体膜を配線溝の底部に移動させることにより、配線溝または接続孔のアスペクト比を小さくすることができるので、続く導体膜を配線溝または接続孔内に良好に埋め込むことができる。
【０１５５】
（５）．本発明によれば、第１導体膜を成膜とエッチングとの両方を作用させた状態で被着することにより、配線溝または接続孔の上部に被着される導体膜部分のオーバーハングを少なくすることができるので、続く導体膜を配線溝または接続孔内に良好に埋め込むことができる。
【０１５６】
（６）．上記（１）、（２）、（３）、（４）または（５）により、埋込配線（接続孔部を含む）での不良発生率を低減できるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。
【０１５７】
（７）．上記（１）、（２）、（３）、（４）または（５）により、配線溝または接続孔の微細化を推進することが可能となる。このため、素子集積度を向上させることができ、半導体集積回路装置の小形・高機能化を推進することが可能となる。
【図面の簡単な説明】
【図１】本発明の一実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図２】図１に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３】図２に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４】図３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図５】図４に続く半導体集積回路装置の製造工程中における要部断面図である。

【図６】図５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図７】図６に続く半導体集積回路装置の製造工程中における要部断面図である。
【図８】図７に続く半導体集積回路装置の製造工程中における要部断面図である。
【図９】図８に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１０】図９に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１１】図１０に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１２】図１１に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１３】図１２に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１４】図１３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１５】図１４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１６】図１５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図１７】本発明のスパッタリング条件設定を説明するための説明図である。
【図１８】本発明のスパッタリング条件設定を説明するための説明図である。
【図１９】本発明のスパッタリング条件設定を説明するための説明図である。
【図２０】本発明のスパッタリング条件設定を説明するための説明図である。
【図２１】本発明のスパッタリング条件設定を説明するための説明図である。
【図２２】本発明の一実施の形態である半導体集積回路装置の製造工程中における要部拡大断面図である。
【図２３】本発明の一実施の形態である半導体集積回路装置の製造工程中における要部拡大断面図である。
【図２４】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図２５】図２４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図２６】図２５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図２７】図２６に続く半導体集積回路装置の製造工程中における要部断面図である。
【図２８】図２７に続く半導体集積回路装置の製造工程中における要部断面図である。
【図２９】図２８に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３０】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図３１】図３０に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３２】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図３３】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図３４】図３３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３５】図３４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３６】図３５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３７】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図３８】図３７に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３９】図３８に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４０】図３９に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４１】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図４２】図４１に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４３】図４２に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４４】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図４５】図４４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４６】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中におけ

る要部断面図である。
【図４７】図４６に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４８】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図４９】本発明者が検討した埋込配線形成時における不具合を説明するための説明図である。
【図５０】本発明者が検討した埋込配線形成時における不具合を説明するための説明図である。
【符号の説明】
１　半導体基板
１ａ　支持基板
１ｂ　絶縁層
１ｃ　半導体層
２ａ　溝
２ｂ　絶縁膜
３ａ　半導体領域
３ｂ　ゲート絶縁膜
３ｃ　ゲート電極
４ａ　サイドウォール
４ｂ　キャップ絶縁膜
５ａ　層間絶縁膜
５ｂ　層間絶縁膜
５ｃ　層間絶縁膜
６ａ　接続孔
６ｂ　接続孔
７ａ　バリアメタル
７ｂ　バリアメタル（バリア導体膜）
８ａ　導体膜
８ｂ　導体膜（第１導体膜）
８ｂ１　導体膜
８ｂ２　導体膜
８ｃ　導体膜（第２導体膜）
８ｄ　導体膜（第３導体膜）
９ａ　プラグ
１０ａ，　１０ｂ　配線溝
１１ａ，　１１ｂ　埋込配線
１２　バリア絶縁膜
Ｑ　ＭＯＳ・ＦＥＴ

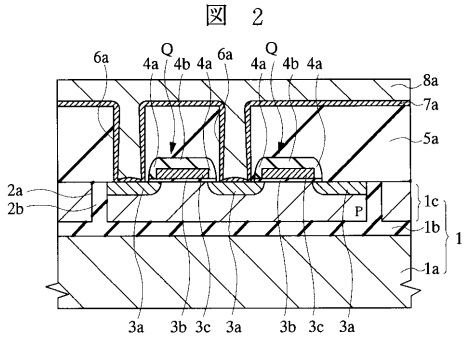
【図１】

図 1



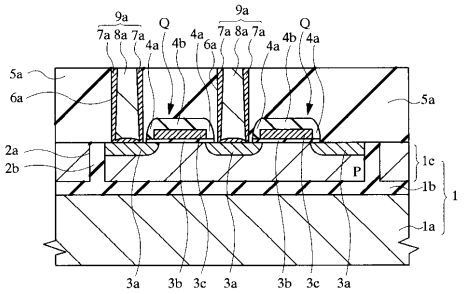

【図２】

図 2



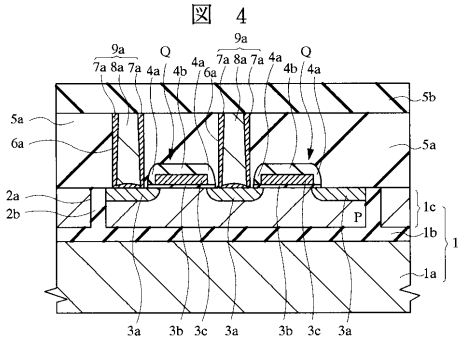

【図３】

図 3



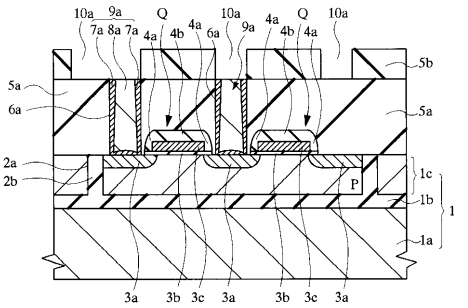

【図４】

図 4



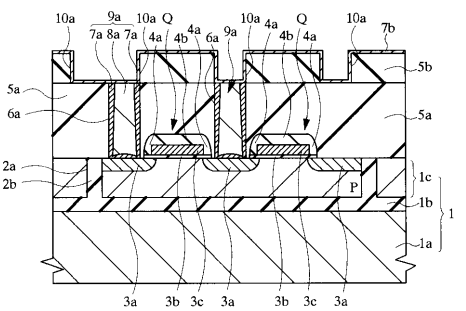

【図５】

図 5



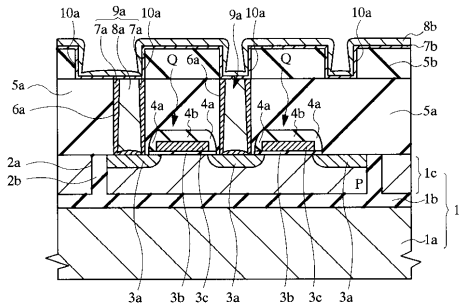

【図６】

図 6



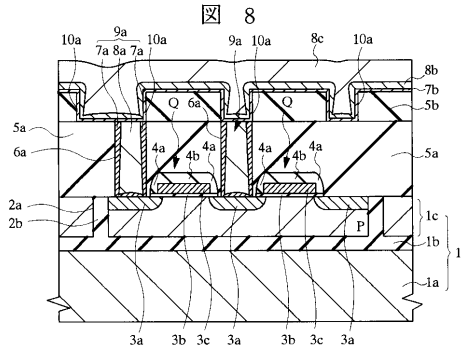

【図７】

図 7



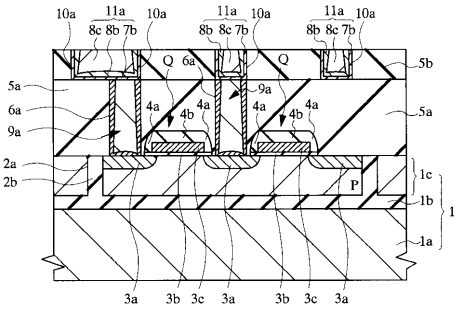

【図８】

図 8



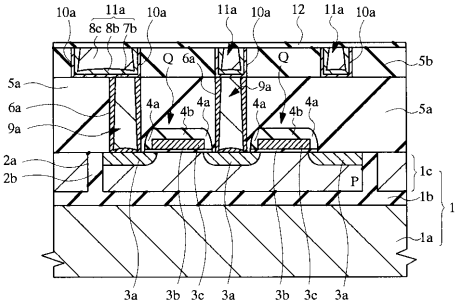
【図９】

図 9



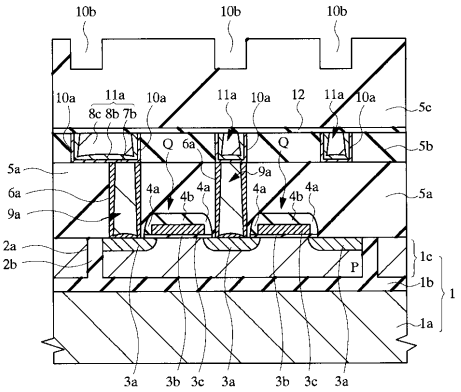

【図１０】

図 10



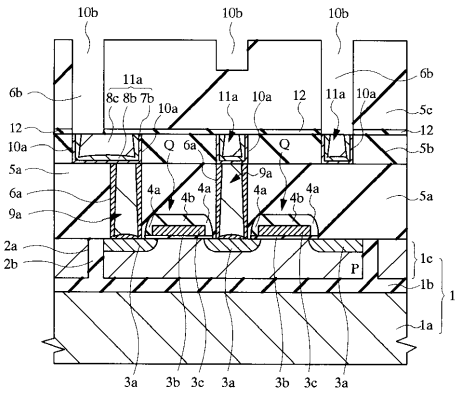

【図１１】

図 11



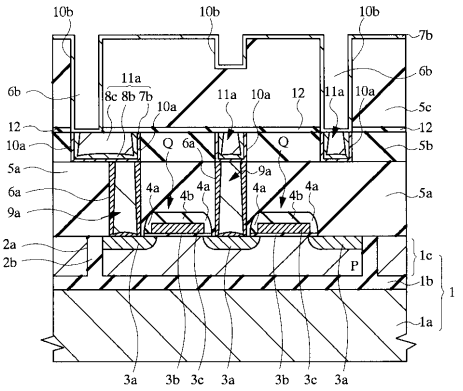

【図１２】

図 12



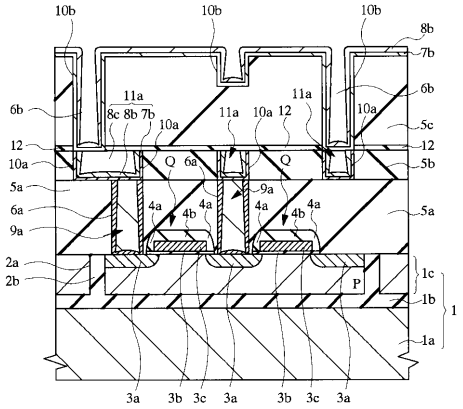

【図１３】

図 13



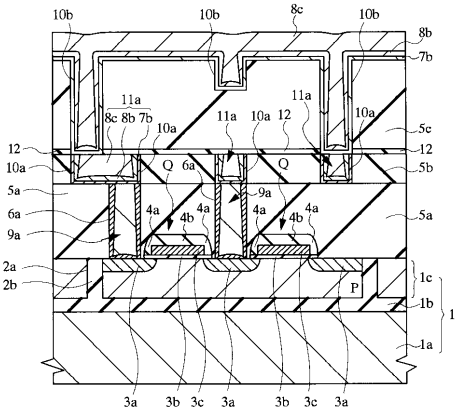
【図１４】

図 14



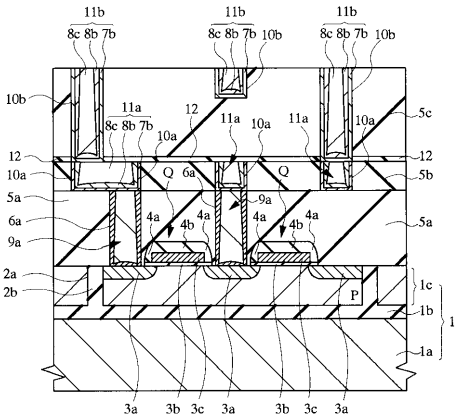

【図１５】

図 15




【図１６】

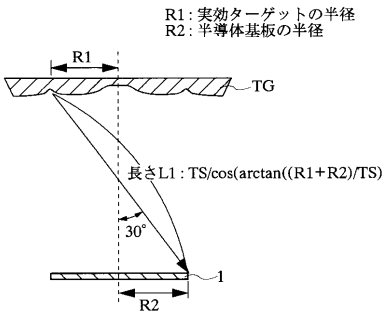
図 16




1：半導体基板
6b：接続孔
8b：導体膜(第1導体膜)
8c：導体膜(第2導体膜)
10a,10b：配線溝
11a,11b：埋込配線

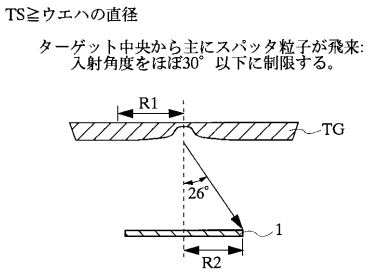
【図１７】

図 17



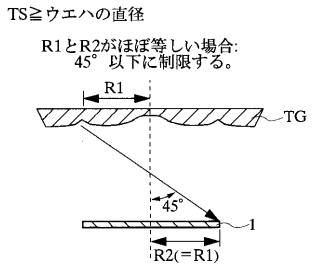
【図１８】

図 18



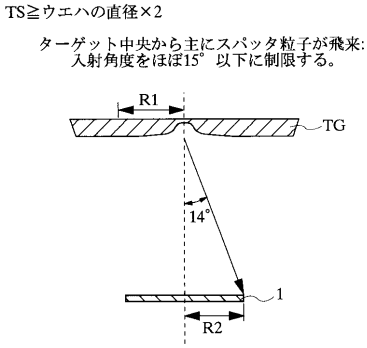

【図１９】

図 19



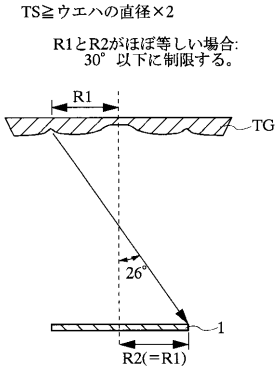

【図２０】

図 20



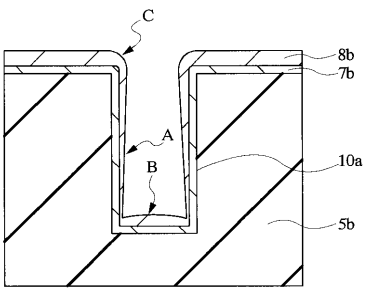

【図２１】

図 21



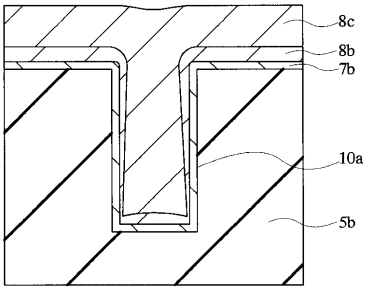

【図２２】

図 22



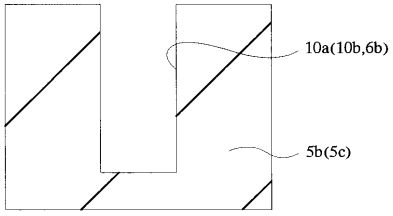

【図２３】

図 23



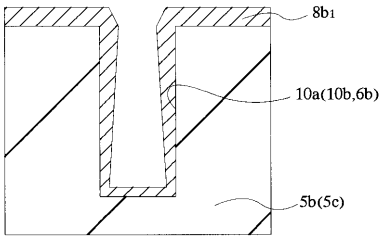

【図２４】

図 24



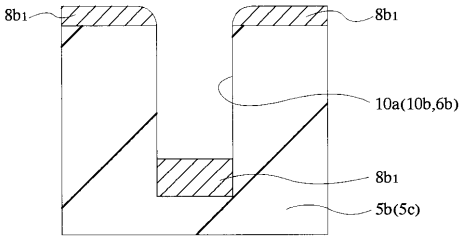
【図２５】

図 25



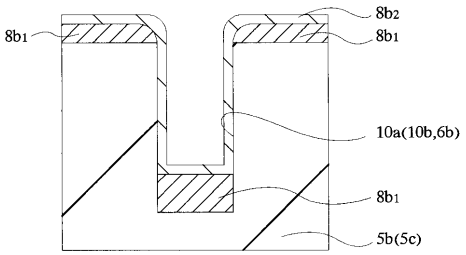

【図２６】

図 26



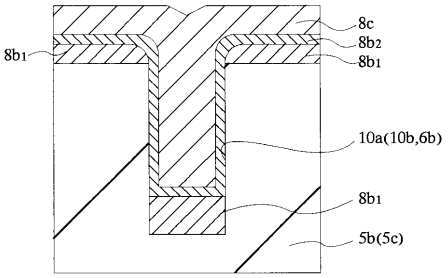

【図２７】

図 27



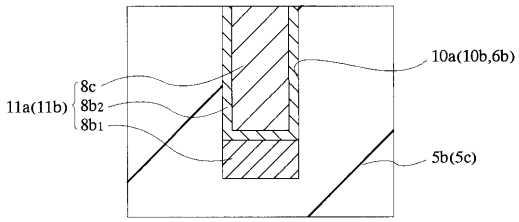

【図２８】

図 28



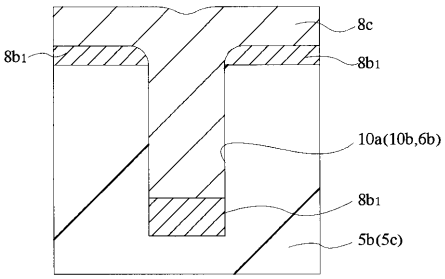

【図２９】

図 29



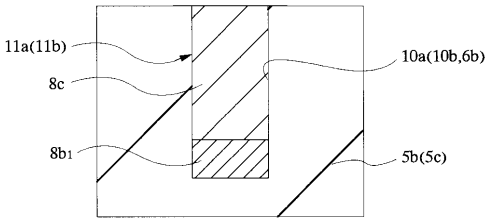

【図３０】

図 30



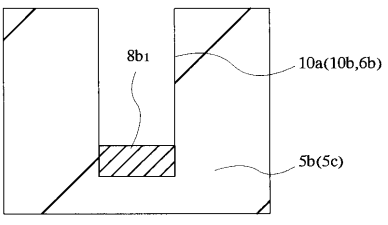

【図３１】

図 31



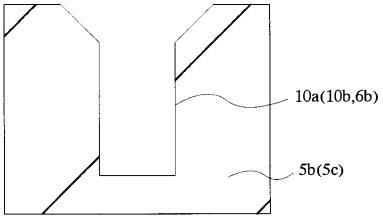

【図３２】

図 32



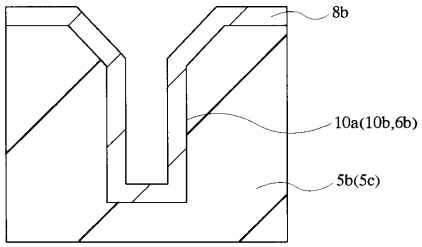
【図３３】

図 33



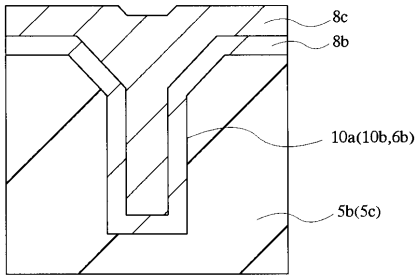

【図３４】

図 34



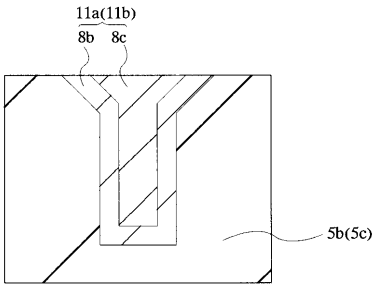

【図３５】

図 35



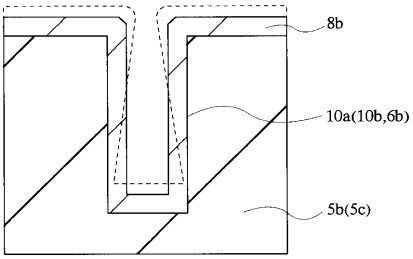

【図３６】

図 36



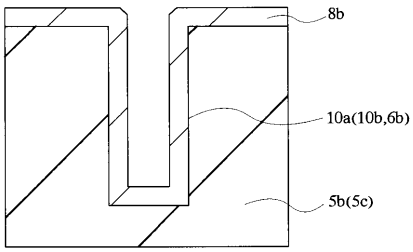

【図３７】

図 37



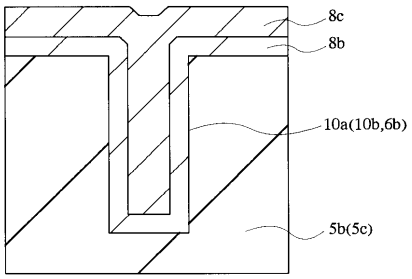

【図３８】

図 38



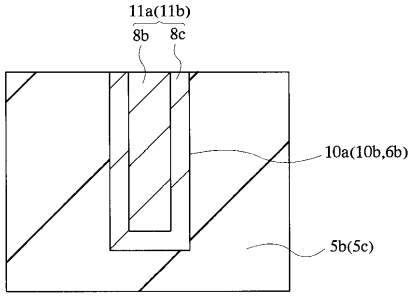

【図３９】

図 39



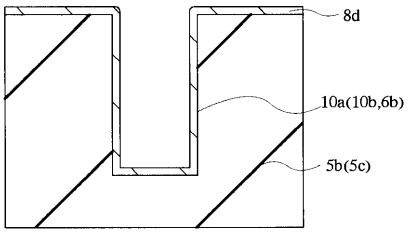

【図４０】

図 40



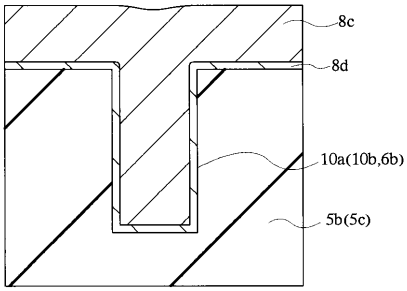
【図４１】

図 41



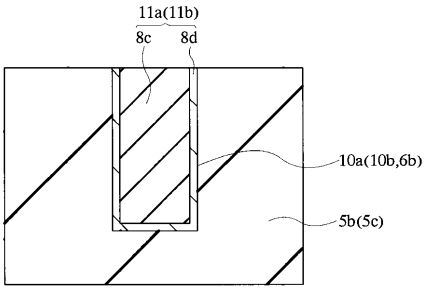

【図４２】

図 42



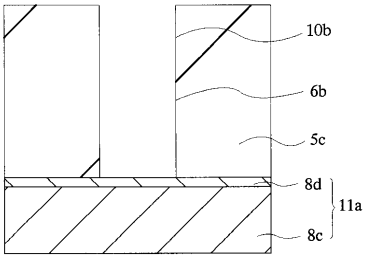

【図４３】

図 43



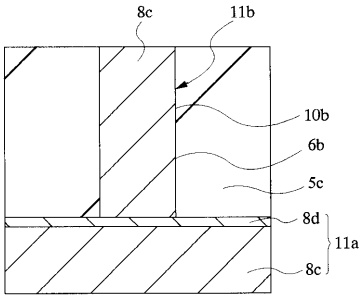

【図４４】

図 44



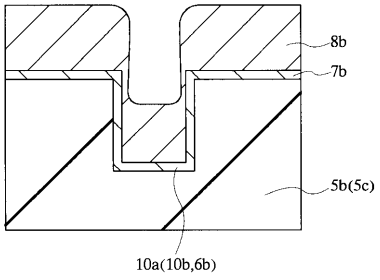

【図４５】

図 45



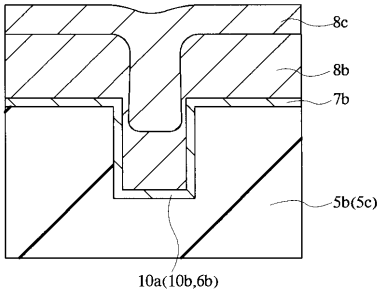

【図４６】

図 46



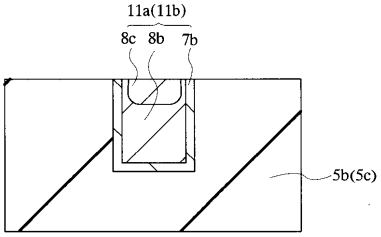

【図４７】

図 47



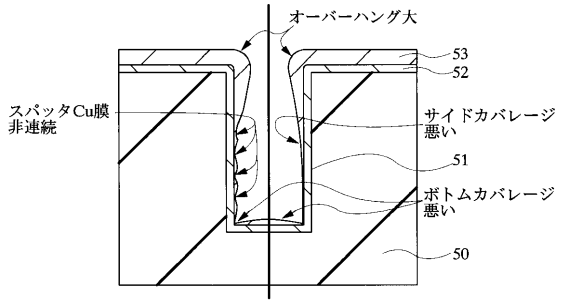

【図４８】

図 48



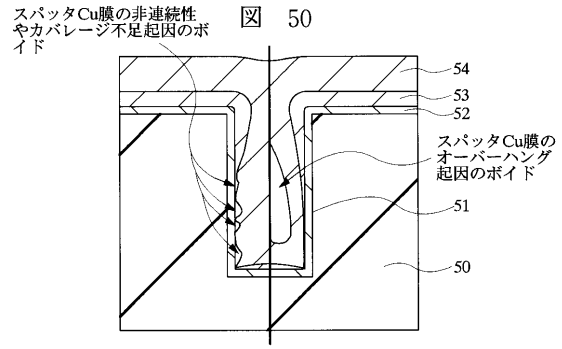
【図４９】

図 49




【図５０】

図 50



フロントページの続き

(72)発明者　野口　純司
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所　デバイス開発センタ内

審査官　國島　明弘

(56)参考文献　特開昭５９－１４７４３０（ＪＰ，Ａ）
特開平１１－１３５５０４（ＪＰ，Ａ）
特開平０８－３２１５４６（ＪＰ，Ａ）
特開平０８－１６２５３４（ＪＰ，Ａ）
特開平０８－０８３７９６（ＪＰ，Ａ）
特開平０７－２９２４７４（ＪＰ，Ａ）
特開平０７－２１１７７６（ＪＰ，Ａ）
特開平０７－０５８２０１（ＪＰ，Ａ）
特開平０６－１４５９７４（ＪＰ，Ａ）
特開平０６－０９３４３６（ＪＰ，Ａ）
特開平０５－０２１３４９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.$^{7}$，ＤＢ名)
H01L 21/285
H01L 21/3205
H01L 21/768