

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5390246号
(P5390246)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月18日(2013.10.18)

(51) Int.Cl.	F 1
HO 1 L 21/822	(2006.01)
HO 1 L 27/04	(2006.01)
HO 1 L 23/52	(2006.01)
HO 1 L 25/18	(2006.01)
HO 1 L 25/04	(2014.01)
HO 1 L 27/04	HO 1 L 27/04
HO 1 L 23/52	HO 1 L 23/52
HO 1 L 25/18	HO 1 L 25/04
HO 1 L 25/04	Z

請求項の数 1 (全 17 頁)

(21) 出願番号 特願2009-101860 (P2009-101860)
 (22) 出願日 平成21年4月20日 (2009.4.20)
 (65) 公開番号 特開2010-251641 (P2010-251641A)
 (43) 公開日 平成22年11月4日 (2010.11.4)
 審査請求日 平成24年4月12日 (2012.4.12)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1753 番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (74) 代理人 100118544
 弁理士 野本 可奈
 (74) 代理人 100127236
 弁理士 天城 聰
 (72) 発明者 富留宮 正之
 神奈川県川崎市中原区下沼部 1753 番地
 N E C エレクトロニクス株式会社内
 (72) 発明者 中柴 康隆
 神奈川県川崎市中原区下沼部 1753 番地
 N E C エレクトロニクス株式会社内
 最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

送信回路、第1接続端子、及び第2接続端子を有する第1領域と、
 前記第1領域と並んで配置されており、前記第1領域と基準電位が分離されており、受
 信回路、第3接続端子、及び第4接続端子を有する第2領域と、

前記送信回路に接続された第1インダクタと、

前記受信回路に接続され、前記第1インダクタと誘導結合する第2インダクタと、

前記第1インダクタの少なくとも一部を構成し、両端が前記第1接続端子及び前記第3
 接続端子に接続している第1ボンディングワイヤと、

前記第2インダクタの少なくとも一部を構成し、両端が前記第2接続端子及び前記第4
 接続端子に接続している第2ボンディングワイヤと、

を備える半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力される電気信号の電位が互いに異なる2つの回路の間で電気信号を伝達
 することができる半導体装置に関する。

【背景技術】

【0002】

入力される電気信号の電位が互いに異なる2つの回路の間で電気信号を伝達する場合、

10

20

フォトカプラを用いることが多い。フォトカプラは、発光ダイオードなどの発光素子とフォトトランジスタなどの受光素子を有しており、入力された電気信号を発光素子で光に変換し、この光を受光素子で電気信号に戻すことにより、電気信号を伝達している。

【0003】

しかし、フォトカプラは発光素子と受光素子を有しているため、小型化が難しい。また、電気信号の周波数が高い場合には電気信号に追従できなくなる。

【0004】

なお特許文献1及び2には、ボンディングワイヤを用いてインダクタ素子を形成することが記載されている。

【先行技術文献】

10

【特許文献】

【0005】

【特許文献1】特開2005-39023号公報

【特許文献2】特開平10-74625号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

入力される電気信号の電位が互いに異なる2つの回路の間で電気信号を伝達する方法として、2つのインダクタを誘導結合させることにより電気信号を伝達することが考えられる。この場合、伝達エラーを少なくするために、インダクタの結合係数を大きくする必要がある。互いに誘導結合している2つのインダクタを形成する技術としては、渦巻状のインダクタを上下に重ねる方法が考えられる。しかし渦巻状のインダクタは、半導体装置の配線層を用いて形成されることが多く、このため、インダクタの径を大きくすることが難しかった。従って、2つのインダクタの結合係数を大きくすることができなかった。

20

【課題を解決するための手段】

【0007】

本発明によれば、送信回路、第1接続端子、及び第2接続端子を有する第1領域と、前記第1領域と並んで配置されており、前記第1領域と基準電位が分離されており、受信回路、第3接続端子、及び第4接続端子を有する第2領域と、

前記送信回路に接続された第1インダクタと、

30

前記受信回路に接続され、前記第1インダクタと誘導結合する第2インダクタと、

前記第1インダクタの少なくとも一部を構成し、両端が前記第1接続端子及び前記第3接続端子に接続している第1ボンディングワイヤと、

前記第2インダクタの少なくとも一部を構成し、両端が前記第2接続端子及び前記第4接続端子に接続している第2ボンディングワイヤと、

を備える半導体装置が提供される。

【0008】

本発明によれば、第1インダクタの少なくとも一部が第1ボンディングワイヤで形成され、第2インダクタの少なくとも一部が第2ボンディングワイヤで形成されている。このため、第1インダクタ及び第2インダクタの径を大きくすることができる。従って、2つのインダクタの結合係数を大きくすることができる。

40

【発明の効果】

【0009】

本発明によれば、2つのインダクタを誘導結合させることにより電気信号を伝達する場合において、2つのインダクタの結合係数を大きくすることができる。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態に係る半導体装置の構成を示す平面概略図である。

【図2】図1に示した半導体装置のA-A'断面図である。

【図3】図1及び図2に示した第1半導体チップ及び第2半導体チップを配線基板として

50

のリードフレームに実装した構造を示す断面図である。

【図4】第2の実施形態に係る半導体装置の構成を示す平面概略図である。

【図5】第3の実施形態に係る半導体装置の平面概略図である。

【図6】図5に示した半導体装置のB-B'断面図である。

【図7】第4の実施形態に係る半導体装置の構成を示す平面概略図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0012】

(第1の実施形態)

図1は、第1の実施形態に係る半導体装置の構成を示す平面概略図である。この半導体装置は、第1領域としての第1半導体チップ10、第2領域としての第2半導体チップ20、第1インダクタ、第2インダクタ、第1ボンディングワイヤ500、及び第2ボンディングワイヤ502を備える。

【0013】

第1半導体チップ10は、送信回路100、第1接続端子160、及び第2接続端子162を有している。第2半導体チップ20は、第1半導体チップ10と並んで配置されており、第1半導体チップ10と基準電位が分離されている。第2半導体チップ20は、受信回路200、第3接続端子260、及び第4接続端子262を有している。第1インダクタは送信回路100に接続されている。第2インダクタは、受信回路200に接続されており、第1インダクタと誘導結合している。第1インダクタは、少なくとも一部が第1ボンディングワイヤ500によって構成されている。第1ボンディングワイヤ500は、両端が第1接続端子160及び第3接続端子260に接続されている。第2インダクタは、少なくとも一部が第2ボンディングワイヤ502によって構成されている。第2ボンディングワイヤ502は、両端が第2接続端子162及び第4接続端子262に接続されている。第1接続端子160は送信回路100に接続されており、第4接続端子262は受信回路200に接続されている。本実施形態において各接続端子は、例えばパッドである。

【0014】

本実施形態において、第1インダクタは、第1ボンディングワイヤ500、第2半導体チップ20に形成された配線266、及び第3ボンディングワイヤ506によって形成されており、第2インダクタは、第2ボンディングワイヤ502、第1半導体チップ10に形成された配線166、及び第4ボンディングワイヤ504によって構成されている。

【0015】

第1半導体チップ10は、さらに配線166、第5接続端子164、及び第6接続端子168を有している。第5接続端子164は、配線166を介して第2接続端子162に接続している。配線166は、例えば第2接続端子162及び第5接続端子164がパッドである場合、これらパッドと同一の配線層に形成されるが、これらよりも下の配線層に形成されても良い。第6接続端子168は、第1半導体チップ10の基準電位に接続している。

【0016】

また第2半導体チップ20は、さらに配線266、第7接続端子264、及び第8接続端子268を有している。第7接続端子264は、配線266を介して第3接続端子260に接続している。配線266は、例えば第3接続端子260及び第7接続端子264がパッドである場合、これらパッドと同一の配線層に形成されるが、これらよりも下の配線層に形成されても良い。第8接続端子268は、第2半導体チップ20の基準電位に接続している。

【0017】

第3ボンディングワイヤ506は、両端が第6接続端子168及び第7接続端子264

10

20

30

40

50

に接続されており、第4ポンディングワイヤ504は、両端が第5接続端子164及び第8接続端子268に接続されている。第3ポンディングワイヤ506は第1ポンディングワイヤ500と第2ポンディングワイヤ502の間に位置しており、第4ポンディングワイヤ504は第1ポンディングワイヤ500と第3ポンディングワイヤ506の間に位置している。第3ポンディングワイヤ506と第4ポンディングワイヤ504の間隔Bは、第1ポンディングワイヤ500と第4ポンディングワイヤ504の間隔A、及び第2ポンディングワイヤ502と第3ポンディングワイヤ506の間隔Cより広い。

【0018】

そして、第1ポンディングワイヤ500と第4ポンディングワイヤ504は互いに平行であり、第2ポンディングワイヤ502と第3ポンディングワイヤ506は互いに平行である。本図に示す例では、第1ポンディングワイヤ500、第2ポンディングワイヤ502、第3ポンディングワイヤ506、及び第4ポンディングワイヤ504の全てが互いに平行である。そして第1ポンディングワイヤ500が描く弧の中心軸に沿ってみた場合、第1ポンディングワイヤ500、第2ポンディングワイヤ502、第3ポンディングワイヤ506、及び第4ポンディングワイヤ504は、それぞれが描く弧は、互いに重なる部分を有している。

【0019】

また第1接続端子160、第2接続端子162、配線166、第5接続端子164、及び第6接続端子168は、第1半導体チップ10の中心を基準にした場合に第2半導体チップ20とは反対側に位置している。第3接続端子260、第4接続端子262、配線266、第7接続端子264、及び第8接続端子268は、第2半導体チップ20の中心を基準にした場合に第1半導体チップ10とは反対側に位置している。

【0020】

詳細には、第1半導体チップ10及び第2半導体チップ20の平面形状は、長方形又は正方形である。そして第1接続端子160、第2接続端子162、配線166、第5接続端子164、及び第6接続端子168は、第1半導体チップ10のうち第2半導体チップ20とは反対側の辺に位置している。また第3接続端子260、第4接続端子262、配線266、第7接続端子264、及び第8接続端子268は、第2半導体チップ20のうち第1半導体チップ10とは反対側の辺に位置している。

【0021】

送信回路100は、デジタル信号を送信用の信号に変調する変調処理部155と、変調された信号を第1接続端子160に出力する送信側ドライバ回路150を含んでいる。受信回路200は、第4接続端子262に接続されている復調回路255、及び受信側ドライバ回路250（例えばゲートドライバ）を含んでいる。復調回路255は、変調された信号をデジタル信号に復調する。復調回路255で復調されたデジタル信号は、受信側ドライバ回路250に出力される。

【0022】

送信回路100及び受信回路200は、入力される電気信号の電位が互いに異なるが、第1インダクタ及び第2インダクタは誘導結合を用いて電気信号を送受信するため、送信回路100及び受信回路200に問題は生じない。なお、「入力される電気信号の電位が互いに異なる」場合として、電気信号の振幅（0を示す電位と1を示す電位の差）が互いに異なる場合、電気信号の基準電位（0を示す電位）が異なる場合、及び電気信号の振幅が互いに異なり、かつ電気信号の基準電位が異なる場合などがある。

【0023】

このような構成において、送信回路100から出力された送信信号は、第1ポンディングワイヤ500、配線266、及び第3ポンディングワイヤ506をこの順に伝達する。このとき、第1ポンディングワイヤ500及び第3ポンディングワイヤ506で生じた磁界によって、第1ポンディングワイヤ500及び第3ポンディングワイヤ506と、第2ポンディングワイヤ502及び第4ポンディングワイヤ504が誘導結合し、送信信号が第2ポンディングワイヤ502及び第4ポンディングワイヤ504に伝達される。第2ボ

10

20

30

40

50

ンディングワイヤ 502 及び第 4 ボンディングワイヤ 504 が受信した信号は、第 4 接続端子 262 を介して受信回路 200 に伝達される。

【0024】

図 2 は、図 1 に示した半導体装置の A - A' 断面図である。第 1 半導体チップ 10 の送信回路 100 は第 1 トランジスタを有している。第 1 トランジスタには、N 型のトランジスタと、P 型のトランジスタがある。N 型の第 1 トランジスタ 121 は P 型のウェル 120 に形成されており、ソース及びドレインとなる 2 つの N 型の不純物領域 124 及びゲート電極 126 を有している。P 型の第 1 トランジスタ 141 は N 型のウェル 140 に形成されており、ソース及びドレインとなる 2 つの P 型の不純物領域 144 及びゲート電極 146 を有している。ゲート電極 126, 146 それぞれの下にはゲート絶縁膜が位置している。これら 2 つのゲート絶縁膜は、厚さが略等しい。そして第 1 トランジスタ 121, 141 は、上記した送信側ドライバ回路、例えばインバータを構成している。10

【0025】

ウェル 120 には P 型の不純物領域 122 が形成されており、ウェル 140 には N 型の不純物領域 142 が形成されている。不純物領域 122 には N 型の第 1 トランジスタ 121 の基準電位（グラウンド電位）を与える配線が接続されており、不純物領域 142 には P 型の第 1 トランジスタ 141 の電源電位を与える配線が接続されている。

【0026】

第 2 半導体チップ 20 の受信回路 200 は第 2 トランジスタを有している。第 2 トランジスタにも、N 型のトランジスタと、P 型のトランジスタがある。N 型の第 2 トランジスタ 221 は P 型のウェル 220 に形成されており、ソース及びドレインとなる 2 つの N 型の不純物領域 224 及びゲート電極 226 を有している。P 型の第 2 トランジスタ 241 は N 型のウェル 240 に形成されており、ソース及びドレインとなる 2 つの P 型の不純物領域 244 及びゲート電極 246 を有している。ゲート電極 226, 246 それぞれの下にはゲート絶縁膜が位置している。そして第 2 トランジスタ 221, 241 は、上記した受信側ドライバ回路 250 及び復調回路 255 を構成している。20

【0027】

ウェル 220 には P 型の不純物領域 222 が形成されており、ウェル 240 には N 型の不純物領域 242 が形成されている。不純物領域 222 には N 型の第 2 トランジスタ 221 の基準電位を与える配線が接続されており、不純物領域 242 には P 型の第 2 トランジスタ 241 の電源電位を与える配線が接続されている。30

【0028】

本図に示す例において、第 1 トランジスタ 121, 141 と第 2 トランジスタ 221, 241 は、ゲート絶縁膜の厚さが互いに異なっているが、同じであっても良い。

【0029】

第 1 半導体チップ 10 は、多層配線層 400 を有しており、第 2 半導体チップ 20 は多層配線層 900 を有している。多層配線層 400, 900 は、絶縁層及び配線層をこの順にそれぞれ t 回 (t > 3) 以上交互に積層したものである。本実施形態において、多層配線層 400 は、絶縁層 410、配線層 412、絶縁層 420、配線層 422、絶縁層 430、配線層 432、絶縁層 440、及び配線層 442 をこの順に重ねた構成を有している。絶縁層 410, 420, 430, 440 は、複数の絶縁膜を積層した構造であってもよいし、一つの絶縁膜であってもよい。40

【0030】

配線層 412, 422, 432, 442 に位置する配線は、ダマシン法により形成された C u 配線であり、それぞれ配線層 412, 422, 432, 442 に形成された溝に埋め込まれている。最上層の配線には、図 1 に示した第 1 半導体チップ 10 の各接続端子（例えば第 1 接続端子 160）が形成されている。なお、上記した配線層 412, 422, 432, 442 の少なくとも一つは A1 合金配線であっても良い。なお配線層 412, 422, 432, 442 に形成された配線は、絶縁層 410, 420, 430, 440 に埋め込まれたプラグを介して互いに接続している。50

【0031】

また多層配線層900においても、配線は、例えばダマシン法により形成されたCu配線であるが、少なくとも一つの配線層はAl合金配線であっても良い。最上層の配線には、図1に示した第2半導体チップ20の各接続端子（例えば第3接続端子260）が形成されている。多層配線層900の層数は、多層配線層400の層数と同一であっても良いし、異なっていても良い。

【0032】

図3は、図1及び図2に示した第1半導体チップ10及び第2半導体チップ20を配線基板としてのリードフレームに実装した構造を示す断面図である。リードフレームは、ダイパッド700, 702、及びリード710, 712を有している。ダイパッド700には第1半導体チップ10が搭載されており、ダイパッド702には第2半導体チップ20が搭載されている。第1半導体チップ10は接続用ボンディングワイヤ600を介してリード710に接続しており、第2半導体チップ20は接続用ボンディングワイヤ602を介してリード712に接続している。

10

【0033】

第1ボンディングワイヤ500、第2ボンディングワイヤ502、第3ボンディングワイヤ506、及び第4ボンディングワイヤ504の頂点は、接続用ボンディングワイヤ600, 602よりも高い。このため、第1ボンディングワイヤ500、第2ボンディングワイヤ502、第3ボンディングワイヤ506、及び第4ボンディングワイヤ504の径を大きくすることができる。

20

【0034】

また第1半導体チップ10、第2半導体チップ20、リードフレーム、第1～第4ボンディングワイヤ500～506、及び接続用ボンディングワイヤ600, 602は、樹脂層800で封止されている。樹脂層800は、例えば金型に封止用の樹脂を注入することにより形成される。このとき、樹脂を、第1～第4ボンディングワイヤ500～506に対して直交する方向（図1の矢印参照）から注入すると、樹脂の注入時に第1～第4ボンディングワイヤ500～506が変形することを抑制できる。

【0035】

次に、本実施形態の作用及び効果について説明する。本実施形態では、第1インダクタの一部が第1ボンディングワイヤ500及び第4ボンディングワイヤ504で形成されており、第2インダクタの一部が第2ボンディングワイヤ502及び第3ボンディングワイヤ506で形成されている。そして、第1ボンディングワイヤ500及び第4ボンディングワイヤ504が、第2ボンディングワイヤ502及び第3ボンディングワイヤ506と誘導結合する。ボンディングワイヤでインダクタを形成する場合、半導体装置の配線層でインダクタを形成する場合と比較して径を大きくしやすい。このため、第1インダクタと第2インダクタの結合係数を大きくすることができる。従って、第1インダクタと第2インダクタの間の信号伝達エラーを少なくすることができる。

30

【0036】

また、第1ボンディングワイヤ500は第1半導体チップ10の第1接続端子160と第2半導体チップ20の第3接続端子260に接続しており、第2ボンディングワイヤ502は第1半導体チップ10の第2接続端子162と第2半導体チップ20の第4接続端子262に接続している。第1接続端子160及び第2接続端子162は、第1半導体チップ10の中心を基準にした場合に第2半導体チップ20とは反対側に位置しており、第3接続端子260及び第4接続端子262は、第2半導体チップ20の中心を基準にした場合に第1半導体チップ10とは反対側に位置している。このため、第1ボンディングワイヤ500及び第2ボンディングワイヤ502の径をさらに大きくすることができる。特に本実施形態では、第1半導体チップ10及び第2半導体チップ20が長方形又は正方形である。そして第1接続端子160及び第2接続端子162は、第2半導体チップ20とは反対側の辺に位置しており、第3接続端子260及び第4接続端子262は、第1半導体チップ10とは反対側の辺に位置している。このため、第1ボンディングワイヤ500

40

50

及び第2ポンディングワイヤ502の径を特に大きくすることができる。

【0037】

また本実施形態では、第1インダクタを第1半導体チップ10に戻して第1半導体チップ10の基準電位を与えるために、第3ポンディングワイヤ506を設けており、第2インダクタを第2半導体チップ20に戻して第2半導体チップ20の基準電位を与えるために、第4ポンディングワイヤ504を設けている。第3ポンディングワイヤ506は、第1ポンディングワイヤ500と第2ポンディングワイヤ502の間に位置しており、第4ポンディングワイヤ504は第1ポンディングワイヤ500と第3ポンディングワイヤ506の間に位置している。このため、第1インダクタを構成するポンディングワイヤと第2インダクタを構成するポンディングワイヤが互い違いになり、第1インダクタと第2インダクタの結合係数がさらに大きくなる。10

【0038】

また本実施形態では、第3ポンディングワイヤ506と第4ポンディングワイヤ504の間隔Bは、第1ポンディングワイヤ500と第4ポンディングワイヤ504の間隔A、及び第2ポンディングワイヤ502と第3ポンディングワイヤ506の間隔Cより広い。このため、第1ポンディングワイヤ500と第3ポンディングワイヤ506の間隔、及び第2ポンディングワイヤ502と第4ポンディングワイヤ504の間隔を確保しつつ、第1ポンディングワイヤ500と第4ポンディングワイヤ504の間隔、及び第2ポンディングワイヤ502と第3ポンディングワイヤ503の間隔を狭くすることができる。このため、第1インダクタと第2インダクタの結合係数がさらに大きくなる。20

【0039】

(第2の実施形態)

図4は、第2の実施形態に係る半導体装置の構成を示す平面概略図である。この半導体装置は、第1の実施形態における第1ポンディングワイヤ500、第2ポンディングワイヤ502、第3ポンディングワイヤ506、及び第4ポンディングワイヤ504それぞれを複数のポンディングワイヤに分割した場合に相当する。

【0040】

詳細には、第1接続端子160、第2接続端子162、第5接続端子164、及び第6接続端子168が、第1半導体チップ10のうち第2半導体チップ20に対向する辺に設けられており、第3接続端子260、第4接続端子262、第7接続端子264、及び第8接続端子268が、第2半導体チップ20のうち第1半導体チップ10に対抗する辺に設けられている。そして第1接続端子160は送信回路100に直接接続しておらず、第6接続端子168は第1半導体チップ10の基準電位に直接接続していない。また第4接続端子262は受信回路200に直接接続しておらず、第8接続端子268は第2半導体チップ20の基準電位に直接接続していない。30

【0041】

そして第1半導体チップ10は、第9接続端子170、第10接続端子172、第11接続端子174、第12接続端子176、接続端子178, 180, 182, 184、第5ポンディングワイヤ508、第6ポンディングワイヤ510、及びポンディングワイヤ512, 514を備える。40

【0042】

第9接続端子170は第1接続端子160に接続しており、第10接続端子172は送信回路100に接続している。第5ポンディングワイヤ508は、一端が第9接続端子170に接続していて他端が第10接続端子172に接続している。すなわち第1接続端子160は、第9接続端子170、第5ポンディングワイヤ508、及び第10接続端子172を介して送信回路100に接続している。

【0043】

第11接続端子174は第2接続端子162に接続しており、第12接続端子176は配線166に接続している。第6ポンディングワイヤ510は、一端が第11接続端子174に接続していて他端が第12接続端子176に接続している。接続端子178は第550

接続端子 164 に接続しており、接続端子 180 は配線 166 に接続している。ボンディングワイヤ 512 は一端が接続端子 178 に接続しており、他端が接続端子 180 に接続している。

【0044】

すなわち第 2 接続端子 162 は、第 11 接続端子 174、第 6 ボンディングワイヤ 510、第 12 接続端子 176、配線 166、接続端子 180、ボンディングワイヤ 512、及び接続端子 178 を介して、第 5 接続端子 164 に接続している。

【0045】

接続端子 182 は第 6 接続端子 168 に接続しており、接続端子 184 は第 1 半導体チップ 10 の基準電位に接続している。ボンディングワイヤ 514 は、一端が接続端子 182 に接続しており、他端が接続端子 184 に接続している。すなわち第 6 接続端子 168 は、接続端子 182、ボンディングワイヤ 514、及び接続端子 184 を介して基準電位に接続している。10

【0046】

また第 2 半導体チップ 20 は、第 13 接続端子 270、第 14 接続端子 272、第 15 接続端子 274、第 16 接続端子 276、接続端子 278, 280, 282, 284、第 7 ボンディングワイヤ 516、第 8 ボンディングワイヤ 518、及びボンディングワイヤ 520, 522 を備える。

【0047】

第 13 接続端子 270 は第 3 接続端子 260 に接続しており、第 14 接続端子 272 は配線 266 に接続している。第 7 ボンディングワイヤ 516 は、一端が第 13 接続端子 270 に接続されており、他端が第 14 接続端子 272 に接続されている。接続端子 280 は配線 266 に接続しており、接続端子 282 は第 7 接続端子 264 に接続している。ボンディングワイヤ 520 は、一端が接続端子 280 に接続しており、他端が接続端子 282 に接続している。20

【0048】

すなわち第 3 接続端子 260 は、第 13 接続端子 270、第 7 ボンディングワイヤ 516、第 14 接続端子 272、配線 266、接続端子 280、ボンディングワイヤ 520、及び接続端子 282 を介して、第 7 接続端子 264 に接続している。

【0049】

第 15 接続端子 274 は第 4 接続端子 262 に接続しており、第 16 接続端子 276 は受信回路 200 に接続している。第 8 ボンディングワイヤ 518 は、一端が第 15 接続端子 274 に接続しており、他端が第 16 接続端子 276 に接続している。すなわち第 4 接続端子 262 は、第 15 接続端子 274、第 8 ボンディングワイヤ 518、及び第 16 接続端子 276 を介して受信回路 200 に接続している。30

【0050】

接続端子 278 は、第 8 接続端子 268 に接続しており、接続端子 284 は第 2 半導体チップ 20 の基準電位に接続している。ボンディングワイヤ 522 は、一端が接続端子 278 に接続しており、他端が接続端子 284 に接続している。すなわち第 8 接続端子 268 は、接続端子 278、ボンディングワイヤ 522、及び接続端子 284 を介して第 2 半導体チップ 20 の基準電位に接続している。40

【0051】

そして、ボンディングワイヤ 512 は第 5 ボンディングワイヤ 508 と第 6 ボンディングワイヤ 510 の間に位置しており、ボンディングワイヤ 514 はボンディングワイヤ 512 と第 6 ボンディングワイヤ 510 の間に位置している。また第 5 ボンディングワイヤ 508 が描く弧の中心軸に沿ってみた場合、第 5 ボンディングワイヤ 508、第 6 ボンディングワイヤ 510、及びボンディングワイヤ 512, 514 は、それぞれが描く弧の少なくとも一部が互いに重なっている。

【0052】

またボンディングワイヤ 522 は第 7 ボンディングワイヤ 516 と第 8 ボンディングワ50

イヤ518の間に位置しており、ボンディングワイヤ520はボンディングワイヤ522と第8ボンディングワイヤ518の間に位置している。また第7ボンディングワイヤ516が描く弧の中心軸に沿ってみた場合、第7ボンディングワイヤ516、第8ボンディングワイヤ518、及びボンディングワイヤ520, 522は、それぞれが描く弧の少なくとも一部が互いに重なっている。

【0053】

また平面視において、第1ボンディングワイヤ500、第5ボンディングワイヤ508、及び第7ボンディングワイヤ516は同一直線上を延伸している。同様に、第4ボンディングワイヤ504及びボンディングワイヤ512, 522は同一直線上を延伸しており、第3ボンディングワイヤ506及びボンディングワイヤ514, 520は同一直線上を延伸しており、第2ボンディングワイヤ502、第6ボンディングワイヤ510、及び第8ボンディングワイヤ518は同一直線上を延伸している。そして第10接続端子172、第12接続端子176、及び接続端子180, 184は、第1半導体チップ10のうち第2半導体チップ20とは反対側の辺に位置しており、第14接続端子272、第16接続端子276、及び接続端子280, 284は、第2半導体チップ20のうち第1半導体チップ10とは反対側の辺に位置している。

【0054】

このような構成において、第5ボンディングワイヤ508、第1ボンディングワイヤ500、第7ボンディングワイヤ516、配線266、ボンディングワイヤ520、第3ボンディングワイヤ506、及びボンディングワイヤ514は第1インダクタを構成し、第8ボンディングワイヤ518、第2ボンディングワイヤ502、第6ボンディングワイヤ510、配線166、ボンディングワイヤ512、第4ボンディングワイヤ504、及びボンディングワイヤ522は第2インダクタを構成する。

【0055】

そして、送信回路100から出力された送信信号は、第5ボンディングワイヤ508、第1ボンディングワイヤ500、第7ボンディングワイヤ516、配線266、ボンディングワイヤ520、第3ボンディングワイヤ506、及びボンディングワイヤ514の順に伝達する。そして第5ボンディングワイヤ508はボンディングワイヤ512と誘導結合し、第1ボンディングワイヤ500は第4ボンディングワイヤ504と誘導結合し、第7ボンディングワイヤ516はボンディングワイヤ522と誘導結合する。またボンディングワイヤ520は第8ボンディングワイヤ518と誘導結合し、第3ボンディングワイヤ506は第2ボンディングワイヤ502と誘導結合し、ボンディングワイヤ514は第6ボンディングワイヤ510と誘導結合する。これにより、送信信号は、第1インダクタ及び第2インダクタを介して受信回路200に伝達される。

【0056】

本実施形態によっても、第1の実施形態と同様の効果を得ることができる。また、第1の実施形態と比較して各ボンディングワイヤの径を小さくすることができるため、封止用の樹脂を金型に注入するときに、各ボンディングワイヤが変形することをさらに抑制できる。

【0057】

(第3の実施形態)

図5は、第3の実施形態に係る半導体装置の平面概略図であり、図6は図5に示した半導体装置のB-B'断面図である。図5は第1の実施形態における図1に相当しており、図6は第1の実施形態における図2に相当している。本実施形態に係る半導体装置は、第1の実施形態において、第1半導体チップ10に形成されていた各構成要素と、第2半導体チップ20に形成されていた各構成要素が同一のSOI基板101に形成されている。

【0058】

詳細には、第1半導体チップ10に形成されていた各構成要素は第1領域12に形成されており、第2半導体チップ20に形成されていた各構成要素は第2領域22に形成されている、第1領域12と第2領域22は、SOI基板101のシリコン層102に埋め込

10

20

30

40

50

まれた絶縁層 104 によって基準電位が互いに分離されている。

【0059】

第 1 接続端子 160、第 2 接続端子 162、配線 166、第 5 接続端子 164、及び第 6 接続端子 168 は、SOI 基板 101 の一边に位置しており、第 3 接続端子 260、第 4 接続端子 262、配線 266、第 7 接続端子 264、及び第 8 接続端子 268 は、SOI 基板 101 のうち第 1 接続端子 160 とは反対側の辺に位置している。

【0060】

本実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。なお第 2 の実施形態において本実施形態のように SOI 基板 101 に各構成要素を形成しても良い。

【0061】

図 7 は、第 4 の実施形態に係る半導体装置の構成を示す平面概略図である。この半導体装置は、第 1 半導体チップ 10 と第 2 半導体チップ 20 が双方向で通信を行う。

【0062】

すなわち本実施形態では、第 1 半導体チップ 10 及び第 2 の第 2 半導体チップ 20 それぞれが、第 1 の実施形態において第 1 半導体チップ 10 及び第 2 半導体チップ 20 が有していた各構成要素を有している。

【0063】

本実施形態によっても第 1 の実施形態と同様の効果を得ることができる。なお、本実施形態において、第 1 インダクタ及び第 2 インダクタの構成を第 2 の実施形態のようにしても良い。

【0064】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。なお上記した実施形態によれば、以下の発明が開示されている。

(付記 1)

送信回路、第 1 接続端子、及び第 2 接続端子を有する第 1 領域と、
前記第 1 領域と並んで配置されており、前記第 1 領域と基準電位が分離されており、受信回路、第 3 接続端子、及び第 4 接続端子を有する第 2 領域と、

前記送信回路に接続された第 1 インダクタと、
前記受信回路に接続され、前記第 1 インダクタと誘導結合する第 2 インダクタと、
前記第 1 インダクタの少なくとも一部を構成し、両端が前記第 1 接続端子及び前記第 3 接続端子に接続している第 1 ボンディングワイヤと、

前記第 2 インダクタの少なくとも一部を構成し、両端が前記第 2 接続端子及び前記第 4 接続端子に接続している第 2 ボンディングワイヤと、
を備える半導体装置。

(付記 2)

付記 1 に記載の半導体装置において、
前記第 1 接続端子は前記送信回路に接続しており、
前記第 4 接続端子は前記受信回路に接続している半導体装置。

(付記 3)

付記 1 に記載の半導体装置において、
前記第 1 接続端子は前記送信回路の基準電位に接続されており、
前記第 4 接続端子は前記受信回路の基準電位に接続されている半導体装置。

(付記 4)

付記 1 ~ 3 のいずれか一つに記載の半導体装置において、
前記第 1 接続端子及び前記第 2 接続端子は、前記第 1 領域の中心を基準にした場合に前記第 2 領域とは反対側に位置しており、
前記第 3 接続端子及び前記第 4 接続端子は、前記第 2 領域の中心を基準にした場合に前記第 1 領域とは反対側に位置している半導体装置。

(付記 5)

10

20

30

40

50

付記 4 に記載の半導体装置において、

前記第 1 領域及び前記第 2 領域は、平面形状が長方形又は正方形であり、

前記第 1 接続端子及び前記第 2 接続端子は、前記第 2 領域とは反対側の辺に位置しており、

前記第 3 接続端子及び前記第 4 接続端子は、前記第 1 領域とは反対側に辺に位置している半導体装置。

(付記 6)

付記 1 ~ 5 のいずれか一つに記載の半導体装置において、

前記第 1 領域に形成されており、前記第 2 接続端子に接続している第 5 接続端子と、

前記第 1 領域に形成された第 6 接続端子と、

10

前記第 2 領域に形成されており、前記第 3 接続端子に接続している第 7 接続端子と、

前記第 2 領域に形成された第 8 接続端子と、

両端が前記第 6 接続端子及び前記第 7 接続端子に接続され、前記第 1 インダクタの一部を構成する第 3 ボンディングワイヤと、

両端が前記第 5 接続端子及び前記第 8 接続端子に接続され、前記第 2 インダクタの一部を構成する第 4 ボンディングワイヤと、

を備え、

前記第 3 ボンディングワイヤは前記第 1 ボンディングワイヤと前記第 2 ボンディングワイヤの間に位置し、

前記第 4 ボンディングワイヤは前記第 1 ボンディングワイヤと前記第 3 ボンディングワイヤの間に位置している半導体装置。

20

(付記 7)

付記 6 に記載の半導体装置において、

前記第 3 ボンディングワイヤと前記第 4 ボンディングワイヤの間隔は、前記第 1 ボンディングワイヤと前記第 4 ボンディングワイヤの間隔、及び前記第 2 ボンディングワイヤと前記第 3 ボンディングワイヤの間隔より広い半導体装置。

(付記 8)

付記 1 ~ 7 のいずれか一つに記載の半導体装置において、

前記第 1 領域に設けられた第 9 接続端子、第 10 接続端子、第 11 接続端子、及び第 12 接続端子と、

30

両端が前記第 9 接続端子及び前記第 10 接続端子に接続されている第 5 ボンディングワイヤと、

両端が前記第 11 接続端子及び前記第 12 接続端子に接続されている第 6 ボンディングワイヤと、

を備え、

前記第 9 接続端子は前記第 1 接続端子に接続していて前記第 10 接続端子は前記送信回路に接続しており、

前記第 11 接続端子は前記第 2 接続端子に接続している半導体装置。

(付記 9)

付記 1 ~ 8 のいずれか一つに記載の半導体装置において、

40

前記第 2 領域に設けられた第 13 接続端子、第 14 接続端子、第 15 接続端子、及び第 16 接続端子と、

両端が前記第 13 接続端子及び前記第 14 接続端子に接続されている第 7 ボンディングワイヤと、

両端が前記第 15 接続端子及び前記第 16 接続端子に接続されている第 8 ボンディングワイヤと、

を備え、

前記第 13 接続端子は前記第 3 接続端子に接続しており、

前記第 15 接続端子は前記第 4 接続端子に接続していて前記第 16 接続端子は前記受信回路に接続している半導体装置。

50

(付記 1 0)

付記 1 ~ 9 のいずれか一つに記載の半導体装置において、
少なくとも前記第 1 領域が設けられた半導体チップと、
前記半導体チップが実装された配線基板と、
前記配線基板と前記第 1 領域を接続する接続用ポンディングワイヤと、
を備え、
前記第 1 ポンディングワイヤ及び前記第 2 ポンディングワイヤは、頂点が前記接続用ボ
ンディングワイヤの頂点より高い半導体装置。

(付記 1 1)

付記 1 ~ 1 0 のいずれか一つに記載の半導体装置において、
前記第 1 領域は第 1 半導体チップに設けられており、
前記第 2 領域は第 2 半導体チップに設けられている半導体装置。

10

(付記 1 2)

付記 1 ~ 1 0 のいずれか一つに記載の半導体装置において、
前記第 1 領域と前記第 2 領域は同一の S O I 基板に設けられており、
前記第 1 領域と前記第 2 領域は、前記 S O I 基板のシリコン層に埋め込まれた絶縁層に
より基準電位が互いに分離されている半導体装置。

【符号の説明】

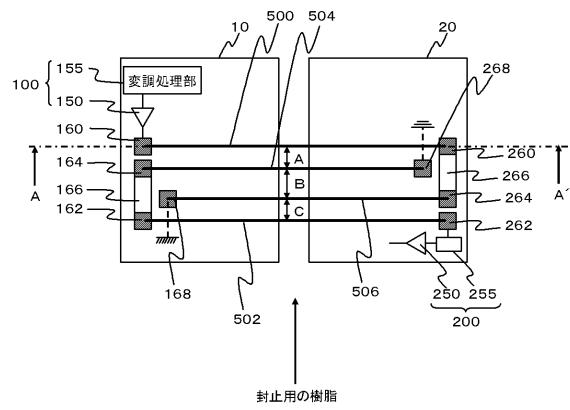
【0 0 6 5】

1 0	第 1 半導体チップ	20
1 2	第 1 領域	
2 0	第 2 半導体チップ	
2 2	第 2 領域	
1 0 0	送信回路	
1 0 1	S O I 基板	
1 0 2	シリコン層	
1 0 4	絶縁層	
1 2 0	ウェル	
1 2 1	第 1 トランジスタ	
1 2 2	不純物領域	30
1 2 6	ゲート電極	
1 4 0	ウェル	
1 4 1	第 1 トランジスタ	
1 4 2	不純物領域	
1 4 6	ゲート電極	
1 5 0	送信側ドライバ回路	
1 5 5	変調処理部	
1 6 0	第 1 接続端子	
1 6 2	第 2 接続端子	
1 6 4	第 5 接続端子	40
1 6 6	配線	
1 6 8	第 6 接続端子	
1 7 0	第 9 接続端子	
1 7 2	第 1 0 接続端子	
1 7 4	第 1 1 接続端子	
1 7 6	第 1 2 接続端子	
1 7 8	接続端子	
1 8 0	接続端子	
1 8 2	接続端子	
1 8 4	接続端子	50

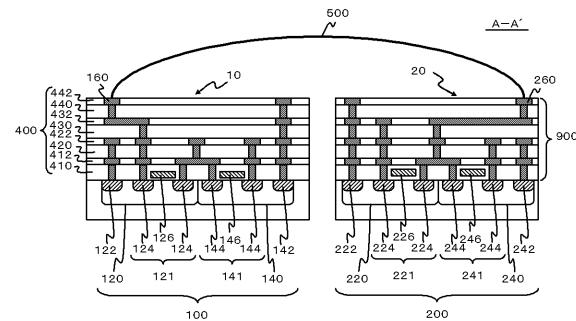
2 0 0	受信回路	
2 2 0	ウェル	
2 2 1	第 2 トランジスタ	
2 2 2	不純物領域	
2 2 6	ゲート電極	
2 4 0	ウェル	
2 4 1	第 2 トランジスタ	
2 4 2	不純物領域	
2 4 6	ゲート電極	
2 5 0	受信側ドライバ回路	10
2 5 5	復調回路	
2 6 0	第 3 接続端子	
2 6 2	第 4 接続端子	
2 6 4	第 7 接続端子	
2 6 6	配線	
2 6 8	第 8 接続端子	
2 7 0	第 1 3 接続端子	
2 7 2	第 1 4 接続端子	
2 7 4	第 1 5 接続端子	
2 7 6	第 1 6 接続端子	20
2 7 8	接続端子	
2 8 0	接続端子	
2 8 2	接続端子	
2 8 4	接続端子	
4 0 0	多層配線層	
4 1 0	絶縁層	
4 1 2	配線層	
4 2 0	絶縁層	
4 2 2	配線層	
4 3 0	絶縁層	30
4 3 2	配線層	
4 4 0	絶縁層	
4 4 2	配線層	
5 0 0	第 1 ボンディングワイヤ	
5 0 2	第 2 ボンディングワイヤ	
5 0 4	第 4 ボンディングワイヤ	
5 0 6	第 3 ボンディングワイヤ	
5 0 8	第 5 ボンディングワイヤ	
5 1 0	第 6 ボンディングワイヤ	
5 1 2	ボンディングワイヤ	40
5 1 4	ボンディングワイヤ	
5 1 6	第 7 ボンディングワイヤ	
5 1 8	第 8 ボンディングワイヤ	
5 2 0	ボンディングワイヤ	
5 2 2	ボンディングワイヤ	
6 0 0	接続用ボンディングワイヤ	
6 0 2	接続用ボンディングワイヤ	
7 0 0	ダイパッド	
7 0 2	ダイパッド	
7 1 0	リード	50

7 1 2 リード
 8 0 0 樹脂層
 9 0 0 多層配線層

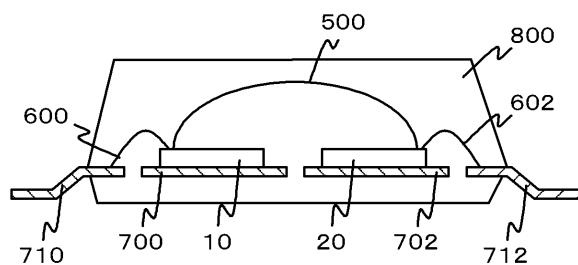
【図1】



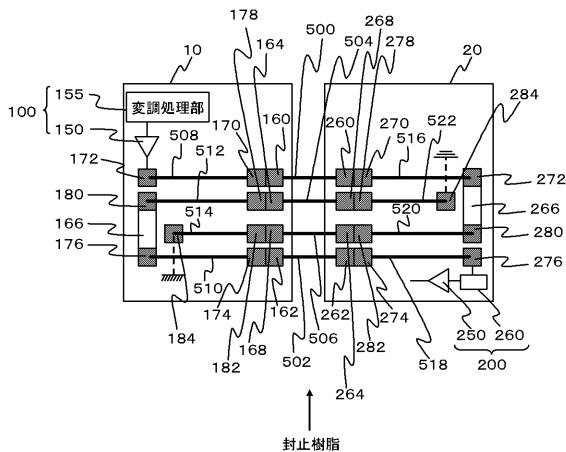
【図2】



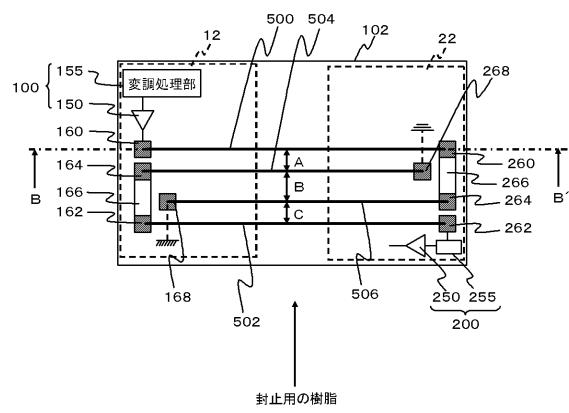
【図3】



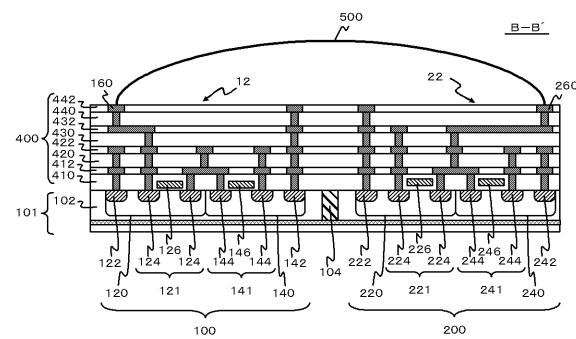
【図4】



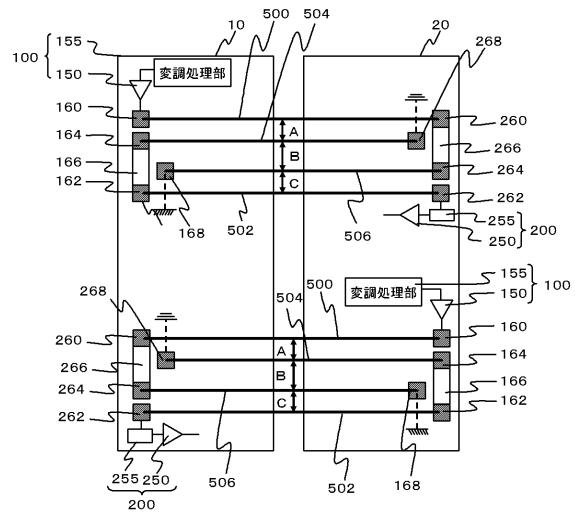
【図5】



【図6】



【図7】



フロントページの続き

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第2010/0052120(US,A1)

特開2010-041499(JP,A)

特開2002-164214(JP,A)

特開平09-106915(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 23/52

H01L 25/04

H01L 25/18

H01L 27/04

H01F 17/00