

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5390246号
(P5390246)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月18日 (2013. 10. 18)

(51) Int. Cl.

F I

HO 1 L 21/822 (2006. 01)
 HO 1 L 27/04 (2006. 01)
 HO 1 L 23/52 (2006. 01)
 HO 1 L 25/18 (2006. 01)
 HO 1 L 25/04 (2014. 01)

HO 1 L 27/04 L
 HO 1 L 27/04 A
 HO 1 L 23/52 D
 HO 1 L 25/04 Z

請求項の数 1 (全 17 頁)

(21) 出願番号 特願2009-101860 (P2009-101860)
 (22) 出願日 平成21年4月20日 (2009. 4. 20)
 (65) 公開番号 特開2010-251641 (P2010-251641A)
 (43) 公開日 平成22年11月4日 (2010. 11. 4)
 審査請求日 平成24年4月12日 (2012. 4. 12)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (74) 代理人 100118544
 弁理士 野本 可奈
 (74) 代理人 100127236
 弁理士 天城 聡
 (72) 発明者 富留宮 正之
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 中柴 康隆
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

送信回路、第 1 接続端子、及び第 2 接続端子を有する第 1 領域と、
 前記第 1 領域と並んで配置されており、前記第 1 領域と基準電位が分離されており、受信回路、第 3 接続端子、及び第 4 接続端子を有する第 2 領域と、
 前記送信回路に接続された第 1 インダクタと、
 前記受信回路に接続され、前記第 1 インダクタと誘導結合する第 2 インダクタと、
 前記第 1 インダクタの少なくとも一部を構成し、両端が前記第 1 接続端子及び前記第 3 接続端子に接続している第 1 ボンディングワイヤと、
 前記第 2 インダクタの少なくとも一部を構成し、両端が前記第 2 接続端子及び前記第 4 接続端子に接続している第 2 ボンディングワイヤと、
 を備える半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力される電気信号の電位が互いに異なる 2 つの回路の間で電気信号を伝達することができる半導体装置に関する。

【背景技術】

【0002】

入力される電気信号の電位が互いに異なる 2 つの回路の間で電気信号を伝達する場合、

10

20

フォトカプラを用いることが多い。フォトカプラは、発光ダイオードなどの発光素子とフォトトランジスタなどの受光素子を有しており、入力された電気信号を発光素子で光に変換し、この光を受光素子で電気信号に戻すことにより、電気信号を伝達している。

【0003】

しかし、フォトカプラは発光素子と受光素子を有しているため、小型化が難しい。また、電気信号の周波数が高い場合には電気信号に追従できなくなる。

【0004】

なお特許文献1及び2には、ボンディングワイヤを用いてインダクタ素子を形成することが記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-39023号公報

【特許文献2】特開平10-74625号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

入力される電気信号の電位が互いに異なる2つの回路の間で電気信号を伝達する方法として、2つのインダクタを誘導結合させることにより電気信号を伝達することが考えられる。この場合、伝達エラーを少なくするために、インダクタの結合係数を大きくする必要がある。互いに誘導結合している2つのインダクタを形成する技術としては、渦巻状のインダクタを上下に重ねる方法が考えられる。しかし渦巻状のインダクタは、半導体装置の配線層を用いて形成されることが多く、このため、インダクタの径を大きくすることが難しかった。従って、2つのインダクタの結合係数を大きくすることができなかった。

【課題を解決するための手段】

【0007】

本発明によれば、送信回路、第1接続端子、及び第2接続端子を有する第1領域と、前記第1領域と並んで配置されており、前記第1領域と基準電位が分離されており、受信回路、第3接続端子、及び第4接続端子を有する第2領域と、前記送信回路に接続された第1インダクタと、前記受信回路に接続され、前記第1インダクタと誘導結合する第2インダクタと、前記第1インダクタの少なくとも一部を構成し、両端が前記第1接続端子及び前記第3接続端子に接続している第1ボンディングワイヤと、前記第2インダクタの少なくとも一部を構成し、両端が前記第2接続端子及び前記第4接続端子に接続している第2ボンディングワイヤと、を備える半導体装置が提供される。

【0008】

本発明によれば、第1インダクタの少なくとも一部が第1ボンディングワイヤで形成され、第2インダクタの少なくとも一部が第2ボンディングワイヤで形成されている。このため、第1インダクタ及び第2インダクタの径を大きくすることができる。従って、2つのインダクタの結合係数を大きくすることができる。

【発明の効果】

【0009】

本発明によれば、2つのインダクタを誘導結合させることにより電気信号を伝達する場合において、2つのインダクタの結合係数を大きくすることができる。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態に係る半導体装置の構成を示す平面概略図である。

【図2】図1に示した半導体装置のA-A'断面図である。

【図3】図1及び図2に示した第1半導体チップ及び第2半導体チップを配線基板として

10

20

30

40

50

のリードフレームに実装した構造を示す断面図である。

【図４】第２の実施形態に係る半導体装置の構成を示す平面概略図である。

【図５】第３の実施形態に係る半導体装置の平面概略図である。

【図６】図５に示した半導体装置のＢ－Ｂ’断面図である。

【図７】第４の実施形態に係る半導体装置の構成を示す平面概略図である。

【発明を実施するための形態】

【００１１】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【００１２】

10

（第１の実施形態）

図１は、第１の実施形態に係る半導体装置の構成を示す平面概略図である。この半導体装置は、第１領域としての第１半導体チップ１０、第２領域としての第２半導体チップ２０、第１インダクタ、第２インダクタ、第１ボンディングワイヤ５００、及び第２ボンディングワイヤ５０２を備える。

【００１３】

第１半導体チップ１０は、送信回路１００、第１接続端子１６０、及び第２接続端子１６２を有している。第２半導体チップ２０は、第１半導体チップ１０と並んで配置されており、第１半導体チップ１０と基準電位が分離されている。第２半導体チップ２０は、受信回路２００、第３接続端子２６０、及び第４接続端子２６２を有している。第１インダクタは送信回路１００に接続されている。第２インダクタは、受信回路２００に接続されており、第１インダクタと誘導結合している。第１インダクタは、少なくとも一部が第１ボンディングワイヤ５００によって構成されている。第１ボンディングワイヤ５００は、両端が第１接続端子１６０及び第３接続端子２６０に接続されている。第２インダクタは、少なくとも一部が第２ボンディングワイヤ５０２によって構成されている。第２ボンディングワイヤ５０２は、両端が第２接続端子１６２及び第４接続端子２６２に接続されている。第１接続端子１６０は送信回路１００に接続されており、第４接続端子２６２は受信回路２００に接続されている。本実施形態において各接続端子は、例えばパッドである。

20

【００１４】

30

本実施形態において、第１インダクタは、第１ボンディングワイヤ５００、第２半導体チップ２０に形成された配線２６６、及び第３ボンディングワイヤ５０６によって形成されており、第２インダクタは、第２ボンディングワイヤ５０２、第１半導体チップ１０に形成された配線１６６、及び第４ボンディングワイヤ５０４によって構成されている。

【００１５】

第１半導体チップ１０は、さらに配線１６６、第５接続端子１６４、及び第６接続端子１６８を有している。第５接続端子１６４は、配線１６６を介して第２接続端子１６２に接続している。配線１６６は、例えば第２接続端子１６２及び第５接続端子１６４がパッドである場合、これらパッドと同一の配線層に形成されるが、これらよりも下の配線層に形成されても良い。第６接続端子１６８は、第１半導体チップ１０の基準電位に接続している。

40

【００１６】

また第２半導体チップ２０は、さらに配線２６６、第７接続端子２６４、及び第８接続端子２６８を有している。第７接続端子２６４は、配線２６６を介して第３接続端子２６０に接続している。配線２６６は、例えば第３接続端子２６０及び第７接続端子２６４がパッドである場合、これらパッドと同一の配線層に形成されるが、これらよりも下の配線層に形成されても良い。第８接続端子２６８は、第２半導体チップ２０の基準電位に接続している。

【００１７】

第３ボンディングワイヤ５０６は、両端が第６接続端子１６８及び第７接続端子２６４

50

に接続されており、第4ボンディングワイヤ504は、両端が第5接続端子164及び第8接続端子268に接続されている。第3ボンディングワイヤ506は第1ボンディングワイヤ500と第2ボンディングワイヤ502の間に位置しており、第4ボンディングワイヤ504は第1ボンディングワイヤ500と第3ボンディングワイヤ506の間に位置している。第3ボンディングワイヤ506と第4ボンディングワイヤ504の間隔Bは、第1ボンディングワイヤ500と第4ボンディングワイヤ504の間隔A、及び第2ボンディングワイヤ502と第3ボンディングワイヤ506の間隔Cより広い。

【0018】

そして、第1ボンディングワイヤ500と第4ボンディングワイヤ504は互いに平行であり、第2ボンディングワイヤ502と第3ボンディングワイヤ506は互いに平行である。本図に示す例では、第1ボンディングワイヤ500、第2ボンディングワイヤ502、第3ボンディングワイヤ506、及び第4ボンディングワイヤ504の全てが互いに平行である。そして第1ボンディングワイヤ500が描く弧の中心軸に沿ってみた場合、第1ボンディングワイヤ500、第2ボンディングワイヤ502、第3ボンディングワイヤ506、及び第4ボンディングワイヤ504は、それぞれが描く弧は、互いに重なる部分を有している。

10

【0019】

また第1接続端子160、第2接続端子162、配線166、第5接続端子164、及び第6接続端子168は、第1半導体チップ10の中心を基準にした場合に第2半導体チップ20とは反対側に位置している。第3接続端子260、第4接続端子262、配線266、第7接続端子264、及び第8接続端子268は、第2半導体チップ20の中心を基準にした場合に第1半導体チップ10とは反対側に位置している。

20

【0020】

詳細には、第1半導体チップ10及び第2半導体チップ20の平面形状は、長方形又は正方形である。そして第1接続端子160、第2接続端子162、配線166、第5接続端子164、及び第6接続端子168は、第1半導体チップ10のうち第2半導体チップ20とは反対側の辺に位置している。また第3接続端子260、第4接続端子262、配線266、第7接続端子264、及び第8接続端子268は、第2半導体チップ20のうち第1半導体チップ10とは反対側の辺に位置している。

【0021】

30

送信回路100は、デジタル信号を送信用の信号に変調する変調処理部155と、変調された信号を第1接続端子160に出力する送信側ドライバ回路150を含んでいる。受信回路200は、第4接続端子262に接続されている復調回路255、及び受信側ドライバ回路250（例えばゲートドライバ）を含んでいる。復調回路255は、変調された信号をデジタル信号に復調する。復調回路255で復調されたデジタル信号は、受信側ドライバ回路250に出力される。

【0022】

送信回路100及び受信回路200は、入力される電気信号の電位が互いに異なるが、第1インダクタ及び第2インダクタは誘導結合を用いて電気信号を送受信するため、送信回路100及び受信回路200に問題は生じない。なお、「入力される電気信号の電位が互いに異なる」場合として、電気信号の振幅（0を示す電位と1を示す電位の差）が互いに異なる場合、電気信号の基準電位（0を示す電位）が異なる場合、及び電気信号の振幅が互いに異なり、かつ電気信号の基準電位が異なる場合などがある。

40

【0023】

このような構成において、送信回路100から出力された送信信号は、第1ボンディングワイヤ500、配線266、及び第3ボンディングワイヤ506をこの順に伝達する。このとき、第1ボンディングワイヤ500及び第3ボンディングワイヤ506で生じた磁界によって、第1ボンディングワイヤ500及び第3ボンディングワイヤ506と、第2ボンディングワイヤ502及び第4ボンディングワイヤ504が誘導結合し、送信信号が第2ボンディングワイヤ502及び第4ボンディングワイヤ504に伝達される。第2ボ

50

ンディングワイヤ502及び第4ボンディングワイヤ504が受信した信号は、第4接続端子262を介して受信回路200に伝達される。

【0024】

図2は、図1に示した半導体装置のA-A'断面図である。第1半導体チップ10の送信回路100は第1トランジスタを有している。第1トランジスタには、N型のトランジスタと、P型のトランジスタがある。N型の第1トランジスタ121はP型のウェル120に形成されており、ソース及びドレインとなる2つのN型の不純物領域124及びゲート電極126を有している。P型の第1トランジスタ141はN型のウェル140に形成されており、ソース及びドレインとなる2つのP型の不純物領域144及びゲート電極146を有している。ゲート電極126、146それぞれの下にはゲート絶縁膜が位置している。これら2つのゲート絶縁膜は、厚さが略等しい。そして第1トランジスタ121、141は、上記した送信側ドライバ回路、例えばインバータを構成している。

10

【0025】

ウェル120にはP型の不純物領域122が形成されており、ウェル140にはN型の不純物領域142が形成されている。不純物領域122にはN型の第1トランジスタ121の基準電位（グラウンド電位）を与える配線が接続されており、不純物領域142にはP型の第1トランジスタ141の電源電位を与える配線が接続されている。

【0026】

第2半導体チップ20の受信回路200は第2トランジスタを有している。第2トランジスタにも、N型のトランジスタと、P型のトランジスタがある。N型の第2トランジスタ221はP型のウェル220に形成されており、ソース及びドレインとなる2つのN型の不純物領域224及びゲート電極226を有している。P型の第2トランジスタ241はN型のウェル240に形成されており、ソース及びドレインとなる2つのP型の不純物領域244及びゲート電極246を有している。ゲート電極226、246それぞれの下にはゲート絶縁膜が位置している。そして第2トランジスタ221、241は、上記した受信側ドライバ回路250及び復調回路255を構成している。

20

【0027】

ウェル220にはP型の不純物領域222が形成されており、ウェル240にはN型の不純物領域242が形成されている。不純物領域222にはN型の第2トランジスタ221の基準電位を与える配線が接続されており、不純物領域242にはP型の第2トランジスタ241の電源電位を与える配線が接続されている。

30

【0028】

本図に示す例において、第1トランジスタ121、141と第2トランジスタ221、241は、ゲート絶縁膜の厚さが互いに異なっているが、同じであっても良い。

【0029】

第1半導体チップ10は、多層配線層400を有しており、第2半導体チップ20は多層配線層900を有している。多層配線層400、900は、絶縁層及び配線層をこの順にそれぞれt回（t≧3）以上交互に積層したものである。本実施形態において、多層配線層400は、絶縁層410、配線層412、絶縁層420、配線層422、絶縁層430、配線層432、絶縁層440、及び配線層442をこの順に重ねた構成を有している。絶縁層410、420、430、440は、複数の絶縁膜を積層した構造であってもよいし、一つの絶縁膜であってもよい。

40

【0030】

配線層412、422、432、442に位置する配線は、ダマシン法により形成されたCu配線であり、それぞれ配線層412、422、432、442に形成された溝に埋め込まれている。最上層の配線には、図1に示した第1半導体チップ10の各接続端子（例えば第1接続端子160）が形成されている。なお、上記した配線層412、422、432、442の少なくとも一つはAl合金配線であっても良い。なお配線層412、422、432、442に形成された配線は、絶縁層410、420、430、440に埋め込まれたプラグを介して互いに接続している。

50

【 0 0 3 1 】

また多層配線層 9 0 0 においても、配線は、例えばダマシン法により形成された Cu 配線であるが、少なくとも一つの配線層は Al 合金配線であっても良い。最上層の配線には、図 1 に示した第 2 半導体チップ 2 0 の各接続端子（例えば第 3 接続端子 2 6 0）が形成されている。多層配線層 9 0 0 の層数は、多層配線層 4 0 0 の層数と同一であっても良いし、異なっても良い。

【 0 0 3 2 】

図 3 は、図 1 及び図 2 に示した第 1 半導体チップ 1 0 及び第 2 半導体チップ 2 0 を配線基板としてのリードフレームに実装した構造を示す断面図である。リードフレームは、ダイパッド 7 0 0、7 0 2、及びリード 7 1 0、7 1 2 を有している。ダイパッド 7 0 0 には第 1 半導体チップ 1 0 が搭載されており、ダイパッド 7 0 2 には第 2 半導体チップ 2 0 が搭載されている。第 1 半導体チップ 1 0 は接続用ボンディングワイヤ 6 0 0 を介してリード 7 1 0 に接続しており、第 2 半導体チップ 2 0 は接続用ボンディングワイヤ 6 0 2 を介してリード 7 1 2 に接続している。

【 0 0 3 3 】

第 1 ボンディングワイヤ 5 0 0、第 2 ボンディングワイヤ 5 0 2、第 3 ボンディングワイヤ 5 0 6、及び第 4 ボンディングワイヤ 5 0 4 の頂点は、接続用ボンディングワイヤ 6 0 0、6 0 2 よりも高い。このため、第 1 ボンディングワイヤ 5 0 0、第 2 ボンディングワイヤ 5 0 2、第 3 ボンディングワイヤ 5 0 6、及び第 4 ボンディングワイヤ 5 0 4 の径を大きくすることができる。

【 0 0 3 4 】

また第 1 半導体チップ 1 0、第 2 半導体チップ 2 0、リードフレーム、第 1～第 4 ボンディングワイヤ 5 0 0～5 0 6、及び接続用ボンディングワイヤ 6 0 0、6 0 2 は、樹脂層 8 0 0 で封止されている。樹脂層 8 0 0 は、例えば金型に封止用の樹脂を注入することにより形成される。このとき、樹脂を、第 1～第 4 ボンディングワイヤ 5 0 0～5 0 6 に対して直交する方向（図 1 の矢印参照）から注入すると、樹脂の注入時に第 1～第 4 ボンディングワイヤ 5 0 0～5 0 6 が変形することを抑制できる。

【 0 0 3 5 】

次に、本実施形態の作用及び効果について説明する。本実施形態では、第 1 インダクタの一部が第 1 ボンディングワイヤ 5 0 0 及び第 4 ボンディングワイヤ 5 0 4 で形成されており、第 2 インダクタの一部が第 2 ボンディングワイヤ 5 0 2 及び第 3 ボンディングワイヤ 5 0 6 で形成されている。そして、第 1 ボンディングワイヤ 5 0 0 及び第 4 ボンディングワイヤ 5 0 4 が、第 2 ボンディングワイヤ 5 0 2 及び第 3 ボンディングワイヤ 5 0 6 と誘導結合する。ボンディングワイヤでインダクタを形成する場合、半導体装置の配線層でインダクタを形成する場合と比較して径を大きくしやすい。このため、第 1 インダクタと第 2 インダクタの結合係数を大きくすることができる。従って、第 1 インダクタと第 2 インダクタの間の信号伝達エラーを少なくすることができる。

【 0 0 3 6 】

また、第 1 ボンディングワイヤ 5 0 0 は第 1 半導体チップ 1 0 の第 1 接続端子 1 6 0 と第 2 半導体チップ 2 0 の第 3 接続端子 2 6 0 に接続しており、第 2 ボンディングワイヤ 5 0 2 は第 1 半導体チップ 1 0 の第 2 接続端子 1 6 2 と第 2 半導体チップ 2 0 の第 4 接続端子 2 6 2 に接続している。第 1 接続端子 1 6 0 及び第 2 接続端子 1 6 2 は、第 1 半導体チップ 1 0 の中心を基準にした場合に第 2 半導体チップ 2 0 とは反対側に位置しており、第 3 接続端子 2 6 0 及び第 4 接続端子 2 6 2 は、第 2 半導体チップ 2 0 の中心を基準にした場合に第 1 半導体チップ 1 0 とは反対側に位置している。このため、第 1 ボンディングワイヤ 5 0 0 及び第 2 ボンディングワイヤ 5 0 2 の径をさらに大きくすることができる。特に本実施形態では、第 1 半導体チップ 1 0 及び第 2 半導体チップ 2 0 が長方形又は正方形である。そして第 1 接続端子 1 6 0 及び第 2 接続端子 1 6 2 は、第 2 半導体チップ 2 0 とは反対側の辺に位置しており、第 3 接続端子 2 6 0 及び第 4 接続端子 2 6 2 は、第 1 半導体チップ 1 0 とは反対側の辺に位置している。このため、第 1 ボンディングワイヤ 5 0 0

及び第2ボンディングワイヤ502の径を特に大きくすることができる。

【0037】

また本実施形態では、第1インダクタを第1半導体チップ10に戻して第1半導体チップ10の基準電位を与えるために、第3ボンディングワイヤ506を設けており、第2インダクタを第2半導体チップ20に戻して第2半導体チップ20の基準電位を与えるために、第4ボンディングワイヤ504を設けている。第3ボンディングワイヤ506は、第1ボンディングワイヤ500と第2ボンディングワイヤ502の間に位置しており、第4ボンディングワイヤ504は第1ボンディングワイヤ500と第3ボンディングワイヤ506の間に位置している。このため、第1インダクタを構成するボンディングワイヤと第2インダクタを構成するボンディングワイヤが互い違いになり、第1インダクタと第2インダクタの結合係数がさらに大きくなる。

10

【0038】

また本実施形態では、第3ボンディングワイヤ506と第4ボンディングワイヤ504の間隔Bは、第1ボンディングワイヤ500と第4ボンディングワイヤ504の間隔A、及び第2ボンディングワイヤ502と第3ボンディングワイヤ506の間隔Cより広い。このため、第1ボンディングワイヤ500と第3ボンディングワイヤ506の間隔、及び第2ボンディングワイヤ502と第4ボンディングワイヤ504の間隔を確保しつつ、第1ボンディングワイヤ500と第4ボンディングワイヤ504の間隔、及び第2ボンディングワイヤ502と第3ボンディングワイヤ503の間隔を狭くすることができる。このため、第1インダクタと第2インダクタの結合係数がさらに大きくなる。

20

【0039】

(第2の実施形態)

図4は、第2の実施形態に係る半導体装置の構成を示す平面概略図である。この半導体装置は、第1の実施形態における第1ボンディングワイヤ500、第2ボンディングワイヤ502、第3ボンディングワイヤ506、及び第4ボンディングワイヤ504それぞれを複数のボンディングワイヤに分割した場合に相当する。

【0040】

詳細には、第1接続端子160、第2接続端子162、第5接続端子164、及び第6接続端子168が、第1半導体チップ10のうち第2半導体チップ20に対向する辺に設けられており、第3接続端子260、第4接続端子262、第7接続端子264、及び第8接続端子268が、第2半導体チップ20のうち第1半導体チップ10に対向する辺に設けられている。そして第1接続端子160は送信回路100に直接接続しておらず、第6接続端子168は第1半導体チップ10の基準電位に直接接続していない。また第4接続端子262は受信回路200に直接接続しておらず、第8接続端子268は第2半導体チップ20の基準電位に直接接続していない。

30

【0041】

そして第1半導体チップ10は、第9接続端子170、第10接続端子172、第11接続端子174、第12接続端子176、接続端子178、180、182、184、第5ボンディングワイヤ508、第6ボンディングワイヤ510、及びボンディングワイヤ512、514を備える。

40

【0042】

第9接続端子170は第1接続端子160に接続しており、第10接続端子172は送信回路100に接続している。第5ボンディングワイヤ508は、一端が第9接続端子170に接続していて他端が第10接続端子172に接続している。すなわち第1接続端子160は、第9接続端子170、第5ボンディングワイヤ508、及び第10接続端子172を介して送信回路100に接続している。

【0043】

第11接続端子174は第2接続端子162に接続しており、第12接続端子176は配線166に接続している。第6ボンディングワイヤ510は、一端が第11接続端子174に接続していて他端が第12接続端子176に接続している。接続端子178は第5

50

接続端子 164 に接続しており、接続端子 180 は配線 166 に接続している。ボンディングワイヤ 512 は一端が接続端子 178 に接続しており、他端が接続端子 180 に接続している。

【0044】

すなわち第 2 接続端子 162 は、第 1 接続端子 174、第 6 ボンディングワイヤ 510、第 1 接続端子 176、配線 166、接続端子 180、ボンディングワイヤ 512、及び接続端子 178 を介して、第 5 接続端子 164 に接続している。

【0045】

接続端子 182 は第 6 接続端子 168 に接続しており、接続端子 184 は第 1 半導体チップ 10 の基準電位に接続している。ボンディングワイヤ 514 は、一端が接続端子 182 に接続しており、他端が接続端子 184 に接続している。すなわち第 6 接続端子 168 は、接続端子 182、ボンディングワイヤ 514、及び接続端子 184 を介して基準電位に接続している。

10

【0046】

また第 2 半導体チップ 20 は、第 1 接続端子 270、第 1 接続端子 272、第 1 接続端子 274、第 1 接続端子 276、接続端子 278、280、282、284、第 7 ボンディングワイヤ 516、第 8 ボンディングワイヤ 518、及びボンディングワイヤ 520、522 を備える。

【0047】

第 1 接続端子 270 は第 3 接続端子 260 に接続しており、第 1 接続端子 272 は配線 266 に接続している。第 7 ボンディングワイヤ 516 は、一端が第 1 接続端子 270 に接続されており、他端が第 1 接続端子 272 に接続されている。接続端子 280 は配線 266 に接続しており、接続端子 282 は第 7 接続端子 264 に接続している。ボンディングワイヤ 520 は、一端が接続端子 280 に接続しており、他端が接続端子 282 に接続している。

20

【0048】

すなわち第 3 接続端子 260 は、第 1 接続端子 270、第 7 ボンディングワイヤ 516、第 1 接続端子 272、配線 266、接続端子 280、ボンディングワイヤ 520、及び接続端子 282 を介して、第 7 接続端子 264 に接続している。

【0049】

第 1 接続端子 274 は第 4 接続端子 262 に接続しており、第 1 接続端子 276 は受信回路 200 に接続している。第 8 ボンディングワイヤ 518 は、一端が第 1 接続端子 274 に接続しており、他端が第 1 接続端子 276 に接続している。すなわち第 4 接続端子 262 は、第 1 接続端子 274、第 8 ボンディングワイヤ 518、及び第 1 接続端子 276 を介して受信回路 200 に接続している。

30

【0050】

接続端子 278 は、第 8 接続端子 268 に接続しており、接続端子 284 は第 2 半導体チップ 20 の基準電位に接続している。ボンディングワイヤ 522 は、一端が接続端子 278 に接続しており、他端が接続端子 284 に接続している。すなわち第 8 接続端子 268 は、接続端子 278、ボンディングワイヤ 522、及び接続端子 284 を介して第 2 半導体チップ 20 の基準電位に接続している。

40

【0051】

そして、ボンディングワイヤ 512 は第 5 ボンディングワイヤ 508 と第 6 ボンディングワイヤ 510 の間に位置しており、ボンディングワイヤ 514 はボンディングワイヤ 512 と第 6 ボンディングワイヤ 510 の間に位置している。また第 5 ボンディングワイヤ 508 が描く弧の中心軸に沿って見た場合、第 5 ボンディングワイヤ 508、第 6 ボンディングワイヤ 510、及びボンディングワイヤ 512、514 は、それぞれが描く弧の少なくとも一部が互いに重なっている。

【0052】

またボンディングワイヤ 522 は第 7 ボンディングワイヤ 516 と第 8 ボンディングワ

50

ワイヤ 518 の間に位置しており、ボンディングワイヤ 520 はボンディングワイヤ 522 と第 8 ボンディングワイヤ 518 の間に位置している。また第 7 ボンディングワイヤ 516 が描く弧の中心軸に沿ってみた場合、第 7 ボンディングワイヤ 516、第 8 ボンディングワイヤ 518、及びボンディングワイヤ 520、522 は、それぞれが描く弧の少なくとも一部が互いに重なっている。

【0053】

また平面視において、第 1 ボンディングワイヤ 500、第 5 ボンディングワイヤ 508、及び第 7 ボンディングワイヤ 516 は同一直線上を延伸している。同様に、第 4 ボンディングワイヤ 504 及びボンディングワイヤ 512、522 は同一直線上を延伸しており、第 3 ボンディングワイヤ 506 及びボンディングワイヤ 514、520 は同一直線上を延伸しており、第 2 ボンディングワイヤ 502、第 6 ボンディングワイヤ 510、及び第 8 ボンディングワイヤ 518 は同一直線上を延伸している。そして第 10 接続端子 172、第 12 接続端子 176、及び接続端子 180、184 は、第 1 半導体チップ 10 のうち第 2 半導体チップ 20 とは反対側の辺に位置しており、第 14 接続端子 272、第 16 接続端子 276、及び接続端子 280、284 は、第 2 半導体チップ 20 のうち第 1 半導体チップ 10 とは反対側の辺に位置している。

【0054】

このような構成において、第 5 ボンディングワイヤ 508、第 1 ボンディングワイヤ 500、第 7 ボンディングワイヤ 516、配線 266、ボンディングワイヤ 520、第 3 ボンディングワイヤ 506、及びボンディングワイヤ 514 は第 1 インダクタを構成し、第 8 ボンディングワイヤ 518、第 2 ボンディングワイヤ 502、第 6 ボンディングワイヤ 510、配線 166、ボンディングワイヤ 512、第 4 ボンディングワイヤ 504、及びボンディングワイヤ 522 は第 2 インダクタを構成する。

【0055】

そして、送信回路 100 から出力された送信信号は、第 5 ボンディングワイヤ 508、第 1 ボンディングワイヤ 500、第 7 ボンディングワイヤ 516、配線 266、ボンディングワイヤ 520、第 3 ボンディングワイヤ 506、及びボンディングワイヤ 514 の順に伝達する。そして第 5 ボンディングワイヤ 508 はボンディングワイヤ 512 と誘導結合し、第 1 ボンディングワイヤ 500 は第 4 ボンディングワイヤ 504 と誘導結合し、第 7 ボンディングワイヤ 516 はボンディングワイヤ 522 と誘導結合する。またボンディングワイヤ 520 は第 8 ボンディングワイヤ 518 と誘導結合し、第 3 ボンディングワイヤ 506 は第 2 ボンディングワイヤ 502 と誘導結合し、ボンディングワイヤ 514 は第 6 ボンディングワイヤ 510 と誘導結合する。これにより、送信信号は、第 1 インダクタ及び第 2 インダクタを介して受信回路 200 に伝達される。

【0056】

本実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。また、第 1 の実施形態と比較して各ボンディングワイヤの径を小さくすることができるため、封止用の樹脂を金型に注入するときに、各ボンディングワイヤが変形することをさらに抑制できる。

【0057】

(第 3 の実施形態)

図 5 は、第 3 の実施形態に係る半導体装置の平面概略図であり、図 6 は図 5 に示した半導体装置の B-B' 断面図である。図 5 は第 1 の実施形態における図 1 に相当しており、図 6 は第 1 の実施形態における図 2 に相当している。本実施形態に係る半導体装置は、第 1 の実施形態において、第 1 半導体チップ 10 に形成されていた各構成要素と、第 2 半導体チップ 20 に形成されていた各構成要素が同一の SOI 基板 101 に形成されている。

【0058】

詳細には、第 1 半導体チップ 10 に形成されていた各構成要素は第 1 領域 12 に形成されており、第 2 半導体チップ 20 に形成されていた各構成要素は第 2 領域 22 に形成されている、第 1 領域 12 と第 2 領域 22 は、SOI 基板 101 のシリコン層 102 に埋め込

10

20

30

40

50

まれた絶縁層 104 によって基準電位が互いに分離されている。

【0059】

第1接続端子160、第2接続端子162、配線166、第5接続端子164、及び第6接続端子168は、SOI基板101の一辺に位置しており、第3接続端子260、第4接続端子262、配線266、第7接続端子264、及び第8接続端子268は、SOI基板101のうち第1接続端子160とは反対側の辺に位置している。

【0060】

本実施形態によっても、第1の実施形態と同様の効果を得ることができる。なお第2の実施形態において本実施形態のようにSOI基板101に各構成要素を形成しても良い。

【0061】

図7は、第4の実施形態に係る半導体装置の構成を示す平面概略図である。この半導体装置は、第1半導体チップ10と第2半導体チップ20が双方向で通信を行う。

【0062】

すなわち本実施形態では、第1半導体チップ10及び第2の第2半導体チップ20それぞれが、第1の実施形態において第1半導体チップ10及び第2半導体チップ20が有していた各構成要素を有している。

【0063】

本実施形態によっても第1の実施形態と同様の効果を得ることができる。なお、本実施形態において、第1インダクタ及び第2インダクタの構成を第2の実施形態のようにしても良い。

【0064】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。なお上記した実施形態によれば、以下の発明が開示されている。

(付記1)

送信回路、第1接続端子、及び第2接続端子を有する第1領域と、
前記第1領域と並んで配置されており、前記第1領域と基準電位が分離されており、受信回路、第3接続端子、及び第4接続端子を有する第2領域と、
前記送信回路に接続された第1インダクタと、
前記受信回路に接続され、前記第1インダクタと誘導結合する第2インダクタと、
前記第1インダクタの少なくとも一部を構成し、両端が前記第1接続端子及び前記第3接続端子に接続している第1ボンディングワイヤと、
前記第2インダクタの少なくとも一部を構成し、両端が前記第2接続端子及び前記第4接続端子に接続している第2ボンディングワイヤと、
を備える半導体装置。

(付記2)

付記1に記載の半導体装置において、
前記第1接続端子は前記送信回路に接続しており、
前記第4接続端子は前記受信回路に接続している半導体装置。

(付記3)

付記1に記載の半導体装置において、
前記第1接続端子は前記送信回路の基準電位に接続されており、
前記第4接続端子は前記受信回路の基準電位に接続されている半導体装置。

(付記4)

付記1～3のいずれか一つに記載の半導体装置において、
前記第1接続端子及び前記第2接続端子は、前記第1領域の中心を基準にした場合に前記第2領域とは反対側に位置しており、
前記第3接続端子及び前記第4接続端子は、前記第2領域の中心を基準にした場合に前記第1領域とは反対側に位置している半導体装置。

(付記5)

10

20

30

40

50

付記 4 に記載の半導体装置において、
前記第 1 領域及び前記第 2 領域は、平面形状が長方形又は正方形であり、
前記第 1 接続端子及び前記第 2 接続端子は、前記第 2 領域とは反対側の辺に位置して
おり、

前記第 3 接続端子及び前記第 4 接続端子は、前記第 1 領域とは反対側の辺に位置してい
る半導体装置。

(付記 6)

付記 1 ～ 5 のいずれか一つに記載の半導体装置において、
前記第 1 領域に形成されており、前記第 2 接続端子に接続している第 5 接続端子と、
前記第 1 領域に形成された第 6 接続端子と、
前記第 2 領域に形成されており、前記第 3 接続端子に接続している第 7 接続端子と、
前記第 2 領域に形成された第 8 接続端子と、

両端が前記第 6 接続端子及び前記第 7 接続端子に接続され、前記第 1 インダクタの一部
を構成する第 3 ボンディングワイヤと、

両端が前記第 5 接続端子及び前記第 8 接続端子に接続され、前記第 2 インダクタの一部
を構成する第 4 ボンディングワイヤと、

を備え、

前記第 3 ボンディングワイヤは前記第 1 ボンディングワイヤと前記第 2 ボンディングワ
イヤの間に位置し、

前記第 4 ボンディングワイヤは前記第 1 ボンディングワイヤと前記第 3 ボンディングワ
イヤの間に位置している半導体装置。

(付記 7)

付記 6 に記載の半導体装置において、
前記第 3 ボンディングワイヤと前記第 4 ボンディングワイヤの間隔は、前記第 1 ボンデ
ィングワイヤと前記第 4 ボンディングワイヤの間隔、及び前記第 2 ボンディングワイヤと
前記第 3 ボンディングワイヤの間隔より広い半導体装置。

(付記 8)

付記 1 ～ 7 のいずれか一つに記載の半導体装置において、
前記第 1 領域に設けられた第 9 接続端子、第 10 接続端子、第 11 接続端子、及び第 1
2 接続端子と、

両端が前記第 9 接続端子及び前記第 10 接続端子に接続されている第 5 ボンディングワ
イヤと、

両端が前記第 11 接続端子及び前記第 12 接続端子に接続されている第 6 ボンディング
ワイヤと、

を備え、

前記第 9 接続端子は前記第 1 接続端子に接続していて前記第 10 接続端子は前記送信
回路に接続しており、

前記第 11 接続端子は前記第 2 接続端子に接続している半導体装置。

(付記 9)

付記 1 ～ 8 のいずれか一つに記載の半導体装置において、
前記第 2 領域に設けられた第 13 接続端子、第 14 接続端子、第 15 接続端子、及び第
16 接続端子と、

両端が前記第 13 接続端子及び前記第 14 接続端子に接続されている第 7 ボンディング
ワイヤと、

両端が前記第 15 接続端子及び前記第 16 接続端子に接続されている第 8 ボンディング
ワイヤと、

を備え、

前記第 13 接続端子は前記第 3 接続端子に接続しており、

前記第 15 接続端子は前記第 4 接続端子に接続していて前記第 16 接続端子は前記受
信回路に接続している半導体装置。

10

20

30

40

50

(付記 1 0)

付記 1 ～ 9 のいずれか一つに記載の半導体装置において、
少なくとも前記第 1 領域が設けられた半導体チップと、
前記半導体チップが実装された配線基板と、
前記配線基板と前記第 1 領域を接続する接続用ボンディングワイヤと、
を備え、
前記第 1 ボンディングワイヤ及び前記第 2 ボンディングワイヤは、頂点が前記接続用ボンディングワイヤの頂点より高い半導体装置。

(付記 1 1)

付記 1 ～ 1 0 のいずれか一つに記載の半導体装置において、
前記第 1 領域は第 1 半導体チップに設けられており、
前記第 2 領域は第 2 半導体チップに設けられている半導体装置。

10

(付記 1 2)

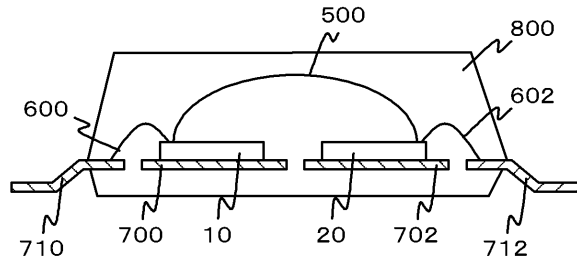
付記 1 ～ 1 0 のいずれか一つに記載の半導体装置において、
前記第 1 領域と前記第 2 領域は同一の S O I 基板に設けられており、
前記第 1 領域と前記第 2 領域は、前記 S O I 基板のシリコン層に埋め込まれた絶縁層により基準電位が互いに分離されている半導体装置。

【符号の説明】**【 0 0 6 5 】**

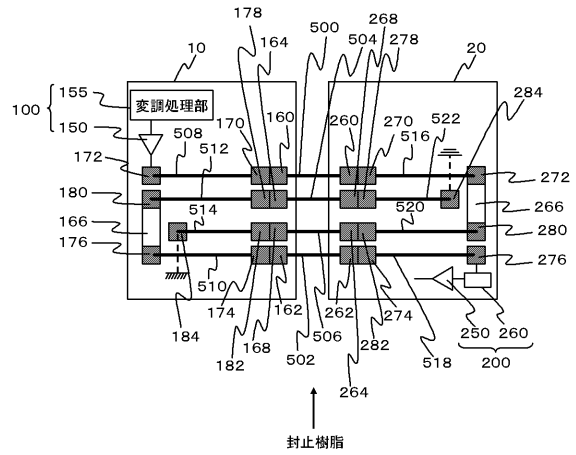
1 0	第 1 半導体チップ	20
1 2	第 1 領域	
2 0	第 2 半導体チップ	
2 2	第 2 領域	
1 0 0	送信回路	
1 0 1	S O I 基板	
1 0 2	シリコン層	
1 0 4	絶縁層	
1 2 0	ウェル	
1 2 1	第 1 トランジスタ	
1 2 2	不純物領域	30
1 2 6	ゲート電極	
1 4 0	ウェル	
1 4 1	第 1 トランジスタ	
1 4 2	不純物領域	
1 4 6	ゲート電極	
1 5 0	送信側ドライバ回路	
1 5 5	変調処理部	
1 6 0	第 1 接続端子	
1 6 2	第 2 接続端子	
1 6 4	第 5 接続端子	40
1 6 6	配線	
1 6 8	第 6 接続端子	
1 7 0	第 9 接続端子	
1 7 2	第 1 0 接続端子	
1 7 4	第 1 1 接続端子	
1 7 6	第 1 2 接続端子	
1 7 8	接続端子	
1 8 0	接続端子	
1 8 2	接続端子	
1 8 4	接続端子	50

2 0 0	受信回路	
2 2 0	ウェル	
2 2 1	第 2 トランジスタ	
2 2 2	不純物領域	
2 2 6	ゲート電極	
2 4 0	ウェル	
2 4 1	第 2 トランジスタ	
2 4 2	不純物領域	
2 4 6	ゲート電極	
2 5 0	受信側ドライバ回路	10
2 5 5	復調回路	
2 6 0	第 3 接続端子	
2 6 2	第 4 接続端子	
2 6 4	第 7 接続端子	
2 6 6	配線	
2 6 8	第 8 接続端子	
2 7 0	第 1 3 接続端子	
2 7 2	第 1 4 接続端子	
2 7 4	第 1 5 接続端子	
2 7 6	第 1 6 接続端子	20
2 7 8	接続端子	
2 8 0	接続端子	
2 8 2	接続端子	
2 8 4	接続端子	
4 0 0	多層配線層	
4 1 0	絶縁層	
4 1 2	配線層	
4 2 0	絶縁層	
4 2 2	配線層	
4 3 0	絶縁層	30
4 3 2	配線層	
4 4 0	絶縁層	
4 4 2	配線層	
5 0 0	第 1 ボンディングワイヤ	
5 0 2	第 2 ボンディングワイヤ	
5 0 4	第 4 ボンディングワイヤ	
5 0 6	第 3 ボンディングワイヤ	
5 0 8	第 5 ボンディングワイヤ	
5 1 0	第 6 ボンディングワイヤ	
5 1 2	ボンディングワイヤ	40
5 1 4	ボンディングワイヤ	
5 1 6	第 7 ボンディングワイヤ	
5 1 8	第 8 ボンディングワイヤ	
5 2 0	ボンディングワイヤ	
5 2 2	ボンディングワイヤ	
6 0 0	接続用ボンディングワイヤ	
6 0 2	接続用ボンディングワイヤ	
7 0 0	ダイパッド	
7 0 2	ダイパッド	
7 1 0	リード	50

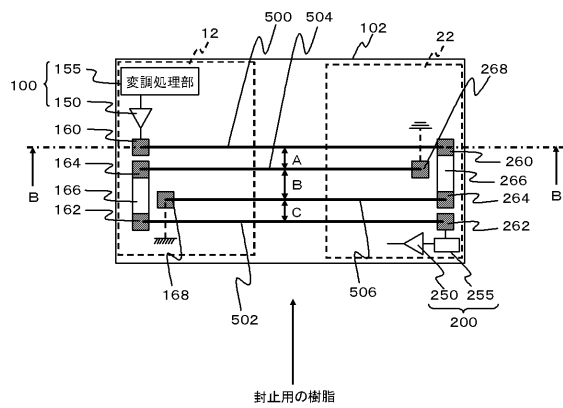
【 図 3 】



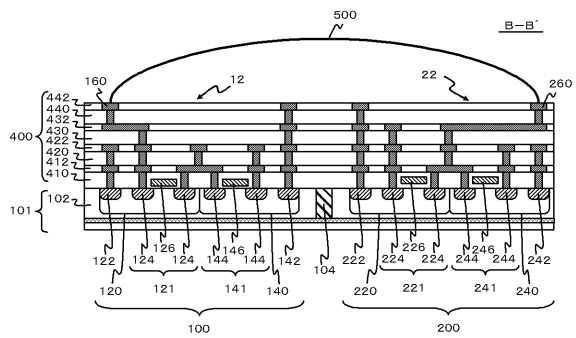
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第2010/0052120(US, A1)

特開2010-041499(JP, A)

特開2002-164214(JP, A)

特開平09-106915(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 23/52

H01L 25/04

H01L 25/18

H01L 27/04

H01F 17/00