

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年06月03日；10/453,137

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於固態記憶體。詳言之，本發明係關於一種形成超低價固態記憶體之鐵電電容器的三維(3D)配置。

【先前技術】

圖1展示陳述為2020年計劃之估計縮放極限、估計效能特徵與當前及潛在固態記憶體技術之估計價格的表格。給定或指示2002年之收入估計，由DEV表示仍處於發展中之技術，而由RES表示處於研究階段之技術。影響圖1中所示固態記憶體之每位元價格的重要因子包括：至最小尺寸的縮放能力、每單元位元之數目及三維(3D)整合之價格。

為每一固態技術所指示之縮放極限為推測性的且主要基於實體極限而非當前技術挑戰。單位面積矽之處理價格已數年保持相當恒定，且在歷史上比低價3.5"硬碟驅動器(HDD)之每單位面積價格高約十倍。據估計使用300 mm晶圓將使每單位面積價格降低約30%。儘管如此，由於HDD具有大於DRAM或快閃記憶體約十倍之面積密度，所以當前桌上型HDD每位元比DRAM及快閃記憶體便宜約100倍。由於圖1中識別之能夠低價3D整合之記憶體技術，所以吾人假定可添加層直至每單位面積價格增長60%為止，進而提供較低價與製造能力間之良好折衷。

四種技術經由多位元儲存或3D整合可最終達到可與HDD比較之價格，而HDD實際上不能擁有此等兩種特徵。四種技術中之兩種，即探針記憶體與矩陣記憶體，可能具有次

於HDD之效能特徵。其它兩種技術，雙向通用記憶體(OUM)與零電晶體鐵電記憶體(0T-FeRAM)可能具有優於HDD之效能且是HDD之潛在替代技術。即使高效能記憶體比HDD貴兩倍，但由於不需要大量DRAM(或其它記憶體)來緩衝處理器，所以其仍為廣受歡迎的。

以下描述展示於圖1中之多種記憶體技術的縮放極限與相關價格估計。

SRAM

靜態隨機存取記憶體(SRAM)單元由六個MOSFET形成，因此縮放挑戰對於電晶體與導線而言為相同的。最可縮放之MOSFET設計通常據信為雙閘極電晶體。舉例而言，參看J. Wang等人在IEDM Tech. Digest (IEEE)第707頁(2002)上的"Does Source-to-Drain Tunneling Limit the Ultimate Scaling of MOSFETs?"。由於閘極必須自通道絕緣且絕緣體必須厚於約2 nm以防止過多閘極穿隧電流(tunneling current)，所以必須由至少4 nm加上通道之厚度來將閘極隔開。大約說來，即使當使用高k介電絕緣體時，通道長度也必須至少與閘極與閘極間之距離同樣長以使電晶體適當關閉。因此，最小之可工作電晶體長度上大約為5至6 nm。

當今，閘極長度為約65 nm，其使用能夠在導線間具有130 nm半間距之微影，所以在約2020年最小電晶體將適於11 nm節點。舉例而言，參看<http://public.itrs.net>。11 nm半間距節點將需要極端高級微影。由 $F = k_1 \lambda / NA$ 給定用於波長為11或13 nm之極端UV(EUV)微影的最小半間距，其中 k_1 為使用

相移光罩(phase shift mask)之最小值約為0.25的常數， λ 為波長且NA為用於EUV微影之反射光學之最大值約為0.55的數值孔徑(numerical aperture)。舉例而言，參看授予D.M. Williamson的第5,815,310號美國專利"High Numerical Aperture Ring Field Optical Reduction System."。雖然該等特定參數指示微影極限為約5 nm半間距，但不可能達到此極限。

若考慮更保守參數值，意即 $k_1 = NA = 0.4$ ，則該極限在11 nm節點處。若電晶體閘極長度必須稍微比6 nm長，則由於與閘極長度相比，單元尺寸更主要由導線間距判定，所以記憶體密度不會非常受到很大反作用。

SRAM之最小單元尺寸為約 $50F^2$ ，因此， $F = 11$ nm之最大密度為約0.1 Tb/in²。由於SRAM對於讀取與寫入兩者而言都為最快執行記憶體類型，所以吾人預測未來會SRAM將持續用於速度最為重要之應用。

DRAM

動態隨機存取記憶體(DRAM)單元由一MOSFET與一電容器形成。歸因於泄漏而必須約每0.1秒地更新儲存於電容上之電壓。DRAM記憶體具有非常嚴重之縮放挑戰。舉例而言，參看J.A. Mandelman等人在IBM Journal of Research and Development第46卷第187頁(2002)上的"Challenges and Future Directions for the Scaling of Dynamic Random-Access Memory (DRAM)"。舉例而言，DRAM記憶體之最嚴重縮放障礙之一由輻射之反作用所導致，輻射中之單 α 粒子

可建立某時終止於電容上之約1百萬個少數載流子(million minority carrier)。為對輻射作用免疫，電容器必須對應約30 fF之電容而固持多於1百萬個電子。舉例而言，參看A.F. Tasch等人在Proceedings of the IEEE第77卷第374頁(1989)上的"Memory Cell and Technology Issues for 64 and 256-Mbit One-Transistor Cell MOS DRAMs"。

在DRAM中，讀取電容器之狀態為破壞性的，因此資料後來必須重寫。對於習知架構而言，藉由將電容器放電至具有比30 fF高得多之電容的位元線來感測電容器狀態。儲存電容之進一步減少可將感測電壓降低至不易於偵測之水平。由於電容不易於量測，所以電容器目前呈圓柱形態，其延伸深入矽晶圓中且具有約50至1之縱橫比。此量值之縱橫比看來不能夠被進一步增加且不久電容器將會需要在矽表面下拉平呈(例如)瓶子的形狀。同樣，需要諸如鈦酸鋇鉍(BST)之高k介電質以改良電容器效能。不幸的是，高k介電質具有高洩漏性，且因而其厚度需要厚於當今使用之介電材料之厚度。因此，高k介電質之厚度顯著地增加奈米刻度電容器(nanometer-scale capacitor)之直徑。由於此等縮放障礙，所以DRAM看來不可能縮放至小於約30 nm。

HDD

歷史上，由於位元與資料軌迹間有很少或沒有空間，所以硬碟驅動器(HDD)具有大於DRAM或快閃記憶體約十倍之資料密度。此外，沿軌迹之位元密度主要由場梯度與頭飛行高度(head fly-height)而非最小微影尺寸來判定。只有

軌迹密度由微影判定。然而，HDD之面積密度優勢由於超順磁性限制而可能減小，其中由於熱能 $k_B T$ 開始與磁各向異性能量 $K_u V$ 競爭而使磁碟中磁晶粒尺寸之縮放不再可能。為使寫入資料在若干年期間熱穩定(在約330 K處)，將磁晶粒之最小尺寸限制於大約8 nm。

雖然存在之材料具有大約3 nm之最小穩定尺寸，但是該等材料之矯頑磁性高於可由寫入頭產生之最大可獲得場。由於晶粒為隨機定向的，所以每位元需要約10-20個晶粒以防止過多誤差校正會減少資料密度。舉例而言，參看R. Wood在2002年IEEE Transactions of Magnetism第38卷第1711頁上的"Recording Technologies for Terabit per Square Inch Systems"以及M. Mallery等人在2002年IEEE Transactions of Magnetism第38卷第1719頁上的"One Terabit per Square Inch Perpendicular Recording Conceptual Design"。

雖然通常接受習知記錄之面積密度極限為約1 Tb/in²，但可使用革命性技術，諸如熱輔助記錄，其中加熱磁碟以降低用於寫入之媒體的矯頑磁性。儘管如此，當熱能 $k_B T$ 開始與Zeeman能量 $2H_A M_S V$ (其中 H_A 為所施加之場)競爭時存在一限制，以使得在寫入期間不適當導向晶粒。此效應將晶粒大小限制為約4 nm，此兩倍小於用於習知記錄之晶粒尺寸的。不幸的是，不存在用以在磁碟上製得奈米刻度熱點(heat spot)的已知實用方式。

亦已提議圖案化媒體作為超過1 Tb/in²之方式。使用電子

束主控器(e-beam master)來將圖案衝壓至磁碟中以形成磁島，以使得每位元可僅具有1個晶粒。不幸的是，曝露抗蝕劑之二次電子會限制電子束微影解析度，進而使其當前不可能超過1 Tb/in²。舉例而言，參看S. Yasin等人在2002年Microelectronic Engineering 第 61-62 卷 第 745 頁的"Comparison of MIBK/IPA and Water/IPA as PMMA Developers for Electron Beam Nanolithography"。圖1指示HDD之密度極限為1 Tb/in²，其可在早如2010年達到。

FLASH

快閃記憶體技術每單元使用單個浮動閘極電晶體(floating-gate transistor)。通常當HDD過於龐大時使用快閃記憶體。快閃記憶體具有快速讀取時間、相對慢之寫入時間、低資料速率及低耐久性。然而，快閃記憶體之價格快速下降且預期為以後幾年最快成長之記憶體類型，尤其對NAND與AND類型快閃記憶體架構而言更是如此。對小電容而言，由於HDD基於固定價格不會非常低於\$50，所以快閃記憶體之價格當前比HDD便宜。當今，由於積極縮放(aggressive scaling)與每單元2位元技術的最近引進，快閃記憶體價格每年減半。預期每單元4位元技術幾年內可實現。

雖然多位元儲存技術顯著地減少估計價格，但是由於讀取/寫入過程更複雜化，所以多位元儲存通常導致更低效能。快閃記憶體每單元儲存多位元之能力係基於浮動閘極儲存很大數目電子的能力，進而使得電晶體電導在許多數

量級上變化。因此，在當今技術下快閃記憶體具有非常精細的粒度與較低雜訊。

然而，由於浮動閘極周圍之介電質必須為至少 8 nm 厚以將電荷維持十年，所以快閃記憶體具有非常嚴重的縮放挑戰。舉例而言，參看 A. Fazio 等人在 2002 年 Intel Technology Journal 第 6 卷第 23 頁上的 "ETOX Flash Memory Technology: Scaling and Integration Challenges"。此厚度比用於 SRAM 之閘極介電質的厚度厚四倍。同樣，用於程式化快閃記憶體之電壓必須大於約 8 伏特，使得難於縮放用於供應程式化電壓之週邊電晶體。

歸因於在此長度刻度下程式化期間之汲極感應障礙 (drain-induced barrier) 降低問題，據信 NOR 快閃記憶體不可縮放超過 65 nm 節點。參看，前述之 A. Fazio 等人。類似地，歸因於相鄰閘極間之干擾，尤其對多位元儲存而言，NAND 快閃記憶體具有低於 40 nm 之非常嚴重的縮放挑戰。舉例而言，參看 J.-D. Lee 等人在 2002 年 IEEE Electron Device Letters 第 23 卷第 264 頁上的 "Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation"。

圖 1 展示之 NAND 快閃記憶體之縮放計劃基於以下假定：進一步改良利用每單元 4 位元技術將 NAND 或 NROM 快閃記憶體縮放至約 30 nm 半間距。在此尺寸以下，每位元電子之小數目、高電壓電路之尺寸及電荷儲存區域間之干擾可能引起對進一步縮放之更大障礙。

PROBE

探針記憶體技術主要是指IBM從事的用於資料儲存的"千足"(Millipede)概念，其中具有很鋒利矽頂端之矽懸臂(silicon cantilever)的2D陣列在矽基板上掃描越過薄聚合物薄膜且被加熱以用於在聚合物中戳孔。舉例而言，參看P. Vettiger等人在2002年IEEE Transactions of Nanotechnology第1卷第39頁上的"The Millipede-Nanotechnology Entering Data Storage"。當頂端深入孔內時，藉由感測懸臂之冷卻來偵測位元。由於整個晶片必須相對於頂端陣列移動以達到所要之記憶體位址，所以存取時間約與HDD同樣長。與HDD相比資料速率相當低。意即，將使160,000懸臂陣列之一列400個懸臂均以約100 KHz運作以達到4 MB/s之資料速率。若可達到此資料速率，則探針記憶體可與快閃記憶體及1"微驅動器相競爭。

然而，由於在高達400 °C之溫度下使用每個消耗約5 mW之微米刻度加熱器，所以功率消耗對於讀取與寫入而言都很高。因此，4 MB/s之資料速率要求2 W之消耗，進而使每位元探針儲存器比微驅動器小兩倍之能量效率且至少比快閃記憶體小20倍之效率。探針儲存器本質上為2D的且由於雜訊與其它問題而不可能多位元儲存，雖然理論上應存在具有不同玻璃轉變溫度的三層聚合物以隨施加之溫度來變化深度並且每縮進格儲存2位元。

到目前為止，每單位面積之估計價格不確定，但由於矽晶圓用於精密夾層配置中且需要大體數量之週邊控制電路，所以可能至少與其它固態記憶體同樣貴。校直與熱漂

移(thermal drift)為主要問題且可能需要許多熱感測器與補償加熱器以保持頂部與底部晶圓等溫且彼此間之差異在一度之內。頂端磨損與聚合物耐久性為其它主要問題。

然而，探針儲存器之主要優勢在於位元尺寸由頂端鋒利度而非微影判定。同樣，由於聚合物為非晶系的，所以晶粒大小限制不會發生。就此而言，IBM已利用矽頂端驗證1 Tb/in²之面積密度。頂端技術之改良可使顯著改良密度成為可能。>1 Tb/in²之局部氧化儲存已藉由奈電子管驗證。舉例而言，參看E.B. Cooper等人在1999年Applied Physics Letters第75卷第3566頁上的"Terabit-Per-Square-Inch Data Storage with the Atomic Force Microscope"。若可開發形成超鋒利、耐久頂端的製造方法，則10 Tb/in²為可能的。舉例而言，參看E. Yenilmez等人在2002年Applied Physics Letters第80卷第2225頁上的"Wafer Scale Production of Carbon Nanotube Scanning Probe Tips for Atomic Force Microscopy"。

OUM

另一顯露記憶體技術已知為雙向通用記憶體(OUM)。舉例而言，參看M. Gill等人在2002年ISSCC Tech. Digest (IEEE)第202頁上的"Ovonic Unified Memory - a High-Performance Nonvolatile Memory Technology for Stand-Alone Memory and Embedded Applications"。OUM每單元使用一個可程式化電晶體與一個二極體(或電晶體)。使用相變電阻器(非晶對結晶)之高與低電阻狀態來儲存位

元。藉由使高電流穿過電阻器以使材料達到結晶溫度或熔融溫度(約400至600 C)來達成OUM寫入。熔融材料之快速冷卻會導致形成非晶(高電阻)相。寫入結晶相要求較長時間以發生長晶與成長(約50 ns)且導致約比非晶相低約100倍之電阻。

可藉由在程式化脈衝期間控制電流(且因此控制溫度)而設定電阻之中間值，進而使OUM可能多位元儲存，但由於相變電阻器不可類似於快閃記憶體中之電晶體直接存取，所以可能比快閃記憶體更難多位元儲存。當使用二極體來防止多個電流路徑穿過單元時，直接存取是不可能的。串聯二極體有效地將電阻變化自因子100減少至僅約因子2。圖1指示每單元2位元技術對於OUM而言為可能的。

由於電阻由非晶結晶邊界之位置判定，所以OUM為可縮放的，且具有原子刻度粒度。雖然必須將相變材料加熱至很高溫度，但是小程式化體積導致合理的功率消耗。OUM具有以下縮放問題：由於溫度梯度之縮放與尺寸相反，所以每單位面積功率與電流密度之縮放在恒定頂峰溫度處與尺寸相反。即使具有極好熱絕緣，預期電流密度仍將需要超過 10^7 A/cm²以將10 nm橫斷面之體積加熱至600 C。

已知奈米刻度銅導線具有電遷移時間以導致在此電流密度下幾年會失效且在 10^8 A/cm²下很快被損壞。舉例而言，參看 G. Steinlesberger 等人在2002年IEEE Interconnect Technology Conference Proceedings第265頁上的"Copper Damascene Interconnects for the 65 nm Technology Node: A

First Look at the Reliability Properties"。可藉由使用具有高縱橫比之互連來避免電遷移問題，即使靠近裝置之局部電遷移仍為重要問題。

可與 OUM 相關之另一問題在於需要用於驅動大電流密度之龐大電晶體，即使短通道長度可幫助減輕此潛在問題。對於當存取一單元時防止多電流路徑的每一單元之大電流密度與二極體的需要將使 OUM 之 3D 整合變得相當困難。多晶矽二極體在約 10^6 A/cm² 之電流密度下很快失效。舉例而言，參看 O.-H. Kim 等人在 1982 年 Journal of Applied Physics 第 53 卷第 5359 頁上的 "Effects of High-Current Pulses on Polycrystalline Silicon Diode with N-Type Region Heavily Doped with both Boron and Phosphorus"。詳言之，多晶矽二極體僅在約 10^5 A/cm² 之電流密度以下可靠。舉例而言，參看授予 F. Gonzalez 等人的第 6,429,449 號美國專利 "Three-Dimensional Container Diode for Use with Multi-State Material in a Non-Volatile Memory Cell"。

若使用多晶矽，則要求二極體表面積比電阻面積大 100 倍。此外，需要很多處理步驟來製作高圓柱形之二極體。舉例而言，參看授予 F. Gonzalez 等人的第 6,429,449 號美國專利。很高二極體意味著對於二極體及對於層間通道而言之很高縱橫比。即使利用平面二極體達到很大晶粒尺寸，但是在給定寫入 OUM 記憶體所需之電流密度的情況下單個晶粒邊界或晶粒內在缺陷 (intra-grain defect) 可引起裝置失效。

若必須使用單晶矽，則可使用用於製作絕緣物上矽之晶圓結合技術來形成多層中之二極體。舉例而言，參看K.W. Guarini等人在2002年IEDM Tech. Digest (IEEE)第943頁上的"Electrical Integrity of State-of-the-Art 0.13 μm SOI CMOS Devices and Circuits Transferred for Three-Dimensional (3D) Integrated Circuit (IC) Fabrication"。為保持價格下降，當重新使用主晶圓時，結合很薄層的矽是有利的。一種看來適用於利用單晶矽製作3D IC的處理係基於已由Canon開發的ELTRAN方法。舉例而言，參看K. Sakagushi等人在1997年IEICE. Trans. Electron第E80C卷第378頁上的"Current Progress in Epitaxial Layer Transfer (ELTRAN)"。根據ELTRAN方法，蝕刻主晶圓以形成在表面上具有很小孔並在表面進一步向下具有大腔穴的多孔層。磊晶矽接著橋接該等孔以形成可經受形成二極體或電晶體所需之高溫(> 600 C)處理之新的、很高品質的表層。

可在較低溫度(< 600 C)下執行後續步驟以防止對3D晶片的損壞。將磊晶層結合至3D晶片且沿弱多孔層裂開。或者，將磊晶層結合至透明轉移晶圓，將其裂開且接著轉移至晶片。使用蝕刻與化學機械研磨(CMP)來重新表面精整兩裂開平面且重新使用主晶圓。可在添加下一矽層之前於3D晶片上執行諸如製作相變電阻之低溫處理。OUM記憶體與基於可程式化場電阻之其它類似機制相比的優勢在於：電流僅在一個方向穿過電阻因此可使用二極體替代電晶體來用於存取，進而減少單元尺寸與用於每一矽層之處理步驟的數

目。即使單晶矽價格很高，OUM之3D整合之價格應當比在每個單元中均需要單晶MOSFET之技術的3D整合價格減少得多。

與OUM相關之粗略估計價格包括用於將300 mm晶圓處理成晶片之約\$5000，70 mm²產出1000個沖模，每個花費約\$5。吾人預期EUV微影貴達每光罩步驟\$40。舉例而言，參看<http://www.sematech.org/public/resources/litho/coo/mdex.htm>。假定每層五個光罩且有三個層，則將\$600添加至晶圓至估計價格。當今SOI晶圓很貴，每一個均在\$1000以上，而計劃價格經以後幾年跌至\$700。若價格可持續跌至約\$600，則據計劃三個額外矽層將每3D晶圓花費約\$1800。若預算另一\$600用於額外處理步驟：光罩價格與測試價格，則總價格增長60%，但假定底層亦具有記憶體單元，則記憶體密度增加4倍。根據圖1，當(1)可將更便宜之SOI技術(依當今標準)用於3D整合、(2)可每單元儲存多位元及(3)可將微影向下延伸至10 nm時，OUM可最終達到接近為HDD估計之估計價格。

MJT-MRAM與3D-MRAM

磁性隨機存取記憶體(MRAM)每單元使用一磁穿隧接面與一個二極體(或MOSFET)。將MTJ之高與低電阻狀態(意即，平行對不平行磁電極)用於儲存位元。舉例而言，參看K. Inomata在2001年IEICE. Trans. Electron.第E84-C卷第740頁上的"Present and Future of Magnetic RAM Technology"。藉由使電流穿過字元線與位元線來達成磁穿隧接面MRAM

(MTJ-MRAM)寫入，從而建議足夠強以在字元線與位元線之交叉點處切換"軟式"或"自由"磁電極的磁場。

由於MTJ磁滯迴路(hysteresis loop)的方形性，在MRAM中難於每單元儲存多個位元。克服此困難之一種可能性為將三個MTJ串連，而每一MTJ具有供儲存2位元之不同臨限值。需要進一步考慮為儲存兩倍資訊而串行連接三裝置的複雜性與價格。為此原因，圖1指示MRAM每單元可僅具有1位元。

由於將導線做的更小，與MTJ-MRAM相關之重要障礙在於產生寫入場所需之電流密度縮放不良。該不良縮放與軟電極用以避免超順磁性效應之矯頑磁性的必要增加相關。舉例而言，為縮放至40 nm節點，立方體形磁位元需要 $K_u=50 \text{ k}_B T/V=3.5 \times 10^4 \text{ ergs/cm}^3$ 之各向異性能量。假定磁化強度為 1000 emu/cm^3 ，則各向異性場必須為 $H_k=2K_u/M=70 \text{ Oe}$ 。利用反向磁化之Stoner-Wohlfarth模型， H_k 可大約等同於快速切換所需要之場。對於用以自導線中心產生70 Oe 40 nm磁場的40 nm×40 nm位元線與字元線(與磁軸成45度角)而言，電流密度必需為至少 $j = (5/2^{1/2})H_k/d = 6 \times 10^7 \text{ A/cm}^2$ 。如以上所討論，在僅 $1 \times 10^7 \text{ A/cm}^2$ 下銅導線在幾年後將失效，因此甚至將MTJ-MRAM縮放至40 nm將需要銅導線電遷移電阻之明顯改良。因此，與更可縮放之技術相比，MRAM之價格將保持相當高。

MRAM確實具有低價格之令人感興趣優勢：由於藉由磁場完成寫入，所以高電流不需要穿過此單元。在讀取運作

期間，需要二極體以防止交叉點架構內之多電流路徑，但該二極體可自薄膜非晶矽製得。舉例而言，參看P.P. Freitas等人在2000年IEEE Transactions of Magnetics第36卷第2796頁上的"Spin Dependent Tunnel Junctions for Memory and Read-Head Applications"。雖然薄膜非晶矽二極體比單晶矽二極體便宜得多，但是穿過非晶矽之最大電流密度僅為 10^1 A/cm²。因此，薄膜非晶矽二極體之很高電阻導致長RC時間常數與非常低的效能。

可藉由3D整合顯著減少與MTJ-MRAM相關之價格估計。舉例而言，假定每層五光罩且具有十二層，則每晶圓之微影價格將增加\$2400。若考慮額外\$600用於其它費用，則價格增加60%，但密度增加12倍。儘管如此，除了良好3D潛力外，MRAM具有不良縮放且看來不可與其它儲存方法競爭。

MATRIX

矩陣記憶體單元具有一抗熔絲與一非晶矽二極體。舉例而言，參看T.H. Lee在2002年Scientific American第286卷第52頁上的"A Vertical Leap for Microchips"。矩陣記憶體應具有類似於3D MRAM之3D整合價格且具有更可縮放之優勢。當前由矩陣半導體(Matrix Semiconductor)開發之矩陣記憶體為具有接近生產之晶片且考慮作為商業使用之3D固態記憶體的最先進概念。矩陣記憶體之主要劣勢在於：(1)由於其基於絕緣體之破壞性擊穿(destructive breakdown)，所以記憶體為一次性寫入；及(2)由於使用非晶矽二極體，

所以記憶體具有非常低的效能。

1T-FeRAM

1T-FeRAM記憶體由一個MOSFET與一個具有相似於展示於圖2中之例示性磁滯迴路200之磁滯迴路的鐵電電容器組成。除了由鐵電材料替代電容器介電質且使用稍微不同之架構外，1T-FeRAM記憶體非常相似於DRAM。舉例而言，參看O. Auciello等人在1998年Physics Today第51卷第22頁上的"The Physics of Ferroelectric Memories"。使用鐵電材料替代介電材料具有多種優勢，諸如：(1)電容器為非揮發性的且不需要更新；(2)電容器在相同量之空間中可儲存多約100倍之電荷；及(3)由於鐵電之偏振不易受輻射影響，所以電容器為輻射硬化的。

具有輻射硬化之品質允許當感測方法改變時將與1T-FeRAM記憶體單元相關之電荷限制減少至1百萬電子以下，以使得可偵測電流或使用增益單元(gain cell)。舉例而言，參看D. Takashima在2001年IEICE. Trans. Electron.第E84-C卷第747頁上的"Overview and Trend of Chain FeRAM Architecture"。因此1T-FeRAM不會遭受與DRAM記憶體相關之縮放問題。即使鐵電材料為多晶的，其仍能夠縮放至10 nm。就此而言，據計算2.5 nm小之 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)的鐵電晶粒為熱穩定的。舉例而言，參看T. Yamamoto在1996年Integrated Ferroelectrics第12卷第161頁上的"Calculated Size Dependence of Ferroelectric Properties in PbZrO_3 - PbTiO_3 System"。此外，已長成4 nm薄之鐵電PZT薄膜。舉

例而言，參看 T. Tybell 等人在 1999 年 Applied Physics Letters 第 75 卷第 856 頁上的 "Ferroelectricity in Thin Perovskite Films"。另外，已形成 13 nm 薄之低泄漏多晶鐵電電容器。舉例而言，參看 T. Kijima 等人在 2002 年 Jpn. J. Appl. Phys 第 41 卷第 L716 頁上的 "Si-Substituted Ultrathin Ferroelectric Films"。最後，已藉由掃描探針切換 6 nm 小之橫向鐵電域。舉例而言，參看 Y. Cho 等人在 2002 年 Applied Physics Letters，第 81 卷第 4401 頁上的 "Tbit/inch² Ferroelectric Data Storage Based on Scanning Nonlinear Dielectric Microscopy"。

若在單個電容器中之晶粒或域牆鎖住點 (domain wall pinning site) 之數目足夠大，則每單元可能儲存兩個或兩個以上位元，但由於不可檢驗單元之中間狀態而不損壞該狀態，所以此係困難的。為此原因，圖 1 指示 1T 與 0T-FeRAM 可縮放至 10 nm，但將受限於每單元僅 1 個位元。

因而，由於 1T-FeRAM 具有類似效能與更好縮放性，所以其看來具有替代 DRAM 之良好機會。對更高介電常數之需要已引起 DRAM 產業廣泛研究鈣鈦礦材料。

吾人所需要的是縮放良好且允許低價 3D 整合之高效能非揮發性固態記憶體。

【發明內容】

本發明提供縮放良好且允許低價 3D 整合之高效能非揮發性固態記憶體。

本發明之第一實施例提供一種記憶體裝置，其包括複數

條位元線、複數個層、複數個樹形結構與排列於每一層中之複數條板線。該等複數條位元線形成於基板上且大致上排列於第一平面中且大致上在第一方向上延伸。複數個層中之每一層具有一鐵電電容器記憶體單元之陣列。複數個樹形結構排列成至少一樹形結構列且至少一個樹形結構對應於每一位元線。每一樹形結構具有一樹幹部分與複數個分枝部分。樹形結構之每一分枝部分對應於一層。每一樹形結構之樹幹部分自基板延伸，且樹形結構之每一分枝部分在對應於該分枝部分之層中自該樹形結構之樹幹部分延伸。至少一個樹形結構之樹幹部分包括彼此同線之複數個通道。或者，至少一個樹形結構之樹幹部分包括複數個通道，且至少一個通道自至少一個其它通道偏移。每一各別複數條板線在大致上垂直於第一方向之方向上延伸且在對應層內與每一樹形結構之分枝部分重疊於複數個相交區域。鐵電電容器記憶體單元位於一層中之每一相交區域。此外，每一各別複數條板線排列於大致上垂直於每一樹形結構之分枝部分延伸方向的方向中。

複數條單元層線(cell layer line)大致上在第一方向上延伸。複數條單元行線在大致上垂直於第一方向之方向上延伸且與複數條單元層線重疊於複數個第二相交區域。複數個板線驅動器電晶體排列成二維陣列。每一各別板線驅動器電晶體對應於一各別第二相交區域且定位於此區域中。在每一板線與對應於該板線之板線驅動器之間形成連接。每一板線驅動器電晶體具有一控制端且對應於每一板線驅

動器電晶體之單元行線耦接至該板線驅動器電晶體之控制端。或者，對應於每一板線驅動器電晶體之單元層線耦接至該板線驅動器電晶體之控制端。

在本發明第一實施例之替代組態中，記憶體裝置包括複數條存取線與複數個存取電晶體。複數條存取線形成於基板上。存取線在大致上垂直於第一方向之方向上延伸且與位元線重疊於複數個第二相交區域。每一第二相交區域對應於一樹形結構，且每一存取線對應於一樹形結構列。每一各別存取電晶體對應於一各別第二相交區域且定位於此區域中。每一各別存取電晶體電安置於樹形結構與對應此第二相交區域之位元線間。每一各別存取電晶體具有一控制端且進一步耦接至對應於第二相交區域之存取線。

在本發明第一實施例之另一替代組態中，每一存取線為寫入線且每一存取電晶體為寫入電晶體。因而，記憶體裝置進一步包括複數個讀取電晶體、複數條讀取線與複數個增益電晶體。複數個讀取電晶體電中之每一個安置於樹形結構與對應於此樹形結構之位元線之間。複數條讀取線形成於基板上且在大致上垂直於第一方向之方向上延伸，進而與位元線重疊於複數個第三相交區域。每一第三相交區域對應於一樹形結構，且每一讀取線對應於一樹形結構列。每一各別讀取電晶體對應於一第三相交區域且定位於此區域中。每一各別讀取電晶體進一步電安置於樹形結構與對應於該第三相交區域之位元線之間。每一各別讀取電晶體具有一控制端且耦接至對應於該第三相交區域之讀取

一樹形結構具有一樹幹部分與複數個分枝部分。樹形結構之每一分枝部分對應於一層。每一樹形結構之樹幹部分自基板延伸，且樹形結構之每一分枝部分在一對應該分枝部分之層中自樹形結構之樹幹部分延伸。至少一個樹形結構之樹幹部分包括彼此同線之複數個通道。或者，至少一個樹形結構之樹幹部分包括複數個通道，且至少一個通道自至少一個其它通道偏移。每一各別複數條板線在大致上垂直於第一方向之方向上延伸，且與對應層中之每一樹形結構之分枝部分重疊於複數個相交區域。鐵電電容器記憶體單元位於一層中之每一相交區域中。此外，每一各別複數條板線排列於大致上垂直於每一樹形結構之分枝部分延伸方向的方向上。根據本發明，允許一列中之每一樹形結構電浮動接近第一預定電壓。將第二預定電壓 V 施加至一選定板線。偵測該列中每一樹形結構之電位改變，並且判定是否每一偵測電位改變對於選定板線與該列中樹形結構之相交區域處的每一記憶體單元而言對應於0或1。將第一預定電壓施加至該列中之每一樹形結構；且將第一預定電壓施加至選定板線。根據本發明，將電壓 $V/3$ 施加至一列樹形結構中之每一樹形結構。將電壓 $2V/3$ 施加至一列樹形結構中之每一板線。接著，將電壓 V 施加至該列樹形結構中之預定數目的選定樹形結構。將電壓0施加至一選定板線，其中將資料"1"寫入第一預定數目之樹形結構與選定板線相交處的預定數目選定記憶體單元中。將電壓 $2V/3$ 施加至選定板線且將電壓 $V/3$ 施加至該列樹形結構中之預定數目選定樹

施加至一系列樹形結構中之每一樹形結構。將電壓 $2V/3$ 施加至一系列樹形結構中之每一板線。接著，將電壓 V 施加至該列樹形結構中之預定數目的選定樹形結構。將電壓 0 施加至選定板線，其中將資料 "1" 寫入第一預定數目之樹形結構與選定板線相交處的預定數目選定記憶體單元中。將電壓 $2V/3$ 施加至選定板線。將電壓 $V/3$ 施加至該列樹形結構中之預定數目選定樹形結構。將電壓 0 施加至一系列樹形結構中之每一板線，且將電壓 0 施加至一系列樹形結構中之每一樹形結構。

【實施方式】

本發明係關於一種具有很高密度、高效能與很低功率消耗之超低價、可縮放、非揮發性之固態記憶體。詳言之，本發明係關於 0T-FeRAM 記憶體單元之一種三維 (3D) 配置，其中每一記憶體單元包括一鐵電電容器。記憶體單元排列於類樹形結構中，其中交叉點存取穿過樹之底部且穿過穿線於一系列樹之板線。該等樹具有內建式感測增益。藉由樹列中之連續存取來管理單元干擾。將電容器之多個層建置於含有存取電晶體、增益電晶體、感測電路與板線驅動器之二維陣列的單個活性矽層上。將架構設計成具有最低可能製造價格，其中記憶體層在交叉導線間僅包含鐵電材料。歸因於特定配置，可重複使用相同的三個光罩以界定所有記憶體層。

由於藉由交叉導線間之鐵電材料來形成記憶體單元之記憶體層，所以易於達成 0T-FeRAM 之 3D 整合。舉例而言，參看 T. Nishihara 等人在 2002 年 IEEE Journal of Solid-State

Circuits第37卷第1479頁上的"A Quasi-Matrix Ferroelectric Memory for Future Silicon Storage"。此種組態並不比用於連同微處理器執行之習知後端處理複雜，後端處理中通常存在建置於微處理器之電晶體頂部上的八級佈線。此外，鐵電材料可在低於600 C之溫度下成長，從而使得鐵電材料適用於後端處理。

先前已由前述之T. Nishihara等人揭示了基於0T-FeRAM的3D記憶體。如所揭示，藉由獨立通道將記憶體之每一層連接至底部矽層，而導致由通道消耗大量空間。因而，當價格增加的同時資料密度減小。獨立通道亦增加要求用於界定每一層之共同電極與通道之不同光罩的光罩複雜性，因此大大增加光罩價格。亦使用層選擇器電晶體以各別地存取每一層。電晶體佔據有用矽地域(real estate)且可增加不受干擾問題即可各別被存取的最小扇區尺寸。當藉由干擾連接之單元數目增大時，由於必須在寫入過程中能量化更多板線，所以寫入所需之能量增大。

在相同行內的層之間連接Nishihara等人之記憶體裝置中的板線，進而使讀取過程複雜化。此外，由於未揭示任何時序圖，所以不清楚意欲如何讀取資料。一潛在方法為：將板線切換為高的且藉由打開每一單位電晶體來連續讀取連接至板線之每一位元。除了複雜化之外，由於可藉由電容器將一層中之共同電極的電壓耦接至連接不同層之板線，所以還存在發生於讀出期間之串擾與干擾的危險。

可使用僅三個光罩來製造0T-FeRAM記憶體之每一層。若

使用每晶圓每光罩步驟具有\$40估計價格之EUV微影，則16個層將使每晶圓之估計價格\$1920增加至\$5000。此可能為主要價格增加原因。若增加額外\$1080以作為其它處理與測試價格，則晶片之估計價格增加60%，但是記憶體密度增加16倍。此導致每位元價格比2D記憶體結構低十倍。

0T-FeRAM記憶體單元是圖1中所有固態儲存方法中最簡單的，其每單元僅具有單個電容器。電流不穿過單元來進行寫入或讀取，所以在單元中不需要其它電路元件來導引電流。在早期之FeRAM中鐵電電容器之簡單交叉(cross-bar)的觀點是流行的，但由於干擾問題而被放棄了。舉例而言，參看前述之O. Auciello等人。當將電壓施加至位元線與字元線以存取交叉點時發生干擾。較小電壓可能會不經意地被施加至交叉未選定電容器上，進而導致未選定單元穿過較小偏振迴路(如圖2中展示之201)，且失去偏振。可藉由使用具有更好磁滯迴路方形性之改良鐵電材料來減少此問題。藉由半選擇機制達成MRAM寫入，其中由位元線提供半個場且由字組線提供半個場。由於磁性材料具有非常方形的磁滯迴路，所以半選定單元在MRAM中通常不切換。

減少干擾之另一方式在於限制受干擾之單元數目且每次單元受干擾時重寫該單元。實務上，連續讀取與重寫資料直至讀取所有藉由干擾連接之資料為止。與DRAM類似，FeRAM讀取運作為破壞性的且無論如何必須重寫讀取資料。舉例而言，參看T. Nishihara等人在2002年IEEE Journal of Solid-State Circuits第37卷第1479頁上的"A Quasi-Matrix

Ferroelectric Memory for Future Silicon Storage"及授予T. Nishihara的題為"Ferroelectric Memory and Method for Accessing Same."的第6,301,145號美國專利。

與HDD及快閃記憶體類似，在"扇區"中讀取資料且位元組存取不可用。將干擾脈衝之最大數目極限為當起始單元總是相同時連接在一起之單元數目，或極限為當起始單元隨機時(為獲取對資料之特定位元組的更快存取)約為經連接單元數目的兩倍。

圖3展示沿圖4展示之線B-B檢視的根據本發明之例示性3D 0T-FeRAM記憶體300之橫截面圖。詳言之，圖3為展示一列樹之末端之細節的橫截面圖。圖4展示沿圖3中之線A-A檢視的例示性3D 0T-FeRAM記憶體300之橫截面圖。詳言之，圖4為展示板線細節之記憶體300的橫截面圖。

記憶體300包括複數個記憶體單元301，其中每一記憶體單元由單個電容器形成且排列成本文稱作"記憶體樹"之類樹形結構。為簡化圖3與4，未指示所有記憶體單元301。

圖3展示兩個記憶體樹302a與302b。記憶體樹302a與302b排列成彼此之鏡像，以使得增益電晶體304a與304b可共用共同電壓線303。使用增益電晶體304與讀取電晶體311來將樹形結構上之電壓轉換成位元線上的電流以獲得改良的偵測敏感性。最佳地如圖3所視，每一記憶體樹包括一基底或由諸如銅之傳導材料形成之"樹幹"部分305，及亦由諸如銅之傳導材料形成的複數個"分枝"部分306。每一分枝部分306形成記憶體300之一層。記憶體單元301沿分枝306排

列。如圖3所示，樹幹部分305為在層間用於連接至複數個層中之分枝部分306的一系列通道。只要藉由傳導路徑連接複數個層內之記憶體單元301，就可在不同層內彼此相對地移動通道而不改變本發明之運作。因此，此樹可具有多種可能形狀。最佳地如圖4所視，形成板線307以穿線於分枝306之間。每一板線307連接至一系列記憶體單元301，進而形成3D交叉點陣列。對特定記憶體單元301之交叉點存取穿過對應於該記憶體單元之樹幹部分305與分枝部分306與板線307。通道308將一系列樹之每一板線連接至板線驅動器電晶體309之2D陣列。

雖然在圖3與4中僅展示四個層，但是藉由簡單地將每一額外層添加至樹之頂部可使樹形結構增加至少16個層。每一額外層增加有效之記憶體密度。

將儲存單元之多個層建置於單個活性矽層310之頂部，該活性矽層310含有增益電晶體304a與304b、讀取電晶體311a與311b、寫入電晶體312a與312b及板線驅動器309之2D陣列。藉由將樹之樹幹部分305通過傳導分枝314連接至增益MOSFET 304之閘極313來使得每一樹302a與302b具有內建式感測增益。藉由在讀取運作期間打開讀取電晶體311並量測在連接至多列樹之位元線313a上流動的電流來量測記憶體樹之電位。在寫入運作期間使用寫入電晶體312來將電壓置於記憶體樹上。藉由樹列內之連續存取來管理單元干擾。意即，直至存取了一系列樹中之所有記憶體單元為止，才藉由以串聯方式存取每一板線來讀取與寫入資料。

可重複使用三個相同光罩來界定所有記憶體層。此已描繪於圖4中，圖4展示將板線307連接至板線驅動器309之2D陣列處的一列樹之末端的側視圖。使用一個光罩來製作記憶體樹分枝306。使用一個光罩來製作板線307，且使用一個光罩來製作通道308。板線光罩與通道光罩可在每一層中偏移以製作至板線驅動器309之連接。因而，將板線307製作成稍微在記憶體樹之每一較高層上偏移。每一較高層之通道光罩的偏移建立不會反作用記憶體300運作之額外部分通道315。偏移光罩亦會導致在該列樹之相對末端處的部分樹，但是由於較低非重複層之適當設計，所以該等部分樹不會反作用於記憶體300之運作。或者，將不同光罩用於每一層，以使得額外通道315與部分樹不會產生。

板線驅動器電晶體309形成2D陣列且藉由複數條單元層線316與複數條單元行線317定址。圖4亦展示位元線313a-313d，而圖3為清晰起見僅展示位元線313a。位元線313a-313d排列成在兩個不同水平處呈蛇形穿過樹幹305，以使得樹302可盡可能地靠近。

圖8展示根據本發明具有替代組態之例示性3D 0T-FeRAM記憶體的橫截面圖。記憶體800包括排列於記憶體樹中之複數個鐵電電容器記憶體單元801。圖8為簡單起見未指示所有記憶體單元801。圖8展示兩個記憶體樹802a與802b。所展示之記憶體樹802a與802b是彼此之鏡像，但並不必須是。每一記憶體樹802包括由諸如銅之傳導材料形成之樹幹部分805及亦由諸如銅之傳導材料形成之複數個分

枝部分806。每一分枝部分806形成記憶體800之一層。記憶體單元801沿分枝806排列。如圖8所示，樹幹部分805係複數個層中用於連接至分枝部分806的層之間的一系列通道。與展示於圖3與4中之記憶體300類似，只要藉由傳導路徑來連接複數個層中之記憶體單元801，形成樹幹部分805之通道就可在不同層中相對於彼此移動，而不會改變本發明之運作。因此，每一樹形結構805可具有多種可能形狀。形成板線807以使其穿線於圖8未展示之其它樹形結構之分枝806之間。雖然圖8中僅展示四個層，但藉由簡單地將每一額外層添加至樹之頂部可使樹形結構增加至少16層。

記憶體800不同於展示於圖3與4中之記憶體300，其不同之處在於：記憶體800不具有用於改良記憶體單元偵測敏感性之增益電晶體，且不具有獨立讀取與寫入線。相反，記憶體800包括用於藉由存取電晶體811存取特定記憶體單元801之存取線820及用於讀取與寫入運作的位元線813。

圖5描繪例示性記憶體300的整體晶片佈局500。將大量樹(例如多達1024個)排成線以形成樹列501。將複數個樹列501排列成晶片佈局500之樹陣列部分502。板線驅動器電晶體309之陣列503位於樹列之一個末端處。利用由位於單元層驅動器陣列部分504中之單元層線驅動器驅動的單元層線316及由位於單元行與讀取/寫入驅動器陣列部分505中之單元行驅動器驅動之單元行線317來選擇板線驅動器電晶體309。每列樹具有其自己的寫入線320與讀取線321，其分別由亦位於單元行與讀取/寫入驅動器陣列部分505中之寫

入與讀取驅動器驅動。請注意：出於簡化之原因，在圖4中未展示自寫入線320與讀取線321至讀取/寫入驅動器陣列之連接。亦請注意：寫入與讀取驅動器亦可位於晶片佈局500之樹陣列部分502的左邊緣上。位元線313穿線穿過大量樹列(例如多達128列)且由位元驅動器與位於位元線313末端處的感測放大器驅動器陣列506驅動。

圖6展示一時序圖，其說明用於讀取展示於圖3-5中之3D 0T-FeRAM記憶體300的記憶體單元301b之第一讀取運作600。將讀取運作600劃分為讀取相601與回寫相602。將扇區中之V/3干擾序列與連續存取序列用於防止與干擾相關的問題。

在讀取相601期間，在603處打開諸如圖3中展示之讀取線321b(圖3)之讀取線(RL)，從而導致在604處偏移電流在諸如位元線313a之位元線(BL)上流動。在606處，打開諸如單元行選擇線317b之單元行選擇線(CC1)。在605處，藉由板線驅動器將電壓V施加至單元層線中之一條上並施加至諸如板線307b之板線之一(PL11)上，以將0寫在連接至該板線之樹列中的所有儲存單元上。(符號PL11指示實體位於行1中之層1上的板線，意即，朝向圖3之右下角。)其它單元行電晶體(CC2)(在607處指示)必須關閉以防止選定層中之其它板線(諸如PL12)上升至電壓V。如608處所示，行2中之板線PLX2亦為浮動的，其中"X"指示任意層。

當選定記憶體單元301b含有"0"時，將少量電荷置於609a處之記憶體樹(MT)302b上，從而導致記憶體樹302b之電壓

的少量上升。相反地，當記憶體單元302b含有"1"時，偏振會發生切換且大量電荷位於609b處之記憶體樹302b上，進而導致電位之更大改變及增益電晶體304b電導之更大改變。連接至位元線313a之感測放大器(未圖示)基於位於額外樣本樹(未圖示)中之已知"0"與"1"來感測位元線電流之改變是否足夠大至可為"1"。由感測放大器儲存此結果以用於回寫相602。同時偵測沿選定板線之所有位元(例如，總計1024個位元)。接著在讀取相601期間，藉由在610處對記憶體樹302b放電來加強"0"。

回寫相602藉由使得樹列中之所有記憶體樹302的電壓為 $V/3$ 而起始，如611處所示。在此點上，在612處使得非存取行之所有板線306的電壓為 $2V/3$ (PLX2)。接著在613處關閉其它單元行電晶體CC2且在614處使得PL21的電壓為 $2V/3$ ，而PL11保持為0(615處)。當記憶體單元含有"0"時，將記憶體樹在616a處保持在 $V/3$ 。當記憶體單元含有"1"時，將電壓 V 施加至記憶體樹302b(在616b處)。同時寫入板線上之所有記憶體單元(例如，1024個位元)。將干擾電壓保持至最大值 $V/3$ 。儘管如此，由於當脈衝記憶體樹時PLX2為浮動的，所以電容性耦合可能增加板線上之電位。因此，干擾電壓差異可比保持於 $V/3$ 之記憶體樹中的 $V/3$ 大。

圖7展示一時序圖，其說明用於讀取展示於圖3-5中之3D 0T-FeRAM記憶體300之記憶體單元301b的第二、替代較佳讀取運作700。讀取運作700亦包括讀取相701與回寫相702。讀取相701等同於圖6中展示之讀取相601，且標記相

似。如 711 處所示，回寫相 702 之起始與回寫相 602 類似，其藉由使得樹列中所有記憶體樹 302 的電壓為 $V/3$ 來開始。然後，如 712a、712b 與 712c 處所示，使得所有板線 307 為 $2V/3$ 。在 713b 處，接著當記憶體單元 301b 含有 "1" 時使得該樹列中之記憶體樹 302 的電壓為 V ，或者當記憶體單元 301b 在 713a 處含有 "0" 時使得記憶體樹 302 的電壓保留在 $V/3$ 。在 714 處，將板線 307b 脈衝至 0。即使板線 PLX2 在脈衝期間浮動，由於記憶體樹不會浮動或改變電位，所以板線 PLX2 仍不受影響。再次，同時寫入板線 307b 上之所有記憶體單元(例如，總數為 1024 個位元)。

不管是否使用圖 6 或圖 7 之讀取運作，對於下個板線重複相同過程，直至讀取並寫入樹列中之所有板線為止。當寫入資料時，僅使用圖 6 或圖 7 中之任一回寫相，進而省略該運作之讀取相。由展示於圖 6 與 7 中之時序圖展示記憶體單元 800(圖 8)之運作，而在兩圖中由訊號 BL(V)描繪輸出。對於記憶體 800 而言，訊號 BL(I)不會出現。同樣，打開存取電晶體以進行讀取與寫入運作且將記憶體樹電壓(MT)傳遞到位元線電壓(BL)以進行讀取與寫入運作。

對於具有每分枝 4 單元、16 層且一列具有 1024 樹之記憶體樹配置而言，最小資料扇區大小為 8KB。對於連續存取運作而言，干擾之最大數目為 64，或當隨機選擇起始板線時，干擾之最大數目為 127。其它未被存取之樹列中不會發生干擾狀況。

可為銅互連及諸如前述 T. Kijima 等人揭示之具有鐵電電

容器的記憶體單元估計記憶體300之效能特徵(意即，樹幹305與分枝306)。對於此實例而言，鐵電電容器之厚度為 $s=13\text{ nm}$ ，偏振 $P=20\text{ }\mu\text{C}/\text{cm}^2$ ，且介電常數 $\epsilon=200$ 。當電容器切換時由 $V=2Ps/N\epsilon\epsilon_0$ 給定記憶體樹在"1"與"0"間上的電壓差異，其中 N 為樹中電容器之數目。當 $N=64$ 時，電壓差異 V 為 46 mV 。假定電晶體臨限值下的斜率為 60 mV/decade ，則增益電晶體之電導改變6倍。因此，自增益電晶體輸出之訊號足夠大而容易被偵測。

由板線電容而非鐵電轉換時間來確定記憶體300之速度。舉例而言，鈣鈦礦材料之切換時間比 1 ns 小得多。由鐵電材料之大介電常數與電容來支配板線之電容。若無電容器受切換，則電容為 $C=M\epsilon\epsilon_0 A/s$ ，其中 M 為板線上電容器之數目且 A 為每一電容器之面積(忽略邊緣效應)。若取電容器尺寸為 11 nm 且 $M=1024$ ，則 $C=17\text{ fF}$ 。若切換電壓取 0.5 V ，則每一電容器之有效切換電容為 $2PA/V=0.1\text{ fF}$ 。因此，若一半電容器切換，則有效板線電容為 50 fF 。若最大電流密度取 $10^7\text{ A}/\text{cm}^2$ ，則穿過 $22\times 11\text{ nm}$ 導線之最大電流可為 $24\text{ }\mu\text{A}$ 。因此，當一半電容器切換時轉換速度(slew rate)受限制之板線上升時間 $CV/I=1\text{ ns}$ ，且在最差情況下當所有電容器切換時 $CV/I=2\text{ ns}$ 。

歸因於介面散射，奈米刻度之銅導線電阻率會增加，所以電阻率取 $\rho=5\text{ }\mu\Omega\text{-cm}$ 。長度為 $22\text{ }\mu\text{m}$ 之 $22\times 11\text{ nm}$ 銅導線之電阻為 $5\text{ k}\Omega$ 。RC時間常數為 0.2 ns ，所以當電容器切換時由板線轉換速度支配讀取與寫入時間。因此，用以讀取

資料之特定位元組的最小時間為稍長於2 ns，此為比HDD快約1百萬倍之存取時間。此估計亦假定：與板線上升時間相比感測放大器較快。參考圖7之時序圖，在完全讀取/寫入循環期間，存在兩條導致切換之板線搖擺(plate line swing)(具有達到100 fF之電容)及四條不導致切換之板線搖擺(具有17 fF之電容)。在圖1中，最小讀取存取時間取5 ns且最小寫入時間取10 ns。因此，讀取/寫入循環時間對於一條板線而言為15 ns且對於8 KB之資料而言為1 μ s。此意味著：對於晶片上之一樹陣列而言，資料速率為8 GB/s，此晶片亦可以更高資料速率並行運作許多陣列。

基於 CV^2 可計算功率要求，而由板線搖擺支配電容C，特別是在為減少之干擾效應必須使得所有板線之電壓為 $2V/3$ 並返回0之寫入循環期間如此。若可改良鐵電材料，則由於僅主動板線與記憶體樹需要被充電，所以可在貫穿讀取/寫入循環將除了PL11(圖6與7)外之所有板線保持於 $V/2$ 而導致較好的功率效率。亦可使速度更高，但干擾電壓應為 $V/2$ 而非 $V/3$ 。亦可藉由使用具有較低介電常數之鐵電材料來減低功率要求。

即使就展示於圖7中之時序而言，功率要求比圖1中所列之任何其它類型記憶體要低得多。舉例而言，假定具有64條板線且合計每一板線搖擺與記憶體樹搖擺之 CV^2 能量的總和，則需要0.5 pJ以在15 ns內讀取與寫入1024位元，此對於8 GB/s而言對應35 μ W。此與HDD相比為有利的，HDD可向200 MB/s之資料速率提供10 W之功率。因此，0T-

FeRAM之能效大約比HDD高1千萬倍。

與本發明之功率要求形成對比，穿過OUM單元之電流密度必須為約 10^7 A/cm²以將奈米刻度體積加熱至600 C，而對於讀取而言，電流密度可能為此量之一半。對於具有11 nm×11 nm之橫截面的OUM單元而言，電流要求為12 μA。因為橫穿二極體與相變單元之電壓為約1.5 V，所以功率消耗為18 μW。由於需要至少50 ns來寫入，所以OUM之一位元寫入所需之能量為1 pJ。對於多位元OUM而言，可能需要多個脈衝以進行程式化且總時間因而更長。因此，在此實例中，0T-FeRAM寫入之能效比OUM多2000倍。

因此，根據本發明之3D鐵電記憶體可潛在地替代快閃記憶體來用於固態儲存。此外，價格分析估計表明根據本發明之3D鐵電記憶體在將來甚至可作為HDD之可行替代物。本發明的鐵電記憶體相對於HDD之非常高效能亦可估計對電腦系統中大量DRAM的需要。

儘管已相對於包括執行本發明之當前較佳模式的具體實例來描述本發明時，但是熟習此項技術者將瞭解以上描述系統與技術存在許多變化與置換，此等變化與置換均屬於陳述於附加申請專利範圍內之本發明的精神與範圍。

【圖式簡單說明】

圖1展示一陳述為2020年計劃在當前及潛在固態記憶體技術之縮放極限下的估計效能特徵與估計價格的表格；

圖2展示一用於說明基於FeRAM之記憶體單元之特徵的示範磁滯迴路；

圖3展示一沿圖4中展示之線B-B檢視的根據本發明之例示性3D 0T-FeRAM記憶體之橫截面圖；

圖4展示一沿圖3中展示之線A-A檢視的圖3中展示之例示性3D 0T-FeRAM記憶體之橫截面圖；

圖5描繪一展示於圖3與4中之例示性記憶體的整體晶片佈局；

圖6展示一說明用於讀取根據本發明之3D 0T-FeRAM記憶體之記憶體單元之第一讀取運作的時序圖；

圖7展示一說明用於讀取根據本發明之3D 0T-FeRAM記憶體之記憶體單元之第二、替代讀取運作的時序圖；及

圖8展示一根據本發明之第二例示性3D 0T-FeRAM記憶體之橫截面圖。

【主要元件符號說明】

200	磁滯迴路
201	偏振迴路
300	3D 0T-FeRAM記憶體
301	記憶體單元
301b	記憶體單元
302a	記憶體樹
302b	記憶體樹
306	分枝部分
307	板線
307b	板線
308	通道

310	活性矽層
313a	位元線
313b	位元線
313c	位元線
313d	位元線
315	額外部分通道
317b	單元行選擇線
321b	讀取線
500	晶片佈局
501	樹列
502	樹陣列部分
503	陣列
504	單元層驅動器陣列部分
505	讀取/寫入驅動器陣列部分
506	感測放大器驅動器陣列
600	第一讀取運作
601	讀取相
602	回寫相
700	第二讀取運作
701	讀取相
702	回寫相
800	記憶體
801	鐵電電容器記憶體單元
802a	記憶體樹

802b	記 憶 體 樹
806	分 枝 部 分
807	板 線
813	位 元 線

五、中文發明摘要：

本發明提供一種鐵電三維固態記憶體，其由複數條位元線、複數個層、複數個樹形結構與複數條板線(plate line)形成。該等位元線排列於第一平面內且在第一方向上延伸。每一層包括鐵電電容器記憶體單元之陣列。每一樹形結構對應於一位元線且具有一樹幹部分與複數個分枝部分。每一樹形結構之樹幹部分自對應位元線延伸。每一分枝部分對應於一層且自該樹形結構之樹幹部分延伸。板線排列於每一層中且與對應層中之每一樹形結構之分枝部分重疊於複數個相交區域。0T-FeRAM記憶體單元位於一層之每一相交區域處。

六、英文發明摘要：

A ferroelectric three-dimensional solid-state memory is formed from a plurality of bit lines, a plurality of layers, a plurality of tree structures and a plurality of plate lines. The bit lines are arranged in a first plane and extend in a first direction. Each layer includes an array of ferroelectric capacitor memory cells. Each tree structure corresponds to a bit line and has a trunk portion and a plurality of branch portions. The trunk portion of each tree structure extends from a corresponding bit line. Each branch portion corresponds to a layer and extends from the trunk portion of the tree structure. Plate lines is arranged in each layer and overlap the branch portion of each tree structure in the corresponding layer at a plurality of intersection regions. A 0T-FeRAM memory cell is located at each intersection region in a layer.

十一、圖式：

	SRAM	DRAM	HDD	FLASH	PROBE	QUM	MTJ-MRAM	3D-MRAM	MATRIX	1T FeRAM	0T FeRAM
單元尺寸	50F ²	8F ²	5F ²	5F ²	5F ²	5F ²	8F ²	5F ²	5F ²	8F ²	5F ²
最小"F值"	10 nm	30 nm	10 nm	30 nm	3 nm	10 nm	40 nm	40 nm	10 nm	10 nm	10 nm
最大位元/單元數	1	1	1	4	1	2	1	1	1	1	1
最大層數	1	1	1	1	1	4	1	12	12	1	16
最大密度	0.1 Tb/in ²	0.07 Tb/in ²	1 Tb/in ²	0.4 Tb/in ²	10 Tb/in ²	8 Tb/in ²	0.04 Tb/in ²	0.75 Tb/in ²	12 Tb/in ²	0.6 Tb/in ²	16 Tb/in ²
價格/面積(AU)	10	10	1	10	10	16	10	16	16	10	16
最小價格/位元(AU)	100	140	1	22	1	2	250	20	1.3	15	1
保留	存在動力時	0.1 sec	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs
持久性	> 10 ¹⁵	> 10 ¹⁵	> 10 ¹²	10 ⁶	> 10 ³	> 10 ¹³	> 10 ¹⁵	> 10 ¹⁵	1	> 10 ¹⁴	> 10 ¹⁴
位元組存取	Yes	Yes	No	No	No	Yes	Yes	Yes	Yes	Yes	No
最小讀取時間	0.2 ns	1 ns	10 ⁶ ns	5 ns	10 ⁶ ns	5 ns	1 ns	10 ⁴ ns	10 ⁴ ns	1 ns	5 ns
最小寫入時間	0.2 ns	1 ns	10 ⁶ ns	10 ⁶ ns	10 ⁶ ns	50 ns	1 ns	10 ⁴ ns	10 ⁴ ns	1 ns	10 ns
寫入能量/位元	低-高	高	非常高	非常高	非常高	高	中-高	中-高	高	低	低
收入(2002)	\$40/億	\$170/億	\$200/億	\$80/億	DEV.	DEV.	DEV.	RES.	DEV.	\$1/億	RES.

圖 1

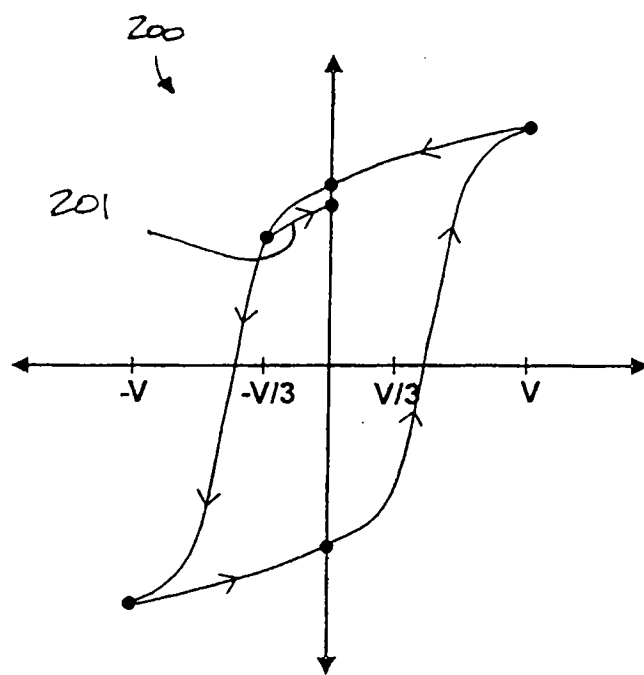


圖 2

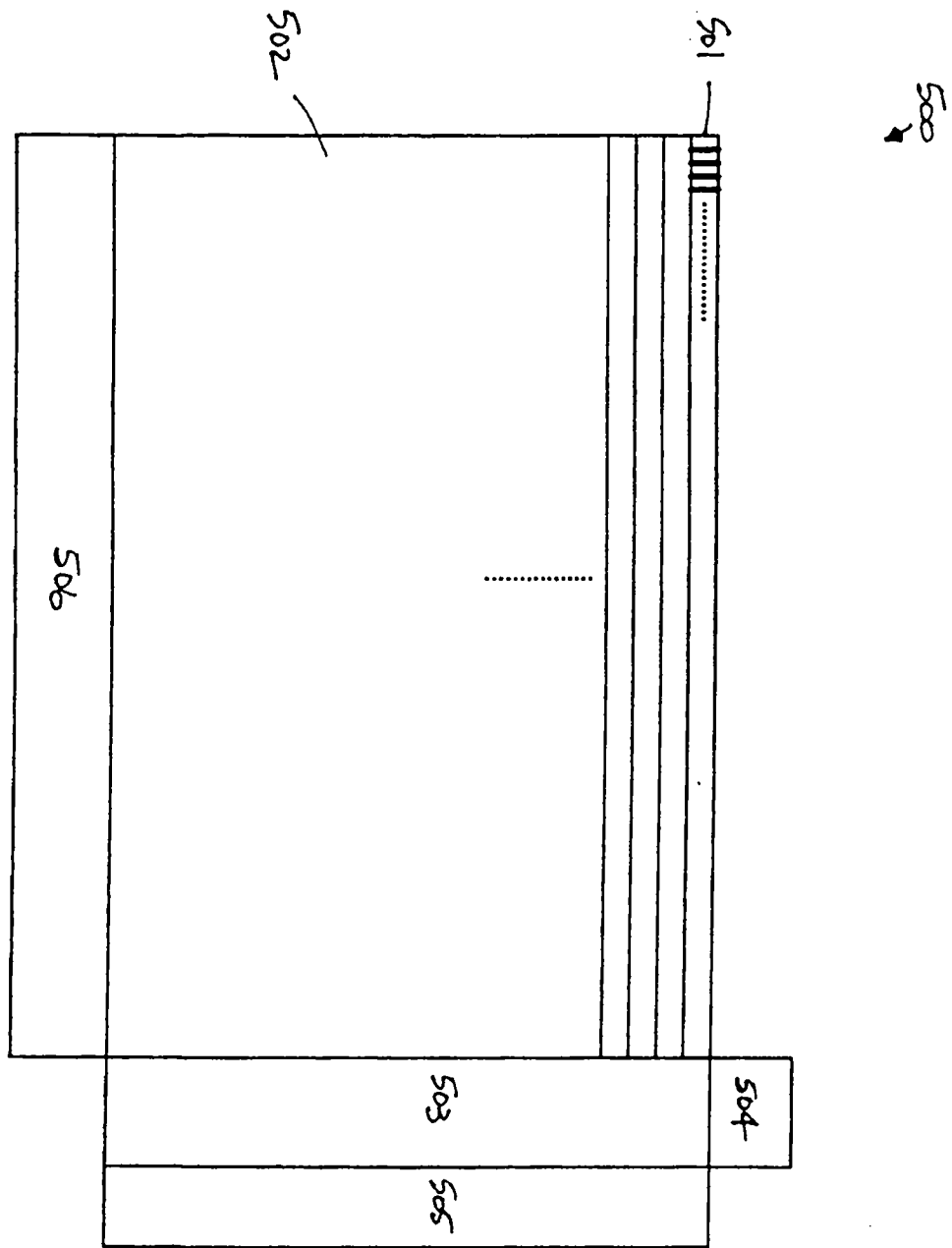


圖 5

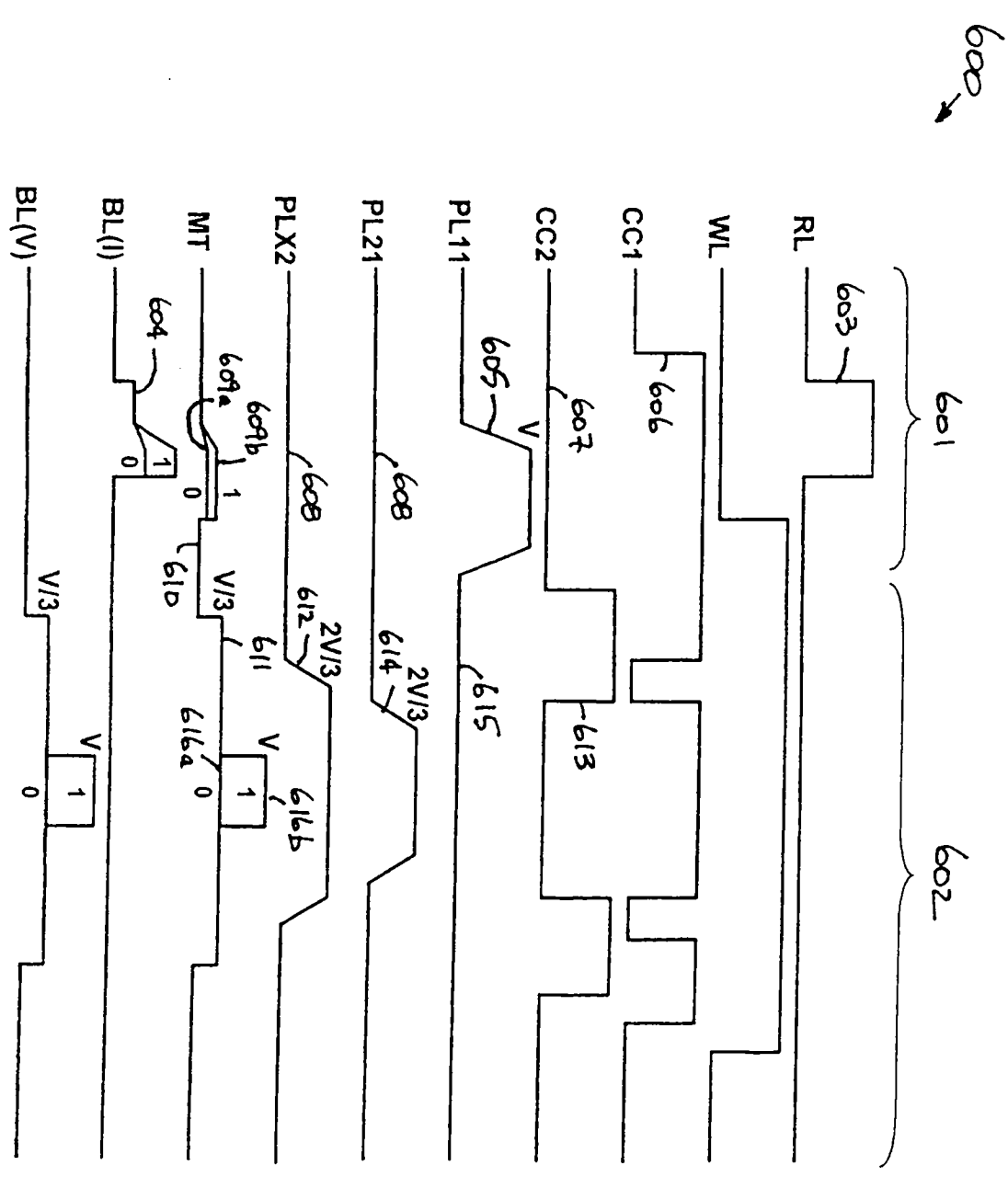


圖 6

700

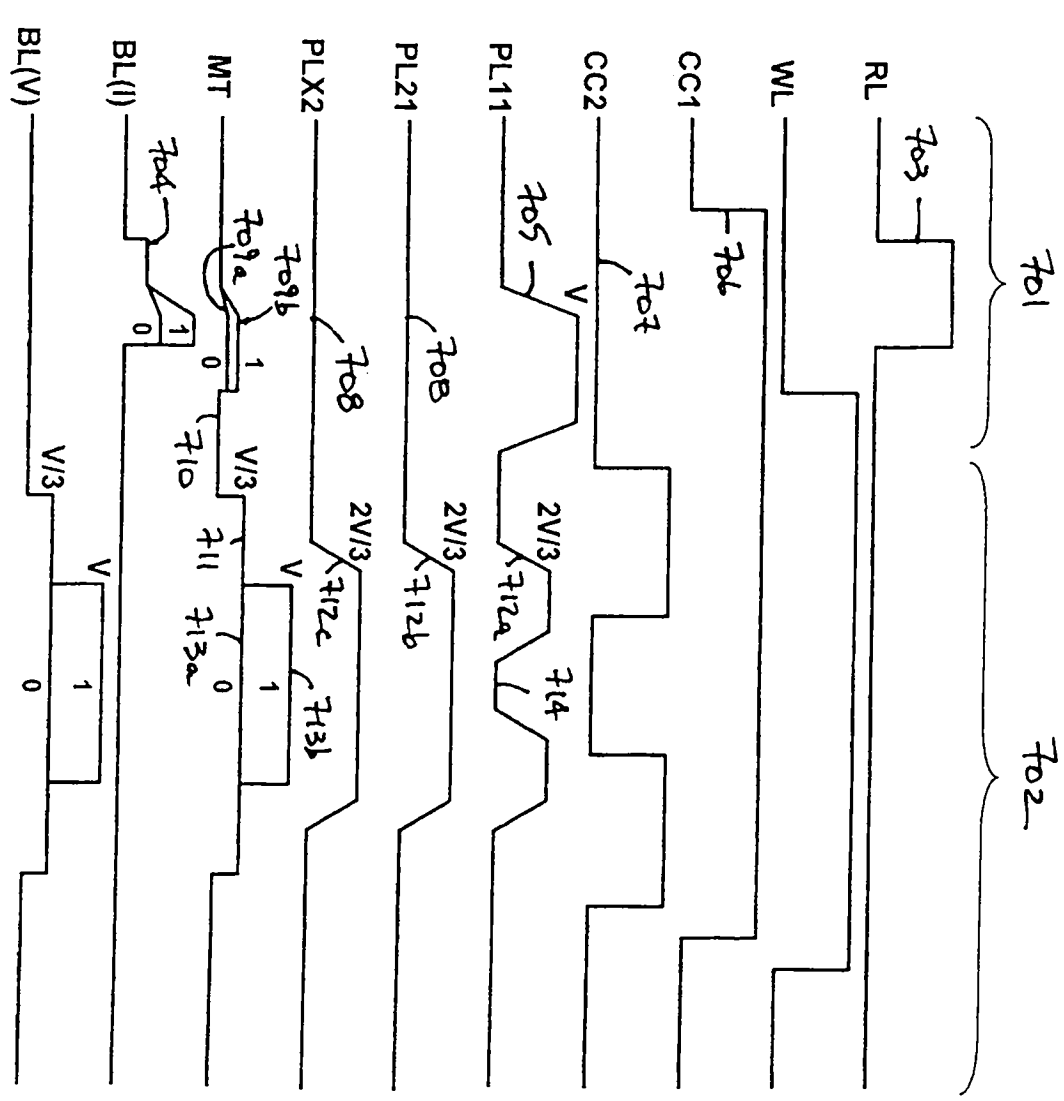


圖 7

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

300	3D 0T-FeRAM記憶體
301	記憶體單元
301b	記憶體單元
302a	記憶體樹
302b	記憶體樹
306	分枝部分
307	板線
307b	板線
310	活性矽層
313a	位元線
313b	位元線
321b	讀取線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(96年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：093113215

※ 申請日期：93.5.11

※IPC 分類：H01L 27/00

一、發明名稱：(中文/英文)

超低價之固態記憶體

ULTRA LOW-COST SOLID-STATE MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

荷蘭商日立環球儲存科技股份有限公司

HITACHI GLOBAL STORAGE TECHNOLOGIES NETHERLANDS
B.V.

代表人：(中文/英文)

道格拉斯 R 米力特

MILLETT, DOUGLAS R.

住居所或營業所地址：(中文/英文)

荷蘭阿姆斯特丹市帕納司多倫路洛凱特卡地1號

LOCATELLIKADE 1, PARNASSUSTOREN, 1076 AZ AMSTERDAM,
THE NETHERLANDS

國籍：(中文/英文)

荷蘭 THE NETHERLANDS

三、發明人：(共 1 人)

姓名：(中文/英文)

貝瑞 庫辛 史帝帕

STIPE, BARRY CUSHING

住居所地址：(中文/英文)

美國加州聖喬市魯錢朵路3569號

3569 RUE CHENE DOR, SAN JOSE, CALIFORNIA 95148, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

96年3月6日
修正
補正

。每一增益電晶體對應於一讀取電晶體且安置於讀取電晶體與對應於該讀取電晶體之樹形結構之間。每一增益電晶體包括一耦接至對應樹形結構之控制端。

本發明之第二實施例提供一種記憶體裝置，其具有複數條位元線、一具有複數個層之三維記憶體、複數條板線與複數個板線驅動器電晶體。三維記憶體之每一層包括記憶體單元之一陣列。每一記憶體單元包括一鐵電電容器。複數條位元線形成於基板上，大致上排列於第一平面中且大致上在第一方向上延伸。複數條板線排列於三維記憶體之每一層中。複數個板線驅動器電晶體形成於基板上且排列成二維陣列。每一板線驅動器電晶體對應於一板線。複數條單元層線大致上在第一方向上延伸。複數條單元行線在大致上垂直於第一方向之方向上延伸且與複數條單元層線重疊於複數個第二相交區域。每一各別板線驅動器電晶體對應於一各別第二相交區域且定位於此區域中。在每一板線與對應於該板線之板線驅動器之間形成連接。

本發明之第三實施例提供一種讀取與消除記憶體裝置的方法，該記憶體裝置包括複數條位元線、複數個層、複數個樹形結構與複數條排列於每一層中之板線。複數條位元線形成於基板上且大致上排列於第一平面中且大致上在第一方向上延伸。複數個層中之每一層均具有鐵電電容器記憶體單元之一陣列。複數個樹形結構排列成至少一個樹形結構列且至少一個樹形結構列對應於每一位元線。每一樹形結構具有一樹幹部分與複數個分枝部分。樹形結構之每

一分枝部分對應於一層。每一樹形結構之樹幹部分自基板延伸，且樹形結構之每一分枝部分在一對應該分枝部分之層中自樹形結構之樹幹部分延伸。至少一個樹形結構之樹幹部分包括彼此同線之複數個通道。或者，至少一個樹形結構之樹幹部分包括複數個通道，且至少一個通道自至少一個其它通道偏移。每一各別複數條板線在大致上垂直於第一方向之方向上延伸且與對應層中之每一樹形結構之分枝部分重疊於複數個相交區域。鐵電電容器記憶體單元位於一層中之每一相交區域中。此外，每一各別複數條板線排列於大致上垂直於每一樹形結構之分枝部分延伸方向的方向上。根據本發明，允許一列中之每一樹形結構電浮動接近第一預定電壓。將第二預定電壓 V 施加至一選定板線。偵測該列中每一樹形結構之電位改變，並且判定是否每一偵測電位改變對於選定板線與該列中樹形結構之相交區域處的每一記憶體單元而言對應於0或1。將第一預定電壓施加至該列中之每一樹形結構；且將第一預定電壓施加至選定板線。

本發明之第四實施例提供一種讀取、消除與重寫記憶體裝置的方法，該記憶體裝置包括複數條位元線、複數個層、複數個樹形結構與複數條排列於每一層中之板線。複數條位元線形成於基板上，並且大致上排列於第一平面內且大致上在第一方向上延伸。複數個層中之每一層具有鐵電電容器記憶體單元之一陣列。複數個樹形結構排列成至少一個樹形結構列且至少一個樹形結構對應於每一位元線。每

形結構。將電壓 0 施加至一列樹形結構中之每一板線，且將電壓 0 施加至一列樹形結構中之每一樹形結構。

本發明之第五實施例提供一種讀取與消除記憶體裝置之方法。該記憶體裝置包括複數條位元線、一三維記憶體、複數條板線與複數個板線驅動器電晶體。複數條位元線形成於基板上，並且大致上排列於第一平面中且大致上在第一方向上延伸。三維記憶體包括複數個層與複數個樹形結構。每一層具有複數個記憶體單元，且樹形結構排列成至少一列。每一樹形結構具有一樹幹部分與複數個分枝部分。樹形結構之每一分枝部分對應於一層，且樹形結構之每一分枝部分自一對應於該分枝部分之層中自樹形結構的樹幹部分延伸。複數條板線排列於三維記憶體之每一層中。每一各別複數條板線與在對應層中延伸之每一樹形結構之分枝部分重疊於複數個相交區域。諸如鐵電記憶體單元之記憶體單元位於一層中之每一相交區域中。複數個板線驅動器電晶體形成於基板上且排列成二維陣列。每一板線驅動器電晶體對應於一板線。複數條單元層線大致上在第一方向上延伸。複數條單元行線在大致上垂直於第一方向之方向上延伸，且與複數條單元層線重疊於複數個第二相交區域。每一各別板線驅動器電晶體對應於一各別第二相交區域且定位於此區域中。在每一板線與對應於該板線之板線驅動器之間形成連接。根據本發明，允許一列中之每一樹形結構電浮動接近第一預定電壓。將第二預定電壓 V 施加至一選定板線。偵測該列中之每一樹形結構的電位改

變，並且判定是否每一偵測電位改變對於選定板線與該列中樹形結構之相交區域處的每一記憶體單元而言對應於0或1。接著將第一預定電壓施加至該列中之每一樹形結構且施加至選定板線。

本發明之第六實施例提供一種將資料寫入先前已消除之記憶體裝置的方法。該記憶體裝置包括複數條位元線、一三維記憶體、複數條板線與複數個板線驅動器電晶體。複數條位元線形成於基板上且大致上排列於第一平面中且大致上在第一方向上延伸。三維記憶體包括複數個層與複數個樹形結構。每一層具有複數個記憶體單元，且樹形結構排列成至少一列。每一樹形結構具有一樹幹部分與複數個分枝部分。樹形結構之每一分枝部分對應於一層，且樹形結構之每一分枝部分在一對應於該分枝部分之層中自樹形結構的樹幹部分延伸。複數條板線排列於三維記憶體之每一層中。每一各別複數條板線與在對應層中延伸之每一樹形結構的分枝部分重疊於複數個相交區域。諸如鐵電記憶體單元之記憶體單元位於一層中之每一相交區域中。複數個板線驅動器電晶體形成於基板上且排列成二維陣列。每一板線驅動器電晶體對應於一板線。複數條單元層線大致上在第一方向上延伸。複數條單元行線在大致上垂直於第一方向之方向上延伸且與複數條單元層線重疊於複數個第二相交區域。每一各別板線驅動器電晶體對應於一各別第二相交區域且定位於此區域中。在每一板線與對應於該板線之板線驅動器之間形成連接。根據本發明，將電壓 $V/3$

十、申請專利範圍：

修正
補充
96年7月6日

種記憶體裝置，包含：

複數條位元線，其形成於一基板上且大致上排列於一第一平面內且大致上在一第一方向上延伸；

複數個層，每一層具有一鐵電電容器記憶體單元之陣列；

複數個樹形結構，至少一個樹形結構對應於每一位元線，每一樹形結構具有一樹幹部分與複數個分枝部分，一樹形結構之每一分枝部分對應於一層，每一樹形結構之該樹幹部分自該基板延伸，且一樹形結構之每一分枝部分在一對應於該分枝部分之層中自該樹形結構之樹幹部分延伸；及

排列於每一層中之複數條板線，每一各別複數條板線與在對應層中延伸之每一樹形結構之該分枝部分重疊於複數個相交區域，一鐵電電容器記憶體單元位於一層中之每一相交區域處。

2. 如請求項1之記憶體裝置，其中每一各別複數條板線排列於一大致上垂直於每一樹形結構之該分枝部分延伸之一方向的方向上。
3. 如請求項1之記憶體裝置，其中每一樹形結構之該等分枝部分大致上在一平行於該第一方向之方向上延伸。
4. 如請求項1之記憶體裝置，其中該等複數個樹形結構排列成至少一系列樹形結構。
5. 如請求項1之記憶體裝置，進一步包含：

複數條單元層線，其大致上在該第一方向上延伸；

複數條單元行線，其在一大致上垂直於該第一方向之方向上延伸且與該等複數條單元層線重疊於複數個第二相交區域；及

複數個板線驅動器電晶體，其排列成一二維陣列，每一各別板線驅動器電晶體對應於一各別第二相交區域且定位於此區域中，且一連接形成於每一板線與對應於該板線之該板線驅動器之間。

6. 如請求項5之記憶體裝置，其中每一板線驅動器電晶體具有一控制端，且其中一對應於每一板線驅動器電晶體之單元行線耦接至該板線驅動器電晶體之該控制端。
7. 如請求項5之記憶體裝置，其中每一板線驅動器電晶體具有一控制端，且其中一對應於每一板線驅動器電晶體之單元層線耦接至該板線驅動器電晶體之該控制端。
8. 如請求項1之記憶體裝置，進一步包含：

形成於該基板上之複數條存取線，其在一大致上垂直於該第一方向之方向上延伸且與該等位元線重疊於複數個第二相交區域，每一第二相交區域對應於一樹形結構，每一存取線進一步對應於一樹形結構列；及

複數個存取電晶體，每一各別存取電晶體對應於一各別第二相交區域且定位於此區域中，每一各別存取電晶體進一步電安置於該樹形結構與對應於該第二相交區域之該位元線之間，每一各別存取電晶體具有一控制端且進一步耦接至對應於該第二相交區域之該存取線。

9. 如請求項8之記憶體裝置，其中每一存取線為一寫入線且每一存取電晶體為一寫入電晶體，

該記憶體裝置進一步包含：

複數個讀取電晶體，每一讀取電晶體電安置於一樹形結構與對應於該樹形結構之該位元線之間；

形成於該基板上之複數條讀取線，其在一大致上垂直於該第一方向之方向上延伸且與該等位元線重疊於複數個第三相交區域，每一第三相交區域對應於一樹形結構，每一讀取線進一步對應於一樹形結構列；及

複數個讀取電晶體，每一各別讀取電晶體對應於一各別第三相交區域且定位於此區域中，每一各別讀取電晶體進一步電安置於該樹形結構與對應於該第三相交區域之該位元線之間，每一各別讀取電晶體具有一控制端且進一步耦接至對應於該第三相交區域之該讀取線。

10. 如請求項9之記憶體裝置，進一步包含複數個增益電晶體，每一增益電晶體對應於一讀取電晶體且安置於該讀取電晶體與對應於該讀取電晶體之該樹形結構之間，每一增益電晶體包括一耦接至該對應樹形結構之控制端。

11. 如請求項1之記憶體裝置，進一步包含：

形成於該基板上之複數條讀取線，其在一大致上垂直於該第一方向之方向上延伸且與該等位元線重疊於複數個第二相交區域，每一第二相交區域對應於一樹形結構，每一讀取線進一步對應於一樹形結構列且電耦接至複數個讀取電晶體的其中之一，每一各別讀取電晶體對應於一

各別第二相交區域且定位於此區域中，每一各別讀取電晶體進一步電安置於該對應樹形結構與對應於該第二相交區域之該位元線之間，每一各別讀取電晶體具有一控制端且進一步耦接至對應於該第二相交區域之該讀取線。

12. 如請求項11之記憶體裝置，進一步包含複數個增益電晶體，每一增益電晶體對應於一讀取電晶體且安置於該讀取電晶體與對應於該讀取電晶體之該樹形結構之間，每一增益電晶體包括一耦接至該對應樹形結構之控制端。

13. 一種如請求項1之記憶體裝置，其進而包含：

板線；

複數個板線驅動器電晶體，其形成於該基板上且排列成一二維陣列，每一板線驅動器電晶體對應於一板線；其中

該等板線隨著其代表該陣列中之更高層者而逐漸變長。

14. 如請求項13之記憶體裝置，進一步包含：

複數條單元層線，其大致上在該第一方向上延伸；

複數條單元行線，其在一大致上垂直於該第一方向之方向上延伸且與該等複數條單元層線重疊於複數個第二相交區域；及

每一各別板線驅動器電晶體，其對應於一各別第二相交區域且定位於此區域中，且一連接形成於每一板線與對應於該板線之該板線驅動器之間。

15. 如請求項13之記憶體裝置，其中該三維記憶體之每一層包括一記憶體單元之陣列，且其中每一記憶體單元包括一鐵電電容器。

16. 一種用於讀取與消除如請求項1至12中任一項記憶體裝置之方法，其包含：

允許一列中每一樹形結構電浮動接近一第一預定電壓；

將一第二預定電壓 V 施加至一選定板線；

偵測該列中每一樹形結構之電位的改變；

判定對於該選定板線與在該列中之該等樹形結構之相交處之每一記憶體單元而言，是否每一所偵測之電位改變對應於0或1；

將該第一預定電壓施加至該列中之每一樹形結構；及

將該第一預定電壓施加至該選定板線。

17. 一種用於將資料寫入一先前消除之記憶體裝置之方法，該記憶體係如請求項1至12之任一項者；其包含：

將一電壓 $V/3$ 施加至一樹形結構列中之每一樹形結構；

將一電壓 $2V/3$ 施加至一樹形結構列中之每一板線；

將一電壓 V 施加至該樹形結構列中之一預定數目之選定樹形結構；

將一電壓 $0V$ 施加至一選定板線，其中將一資料"1"寫入在第一預定數目之樹形結構與該選定板線之相交處的預定數目之選定記憶體單元中；

將一電壓 $2V/3$ 施加至該選定板線；

將一電壓 $V/3$ 施加至該樹形結構列中之該預定數目之選定樹形結構；

將一電壓 0 施加至一樹形結構列中之每一板線；及

將一電壓 0 施加至一樹形結構列中之每一樹形結構。

100年3月2日修(正)替換

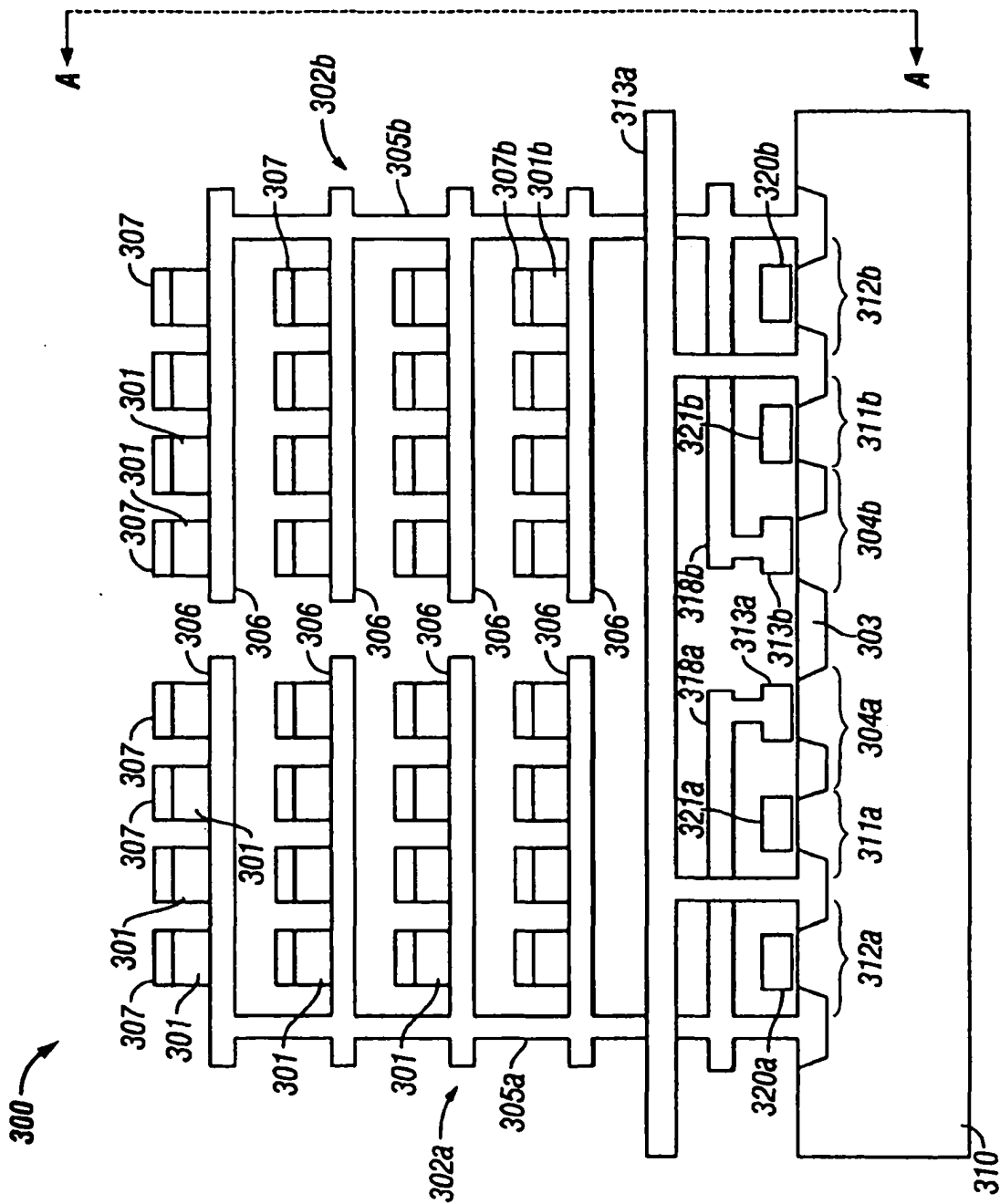


圖 3

100年3月2日(8)正替換

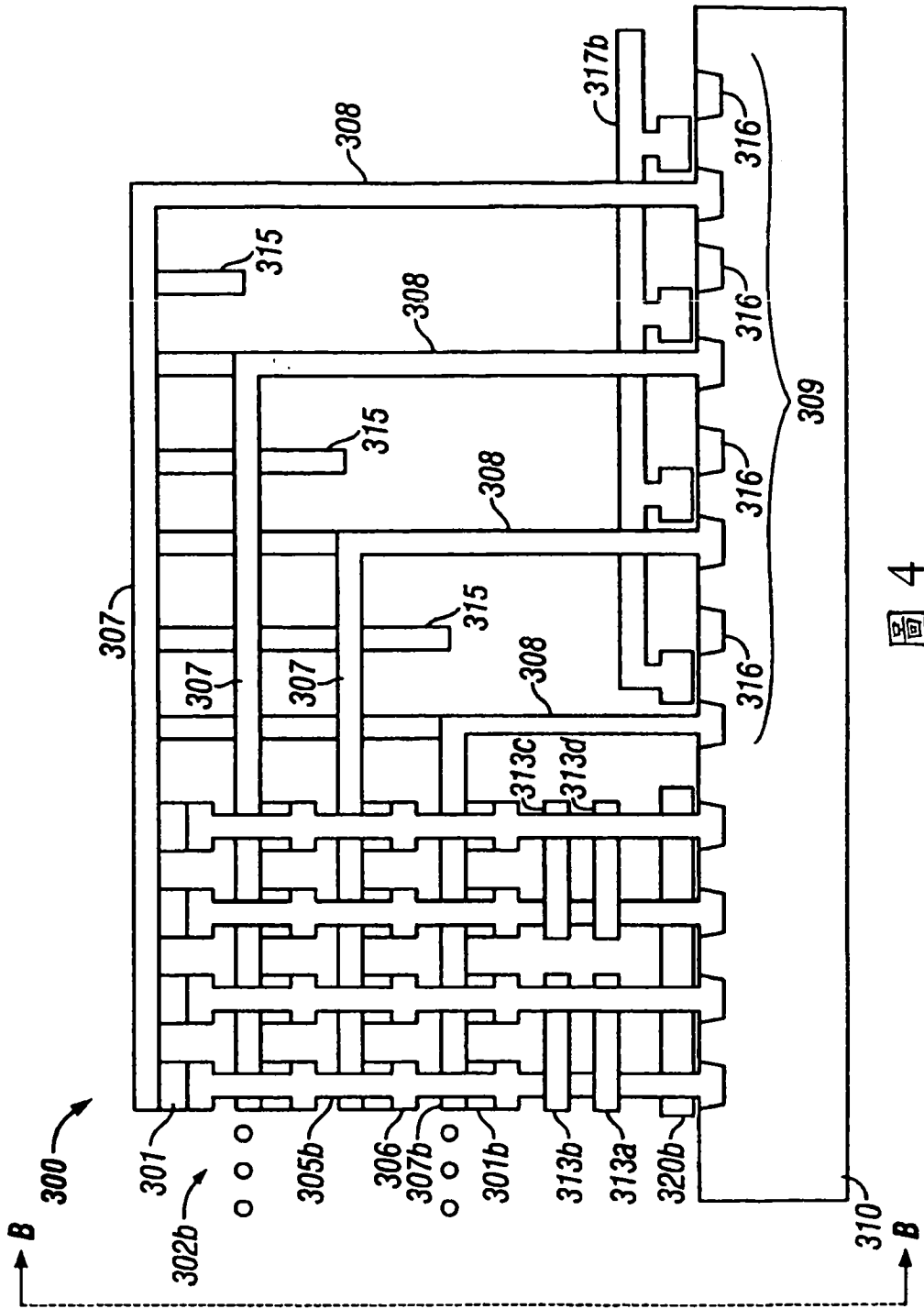


圖 4

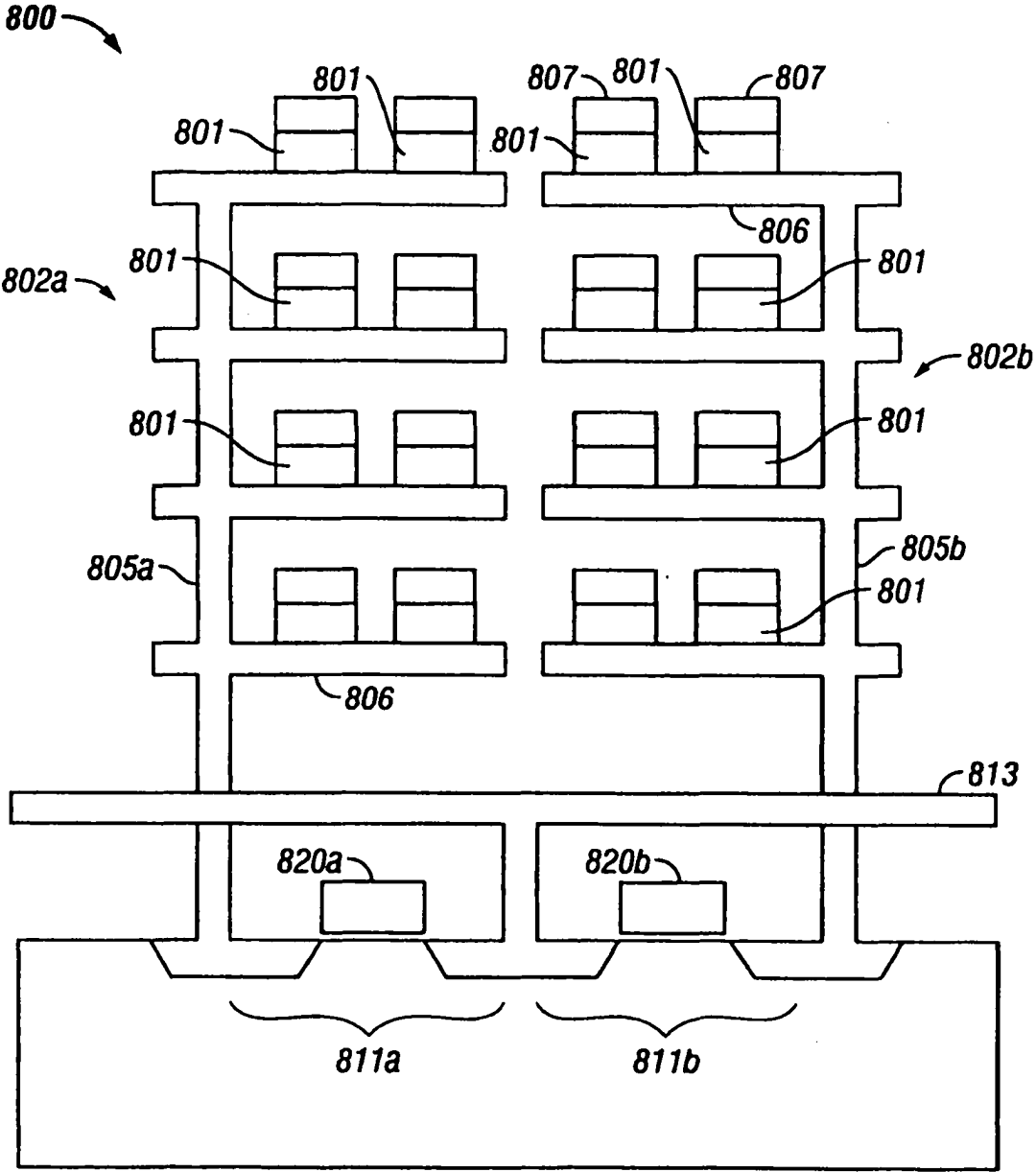


圖 8