

WO 2021/181857 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

circuit power source unit supplies power to the standard delay circuit.

(57) 要約：遅延補正回路を小型化する。遅延補正回路は、基準遅延回路と位相比較器と遅延調整部と基準遅延回路電源部とを具備する。基準遅延回路は、信号を遅延させる信号遅延回路のその信号の遅延時間の基準となる基準遅延時間を生成する。位相比較器は、信号遅延回路により遅延されたその信号とその基準遅延回路により遅延されたその信号との位相を比較する。遅延調整部は、位相の比較結果に基づいてその信号遅延回路の遅延時間を調整する。基準遅延回路電源部は、基準遅延回路に電源を供給する。

明 細 書

発明の名称：遅延補正回路および駆動回路

技術分野

[0001] 本開示は、遅延補正回路および駆動回路に関する。詳しくは、遅延回路の遅延時間を補正する遅延補正回路および当該遅延補正回路を使用する駆動回路に関する。

背景技術

[0002] 従来、対象物までの距離を測定する測距装置のようにレーザダイオード等の光源を所定のタイミングにおいて駆動する装置が使用されている。この測距装置においては、光が対象物との間を往復する時間を計時することにより対象物までの距離を測定する。具体的には、測距装置の光源を駆動することにより光を出力する。この光が対象物により反射されて反射光となる。この反射光が測距装置の光センサにより検出される。この光の出力から反射光の検出までの時間が計時されて距離が算出される。このような測距装置においては、光源を駆動するタイミングを調整する必要がある。光の出力と反射光の検出動作とを同期させるためである。光源を駆動するタイミングを調整するために、光源の駆動信号を所定の期間遅延させる遅延回路が使用される。

[0003] この遅延回路の遅延時間には厳格な管理が必要となる。距離の測定精度を向上させるためである。遅延時間の管理は遅延時間を補正することにより行うことができる。例えば、複数の遅延素子が縦続接続されて構成された遅延回路の各遅延素子の遅延時間を設定する回路を備える測距システムが使用されている（例えば、特許文献1参照。）。

[0004] この測距システムにおいては、駆動信号の遅延時間を制御する第1および第2の遅延時間制御回路により駆動タイミングの補正が行われる。この第1および第2の遅延時間制御回路の遅延時間は、遅延同期ループ回路により所定の遅延時間に管理される。環境変動による遅延同期ループ回路の遅延時間の変化を防ぐため、基準クロック信号による遅延時間の補正が行われる。こ

の補正は、DLL (Delay Locked Loop) により遅延同期ループ回路の遅延時間を基準クロック信号の周期に揃えることにより行われる。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-200186号公報

発明の概要

発明が解決しようとする課題

[0006] 上述の従来技術では、回路サイズが増加するという問題がある。DLLは基準クロック信号と遅延同期ループ回路を通過した基準クロック信号との位相差を検出する位相比較器および位相比較器の出力信号のうちの低周波信号を通過させるローパスフィルタが配置される。このローパスフィルタは、キャパシタ等の受動素子により構成され、比較的大きな専有面積に構成される。このため、上述の従来技術の遅延補正回路は回路サイズが増加するという問題がある。

[0007] 本開示は、上述した問題点に鑑みてなされたものであり、遅延補正回路を小型化することを目的としている。

課題を解決するための手段

[0008] 本開示は、上述の問題点を解消するためになされたものであり、その第1の態様は、信号を遅延させる信号遅延回路の上記信号の遅延時間の基準となる基準遅延時間を生成する基準遅延回路と、上記信号遅延回路により遅延された上記信号と上記基準遅延回路により遅延された上記信号との位相を比較する位相比較器と、上記位相の比較結果に基づいて上記信号遅延回路の遅延時間を調整する遅延調整部と、上記基準遅延回路に電源を供給する基準遅延回路電源部とを具備する遅延補正回路である。

[0009] また、この第1の態様において、上記基準遅延回路電源部は、出力電圧が所定の温度係数に基づいて変化する温度補正電源を備えてもよい。

[0010] また、この第1の態様において、上記基準遅延回路電源部は、上記所定の

温度係数を選択する温度係数選択部をさらに備えてもよい。

[0011] また、この第1の態様において、上記基準遅延回路電源部は、上記温度係数選択部における選択結果を保持する温度係数保持部をさらに備えてもよい。

[0012] また、この第1の態様において、上記信号遅延回路は、遅延時間が異なる複数の遅延回路を備え、上記遅延調整部は、上記複数の遅延回路の遅延時間を調整してもよい。

[0013] また、この第1の態様において、上記遅延調整部における上記遅延の調整結果を保持する調整結果保持部をさらに具備してもよい。

[0014] また、この第1の態様において、上記基準遅延時間を調整する基準遅延調整部をさらに具備してもよい。

[0015] また、この第1の態様において、上記基準遅延調整部における上記基準遅延時間の調整結果を保持する基準遅延調整結果保持部をさらに具備してもよい。

[0016] また、この第1の態様において、上記基準遅延調整部は、上記信号遅延回路の中位の遅延時間に上記基準遅延時間を調整してもよい。

[0017] また、本開示の第2の態様は、駆動信号を遅延させる信号遅延回路と、上記駆動信号の遅延時間の基準となる基準遅延時間を生成する基準遅延回路と、上記信号遅延回路により遅延された上記駆動信号と上記基準遅延回路により遅延された上記駆動信号との位相を比較する位相比較器と、上記位相の比較結果に基づいて上記信号遅延回路の遅延時間を調整する遅延調整部と、上記基準遅延回路に電源を供給する基準遅延回路電源部とを具備する駆動回路である。

[0018] 本開示の態様により、基準遅延回路電源部により電源が供給される基準遅延回路により信号遅延回路の遅延時間が調整されるという作用をもたらす。信号遅延回路への基準遅延回路電源部による電源の供給の削減が想定される。

図面の簡単な説明

[0019] [図1]本開示の第1の実施の形態に係る光源装置の構成例を示す図である。

[図2]本開示の実施の形態に係る第1の信号遅延回路の構成例を示す図である。
。

[図3]本開示の実施の形態に係る第2の信号遅延回路の構成例を示す図である。
。

[図4]本開示の実施の形態に係る発光駆動信号生成部の構成例を示す図である。
。

[図5]本開示の実施の形態に係る駆動部の構成例を示す図である。

[図6]本開示の実施の形態に係る光源の駆動の一例を示す図である。

[図7]本開示の実施の形態に係る遅延補正回路の構成例を示す図である。

[図8]本開示の実施の形態に係る基準遅延回路の構成例を示す図である。

[図9]本開示の実施の形態に係る基準遅延回路電源部の構成例を示す図である。
。

[図10]本開示の実施の形態に係る校正処理の一例を示す図である。

[図11]本開示の実施の形態に係る調整処理の一例を示す図である。

[図12]本開示の第2の実施の形態に係る光源装置の構成例を示す図である。

[図13]本開示に係る技術が適用され得る測距装置に係る撮像装置の構成例を示す図である。

[図14]本開示に係る技術が適用され得る測距装置に係る受光素子の構成例を示す図である。

発明を実施するための形態

[0020] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 測距装置への応用例

[0021] < 1. 第 1 の実施の形態 >

[光源装置の構成]

図 1 は、本開示の第 1 の実施の形態に係る光源装置の構成例を示す図である。同図は、光源装置 4 の構成例を表す図である。この光源装置 4 は、光源 4 1 と、駆動回路 4 2 とを備える。

[0022] 光源 4 1 は、光を出射するものである。この光源 4 1 は、例えば、レーザダイオードにより構成することができる。

[0023] 駆動回路 4 2 は、光源 4 1 を駆動する回路である。この駆動回路 4 2 は、光源 4 1 に発光電流を供給することにより光源 4 1 を駆動する。なお、発光電流とは、光源 4 1 を発光させるために光源 4 1 に流す電流である。駆動回路 4 2 は、外部の回路より供給される駆動信号に基づいて光源 4 1 を駆動する。駆動信号は、2本の線により構成される差動伝送線路を介して供給される。差動伝送線路においては、互いに逆相の駆動信号が2本の信号線により伝達される。この差動信号のインターフェイスには、例えば、LVDS (Low Voltage Differential Signaling) を採用することができる。

[0024] 駆動回路 4 2 は、受信部 6 0 0 と、第 1 の信号遅延回路 2 0 0 と、第 2 の信号遅延回路 3 0 0 と、発光駆動信号生成部 4 0 0 と、駆動部 5 0 0 と、遅延補正回路 1 0 0 とを備える。

[0025] 受信部 6 0 0 は、駆動信号を受信するものである。この受信部 6 0 0 は、差動信号に変換されて伝達された駆動信号を受信するものである。この受信部 6 0 0 は、受信した駆動信号をシングルエンドの駆動信号に変換し、第 1 の信号遅延回路 2 0 0 および発光駆動信号生成部 4 0 0 に対して出力する。また、受信部 6 0 0 は、後述する校正信号を受信して第 1 の信号遅延回路 2 0 0 等に出力量する。

[0026] 第 1 の信号遅延回路 2 0 0 は、受信部 6 0 0 から出力された駆動信号を所定の遅延時間だけ遅延させる回路である。この第 1 の信号遅延回路 2 0 0 は、遅延させた駆動信号を第 2 の信号遅延回路 3 0 0 に対して出力する。第 1 の信号遅延回路 2 0 0 の遅延時間は、後述する遅延補正回路 1 0 0 から出力

される調整信号により調整される。第１の信号遅延回路２００の遅延時間は、次に説明する第２の信号遅延回路３００の遅延時間より長い時間となる。このため、調整の際の遅延時間の分解能が小さくなる。第１の信号遅延回路２００における遅延時間の調整は、粗調整に該当する。第１の信号遅延回路２００の構成の詳細については後述する。

[0027] 第２の信号遅延回路３００は、第１の信号遅延回路２００から出力された駆動信号を所定の遅延時間だけ遅延させる回路である。この第２の信号遅延回路３００は、遅延させた駆動信号を発光駆動信号生成部４００に対して出力する。第２の信号遅延回路３００の遅延時間は、後述する遅延補正回路１００から出力される調整信号により調整される。第２の信号遅延回路３００の遅延時間は、第１の信号遅延回路２００の遅延時間より短く、分解能が高くなる。第２の信号遅延回路３００における遅延時間の調整は、微調整に該当する。なお、第２の信号遅延回路３００は、遅延時間が異なる２つの駆動信号（後述する遅延駆動信号１および遅延駆動信号２）を出力する。第２の信号遅延回路３００の構成の詳細については後述する。

[0028] 発光駆動信号生成部４００は、受信部６００および第２の信号遅延回路３００から出力された駆動信号等から発光駆動信号を生成するものである。ここで、発光駆動信号は、後述する駆動部５００の素子の駆動信号である。発光駆動信号生成部４００により生成された駆動信号は、駆動部５００および遅延補正回路１００に対して出力される。発光駆動信号生成部４００の構成の詳細については後述する。

[0029] 駆動部５００は、光源４１に駆動電流を供給するものである。この駆動部５００は、発光駆動信号生成部４００により生成された発光駆動信号に基づいて駆動電流を供給する。駆動部５００の構成の詳細については後述する。

[0030] 遅延補正回路１００は、第１の信号遅延回路２００および第２の信号遅延回路３００の遅延時間を補正するものである。この遅延補正回路１００は、遅延時間の基準となる基準遅延時間を生成する基準遅延回路（後述する基準遅延回路１１０）を備え、第１の信号遅延回路２００および第２の信号遅延

回路３００の遅延時間と基準遅延回路１１０の遅延時間とを比較することにより第１の信号遅延回路２００および第２の信号遅延回路３００の遅延時間を調整する。

[0031] 具体的には、遅延補正回路１００は、遅延時間の調整のための校正信号を生成し、受信部６００を介して校正信号を第１の信号遅延回路２００に入力する。その後、第１の信号遅延回路２００および第２の信号遅延回路３００により遅延された駆動信号に基づいて発光駆動信号生成部４００により生成された発光駆動信号が遅延補正回路１００に入力される。一方、遅延補正回路１００は、校正信号を自身の基準遅延回路１１０に入力することにより、基準遅延時間だけ遅延させた校正信号を生成する。そして、遅延補正回路１００は、入力された発光駆動信号と遅延させた校正信号とを比較し、第１の信号遅延回路２００および第２の信号遅延回路３００の遅延時間を調整して発光駆動信号を遅延させた校正信号に同期させる。これにより、第１の信号遅延回路２００および第２の信号遅延回路３００の遅延時間を基準遅延時間に調整することができる。

[0032] 以下、第１の信号遅延回路２００および第２の信号遅延回路３００の遅延時間を調整する処理を調整処理と称する。なお、第１の信号遅延回路２００および第２の信号遅延回路３００の遅延時間の調整は、それぞれ個別に出力される調整信号により行う。遅延補正回路１００の構成の詳細については後述する。なお、駆動信号は、請求の範囲に記載の信号の一例である。

[0033] [第１の信号遅延回路の構成]

図２は、本開示の実施の形態に係る第１の信号遅延回路の構成例を示す図である。同図は、第１の信号遅延回路２００の構成例を表す図である。同図の第１の信号遅延回路２００は、反転ゲート２０１と、遅延部２１０、遅延部２２０、遅延部２３０、遅延部２４０、遅延部２５０、遅延部２６０、遅延部２７０および遅延部２８０と、選択部２９０とを備える。

[0034] 反転ゲート２０１は、受信部６００から出力された駆動信号を反転するゲートである。なお、受信部６００から出力された駆動信号を以下「駆動信号」

」と記載する。反転ゲート201の出力は、遅延部210、遅延部220、遅延部230、遅延部240、遅延部250、遅延部260、遅延部270および遅延部280に共通に入力される。

[0035] 遅延部210、遅延部220、遅延部230、遅延部240、遅延部250、遅延部260、遅延部270および遅延部280は、駆動信号'を遅延させる回路である。これら遅延部210等は、同一の回路により構成され、縦続接続される。すなわち、遅延部210の出力が遅延部220の入力に接続され、遅延部220の出力が遅延部230の入力に接続される。以下順に接続され、遅延部280の出力が第1の信号遅延回路200の出力となって第2の信号遅延回路300に接続される。なお、遅延部210の入力は接地されて値「0」が入力される。

[0036] 遅延部210を例に挙げて回路構成を説明する。遅延部210は、2入力NORゲート211および212と、反転ゲート213とを備える。NORゲート211の入力には、信号線209および信号線291aが接続される。ここで、信号線209は、上述の反転ゲート201の出力信号を伝達する信号線である。信号線209から反転された駆動信号'がNORゲート211に入力される。信号線291aは、後述する選択部290からの選択信号を伝達する信号線である。NORゲート212の入力には、NORゲート211の出力および信号線219が接続される。なお、信号線219は、遅延部210の入力ノードに該当し、前段の遅延部の出力信号が入力されるノードである。上述のように、信号線219は接地されて値「0」が入力される。NORゲート212の出力は反転ゲート213の入力に接続され、反転ゲート213の出力は信号線229に接続される。なお、信号線229は、遅延部210の出力ノードに該当するとともに次段の遅延部の入力ノードに該当する。遅延部210等による1段当たりの遅延時間は、NORゲートおよび反転ゲートの遅延時間を加算したものとなり、100乃至150psとなる。

[0037] 選択部290は、遅延補正回路100からの調整信号に基づいて遅延部2

10等のうちの1つを選択するものである。この選択部290は、複数の信号線291の何れか1つに選択信号を出力することにより遅延部210等の選択を行う。選択部290は、遅延部210等を選択することにより、第1の信号遅延回路200の遅延時間を調整する。選択部290は、選択した遅延部210等に接続される信号線291に値「0」を出力し、他の遅延部210等に値「1」を出力することにより、遅延部210等の選択を行う。

[0038] 遅延部210が選択された場合を例に挙げて第1の信号遅延回路200の動作を説明する。選択部290は、信号線291aに値「0」を出力する。これにより、NORゲート211の出力には、信号線209を介して入力される反転された駆動信号'がさらに反転されて出力される。2入力NORゲート212の他の入力には信号線219を介して値「0」が入力されるため、NORゲート212の出力には、反転された駆動信号'が出力される。この反転された駆動信号'は、反転ゲート213により再度反転されて信号線229に出力され、遅延部220に入力される。遅延部220の信号線291bには、値「1」が選択部290より出力されているため、遅延部220のNORゲート221の出力は値「0」となり、遅延部220に入力された駆動信号'がNORゲート222および反転ゲート223を介して次段の遅延部230に出力される。以下、順に遅延部230から遅延部280までを経由して駆動信号'が伝達される。この場合、8段分の遅延時間を得ることができる。

[0039] 遅延部220が選択された場合には、信号線291bに値「0」が出力される。駆動信号'は、遅延部220のNORゲート221を通過する。一方、選択されない遅延部210は、信号線219の信号を信号線229に出力する。信号線219には、値「0」が入力されているため、遅延部210は値「0」を信号線229に出力する。遅延部220の入力ノードには値「0」が入力され、NORゲート222に入力される。このため、駆動信号'は、遅延部220から遅延部280までを経由して伝達される。7段分の遅延時間となる。このように、選択部290により選択される遅延部210等の

位置に応じて第1の信号遅延回路200の遅延時間を調整することができる。

[0040] 遅延補正回路100からの調整信号には、例えば、3ビットのデジタル信号を使用することができる。この3ビットの調整信号により、遅延補正回路100は、第1の信号遅延回路200における遅延の段数を設定する。この遅延段数に応じた遅延部210等が選択部290により選択される。これにより、遅延補正回路100による第1の信号遅延回路200の遅延時間の調整を行うことができる。例えば、選択部290は、値「0」の調整信号が入力された際に遅延部210を選択し、値「7」の調整信号が入力された際に遅延部280を選択することができる。この場合、中位の遅延時間を第1の信号遅延回路200に設定する場合には、値「4」の調整信号を選択部290に入力することとなる。ここで中位の遅延時間とは、第1の信号遅延回路200等において設定可能な最大の遅延時間の略半分の遅延時間に相当する。

[0041] [第2の信号遅延回路の構成]

図3は、本開示の実施の形態に係る第2の信号遅延回路の構成例を示す図である。同図は、第2の信号遅延回路300の構成例を表す図である。なお、同図におけるAは第2の信号遅延回路300の回路図を表し、同図におけるBは第2の信号遅延回路300に使用される遅延部の構成例を表す回路図である。

[0042] 同図におけるAに表した第2の信号遅延回路300は、遅延部310、遅延部320、遅延部330、遅延部340、遅延部350、遅延部360、遅延部370および遅延部380と、選択部390とを備える。

[0043] 遅延部310、遅延部320、遅延部330、遅延部340、遅延部350、遅延部360、遅延部370および遅延部380は、第1の信号遅延回路200から出力された駆動信号'を遅延させる回路である。前述の遅延部210等と同様に、これら遅延部310等は、同一の回路により構成され、縦続接続される。遅延部310等は、遅延時間を変更可能な反転ゲートによ

り構成される。遅延部 310 等には、選択部 390 からの選択信号を伝達するための信号線 391 がそれぞれ配線される。この選択信号により遅延部 310 等の遅延時間が変更される。例えば、値「1」の選択信号が入力された遅延部 310 等は長い遅延時間となり、値「0」の選択信号が入力された遅延部 310 等は短い遅延時間に変化する構成を採ることができる。

[0044] 遅延部 380 の出力は、第 2 の信号遅延回路 300 の出力となり、第 1 の信号遅延回路 200 から出力された駆動信号' が全ての遅延部 310 等により遅延された信号である遅延駆動信号 2 が出力される。また、第 2 の信号遅延回路 300 は、一部の遅延部 310 等により遅延された信号である遅延駆動信号 1 をさらに出力する。遅延駆動信号 1 は、縦続接続された遅延部 310 等のうちの途中の段の遅延部の出力より得ることができる。同図における A は、遅延部 340 の出力から遅延駆動信号 1 が生成される例を表したものである。

[0045] 選択部 390 は、遅延補正回路 100 からの調整信号に基づいて遅延部 310 等を選択するものである。この選択部 390 は、複数の信号線 391 に選択信号を出力することにより遅延部 310 等の選択を行う。選択部 390 は、遅延部 310 等を選択することにより、第 2 の信号遅延回路 300 の遅延時間を調整する。選択部 390 は、値「0」を選択信号として出力することができる。この場合、選択部 390 は、非選択の遅延部 310 等に値「1」を出力する。値「0」が選択信号として入力された遅延部 310 等は、短い遅延時間に変化する。このため、選択する遅延部 310 等の個数に応じて第 2 の信号遅延回路 300 の遅延時間を調整することができる。

[0046] 遅延補正回路 100 からの調整信号には、例えば、3 ビットのデジタル信号を使用することができる。この 3 ビットの調整信号により、遅延補正回路 100 は、第 2 の信号遅延回路 300 における遅延の段数を設定し、この遅延段数に応じた遅延部 310 等が選択部 390 により選択される。これにより、遅延補正回路 100 による第 2 の信号遅延回路 300 の遅延時間の調整を行うことができる。例えば、選択部 390 は、値「0」の調整信号が入力

された際に全ての遅延部 310 等を非選択（値「1」を出力）とし、値「7」の調整信号が入力された際に全ての遅延部 310 を選択（値「0」を出力）することができる。この場合、中位の遅延時間を第 2 の信号遅延回路 300 に設定する場合には、値「4」の調整信号を選択部 390 に入力することとなる。

[0047] 同図における B は、遅延部 310 等の構成を表す回路図である。遅延部 310 を例に挙げて説明する。遅延部 310 は、MOS トランジスタ 311 乃至 316 と、反転ゲート 317 とを備える。MOS トランジスタ 311 乃至 313 には、p チャネル MOS トランジスタを使用することができる。MOS トランジスタ 314 乃至 316 には、n チャネル MOS トランジスタを使用することができる。なお、V_{dd1} は、遅延部 310 の電源を供給する電源線である。信号線 319 および 329 は、それぞれ遅延部 310 の入力ノードおよび出力ノードに該当する信号線である。

[0048] MOS トランジスタ 311 のソース、MOS トランジスタ 312 のソースおよび MOS トランジスタ 315 のゲートは、V_{dd1} に接続される。MOS トランジスタ 315 のソース、MOS トランジスタ 316 のソースおよび MOS トランジスタ 311 のゲートは、接地される。MOS トランジスタ 311 のドレインは、MOS トランジスタ 312 のドレインおよび MOS トランジスタ 313 のソースに接続される。MOS トランジスタ 312 のゲートおよび反転ゲート 317 の入力、信号線 391 に共通に接続される。反転ゲート 317 の出力は、MOS トランジスタ 316 のゲートに接続される。MOS トランジスタ 316 のドレインは、MOS トランジスタ 315 のドレインおよび MOS トランジスタ 314 のソースに接続される。MOS トランジスタ 313 のゲートおよび MOS トランジスタ 314 のゲートは、信号線 319 に共通に接続される。MOS トランジスタ 313 のドレインおよび MOS トランジスタ 314 のドレインは、信号線 329 に共通に接続される。

[0049] MOS トランジスタ 313 および 314 は、インバータを構成する。この MOS トランジスタ 313 および 314 からなるインバータには、並列に接

続されたMOSトランジスタ311および312を介して電源電圧が供給され、並列に接続されたMOSトランジスタ315および316を介して接地される。MOSトランジスタ311のゲートは接地され、MOSトランジスタ315のゲートはV_{dd1}に接続されるため、MOSトランジスタ311および315はオン状態になる。一方、MOSトランジスタ312のゲートは信号線391を介して選択信号が入力され、MOSトランジスタ316のゲートは反転ゲート317を介して選択信号が入力される。このため、値「0」の選択信号が入力されると、MOSトランジスタ312および316はオン状態になる。MOSトランジスタ312および316がオン状態になると、MOSトランジスタ313および314からなるインバータに供給される電源電圧が上昇し、MOSトランジスタ313および314のg_mが高くなる。このため、MOSトランジスタ313および314が高速に動作して遅延時間が短くなる。これにより、1つの遅延部310の遅延時間を略10ps短くすることができる。

[0050] [発光駆動信号生成部の構成]

図4は、本開示の実施の形態に係る発光駆動信号生成部の構成例を示す図である。同図は、発光駆動信号生成部400の構成例を表す回路図である。同図の発光駆動信号生成部400は、反転ゲート401と、2入力ANDゲート402と、2入力ORゲート403と、非反転バッファ405乃至407とを備える。

[0051] 非反転バッファ405乃至407は、それぞれ発光駆動信号を出力するバッファである。この非反転バッファ405乃至407は、後述する駆動部のMOSトランジスタのゲートに信号を供給するバッファである。非反転バッファ405は発光駆動信号3を出力し、非反転バッファ406は発光駆動信号2を出力し、非反転バッファ407は発光駆動信号1を出力する。発光駆動信号1は、光源41に発光電流を流すための駆動信号である。発光駆動信号2は、光源41にバイアス電流を流すための駆動信号である。発光駆動信号3は、光源41の発光電流の立ち上がりを急峻にするための駆動信号であ

る。

[0052] 非反転バッファ405の入力には、遅延駆動信号2を反転させた信号と遅延駆動信号1とが論理積演算された信号が入力される。非反転バッファ406の入力には、遅延駆動信号1と駆動信号'とが論理和演算された信号が入力される。非反転バッファ407の入力には、遅延駆動信号1が入力される。発光駆動信号1および3は、駆動部500に対して出力される。また、発光駆動信号2は、駆動部500および後述する遅延補正回路100の位相比較器140に対して出力される。

[0053] [駆動部の構成]

図5は、本開示の実施の形態に係る駆動部の構成例を示す図である。同図は、駆動部500の構成例を表す回路図である。同図の駆動部500は、MOSトランジスタ501乃至505と、定電流回路506および507とを備える。また、同図には、光源41も記載した。同図の光源41は、レーザダイオードを想定したものである。同図のV_{dd}2は、MOSトランジスタ501乃至503に電源を供給する電源線である。また、V_{cc}は光源41に電源を供給する電源線である。MOSトランジスタ501乃至505には、nチャネルMOSトランジスタを使用することができる。

[0054] MOSトランジスタ504のゲートには、発光駆動信号1が入力される。MOSトランジスタ504のドレインはMOSトランジスタ503のソースに接続され、MOSトランジスタ504のソースは接地される。定電流回路507の制御端子には、発光駆動信号2が入力される。定電流回路507のソース側端子は接地される。定電流回路507のシンク側端子、MOSトランジスタ503のドレインおよびMOSトランジスタ505のドレインは、光源41のカソードに共通に接続される。光源41のアノードは、V_{cc}に接続される。MOSトランジスタ505のゲートには、発光駆動信号3が入力される。MOSトランジスタ505のソースは、接地される。MOSトランジスタ503のゲートは、MOSトランジスタ501のゲート、MOSトランジスタ501のドレインおよび定電流回路506のソース側端子に接続

される。定電流回路506のシンク側端子およびMOSトランジスタ502のゲートは、V_{dd2}に接続される。MOSトランジスタ502のソースは接地され、MOSトランジスタ502のドレインはMOSトランジスタ501のソースに接続される。

[0055] MOSトランジスタ504は、光源41に発光電流を流すMOSトランジスタである。このMOSトランジスタ504は、発光駆動信号1により制御される。発光電流は、所望の強度のレーザ光を出射させるための電流であり、MOSトランジスタ504に直列に接続されたMOSトランジスタ503により規定される。MOSトランジスタ503およびMOSトランジスタ501はカレントミラー接続され、定電流回路506により供給される電流と同じ電流がMOSトランジスタ503に流れる。このため、発光電流は、定電流回路506の電流に規定される。なお、MOSトランジスタ502は、MOSトランジスタ501のソース電位をMOSトランジスタ503のソース電位に揃えるために配置されるMOSトランジスタである。

[0056] 定電流回路507は、光源41にバイアス電流を供給する回路である。この定電流回路507は制御端子を備えており、制御端子に入力された発光駆動信号2によりバイアス電流のオンおよびオフが制御される。このバイアス電流は、光源41の発光閾値未満の電流であり、光源41の応答を高速化するために流す電流である。

[0057] MOSトランジスタ505は、補助駆動電流を流すMOSトランジスタである。ここで、補助駆動電流は、発光電流に重畳される電流であり、発光電流の立ち上がりを急峻にする電流である。光源41の配線にはインダクタンス成分が存在する。このインダクタンス成分により発光電流の立ち上がりが遅くなる。そこで、発光電流の立ち上がりの期間に光源41に比較的高い電圧を印加して補助駆動電流を流すことにより、インダクタンス成分による立ち上がりの遅れを補償することかできる。補助駆動電流は、MOSトランジスタ505により光源41のカソードを接地することにより流すことができる。

[0058] [駆動回路の動作]

図6は、本開示の実施の形態に係る光源の駆動の一例を示す図である。同図は、駆動回路42における光源41の駆動の一例を表す図であり、駆動信号と光源41の発光電流との関係を表す図である。同図において、「駆動信号」、「遅延駆動信号1」、「遅延駆動信号2」、「発光駆動信号1」、「発光駆動信号2」および「発光駆動信号3」は、2値化された信号波形を表したものである。駆動信号は、値「1」の期間が光源41に発光電流を流す期間に該当する。また、同図の「光源41の電流」は、光源41を構成するレーザダイオードを流れる電流の波形を表す。

[0059] 同図の駆動信号が第1の信号遅延回路200および第2の信号遅延回路300により遅延されて遅延駆動信号1および2が生成される。発光駆動信号生成部400は、これら遅延駆動信号1および2と駆動信号とにより同図のパルス幅の発光駆動信号1乃至3を生成して駆動部500に供給する。

[0060] 発光駆動信号2が値「1」になると、図5において説明した定電流回路507が動作し、バイアス電流が流れる。次に、発光駆動信号1が値「1」になると、MOSトランジスタ504が導通して発光電流が流れ始める。この際、発光駆動信号3が値「1」となり、図5において説明したMOSトランジスタ505が導通して補助駆動電流が流れ、発光電流の立ち上がり時間が短縮される。同図の破線は、補助駆動電流を流さない場合の光源41の電流を表したものである。光源41の配線のインダクタンス成分の影響により、発光電流の立ち上がりが遅くなる。

[0061] 第1の信号遅延回路200および第2の信号遅延回路300の遅延時間が変化すると、駆動信号に対する発光駆動信号1乃至3の遅延時間が変化し、光源41の発光の遅延時間が変化する。このため、距離測定の精度が低下することとなる。この変化した第1の信号遅延回路200等の遅延時間の調整が必要になる。

[0062] [遅延補正回路の構成]

図7は、本開示の実施の形態に係る遅延補正回路の構成例を示す図である

。同図は、遅延補正回路 100 の構成例を表す図である。同図の遅延補正回路 100 は、基準遅延回路 110 と、基準遅延回路電源部 120 と、位相比較器 140 と、遅延調整部 150 と、校正信号生成部 160 と、基準遅延調整部 170 と、調整結果保持部 180 と、基準遅延調整結果保持部 190 とを備える。

[0063] 校正信号生成部 160 は、校正信号を生成するものである。この校正信号には、所定のパルス幅の矩形波を使用することができる。第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を基準遅延時間に調整する際、校正信号生成部 160 は、校正信号を生成して基準遅延回路 110 および図 1 において説明した受信部 600 に出力する。

[0064] 基準遅延回路 110 は、駆動回路 42 に配置された遅延回路の遅延時間の基準となる基準遅延時間を生成する回路である。同図の基準遅延回路 110 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の基準遅延時間を生成する。具体的には、基準遅延回路 110 は、校正信号生成部 160 から入力された校正信号に対して基準遅延時間だけ遅延させた校正信号を出力する。この基準遅延回路 110 は、例えば、図 2 において説明した第 1 の信号遅延回路 200 と同様の構成にすることができる。基準遅延回路 110 の構成の詳細については後述する。

[0065] 基準遅延回路電源部 120 は、基準遅延回路 110 に電源を供給する回路である。基準遅延回路電源部 120 は、出力電圧が校正された安定化電源により構成することができる。この安定化電源には、例えば、バンドギャップリファレンス電源を使用することができる。安定化電源を使用することにより、装置毎の電源電圧のばらつきを低減することができ、装置毎の基準遅延時間のばらつきを低減することができる。また、安定化電源を使用することにより、環境温度の変化による電源電圧のばらつきを低減することもできる。第 1 の信号遅延回路 200 の遅延部 210 等は、電源電圧が変化すると g_m が変化して遅延時間が変化する。第 1 の信号遅延回路 200 と同様の構成を採る基準遅延回路 110 も電源電圧のばらつきにより遅延時間が変化する

こととなる。そこで、基準遅延回路電源部 120 を配置して電圧のばらつきが小さい電源を基準遅延回路 110 に供給することにより、基準遅延回路 110 の遅延時間の変動を低減することができる。

[0066] また、所定の温度係数に基づいて電圧が変化する電源を基準遅延回路電源部 120 に配置することもできる。第 1 の信号遅延回路 200 の遅延部 210 等は、温度が上昇すると遅延時間が増大する。そこで、温度が上昇した際に電源電圧を上昇させることにより、遅延時間の変化を補償することができる。正の温度係数を有する電源を基準遅延回路電源部 120 に配置することにより、基準遅延回路 110 の遅延時間の変動をさらに低減することができる。基準遅延回路電源部 120 の構成の詳細については後述する。

[0067] 位相比較器 140 は、基準遅延回路 110 の出力信号と発光駆動信号 2 とを比較して位相差を検出するものである。発光駆動信号 2 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の全段の遅延部 310 等を通じた信号である。受信部 600 を介して校正信号を第 1 の信号遅延回路 200 に入力することにより、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 により遅延された校正信号が発光駆動信号 2 として位相比較器 140 に入力される。この発光駆動信号 2 と基準遅延回路 110 により遅延された校正信号とが位相比較器 140 により比較される。位相比較器 140 による比較結果は、遅延調整部 150 および基準遅延調整部 170 に出力される。なお、位相比較器 140 には、公知の位相比較器を使用することができる。

[0068] 遅延調整部 150 は、調整信号を生成して第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 に対してそれぞれ出力するものである。また、遅延調整部 150 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の調整処理の際、位相比較器 140 の比較結果に基づいて調整信号を生成し、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を調整する。

[0069] この調整は、位相比較器 140 からの比較結果に基づいて、次のように行

うことができる。基準遅延回路 110 の出力信号より発光駆動信号 2 が遅れている場合には、遅延調整部 150 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を短くする。具体的には、第 1 の信号遅延回路 200 の調整信号をより低い値に設定し、第 2 の信号遅延回路 300 の調整信号をより低い値に設定する。また、基準遅延回路 110 の出力信号より発光駆動信号 2 が進んでいる場合には、遅延調整部 150 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を長くする。具体的には、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の調整信号をより高い値に設定する。この処理を基準遅延回路 110 の出力信号および発光駆動信号 2 が同期するまで繰り返すことにより、調整を行うことができる。これにより、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を基準遅延時間に等しくすることができる。

[0070] 調整結果保持部 180 は、遅延調整部 150 による調整後の第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 のそれぞれの調整結果を保持するものである。この調整結果保持部 180 は、例えば、調整後の調整信号の値を保持するメモリにより構成することができる。調整処理の後、遅延調整部 150 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 のそれぞれの調整結果を調整結果保持部 180 に転送して保持させる。また、調整結果保持部 180 は、保持した調整結果を遅延調整部 150 に対して供給することができる。遅延調整部 150 は、調整結果保持部 180 から供給された調整結果に基づいて調整信号を生成し、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 に対して出力することができる。

[0071] 基準遅延調整部 170 は、基準遅延回路 110 の調整信号を生成して出力するものである。また、基準遅延調整部 170 は、上述の調整処理の際、校正信号生成部 160 および遅延調整部 150 の制御を行う。

[0072] また、基準遅延調整部 170 は、基準遅延時間の調整をさらに行う。基準遅延調整部 170 は、基準遅延回路 110 の遅延時間を調整することにより、基準遅延時間を調整する。以下、基準遅延回路 110 の遅延時間を調整す

る処理を校正処理と称する。校正処理は、次のように行うことができる。まず、基準遅延調整部 170 は、遅延調整部 150 を制御して調整信号を出力させ、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 を中位の遅延時間に設定する。次に、基準遅延調整部 170 は、校正信号生成部 160 に校正信号を出力させて、位相比較器 140 からの比較結果を取得する。次に、基準遅延調整部 170 は、位相比較器 140 からの比較結果に基づいて調整信号を生成し、基準遅延回路 110 の遅延時間を調整する。基準遅延回路 110 の遅延時間が第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の中位の遅延時間と等しくなるまで基準遅延回路 110 の遅延時間の調整を行う。これにより、校正処理を行うことができる。

[0073] 基準遅延調整結果保持部 190 は、基準遅延調整部 170 による調整後の基準遅延回路 110 の調整結果を保持するものである。この基準遅延調整結果保持部 190 は、調整結果保持部 180 と同様に、調整後の調整信号の値を保持するメモリにより構成することができる。校正処理の後、基準遅延調整部 170 は、基準遅延回路 110 の調整結果を基準遅延調整結果保持部 190 に転送して保持させる。また、基準遅延調整結果保持部 190 は、保持した調整結果を基準遅延調整結果保持部 190 に対して供給することができる。上述の調整処理の際、基準遅延調整部 170 は、基準遅延調整結果保持部 190 から供給された調整結果に基づいて調整信号を生成し、基準遅延回路 110 に対して出力することができる。

[0074] [基準遅延回路の構成]

図 8 は、本開示の実施の形態に係る基準遅延回路の構成例を示す図である。同図は、基準遅延回路 110 の構成例を表す図である。同図の基準遅延回路 110 には、基準遅延回路電源部 120 から電源が供給される。同図の V_{dd3} は、基準遅延回路電源部 120 からの電源が供給される電源線を表す。また、同図の基準遅延回路 110 は、反転ゲート 109 と、遅延部 111 乃至 118 と、選択部 119 とを備える。

[0075] 同図の反転ゲート 109 は、校正信号生成部 160 により生成された校正

信号が入力される。同図の遅延部 111 等は図 2 において説明した遅延部 210 等と同様の構成を採ることができる。また、同図の反転ゲート 109 および選択部 119 は、図 2 において説明した反転ゲート 201 および選択部 290 と同様の構成を採ることができる。同図の遅延部 111 等は、電源線 V_{dd3} から電源が供給される点で、図 2 の遅延部 210 等と異なる。遅延部 111 等に基準遅延回路電源部 120 からの電源が供給されるため、遅延時間のばらつきが低減される。これ以外の基準遅延回路 110 の構成は、第 1 の信号遅延回路 200 と同様であるため、説明を省略する。

[0076] [基準遅延回路電源部の構成]

図 9 は、本開示の実施の形態に係る基準遅延回路電源部の構成例を示す図である。同図は、基準遅延回路電源部 120 の構成例を表す回路図である。同図の基準遅延回路電源部 120 は、トランジスタ 122 と、抵抗 124 乃至 128 と、電圧源 121 と、定電流回路 123 と、バッファアンプ 136 と、温度係数選択部 130 と、温度係数保持部 135 とを備える。トランジスタ 122 には、n p n トランジスタを使用することができる。なお、同図の V_{dd4} は、基準遅延回路電源部 120 を動作させるための電源を供給する電源線である。

[0077] トランジスタ 122 のコレクタは V_{dd4} に接続され、エミッタは定電流回路 123 のシンク側端子に接続される。定電流回路 123 のソース側端子は、接地される。トランジスタ 122 のベースは電圧源 121 の高電位端子に接続され、電圧源 121 の低電位端子は接地される。直列に接続された抵抗 124 乃至 128 は、トランジスタ 122 のベースおよびエミッタの間に接続される。温度係数選択部 130 の複数の信号線 131 は、直列に接続された抵抗 124 乃至 128 の両端と抵抗同士が接続されるそれぞれのノードとに接続される。また、温度係数選択部 130 の出力はバッファアンプ 136 の入力に接続され、バッファアンプ 136 の出力は基準遅延回路電源部 120 の出力として基準遅延回路 110 に接続される。

[0078] 電圧源 121 は、前述の安定化電源に相当する電圧源である。この電圧源

121は、例えば、バンドギャップリファレンス電源により構成することができる。

[0079] 定電流回路123は、トランジスタ122のエミッタ電流を供給する電源である。この定電流回路123は、シンク電流をトランジスタ122に供給する。

[0080] 抵抗124乃至128は、トランジスタ122のベースエミッタ間電圧 V_{be} を分圧する抵抗である。同図の基準遅延回路電源部120は、 V_{be} を5分割する例を表したものである。 V_{be} は、 $-2\text{ mV}/^{\circ}\text{C}$ の温度係数により電圧が変化する。この V_{be} を電圧源121の出力電圧から差し引くことにより、 $2\text{ mV}/^{\circ}\text{C}$ の温度係数に基づいて電圧が変化する電源回路を構成することができる。また、抵抗124乃至128を接続して分圧することにより、温度係数を0乃至 $2\text{ mV}/^{\circ}\text{C}$ の値に切り替えることができる。なお、電圧源121、トランジスタ122、定電流回路123および抵抗124乃至128により構成される回路は、請求の範囲に記載の温度補正電源の一例である。

[0081] 温度係数選択部130は、基準遅延回路電源部120から出力される電源の温度係数を選択するものである。この温度係数選択部130は、信号線131の何れか1つを選択して電圧を取り出してバッファアンプ136に対して出力することにより、温度係数を選択することができる。

[0082] 温度係数保持部135は、温度係数選択部130による選択結果を保持するものである。この温度係数保持部135は、温度係数選択部130による信号線131の選択結果を保持することにより、選択結果を保持することができる。温度係数選択部130は、温度係数保持部135に保持された選択結果に基づいて信号線131を選択する。温度係数保持部135は、メモリにより構成することができる。

[0083] バッファアンプ136は、温度係数選択部130から出力された電源電圧を増幅するバッファである。

[0084] [校正処理]

図10は、本開示の実施の形態に係る校正処理の一例を示す図である。まず、基準遅延調整部170が第1の信号遅延回路200、第2の信号遅延回路300および基準遅延回路110のそれぞれの調整信号の初期値を設定する(S101)。第1の信号遅延回路200および第2の信号遅延回路300については、例えば、中位の遅延とする調整信号を出力するように基準遅延調整部170が遅延調整部150を制御することにより行うことができる。前述のように、値「4」の調整信号を出力することにより、第1の信号遅延回路200および第2の信号遅延回路300を中位の遅延時間に設定することができる。また、基準遅延回路110についても、中位の遅延とする調整信号を出力するように設定することができる。基準遅延調整部170は、基準遅延回路110に対して値「4」の調整信号を出力することにより、中位の遅延時間に設定することができ、初期値を設定することができる。

[0085] 次に、校正信号を出力する(S102)。これは、基準遅延調整部170が校正信号生成部160を制御して校正信号を出力させることにより行うことができる。

[0086] 次に、基準遅延回路110の調整が終了したかを判断する(S103)。これは、基準遅延調整部170が位相比較器140の比較結果に基づいて判断する。位相比較器140による比較の結果、基準遅延回路110の出力信号および発光駆動信号生成部400から出力される発光駆動信号2の位相差が所定の値、例えば、150psより大きい場合に基準遅延調整部170は、基準遅延回路110の調整が終了していないと判断することができる(S103:No)。この場合、S104の処理に移行する。

[0087] 一方、基準遅延回路110の出力信号と発光駆動信号生成部400から出力される発光駆動信号2との位相差が上記所定の値(150ps)以下の場合には、基準遅延調整部170は、基準遅延回路110の調整が終了したと判断することができる(S103:Yes)。この場合、S105の処理に移行する。

[0088] S104において、基準遅延調整部170は、基準遅延回路110の遅延

時間を調整する（S104）。これは、基準遅延回路110の調整信号を変更することにより行うことができる。発光駆動信号生成部400から出力される発光駆動信号2に対して基準遅延回路110の出力信号が進み位相となっている場合には、基準遅延調整部170は、基準遅延回路110の遅延時間を増加させる。具体的には、基準遅延調整部170は、より小さい値の調整信号を生成して出力する。例えば、中位の遅延時間である値「4」の調整信号が生成されていた場合には、さらに中位の遅延時間となる値「2」の調整信号を生成して出力する。

[0089] 一方、発光駆動信号生成部400から出力される発光駆動信号2に対して基準遅延回路110の出力信号が遅れ位相となっている場合には、基準遅延調整部170は、基準遅延回路110の遅延時間を減少させる。具体的には、基準遅延調整部170は、より大きい値の調整信号を生成して出力する。例えば、値「4」の調整信号が生成されていた場合には、値「5」または「6」の調整信号を生成して出力する。その後、S103の処理を再度実行する。

[0090] S105において、基準遅延調整部170は、校正結果を保持する（S105）。これは、基準遅延調整部170が調整信号の値を基準遅延調整結果保持部190に保持させることにより行うことができる。その後、校正処理を終了する。

[0091] 以上の手順により、遅延補正回路100における校正処理を実行することができる。この校正処理は、工場における製造後の検査時に行うことができる。また、製品として出荷された後において、使用場所等の使用環境が変わった際に行うことができる。

[0092] [調整処理]

図11は、本開示の実施の形態に係る調整処理の一例を示す図である。まず、校正信号を出力する（S111）。これは、基準遅延調整部170が校正信号生成部160を制御して校正信号を出力させることにより行うことができる。

- [0093] 次に、第1の信号遅延回路200の調整が終了したかを判断する(S112)。これは、遅延調整部150が位相比較器140の比較結果に基づいて判断する。位相比較器140による比較の結果、基準遅延回路110の出力信号および発光駆動信号生成部400から出力される発光駆動信号2の位相差が所定の値、例えば、100psより大きい場合に遅延調整部150は、第1の信号遅延回路200の調整が終了していないと判断することができる(S112:No)。この場合、S113の処理に移行する。
- [0094] 一方、基準遅延回路110の出力信号と発光駆動信号生成部400から出力される発光駆動信号2との位相差が上記の所定の値(100ps)以下の場合には、遅延調整部150は、第1の信号遅延回路200の調整が終了したと判断することができる(S112:Yes)。この場合、S114の処理に移行する。
- [0095] S113において、遅延調整部150は、第1の信号遅延回路200の遅延時間を調整する(S113)。これは、第1の信号遅延回路200の調整信号を変更することにより行うことができる。基準遅延回路110の出力信号に対して発光駆動信号2が進み位相となっている場合には、遅延調整部150は、第1の信号遅延回路200の遅延時間を増加させる。具体的には、遅延調整部150は、より小さい値の調整信号を生成して第1の信号遅延回路200に対して出力する。
- [0096] 一方、基準遅延回路110の出力信号に対して発光駆動信号2が遅れ位相となっている場合には、遅延調整部150は、第1の信号遅延回路200の遅延時間を減少させる。具体的には、遅延調整部150は、より大きい値の調整信号を生成して出力する。その後、S112の処理を再度実行する。
- [0097] S114において、第2の信号遅延回路300の調整が終了したかを判断する(S114)。これは、遅延調整部150が位相比較器140の比較結果に基づいて判断する。位相比較器140による比較の結果、基準遅延回路110の出力信号および発光駆動信号2の位相差が所定の値、例えば、10psより大きい場合に遅延調整部150は、第2の信号遅延回路300の調

整が終了していないと判断することができる（S 1 1 4 : N o）。この場合、S 1 1 5 の処理に移行する。

[0098] 一方、基準遅延回路 1 1 0 の出力信号と発光駆動信号 2 との位相差が上記の所定の値（1 0 p s）以下の場合には、遅延調整部 1 5 0 は、第 2 の信号遅延回路 3 0 0 の調整が終了したと判断することができる（S 1 1 4 : Y e s）。この場合、S 1 1 6 の処理に移行する。

[0099] S 1 1 5 において、遅延調整部 1 5 0 は、第 2 の信号遅延回路 3 0 0 の遅延時間を調整する（S 1 1 5）。これは、第 2 の信号遅延回路 3 0 0 の調整信号を変更することにより行うことができる。基準遅延回路 1 1 0 の出力信号に対して発光駆動信号 2 が進み位相となっている場合には、遅延調整部 1 5 0 は、第 2 の信号遅延回路 3 0 0 の遅延時間を増加させる。具体的には、遅延調整部 1 5 0 は、より小さい値の調整信号を生成して第 2 の信号遅延回路 3 0 0 に対して出力する。例えば、中位の遅延時間である値「4」の調整信号が生成されていた場合には、さらに中位の遅延時間となる値「2」の調整信号を生成して出力する。

[0100] 一方、基準遅延回路 1 1 0 の出力信号に対して発光駆動信号 2 が遅れ位相となっている場合には、遅延調整部 1 5 0 は、第 2 の信号遅延回路 3 0 0 の遅延時間を減少させる。具体的には、遅延調整部 1 5 0 は、より大きい値の調整信号を生成して第 2 の信号遅延回路 3 0 0 に対して出力する。例えば、値「4」の調整信号が生成されていた場合には、さらに中位の遅延時間となる値「5」または「6」の調整信号を生成して出力する。その後、S 1 1 4 の処理を再度実行する。

[0101] S 1 1 6 において、遅延調整部 1 5 0 は、調整結果を保持する（S 1 1 6）。これは、遅延調整部 1 5 0 が調整信号の値を調整結果保持部 1 8 0 に保持させることにより行うことができる。その後、調整処理を終了する。

[0102] 以上の手順により、遅延補正回路 1 0 0 における調整処理を実行することができる。このうち、第 1 の信号遅延回路 2 0 0 を調整する処理（S 1 1 2）は、駆動回路 4 2 における遅延時間の粗調整に該当する。また、第 2 の信

号遅延回路 300 を調整する処理 (S114) は、駆動回路 42 における遅延時間の微調整に該当する。このようにそれぞれ遅延時間が異なる第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 を配置して粗調整および微調整を個別に行うことにより、遅延時間の調整の精度を向上させることができるとともに調整に要する時間を短縮することができる。

[0103] 前述のように、基準遅延回路電源部 120 を配置し、高度に安定化した電源を基準遅延回路 110 に供給することにより、基準遅延回路 110 の遅延時間のばらつきを低減することができる。この基準遅延回路 110 を使用して第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を調整することにより、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間のばらつきを低減することができる。基準遅延回路電源部 120 と同様の高性能電源回路をさらに配置して第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 に供給することによっても第 1 の信号遅延回路 200 等の遅延時間のばらつきを低減することは可能である。しかし、この場合には、駆動回路 42 の回路規模が大きくなる。伝達する駆動信号の波形の劣化等を防ぐため、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 は高速な回路により構成する必要がある。このような高速な回路は消費電力が大きく、大容量の電源回路が必要になるためである。

[0104] 以上説明したように、本開示の第 1 の実施の形態の遅延補正回路 100 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 の遅延時間を基準遅延回路 110 の遅延時間に整合させることにより第 1 の信号遅延回路 200 等の遅延時間を調整する。これにより、遅延補正回路 100 を小型化することができる。

[0105] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態の駆動回路 42 は、第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 を使用していた。これに対し、本開示の第 2 の実施の形態の駆動回路 42 は、それぞれ複数の第 1 の信号遅延回路 200 および第 2 の信号遅延回路 300 を使用する点で、上述の第 1 の実施の形態

と異なる。

[0106] 〔光源装置の構成〕

図 1 2 は、本開示の第 2 の実施の形態に係る光源装置の構成例を示す図である。同図は、図 1 と同様に、光源装置 4 の構成例を表す図である。駆動回路 4 2 にそれぞれ 2 組の第 1 の信号遅延回路 2 0 0 および第 2 の信号遅延回路 3 0 0 が配置される点で、図 1 において説明した光源装置 4 と異なる。

[0107] 同図の駆動回路 4 2 は、第 1 の信号遅延回路 2 0 0 a および 2 0 0 b ならびに第 2 の信号遅延回路 3 0 0 a および 3 0 0 b を備える点で、図 1 の駆動回路 4 2 と異なる。第 1 の信号遅延回路 2 0 0 a および第 2 の信号遅延回路 3 0 0 a は、図 6 において説明した遅延駆動信号 1 を生成する。すなわち、駆動信号' を遅延させて遅延駆動信号 1 を生成する。一方、第 1 の信号遅延回路 2 0 0 b および第 2 の信号遅延回路 3 0 0 b は、図 6 において説明した遅延駆動信号 2 を生成する。すなわち、駆動信号' を遅延させて遅延駆動信号 2 を生成する。このため、遅延駆動信号 1 および 2 の遅延時間が大きく異なる場合であっても、これらの信号を生成することができる。

[0108] 同図の遅延補正回路 1 0 0 は、第 1 の信号遅延回路 2 0 0 a および 2 0 0 b ならびに第 2 の信号遅延回路 3 0 0 a および 3 0 0 b のそれぞれの調整信号を生成して出力する。調整処理の際には、遅延補正回路 1 0 0 は、第 1 の信号遅延回路 2 0 0 a および第 2 の信号遅延回路 3 0 0 a の調整と第 1 の信号遅延回路 2 0 0 b および第 2 の信号遅延回路 3 0 0 b の調整とを個別に行う。

[0109] これ以外の光源装置 4 の構成は本開示の第 1 の実施の形態において説明した光源装置 4 の構成と同様であるため、説明を省略する。

[0110] 以上説明したように、本開示の第 2 の実施の形態の光源装置 4 は、2 組の第 1 の信号遅延回路 2 0 0 および第 2 の信号遅延回路 3 0 0 を備え、それぞれの遅延回路の遅延時間を 1 つの基準遅延回路 1 1 0 により調整する。これにより、駆動回路 4 2 の回路規模の増大を軽減することができる。

[0111] ＜3. 測距装置への応用例＞

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、測距装置に適用されてもよい。ここで、測距装置とは、対象物までの距離を測定する装置である。

[0112] 〔撮像装置の構成〕

図13は、本開示に係る技術が適用され得る測距装置に係る撮像装置の構成例を示す図である。同図は、測距装置を構成する撮像装置1の構成例を表すブロック図である。同図の撮像装置1は、受光素子2と、制御部3と、光源装置4と、レンズ5とを備える。なお、同図には、距離測定の対象物901を記載した。

[0113] レンズ5は、受光素子2に対象物を結像するレンズである。なお、受光素子2の構成については後述する。

[0114] 光源装置4は、距離測定の対象物に光を出射するものである。この光源装置4は、例えば、赤外光を出射するレーザ光源を使用することができる。

[0115] 制御部3は、撮像装置1の全体制御するものである。具体的には、制御部3は、光源装置4を制御して出射光902を対象物901に出射させるとともに、当該出射の開始を受光素子2に対して通知する。出射光902の出射が通知された受光素子2は、対象物901からの反射光903を検出して出射光902の出射から反射光903の検出までの時間を計測し、対象物901までの距離を測定する。この測定された距離は、距離データとして撮像装置1の外部に出力される。

[0116] 〔受光素子の構成〕

図14は、本開示に係る技術が適用され得る測距装置に係る受光素子の構成例を示す図である。同図の受光素子2は、画素アレイ部21と、バイアス電源部25と、受光信号処理部26とを備える。

[0117] 画素アレイ部21は、入射光の光電変換を行う光電変換部を有する複数の画素22が2次元格子状に配置されて構成されたものである。この画素22は、入射光を検出し、受光信号を検出結果として出力する。光電変換部には、例えば、APD (Avalanche Photo Diode) やSPAD (Single Photon Av

avalanche diode) を使用することができる。以下、画素 2 2 には光電変換部として S P A D が配置されるものと想定する。それぞれの画素 2 2 には、信号線 2 3 および 2 4 が接続される。信号線 2 3 は、画素 2 2 のバイアス電圧を供給する信号線である。信号線 2 4 は、画素 2 2 からの受光信号を伝達する信号線である。なお、同図の画素アレイ部 2 1 には、画素 2 2 が 4 行 5 列に配置する例が記載されているが、画素アレイ部 2 1 に配置される画素 2 2 数を限定するものではない。

[0118] バイアス電源部 2 5 は、画素 2 2 にバイアス電圧を供給する電源である。

このバイアス電源部 2 5 は、信号線 2 3 を介してバイアス電圧を供給する。

[0119] 受光信号処理部 2 6 は、画素アレイ部 2 1 に配置される複数の画素 2 2 から出力された受光信号を処理するものである。この受光信号処理部 2 6 の処理には、例えば、画素 2 2 により検出した入射光に基づいて対象物との距離を検出する処理が該当する。具体的には、受光信号処理部 2 6 は、車載カメラ等の撮像装置において遠方の対象物との距離を計測する際に使用される T o F (Time of Flight) 方式の距離検出処理を行うことができる。この距離検出処理は、撮像装置に配置された光源により対象物に光を照射して対象物により反射された光を検出し、光源からの光が対象物との間を往復する時間を計測することにより、距離を検出する処理である。このような距離検出処理を行う装置には、高速な光検出が可能な S P A D が使用される。

[0120] なお、本開示に係る技術は、測距装置以外の装置に適用することもできる。例えば、アナログデジタル変換器のサンプリングタイミングを可変するための遅延回路に適用することができる。

[0121] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0122] また、本明細書に記載された効果はあくまで例示であって限定されるものではない。また、他の効果があってもよい。

[0123] また、上述の実施の形態における図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

[0124] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、DVD (Digital Versatile Disc) およびメモリカード等を用いることができる。

[0125] なお、本技術は以下のような構成もとることができる。

(1) 信号を遅延させる信号遅延回路の前記信号の遅延時間の基準となる基準遅延時間を生成する基準遅延回路と、

前記信号遅延回路により遅延された前記信号と前記基準遅延回路により遅延された前記信号との位相を比較する位相比較器と、

前記位相の比較結果に基づいて前記信号遅延回路の遅延時間を調整する遅延調整部と、

前記基準遅延回路に電源を供給する基準遅延回路電源部とを具備する遅延補正回路。

(2) 前記基準遅延回路電源部は、出力電圧が所定の温度係数に基づいて変化する温度補正電源を備える前記(1)に記載の遅延補正回路。

(3) 前記基準遅延回路電源部は、前記所定の温度係数を選択する温度係数選択部をさらに備える前記(2)に記載の遅延補正回路。

(4) 前記基準遅延回路電源部は、前記温度係数選択部における選択結果を保持する温度係数保持部をさらに備える前記(3)に記載の遅延補正回路。

(5) 前記信号遅延回路は、遅延時間が異なる複数の遅延回路を備え、

前記遅延調整部は、前記複数の遅延回路の遅延時間を調整する前記(1)から(4)の何れかに記載の遅延補正回路。

(6) 前記遅延調整部における前記遅延の調整結果を保持する調整結果保持

部をさらに具備する前記（１）から（５）の何れかに記載の遅延補正回路。

（７）前記基準遅延時間を調整する基準遅延調整部をさらに具備する前記（１）から（６）の何れかに記載の遅延補正回路。

（８）前記基準遅延調整部における前記基準遅延時間の調整結果を保持する基準遅延調整結果保持部をさらに具備する前記（７）に記載の遅延補正回路。

（９）前記基準遅延調整部は、前記信号遅延回路の中位の遅延時間に前記基準遅延時間を調整する前記（７）に記載の遅延補正回路。

（１０）駆動信号を遅延させる信号遅延回路と、

前記駆動信号の遅延時間の基準となる基準遅延時間を生成する基準遅延回路と、

前記信号遅延回路により遅延された前記駆動信号と前記基準遅延回路により遅延された前記駆動信号との位相を比較する位相比較器と、

前記位相の比較結果に基づいて前記信号遅延回路の遅延時間を調整する遅延調整部と、

前記基準遅延回路に電源を供給する基準遅延回路電源部とを具備する駆動回路。

符号の説明

- [0126] 1 撮像装置
- 2 受光素子
- 4 光源装置
- 4 1 光源
- 4 2 駆動回路 1 0 0 遅延補正回路
- 1 1 0 基準遅延回路
- 1 1 1 ~ 1 1 8、2 1 0、2 2 0、2 3 0、2 4 0、2 5 0、2 6 0、2 7 0、2 8 0、3 1 0、3 2 0、3 3 0、3 4 0、3 5 0、3 6 0、3 7 0、3 8 0 遅延部
- 1 1 9、2 9 0、3 9 0 選択部

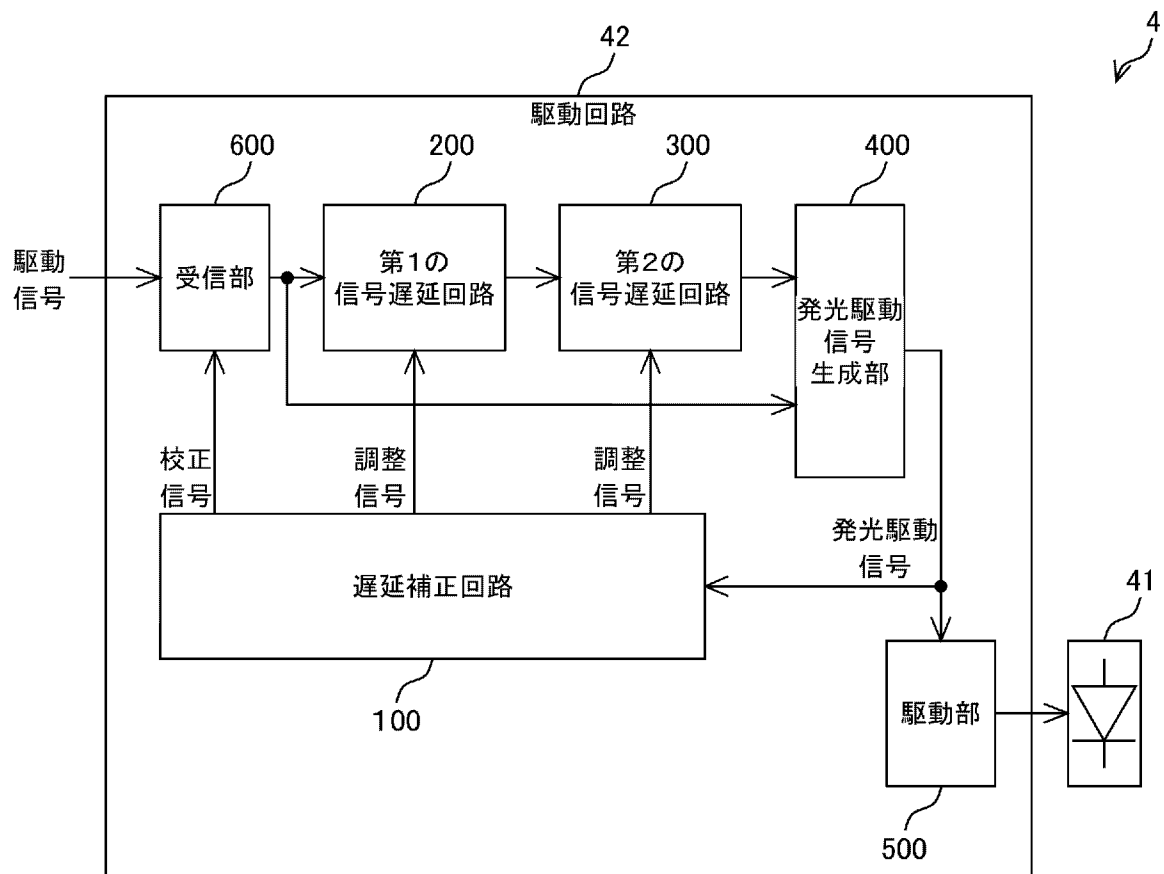
- 1 2 0 基準遅延回路電源部
- 1 2 1 電圧源
- 1 2 2 トランジスタ
- 1 2 3 定電流回路
- 1 2 4 ～ 1 2 8 抵抗
- 1 3 0 温度係数選択部
- 1 3 5 温度係数保持部
- 1 3 6 バッファアンプ
- 1 4 0 位相比較器
- 1 5 0 遅延調整部
- 1 6 0 校正信号生成部
- 1 7 0 基準遅延調整部
- 1 8 0 調整結果保持部
- 1 9 0 基準遅延調整結果保持部
- 2 0 0、2 0 0 a、2 0 0 b 第 1 の信号遅延回路
- 3 0 0、3 0 0 a、3 0 0 b 第 2 の信号遅延回路
- 4 0 0 発光駆動信号生成部
- 5 0 0 駆動部
- 6 0 0 受信部

請求の範囲

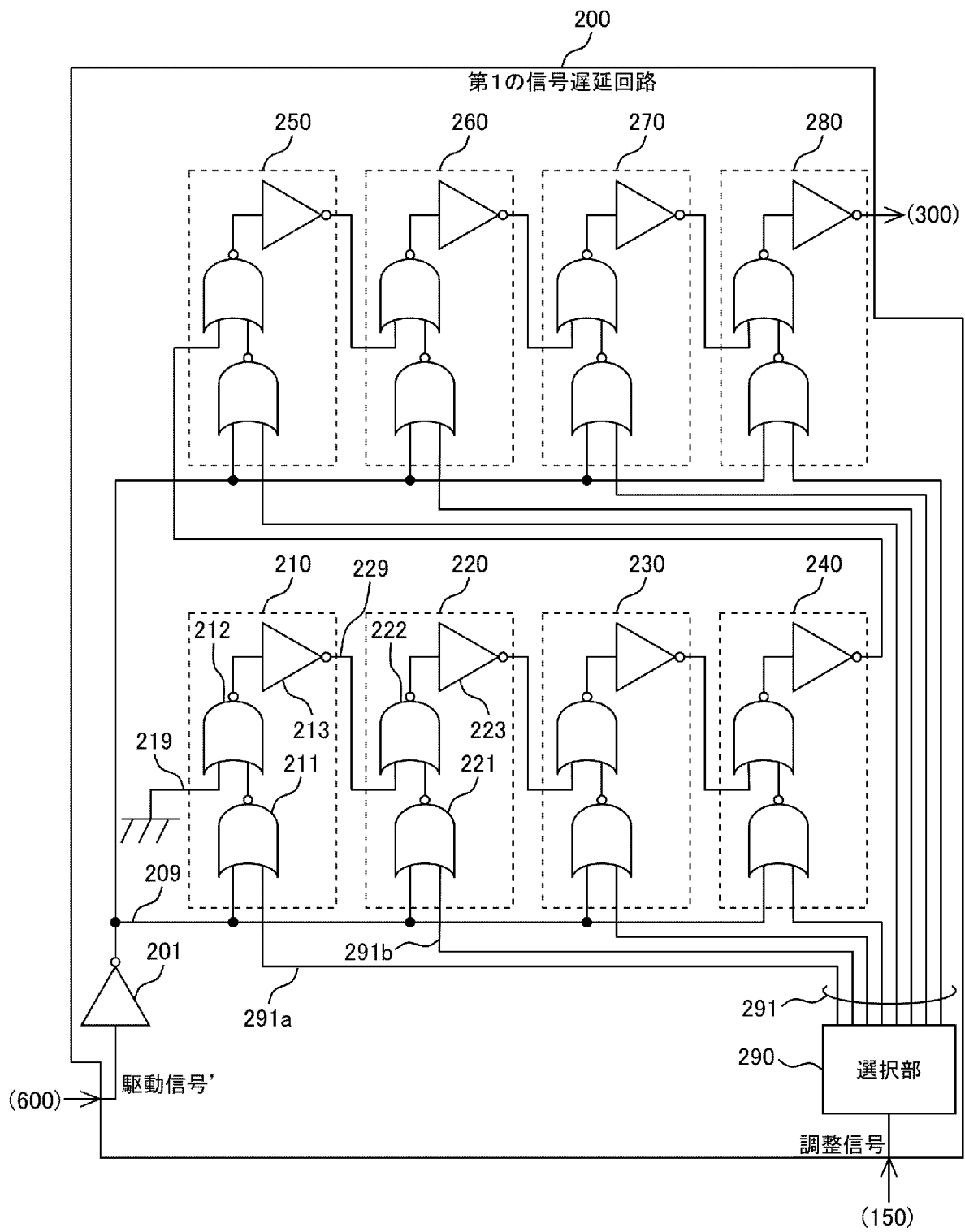
- [請求項1] 信号を遅延させる信号遅延回路の前記信号の遅延時間の基準となる基準遅延時間を生成する基準遅延回路と、
前記信号遅延回路により遅延された前記信号と前記基準遅延回路により遅延された前記信号との位相を比較する位相比較器と、
前記位相の比較結果に基づいて前記信号遅延回路の遅延時間を調整する遅延調整部と、
前記基準遅延回路に電源を供給する基準遅延回路電源部とを具備する遅延補正回路。
- [請求項2] 前記基準遅延回路電源部は、出力電圧が所定の温度係数に基づいて変化する温度補正電源を備える請求項 1 記載の遅延補正回路。
- [請求項3] 前記基準遅延回路電源部は、前記所定の温度係数を選択する温度係数選択部をさらに備える請求項 2 記載の遅延補正回路。
- [請求項4] 前記基準遅延回路電源部は、前記温度係数選択部における選択結果を保持する温度係数保持部をさらに備える請求項 3 記載の遅延補正回路。
- [請求項5] 前記信号遅延回路は、遅延時間が異なる複数の遅延回路を備え、
前記遅延調整部は、前記複数の遅延回路の遅延時間を調整する請求項 1 記載の遅延補正回路。
- [請求項6] 前記遅延調整部における前記遅延の調整結果を保持する調整結果保持部をさらに具備する請求項 1 記載の遅延補正回路。
- [請求項7] 前記基準遅延時間を調整する基準遅延調整部をさらに具備する請求項 1 記載の遅延補正回路。
- [請求項8] 前記基準遅延調整部における前記基準遅延時間の調整結果を保持する基準遅延調整結果保持部をさらに具備する請求項 7 記載の遅延補正回路。
- [請求項9] 前記基準遅延調整部は、前記信号遅延回路の中位の遅延時間に前記基準遅延時間を調整する請求項 7 記載の遅延補正回路。

- [請求項10] 駆動信号を遅延させる信号遅延回路と、
- 前記駆動信号の遅延時間の基準となる基準遅延時間を生成する基準遅延回路と、
- 前記信号遅延回路により遅延された前記駆動信号と前記基準遅延回路により遅延された前記駆動信号との位相を比較する位相比較器と、
- 前記位相の比較結果に基づいて前記信号遅延回路の遅延時間を調整する遅延調整部と、
- 前記基準遅延回路に電源を供給する基準遅延回路電源部と
- を具備する駆動回路。

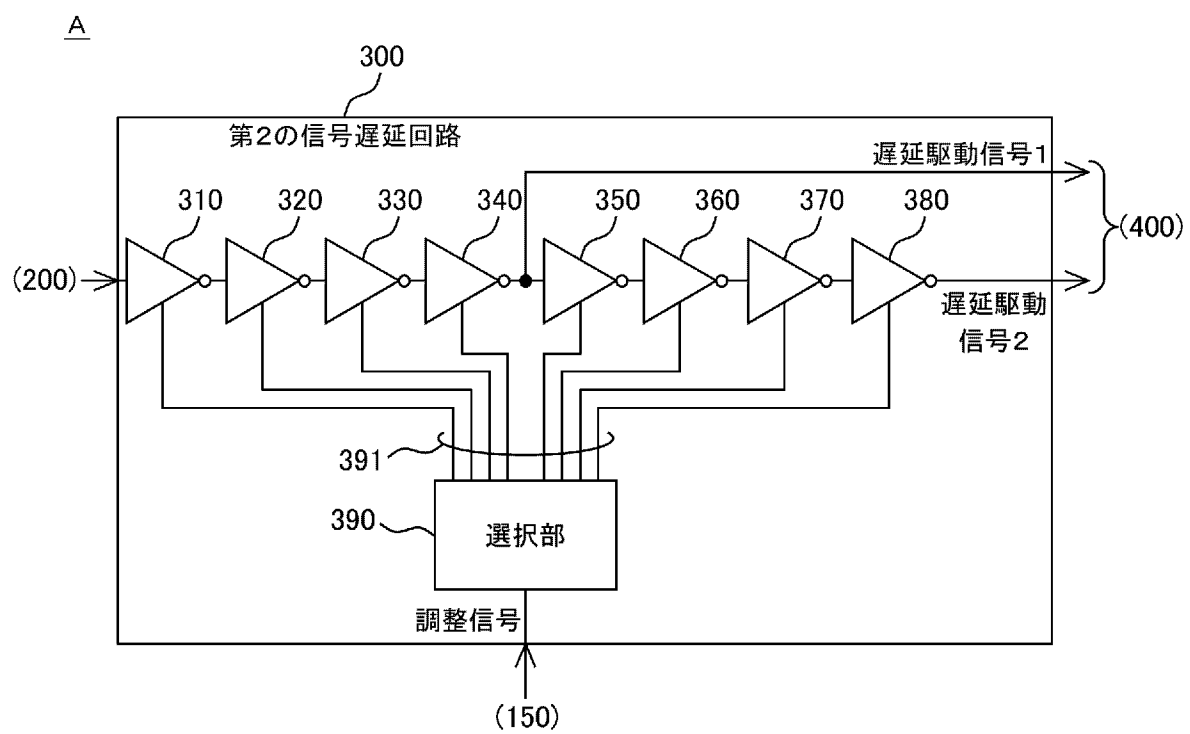
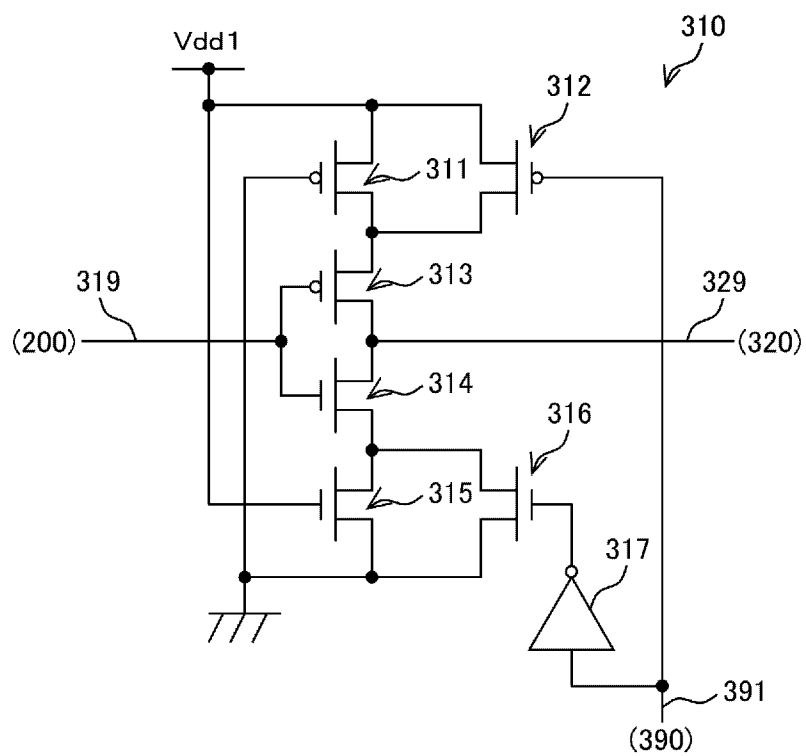
[図1]



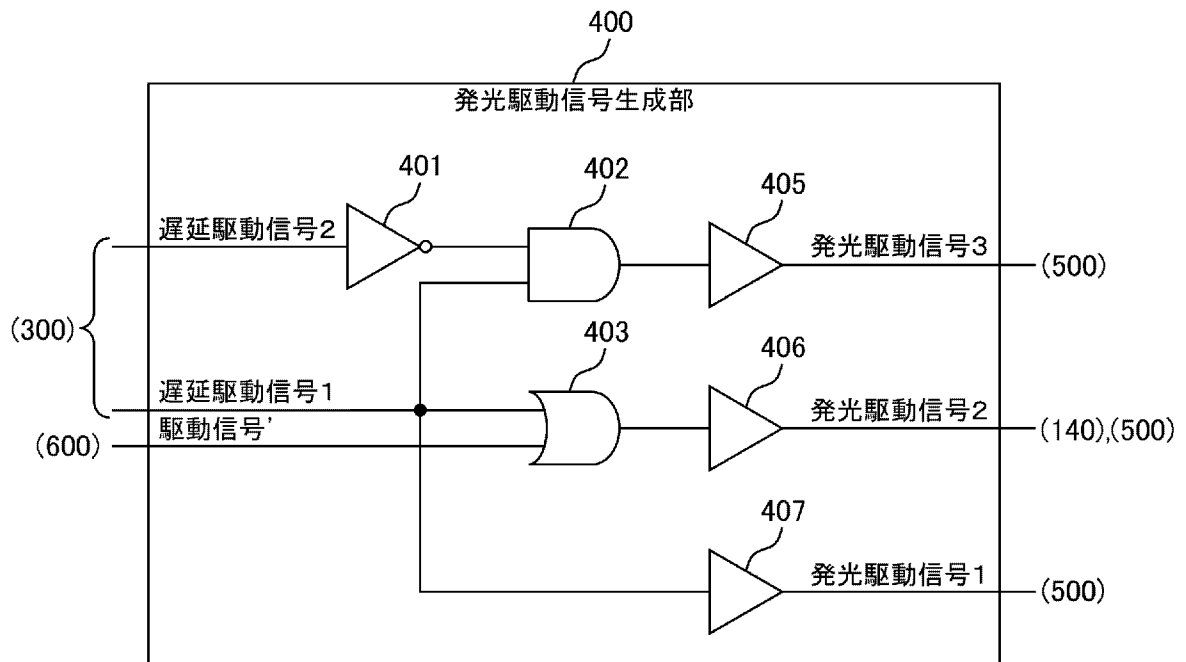
[図2]



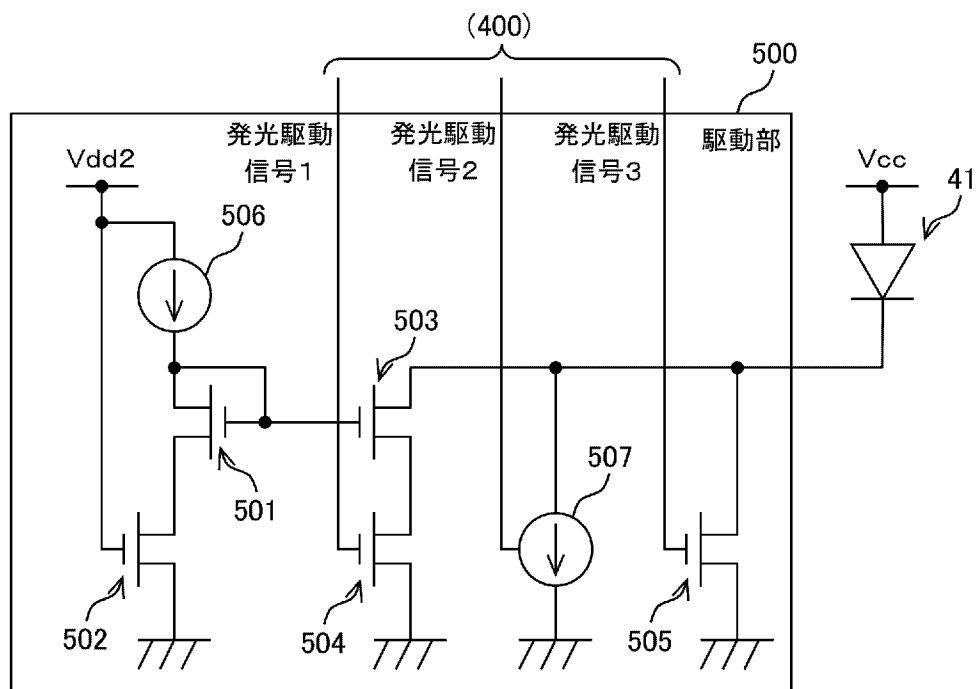
[図3]

B

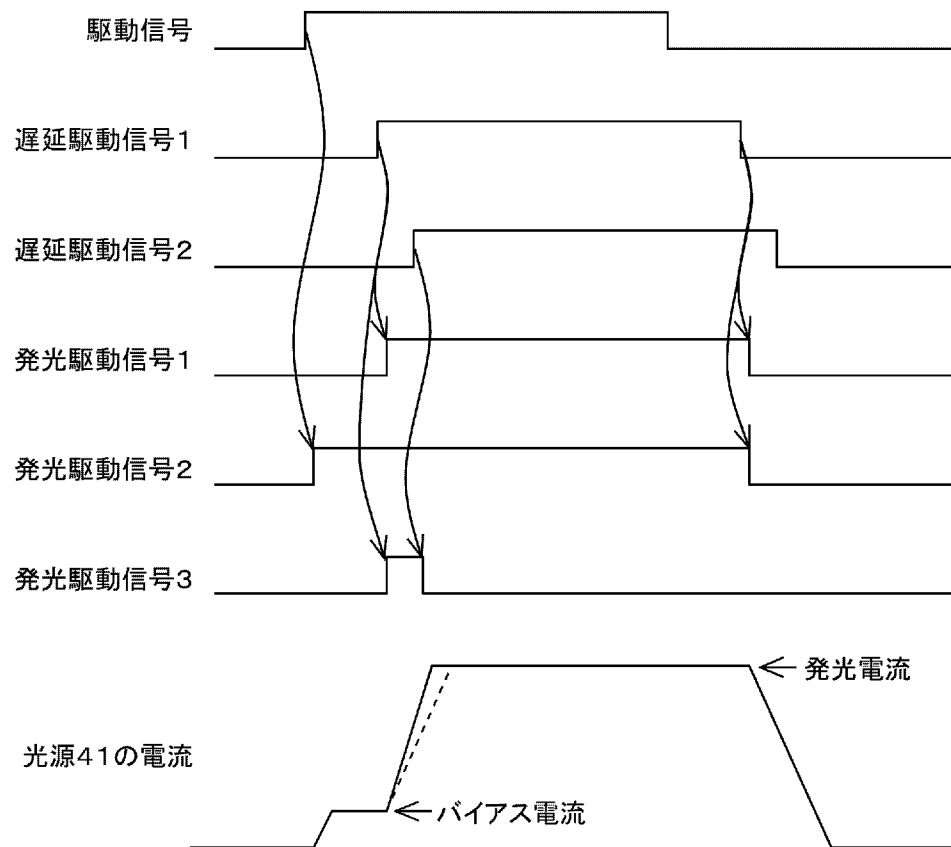
[図4]



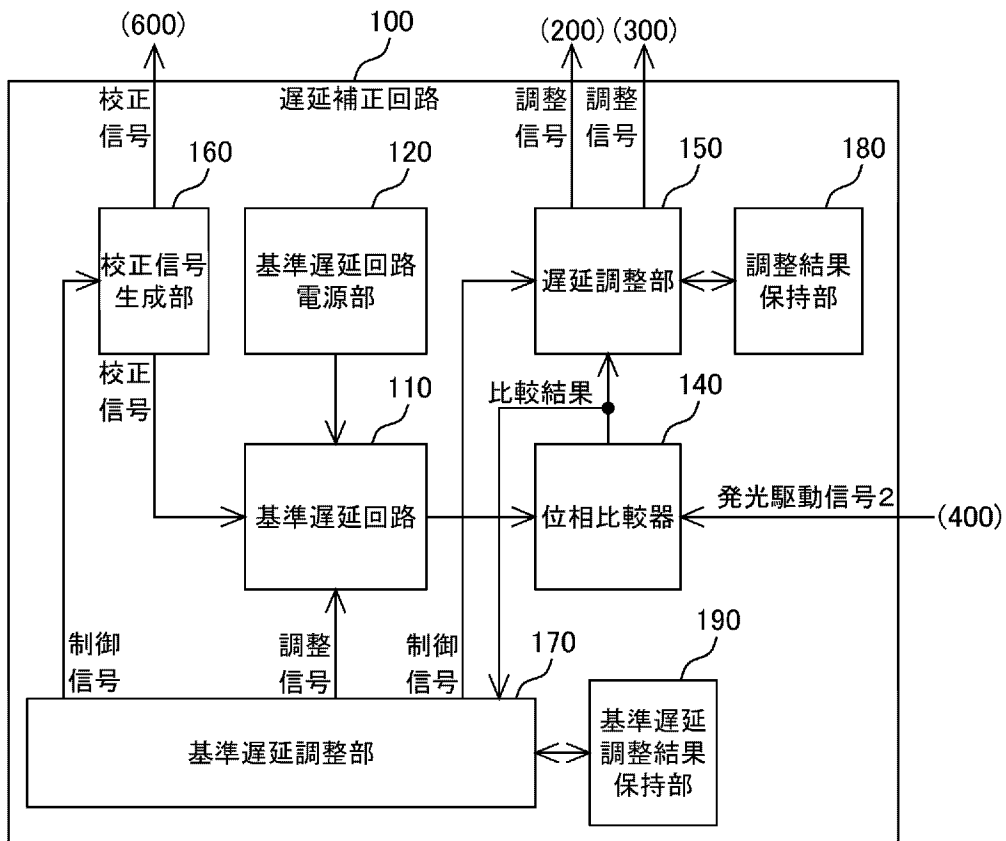
[図5]



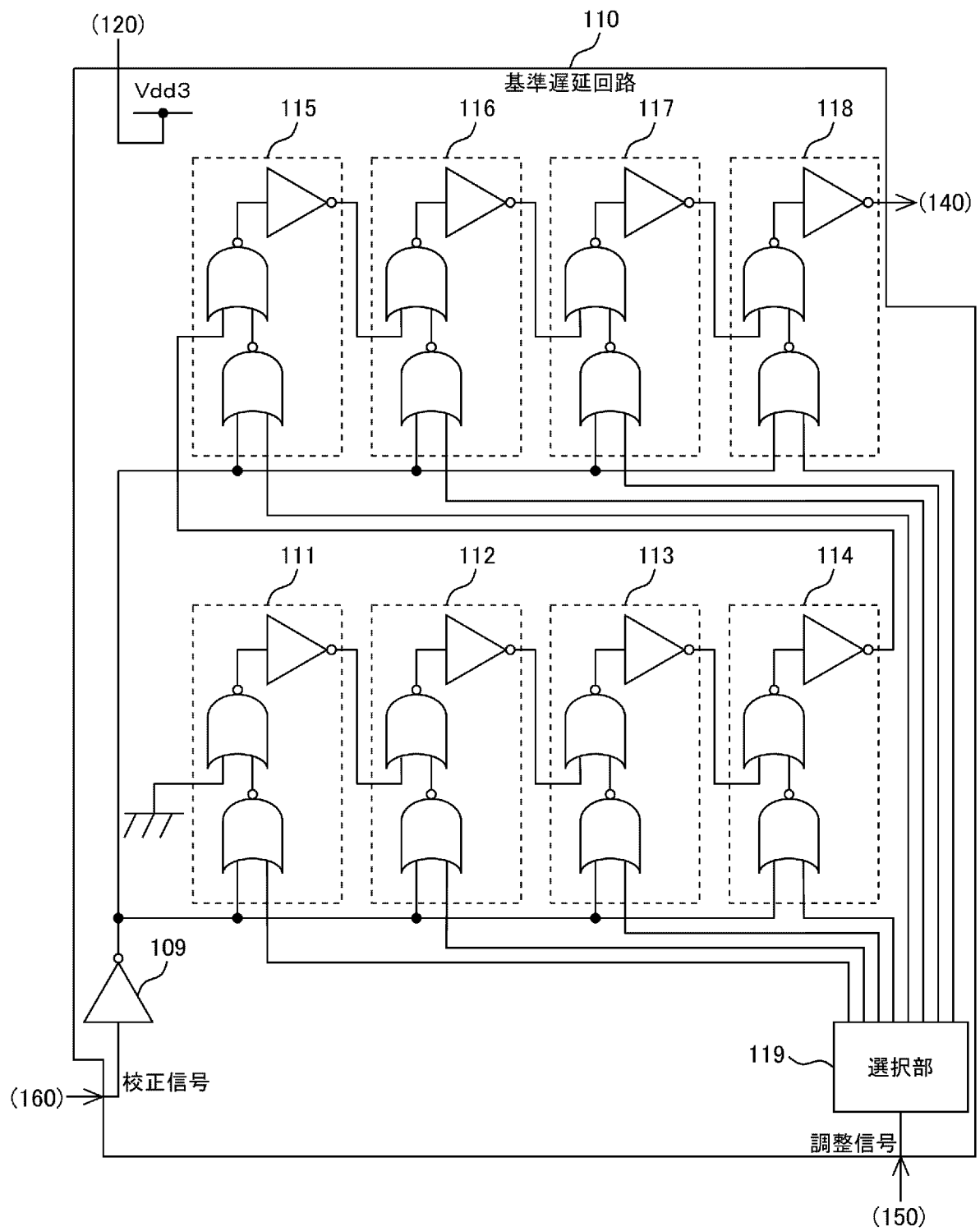
[図6]



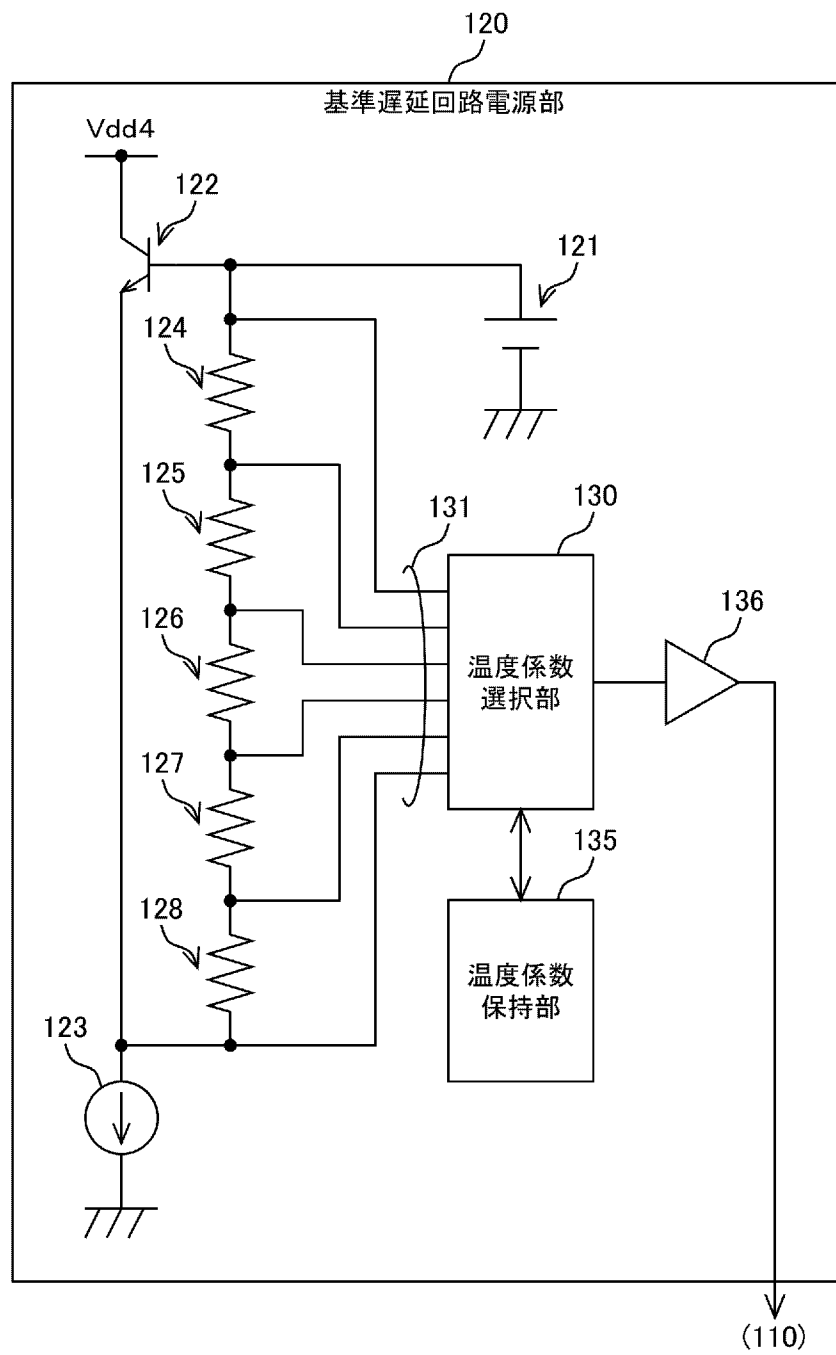
[図7]



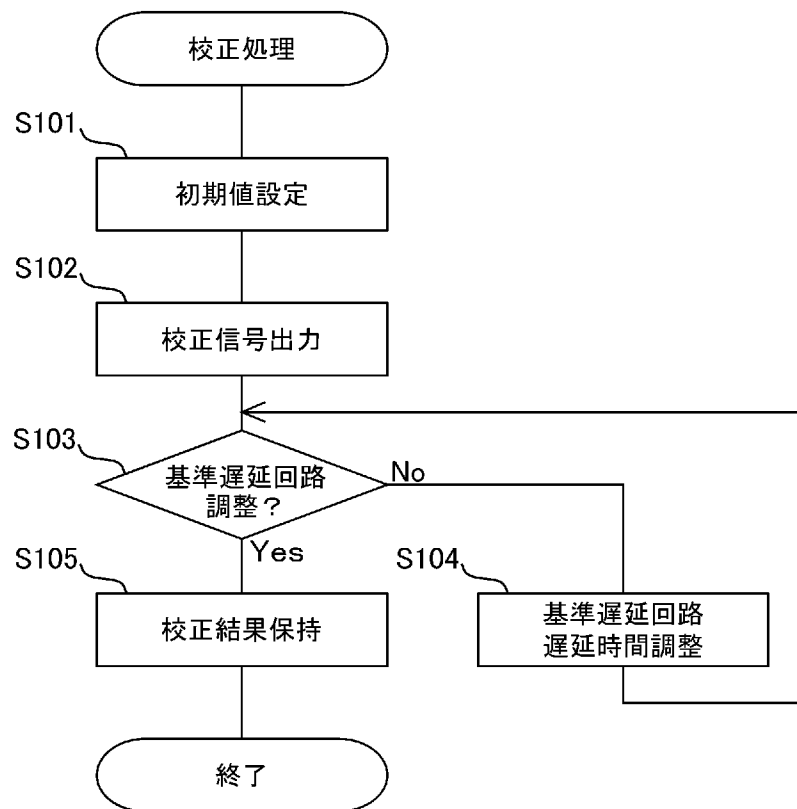
[図8]



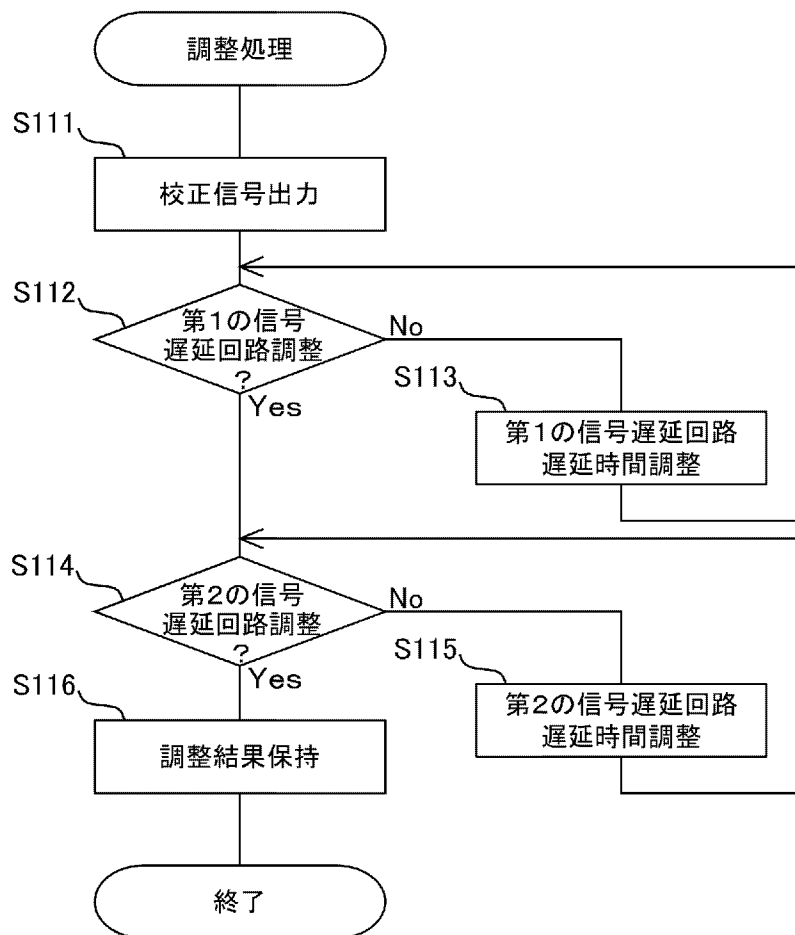
[図9]



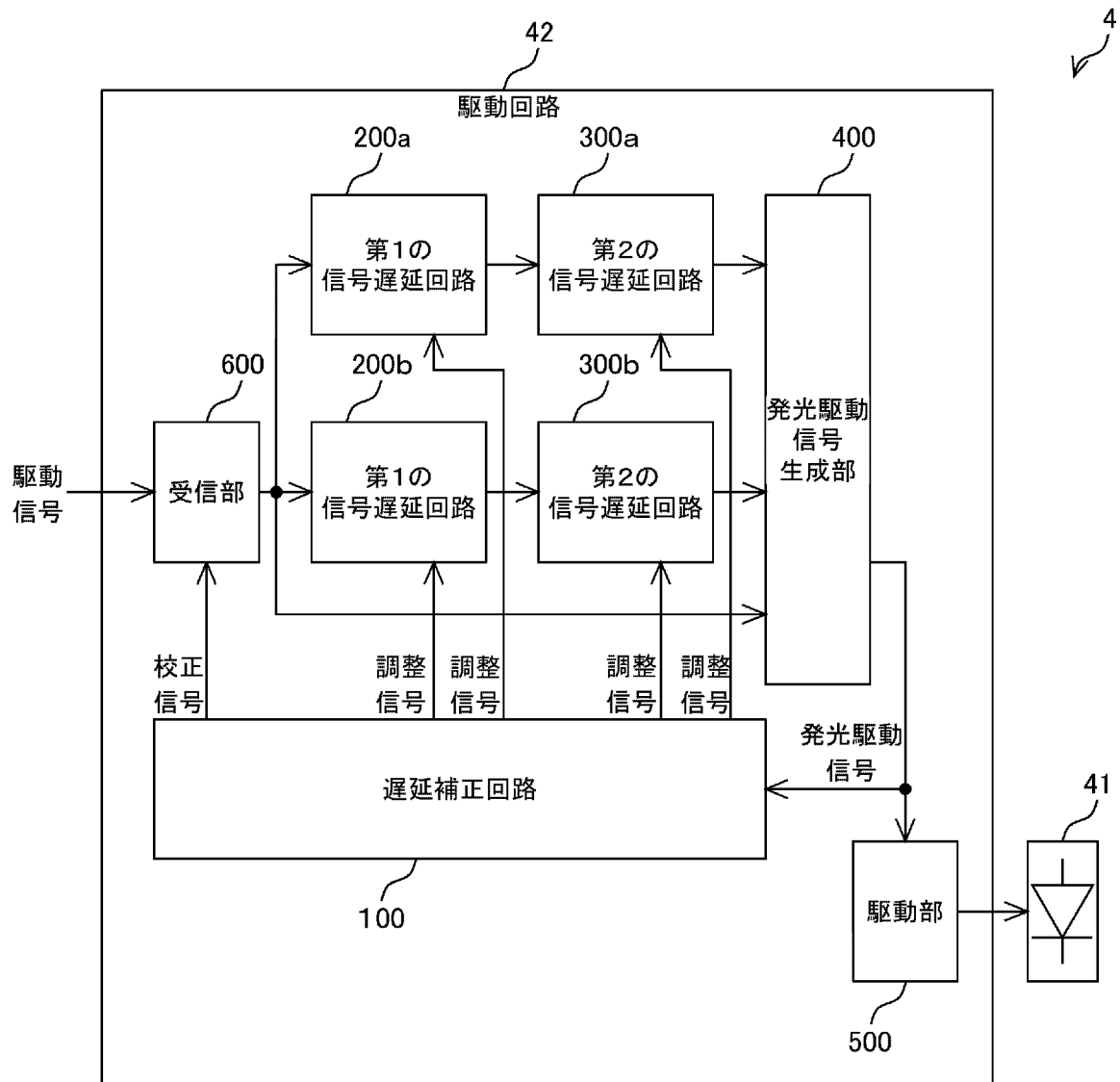
[図10]



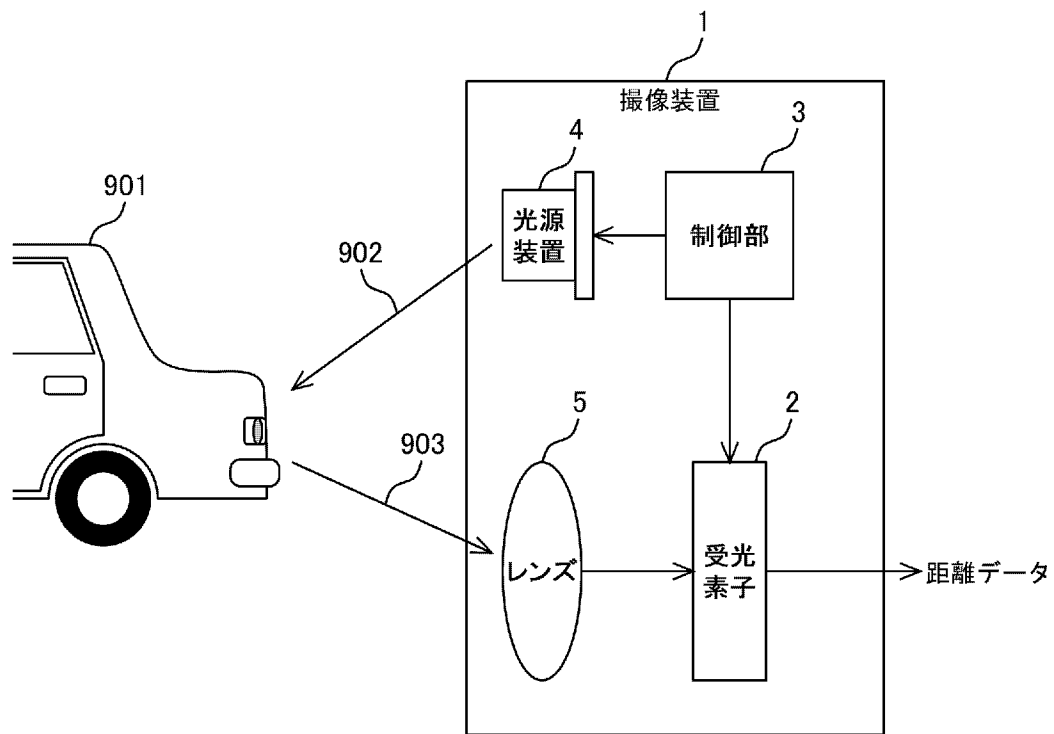
[図11]



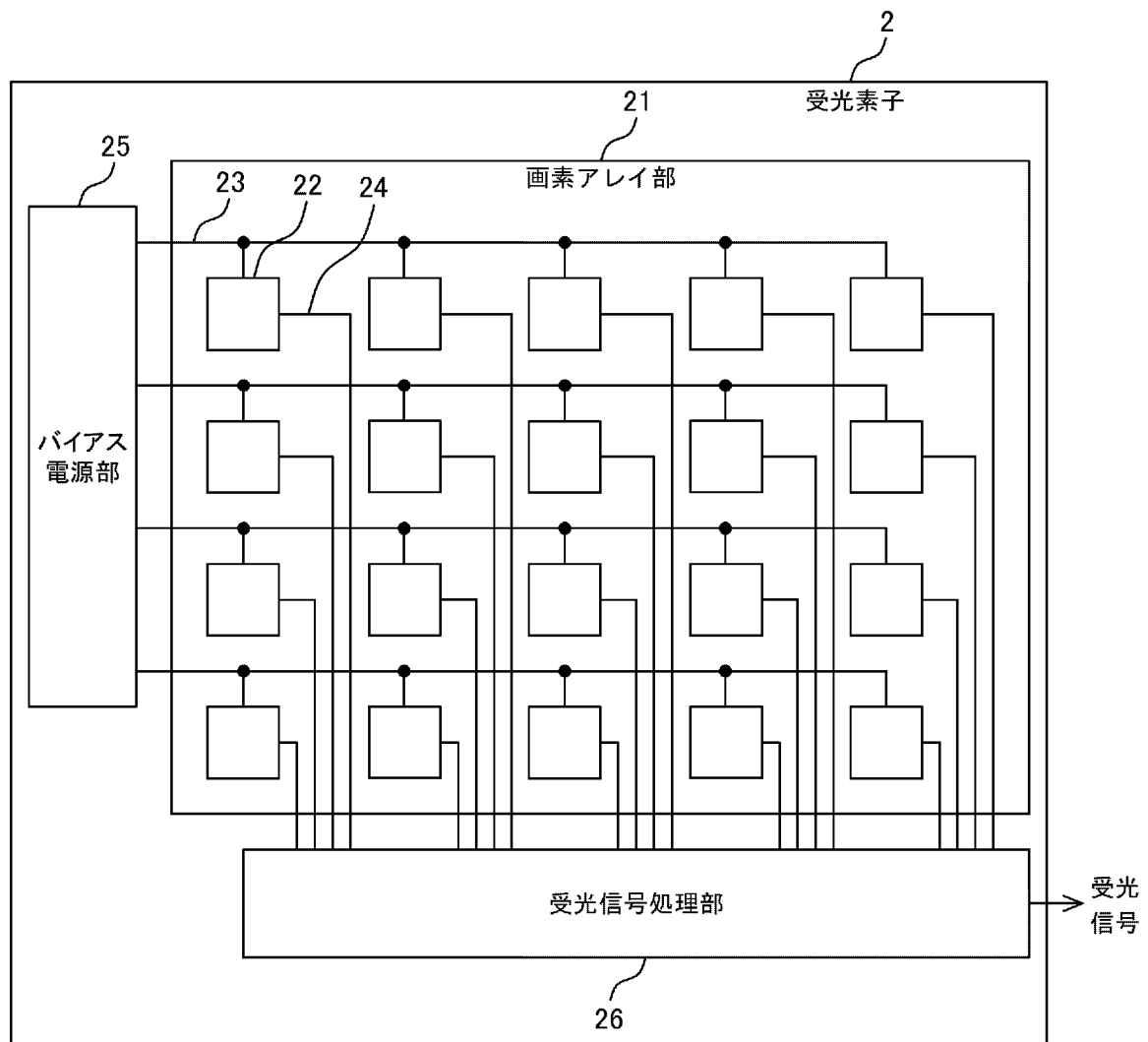
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/000834

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03K5/00 (2006.01) i, H03K5/26 (2006.01) i, G01S7/484 (2006.01) i
FI: H03K5/00 K, H03K5/26 Z, G01S7/484

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K5/00, H03K5/26, G01S7/484

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-195307 A (HONDA MOTOR CO., LTD.) 30	1, 5, 7, 10
Y	September 2013, paragraphs [0027]-[0077], fig. 1-	2, 6, 8
A	8, paragraphs [0027]-[0077], fig. 1-8, paragraphs [0027]-[0077], fig. 1-8	3-4, 9
Y	JP 2014-42314 A (NLT TECHNOLOGIES, LTD.) 06 March	2
A	2014, paragraphs [0027]-[0041], fig. 1-3, paragraphs [0027]-[0041], fig. 1-3	3-4, 9
Y	JP 2011-3088 A (PANASONIC CORP.) 06 January 2011,	6, 8
A	paragraphs [0019]-[0036], fig. 1, 2, paragraphs [0019]-[0036], fig. 1, 2	3, 4, 9
A	JP 2009-236657 A (PANASONIC ELECTRIC WORKS CO., LTD.) 15 October 2009, entire text, all drawings	3-4, 9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09.03.2021

Date of mailing of the international search report
23.03.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/000834

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-267111 A (NEC CORP.) 11 October 2007, entire text, all drawings	3-4, 9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/000834

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2013-195307 A	30.09.2013	US 2013/0278917 A1 paragraphs [0104]- [0147], fig. 1-8	
JP 2014-42314 A	06.03.2014	US 2009/0153214 A1 paragraphs [0089]- [0103], fig. 1-3	
JP 2011-3088 A	06.01.2011	CN 101447781 A US 2012/0069686 A1 paragraphs [0024]- [0041], fig. 1, 2	
JP 2009-236657 A	15.10.2009	CN 102804148 A (Family: none)	
JP 2007-267111 A	11.10.2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 5/00(2006.01)i; H03K 5/26(2006.01)i; G01S 7/484(2006.01)i FI: H03K5/00 K; H03K5/26 Z; G01S7/484														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H03K5/00; H03K5/26; G01S7/484														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2013-195307 A（本田技研工業株式会社）30.09.2013（2013-09-30） 段落[0027]-[0077], 図1-8	1, 5, 7, 10												
Y	段落[0027]-[0077], 図1-8	2, 6, 8												
A	段落[0027]-[0077], 図1-8	3-4, 9												
Y	JP 2014-42314 A（NLTテクノロジー株式会社）06.03.2014（2014-03-06） 段落[0027]-[0041], 図1-3	2												
A	段落[0027]-[0041], 図1-3	3-4, 9												
Y	JP 2011-3088 A（パナソニック株式会社）06.01.2011（2011-01-06） 段落[0019]-[0036], 図1-2	6, 8												
A	段落[0019]-[0036], 図1-2	3, 4, 9												
A	JP 2009-236657 A（パナソニック電気株式会社）15.10.2009（2009-10-15） 全文, 全図	3-4, 9												
A	JP 2007-267111 A（日本電気株式会社）11.10.2007（2007-10-11） 全文, 全図	3-4, 9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 09.03.2021	国際調査報告の発送日 23.03.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 渡井 高広 5W 1208 電話番号 03-3581-1101 内線 3576													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/000834

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-195307	A	30.09.2013	US 2013/0278917 A1 段落[0104]-[0147], FIG. 1-8	
JP	2014-42314	A	06.03.2014	US 2009/0153214 A1 段落[0089]-[0103], FIG. 1-3 CN 101447781 A	
JP	2011-3088	A	06.01.2011	US 2012/0069686 A1 段落[0024]-[0041], FIG1-2 CN 102804148 A	
JP	2009-236657	A	15.10.2009	(ファミリーなし)	
JP	2007-267111	A	11.10.2007	(ファミリーなし)	