



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202145231 A

(43)公開日：中華民國 110 (2021) 年 12 月 01 日

(21)申請案號：109133777

(22)申請日：中華民國 109 (2020) 年 09 月 29 日

(51)Int. Cl. : *G11C16/18 (2006.01)**G11C16/06 (2006.01)*

(30)優先權：2020/05/27 美國

63/030,912

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：李永駿 LI, YUNG-CHUN (TW)；王韋程 WANG, WEI-CHEN (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：11 共 46 頁

(54)名稱

記憶體裝置

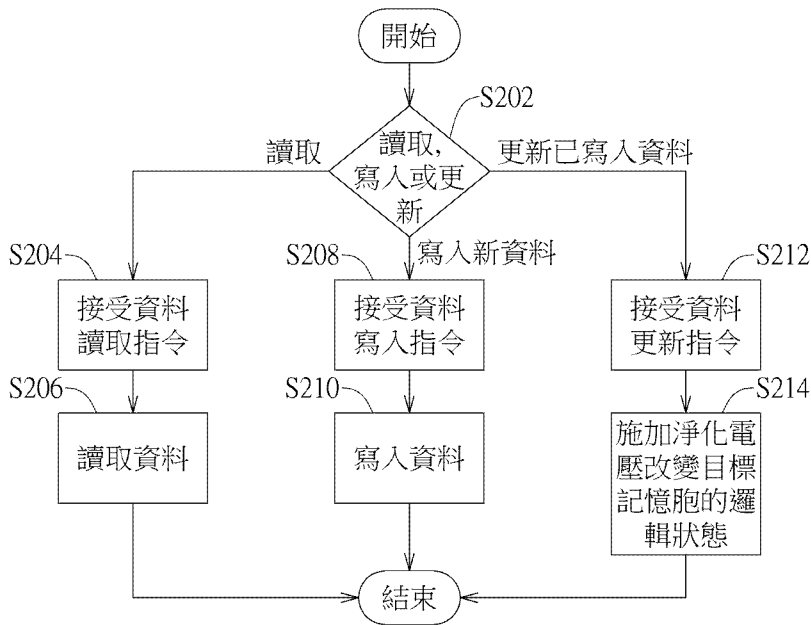
(57)摘要

一種記憶體裝置包括一記憶體陣列及一淨化單元。記憶體陣列包括複數個記憶體頁面，各記憶體頁面包括複數個記憶胞。淨化單元施加一第一讀取電壓及一第二讀取電壓，由目標記憶體頁面中找出欲淨化的至少一第一目標記憶胞及至少一第二目標記憶胞，施加一第一編程電壓至該至少一第一目標記憶胞，以改變至少一第一目標記憶胞的邏輯狀態至較高閾電壓的邏輯狀態，施加一第二編程電壓至該至少一第二目標記憶胞，以改變至少一第二目標記憶胞的邏輯狀態至較高閾電壓的邏輯狀態。

A memory apparatus includes a memory array and a sanitizer. The memory array includes a plurality of memory pages. Each of the memory pages includes a plurality of memory cells. The sanitizer is used for applying a first programming voltage to change the logical state of the first target memory cell to a logical state with a higher threshold voltage, and applying a second programming voltage to change the logical state of the second target memory cell to a logical state with a higher threshold voltage. The second programming voltage is different from the first programming voltage.

指定代表圖：

符號簡單說明：
S202~S214:流程步驟



第 2 圖



202145231

【發明摘要】

【中文發明名稱】 記憶體裝置

【英文發明名稱】 MEMORY APPARATUS

【中文】

一種記憶體裝置包括一記憶體陣列及一淨化單元。記憶體陣列包括複數個記憶體頁面，各記憶體頁面包括複數個記憶胞。淨化單元施加一第一讀取電壓及一第二讀取電壓，由目標記憶體頁面中找出欲淨化的至少一第一目標記憶胞及至少一第二目標記憶胞，施加一第一編程電壓至該至少一第一目標記憶胞，以改變至少一第一目標記憶胞的邏輯狀態至較高閾電壓的邏輯狀態，施加一第二編程電壓至該至少一第二目標記憶胞，以改變至少一第二目標記憶胞的邏輯狀態至較高閾電壓的邏輯狀態。

【英文】

A memory apparatus includes a memory array and a sanitizer. The memory array includes a plurality of memory pages. Each of the memory pages includes a plurality of memory cells. The sanitizer is used for applying a first programming voltage to change the logical state of the first target memory cell to a logical state with a higher threshold voltage, and applying a second programming voltage to change the logical state of the second target memory cell to a logical state with a higher threshold voltage. The second programming voltage is different from the first programming voltage.

【指定代表圖】 第 2 圖。

【代表圖之符號簡單說明】

S202～S214：流程步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 記憶體裝置

【英文發明名稱】 MEMORY APPARATUS

【技術領域】

【0001】 本發明是有關於一種記憶體裝置，且特別是有關於一種記憶體資料管理方法及使用其之記憶體裝置。

【先前技術】

【0002】 近年來，快閃記憶體逐漸取代傳統硬碟作為消費類電子產品中的儲存單元。與硬碟相比，快閃記憶體具有性能好、功耗低、抗衝擊以及體積小等優點。

【0003】 然而，快閃記憶體不同於傳統硬碟，快閃記憶體具有異區更新 (out-of-place update) 的特性，在抹除操作 (erase operation) 前，已寫入資料的資料頁 (page) 係無法重新寫入。當使用者要更新快閃記憶體中已寫入資料的資料頁上的資料時，需在快閃記憶體中找出一新的空白資料頁，將更新的資料寫入此新的空白資料頁，並讓原對應 (map) 已寫入資料的資料頁的邏輯位址重新對應至此新的空白資料頁，以完成資料更新。

【0004】 也就是說，在快閃記憶體中，當儲存資料需要更新時，檔案系統將會把新的複本寫入一個新的快閃記憶體區塊的資料頁，將檔案指標重新指向。由於快閃記憶體具有上述之特性，因此，在每次更新快閃記憶體的儲存資料後，便會在快閃記憶體中留下一個或多個資料複本。

【0005】 快閃記憶體的抹除指令 (erase command)無法針對單一存有這些資料複本的記憶體資料頁進行抹除，因此，駭客可以透過留在記憶體中的這些資料複本重建資料，造成資料安全風險。再者，若採用垃圾收集 (garbage collection) 後抹除存有這些資料複本的記憶體資料頁的記憶體區塊的方法，可能會縮短記憶體的生命週期，並影響記憶體的處理效能。因此，如何在資料更新後進行有效的資料清理係為目前業界努力的方向之一。

【發明內容】

【0006】 本發明係有關於一種記憶體資料管理方法及使用其之記憶體裝置，透過施加電壓改變記憶區塊中的記憶胞的邏輯狀態，改變記憶胞儲存的資料內容，使原被寫入資料無法被正確讀取，進而達到「刪除」資料的目的。此外，本發明可提高記憶體的資料安全性，避免駭客取得原寫入資料而重建資料，亦可減少抹除記憶體的記憶區塊的次數，提高記憶體的生命週期，且增加記憶體使用之效能。另外，本發明更可在讀取資料頁時，減少施加的讀取電壓，提高記憶體效能。

【0007】 根據本發明之一方面，提出一種記憶體資料管理方法。該記憶體包括複數個記憶體頁面，各記憶體頁面包括複數個記憶胞，各該記憶胞包括一第一儲存位元於高位元記憶頁、一第二儲存位元於中位元記憶頁及一第三儲存位元於低位元記憶頁，該些記憶胞包括閾電壓由低至高的一第一邏輯狀態、一第二邏輯狀態、一第三邏輯狀態、一第四邏輯狀態、一第五邏輯狀態、一第六邏輯狀態、一第七邏輯狀態及一第八邏輯狀態。該資料管理方法包括以下步驟。接收對應於一

邏輯位址的一資料更新指令，於接收該資料更新指令前，該邏輯位址對應 (map) 至其中一目標記憶體頁面的一實體位址。施加一第一讀取電壓及一第二讀取電壓，由該目標記憶體頁面中找出欲淨化的至少一第一目標記憶胞及至少一第二目標記憶胞；施加一第一編程電壓至該至少一第一目標記憶胞，以改變該至少一第一目標記憶胞的邏輯狀態至該第五、該第六、該第七及該第八邏輯狀態其中之一，施加一第二編程電壓至該至少一第二目標記憶胞，以改變該至少一第二目標記憶胞的邏輯狀態至該第五、該第六、該第七及該第八邏輯狀態其中之一，其中該第一編程電壓不同於該第二編程電壓。

【0008】 根據本發明之另一方面，提出一種記憶體裝置。記憶體裝置包括一記憶體陣列及一淨化單元。記憶體陣列包括複數個記憶體頁面，各該記憶體頁面包括複數個記憶胞，各該記憶胞包括一第一儲存位元於高位元記憶頁、一第二儲存位元於中位元記憶頁及一第三儲存位元於低位元記憶頁，該些記憶胞包括閥電壓由低至高的一第一邏輯狀態、一第二邏輯狀態、一第三邏輯狀態、一第四邏輯狀態、一第五邏輯狀態、一第六邏輯狀態、一第七邏輯狀態及一第八邏輯狀態。淨化單元接收對應於一邏輯位址的一資料更新指令，於接收該資料更新指令前，該邏輯位址對應至其中一目標記憶體頁面的一實體位址。淨化單元施加一第一讀取電壓及一第二讀取電壓，由該目標記憶體頁面中找出欲淨化的至少一第一目標記憶胞及至少一第二目標記憶胞，施加一第一編程電壓至該至少一第一目標記憶胞，以改變該至少一第一目標記憶胞的邏輯狀態至該第五、該第六、該第七及該第八邏輯狀

態其中之一，施加一第二編程電壓至該至少一第二目標記憶胞，以改變該至少一第二目標記憶胞的邏輯狀態至該第五、該第六、該第七及該第八邏輯狀態其中之一，其中該第一編程電壓不同於該第二編程電壓。

【0009】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

【圖式簡單說明】

【0010】

第1圖繪示依據本發明一實施例之一種記憶體系統之示意圖；

第2圖繪示依據本發明一實施例之一種記憶體資料管理方法之流程圖；

第3圖至第9圖分別繪示依據本發明一實施例之對三階記憶胞 (Triple-Level Cell, TLC) 施加淨化電壓操作的示意圖；

第10A-10C圖至第11A-11C圖分別繪示依據本發明一實施例之對三階記憶胞 (TLC) 施加淨化電壓操作的示意圖。

【實施方式】

【0011】 以下提出各種實施例進行詳細說明，然而，實施例僅用以作為範例說明，並不會限縮本發明欲保護之範圍。此外，實施例中的圖式省略部份元件，以清楚顯示本發明的技術特點。在所有圖式中相同的標號將用於表示相同或相似的元件。

【0012】 請同時參照第1圖及第2圖。第1圖繪示依據本發明一實施例之一種記憶體系統10之示意圖。第2圖繪示依據本發明一實施例

之一種記憶體資料管理方法之流程圖。記憶體系統10包括一主控制器 (host machine) 102、一淨化單元 (sanitizer) 104、一控制單元106及一記憶體陣列108。主控制器102可用以傳送讀取、寫入(編程)、抹除或資料更新指令至控制單元106。淨化單元104用以負責管理本發明之資料管理方法。記憶體陣列108例如是NAND快閃記憶體或任一形式的快閃記憶體或儲存裝置。記憶體陣列108可以包括複數個記憶區塊，各記憶區塊包括複數個記憶體頁面(資料頁)，各記憶體頁面包括複數個記憶胞。主控制器102、淨化單元104及控制單元106可以例如是藉由使用一晶片、晶片內的一電路區塊、一韌體電路、含有數個電子元件及導線的電路板或儲存複數組程式碼的一儲存媒體來實現，也可藉由電腦系統、嵌入式系統、手持式裝置、伺服器等電子裝置執行對應軟體、韌體或程式來實現。

【0013】 於步驟S202，控制單元106判斷主控制器102傳送的指令係為讀取資料、寫入新資料或是更新已寫入的資料。當主控制器102傳送的指令係為讀取資料，於步驟S204，控制單元106接收資料讀取指令，並於步驟S206，控制單元106讀取儲存於記憶體陣列108中的資料。

【0014】 當主控制器102傳送的指令係為寫入新資料，於步驟S208，控制單元106接收資料寫入指令，並於步驟S210，控制單元106對記憶體陣列108進行編程，將欲寫入的新資料寫入(編程)至記憶體陣列108。上述之新資料係指此資料未儲存於記憶體陣列108中，快閃記憶體轉換層 (Flash Translation Layer, FTL) 無法在記憶體陣列108

中找到對應此資料的記憶區塊。即此資料沒有任何的複本存於記憶體陣列108中。

【0015】 當主控制器102傳送的指令係為更新已寫入的資料，於步驟S212，控制單元106接收對應於一邏輯位址的資料更新指令，淨化單元104亦接收對應於此邏輯位址的資料更新指令以進行資料更新。由於快閃記憶體轉換層紀錄了已寫入資料所在的記憶體頁面的一實體位址與一邏輯位址的對應關係，於接收該資料更新指令前，該邏輯位址對應 (map) 至一實體位址。於步驟S214，將已寫入資料所在的記憶體頁面視為目標記憶體頁面，淨化單元104對記憶體陣列108施加一淨化電壓至目標記憶體頁面，改變目標記憶體頁面中的記憶胞之一目標記憶胞的邏輯狀態。藉由施加淨化電壓改變目標記憶體頁面中的記憶胞的邏輯狀態，再次編程記憶胞，進而改變記憶胞的資料，以達到相似於刪除資料的效果。如此，駭客無法藉由資料複本重建資料。於本發明中，「淨化」一詞表示藉由改變目標記憶體頁面中的記憶胞的邏輯狀態，再次編程目標記憶胞，以改變目標記憶胞中的資料，進而達到相似於「刪除」資料的效果。

【0016】 請參照第3圖至第9圖。第3圖至第9圖分別繪示依據本發明一實施例之對三階記憶胞 (Triple-Level Cell, MLC) 施加淨化電壓操作的示意圖。此外，第3圖至第9圖進一步說明施加淨化電壓改變一目標記憶體頁面中的至少一記憶胞的邏輯狀態的情況。

【0017】 第3圖至第9圖中的記憶區塊110、120、130、140、150、160、170具有相同的配置。上述各記憶區塊包括多條字元線 (word

line)，一條字元線可包括第一資料頁、第二資料頁以及第三資料頁。一個資料頁可包括一個以上的記憶胞。各記憶區塊中的記憶胞係為三階記憶胞，包括第一儲存位元、第二儲存位元以及第三儲存位元，可儲存三個位元的資料。在一條字元線中儲存三資料頁的資料相當於在相同的字元線上的記憶胞儲存3位元的資料。上述三階記憶胞包括閥電壓由低至高的第一邏輯狀態、第二邏輯狀態、第三邏輯狀態、第四邏輯狀態、第五邏輯狀態、第六邏輯狀態、第七邏輯狀態及第八邏輯狀態，也就是說，第一邏輯狀態的閥電壓小於第二邏輯狀態的閥電壓、第二邏輯狀態的閥電壓小於第三邏輯狀態的閥電壓，依此類推。舉例來說，第一邏輯狀態係為“111”、第二邏輯狀態係為“110”、第三邏輯狀態係為“100”、第四邏輯狀態係為“000”、第五邏輯狀態係為“010”、第六邏輯狀態係為“011”、第七邏輯狀態係為“001”及第八邏輯狀態係為“101”。舉例來說，第一資料頁係一高位元資料頁，第二資料頁係一中位元資料頁，第三資料頁係一低位元資料頁。上述記憶區塊的第一字元線包括高位元資料頁P1、中位元資料頁P3及低位元資料頁P6，第二字元線包括高位元資料頁P2、中位元資料頁P5及低位元資料頁P9，第三字元線包括高位元資料頁P4、中位元資料頁P8及低位元資料頁P12，第四字元線包括高位元資料頁P7、中位元資料頁P11及低位元資料頁P14，第五字元線包括高位元資料頁P10、中位元資料頁P13及低位元資料頁P15。應當理解的是，為簡化圖式，記憶區塊110、120、130、140、150、160、170僅繪示部份的資料頁。

【0018】 請參照第3圖。在本實施例中，記憶區塊110係為「淨化」前的一記憶區塊，記憶區塊110'係為記憶區塊110被「淨化」後的記憶區塊。記憶區塊110之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8及低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0019】 第3圖之記憶胞電壓分佈111表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」低位元資料頁P9，但保留高位元資料頁P2及中位元資料P5的資料，淨化單元104將施加第二讀取電壓 V_{R2} 、第三讀取電壓 V_{R3} 及第四讀取電壓 V_{R4} ，找出位於第三邏輯狀態（“100”）的第一目標記憶胞及位於第四邏輯狀態（“000”）的第二目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一第一編程電壓，使第一目標記憶胞的邏輯狀態由第三邏輯狀態（“100”）改變為較高閾電壓的第八邏輯狀態（“10X”），並增量步階脈衝程式化的方式施加一第二編程電壓，使第二目標記憶胞的邏輯狀態由第四邏輯狀態（“000”）改變為較高閾電壓的第七邏輯狀態（“00X”）。因為第一目標記憶胞被施加程式化擊發，第一目標記憶胞的邏輯狀態被編程至較高的閾電壓（邏輯狀態向右移動），高於第五讀取電壓 V_{R5} ，低位元資料頁P9的記憶胞的資料已經由0改變為1，無法再以第五讀取電壓 V_{R5} 正確的讀取出低位元資料頁的記憶胞的資料。此外，因為第二目標記憶胞被施加程

式化擊發，第二目標記憶胞的邏輯狀態被編程至較高的閾電壓（邏輯狀態向右移動），高於第五讀取電壓 V_{R5} ，低位元資料頁P9的記憶胞的資料已經由0改變為1，無法再以第五讀取電壓 V_{R5} 正確的讀取出低位元資料頁的記憶胞的資料。其中，第五讀取電壓 V_{R5} 大於第二讀取電壓 V_{R2} 及第四讀取電壓 V_{R4} 。

【0020】 然而，對高位元資料頁P2及中位元資料頁P5來說，高位元資料頁P2及中位元資料頁P5的記憶胞的資料仍係為1，高位元資料頁P2及中位元資料頁P5的記憶胞的資料並未被改變，仍可以讀取電壓 V_{R3} 及讀取電壓 V_{R7} 正確的讀取高位元資料頁P2的記憶胞的資料，並以讀取電壓 V_{R6} 正確的讀取中位元資料頁P5的記憶胞的資料。如此，可「刪除」低位元資料頁P9的寫入資料，同時保留高位元資料頁P2及中位元資料頁P5的寫入資料。

【0021】 第3圖之記憶胞電壓分佈111'表示在第二字元線的低位元資料頁P9被「淨化」且保留高位元資料頁P2及中位元資料頁P5的寫入資料後，第二字元線的高位元資料頁P2及中位元資料頁P5的記憶胞的電壓分佈。記憶區塊110'表示低位元資料頁P9被「淨化」且保留高位元資料頁P2及中位元資料頁P5的寫入資料的記憶區塊，低位元資料頁P9被標示X表示其資料已經無法被正確讀取，相當於原寫入在低位元資料頁P9的資料已經被刪除。

【0022】 在本實施例中，在「淨化」低位元資料頁P9後，僅須施加讀取電壓 V_{R6} ，便可讀取中位元資料頁P5的資料，與須施加第二讀取電壓 V_{R2} 、第四讀取電壓 V_{R4} 及第六讀取電壓 V_{R6} 以讀取中位元資料

頁P5的資料的常規方法相比，本發明可提高記憶體的讀取效能。其中，讀取電壓 V_{R6} 大於讀取電壓 V_{R4} 。

【0023】 請參照第4圖。在本實施例中，記憶區塊120係為「淨化」前的一記憶區塊，記憶區塊120'係為記憶區塊120被「淨化」後的記憶區塊。記憶區塊120之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8、低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0024】 第4圖之記憶胞電壓分佈121表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」中位元資料頁P5，但保留高位元資料頁P2及低位元資料頁P9的資料，淨化單元104施加第一讀取電壓 V_{R1} 、第三讀取電壓 V_{R3} 、第四讀取電壓 V_{R4} ，找出位於第一邏輯狀態（“111”）的第一目標記憶胞及位於第四邏輯狀態（“000”）的第二目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一第一編程電壓，使第一目標記憶胞的邏輯狀態由第一邏輯狀態（“111”）改變為較高閾電壓的第八邏輯狀態（“1X1”），並施加一第二編程電壓，使第二目標記憶胞的邏輯狀態由第四邏輯狀態（“000”）改變為較高閾電壓的第五邏輯狀態（“0X0”）。因為第一目標記憶胞被施加程式化擊發，第一目標記憶胞的邏輯狀態被編程至較高的閾電壓（邏輯狀態向右移動），高於第二讀取電壓 V_{R2} ，中位元資料頁P5的記憶胞的資料已經由1改變為0，

無法再以第二讀取電壓 V_{R2} 正確的讀取出中位元資料頁的記憶胞的資料。此外，因為第二目標記憶胞被施加程式化擊發，第二目標記憶胞的邏輯狀態被編程至較高的閥電壓（邏輯狀態向右移動），高於第四讀取電壓 V_{R4} ，中位元資料頁P5的記憶胞的資料已經由0改變為1，無法再以第四讀取電壓 V_{R4} 正確的讀取出中位元資料頁的記憶胞的資料。其中，第四讀取電壓 V_{R4} 大於第二讀取電壓 V_{R2} 。

【0025】 然而，對高位元資料頁P2及低位元資料頁P9來說，高位元資料頁P2及低位元資料頁P9的記憶胞的資料仍係為1，高位元資料頁P2及低位元資料頁P9的記憶胞的資料並未被改變，仍可以讀取電壓 V_{R3} 及讀取電壓 V_{R7} 正確的讀取高位元資料頁P2的記憶胞的資料，並以讀取電壓 V_{R5} 正確的讀取低位元資料頁P9的記憶胞的資料。如此，可「刪除」中位元資料頁P5的寫入資料，同時保留高位元資料頁P2的寫入資料。

【0026】 第4圖之記憶胞電壓分佈121'表示在第二字元線的中位元資料頁P5被「淨化」且保留高位元資料頁P2及低位元資料頁P9的寫入資料後，第二字元線的高位元資料頁P2及低位元資料頁P9的記憶胞的電壓分佈。記憶區塊120'表示中位元資料頁P5被「淨化」且保留高位元資料頁P2及低位元資料頁P9的寫入資料的記憶區塊，中位元資料頁P5被標示X表示其資料已經無法被正確讀取，相當於原寫入在中位元資料頁P5的資料已經被刪除。

【0027】 在本實施例中，在「淨化」中位元資料頁P5後，僅須施加讀取電壓 V_{R5} ，便可讀取低位元資料頁P9的資料，與須施加第一讀

取電壓 V_{R1} 及第五讀取電壓 V_{R5} 以讀取低位元資料頁P9的資料的常規方法相比，本發明可提高記憶體的讀取效能。其中，第五讀取電壓 V_{R5} 大於第一讀取電壓 V_{R1} 。

【0028】 請參照第5圖。在本實施例中，記憶區塊130係為「淨化」前的一記憶區塊，記憶區塊130'係為記憶區塊130被「淨化」後的記憶區塊。記憶區塊130之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8及低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0029】 第5圖之記憶胞電壓分佈131表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」高位元資料頁P2，但保留中位元資料頁P5及低位元資料頁P9的資料，淨化單元104將施加第一讀取電壓 V_{R1} 及第二讀取電壓 V_{R2} ，找出位於第一邏輯狀態（“111”）的第一目標記憶胞及位於第二邏輯狀態（“110”）的第二目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一第一編程電壓，使第一目標記憶胞的邏輯狀態由第一邏輯狀態（“111”）改變為較高閾電壓的第六邏輯狀態（“X11”），並施加一第二編程電壓，使第二目標記憶胞的邏輯狀態由第二邏輯狀態（“110”）改變為較高閾電壓的第五邏輯狀態（“X10”）。因為第一目標記憶胞被施加程式化擊發，第一目標記憶胞的邏輯狀態被編程至較高的閾電壓（邏輯狀態向右移動），高於第三讀

取電壓 V_{R3} ，高位元資料頁P2的記憶胞的資料已經由1改變為0，無法再以第三讀取電壓 V_{R3} 正確的讀取出高位元資料頁的記憶胞的資料。此外，因為第二目標記憶胞被施加程式化擊發，第二目標記憶胞的邏輯狀態被編程至較高的閾電壓（邏輯狀態向右移動），高於第三讀取電壓 V_{R3} ，高位元資料頁P2的記憶胞的資料已經由1改變為0，無法再以第三讀取電壓 V_{R3} 正確的讀取出高位元資料頁的記憶胞的資料。

【0030】 然而，對中位元資料頁P5及低位元資料頁P9來說，中位元資料頁P5及低位元資料頁P9的記憶胞的資料仍係為1，中位元資料頁P5及低位元資料頁P9的記憶胞的資料並未被改變，仍可以讀取電壓 V_{R4} 及讀取電壓 V_{R6} 正確的讀取中位元資料頁P5的記憶胞的資料，並以讀取電壓 V_{R5} 正確的讀取低位元資料頁P9的記憶胞的資料。如此，可「刪除」高位元資料頁P2的寫入資料，同時保留中位元資料頁P5及低位元資料頁P9的寫入資料。

【0031】 第5圖之記憶胞電壓分佈131'表示在第二字元線的高位元資料頁P2被「淨化」且保留中位元資料頁P5及低位元資料頁P9的寫入資料後，第二字元線的中位元資料頁P5及低位元資料頁P9的記憶胞的電壓分佈。記憶區塊130'表示高位元資料頁P2被「淨化」且保留中位元資料頁P5及低位元資料頁P9的寫入資料的記憶區塊，高位元資料頁P2被標示X表示其資料已經無法被正確讀取，相當於原寫入在高位元資料頁P2的資料已經被刪除。

【0032】 在本實施例中，在「淨化」高位元資料頁P2後，僅須施加讀取電壓 V_{R4} 及讀取電壓 V_{R6} ，便可讀取中位元資料頁P5的資料，與

須施加第二讀取電壓 V_{R2} 、第四讀取電壓 V_{R4} 及第六讀取電壓 V_{R6} 以讀取中位元資料頁P5的資料的常規方法相比，本發明可提高記憶體的讀取效能。同時，在「淨化」高位元資料頁P2後，僅須施加讀取電壓 V_{R5} ，便可讀取低位元資料頁P9的資料，與須施加第一讀取電壓 V_{R1} 及第五讀取電壓 V_{R5} 以讀取低位元資料頁P9的資料的常規方法相比，本發明可提高記憶體的讀取效能。其中，第六讀取電壓 V_{R6} 大於第五讀取電壓 V_{R5} ，第五讀取電壓 V_{R5} 大於第四讀取電壓 V_{R4} 。

【0033】 請參照第6圖。在本實施例中，記憶區塊140係為「淨化」前的一記憶區塊，記憶區塊140'係為記憶區塊140被「淨化」後的記憶區塊。記憶區塊140之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8及低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0034】 第6圖之記憶胞電壓分佈141表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」中位元資料頁P5及低位元資料頁P9，但保留高位元資料頁P2的資料，淨化單元104將施加第三讀取電壓 V_{R3} 及第四讀取電壓 V_{R4} ，找出位於第一邏輯狀態（“111”）、第二邏輯狀態（“110”）及第三邏輯狀態（“100”）的三個第一目標記憶胞及位於第四邏輯狀態（“000”）的第二目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一第一編程電壓，使三個第一目標記憶胞的邏

輯狀態由第一邏輯狀態 (“111”)、第二邏輯狀態 (“110”)及第三邏輯狀態 (“100”) 改變為較高閾電壓的第八邏輯狀態 (“1XX”)，並施加一第二編程電壓，使第二目標記憶胞的邏輯狀態由第四邏輯狀態 (“000”) 改變為較高閾電壓的第五邏輯狀態 (“0XX”)、第六邏輯狀態 (“0XX”) 或第七邏輯狀態 (“0XX”)。因為三個第一目標記憶胞被施加程式化擊發，三個第一目標記憶胞的邏輯狀態被編程至較高的閾電壓 (邏輯狀態向右移動)，高於第三讀取電壓 V_{R5} ，低位元資料頁 P9 的記憶胞的資料已經由 0 改變為 1，無法再以第一讀取電壓 V_{R1} 及第五讀取電壓 V_{R5} 正確的讀取出低位元資料頁的記憶胞的資料。此外，因為第二目標記憶胞被施加程式化擊發，第二目標記憶胞的邏輯狀態被編程至較高的閾電壓 (邏輯狀態向右移動)，高於第四讀取電壓 V_{R4} ，中位元資料頁 P5 的記憶胞的資料已經由 0 改變為 1，無法再以第四讀取電壓 V_{R4} 正確的讀取出中位元資料頁的記憶胞的資料。其中，第四讀取電壓 V_{R4} 大於第一讀取電壓 V_{R1} 。

【0035】 然而，對高位元資料頁 P2 來說，高位元資料頁 P2 的記憶胞的資料仍係為 1，高位元資料頁 P2 的記憶胞的資料並未被改變，仍可以讀取電壓 V_{R7} 正確的讀取高位元資料頁 P2 的記憶胞的資料。如此，可「刪除」中位元資料頁 P5 及低位元資料頁 P9 的寫入資料，同時保留高位元資料頁 P2 的寫入資料。

【0036】 第 6 圖之記憶胞電壓分佈 141' 表示在第二字元線的中位元資料頁 P5 及低位元資料頁 P9 被「淨化」且保留高位元資料頁 P2 的寫入資料後，第二字元線的高位元資料頁 P2 的記憶胞的電壓分佈。記憶

區塊140'表示中位元資料頁P5及低位元資料頁P9被「淨化」且保留高位元資料頁P2的寫入資料的記憶區塊，中位元資料頁P5及低位元資料頁P9被標示X表示其資料已經無法被正確讀取，相當於原寫入在中位元資料頁P5及低位元資料頁P9的資料已經被刪除。

【0037】 在本實施例中，在「淨化」中位元資料頁P5及低位元資料頁P9後，僅須施加讀取電壓 V_{R7} ，便可讀取高位元資料頁P2的資料，與須施加第三讀取電壓 V_{R3} 及第七讀取電壓 V_{R7} 以讀取高位元資料頁P2的資料的常規方法相比，本發明可提高記憶體的讀取效能。其中，第七讀取電壓 V_{R7} 大於第三讀取電壓 V_{R3} 。

【0038】 請參照第7圖。在本實施例中，記憶區塊150係為「淨化」前的一記憶區塊，記憶區塊150'係為記憶區塊150被「淨化」後的記憶區塊。記憶區塊150之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8及低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0039】 第7圖之記憶胞電壓分佈151表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」高位元資料頁P2及低位元資料頁P9，但保留中位元資料頁P5的資料，淨化單元104將施加第二讀取電壓 V_{R2} 及第四讀取電壓 V_{R4} ，找出位於第一邏輯狀態（“111”）及第二邏輯狀態（“110”）的二個第一目標記憶胞及位於第三邏輯狀態（“100”）及第四邏輯狀態

(“000”)的二個第二目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一第一編程電壓，使二個第一目標記憶胞的邏輯狀態由第一邏輯狀態 (“111”)及第二邏輯狀態 (“110”)改變為較高閥電壓的第五邏輯狀態 (“X1X”)，並施加一編程電壓，使二個第二目標記憶胞的邏輯狀態由第三邏輯狀態 (“100”)及第四邏輯狀態 (“000”) 改變為較高閥電壓的第七邏輯狀態 (“X0X”)。因為二個第一目標記憶胞被施加程式化擊發，二個第一目標記憶胞的邏輯狀態被編程至較高的閥電壓 (邏輯狀態向右移動)，高於第三讀取電壓 V_{R3} ，高位元資料頁P2的記憶胞的資料已經由1改變為0，無法再以第三讀取電壓 V_{R3} 正確的讀取出高位元資料頁的記憶胞的資料。此外，因為第二目標記憶胞被施加程式化擊發，第二目標記憶胞的邏輯狀態被編程至較高的閥電壓 (邏輯狀態向右移動)，高於第五讀取電壓 V_{R5} ，低位元資料頁P9的記憶胞的資料已經由0改變為1，無法再以第五讀取電壓 V_{R5} 正確的讀取出低位元資料頁的記憶胞的資料。其中，第五讀取電壓 V_{R5} 大於第三讀取電壓 V_{R3} 。

【0040】 然而，對中位元資料頁P5來說，中位元資料頁P5的記憶胞的資料仍係為1，中位元資料頁P5的記憶胞的資料並未被改變，仍可以讀取電壓 V_{R6} 正確的讀取中位元資料頁P5的記憶胞的資料。如此，可「刪除」高位元資料頁P2及低位元資料頁P9的寫入資料，同時保留中位元資料頁P5的寫入資料。

【0041】 第7圖之記憶胞電壓分佈151'表示在第二字元線的高位元資料頁P2及低位元資料頁P9被「淨化」且保留中位元資料頁P5的寫

入資料後，第二字元線的中位元資料頁P5的記憶胞的電壓分佈。記憶區塊150'表示高位元資料頁P2及低位元資料頁P9被「淨化」且保留中位元資料頁P5的寫入資料的記憶區塊，高位元資料頁P2及低位元資料頁P9被標示X表示其資料已經無法被正確讀取，相當於原寫入在高位元資料頁P2及低位元資料頁P9的資料已經被刪除。

【0042】 在本實施例中，在「淨化」高位元資料頁P2及低位元資料頁P9後，僅須施加讀取電壓 V_{R6} ，便可讀取中位元資料頁P5的資料，與須施加第二讀取電壓 V_{R2} 、第四讀取電壓 V_{R4} 及第六讀取電壓 V_{R6} 以讀取中位元資料頁P5的資料的常規方法相比，本發明可提高記憶體的讀取效能。其中，第六讀取電壓 V_{R6} 大於第二讀取電壓 V_{R2} 及第四讀取電壓 V_{R4} 。

【0043】 請參照第8圖。在本實施例中，記憶區塊160係為「淨化」前的一記憶區塊，記憶區塊160'係為記憶區塊160被「淨化」後的記憶區塊。記憶區塊160之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8及低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0044】 第8圖之記憶胞電壓分佈161表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」高位元資料頁P2及中位元資料頁P5，但保留低位元資料頁P9的資料，淨化單元104將施加第一讀取電壓 V_{R1} 及第四讀取電壓

V_{R4} ，找出位於第一邏輯狀態 (“111”) 的第一目標記憶胞以及位於及第二邏輯狀態 (“110”)、第三邏輯狀態 (“100”) 及第四邏輯狀態 (“000”) 的三個第二目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一第一編程電壓，使第一目標記憶胞的邏輯狀態由第一邏輯狀態 (“111”) 改變為較高閥電壓的第六邏輯狀態 (“XX1”)，並施加一第二編程電壓，使第二目標記憶胞的邏輯狀態由第二邏輯狀態 (“110”)、第三邏輯狀態 (“100”) 及第四邏輯狀態 (“000”) 改變為較高閥電壓的第五邏輯狀態 (“XX0”)。因為第一目標記憶胞被施加程式化擊發，第一目標記憶胞的邏輯狀態被編程至較高的閥電壓 (邏輯狀態向右移動)，高於第三讀取電壓 V_{R3} ，高位元資料頁 P2 的記憶胞的資料已經由 1 改變為 0，無法再以第三讀取電壓 V_{R3} 正確的讀取出高位元資料頁的記憶胞的資料。此外，因為第二目標記憶胞被施加程式化擊發，第二目標記憶胞的邏輯狀態被編程至較高的閥電壓 (邏輯狀態向右移動)，高於第四讀取電壓 V_{R4} ，中位元資料頁 P5 的記憶胞的資料已經由 0 改變為 1，無法再以第四讀取電壓 V_{R4} 正確的讀取出中位元資料頁的記憶胞的資料。其中，第四讀取電壓 V_{R4} 大於第三讀取電壓 V_{R3} 。

【0045】 然而，對低位元資料頁 P9 來說，低位元資料頁 P9 的記憶胞的資料仍係為 1，低位元資料頁 P9 的記憶胞的資料並未被改變，仍可以讀取電壓 V_{R5} 正確的讀取低位元資料頁 P9 的記憶胞的資料。如此，可「刪除」高位元資料頁 P2 及中位元資料頁 P5 的寫入資料，同時保留低位元資料頁 P9 的寫入資料。

【0046】 第8圖之記憶胞電壓分佈161'表示在第二字元線的高位元資料頁P2及中位元資料頁P5被「淨化」且保留低位元資料頁P9的寫入資料後，第二字元線的低位元資料頁P9的記憶胞的電壓分佈。記憶區塊160'表示高位元資料頁P2及中位元資料頁P5被「淨化」且保留低位元資料頁P9的寫入資料的記憶區塊，高位元資料頁P2及中位元資料頁P5被標示X表示其資料已經無法被正確讀取，相當於原寫入在高位元資料頁P2及中位元資料頁P5的資料已經被刪除。

【0047】 在本實施例中，在「淨化」高位元資料頁P2及中位元資料頁P5後，僅須施加讀取電壓 V_{R5} ，便可讀取低位元資料頁P9的資料，與須施加第一讀取電壓 V_{R1} 及第五讀取電壓 V_{R5} 以讀取低位元資料頁P9的資料的常規方法相比，本發明可提高記憶體的讀取效能。其中，第五讀取電壓 V_{R5} 大於第一讀取電壓 V_{R1} 。

【0048】 請參照第9圖。在本實施例中，記憶區塊170係為「淨化」前的一記憶區塊，記憶區塊170'係為記憶區塊170被「淨化」後的記憶區塊。記憶區塊170之高位元資料頁P1、中位元資料頁P3、低位元資料頁P6、高位元資料頁P2、中位元資料頁P5、低位元資料頁P9、高位元資料頁P4、中位元資料頁P8及低位元資料頁P12已被寫入資料，而高位元資料頁P7、中位元資料頁P11、低位元資料頁P14、高位元資料頁P10、中位元資料頁P13及低位元資料頁P15尚未被寫入資料。

【0049】 第9圖之記憶胞電壓分佈171表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。此時，若欲「淨化」高位元資料頁P2、中位元資料頁P5及低位元資料頁P9，

淨化單元104將施加第四讀取電壓 V_{R4} ，找出位於第一邏輯狀態 (“111”)、第二邏輯狀態 (“110”)、第三邏輯狀態 (“100”)及第四邏輯狀態 (“000”)的四個目標記憶胞。隨後，施加一程式化擊發，以增量步階脈衝程式化的方式施加一編程電壓，使位於第一邏輯狀態 (“111”)的目標記憶胞的邏輯狀態由第一邏輯狀態 (“111”)改變為較高閾電壓的邏輯狀態 (“0”)，使位於第二邏輯狀態 (“110”)的第一目標記憶胞的邏輯狀態由第二邏輯狀態 (“110”)改變為較高閾電壓的邏輯狀態 (“0”)，使位於第三邏輯狀態 (“100”)的目標記憶胞的邏輯狀態由第三邏輯狀態 (“100”)改變為較高閾電壓的邏輯狀態 (“0”)，亦使位於第四邏輯狀態 (“000”)的目標記憶胞的邏輯狀態由第四邏輯狀態 (“000”)改變為較高閾電壓的邏輯狀態 (“0”)。因為四個目標記憶胞被施加程式化擊發，目標記憶胞的邏輯狀態被編程至較高的閾電壓（邏輯狀態向右移動），高於第四讀取電壓 V_{R4} ，高位元資料頁P2、中位元資料頁P5及低位元資料頁P9的記憶胞的資料已經由1改變為0，無法再以第四讀取電壓 V_{R4} 正確的讀取出高位元資料頁、中位元資料頁及低位元資料頁的記憶胞的資料。如此，可「刪除」高位元資料頁P2、中位元資料頁P5及低位元資料頁P9的寫入資料。

【0050】 第9圖之記憶胞電壓分佈171'表示在第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9被「淨化」後，第二字元線的記憶胞的電壓分佈。記憶區塊170'表示高位元資料頁P2、中位元資料頁P5及低位元資料頁P9被「淨化」的記憶區塊，高位元資料頁P2、中位元資料頁P5及低位元資料頁P9被標示X表示其資料已經無

法被正確讀取，相當於原寫入在高位元資料頁P2、中位元資料頁P5及低位元資料頁P9的資料已經被刪除。

【0051】 請參照第10A至10C圖。在本實施例中，第10A圖之記憶胞電壓分佈181表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。第10B圖之記憶胞電壓分佈181'表示在第二字元線的低位元資料頁P9被「淨化」且保留高位元資料頁P2以及中位元資料頁P5的寫入資料後，第二字元線的記憶胞的高位元資料頁P2及中位元資料頁P5的電壓分佈。第10C圖之記憶胞電壓分佈181''表示在第二字元線的低位元資料頁P9被「淨化」後，繼續對中位元資料頁P5「淨化」且保留高位元資料頁P2的寫入資料後，第二字元線的記憶胞的高位元資料頁P2的電壓分佈。在第10B圖中，若欲「淨化」低位元資料頁P9，但保留高位元資料頁P2及中位元資料頁P5的資料，淨化單元104將施加第二讀取電壓 V_{R2} 、第三讀取電壓 V_{R3} 以及第四讀取電壓 V_{R4} ，找出位於第三邏輯狀態（“100”）以及位於第四邏輯狀態（“000”）的兩個第一目標記憶胞與位於第一邏輯狀態（“111”）以及第二邏輯狀態（“110”）的兩個第二目標記憶胞。隨後，以增量步階脈衝程式化方式施加一第一編程電壓使第三邏輯狀態（“100”）的記憶胞的邏輯狀態由第三邏輯狀態（“100”）改變為較高閾電壓的第八邏輯狀態（“10X”），亦使第四邏輯狀態（“000”）的記憶胞的邏輯狀態由第四邏輯狀態（“000”）改變為較高閾電壓的第七邏輯狀態（“00X”）。如此，可「刪除」低位元資料頁P9的寫入資料，同時保留高位元資料頁P2及中位元資料頁P5的寫入資料。

【0052】 在第10C圖，若欲「淨化」中位元資料頁P5，但保留高位元資料頁P2的資料，淨化單元104以增量步階脈衝程式化方式施加一第二編程電壓使第一邏輯狀態 (“11X”) 的記憶胞的邏輯狀態由第一邏輯狀態 (“11X”) 改變為較高閾電壓的第八邏輯狀態 (“1XX”)，亦使第二邏輯狀態 (“11X”) 的記憶胞的邏輯狀態由第二邏輯狀態 (“11X”) 改變為較高閾電壓的第八邏輯狀態 (“1XX”)。如此，可「刪除」中位元資料頁P5的寫入資料，同時保留高位元資料頁P2的寫入資料。此外，在讀取高位元資料頁P2，可以增加讀取資料頁效能。

【0053】 請參照第11A至11C圖。在本實施例中，第11A圖之記憶胞電壓分佈191表示第二字元線的高位元資料頁P2、中位元資料頁P5及低位元資料頁P9已被寫入資料。第11B圖之記憶胞電壓分佈191'表示在第二字元線的低位元資料頁P9被「淨化」且保留高位元資料頁P2以及中位元資料頁P5的寫入資料後，第二字元線的記憶胞的高位元資料頁P2及中位元資料頁P5的電壓分佈。第11C圖之記憶胞電壓分佈191''表示在第二字元線的低位元資料頁P9被「淨化」後，繼續對高位元資料頁P2「淨化」且保留中位元資料頁P5的寫入資料後，第二字元線的記憶胞的中位元資料頁P5的電壓分佈。在第11B圖中，若欲「淨化」低位元資料頁P9，但保留高位元資料頁P2及中位元資料頁P5的資料，淨化單元104將施加第二讀取電壓 V_{R2} 以及第四讀取電壓 V_{R4} ，找出位於第三邏輯狀態 (“100”)以及位於第四邏輯狀態 (“000”)的兩個第一目標記憶胞與位於第一邏輯狀態 (“111”)以及第二邏輯狀態 (“110”)的兩個第二目標記憶胞。隨後，以增量步階脈衝程式化方式施加一第

一編程電壓使第三邏輯狀態 (“100”) 的記憶胞的邏輯狀態由第三邏輯狀態 (“100”) 改變為較高閾電壓的第七邏輯狀態 (“00X”), 亦使第四邏輯狀態 (“000”) 的記憶胞的邏輯狀態由第四邏輯狀態 (“000”) 改變為較高閾電壓的第七邏輯狀態 (“00X”)。如此, 可「刪除」低位元資料頁P9的寫入資料, 同時保留高位元資料頁P2及中位元資料頁P5的寫入資料。

【0054】 在第11C圖, 若欲「淨化」高位元資料頁P2, 但保留中位元資料頁P5的資料, 淨化單元104將以增量步階脈衝程式化方式施加一第二編程電壓, 使第一邏輯狀態 (“11X”) 及第二邏輯狀態 (“11X”) 的記憶胞由邏輯狀態 (“11X”) 改變為較高閾電壓的第五邏輯狀態 (“X1X”)。如此, 可「刪除」高位元資料頁P2的寫入資料, 同時保留中位元資料頁P5的寫入資料。此外, 在讀取中位元資料頁P5, 可以增加讀取資料頁效能。

【0055】 本發明對三階記憶胞 (TLC) 施加淨化電壓操作並不限於上述實施例所示內容, 本領域具有通常知識者在參照上述實施例後, 應當理解對三階記憶胞施加淨化電壓操作的各種情況。更可理解本發明除可應用於三階記憶胞之外, 更可應用於每個記憶胞儲存4個位元或更多位元的記憶體。

【0056】 依據本發明所提出之利用施加程式化擊發、以增量步階脈衝程式化的方式施加編程電壓改變記憶區塊中記憶體頁面的記憶胞的邏輯狀態, 編程記憶胞的邏輯狀態, 改變記憶胞儲存的資料內容, 使原被寫入資料無法被正確讀取, 進而達到「刪除」資料的目的。此

外，本發明可提高使用記憶體的資料安全性，避免駭客取得原寫入資料而重建資料。本發明更可以針對特定資料頁執行「刪除」資料的操作，不需對特定資料頁的記憶區塊執行垃圾回收以及抹除操作，可減少抹除記憶體的記憶區塊的次數，提高記憶體的生命週期。此外，在讀取資料頁時，更可減少施加的讀取電壓，可提高記憶體效能。另外，將記憶胞的邏輯狀態淨化到具有較高閾電壓的第五、第六、第七或第八邏輯狀態，可避免在習知的三階記憶胞之快閃記憶體（3D TLC-type NAND Flash）結構中容易發生的橫向電荷遷移（lateral charge migration）現象所導致的資料保持（data retention）特性變差或資料保持時間（data retention time）變差的問題，進而提高記憶體的可靠度。

【0057】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0058】

10:記憶體系統

102:主控制器

104:淨化單元

106:控制單元

108:記憶體陣列

110,110',120,120',130,130',140,140',150,150',160,160',170,
170':記憶區塊

111,111',121,121',131,131',141,141',151,151',161,161',171,
171' 181,181',191,191':記憶體電壓分佈

S202~S214:流程步驟

P1~P15:資料頁

X:被淨化之資料頁

$V_{R1}, V_{R2}, V_{R3}, V_{R4}, V_{R5}, V_{R6}, V_{R7}$:讀取電壓

V_t :電壓

【發明申請專利範圍】

【請求項1】 一種記憶體裝置，包括：

一記憶體陣列，包括複數個記憶體頁面，各該記憶體頁面包括複數個記憶胞，各該記憶胞包括一第一儲存位元於高位元資料頁、一第二儲存位元於中位元資料頁及一第三儲存位元於低位元資料頁，該些記憶胞包括閥電壓由低至高的一第一邏輯狀態、一第二邏輯狀態、一第三邏輯狀態、一第四邏輯狀態、一第五邏輯狀態、一第六邏輯狀態、一第七邏輯狀態及一第八邏輯狀態；以及

一淨化單元，接收對應於一邏輯位址的一資料更新指令，於接收該資料更新指令前，該邏輯位址對應至其中一目標記憶體頁面的一實體位址，該淨化單元施加一第一讀取電壓及一第二讀取電壓，由該目標記憶體頁面中找出欲淨化的至少一第一目標記憶胞及至少一第二目標記憶胞，施加一第一編程電壓至該至少一第一目標記憶胞，以改變該至少一第一目標記憶胞的邏輯狀態至該第五、該第六、該第七及該第八邏輯狀態其中之一，施加一第二編程電壓至該至少一第二目標記憶胞，以改變該至少一第二目標記憶胞的邏輯狀態至該第五、該第六、該第七及該第八邏輯狀態其中之一，其中該第一編程電壓不同於該第二編程電壓。

【請求項2】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

第 1 頁，共 6 頁(發明申請專利範圍)

若欲「淨化」該低位元資料頁，但保留該高位元資料頁及該中位元資料的資料，

以增量步階脈衝程式化的方式施加該第一編程電壓，使該第一目標記憶胞的邏輯狀態由該第三邏輯狀態改變為該第八邏輯狀態，以及

以增量步階脈衝程式化的方式施加該第二編程電壓，使該第二目標記憶胞的邏輯狀態由該第四邏輯狀態改變為該第七邏輯狀態。

【請求項3】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該中位元資料頁，但保留該高位元資料頁及該低位元資料的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使該第一目標記憶胞的邏輯狀態由該第一邏輯狀態改變為該第八邏輯狀態，以及

以增量步階脈衝程式化的方式施加該第二編程電壓，使該第二目標記憶胞的邏輯狀態由該第四邏輯狀態改變為該第五邏輯狀態。

【請求項4】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該高位元資料頁，但保留該中位元資料頁及該低位元資料的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使該第一目標記憶胞的邏輯狀態由該第一邏輯狀態改變為該第六邏輯狀態，以及

以增量步階脈衝程式化的方式施加該第二編程電壓，使該第二目標記憶胞的邏輯狀態由該第二邏輯狀態改變為該第五邏輯狀態。

【請求項5】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該低位元資料頁及該中位元資料頁，但保留該高位元資料頁的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使三個該第一目標記憶胞的邏輯狀態由該第一邏輯狀態、該第二邏輯狀態及該第三邏輯狀態改變為該第八邏輯狀態，以及

以增量步階脈衝程式化的方式施加該第二編程電壓，使該第二目標記憶胞的邏輯狀態由該第四邏輯狀態改變為第五邏輯狀態、第六邏輯狀態及該第七邏輯狀態。

【請求項6】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該高位元資料頁及該低位元資料頁，但保留該中位元資料頁的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使二個該第一目標記憶胞的邏輯狀態由該第一邏輯狀態及該第二邏輯狀態改變為該第五邏輯狀態，以及以增量步階脈衝程式化的方式施加該第二編程電壓，使二個該第二目標記憶胞的邏輯狀態由該第三邏輯狀態及該第三邏輯狀態改變為第七邏輯狀態。

【請求項7】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該高位元資料頁及該中位元資料頁，但保留該低位元資料頁的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使該第一目標記憶胞的邏輯狀態由該第一邏輯狀態改變為該第六邏輯狀態，以及

以增量步階脈衝程式化的方式施加該第二編程電壓，使三個該第二目標記憶胞的邏輯狀態由該第二邏輯狀態、該第三邏輯狀態及該第三邏輯狀態改變為第五邏輯狀態。

【請求項8】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該高位元資料頁、該中位元資料頁及低位元資料頁，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使四個該目標記憶胞的邏輯狀態由該第一邏輯狀態、該第二邏輯狀態、該第三邏輯狀態、該第四邏輯狀態改變為較高閾電壓的邏輯狀態“0”。

【請求項9】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

若欲「淨化」該低位元資料頁，但保留該高位元資料頁及該中位元資料頁的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使二個該第一目標記憶胞的邏輯狀態由該第三邏輯狀態及該第四邏輯狀態改變為該第八邏輯狀態及該第七邏輯狀態，

若欲繼續「淨化」該中位元資料頁，但保留該高位元資料頁及的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第二編程電壓，使二個該第二目標記憶胞的邏輯狀態由該第一邏輯狀態及該第二邏輯狀態改變為該第八邏輯狀態。

【請求項10】 如請求項1所述之記憶體裝置，其中施加該第一編程電壓以改變該至少一第一目標記憶胞的邏輯狀態以及施加該第二編程電壓以改變該至少一第二目標記憶胞的邏輯狀態包括：

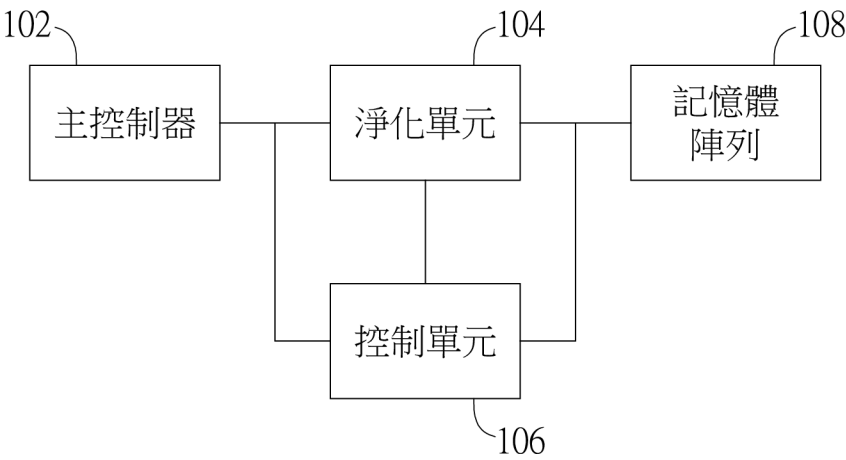
若欲「淨化」該低位元資料頁，但保留該高位元資料頁及該中位元資料頁的資料，

施加一程式化擊發，以增量步階脈衝程式化的方式施加該第一編程電壓，使二個該第一目標記憶胞的邏輯狀態由該第三邏輯狀態及該第四邏輯狀態改變為較高閾電壓的該第七邏輯狀態，若欲繼續「淨化」該高位元資料頁，但保留該中位元資料頁的資料，

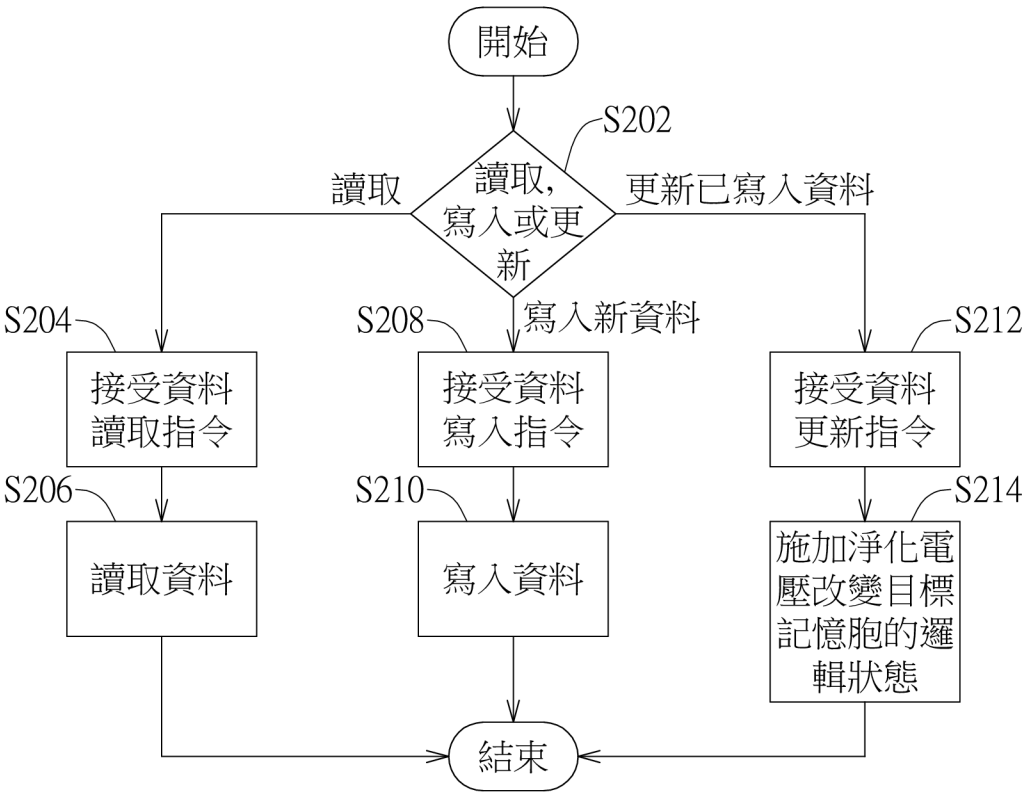
施加一程式化擊發，以增量步階脈衝程式化的方式施加該第二編程電壓，使二個該第二目標記憶胞的邏輯狀態由該第一邏輯狀態及該第二邏輯狀態改變為較高閾電壓的該第五邏輯狀態。

【發明圖式】

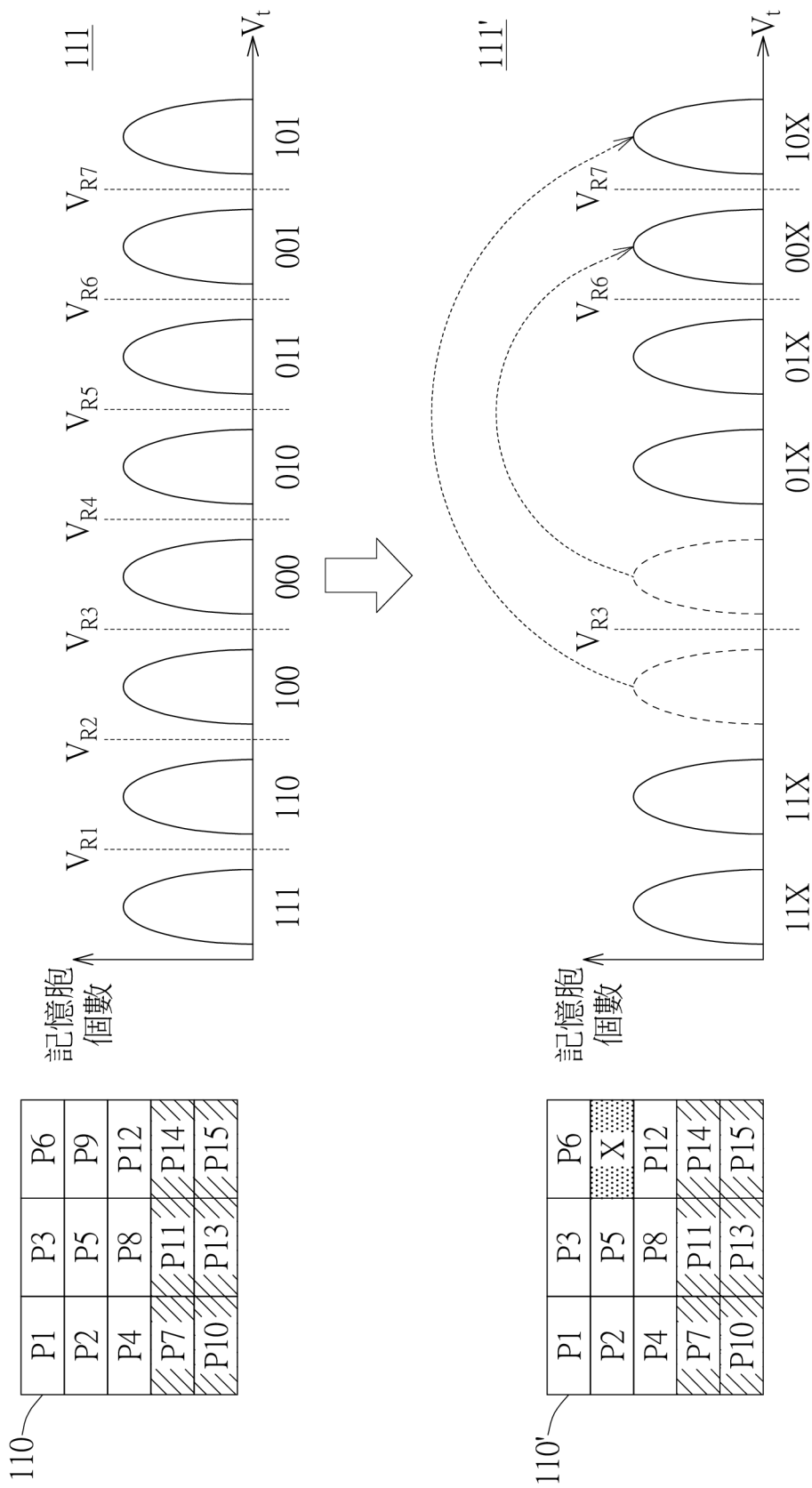
10



第 1 圖



第 2 圖



110'

P1	P3	P6
P2	P5	X
P4	P8	P12
P7	P11	P14
P10	P13	P15

記憶胞
個數

11X

11X

01X

01X

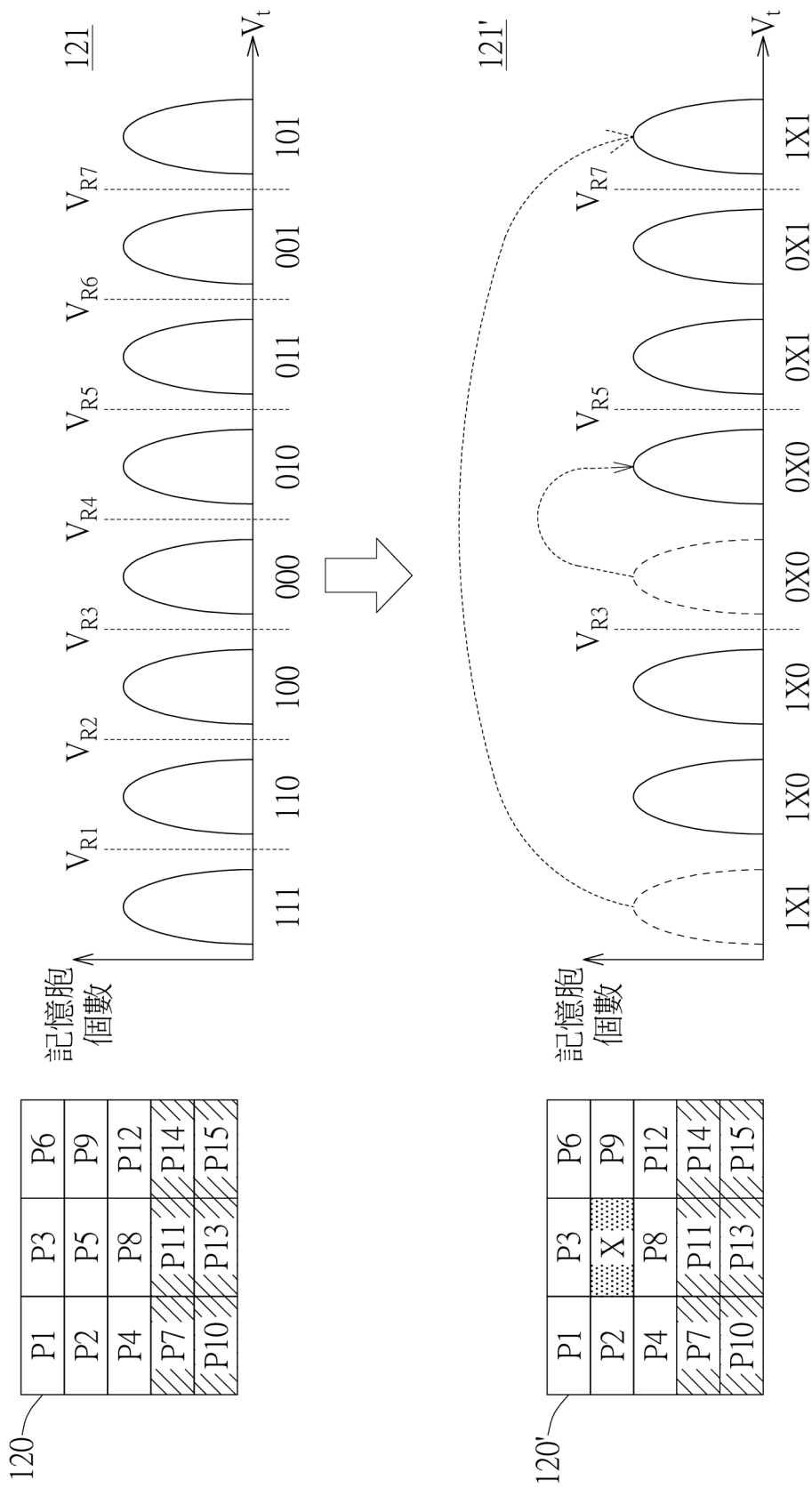
00X

10X

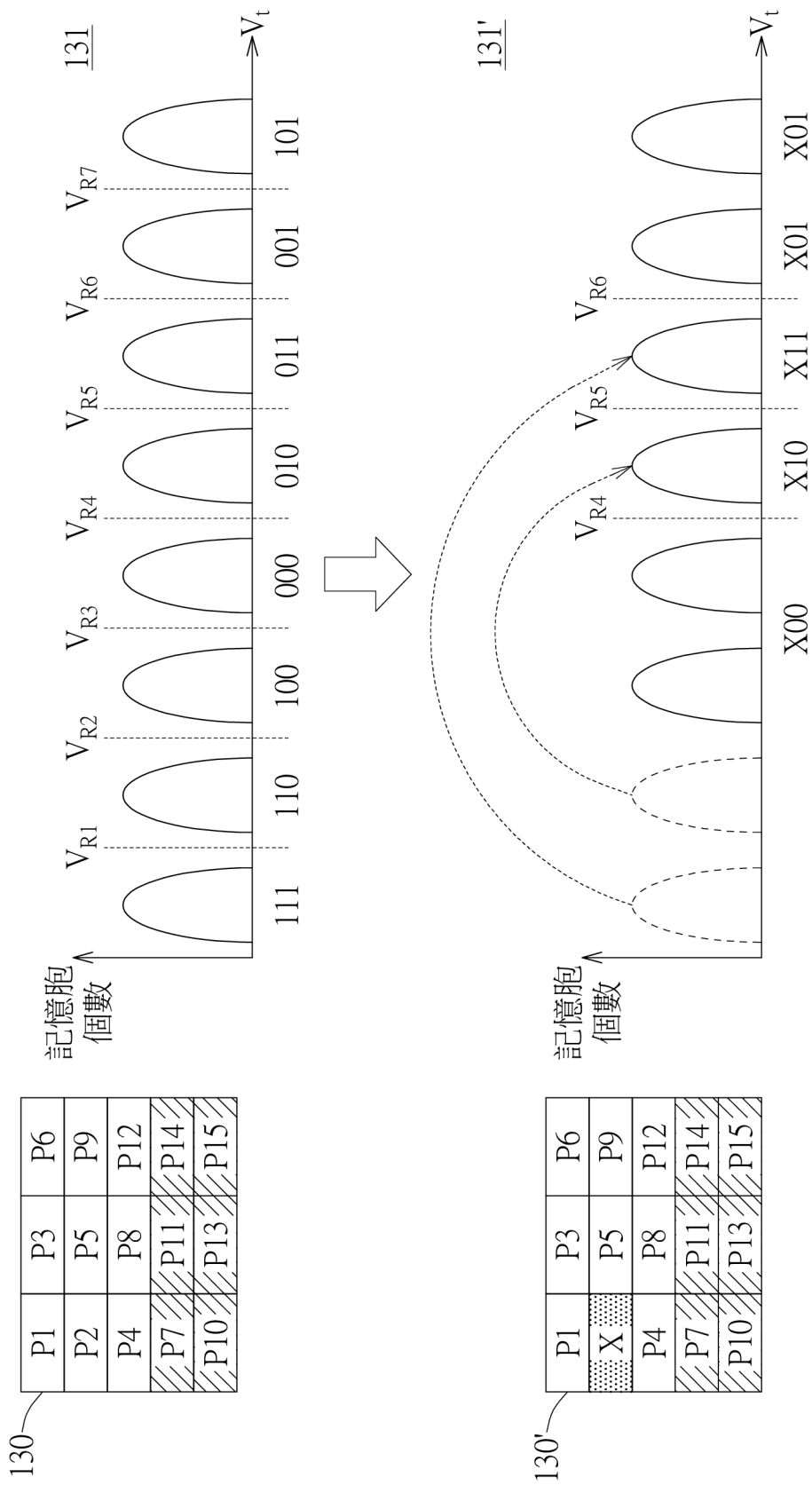
111'

V_t

第3圖



第4圖



130'

P1	P3	P6
X	P5	P9
P4	P8	P12
P7	P11	P14
P10	P13	P15

記憶胞個數

131'

V_{R4}

X10

V_{R5}

X11

V_{R6}

X01

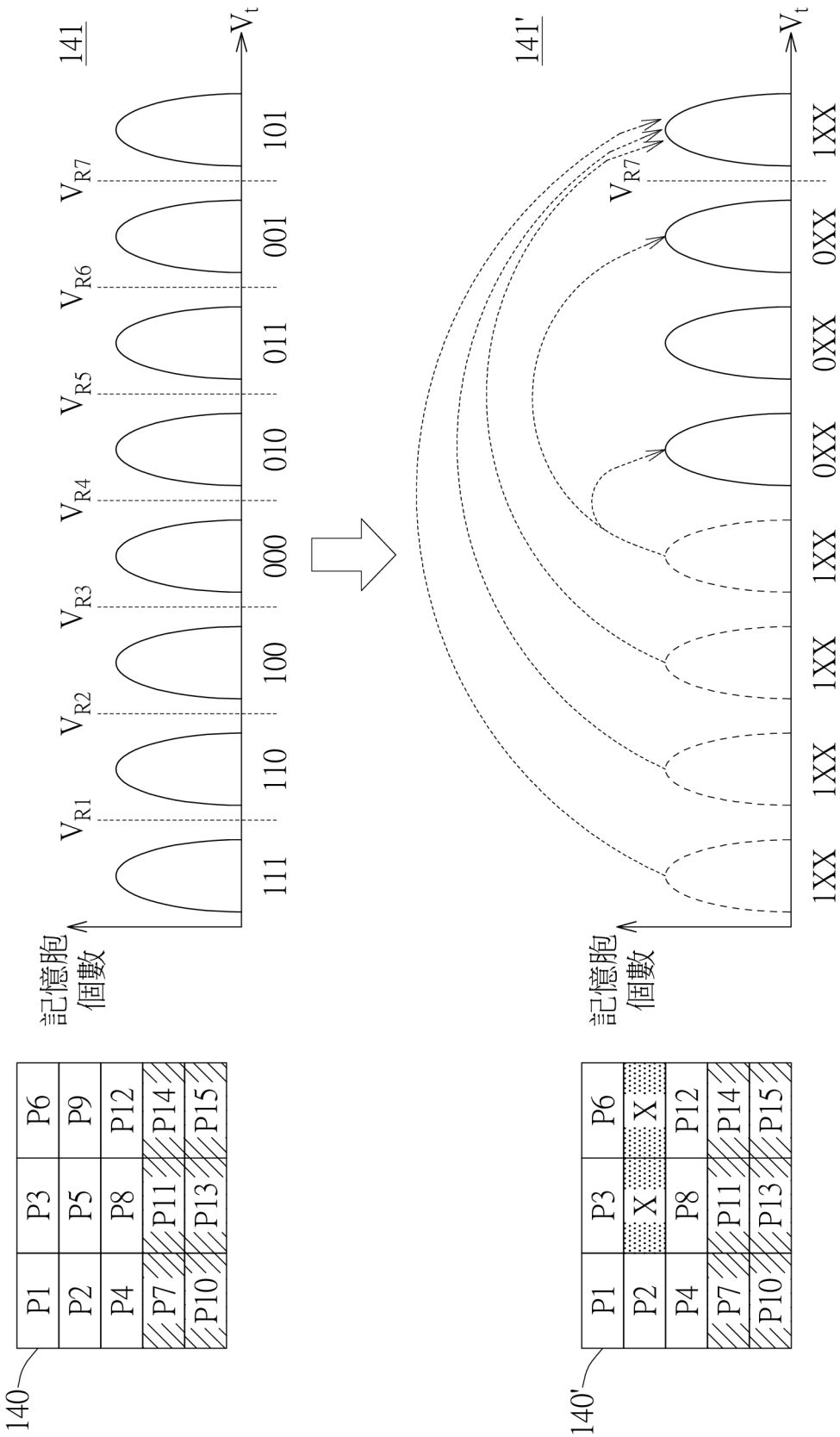
X01

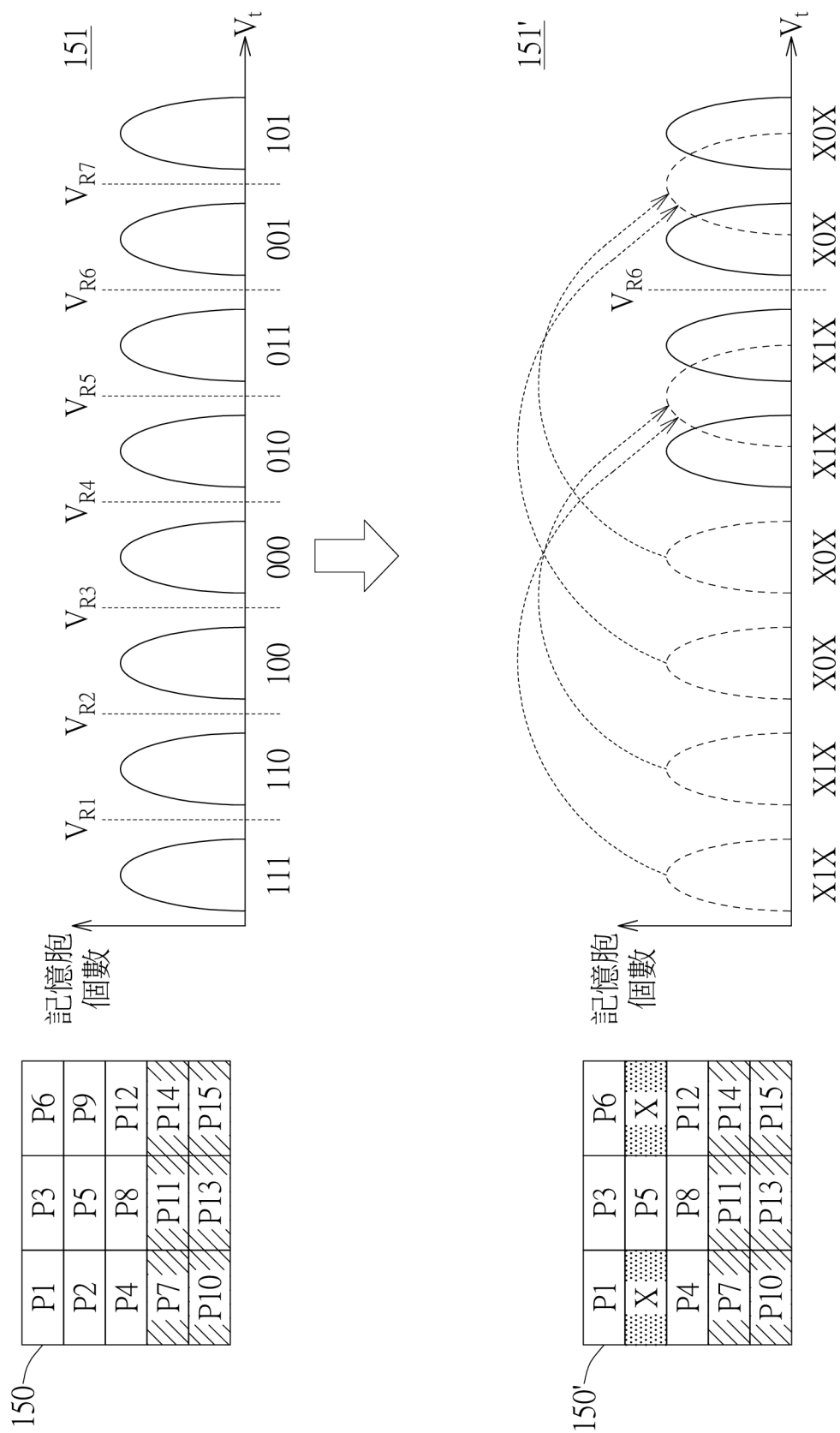
X01

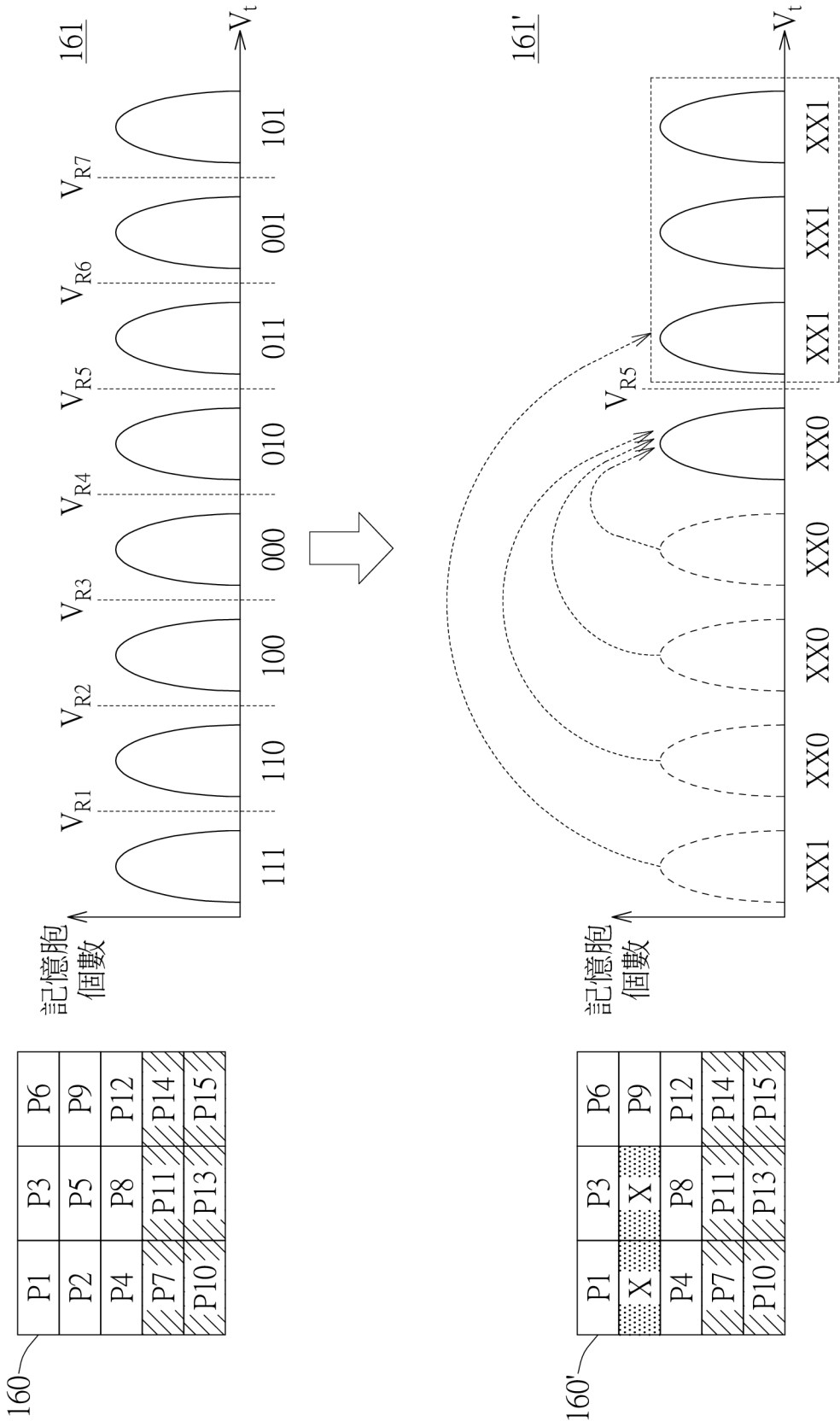
X01

V_t

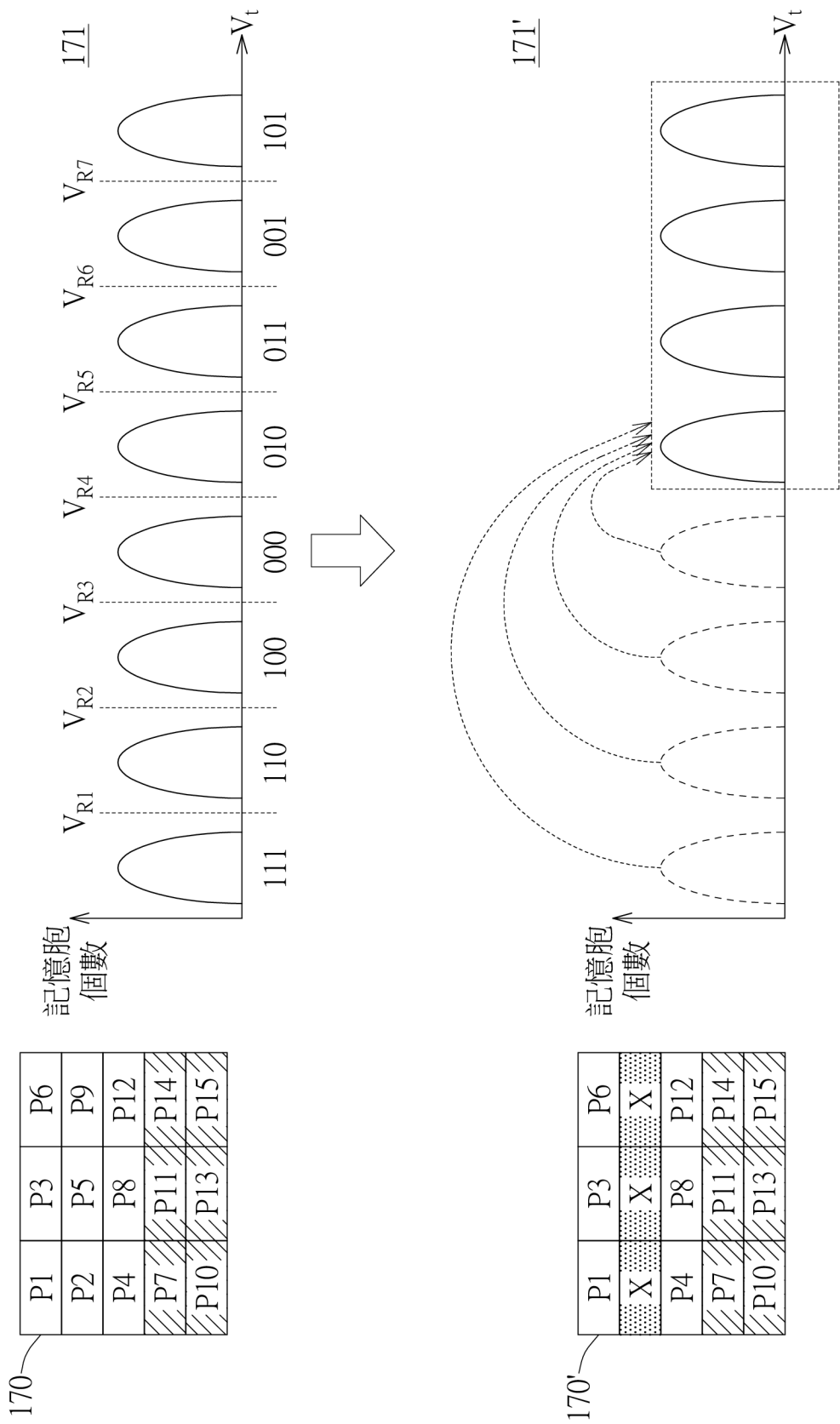
第5圖

圖 6
錄

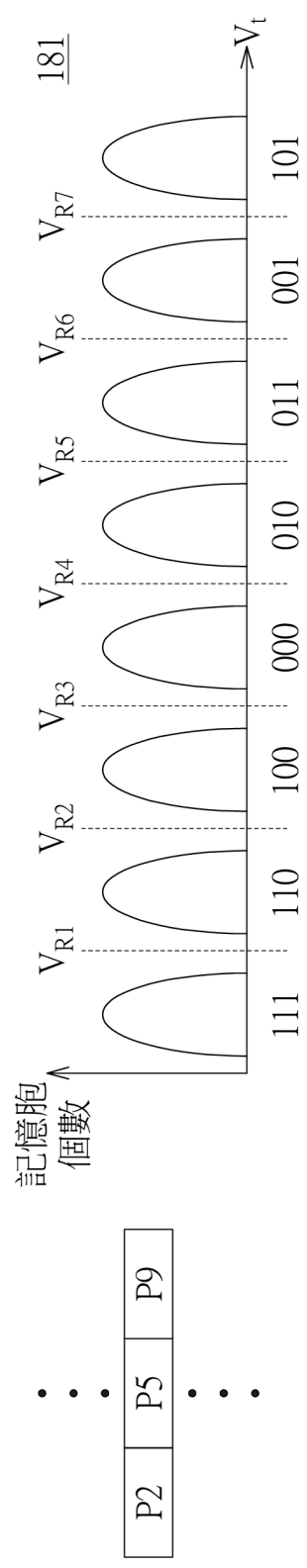
圖 7
解



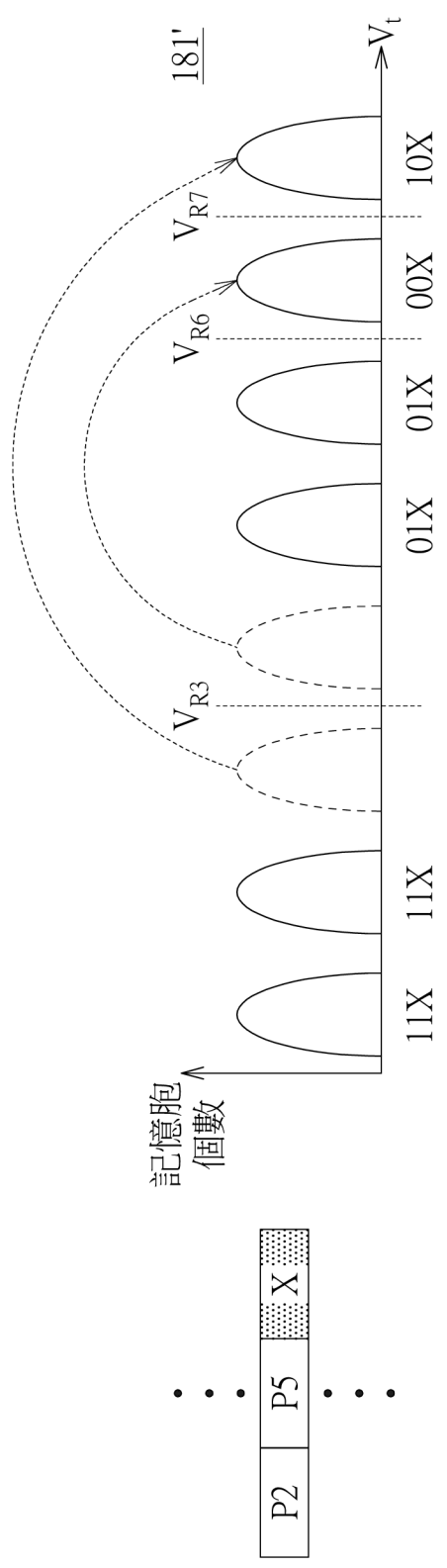
第8圖



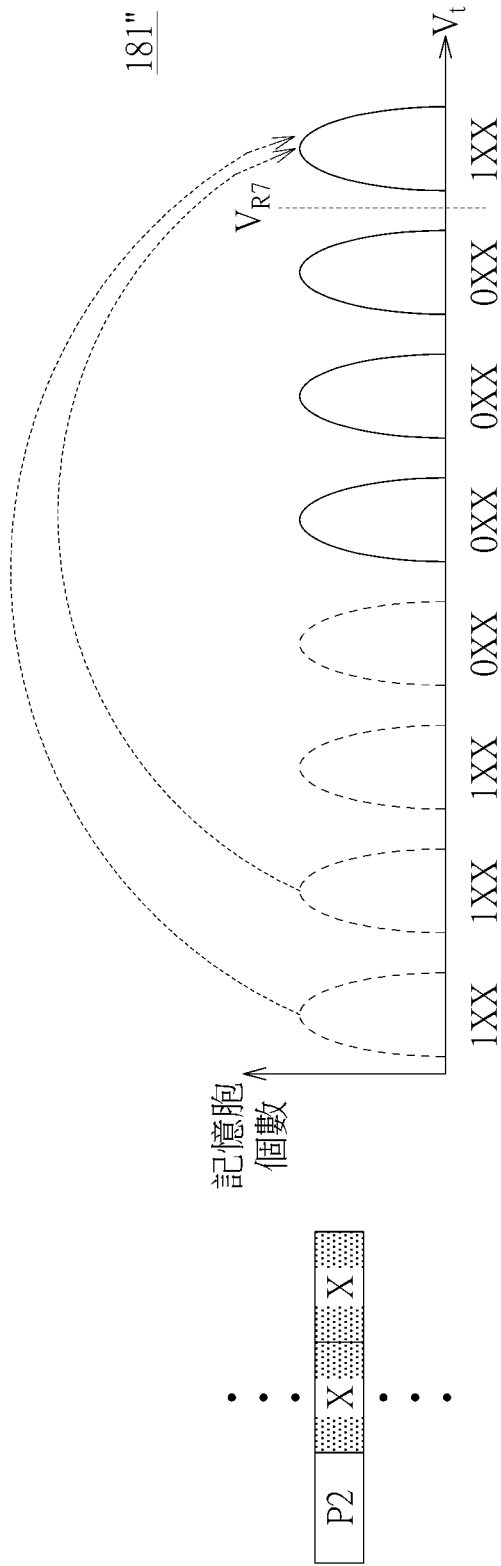
第9圖



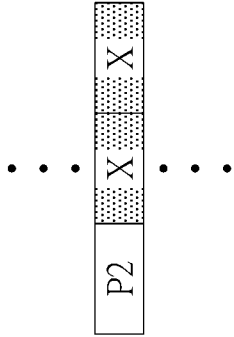
第 10A 圖

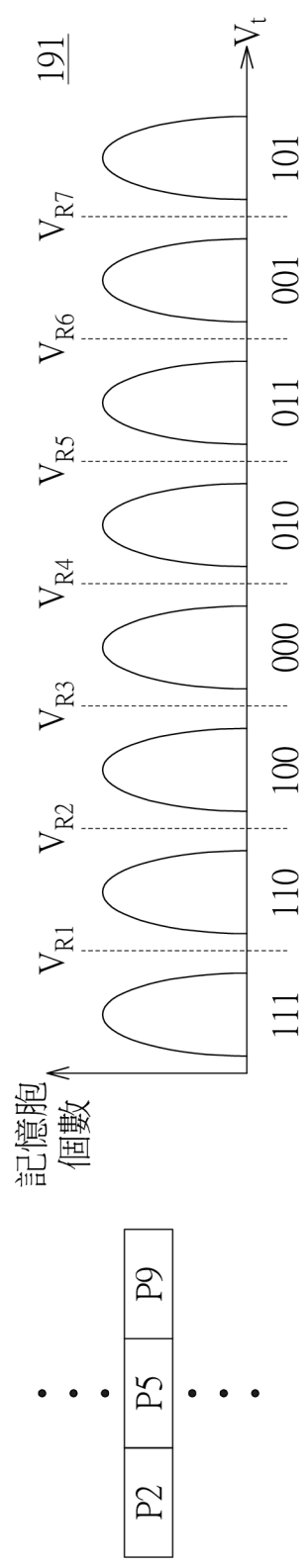


第 10B 圖

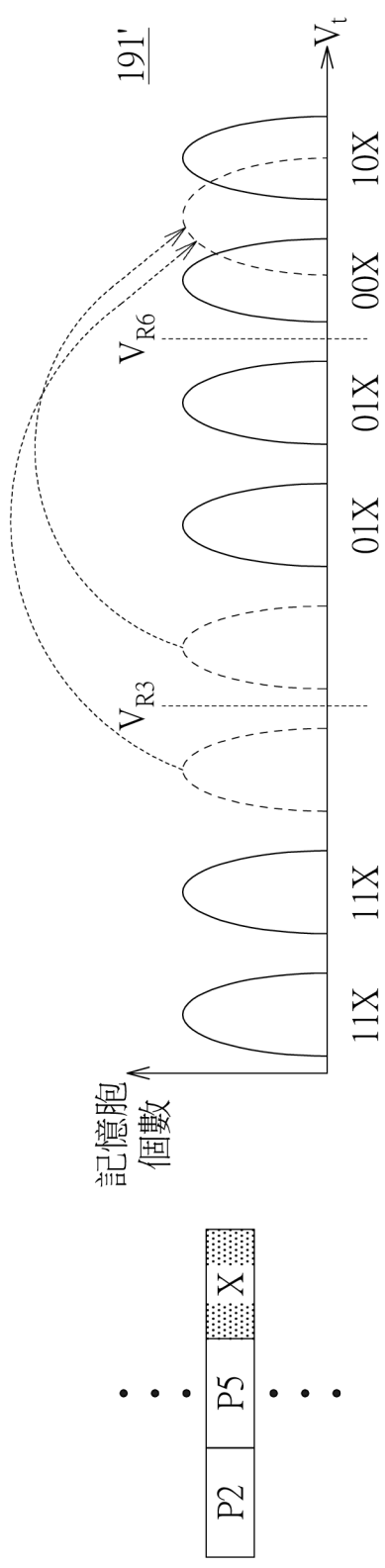


第 10C 圖

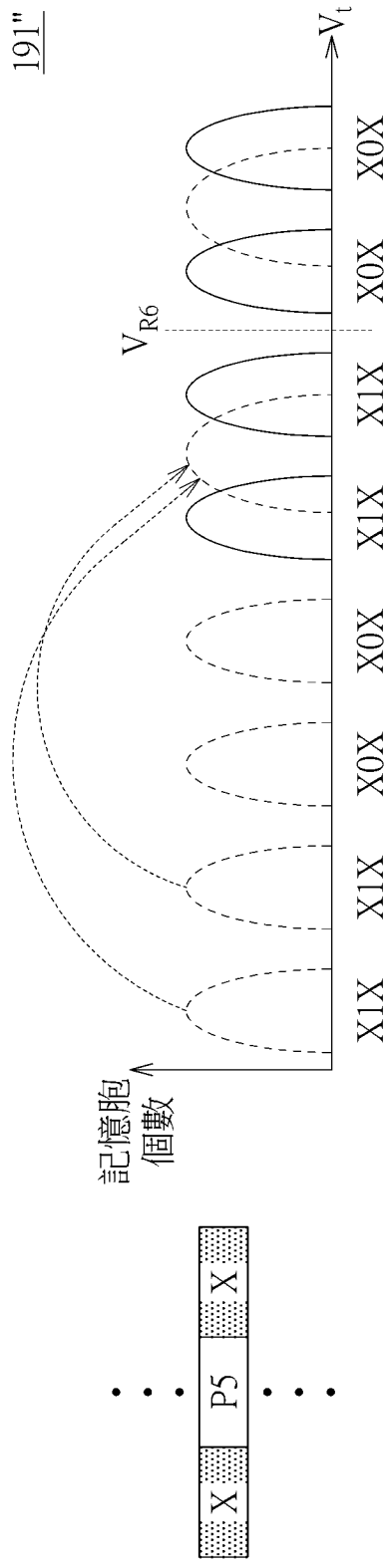




第 11A 圖



第 11B 圖



第 11C 圖