

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-508905
(P2021-508905A)

(43) 公表日 令和3年3月11日(2021.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/34 (2006.01)	G 1 1 C 16/34 1 1 6	5 B 2 2 5
G 1 1 C 16/10 (2006.01)	G 1 1 C 16/10 1 4 0	5 F 0 8 3
G 1 1 C 11/56 (2006.01)	G 1 1 C 11/56 2 1 0	5 F 1 0 1
H O 1 L 27/11521 (2017.01)	H O 1 L 27/11521	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 7 1	
審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2020-534193 (P2020-534193)
 (86) (22) 出願日 平成30年11月13日 (2018.11.13)
 (85) 翻訳文提出日 令和2年8月14日 (2020.8.14)
 (86) 国際出願番号 PCT/US2018/060850
 (87) 国際公開番号 W02019/125650
 (87) 国際公開日 令和1年6月27日 (2019.6.27)
 (31) 優先権主張番号 15/849,268
 (32) 優先日 平成29年12月20日 (2017.12.20)
 (33) 優先権主張国・地域又は機関 米国 (US)

(71) 出願人 500147506
 シリコン ストوریッジ テクノロジー
 インコーポレイテッド
 SILICON STORAGE TEC
 HNOLOGY, INC.
 アメリカ合衆国 95134 カリフォル
 ニア州 サンノゼ ホルガー ウェイ 4
 50
 (74) 代理人 110000626
 特許業務法人 英知国際特許事務所
 (72) 発明者 ティワリ、ビピン
 アメリカ合衆国 94568 カリフォル
 ニア州、ダブリン、アスターウッド ドラ
 イブ 5599

最終頁に続く

(54) 【発明の名称】 フラッシュメモリ内でのプログラミング中に浮遊ゲート対浮遊ゲートカップリング効果を最小化するためのシステム及び方法

(57) 【要約】

より高いプログラミング値でプログラムされるメモリセルは、1番目にプログラムされ、より低いプログラミング値でプログラムされるメモリセルは、2番目にプログラムされる、不揮発性メモリセルアレイのための改善されたプログラミング技術。この技術は、以前にプログラムされたセルが、より高いプログラムレベルにプログラムされている隣接セルによって、有害に漸増的にプログラムされる数を低減又は排除し、浮遊ゲート対浮遊ゲートカップリングによって引き起こされるメモリセルの大部分に対する有害な漸増的プログラミングの大きさを低減する。メモリデバイスは、不揮発性メモリセルのアレイと、入力データに関連付けられたプログラミング値を識別し、入力データが、プログラミング値の下降値のタイミング順で、不揮発性メモリセルのうち少なくともいくつかはプログラムされるプログラミング動作を実行するように構成されたコントローラと、を備える。

【選択図】 図4

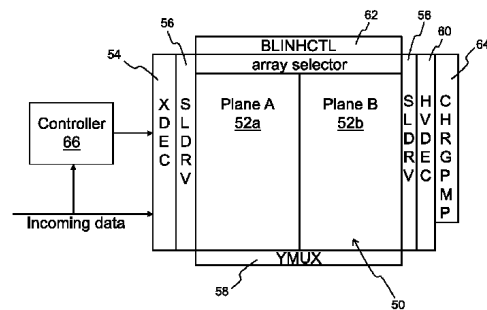


FIGURE 4

【特許請求の範囲】**【請求項 1】**

不揮発性メモリセルのアレイと、
コントローラであって、

入力データに関連付けられたプログラミング値を識別し、

前記入力データが、前記プログラミング値の下降値のタイミング順で、前記不揮発性メモリセルのうちの少なくともいくつかにプログラムされるプログラミング動作を実行するように構成されている、コントローラと、を備える、メモリデバイス。

【請求項 2】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 1 つである、請求項 1 に記載のメモリデバイス。

10

【請求項 3】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 2 つである、請求項 1 に記載のメモリデバイス。

【請求項 4】

前記コントローラは、

前記プログラミング動作を前記実行することの前に、前記不揮発性メモリセルのうちの前記少なくともいくつかの各々を中間プログラム値に事前プログラムするように更に構成される、請求項 1 に記載のメモリデバイス。

20

【請求項 5】

不揮発性メモリセルのアレイと、
コントローラであって、

入力データに関連付けられたプログラミング値を識別することと、

前記入力データの各データを、それに関連付けられた前記プログラミング値に基づいて、複数のデータグループのうちの 1 つに関連付けることであって、前記データグループの各々は、固有のプログラミング値又は固有のプログラミング値の範囲に関連付けられている、関連付けることと、

入力データの前記データグループは、前記複数のデータグループの固有のプログラミング値又はプログラミング値の固有の範囲の下降値のタイミング順で、前記不揮発性メモリセルのうちの少なくともいくつかにプログラムされる、プログラミング動作を実行することと、を行うように構成されている、コントローラと、を備える、メモリデバイス。

30

【請求項 6】

前記複数のデータグループは、2 つのデータグループである、請求項 5 に記載のメモリデバイス。

【請求項 7】

前記複数のデータグループは、前記入力データのデータ数に等しい、請求項 5 に記載のメモリデバイス。

【請求項 8】

前記不揮発性メモリセルは行及び列に配置され、前記複数のデータグループは、前記不揮発性メモリセルの前記行のうちの 1 つ内の前記不揮発性メモリセルの数に等しい、請求項 5 に記載のメモリデバイス。

40

【請求項 9】

前記不揮発性メモリセルは行及び列に配置され、前記複数のデータグループは、前記不揮発性メモリセルの前記行のうちの 2 つ内の前記不揮発性メモリセルの数に等しい、請求項 5 に記載のメモリデバイス。

【請求項 10】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 1 つである、請求項 5

50

に記載のメモリデバイス。

【請求項 1 1】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 2 つである、請求項 5 に記載のメモリデバイス。

【請求項 1 2】

前記コントローラは、

前記プログラミング動作を前記実行することの前に、前記不揮発性メモリセルのうちの前記少なくともいくつかの各々を中間プログラム値に事前プログラムするように更に構成される、請求項 5 に記載のメモリデバイス。

【請求項 1 3】

不揮発性メモリセルのアレイを備えるメモリデバイスを動作させる方法であって、該方法は、

入力データに関連付けられたプログラミング値を識別することと、

前記入力データが、前記プログラミング値の下降値のタイミング順で、前記不揮発性メモリセルのうちの少なくともいくつかにプログラムされるプログラミング動作を実行することと、を含む、方法。

【請求項 1 4】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 1 つである、請求項 1 3 に記載の方法。

【請求項 1 5】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 2 つである、請求項 1 3 に記載の方法。

【請求項 1 6】

前記プログラミング動作を前記実行するステップの前に、前記不揮発性メモリセルのうちの前記少なくともいくつかの各々を中間プログラム値に事前プログラムするステップを更に含む、請求項 1 3 に記載の方法。

【請求項 1 7】

不揮発性メモリセルのアレイを備えるメモリデバイスを動作させる方法であって、該方法は、

入力データに関連付けられたプログラミング値を識別するステップと、

前記入力データの各データを、それに関連付けられた前記プログラミング値に基づいて、複数のデータグループのうちの 1 つに関連付けるステップであって、前記データグループの各々は、固有のプログラミング値又はプログラミング値の固有の範囲に関連付けられている、関連付けるステップと、

入力データの前記データグループは、前記複数のデータグループの前記固有のプログラミング値又はプログラミング値の前記固有の範囲の下降値のタイミング順で、前記不揮発性メモリセルのうちの少なくともいくつかにプログラムされる、プログラミング動作を実行するステップと、を含む、方法。

【請求項 1 8】

前記複数のデータグループは、2 つのデータグループである、請求項 1 7 に記載の方法。

【請求項 1 9】

前記複数のデータグループは、前記入力データのデータ数に等しい、請求項 1 7 に記載の方法。

【請求項 2 0】

前記不揮発性メモリセルは行及び列に配置され、前記複数のデータグループは、前記不揮発性メモリセルの前記行のうちの 1 つ内の前記不揮発性メモリセルの数に等しい、請求

10

20

30

40

50

項 17 に記載の方法。

【請求項 21】

前記不揮発性メモリセルは行及び列に配置され、前記複数のデータグループは、前記不揮発性メモリセルの前記行のうちの 2 つ内の前記不揮発性メモリセルの数に等しい、請求項 17 に記載の方法。

【請求項 22】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 1 つである、請求項 17 に記載の方法。

【請求項 23】

前記不揮発性メモリセルは行及び列に配置され、前記不揮発性メモリセルのうちの前記少なくともいくつかは、前記不揮発性メモリセルの前記行のうちの 2 つである、請求項 17 に記載の方法。

【請求項 24】

前記プログラミング動作を前記実行するステップの前に、前記不揮発性メモリセルのうちの前記少なくともいくつかの各々を中間プログラム値に事前プログラムするステップを更に含む、請求項 17 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願)

本出願は、2017年12月20日に提出された米国特許出願第15/849,268号の利益を主張する。

【0002】

(発明の分野)

本発明は、不揮発性メモリデバイスに関し、より具体的には、動作電圧の最適化に関する。

【背景技術】

【0003】

不揮発性メモリセルは、当該技術分野において周知である。例えば、スプリットゲートメモリセルが、米国特許第5,029,130号(この特許は全ての目的に対して参照によって本明細書に組み込まれる)に開示されている。このメモリセルは、浮遊ゲートと、制御ゲートと、を有し、これらのゲートは、ソース領域とドレイン領域との間に延在する基板のチャンネル領域の上方に配設されて、この領域の導電率を制御する。電圧の様々な組み合わせが、制御ゲート、ソース、及びドレインに印加されて、(浮遊ゲートに電子を注入することにより)メモリセルをプログラムし、(浮遊ゲートから電子を除去することにより)メモリセルを消去し、(チャンネル領域の伝導度を測定又は検出して、浮遊ゲートのプログラミング状態を決定することにより)メモリセルを読み出す。

【0004】

不揮発性メモリセルのゲートの構成及び数は変化し得る。例えば、米国特許第7,315,056号(この米国特許は、あらゆる目的のために参照により本明細書に組み込まれる)は、ソース領域の上方にプログラム/消去ゲートを更に含むメモリセルを開示している。米国特許第7,868,375号(この米国特許は、あらゆる目的のために参照により本明細書に組み込まれる)は、ソース領域の上方に消去ゲート、及び浮遊ゲートの上方にカップリングゲートを更に含むメモリセルを開示している。

【0005】

歴史的に、上記メモリセルはデジタル方式で使用されており、メモリセルがプログラムされた状態(すなわち、0状態)、及びプログラムされていない状態(すなわち、消去状態又は1状態)の2つのプログラム状態を有することを意味する。より最近では、各メモリセルが連続したアナログプログラム状態の範囲内の任意の場所でプログラム状態にプロ

10

20

30

40

50

グラムすることができるように、メモリセルが、アナログ形式で、プログラムされ、消去される上記メモリセルのためのアプリケーションが開発されてきた。又は、メモリセルは、各メモリセルが多く可能なプログラミング状態のうちの一つにプログラムすることができるデジタル形式で、プログラム及び消去される。いずれにしても、プログラム動作及び消去動作は、(例えば、一連のプログラムパルス又は消去パルスを使用し、パルス間のプログラム状態を測定して)、所望のプログラム状態が達成されるまで漸増的に実行される。両方の場合において、メモリセルは、それらのプログラミング状態の正確なプログラミングを必要とする。

【0006】

上記で参照した全てのメモリセルにつき、メモリセルは、行及び列のアレイに構成される。メモリセルをプログラミングする従来の技術は、行全体がプログラムされるまで、一度に1セルで、逐次的、行毎、セル毎、行内の最初のメモリセルから開始する、次のメモリセルに向かう、などである。しかしながら、限界寸法が縮小するにつれて、同じ行内の隣接する浮遊ゲート間のクロスカップリングは、1つの浮遊ゲートのプログラミング状態が隣接するメモリセルのプログラミング動作によって悪影響を受ける結果をもたらす得ることが分かっている。例えば、行内の第1のメモリセルがプログラムされ、次いで、行内の第2のメモリセルがプログラムされる場合、第2のメモリセルのプログラミングが、浮遊ゲート対浮遊ゲートカップリングを通して第1のメモリセルのプログラミング状態を変更し得る、などであり、いくつかのメモリセルで望ましくないプログラミングエラーを引き起こし得る。有害な漸増的プログラミングの大きさは、隣接セルのプログラミングレベルに比例する。任意の所与のセルのプログラミングレベルが高くなるほど、そのセルは隣接セルに対する有害物になる。

10

20

【0007】

隣接するメモリセル間のクロスカップリングによって引き起こされるプログラミングエラーの量を低減する不揮発性メモリアレイ操作技術が必要とされている。

【発明の概要】

【0008】

前述の問題及び必要性は、不揮発性メモリセルのアレイと入力データに関連付けられたプログラミング値を識別し、入力データがプログラミング値の下降値のタイミング順で不揮発性メモリセルのうち少なくともいくつかにプログラムされるプログラミング動作を実行するように構成されたコントローラと、を備えるメモリデバイスによって対処される。

30

【0009】

メモリデバイスは、不揮発性メモリセルのアレイと、コントローラであって、入力データに関連付けられたプログラミング値を識別することと、入力データの各データを、それに関連付けられたプログラミング値に基づいて、複数のデータグループのうちの一つと関連付けることであって、データグループの各々は、固有のプログラミング値又はプログラミング値の固有の範囲に関連付けられている、関連付けることと、入力データのデータグループは、複数のデータグループの固有のプログラミング値又はプログラミング値の固有の範囲の下降値のタイミング順で、不揮発性メモリセルのうち少なくともいくつかにプログラムされる、プログラミング動作を実行することと、を行うように構成されている、コントローラと、を備える。

40

【0010】

不揮発性メモリセルのアレイを備えるメモリデバイスを動作させる方法は、入力データに関連付けられたプログラミング値を識別するステップと、入力データが、プログラミング値の下降値のタイミング順で、不揮発性メモリセルのうち少なくともいくつかにプログラムされる、プログラミング動作を実行するステップと、を含む。

【0011】

不揮発性メモリセルのアレイを備えるメモリデバイスを動作させる方法は、入力データに関連付けられたプログラミング値を識別するステップと、入力データの各データを、そ

50

れに関連付けられたプログラミング値に基づいて、複数のデータグループのうちの1つに関連付けるステップであって、データグループの各々は、固有のプログラミング値又はプログラミング値の固有の範囲に関連付けられている、関連付けるステップと、入力データのデータグループは、複数のデータグループの固有のプログラミング値の又はプログラミング値の固有の範囲の下降値のタイミング順で、不揮発性メモリセルのうちの少なくともいくつかにプログラムされるプログラミング動作を実行するステップと、を含む。

【0012】

本発明の他の目的及び特徴は、明細書、請求項、添付図面を精読することによって明らかになるであろう。

【0013】

10

【0014】

【0015】

【図面の簡単な説明】

【0016】

【図1】第1のスプリットゲート不揮発性メモリセルの側面断面図である。

【図2】第2のスプリットゲート不揮発性メモリセルの側面断面図である。

【図3】第3のスプリットゲート不揮発性メモリセルの側面断面図である。

【図4】本発明のメモリデバイスアーキテクチャの平面図である。

【発明を実施するための形態】

【0017】

20

本発明は、より高いプログラミング値でプログラムされるメモリセルが、1番目にプログラムされ、より低いプログラミング値でプログラムされるメモリセルが、2番目にプログラミングされる、不揮発性メモリセルアレイのための改善されたプログラミング技術を対象とする。この技術では、隣接セル（より高いプログラミング値にプログラムされている）によって有害に漸増的にプログラムされたメモリセルは、まだそのフルプログラミング値にプログラミングされていない可能性が高く、後続のプログラミングにおいてそのフルプログラミング値に到達するであろう。既にプログラムされており、プログラムされる隣接セルによる有害な漸増的プログラミングにさらされるメモリセルは、依然として悪影響を受け得るが、隣接するセルは、悪影響を受けたセルよりも小さいか又は等しいプログラミング値にプログラムされるので、悪影響の大きさは低減される。この技術は、最も高いプログラムレベルにプログラムされている隣接セルによって有害に漸増的にプログラムされる、以前にプログラムされたセルの数を低減又は排除し、メモリセルの大部分に対する有害な漸増的プログラミングの大きさを低減する。

30

【0018】

本発明のプログラミング技術は、どのメモリセルが最も高いプログラミングレベルでプログラミングされるべきか、どのメモリセルが次の最も高いプログラミングレベルでプログラミングされるべきか、などを識別するために任意の所与の行にプログラムされるべきデータの反復検索を実行することによって開始する。次いで、メモリセルの行は、以下のようにプログラムされる。まず、最も高いプログラミングレベルでプログラムされるメモリセルが、最初にプログラムされる。次いで、次の最も高いプログラミングレベルでプログラムされるメモリセルが、次にプログラムされる、などである。このプロセスは、最も低いプログラミングレベルでプログラムされるメモリセルがプログラムされるまで継続する。これは、最も低いプログラミング値に関連付けられた入力データが最後にプログラミングされるまで、最も高いプログラミング値に関連付けられた入力データが（メモリセル内にデータを記憶するために）最初にプログラムされ、続いて、次の最も高いプログラミング値に関連付けられた入力データが次にプログラムされる、などを意味する。このようにして、その後のプログラミングメモリセルによる、以前にプログラムされたメモリセルの有害な漸増的プログラミングが、最小化される。

40

【0019】

以下に更に詳細に記載されるように、メモリセルは、多くの場合、共通のソースライン

50

を共有する、列方向に延在する対で構成される。したがって、列方向（共通のソースラインを横切る）のメモリセル間には、有害な漸増的プログラミングが存在し得る。したがって、第1の代替実施形態として、本発明のプログラミング技術は、共通のソースラインを共有する任意の2つの行にプログラムされるデータの反復探索を実行して、どのメモリセルが最も高いプログラミングレベルでプログラムされるべきか、どのメモリセルが次に高いプログラミングレベルでプログラムされるべきか、などを識別することによって開始することができる。次いで、2つの行のメモリセルが、以下のようにプログラムされる。先ず、両行内の最も高いプログラミングレベルでプログラムされるメモリセルが、最初にプログラムされる。次いで、両行内の次の最も高いプログラミングレベルでプログラムされるメモリセルが、次にプログラムされる、などである。このプロセスは、両行内の最も低いプログラミングレベルでプログラムされるメモリセルがプログラムされるまで継続する。再度、これは、2つの行につき最も低いプログラミング値に関連付けられた入力データが最後にプログラムされるまで、2つの行につき最も高いプログラミング値に関連付けられた入力データが（メモリセル内にデータを記憶するための）最初にプログラムされ、続いて、2つの行につき次の最も高いプログラミング値に関連付けられた入力データが次にプログラムされることなどを意味する。このようにして、その後のメモリセルのプログラミングによる、以前にプログラムされたメモリセルの有害な漸増的プログラミングは、行方向及び列方向の両方で最小化される。

10

20

30

40

50

【0020】

第2の代替実施形態では、行又は行の対内の全てのメモリセルは、連続的なセル順を含む任意の順序で、ある中間値（例えば、入力データを記憶するためのそれらの目標プログラミング値の50%）に事前プログラムすることができる。次いで、メモリセルは、上記の方法論に従ってプログラミングを完了し、最も高いプログラミング値でプログラムされるメモリセルが、最初にプログラムされ、次いで、次の最も高いプログラミング値でプログラムされるメモリセルが、次にプログラムされる、などである。このようにして、任意の有害な逐次プログラミングの大きさが更に低減される。

【0021】

入力データによって決定されるプログラミング値の逐次下降順にメモリセルをプログラムすることが好ましいが、本発明の目標は、メモリセルを2つ以上のグループにグループ化することによって達成することができ、ここでは、プログラムされる第1のグループが、次のグループのプログラミング値範囲よりも大きい範囲内の関連するプログラミング値を有する、などである。このグループ化は、どのセルがどのデータを記憶するかは変更せず、セルがプログラムされるタイミング順のみを決定する。これは、入力データが、メモリセル内にデータを記憶するために必要とされるプログラミング値範囲に基づいて、2つ以上のグループにグループ化されることを意味する。プログラミング値の最も低い範囲に関連付けられた入力データグループが最後にプログラムされるまで、プログラミング値の最も高い範囲に関連付けられた入力データのグループが最初にプログラムされ、その後、プログラミング値の次に最も高い範囲に関連付けられた入力データグループが次にプログラムされる、などである。再度、このグループ化は、どのデータがどのセルに進むかを変更せず、入力データがプログラムされるタイミング順のみを決定する。グループの数が多いほど、入力データがグループ化される粒度がより細かくなり、有害な逐次プログラミングの大きさをより最小化することができる。有害な逐次プログラミングの大きさは、グループの数が入力データ内のデータ数に等しいときに完全に最小化されるべきである（すなわち、各グループは、入力データをグループ化することができる最も粒度が細かいセルのうちの1つのデータのうちの1つだけであり、プログラミングは、上述したようにプログラミング値の逐次順を下降させることによってプログラミングされる）。

【0022】

有害な逐次プログラミングを最少化させる技術は、任意の不揮発性メモリセル設計に実装され得る。例えば、図1は、シリコン半導体基板12内に形成されたソース領域14及びドレイン領域16が離間された、スプリットゲートメモリセル10を例証する。基板の

チャンネル領域 18 は、ソース領域 14 とドレイン領域 16 との間に画定される。浮遊ゲート 20 は、チャンネル領域 18 の第 1 の部分上方に配設され、チャンネル領域 18 の第 1 の部分から絶縁されている（かつ部分的にソース領域 14 上方に配設され、ソース領域 14 から絶縁されている）。制御ゲート（ワードラインゲート又は選択ゲートとも称される）22 は、チャンネル領域 18 の第 2 の部分上方に配設され、チャンネル領域 18 の第 2 の部分から絶縁された下部、及び浮遊ゲート 20 上方に延びた上部（すなわち、制御ゲート 22 が、浮遊ゲート 20 の上端の周りを包む）を有する。

【0023】

メモリセル 10 は、制御ゲート 22 に高正電圧を、ソース領域 14 及びドレイン領域 16 に基準電位をかけることにより消去することができる。浮遊ゲート 20 及び制御ゲート 22 間の高電圧降下により、浮遊ゲート 20 の電子を、浮遊ゲート 20 から、介在絶縁体を通り、制御ゲート 22 へと、周知のファウラー・ノルドハイムトンネリング機構によりトンネルさせる（浮遊ゲート 20 を正に帯電したままにする - 消去状態）。メモリセル 10 は、ドレイン領域 16 に接地電位を、ソース領域 14 に正電圧を、及び制御ゲート 22 に正電圧を印加することによりプログラムされ得る。次に、電子は、いくつかの電子を加速及び加熱しながら、ドレイン領域 16 からソース領域 14 に向かって流れ、それによって、電子が浮遊ゲート 20 に注入される（浮遊ゲートを負に帯電したままにする - プログラム状態）。メモリセル 10 は、ドレイン領域 16 に接地電位を、ソース領域 14 に正電圧を、及び制御ゲート 22 に正電圧をかけることにより読み出され得る（制御ゲート 22 下のチャンネル領域をオンする）。浮遊ゲートが正に帯電（消去）される場合、電流はソース領域 14 からドレイン領域 16 に流れる。浮遊ゲート 20 がより多く負に帯電する（すなわち、それがより多くプログラムされる）につれて、浮遊ゲートの下のチャンネル領域の導電性がより低くなる。電流の流れを検知することによって、メモリセルのプログラミング状態を検知することができる。

【0024】

図 2 は、メモリセル 10 と同一の素子を備えるが、ソース領域 14 上方に配設され、ソース領域 14 から絶縁されたプログラム/消去（PE）ゲート 32 を更に備えた代替のスプリットゲートメモリセル 30 を例証する（すなわち、これは 3 ゲート設計である）。メモリセル 30 は、PE ゲート 32 に高電圧をかけて、浮遊ゲート 20 から PE ゲート 32 へと電子のトンネリングを生じさせることにより消去され得る。メモリセル 30 は、制御ゲート 22、PE ゲート 32、及びソース領域 14 に正電圧をかけ、ドレイン領域 16 に電流を流し、チャンネル領域 18 を通り流れる電流から浮遊ゲート 20 へと電子を注入することによりプログラムされ得る。メモリセル 30 は、制御ゲート 22 及びドレイン領域 16 に正電圧をかけ、電流の流れを検知することにより読み出され得る。

【0025】

図 3 は、メモリセル 10 と同一の素子を備えるが、ソース領域 14 上方に配設され、ソース領域 14 から絶縁された消去ゲート 42、及び浮遊ゲート 20 上方に配設され、浮遊ゲート 20 から絶縁されたカップリングゲート 44 を更に備えた代替のスプリットゲートメモリセル 40 を例証する。メモリセル 40 は、消去ゲート 42 に高電圧をかけ、所望によりカップリングゲート 44 に負電圧をかけて、浮遊ゲート 20 から消去ゲート 42 へと電子のトンネリングを生じさせることにより消去され得る。メモリセル 40 は、制御ゲート 22、消去ゲート 42、カップリングゲート 44、及びソース領域 14 に正電圧をかけ、ドレイン領域 16 に電流を流し、チャンネル領域 18 を通り流れる電流から浮遊ゲート 20 へと電子を注入することによりプログラムされ得る。メモリセル 30 は、制御ゲート 22 及びドレイン領域 16（並びに所望により消去ゲート 42 及び/又はカップリングゲート 44）に正電圧をかけ、電流の流れを検知することにより読み出され得る。

【0026】

本発明のメモリデバイスのアーキテクチャが、図 4 に例証される。メモリデバイスは、不揮発性メモリセルのレイ 50 を含み、それは 2 つの分離した平面（平面 A 52 a 及び平面 B 52 b）に隔離され得る。メモリセルは、半導体基板 12 に複数の行及び列で配置

10

20

30

40

50

され、単一のチップに形成された、図 1 ~ 図 3 に示されたタイプであることができる。不揮発性メモリセルのアレイに隣接して、アドレスをデコードし、選択されたメモリセルに対する読み出し、プログラム、消去動作中、様々なメモリセルゲートに様々な電圧を提供するために使用される、アドレスデコーダ（例えば、XDEC54（行デコーダ）、SLDRV56、YMUX58（列デコーダ）、及びHVDEC60）及びビットラインコントローラ（BLINHCTL62）がある。コントローラ66（制御回路を備える）は、様々なデバイス素子を制御し、各動作（プログラム、消去、読み出し）を、対象のメモリセルで実現する。電荷ポンプCHRGPM64は、コントローラ66の制御下において、メモリセルの読み出し、プログラム、及び消去に使用される様々な電圧を提供する。コントローラ66は、入力データから、メモリセルがその入力データでプログラムされるべきタイミング順を決定し、本明細書で考察されるように、そのタイミング順に従ってメモリセルのプログラミングを実行する。

10

【0027】

本発明は、上述の本明細書において例証される実施形態（複数可）に限定されないことが理解されよう。例えば、本明細書における本発明への言及は、任意の請求項又は請求項の用語の範囲を限定することを意図されていないが、代わりに、単に、1つ以上の請求項によって網羅され得る1つ以上の特徴に言及するものである。上述の材料、プロセス、及び数値の実施例は、単に例示的なものであり、特許請求の範囲を限定するものと見なされるべきではない。更に、特許請求の範囲及び明細書から明らかであるように、全ての方法工程が例証された正確な順序で行われる必要があるというわけではない。最後に、単一層の材料をそのような又は同様の材料の複数層として形成することができ、逆もまた同様である。

20

【0028】

本明細書で使用される場合、「の上方に（over）」及び「に（on）」という用語は両方とも、「に直接」（中間材料、要素、又は空間がそれらの間に何ら配設されない）、及び「の上に間接的に」（中間材料、要素、又は空間がそれらの間に配設される）を包括的に含むことに留意するべきである。同様に、「隣接した」という用語は、「直接隣接した」（中間材料、要素、又は空間がそれらの間に何ら配設されない）、及び「間接的に隣接した」（中間材料、要素、又は空間がそれらの間に配設される）を含み、「に取り付けられた」は、「に直接取り付けられた」（中間材料、要素、又は空間がそれらの間に何ら配設されない）、及び「に間接的に取り付けられた」（中間材料、要素、又は空間がそれらの間に配設される）を含み、「電氣的に結合された」は、「に直接電氣的に結合された」（要素と一緒に電氣的に連結する中間材料又は要素がそれらの間にない）、及び「間接的に電氣的に結合された」（要素と一緒に電氣的に連結する中間材料又は要素がそれらの間にある）を含む。例えば、要素を「基板の上方に」形成することは、その要素を基板に直接、中間材料/要素をそれらの間に何ら伴わずに、形成すること、並びにその要素を基板の上に間接的に、1つ以上の中間材料/要素をそれらの間に伴って、形成することを含む得る。

30

【図 1】

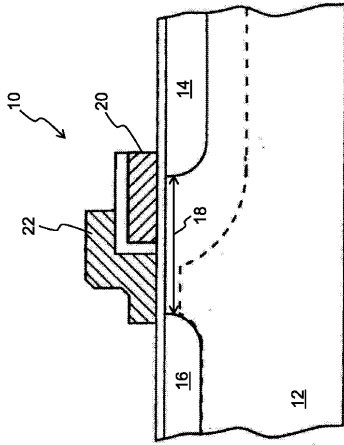


FIGURE 1

【図 2】

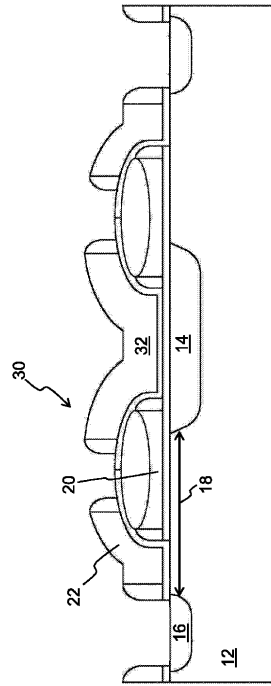


FIGURE 2

【図 3】

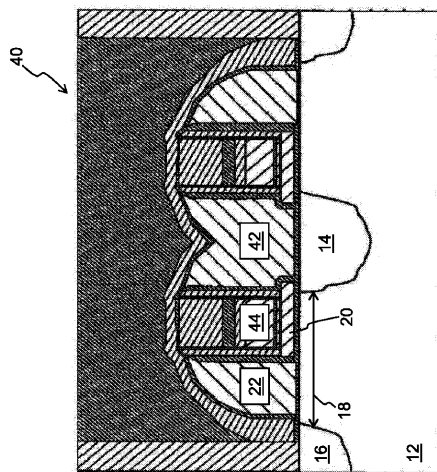


FIGURE 3

【図 4】

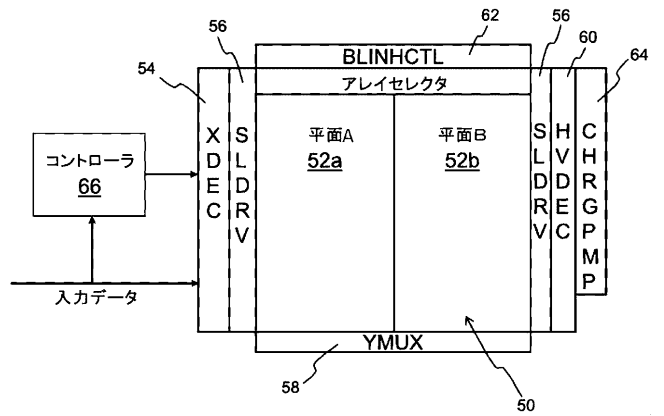


FIGURE 4

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PC1/US 18/60850
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - G06F 12/00; G06F 12/02 (2019.01) CPC - G06F 12/00; G06F 12/0207; G06F 12/0238; G06F 12/0269; G06F 12/06; G11C 11/4076		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) See Search History Document		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched See Search History Document		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) See Search History Document		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/0157675 A1 (SHALVI et al.) 24 June 2010 (24.06.2010), para [0002], [0014]-[0016] [0028], [0031]-[0032], [0037], [0050], [0062], [0083], [0103]	1-24
A	US 9,026,722 B2 (KAMPHENKEL et al.) 05 May 2015 (05.05.2015), col. 2 lns 29-67, col. 3 lns 1-67 and col. 4 lns 1-51	1-24
A	US 2007/0233939 A1 (KIM) 04 October 2007 (04.10.2007), para [0019]-[0029]	1-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 January 2019		Date of mailing of the international search report 11 FEB 2019
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-0300		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72) 発明者 ドー、ナン
 アメリカ合衆国 9 5 0 7 0 カリフォルニア州、サラトガ、ウォールナット アベニュー 2 0
 4 5 1

(72) 発明者 トラン、ヒューバン
 アメリカ合衆国 9 5 1 3 5 カリフォルニア州、サンノゼ、ゲイレイ プレイス 2 6 4 2

F ターム(参考) 5B225 BA03 BA19 CA19 DB29
 5F083 EP24 EP26 EP30 EP42 EP47 EP48 EP52 EP62 EP67 ER03
 ER09 ER14 ER19 ER22 GA22
 5F101 BA08 BA15 BB04 BB09 BC03 BD23 BE07