

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6725854号  
(P6725854)

(45) 発行日 令和2年7月22日(2020.7.22)

(24) 登録日 令和2年6月30日(2020.6.30)

(51) Int.Cl. F I  
H03F 3/45 (2006.01) H03F 3/45

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2018-503960 (P2018-503960)	(73) 特許権者	514315159
(86) (22) 出願日	平成28年3月11日 (2016.3.11)		株式会社ソシオネクスト
(86) 国際出願番号	PCT/JP2016/057748		神奈川県横浜市港北区新横浜2丁目10番
(87) 国際公開番号	W02017/154194		23
(87) 国際公開日	平成29年9月14日 (2017.9.14)	(74) 代理人	100090273
審査請求日	平成31年2月20日 (2019.2.20)		弁理士 園分 孝悦
		(72) 発明者	工藤 真大
			神奈川県横浜市港北区新横浜二丁目10番
			23 株式会社ソシオネクスト内
		審査官	渡井 高広

最終頁に続く

(54) 【発明の名称】 増幅回路、受信回路、及び半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源線と第2の電源線との間に設けられ、入力信号を受ける入力回路部と、前記第1の電源線と前記第2の電源線との間に前記入力回路部と直列に設けられた負荷回路部と、

前記第1の電源線と前記第2の電源線との間に前記負荷回路部と並列に設けられ、前記負荷回路部の抵抗値を補正する補正回路部と、

を備える増幅回路であって、

前記負荷回路部は、

制御回路によって生成されるデジタルコードにより抵抗値が制御される第1の可変抵抗部、及び、前記第1の可変抵抗部と並列に設けられ、前記補正回路部によって生成されたアナログ制御電圧により抵抗値が制御される第2の可変抵抗部を有し、

前記補正回路部は、

前記第1の可変抵抗部に対応する回路構成を有し、前記デジタルコードにより抵抗値が制御される第3の可変抵抗部、及び、前記第3の可変抵抗部と並列に設けられ、前記第2の可変抵抗部に対応する回路構成を有し、前記アナログ制御電圧により抵抗値が制御される第4の可変抵抗部を有する

ことを特徴とする増幅回路。

【請求項2】

前記補正回路部は、前記第3の可変抵抗部及び前記第4の可変抵抗部により生成される

10

20

電圧とリファレンス電圧とが入力されるオペアンプを有し、

前記制御回路は、前記オペアンプの出力に基づいて、前記デジタルコードを生成することを特徴とする請求項 1 記載の増幅回路。

【請求項 3】

第 1 の状態では、前記オペアンプの出力に基づいて前記制御回路が前記デジタルコードを生成し、

第 2 の状態では、前記オペアンプの出力を前記アナログ制御電圧として出力することを特徴とする請求項 2 記載の増幅回路。

【請求項 4】

前記補正回路部の前記第 3 の可変抵抗部を用いて第 1 の抵抗値に対応する前記デジタルコードを決定し、

決定された前記第 1 の抵抗値に対応する前記デジタルコードを前記第 3 の可変抵抗部に供給して、前記第 3 の可変抵抗部及び前記第 4 の可変抵抗部を用いて、前記第 3 の可変抵抗部及び前記第 4 の可変抵抗部による合成抵抗値が前記第 1 の抵抗値になる前記アナログ制御電圧を生成することを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の増幅回路。

【請求項 5】

前記第 1 の抵抗値に対応する前記デジタルコードは、前記デジタルコードを逐次変化させて前記第 3 の可変抵抗部及び前記第 4 の可変抵抗部により生成される電圧とリファレンス電圧とを比較することにより、比較結果に基づいて 1 ビットずつ決定され、

前記第 3 の可変抵抗部及び前記第 4 の可変抵抗部による合成抵抗値が前記第 1 の抵抗値になる前記アナログ制御電圧は、前記第 3 の可変抵抗部及び前記第 4 の可変抵抗部により生成される電圧とリファレンス電圧との比較結果を前記第 4 の可変抵抗部に負帰還させることにより生成されることを特徴とする請求項 4 記載の増幅回路。

【請求項 6】

前記第 1 の可変抵抗部及び前記第 3 の可変抵抗部はそれぞれ、並列に設けられた複数の抵抗と、前記抵抗に電流を流すか否かを前記デジタルコードに応じて制御するトランジスタを有し、

前記第 2 の可変抵抗部及び前記第 4 の可変抵抗部はそれぞれ、並列に設けられゲートに前記アナログ制御電圧が供給される複数のトランジスタを有することを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の増幅回路。

【請求項 7】

前記第 1 の可変抵抗部及び前記第 3 の可変抵抗部はそれぞれ、並列に設けられた複数の抵抗と、前記抵抗に電流を流すか否かを前記デジタルコードに応じて制御するトランジスタを有し、

前記第 2 の可変抵抗部及び前記第 4 の可変抵抗部はそれぞれ、並列に設けられゲートに前記アナログ制御電圧が供給される複数のトランジスタを有し、

前記第 1 の抵抗値に対応する前記デジタルコードを決定するとき、前記第 4 の可変抵抗部が有する前記複数のトランジスタのゲートにそれぞれ、一定の電圧を供給することを特徴とする請求項 4 記載の増幅回路。

【請求項 8】

前記第 4 の可変抵抗部が有する前記複数のトランジスタの内の少なくとも 1 つのトランジスタのゲートには電源電位を供給し、他の少なくとも 1 つのトランジスタのゲートには基準電位を供給することを特徴とする請求項 7 記載の増幅回路。

【請求項 9】

入力シリアル信号を増幅する増幅回路と、

前記増幅回路により増幅された前記入力シリアル信号をサンプリングするコンパレータと、

前記コンパレータの出力に対してシリアル - パラレル変換を行いパラレル信号を出力するデマルチプレクサ回路とを備え、

前記増幅回路は、

10

20

30

40

50

第 1 の電源線と第 2 の電源線との間に設けられ、前記入力シリアル信号を受ける入力回路部と、

前記第 1 の電源線と前記第 2 の電源線との間に前記入力回路部と直列に設けられた負荷回路部と、

前記第 1 の電源線と前記第 2 の電源線との間に前記負荷回路部と並列に設けられ、前記負荷回路部の抵抗値を補正する補正回路部と、

を備え、

前記負荷回路部は、

制御回路によって生成されるデジタルコードにより抵抗値が制御される第 1 の可変抵抗部、及び、前記第 1 の可変抵抗部と並列に設けられ、前記補正回路部によって生成されたアナログ制御電圧により抵抗値が制御される第 2 の可変抵抗部を有し、

前記補正回路部は、

前記第 1 の可変抵抗部に対応する回路構成を有し、前記デジタルコードにより抵抗値が制御される第 3 の可変抵抗部、及び、前記第 3 の可変抵抗部と並列に設けられ、前記第 2 の可変抵抗部に対応する回路構成を有し、前記アナログ制御電圧により抵抗値が制御される第 4 の可変抵抗部を有する  
ことを特徴とする受信回路。

【請求項 10】

入力シリアル信号を増幅する増幅回路と、

前記増幅回路により増幅された前記入力シリアル信号をサンプリングするコンパレータと、

前記コンパレータの出力に対してシリアル - パラレル変換を行いパラレル信号を出力するデマルチプレクサ回路と、

前記デマルチプレクサ回路からの前記パラレル信号を受けて処理動作を行う内部回路とを備え、

前記増幅回路は、

第 1 の電源線と第 2 の電源線との間に設けられ、前記入力シリアル信号を受ける入力回路部と、

前記第 1 の電源線と前記第 2 の電源線との間に前記入力回路部と直列に設けられた負荷回路部と、

前記第 1 の電源線と前記第 2 の電源線との間に前記負荷回路部と並列に設けられ、前記負荷回路部の抵抗値を補正する補正回路部と、

を備え、

前記負荷回路部は、

制御回路によって生成されるデジタルコードにより抵抗値が制御される第 1 の可変抵抗部、及び、前記第 1 の可変抵抗部と並列に設けられ、前記補正回路部によって生成されたアナログ制御電圧により抵抗値が制御される第 2 の可変抵抗部を有し、

前記補正回路部は、

前記第 1 の可変抵抗部に対応する回路構成を有し、前記デジタルコードにより抵抗値が制御される第 3 の可変抵抗部、及び、前記第 3 の可変抵抗部と並列に設けられ、前記第 2 の可変抵抗部に対応する回路構成を有し、前記アナログ制御電圧により抵抗値が制御される第 4 の可変抵抗部を有する  
ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路、受信回路、及び半導体集積回路に関する。

【背景技術】

【0002】

アナログ信号処理では電流信号を電圧信号に変換する素子として抵抗素子が広く用いら

10

20

30

40

50

れている。このような回路では、例えば増幅回路のゲインやフィルタ回路のカットオフ周波数等の回路特性に抵抗素子の抵抗値が影響を与える。一般に、半導体プロセスで形成される抵抗素子の抵抗値はある範囲のばらつきがあり、また抵抗値が周囲温度に依存する場合もある。

#### 【0003】

例えば、抵抗負荷の増幅回路のゲインを一定に保つためには、抵抗負荷の抵抗値のばらつきや変動を補正して一定値に保つ必要がある。抵抗値のばらつきや変動を補正して一定値に保つ1つの方法として、抵抗値を制御により変化させることができる可変抵抗回路を用いる方法がある。

#### 【0004】

図6Aは、抵抗値がデジタル的に制御される可変抵抗回路の構成例を示す図である。複数の抵抗601-1、601-2、・・・、601-Nを有し、それぞれの抵抗601-1、601-2、・・・、601-Nには電流を流すか否かを制御するPMOSトランジスタ602-1、602-2、・・・、602-Nが接続されている。

#### 【0005】

PMOSトランジスタ602-1、602-2、・・・、602-Nは、ゲートに供給される制御信号S1、S2、・・・、SNによりオン状態(導通状態)/オフ状態(非導通状態)となるようそれぞれ制御される。制御信号S1、S2、・・・、SNによりオン状態にするPMOSトランジスタ602-1、602-2、・・・、602-Nの数を制御することにより、端子と電源電位との間で電流が流れる抵抗601-1、601-2、

#### 【0006】

図6Bは、抵抗値がアナログ的に制御される可変抵抗回路の構成例を示す図である。電源電位と端子との間に抵抗611、612が直列に接続され、抵抗611に可変抵抗としてのPMOSトランジスタ613が並列に接続されている。PMOSトランジスタ613のゲートにはゲート電圧VGが供給され、電圧VGを制御することによりPMOSトランジスタ613はゲート・ソース間電圧に対応するオン抵抗を制御する。

#### 【0007】

抵抗611の抵抗値をRP、抵抗612の抵抗値をRS、PMOSトランジスタ613のオン抵抗の抵抗値をRONとすると、図6Bに示す構成では合成抵抗値 $RS + \{ RP \cdot RON / ( RP + RON ) \}$ が得られる。例えば、PMOSトランジスタ613がオン状態(オン抵抗の抵抗値RONがほぼゼロ)のとき、合成抵抗値はRSになり、PMOSトランジスタ613がオフ状態のとき、合成抵抗値は(RS + RP)になる。

#### 【0008】

したがって、図6Bに示す可変抵抗回路は、PMOSトランジスタ613のゲートに供給するゲート電圧VGを制御することにより、抵抗値RSから抵抗値(RS + RP)まで抵抗値を変化させることができる。なお、図6Bに示した抵抗611はオープン状態(抵抗無限大)に置き換えて省略することができ、抵抗612は短絡状態(抵抗ゼロ)に置き換えて省略することができる。

#### 【0009】

増幅回路の抵抗負荷として図6Aや図6Bに示したような可変抵抗回路を適用し抵抗値を制御により変化させることにより、増幅回路のゲインを一定に保つことが可能となる。しかし、図6Aに示した可変抵抗回路は、抵抗値の調整ステップが有限であり、抵抗値の変化が離散的であるために所望の抵抗値に対する精度が制限される。また、実際の使用に際して事前のキャリブレーション等で求めた制御信号を用いて抵抗値の制御を行う場合、キャリブレーション後における温度等の環境変化による抵抗値の変動には追従せず、変動分は誤差となってしまふ。

#### 【0010】

また、図6Bに示した可変抵抗回路は、抵抗値の可変範囲をPMOSトランジスタ613がオンする範囲のゲート電圧で制御するため、抵抗値に対するゲート電圧の感度が高い

10

20

30

40

50

。そのため、広い範囲の抵抗値に対応しようとすると、ゲート電圧のわずかな誤差が、抵抗値の変化に大きく現れてしまう。したがって、可変抵抗の抵抗値がノイズ等の影響を受けやすい。

#### 【0011】

温度依存特性を補正する技術に関し、アナログ制御で温度補償を行う回路と、デジタル制御で温度補償を行う回路とを備え、温度領域によりアナログ制御とデジタル制御とを切り替える電圧発生回路が提案されている（例えば、特許文献1）。また、所定の温度間隔で設定された補正ポイントで、予め各補正ポイント毎に設定された補正データに基づいて入力信号を狙い値に補正するデジタル的補正を行い、各補正ポイント間では、前後の補正ポイントから算出される傾きに基づいて入力信号の温度依存を相殺するアナログ的補正を行うセンサ用増幅回路が提案されている（例えば、特許文献2参照）。

10

#### 【先行技術文献】

#### 【特許文献】

#### 【0012】

【特許文献1】特開2003-84728号公報

【特許文献2】特開2007-248288号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0013】

本発明の目的は、抵抗負荷の抵抗値を精度良く制御でき、かつノイズ耐性を向上させることができる増幅回路を提供することにある。

20

#### 【課題を解決するための手段】

#### 【0014】

増幅回路の一態様は、第1の電源線と第2の電源線との間に設けられ、入力信号を受ける入力回路部と、第1の電源線と第2の電源線との間に入力回路部と直列に設けられた負荷回路部と、第1の電源線と第2の電源線との間に負荷回路部と並列に設けられ、負荷回路部の抵抗値を補正する補正回路部とを備える。負荷回路部は、制御回路によって生成されるデジタルコードにより抵抗値が制御される第1の可変抵抗部、及び、第1の可変抵抗部と並列に設けられ、補正回路部によって生成されたアナログ制御電圧により抵抗値が制御される第2の可変抵抗部を有する。補正回路部は、第1の可変抵抗部に対応する回路構成を有し、デジタルコードにより抵抗値が制御される第3の可変抵抗部、及び、第3の可変抵抗部と並列に設けられ、第2の可変抵抗部に対応する回路構成を有し、アナログ制御電圧により抵抗値が制御される第4の可変抵抗部を有する。

30

#### 【発明の効果】

#### 【0015】

開示の増幅回路は、デジタルコードによる制御により抵抗値を粗調整し、アナログ制御電圧による制御により抵抗値を微調整することができ、増幅回路における抵抗負荷の抵抗値を精度良く制御でき、かつノイズ耐性を向上させることができる。

#### 【図面の簡単な説明】

#### 【0016】

40

【図1】図1は、本発明の実施形態における増幅回路の構成例を示す図である。

【図2A】図2Aは、本実施形態におけるデジタル補正時の補正回路部の状態を示す図である。

【図2B】図2Bは、本実施形態におけるアナログ補正時の補正回路部の状態を示す図である。

【図3】図3は、本実施形態における抵抗補正動作の例を示すフローチャートである。

【図4】図4は、本発明の実施形態における半導体集積回路の構成例を示す図である。

【図5】図5は、本実施形態における増幅回路の他の構成例を示す図である。

【図6A】図6Aは、可変抵抗回路の例を示す図である。

【図6B】図6Bは、可変抵抗回路の例を示す図である。

50

## 【発明を実施するための形態】

## 【0017】

以下、本発明の実施形態を図面に基づいて説明する。

図1は、本発明の一実施形態における増幅回路の構成例を示す図である。本実施形態における増幅回路は、増幅部10、補正回路部30、及び制御部50を有する。増幅部10は、入力信号を受ける入力回路部と、負荷として用いられ所望の抵抗値に制御される可変抵抗回路で構成される負荷回路部とを有し、差動の入力信号を特定のゲイン（倍率）で増幅し出力する。

## 【0018】

増幅部10において、入力回路部が有するNMOSトランジスタ11A、11Bは、差動増幅部における駆動素子をなすものである。NMOSトランジスタ11Aのゲートは差動入力信号の一方の信号が入力される入力端子INに接続され、ソースは基準電位VSS（例えばグラウンド電位）の電源線に接続された電流源12に接続される。また、NMOSトランジスタ11Bのゲートは差動入力信号の他方の信号が入力される入力端子INXに接続され、ソースは基準電位VSSの電源線に接続された電流源12に接続される。

10

## 【0019】

負荷回路部が有するPMOSトランジスタ13A-i及び抵抗14A-iは、電源電位VDDの電源線とNMOSトランジスタ11Aのドレインとの間に直列に接続される。このPMOSトランジスタ13A-i及び抵抗14A-iを有する可変抵抗回路が、電源電位VDDの電源線と基準電位VSSの電源線との間にNMOSトランジスタ11Aと直列に設けられた、負荷回路部の第1の可変抵抗部に相当する。なお、iは添え字であり、0~N-1（Nは任意）の自然数である（以下についても同様）。

20

## 【0020】

PMOSトランジスタ13A-iのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ13A-iのドレインが抵抗14A-iの一端に接続され、抵抗14A-iの他端がNMOSトランジスタ11Aのドレインに接続される。PMOSトランジスタ13A-iのゲートには、制御部50から出力されるデジタルコードD[i]が入力される。

## 【0021】

デジタルコードD[N-1:0]によりオン状態にするPMOSトランジスタ13A-0~13A-(N-1)の数を制御することにより電流が流れる抵抗14A-0~14A-(N-1)の本数を制御し、合成抵抗値を変化させることができる。このように、制御部50から出力されるデジタルコードD[i]により、負荷回路部の第1の可変抵抗部における抵抗値がデジタル的に制御される。

30

## 【0022】

負荷回路部が有するPMOSトランジスタ15A及び抵抗16Aは、電源電位VDDの電源線とNMOSトランジスタ11Aのドレインとの間に直列に接続される。すなわち、PMOSトランジスタ15Aのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ15Aのドレインが抵抗16Aの一端に接続され、抵抗16Aの他端がNMOSトランジスタ11Aのドレインに接続される。PMOSトランジスタ15Aのゲートは、スイッチ17Aを介して電源電位VDDの電源線又はアナログ制御電圧が供給される信号線NDBに選択的に接続される。

40

## 【0023】

また、負荷回路部が有するPMOSトランジスタ18A及び抵抗19Aは、電源電位VDDの電源線とNMOSトランジスタ11Aのドレインとの間に直列に接続される。すなわち、PMOSトランジスタ18Aのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ18Aのドレインが抵抗19Aの一端に接続され、抵抗19Aの他端がNMOSトランジスタ11Aのドレインに接続される。PMOSトランジスタ18Aのゲートは、スイッチ20Aを介して基準電位VSSの電源線又はアナログ制御電圧が供給される信号線NDBに選択的に接続される。

50

## 【0024】

前述したPMOSトランジスタ15A、18A、抵抗16A、19A、及びスイッチ17A、20Aを有する可変抵抗回路が、電源電位VDDの電源線と基準電位VSSの電源線との間にNMOSトランジスタ11Aと直列に設けられた、負荷回路部の第2の可変抵抗部に相当する。PMOSトランジスタ15A、18Aのゲートとアナログ制御電圧を供給する信号線NDBとが接続されるようにスイッチ17A、20Aを設定し、アナログ制御電圧を制御することによりPMOSトランジスタ15A、18Aのオン抵抗を制御し、抵抗値を変化させることができる。このようにして、アナログ制御電圧により、負荷回路部の第2の可変抵抗部における抵抗値がアナログ的に制御される。

## 【0025】

同様に、負荷回路部が有するPMOSトランジスタ13B-i及び抵抗14B-iは、電源電位VDDの電源線とNMOSトランジスタ11Bのドレインとの間に直列に接続される。このPMOSトランジスタ13B-i及び抵抗14B-iを有する可変抵抗回路が、電源電位VDDの電源線と基準電位VSSの電源線との間にNMOSトランジスタ11Bと直列に設けられた、負荷回路部の第1の可変抵抗部に相当する。

## 【0026】

PMOSトランジスタ13B-iのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ13B-iのドレインが抵抗14B-iの一端に接続され、抵抗14B-iの他端がNMOSトランジスタ11Bのドレインに接続される。PMOSトランジスタ13B-iのゲートには、制御部50から出力されるデジタルコードD[i]が入力される。

## 【0027】

デジタルコードD[N-1:0]によりオン状態にするPMOSトランジスタ13B-0~13B-(N-1)の数を制御することにより電流が流れる抵抗14B-0~14B-(N-1)の本数を制御し、合成抵抗値を変化させることができる。このように、制御部50から出力されるデジタルコードD[i]により、負荷回路部の第1の可変抵抗部における抵抗値がデジタル的に制御される。

## 【0028】

負荷回路部が有するPMOSトランジスタ15B及び抵抗16Bは、電源電位VDDの電源線とNMOSトランジスタ11Bのドレインとの間に直列に接続される。すなわち、PMOSトランジスタ15Bのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ15Bのドレインが抵抗16Bの一端に接続され、抵抗16Bの他端がNMOSトランジスタ11Bのドレインに接続される。PMOSトランジスタ15Bのゲートは、スイッチ17Bを介して電源電位VDDの電源線又はアナログ制御電圧が供給される信号線NDBに選択的に接続される。

## 【0029】

また、負荷回路部が有するPMOSトランジスタ18B及び抵抗19Bは、電源電位VDDの電源線とNMOSトランジスタ11Bのドレインとの間に直列に接続される。すなわち、PMOSトランジスタ18Bのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ18Bのドレインが抵抗19Bの一端に接続され、抵抗19Bの他端がNMOSトランジスタ11Bのドレインに接続される。PMOSトランジスタ18Bのゲートは、スイッチ20Bを介して基準電位VSSの電源線又はアナログ制御電圧が供給される信号線NDBに選択的に接続される。

## 【0030】

前述したPMOSトランジスタ15B、18B、抵抗16B、19B、及びスイッチ17B、20Bを有する可変抵抗回路が、電源電位VDDの電源線と基準電位VSSの電源線との間にNMOSトランジスタ11Bと直列に設けられた、負荷回路部の第2の可変抵抗部に相当する。PMOSトランジスタ15B、18Bのゲートとアナログ制御電圧を供給する信号線NDBとが接続されるようにスイッチ17B、20Bを設定し、アナログ制御電圧を制御することによりPMOSトランジスタ15B、18Bのオン抵抗を制御し、

10

20

30

40

50

抵抗値を変化させることができる。このようにして、アナログ制御電圧により、負荷回路部の第2の可変抵抗部における抵抗値がアナログ的に制御される。

【0031】

NMOSトランジスタ11Bのドレインと負荷回路部との接続点の電位が差動出力信号の一方の信号OUTとして出力され、NMOSトランジスタ11Aのドレインと負荷回路部との接続点の電位が差動出力信号の他方の信号OUTXとして出力される。

【0032】

補正回路部30は、オペアンプ(増幅器)31、電圧源32、電流源33、第3の可変抵抗部35、及び第4の可変抵抗部36を有する。オペアンプ31は、電源電位VDDから第3の可変抵抗部35及び第4の可変抵抗部36によって電圧降下した電圧と電圧源32が生成するリファレンス電圧との差電圧を増幅して出力する。電圧源32は、第3の可変抵抗部35及び第4の可変抵抗部36による合成抵抗値が所望の抵抗値であるときに、電源電位VDDから第3の可変抵抗部35及び第4の可変抵抗部36によって電圧降下した電圧と等しい電圧を発生する。電流源33は、第3の可変抵抗部35及び第4の可変抵抗部36に所定の電流を流すための電流源である。

【0033】

第3の可変抵抗部35は、増幅部10の第1の可変抵抗部に対応する回路構成を有する。すなわち、第3の可変抵抗部35は、第1の可変抵抗部と等価な回路構成を有する。第3の可変抵抗部35は、PMOSトランジスタ37-i及び抵抗38-iを有する可変抵抗回路である。尚、第3の可変抵抗部35に含まれる抵抗38-iの抵抗値は、電流源33の電流値に応じて決定されるものであり、第1の可変抵抗部に含まれる抵抗の抵抗値と必ずしも同一である必要はない。例えば、第3の可変抵抗部35の抵抗38-iの抵抗値は、第3の可変抵抗部35及び第4の可変抵抗部36による合成抵抗値と電流源33の電流値の積が一定となる範囲内で、調整してもよい。

【0034】

PMOSトランジスタ37-iのソースが電源電位VDDの電源線に接続され、PMOSトランジスタ37-iのドレインが抵抗38-iの一端に接続され、抵抗38-iの他端が電流源33を介して基準電位VSSの電源線に接続される。PMOSトランジスタ37-iのゲートには、制御部50から出力されるデジタルコードD[i]が入力される。

【0035】

デジタルコードD[N-1:0]によりオン状態にするPMOSトランジスタ37-0~37-(N-1)の数を制御することにより電流が流れる抵抗38-0~38-(N-1)の本数を制御し、合成抵抗値を変化させることができる。このように、制御部50から出力されるデジタルコードD[i]により、第3の可変抵抗部35における抵抗値がデジタル的に制御される。

【0036】

第4の可変抵抗部36は、増幅部10の第2の可変抵抗部に対応する回路構成を有する。すなわち、第4の可変抵抗部36は、第2の可変抵抗部と等価な回路構成を有する。第4の可変抵抗部36は、PMOSトランジスタ39、42、抵抗40、43、及びスイッチ41、44を有する可変抵抗回路である。尚、第4の可変抵抗部36に含まれる抵抗40、43の抵抗値は、電流源33の電流値に応じて決定されるものであり、第2の可変抵抗部に含まれる抵抗の抵抗値と必ずしも同一である必要はない。例えば、第4の可変抵抗部36の抵抗40、43の抵抗値は、第3の可変抵抗部35及び第4の可変抵抗部36による合成抵抗値と電流源33の電流値の積が一定となる範囲内で、調整してもよい。

【0037】

PMOSトランジスタ39のソースが電源電位VDDの電源線に接続され、PMOSトランジスタ39のドレインが抵抗40の一端に接続され、抵抗40の他端が電流源33を介して基準電位VSSの電源線に接続される。PMOSトランジスタ39のゲートは、スイッチ41を介して電源電位VDDの電源線又はアナログ制御電圧が供給される信号線NDに選択的に接続される。

10

20

30

40

50

## 【 0 0 3 8 】

また、PMOSトランジスタ42のソースが電源電位VDDの電源線に接続され、PMOSトランジスタ42のドレインが抵抗43の一端に接続され、抵抗43の他端が電流源33を介して基準電位VSSの電源線に接続される。PMOSトランジスタ42のゲートは、スイッチ44を介して基準電位VSSの電源線又はアナログ制御電圧が供給される信号線NDBに選択的に接続される。

## 【 0 0 3 9 】

PMOSトランジスタ39、42のゲートとアナログ制御電圧を供給する信号線NDBとが接続されるようにスイッチ41、44を設定し、アナログ制御電圧を制御することによりPMOSトランジスタ39、42のオン抵抗を制御し、抵抗値を変化させることができる。このようにして、アナログ制御電圧により、第4の可変抵抗部36における抵抗値がアナログ的に制御される。

10

## 【 0 0 4 0 】

制御部50は、抵抗値を制御するためのデジタルコードD[N-1:0]を生成して出力するとともに、増幅回路が有するスイッチ17A、17B、20A、20B、34、41、44等の制御を行う。制御部50は、補正回路部30が有するオペアンプ31の出力に基づいてデジタルコードD[N-1:0]を決定するためのSAR (successive approximation register) 機能を有している。SAR機能は、所望の値に対して近似した値を逐次比較することで、順に近似値の精度を高めていく論理機能である。

## 【 0 0 4 1 】

20

制御部50は、例えばデジタルコードD[N-1:0]を決定するためのデジタル補正時には、図2Aに示すように補正回路部30が有するスイッチ34、41、44を制御する。すなわち、制御部50は、オペアンプ31の出力を制御部50に供給するためにオペアンプの出力と信号線NDAとを接続するようにスイッチ34を制御する。また、制御部50は、PMOSトランジスタ39のゲートに電源電位VDDが供給され、PMOSトランジスタ42のゲートに基準電位VSSが供給されるように、スイッチ41、44をそれぞれ制御する。このように、第4の可変抵抗部36における補正ユニットの一方に電源電位VDDを供給し、補正ユニットの他方に基準電位VSSを供給することで、後のアナログ補正時等において抵抗値を増やすように制御することも減らすように制御することも可能となる。

30

## 【 0 0 4 2 】

また、制御部50は、例えばデジタルコードD[N-1:0]の決定後のアナログ補正時、及び通常の動作時には、図2Bに示すように補正回路部30が有するスイッチ34、41、44を制御する。すなわち、制御部50は、オペアンプ31の出力をアナログ制御電圧として出力するためにオペアンプ31の出力と信号線NDBとを接続するようにスイッチ34を制御する。また、制御部50は、PMOSトランジスタ39、42のゲートにアナログ制御電圧が供給されるようにスイッチ41、44をそれぞれ制御する。このとき、制御部50は、増幅部10が有するPMOSトランジスタ15A、15B、18A、18Bのゲートにアナログ制御電圧が供給されるようにスイッチ17A、17B、20A、20Bもそれぞれ制御する。

40

## 【 0 0 4 3 】

ここで、増幅部10の第1の可変抵抗部が有する抵抗14A-i、14B-i、及び補正回路部30の第3の可変抵抗部35が有する抵抗38-iの抵抗値は、すべて同じであっても良いし、異なっても良い。異なる抵抗値とする場合には、デジタルコードD[N-1:0]を決定する処理において、値が決定される順序が後になるほど、そのビットに対応する抵抗値の合成抵抗値に対する寄与が小さくなるように抵抗値を設定すれば良い。

## 【 0 0 4 4 】

例えば、後述する図3に示すように(N-1)ビット目から0ビット目に向かってデジタルコードの値を決定する場合には、(N-1)ビット目に対応する抵抗値の合成抵抗値に対する寄与が最も大きく、すなわち抵抗値としては最も小さく(コンダクタンスは最大

50

)、0ビット目に対応する抵抗値の合成抵抗値に対する寄与が最も小さく、すなわち抵抗値としては最も大きく(コンダクタンスは最小)なるように各抵抗の抵抗値を設定すれば良い。

【0045】

次に、本実施形態における増幅回路での抵抗補正動作について説明する。図3は、本実施形態における抵抗補正動作の例を示すフローチャートである。抵抗補正動作は、例えば増幅回路の動作開始時に実施される。

【0046】

抵抗補正動作を開始すると、ステップS301にて初期化処理が行われ、制御部50は、リセットを解除するとともに、各スイッチを図2Aに示したデジタル補正時の状態になるよう制御する。また、制御部50は、デジタルコードD[N-1:0]の全ビットを0にリセットするとともに、内部に有するカウンタのカウント値iを(N-1)に設定する。

10

【0047】

その後、デジタルコードD[N-1:0]を1ビットずつ決定するためのループ処理を行う。まず、ステップS302にて、制御部50は、カウンタのカウント値iに基づいて、iビット目のデジタルコードD[i]を“1”に設定する。そして、ステップS303にて、制御部50は、補正回路部30のオペアンプ31の出力が正であるか否かを判定する。

【0048】

オペアンプ31の出力が正でない場合、ステップS304にて、制御部50は、iビット目のデジタルコードD[i]を“0”に変更する。一方、オペアンプ31の出力が正である場合、ステップS304をスキップし、制御部50は、iビット目のデジタルコードD[i]を“1”に維持する。

20

【0049】

iビット目のデジタルコードD[i]を決定した後、ステップS305にて、制御部50は、カウンタのカウント値iが0であるか否かを判定する。カウンタのカウント値iが0でない場合には、ステップS306にて、制御部50は、カウンタのカウント値iを1減算し、ステップS302以降の動作を繰り返す。

【0050】

以上のようにして、デジタルコードD[i]を1ビットずつ順に決定していき、カウンタのカウント値iが0であるとステップS305において判定されると、電圧源32が生成するリファレンス電圧の値に応じた抵抗値(第1の抵抗値)に対応するデジタルコードD[N-1:0]が決定される。そして、ステップS307にて、制御部50は、各スイッチを図2Bに示したアナログ補正時の状態になるよう制御する。

30

【0051】

このように制御して、以降はオペアンプ31の負帰還制御によるアナログ制御電圧の生成を行う。アナログ制御電圧の生成では、第3の変抵抗部35及び第4の変抵抗部36により生成される電圧が、電圧源32が生成するリファレンス電圧より高い場合、オペアンプ31の出力電圧が上昇する。これにより、第4の変抵抗部36のPMOSトランジスタ39、42のゲートに供給される電圧が上昇し、PMOSトランジスタ39、42のオン抵抗が高くなる。PMOSトランジスタ39、42のオン抵抗が高くなることで、電流源33が流す電流に対して示す電圧降下が大きくなり、第3の変抵抗部35及び第4の変抵抗部36により生成される電圧が低下する。

40

【0052】

同様に、第3の変抵抗部35及び第4の変抵抗部36により生成される電圧が、電圧源32が生成するリファレンス電圧より低い場合、オペアンプ31の出力電圧が低下する。これにより、第4の変抵抗部36のPMOSトランジスタ39、42のゲートに供給される電圧が低下し、PMOSトランジスタ39、42のオン抵抗が低くなる。PMOSトランジスタ39、42のオン抵抗が低くなることで、電流源33が流す電流に対して

50

示す電圧降下が小さくなり、第3の可変抵抗部35及び第4の可変抵抗部36により生成される電圧が上昇する。

【0053】

このように、オペアンプ31の負帰還によりアナログ制御電圧を生成することで、第3の可変抵抗部35及び第4の可変抵抗部36による合成抵抗値が所望の抵抗値に収束するようにアナログ制御電圧を制御することができる。以上のようにして、デジタルコードD[N-1:0]を決定し、アナログ制御電圧を得て抵抗補正動作が終了する。なお、抵抗補正動作が終了した後も各スイッチが図2Bに示した状態になるように制御されているので、温度変化などの環境の変化による抵抗値の変動に対してもアナログ制御電圧が制御され適切に制御することができる。

10

【0054】

以上説明したように本実施形態によれば、補正回路部30を用いて増幅部10の抵抗負荷の抵抗値が所望の抵抗値となるようにデジタルコードD[N-1:0]及びアナログ制御電圧を制御することで、増幅部10の抵抗負荷の抵抗値を所望の抵抗値に設定することができる。また、デジタルコードD[N-1:0]に基づくデジタル補正によって粗調整し、アナログ制御電圧に基づくアナログ補正によって微調整することで、抵抗値を精度良く制御することができる。また、本実施形態におけるアナログ制御電圧に基づくアナログ補正による調整量は、アナログ補正のみによって抵抗値を調整する従来と比較して小さいので、抵抗値に対するアナログ制御電圧の感度を小さくでき、ノイズ耐性が向上する。

【0055】

図4は、本実施形態における増幅回路を含む半導体集積回路の構成例を示す図である。本実施形態における半導体集積回路401は、入力シリアル信号をパラレル信号に変換するデシリアライザ回路の機能を有する受信回路402、及び受信回路402からのパラレル信号(データ)を受けて処理動作を行うロジック回路等の内部回路409を有する。

20

【0056】

受信回路402は、フロントエンド部403、クロックデータリカバリ回路407、及びクロック生成部408を有する。フロントエンド部403は、増幅回路404、コンパレータ(比較回路)405、及びデマルチプレクサ406を有する。

【0057】

増幅回路404は、本実施形態における増幅回路であり、伝送路等を介して伝送された差動の入力シリアル信号RXIN、RXINXを受ける。本実施形態における増幅回路を用いることにより抵抗負荷の抵抗値のばらつきや変動を補正して一定値に保つことができ、ゲインのばらつきが小さい受信回路402のフロントエンド部403を実現することができる。

30

【0058】

コンパレータ405は、クロック生成部408が出力するクロック信号を用いて、適切なタイミングで入力シリアル信号のサンプリングを行い、入力シリアル信号のデータ値(符号)を判定する。デマルチプレクサ406は、コンパレータ405の出力に対してシリアル-パラレル変換を行い、パラレル信号RXOUTとして出力する。

【0059】

クロックデータリカバリ回路407は、受信した信号を基にクロック生成部408が出力するクロック信号の位相を適切に制御する。内部回路409は、受信回路402から出力されるパラレル信号RXOUTを受け、パラレル信号RXOUTに係る処理動作等を行う。

40

【0060】

ここで、本実施形態における増幅回路において、伝送路で高周波成分が減衰した入力信号を受信することを想定して、高周波成分のゲインを低周波成分のゲインよりも高めた周波数特性を持たせるようにしたCTLE(continuous time linear equalizer)と呼ばれる回路構成としても良い。図5に、CTLEと呼ばれる回路構成とした本実施形態における増幅回路の構成例を示す。図5において、図1に示した構成要素と同一の構成要素には

50

同一の符号を付し、重複する説明は省略する。

【0061】

図5に示す増幅回路では、差動出力信号OUTX、OUTの出力端子と、負荷回路部が有する可変抵抗回路との間に、インダクタ21A、21Bを設けている。また、インダクタの寄生抵抗を考慮するために、補正回路部30における可変抵抗回路と電流源との間に同様のインダクタ45を設けている。このような構成とすることで、インダクタと抵抗の直列回路により、インピーダンスが低周波側で一定で高周波側で上がるような回路特性を得ることができる。また、本実施形態を適用することで、可変抵抗回路の抵抗値を精度良く一定値に制御することができ、良好な周波数特性を得ることができる。

【0062】

なお、前述した実施形態において、増幅部10が有する第2の可変抵抗部及び補正回路部30が有する第4の可変抵抗部では、PMOSトランジスタと並列に配置される抵抗を省略しているが、PMOSトランジスタと並列に抵抗を配置しても良い。また、補正回路部30が有するオペアンプ31の出力を信号線NDA、NDBの一方に供給するためのスイッチ34を設けているが、スイッチ34を設けずに、オペアンプ31の出力を制御部50に供給するとともにアナログ制御電圧として供給するようにしても同様の動作が可能である。

【0063】

また、アナログ制御電圧により抵抗値が制御される第2の可変抵抗部及び第4の可変抵抗部には、2つの補正ユニットを設けているが、3つ以上の補正ユニットを並列に接続するようにしても良い。また、各補正ユニットのPMOSトランジスタのゲートにデジタル補正時に供給する電位が異なっても良い。

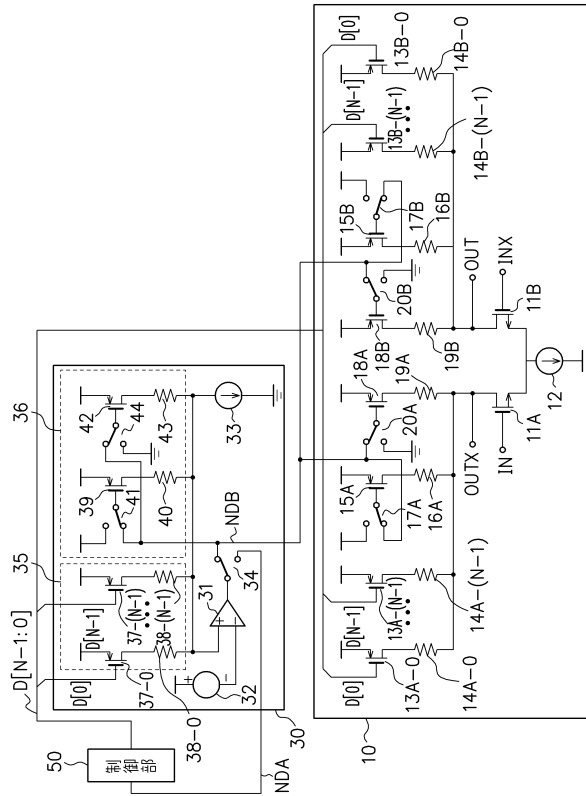
【0064】

また、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

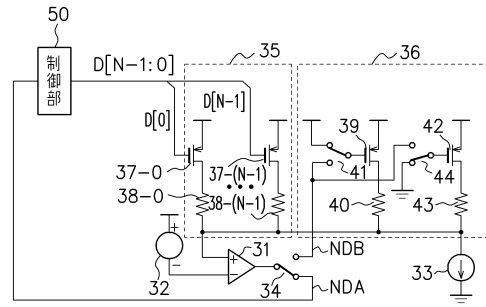
10

20

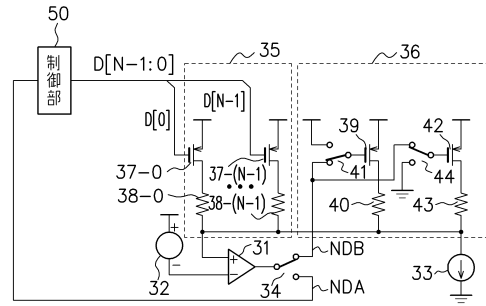
【図1】



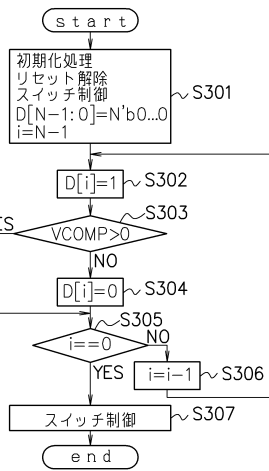
【図2A】



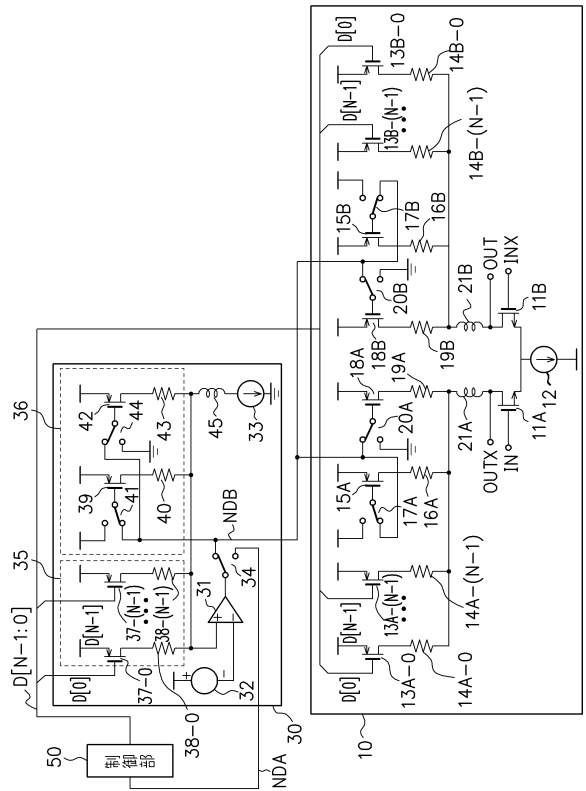
【図2B】



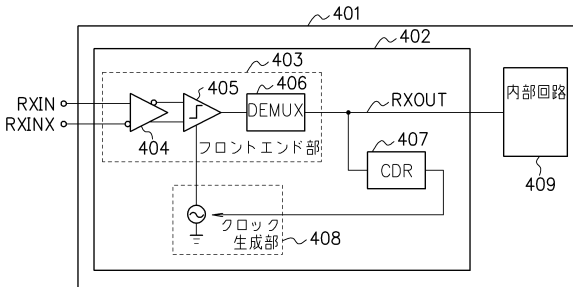
【図3】



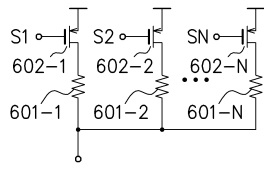
【図5】



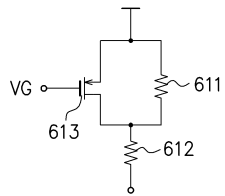
【図4】



【図 6 A】



【図 6 B】



---

フロントページの続き

- (56)参考文献 特開2011-055055(JP,A)  
特開2009-225205(JP,A)  
特開平04-135304(JP,A)  
特開2011-193538(JP,A)  
特開2009-296643(JP,A)  
特開2016-021668(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/45