

(72) 발명자

나병선

경기도 수원시 장안구 상률로 32, 108동 301호 (율전동, 밤꽃마을뜨란채)

루지안강

경기도 수원시 영통구 영통로290번길 26, 벽적골8단지아파트 833동 404호 (영통동)

기동현

충청남도 천안시 서북구 봉서산샛길 65, 주공9단지아파트 410동 1105호 (쌍용동)

우화성

경기도 수원시 영통구 인계로189번길 14, 주공4단지아파트 419동 107호 (매탄동)

특허청구의 범위

청구항 1

제1 기관, 상기 제1 기관 상에 형성된 게이트 라인과 데이터 라인, 및 화소 영역 내에 형성된 화소 전극을 포함하는 박막 트랜지스터 기관; 및

상기 박막 트랜지스터 기관과 합착되며, 제2 기관 및 상기 제2 기관 상에 배치되어 상기 화소 전극과 액정 구동 전계를 형성하는 공통 전극을 포함하는 컬러필터 기관을 포함하고,

상기 공통 전극은,

상기 데이터 라인과 중첩되는 제1 패턴라인;

상기 화소 전극의 사선 형상을 갖는 부분과 대응되는 형상을 가져 상기 화소 영역 내에서 상기 화소 전극의 상기 사선 형상을 갖는 부분과 교대로 번갈아가며 배치되고, 상기 화소 영역 내에서 상기 화소 전극의 상기 사선 형상을 갖는 부분과 평면상에서 간격을 유지하며 배치되는 제2 패턴라인; 및

상기 게이트 라인과 중첩되어 슬롯이 형성된 제3 패턴라인을 포함하고,

상기 슬롯은 상기 게이트 라인과 나란하고, 상기 슬롯은 상기 게이트 라인과 중첩되는 상기 제3 패턴 라인을 적어도 2부분 이상으로 분할하는 것을 특징으로 하는 액정 표시 패널.

청구항 2

제1 항에 있어서, 상기 제1 패턴라인은 상기 데이터 라인과 나란하게 연장된 선형의 형상을 갖고, 상기 제3 패턴라인은 상기 게이트 라인과 나란하게 연장된 선형의 형상을 갖는 것을 특징으로 하는 액정 표시 패널.

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 제3 패턴 라인은

적어도 상기 게이트 라인의 폭 이상으로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 측면 시인성 확보와 투과율을 향상시킨 액정 배향 모드에서 빛샘을 방지하여 명암 대비비를 향상시키는 액정 표시 패널에 관한 것이다.
- [0016] 일반적으로, 액정 표시 장치(Liquid Crystal Display: LCD)는 액정 표시 패널에 매트릭스 형태로 배열된 액정셀들 각각이 비디오 신호에 따라 광투과율을 조절하게 함으로써 화상을 표시하게 된다. 액정 표시 장치는 화면을 바라보는 위치에 따라 이미지가 왜곡되어 보이는 시야각 한계점을 극복하기 위하여 광시야각 기술로 발전하고 있다.
- [0017] 액정 표시 장치의 대표적인 광시야각 기술로는 PVA(Patterned-ITO Vertical Align) 모드, IPS(In Plane Switching) 모드 및 PLS(Plane to Line Switching) 모드의 액정 표시 패널이 있다.
- [0018] PVA 모드는 상/하판의 공통 전극 및 화소 전극에 슬릿을 형성하여 그 슬릿에 의해 발생된 프린지 전계(Fringe Electric Field)를 이용하여 액정 분자들이 슬릿을 기준으로 대칭적으로 구동되게 함으로써 멀티-도메인을 형성한다. IPS 모드는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동하게 된다. PLS 모드는 각 화소 영역에 절연막을 사이에 둔 공통 전극과 화소 전극을 구비하고 이들 간의 전계를 형성하여 상/하판 사이에 채워진 액정 분자들이 각 화소 영역에서 동작된다. 그러나 IPS 및 PLS 모드는 한 기판에 두 전극을 형성하여 전계를 발생시키므로, 잔상이 발생하며 투과율이 낮은 단점을 가진다. 그리고, PVA 모드는 개구율인 낮은 단점을 가진다. 이러한 문제점을 해결하기 위해 DFS(Dual Field Switching) 모드가 제안되었다.
- [0019] DFS 모드는 상/하판 전극 패턴에 의해 형성되는 전계에 수평 또는 수직하게 액정을 배향시킨다. 특히, DFS 모드는 상/하판에 각각 화소 전극과 공통 전극이 선형 패턴으로 형성되고, 두 전극 간에 형성되는 수평 전계 및 수직 전계가 혼합된 액정 구동 전계를 이용하여 액정을 배향시키므로 측면 시인성과 투과율을 향상시킨다. 이러한, DFS 모드에서는 각 전극 위에서도 액정이 구동되기 때문에 투과되는 영역이 넓어 투과율이 좋은 장점이 있으나, 전극 부분의 액정이 주변 전기장의 영향으로 움직이기 쉽기 때문에 제어를 해주어야 한다.
- [0020] 종래의 DFS 모드를 이용한 액정 표시 패널은 게이트 라인의 주변에서 빛샘이 발생하여 블랙 계조를 표현할 경우 명암 대비비가 나쁘다는 단점이 있다. 구체적으로, DFS 모드에서 화소 전극과 공통 전극의 프린지 전계 영향을 받는 게이트 라인 주변의 액정이 게이트 라인에서 발생하는 전계에 의해 불규칙하게 배열된다. 여기서, 불규칙하게 배열된 액정은 빛의 투과율을 제어하지 못하고 빛샘을 발생시켜 블랙 계조의 명암 대비비를 하락시킨다. 이때, DFS 모드의 액정 표시 패널은 빛샘을 차단시키기 위해 게이트 라인 주변으로 블랙 매트릭스를 형성한다. 그러나, 액정 표시 패널은 조립시 상하판의 정렬 오차로 인해 블랙 매트릭스의 위치가 정상 위치보다 이동되는 정렬 불량 발생한다. 이와 같이, 정렬 불량의 블랙 매트릭스는 게이트 라인 주변의 액정에서 발생하는 빛샘을 차단하지 못하고, 블랙 계조의 명암 대비비를 하락시킨다.

발명이 이루고자 하는 기술적 과제

- [0021] 따라서, 본 발명이 이루고자 하는 기술적 과제는 게이트 라인에서 발생하는 전계의 영향을 차폐시키고, 빛샘을 방지하여 명암 대비비를 향상시킬 수 있는 액정 표시 패널에 관한 것이다.

발명의 구성 및 작용

- [0022] 상술한 기술적 과제를 달성하기 위하여, 본 발명은 제1 기판 상에 형성된 게이트 라인 및 데이터 라인과, 화소 영역 내에 형성된 화소 전극을 포함하는 박막 트랜지스터 기판; 상기 박막 트랜지스터 기판과 합착되며, 상기 화소 전극과 액정 구동 전계를 형성하는 공통 전극이 제2 기판 상에 상기 게이트 라인과 중첩되어 형성되는 컬러필터 기판;을 포함하는 액정 표시 패널을 제공한다.
- [0023] 구체적으로, 상기 공통 전극은 상기 화소 전극과 이격되어 교대로 번갈아가며 배치되고, 상기 게이트 라인과 중첩되게 선형으로 형성되는 것을 특징으로 한다.
- [0024] 여기서, 상기 공통 전극은 상기 데이터 라인과 나란하게 형성되는 제1 패턴 라인; 상기 화소 전극과 액정 구동 전계를 형성하기 위해 상기 화소 전극에 소정의 간격으로 이격되어 엇갈리게 배치되도록 형성되는 제2 패턴 라

인; 및 상기 게이트 라인과 중첩되게 형성되는 제3 패턴 라인;을 포함하는 것을 특징으로 한다.

[0025] 이때, 상기 제3 라인 패턴은 적어도 상기 게이트 라인의 폭 이상으로 형성되는 것을 특징으로 한다.

[0026] 그리고, 상기 제2 라인 패턴은 상기 화소 전극과 대응되도록 사선 형태로 형성되는 것을 특징으로 한다.

[0027] 또한, 상기 공통 전극은 상기 게이트 라인의 상측에 상기 제3 라인 패턴에 형성되는 슬릿을 포함하는 것을 특징으로 한다.

[0028] 여기서, 상기 슬릿은 상기 게이트 라인의 상측에 상기 게이트 라인과 나란하게 형성되는 것을 특징으로 한다.

[0029] 그리고, 상기 슬릿은 상기 게이트 라인과 중첩되는 상기 제3 라인 패턴을 적어도 2부분 이상으로 분할하는 것을 특징으로 한다.

[0030] 상술한 기술적 과제와 다른 기술적 과제 및 기술적 특징들은 후술하는 본 발명의 실시 예에 따라 첨부한 도면 및 설명에 의하여 명확해질 것이다.

[0031] 이하에서는, 도 1 내지 도 5b를 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다. 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다.

[0032] 도 1은 본 발명의 실시 예에 따른 액정 표시 패널을 도시한 평면도이고, 도 2는 도 1에 도시된 I-I'선을 따라 형성된 단면을 도시한 단면도이며, 도 3은 도 1에 도시된 II-II'선을 따라 형성된 단면을 도시한 단면도이다.

[0033] 도 1 내지 도 3을 참조하면, 본 발명에 따른 액정 표시 패널은 제1 기판(101) 상에 형성된 게이트 라인(110) 및 데이터 라인(140)과, 화소 영역 내에서 선형으로 형성된 화소 전극(160)을 포함하는 박막 트랜지스터 기판(100)과, 박막 트랜지스터 기판(100)과 합착되며, 화소 전극(160)과 액정 구동 전계를 형성하는 공통 전극(240)이 제2 기판(201) 상에 화소 전극(160)과 이격되어 교대로 번갈아가며 배치되고 게이트 라인(110)과 중첩되게 선형으로 형성되는 컬러필터 기판(200)을 포함한다.

[0034] 구체적으로, 액정 표시 패널은 액정을 사이에 두고 서로 대향되어 합착되는 박막 트랜지스터 기판(100)과 컬러필터 기판(200)을 포함한다.

[0035] 액정은 박막 트랜지스터 기판(100)의 화소 전극(160)에 인가된 데이터 전압과, 컬러필터 기판(200)의 공통 전극(240)에 인가된 공통 전압의 차이에 의해 구동되어 광원으로부터 공급되는 광의 투과율을 조절한다. 여기서, 액정은 양의 유전율을 가지고 수평으로 배향된다.

[0036] 박막 트랜지스터 기판(100)은 제1 기판(101) 상에 서로 교차되게 형성된 게이트 라인(110) 및 데이터 라인(140)과, 각각의 화소 영역에 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속된 화소 전극(160)과, 박막 트랜지스터(TFT)를 덮도록 형성됨과 아울러 절연을 위한 보호막(150)과, 게이트 라인(110)에 대해 평행하게 형성된 스토리지 라인(115)과, 스토리지 라인(115)과 접속된 스토리지 전극(116)을 포함한다.

[0037] 제1 기판(101)은 유리 또는 플라스틱과 같은 투명한 절연 물질로 형성된다.

[0038] 게이트 라인(110)은 제1 기판(101) 상에서 가로 방향으로 형성된다. 이때, 게이트 라인(110)은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 또는 이들의 합금 중 어느 하나의 재질로 단일층 또는 다중층으로 형성된다. 그리고, 게이트 라인(110)은 데이터 라인(140)과 교차되는 부분에 게이트 전극(111)이 형성된다. 게이트 전극(111)은 게이트 라인(110)의 일측으로 돌출되어 형성된다.

[0039] 데이터 라인(140)은 제1 기판(101) 상에서 세로 방향으로 형성된다. 데이터 라인(140)은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 티타늄(Ti) 또는 이들의 합금 중 어느 하나의 재질로 단일층 또는 다중층으로 형성된다. 데이터 라인(140)은 게이트 라인(110)과 교차되는 부분에 소스 전극(141)과 드레인 전극(143)이 형성된다.

[0040] 박막 트랜지스터(TFT)는 게이트 전극(111)과, 게이트 전극(111)을 절연시키는 게이트 절연막(120)과, 게이트 절연막(120)의 상부에 형성된 반도체층(130)과, 반도체층(130)의 상부에서 서로 대향되게 형성된 소스 전극(141) 및 드레인 전극(143)을 포함한다.

[0041] 게이트 전극(111)은 게이트 라인(110)으로부터 일측으로 돌출되어 형성된다. 그리고, 게이트 전극(111)은 게이트 라인(110)으로부터 공급되는 게이트 구동 신호를 통해 박막 트랜지스터(TFT)의 구동을 제어한다.

- [0042] 게이트 절연막(120)은 게이트 전극(111)을 덮도록 형성되어 도전성 금속 재질로 형성된 게이트 전극(111)을 타 금속 재질의 전극과 절연시킨다.
- [0043] 반도체층(130)은 비정질 실리콘으로 형성되는 액티브층(131)과, 도핑된 비정질 실리콘으로 형성되는 오믹 콘택층(Ohmic Contact)(132)을 포함한다.
- [0044] 소스 전극(141)은 드레인 전극(143)을 감싸는 U자 형태로 드레인 전극(143)과 일정 거리를 유지하도록 형성된다. 여기서, 소스 전극(141)의 형태는 U자 형태로 한정되는 것은 아니고 드레인 전극(143)과 대향되는 다양한 형태로 형성될 수 있다.
- [0045] 드레인 전극(143)은 일측이 소스 전극(141)에 대향되는 형태로 형성되고, 타측이 후술될 화소 전극(160)과 연결되기 위해 일측보다 넓은 면적으로 형성된다. 이를 통해, 드레인 전극(143)의 형태를 한정하는 것은 아니고, 소스 전극(141)에 대향되며 화소 전극(160)에 연결되는 다양한 형태로 형성될 수 있다.
- [0046] 소스 전극(141)에는 데이터 라인(140)으로부터 화상을 표시하기 위한 데이터 신호가 공급된다. 드레인 전극(143)은 반도체층(130)의 채널을 통해 소스 전극(141)으로부터 데이터 신호가 공급된다. 데이터 신호는 드레인 전극(143)의 타측에 접속된 화소 전극(160)으로 공급된다.
- [0047] 보호막(150)은 절연을 위해 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x)등과 같은 무기물질로 형성되거나, 아크릴, 폴리이미드 또는 BCB(Benzocyclobutene) 등과 같은 유기물질로 형성된다. 여기서, 보호막(150)은 무기물질 및 유기물질이 단일층 또는 복층으로 적층되어 형성된다. 이와 같은, 보호막(150)은 박막 트랜지스터(TFT)와 게이트 절연막(120)을 덮도록 형성되어 박막 트랜지스터(TFT)와 화소 전극(160)을 절연시킨다. 보호막(150)은 드레인 전극(143)의 일부를 노출시키는 콘택홀(151)을 포함한다. 콘택홀(151)은 드레인 전극(143)을 덮는 보호막(150)의 일부분을 마스크를 통해 식각하여 형성된다.
- [0048] 화소 전극(160)은 보호막(150)의 상부에 형성된다. 그리고, 화소 전극(160)은 박막 트랜지스터(TFT)의 드레인 전극(143)과 콘택홀(151)을 통해 연결된다. 이와 같은, 화소 전극(160)은 화소 영역 내에서 소정의 폭을 가진 라인 형태로 형성된다. 더 상세하게는, 화소 전극(160)은 스토리지 라인(115)과 중첩되는 가로 라인 및 세로 라인과, 세로 라인을 연결하는 사선 라인을 포함하여 형성된다. 가로 라인 및 세로 라인은 스토리지 라인(115)와 중첩되어 스토리지 커패시터를 형성한다. 사선 라인은 화소 영역의 중앙에 위치한 가로 라인을 중심으로 대칭된 형태로 소정의 간격으로 이격되어 형성된다.
- [0049] 이와 같은 화소 전극(160)이 형성된 박막 트랜지스터 기관(100)의 최상면에는 배향막이 형성된다. 본 발명에서는 박막 트랜지스터 기관(100)에 수평 배향막이 형성된다. 이때, 배향막의 러빙 방향은 제1 기관(101)의 장변 또는 단변과 평행한 방향이다. 이를 통해, 제1 기관(101)의 장변 또는 단변과 기울어진 상태로 배치되는 화소 전극(160)의 사선 라인과 배향막의 배향 방향이 소정의 각도를 이룬다. 여기서, 화소 전극(160)의 사선 라인과 배향막의 배향 방향은 $10 \sim 30^\circ$ 범위의 각도를 이루는 것이 바람직하다.
- [0050] 컬러필터 기관(200)은 제2 기관(201) 상에 빛샘 방지를 위한 블랙 매트릭스(210)와, 색 구현을 위한 컬러필터(220)와, 블랙 매트릭스(210)와 컬러필터(220)의 단차를 완화시키기 위한 오버코트(230) 및 액정에 공통 전압을 인가하기 위한 공통 전극(240)을 포함한다.
- [0051] 블랙 매트릭스(210)는 액정을 제어할 수 없는 영역을 통해 광이 출광되는 것을 막기 위해 박막 트랜지스터 기관(100)의 박막 트랜지스터(TFT), 게이트 라인(110), 데이터 라인(140) 및 스토리지 라인(115)과 중첩되어 형성된다. 이를 위해, 블랙 매트릭스(210)는 불투명한 유기물질 또는 불투명한 금속으로 형성된다.
- [0052] 컬러필터(220)는 블랙 매트릭스(210)의 하부에 형성되고, 색을 구현하기 위해 세부적으로 적색, 녹색 및 청색의 컬러필터(220)로 형성된다. 컬러필터(220)는 각각 자신이 포함하고 있는 적색, 녹색 및 청색 안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색, 녹색 및 청색을 띄게 된다. 이때, 컬러필터(220)는 각각 투과한 적색, 녹색 및 청색 광의 가법혼색을 통해 다양한 색상이 구현된다.
- [0053] 오버코트(230)는 투명한 유기물질로 형성되며 컬러필터(220)와 블랙 매트릭스를 보호하며, 공통 전극(240)의 양호한 스텝 커버리지(Step Coverage) 및 절연을 위해 형성된다.
- [0054] 공통 전극(240)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명한 금속으로 형성된다. 그리고, 공통 전극(240)은 액정의 구동을 위한 기준 전압인 공통 전압이 인가된다. 이를 통해, 공통 전극(240)은 공통 전압과 화소 전극(160)의 데이터 전압과의 전압차로 형성된 액정 구동 전계를 액정에 인가한다.

- [0055] 이와 같은 공통 전극(240)이 형성된 컬러필터 기관(200)의 최하면에는 박막 트랜지스터 기관(100)과 마찬가지로 배향막이 형성된다. 본 발명에서는 컬러필터 기관(200)에 수평 배향막이 형성된다. 이때, 배향막의 러빙 방향은 박막 트랜지스터 기관(100)의 러빙 방향과 마찬가지로 제2 기관(201)의 장변 또는 단변과 평행한 방향이다. 이를 통해, 제2 기관(201)의 장변 또는 단변과 기울어진 상태로 배치되는 선형의 공통 전극(240)과 배향막의 배향 방향이 소정의 각도를 이룬다. 여기서, 공통 전극(240)과 배향막의 배향 방향은 10 ~ 30° 범위의 각도를 이루는 것이 바람직하다.
- [0056] 여기서, 공통 전극(240)의 제1 실시 예는 도 1 내지 도 4를 참조하여 설명한다.
- [0057] 도 4는 본 발명에 따른 공통 전극의 제1 실시 예를 설명하기 위해 도시한 평면도이다.
- [0058] 공통 전극(240)은 도 4에 도시된 바와 같이, 세로 방향으로 형성된 제1 패턴 라인(241)과, 제1 패턴 라인(241)을 연결하는 제2 패턴 라인(242) 및 제3 패턴 라인(243)을 포함한다.
- [0059] 제1 패턴 라인(241)은 세로 방향으로 데이터 라인(140)과 중첩되게 형성된다.
- [0060] 제2 패턴 라인(242)은 제1 패턴 라인(241)으로부터 사선 형태로 형성된다. 그리고, 제2 패턴 라인(242)은 나란하게 형성된 두 개의 제1 패턴 라인(241)에 연결된다. 이와 같은, 제2 패턴 라인(242)은 화소 전극(160)의 사선 라인과 평행하게 형성된다. 그리고, 제2 패턴 라인(242)은 화소 전극(160)의 두 사선 라인 사이에 동일한 간격으로 형성된다. 즉, 제2 패턴 라인(242)은 화소 전극(160)의 사선 라인과 교대로 번갈아 가면서 형성되어 사선 라인과 동일한 간격을 유지한다. 이를 통해, 제2 패턴 라인(242)은 화소 전극(160)의 사선 라인과 사이에 수평 전계 및 수직 전계가 혼합된 액정 구동 전계를 형성할 수 있다.
- [0061] 제3 패턴 라인(243)은 가로 방향으로 게이트 라인(110)과 중첩되도록 형성된다. 이때, 제3 패턴 라인(243)과 게이트 라인(110) 사이에는 전계가 형성된다. 이를 통해, 제3 패턴 라인(243)은 인접한 화소 전극(160)과 제2 패턴 라인(242) 간의 액정 구동 전계에 영향을 받는 액정이 게이트 라인(110)에서 발생하는 전계에 의해 불규칙하게 배열되지 않도록 전계의 영향을 차폐시킨다. 이를 위해, 제3 패턴 라인(243)은 도 3에 도시된 바와 같이 게이트 라인(110)의 상측에 적어도 게이트 전극(111)의 폭 이상으로 형성되는 것이 바람직하다. 결국, 제3 패턴 라인(243)은 불규칙하게 배열되는 게이트 라인(110) 주변의 액정이 화소 전극(160)과 제2 패턴 라인(242) 간의 액정 구동 전계에 의해 제어되도록 게이트 라인(110)과 전계를 형성하여 액정의 거동 이상으로 인한 빛샘을 방지한다.
- [0062] 그리고, 공통 전극(240)의 제3 패턴 라인(243)은 박막 트랜지스터 기관(100)과 컬러필터 기관(200) 간에 정렬 불량으로 인해 블랙 매트릭스(210)가 차단할 수 없는 빛샘 현상을 방지한다. 예를 들어, 액정 표시 패널은 블랙 계조를 표현하기 위해 액정을 구동할 경우 게이트 라인(110)에서 발생하는 전계의 영향에 의해 게이트 라인(110) 주변의 액정이 불규칙하게 배열된다. 이때, 블랙 매트릭스(210)는 불규칙하게 배열된 액정을 통해 투과되는 빛을 차단시켜야 하나 조립시 정렬 불량으로 인해 정상 위치보다 정렬 마진(Align Margin) 이상 벗어날 경우 빛을 차단하지 못한다. 이 경우, 액정 표시 패널은 빛샘 현상으로 인해 블랙 계조에 대한 명암 대비비가 하락한다. 이때, 공통 전극(240)의 제3 패턴 라인(243)은 게이트 라인(110)에서 발생하는 전계의 영향을 차폐시킨다. 그리고, 게이트 라인(110) 주변의 액정은 화소 전극(160) 및 제2 패턴 라인(242)에 의해 제어된다. 이와 같이, 공통 전극(240)은 블랙 매트릭스(210)가 차단하지 못하는 빛샘 현상을 방지한다.
- [0063] 이하에서는 본 발명에 따른 공통 전극의 제2 실시 예를 도 5a 및 도 5b를 참조하여 설명한다.
- [0064] 도 5a 및 5b는 도 4에 도시된 공통 전극의 제2 실시 예를 설명하기 위한 평면도 및 단면도이다.
- [0065] 도 5a 및 5b에 도시된 바와 같이, 공통 전극(240)은 게이트 라인(110)의 상측에 형성되며, 게이트 라인(110)과 중첩되게 형성되어 제3 패턴 라인(243)을 분할하는 슬릿(244)을 포함한다.
- [0066] 구체적으로는, 공통 전극(240)은 세로 방향으로 형성된 제1 패턴 라인(241)과, 제1 패턴 라인(241)을 연결하는 제2 패턴 라인(242) 및 제3 패턴 라인(243)을 포함한다. 여기서, 제1 패턴 라인(241) 및 제2 패턴 라인(242)은 본 발명의 제1 실시 예와 동일하므로 상세한 설명은 생략하기로 한다.
- [0067] 제3 패턴 라인(243)은 가로 방향으로 게이트 라인(110)과 중첩되게 형성된다. 그리고, 제3 패턴 라인(243)은 슬릿(244)에 의해 두 부분 이상으로 분할된다. 예를 들어, 제3 패턴 라인(243)은 슬릿(244)에 의해 제1 라인(245) 및 제2 라인(246)으로 분할되어 형성된다. 여기서, 슬릿(244)은 제3 패턴 라인(243)에서 소정의 길이와 폭으로 형성된다. 이와 같이 형성된 제1 라인(245) 및 제2 라인(246)은 화소 전극(160)과 제2 패턴 라인(242)이 불규칙하게 배열되는 액정을 제어하도록 게이트 라인(110)에서 발생하는 전계의 영향을 차폐시킨다. 이를

통해, 제1 라인(245) 및 제2 라인(246)은 조립 불량으로 인한 블랙 매트릭스(210)의 위치 이동과, 불규칙하게 배열된 액정에 의해 발생하는 빛샘 현상을 방지한다.

발명의 효과

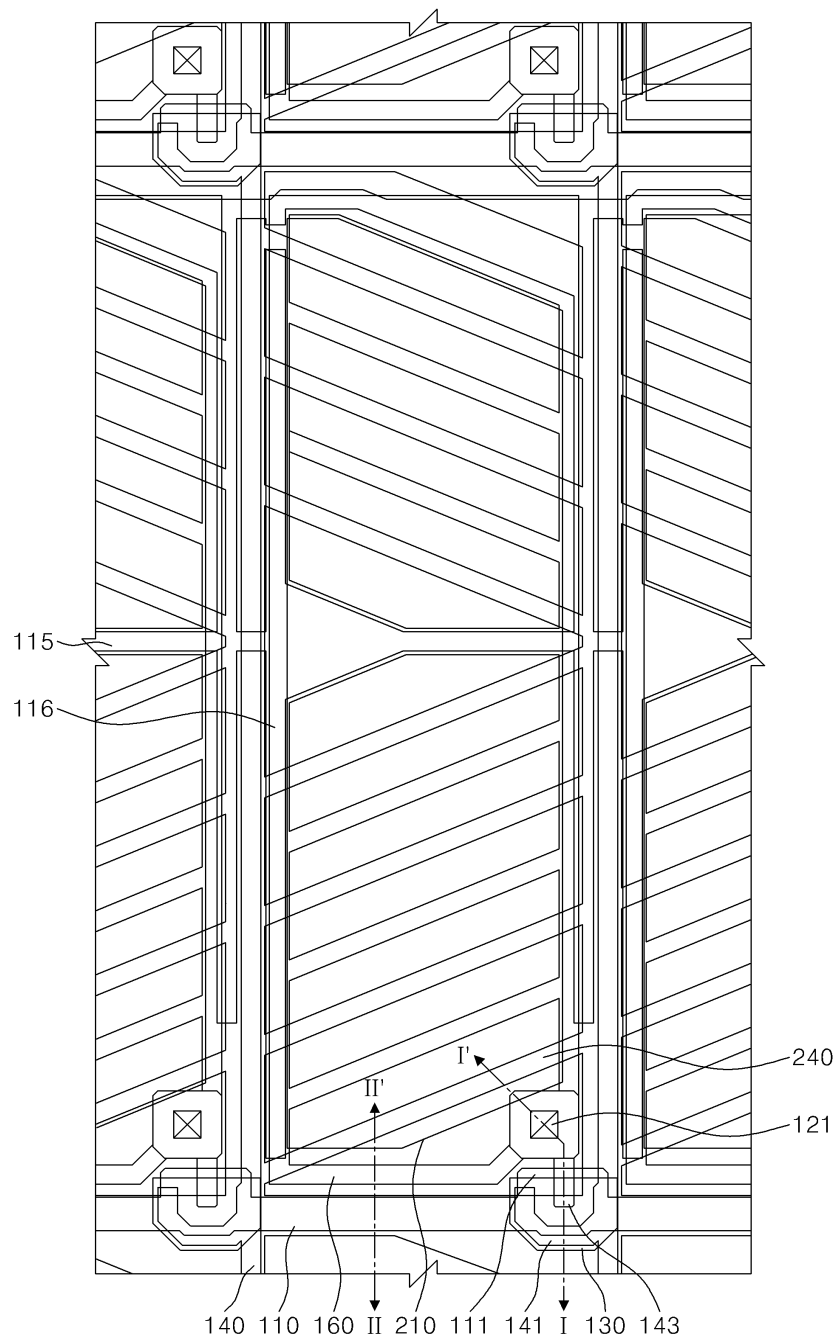
- [0068] 상술한 바와 같이, 본 발명에 따른 액정 표시 패널은 게이트 라인의 상측에 게이트 라인에 중첩되게 공통 전극이 형성되어 게이트 라인에서 발생하는 전계를 공통 전극을 통해 차폐시킨다. 이를 통해, 액정 표시 패널은 게이트 라인에서 발생하는 전계에 의해 불규칙하게 배열되는 액정을 제어할 수 있다. 그리고, 액정 표시 패널은 불규칙하게 배열되는 액정을 제어함으로써 액정의 상측에 형성된 블랙 매트릭스가 정렬 불량일 경우 발생하는 빛샘을 방지할 수 있다. 따라서, 액정 표시 패널은 빛샘을 방지하여 명암 대비비를 향상시킨다.
- [0069] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술된 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0070] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

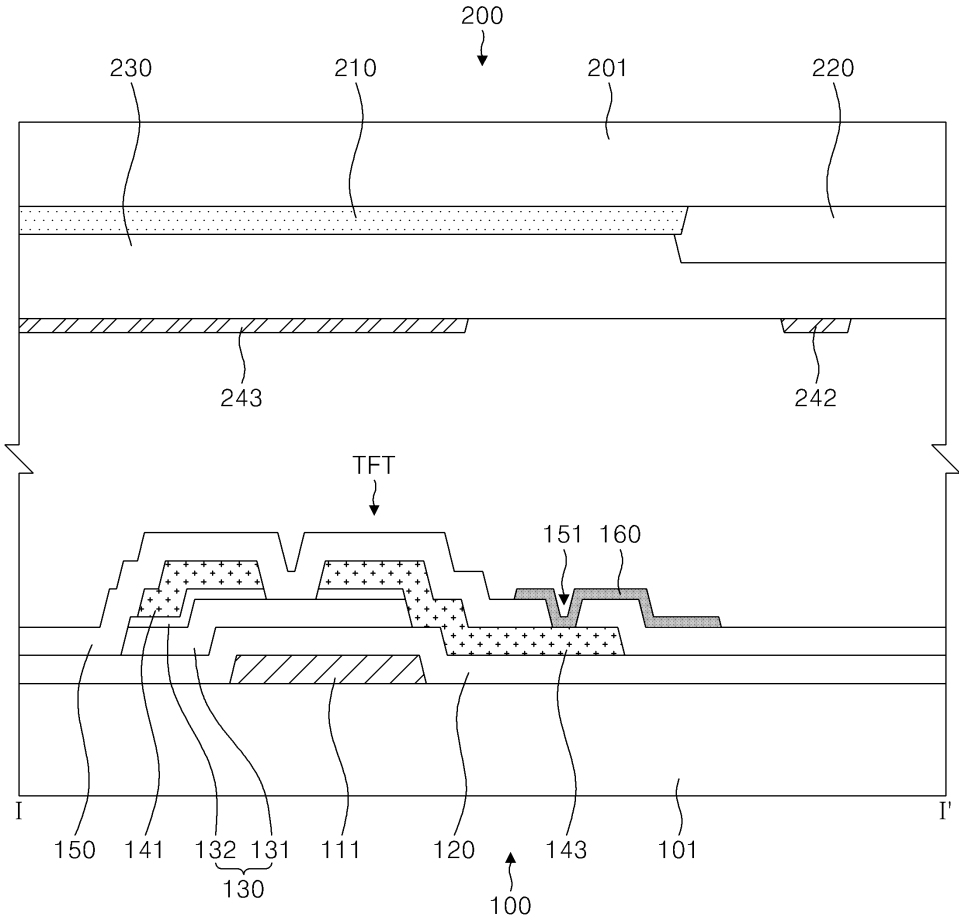
- [0001] 도 1은 본 발명의 실시 예에 따른 액정 표시 패널을 도시한 평면도이다.
- [0002] 도 2는 도 1에 도시된 I-I'선을 따라 형성된 단면을 도시한 단면도이다.
- [0003] 도 3은 도 1에 도시된 II-II'선을 따라 형성된 단면을 도시한 단면도이다.
- [0004] 도 4는 본 발명에 따른 공통 전극의 제1 실시 예를 설명하기 위해 도시한 평면도이다.
- [0005] 도 5a 및 5b는 도 4에 도시된 공통 전극의 제2 실시 예를 설명하기 위한 평면도 및 단면도이다.
- [0006] <도면의 주요 부분에 대한 부호 설명>
- | | |
|------------------------------|-------------------|
| [0007] 100: 박막 트랜지스터 기관 | 101: 제1 기관 |
| [0008] 110, 111: 게이트 라인 | 115, 116: 스토리지 라인 |
| [0009] 120: 게이트 절연막 | 130: 반도체층 |
| [0010] 140, 141, 143: 데이터 라인 | 150: 보호막 |
| [0011] 160: 화소 전극 | 200: 컬러필터 기관 |
| [0012] 201: 제2 기관 | 210: 블랙 매트릭스 |
| [0013] 220: 컬러필터 | 230: 오버코트 |
| [0014] 240: 공통 전극 | |

도면

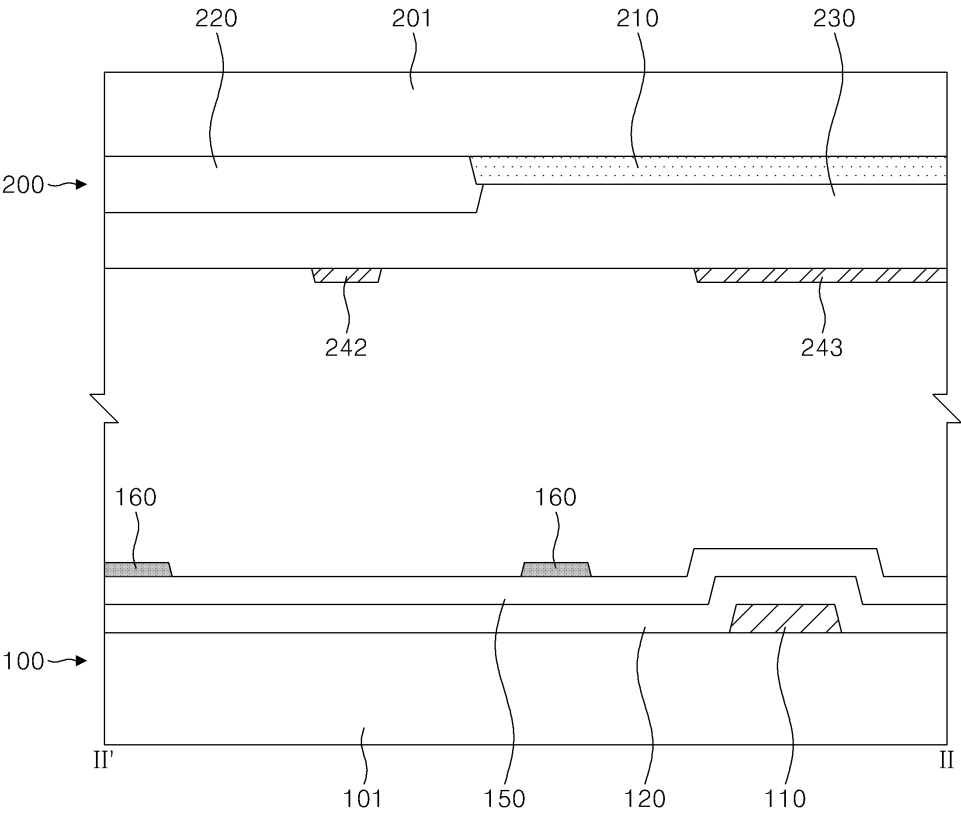
도면1



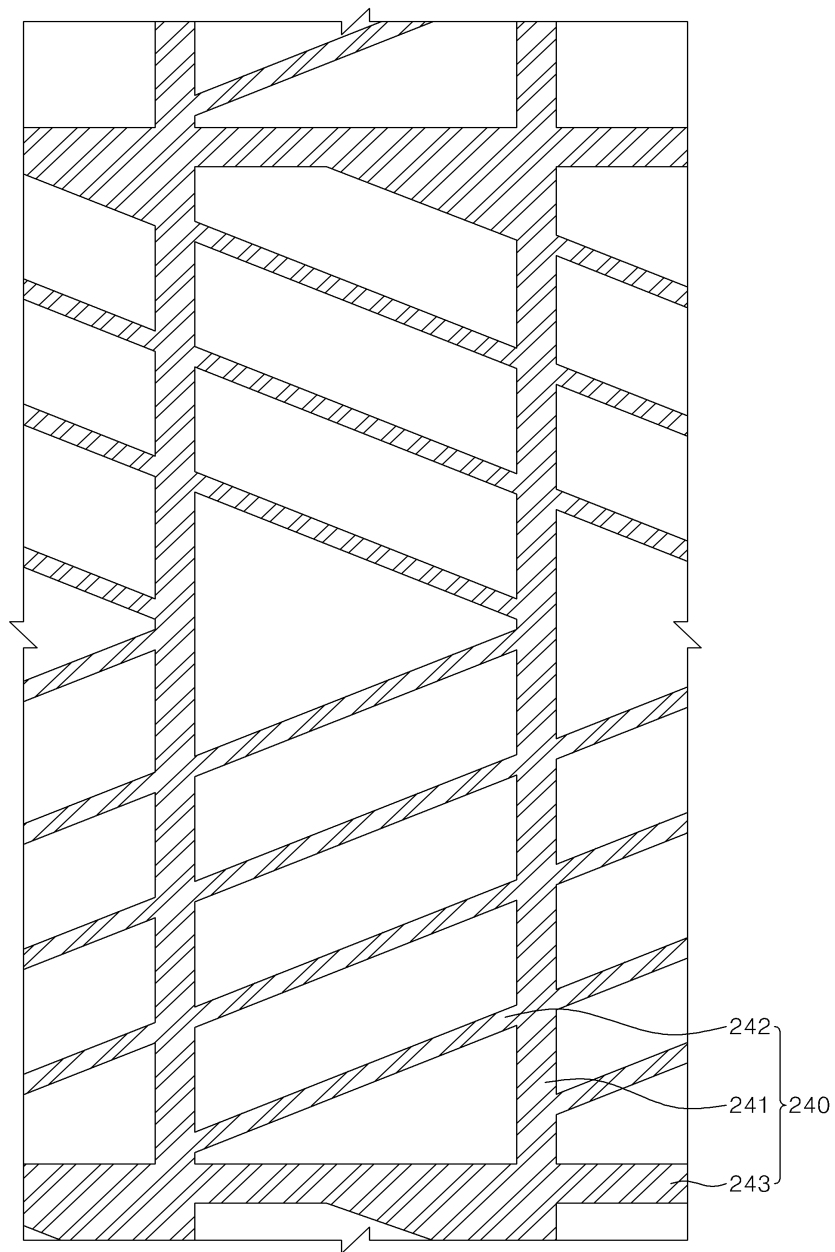
도면2



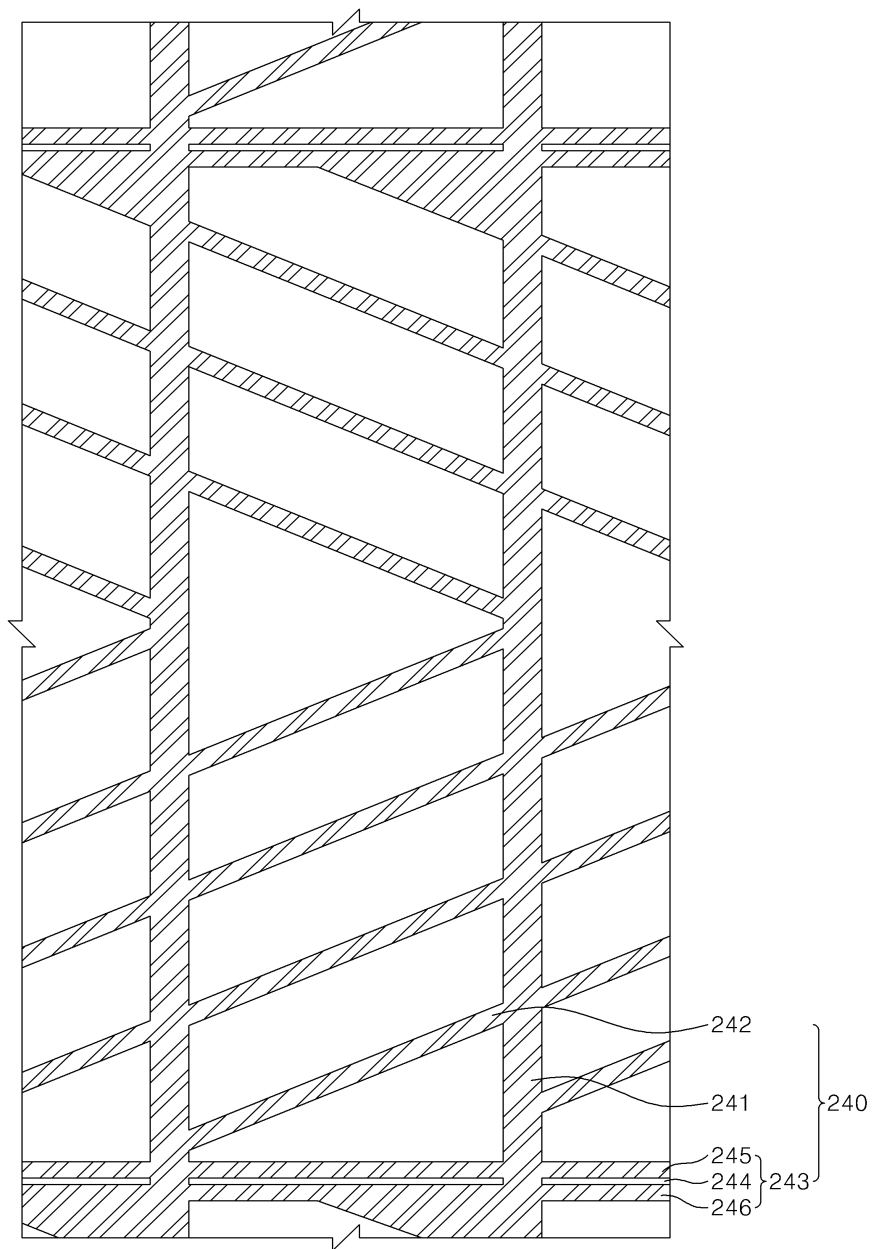
도면3



도면4



도면5a



도면5b

