



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월12일
(11) 등록번호 10-2694691
(24) 등록일자 2024년08월08일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) H01L 21/02 (2006.01)
H01L 21/3205 (2006.01)
(52) CPC특허분류
H01L 21/76877 (2013.01)
H01L 21/02282 (2013.01)
(21) 출원번호 10-2018-0065496
(22) 출원일자 2018년06월07일
심사청구일자 2021년05월28일
(65) 공개번호 10-2018-0133341
(43) 공개일자 2018년12월14일
(30) 우선권주장
62/515,968 2017년06월06일 미국(US)
(56) 선행기술조사문헌
KR1020080037691 A*
(뒷면에 계속)

(73) 특허권자
도쿄엘렉트론가부시키키가이샤
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고
(72) 발명자
채 수 두
미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300
마에카와 카오루
미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 6 항

심사관 : 권철순

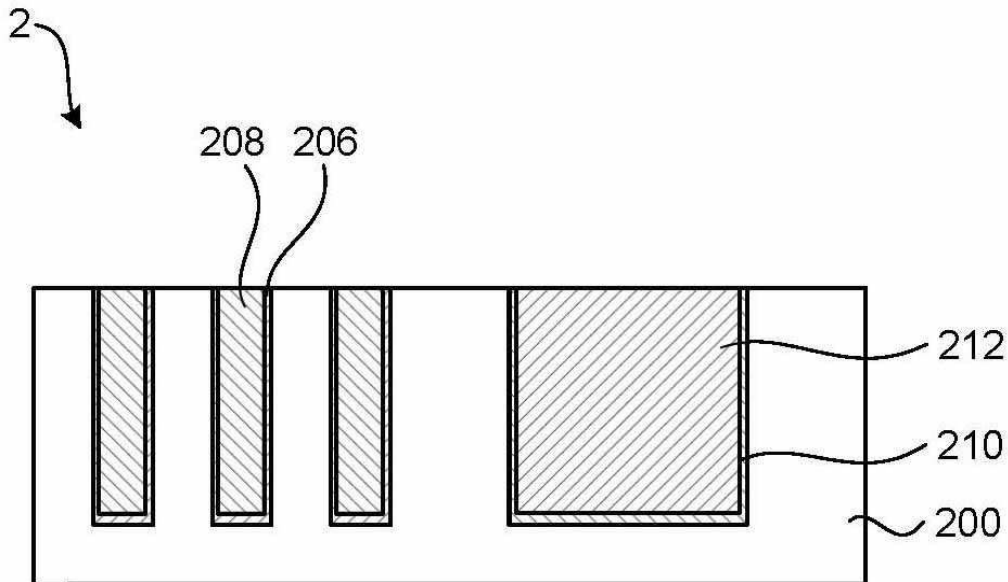
(54) 발명의 명칭 이중 금속 전력 레일을 갖는 집적 회로 제조 방법

(57) 요약

기판에서의 리세싱된 특징부들의 금속 채움을 위한 기관 처리 방법이 제공된다. 하나의 실시예에 따르면, 방법은, 수평으로 이격 형성된 내포(nested) 및 격리된(isolated) 리세싱된 특징부들을 포함하는 기관을 제공하는 단계, 블록킹 재료로 상기 내포 및 격리된 리세싱된 특징부들을 채우는 단계, 및 a) 순차적으로 첫 번째로, 상기

(뒷면에 계속)

대표도 - 도2f



내포된 리세싱된 특징부들로부터 상기 블록킹 재료를 제거하고, 두 번째로 제1 금속으로 상기 내포된 리세싱된 특징부들을 채우는 단계, 및 b) 순차적으로 첫 번째로, 상기 격리된 리세싱된 특징부들로부터 상기 블록킹 재료를 제거하고, 두 번째로 상기 제1 금속과 상이한 제2 금속으로 상기 격리된 리세싱된 특징부들을 채우는 단계를 임의의 순서로 수행하는 단계를 포함한다. 하나의 실시예에 따르면, 상기 제1 금속은 Ru 금속을 포함할 수 있고, 상기 제2 금속은 Cu 금속을 포함할 수 있다. 하나의 실시예에 따르면, 금속이 채워진 리세싱된 특징부들을 포함하는 마이크로전자 디바이스가 제공된다.

(52) CPC특허분류

H01L 21/32056 (2013.01)
H01L 21/76813 (2013.01)
H01L 21/7685 (2013.01)
 H01L 2924/01029 (2013.01)
 H01L 2924/01044 (2013.01)

(72) 발명자

스미스 제프리

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
 255 사우스 나노랩 300

조이 니콜라스

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
 255 사우스 나노랩 300

뢰싱크 게리트 제이

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
 255 사우스 나노랩 300

유 카이홍

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
 255 사우스 나노랩 300

(56) 선행기술조사문헌

US20080122109 A1
 US20130043556 A1*
 US20170133317 A1*
 US20170200642 A1
 KR100245970 B1
 KR1020010017237 A
 JP2002353161 A*
 JP2014187208 A*
 KR1020030073863 A
 KR1020080029251 A
 KR1020160004179 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

기관 처리 방법에 있어서,

수평으로 이격되어 있는 내포형 및 격리형 리세싱된 특징부들을 포함하는 기관을 제공하는 단계;

제1 금속으로 상기 내포형 리세싱된 특징부들을 채우고, 상기 제1 금속으로 상기 격리형 리세싱된 특징부들을 부분적으로 채우는 단계;

블록킹 재료로 상기 격리형 리세싱된 특징부들을 채우는 단계;

상기 내포형 리세싱된 특징부들과 상기 격리형 리세싱된 특징부들 사이의 상기 제1 금속을 제거하는 단계;

상기 격리형 리세싱된 특징부들로부터 상기 블록킹 재료를 제거하는 단계; 및

상기 제1 금속과는 상이한 제2 금속으로 상기 격리형 리세싱된 특징부들을 채우는 단계를 포함하는 기관 처리 방법.

청구항 9

청구항 8에 있어서, 상기 내포형 리세싱된 특징부들은 미리 결정된 값보다 더 작은 특징부 폭을 갖고, 상기 격리형 리세싱된 특징부들은 상기 미리 결정된 값보다 더 큰 특징부 폭을 갖는 것인 기관 처리 방법.

청구항 10

청구항 8에 있어서, 상기 제1 금속 및 상기 제2 금속은 Ru 금속, Cu 금속, Co 금속, W 금속, 및 Al 금속으로 구성된 그룹으로부터 선택되는 것인 기관 처리 방법.

청구항 11

청구항 8에 있어서, 상기 제1 금속은 Ru 금속을 포함하고, 상기 제2 금속은 Cu 금속을 포함하는 것인 기판 처리 방법.

청구항 12

청구항 8에 있어서, 상기 블록킹 재료는, SiO₂, SiN, Si, 유기 유전체 층(ODL), 비정질 탄소, 스피온 하드마스크(SOH), 또는 금속 산화물을 포함하는 것인 기판 처리 방법.

청구항 13

청구항 8에 있어서, 상기 제1 금속을 제거하는 단계는 평탄화 프로세스를 포함하는 것인 기판 처리 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

발명의 설명

기술 분야

[0001] 본 출원은 2017년 6월 6일 출원된 미국 가특허 출원 번호 제62/515,968호와 관련되고 이의 우선권을 주장하며, 이 출원의 전체 내용은 참조에 의해 여기에 포함된다.

[0002] 본 발명은 기판을 처리하는 방법에 관한 것으로, 보다 상세하게는 마이크로전자 디바이스에 대하여 리세싱된 특징부(recessed features)의 금속 채움 방법에 관한 것이다.

배경 기술

[0003] 집적 회로는 다양한 반도체 디바이스, 및 반도체 디바이스에 전기 전력을 제공하고 이 반도체 디바이스들이 정보를 공유 및 교환할 수 있게 해주는 복수의 전도성 금속 경로를 포함한다. 집적 회로 내에서, 금속 층들은 금속 층들을 서로 절연시키는 금속간 및 층간 유전체층을 사용하여 서로의 상부 상에 적층된다.

[0004] 집적 회로를 제조하기 위한 멀티층 금속화 방식에서의 구리(Cu) 금속의 사용은, SiO₂와 같은 유전체에서의 Cu 원자의 높은 이동도로 인한 문제를 일으키며, Cu 원자는 Si에서 전기 결함을 생성할 수 있다. 따라서, Cu 금속 층, Cu 채워진 트렌치, 및 Cu 채워진 비아는, Cu 원자가 유전체 및 Si 안으로 확산하는 것을 막도록 보통 배리어 재료로 봉지된다. 배리어 층은 보통, Cu 시드 퇴적 전에 트렌치 및 비아 측벽 및 바닥 상에 퇴적되고, 바람직하게는 Cu에서 무반응이고 혼합되지 않으며 유전체에 양호한 접착력을 제공하고 낮은 전기 저항을 제공할 수 있는 재료를 포함할 수 있다.

[0005] 디바이스 성능의 증가는 보통 디바이스 영역의 감소 또는 디바이스 밀도의 증가를 동반한다. 디바이스 밀도의 증가는 더 큰 종횡비(aspect ratio)(즉, 깊이 대 폭 비율)를 비롯하여 상호접속부를 형성하는 데에 사용되는 비아 치수의 감소를 요구한다. 비아 치수가 감소하고 종횡비가 증가함에 따라, 비아의 측벽 상에 충분한 두께를 갖는 확산 배리어 층을 형성하면서 또한 비아 내의 금속 층을 위한 충분한 볼륨을 제공하는 것은 점점 더 난제가 되고 있다. 또한, 비아 및 트렌치 치수가 감소하고 비아 및 트렌치 내의 층의 두께가 감소함에 따라, 층의 재료 특성 및 층 계면은 점점 더 중요해지고 있다. 특히, 이들 층을 형성하는 프로세스는 프로세스 시퀀스의 모든 단계에 대하여 양호한 제어가 유지되는 제조가능한 프로세스 시퀀스로 신중하게 통합될 필요가 있다.

[0006] 마이크로전자 디바이스에 대한 리세싱된 특징부의 보이드리스(void-less) 금속 채움은, 리세싱된 특징부의 종횡비가 증가함에 따라 점점 더 어려워졌으며, 리세싱된 특징부를 저저항 금속으로 완전히 채우는 것을 가능하게 할 새로운 방법이 필요하다.

발명의 내용

[0007] 기관에서의 리세싱된 특징부의 금속 채움을 위한 기관 처리 방법이 제공된다. 본 발명의 실시에는 상이한 특징부 폭을 갖는 미세 리세싱된 특징부들의 금속 채움에 대한 문제에 대처한다.

[0008] 하나의 실시예에 따르면, 방법은, 수평으로 이격되어 있는 내포형(nested) 및 격리형(isolated) 리세싱된 특징부들을 포함하는 기관을 제공하는 단계, 블록킹(blocking) 재료로 상기 내포형 및 격리형 리세싱된 특징부들을 채우는 단계, 및 a) 순차적으로 첫 번째로, 상기 내포형 리세싱된 특징부들로부터 상기 블록킹 재료를 제거하고, 두 번째로 제1 금속으로 상기 내포형 리세싱된 특징부들을 채우는 단계와; b) 순차적으로 첫 번째로, 상기 격리형 리세싱된 특징부들로부터 상기 블록킹 재료를 제거하고, 두 번째로 상기 제1 금속과는 상이한 제2 금속으로 상기 격리형 리세싱된 특징부들을 채우는 단계를 임의의 순서로 수행하는 단계를 포함한다.

[0009] 다른 실시예에 따르면, 방법은, 수평으로 이격되어 있는 내포형 및 격리형 리세싱된 특징부들을 포함하는 기관을 제공하는 단계, 제1 금속으로 상기 내포형 리세싱된 특징부들을 채우고, 상기 제1 금속으로 상기 격리형 리세싱된 특징부들을 부분적으로 채우는 단계, 및 상기 제1 금속과는 상이한 제2 금속으로 상기 격리형 리세싱된 특징부들을 채우는 단계를 포함한다.

[0010] 다른 실시예에 따르면, 방법은, 기관을 제공하는 단계; 및 a) 순차적으로 첫 번째로, 기관에 내포형 리세싱된 특징부들을 형성하고, 두 번째로 제1 금속으로 상기 내포형 리세싱된 특징부들을 채우는 단계와, b) 순차적으로 첫 번째로, 상기 기관에서의 상기 내포형 리세싱된 특징부들로부터 상기 기관에서 수평으로 이격되어 있는 격리형 리세싱된 특징부들을 형성하고, 두 번째로 상기 제1 금속과는 상이한 제2 금속으로 상기 격리형 리세싱된 특징부들을 채우는 단계를 임의의 순서로 수행하는 단계를 포함한다.

[0011] 하나의 실시예에 따르면, 마이크로전자 디바이스가 제공된다. 마이크로전자 디바이스는, 수평으로 이격되어 있는 내포형 및 격리형 리세싱된 특징부들을 포함하는 기관을 포함하고, 상기 내포형 리세싱된 특징부들은 제1 금

속으로 채워지고, 상기 격리형 리세싱된 특징부들은 상기 제1 금속과는 상이한 제2 금속으로 채워진다.

[0012] 또다른 실시예에 따르면, 마이크로전자 디바이스는, 수평으로 이격되어 있는 내포형 및 격리형 리세싱된 특징부들을 포함하는 기판을 포함하고, 상기 내포형 리세싱된 특징부들은 제1 금속으로 채워지고, 상기 격리형 리세싱된 특징부들은 상기 제1 금속 및 제2 금속으로 채워지며, 상기 제2 금속은 상기 제1 금속과는 상이하고 상기 격리형 리세싱된 특징부들에서 상기 제1 금속 위에 있다.

도면의 간단한 설명

[0013] 본 명세서에 포함되며 이의 일부를 구성하는 첨부 도면은 본 발명의 실시예를 예시하고, 상기에 주어진 본 발명의 일반적인 설명 및 아래에 주어진 상세한 설명과 함께, 본 발명의 설명을 돕는다.

도 1은 내포형 리세싱된 특징부들의 제1 그룹 (A) 및 격리형 리세싱된 특징부들의 제2 그룹 (B)를 포함하는 패턴링된 기판의 단면도를 도시한다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 기판 처리 방법을 단면도들을 통해 개략적으로 도시한다.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 기판 처리 방법을 단면도들을 통해 개략적으로 도시한다.

도 4a 내지 도 4f는 본 발명의 실시예에 따른 기판 처리 방법을 단면도들을 통해 개략적으로 도시한다.

도 5a 내지 도 5f는 본 발명의 실시예에 따른 기판 처리 방법을 단면도들을 통해 개략적으로 도시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 실시예는 마이크로전자 디바이스에서 발견되는 미세 리세싱된 특징부의 금속 채움을 다룬다. 하나의 예에서, 수평으로 이격되어 있는 리세싱된 특징부들은 그 특징부 폭(특징부 개구 치수)에 따라 복수의 리세싱된 특징부 그룹들로 그룹화될 수 있다. 기판 상의 리세싱된 특징부들은 종종 내포형(nested) 리세싱된 특징부 및 격리형(isolated) 리세싱된 특징부로 지칭되는데, 여기에서 내포형 리세싱된 특징부는 높은 수평 밀도 및 작은 특징부 개구를 갖고, 격리형 리세싱된 특징부는 낮은 수평 밀도 및 큰 특징부 폭을 갖는다. 예를 들어, 내포형 리세싱된 특징부는 미리 결정된 값보다 더 작은 특징부 개구를 가질 수 있고, 격리형 리세싱된 특징부는 미리 결정된 값보다 더 큰 특징부 개구를 가질 수 있다. 미리 결정된 값은 예를 들어, 약 30 nm, 약 40 nm, 약 50 nm, 약 60 nm, 약 70 nm, 약 80 nm, 약 90 nm, 약 100 nm, 약 120 nm, 또는 약 150 nm일 수 있다. 일부 예에서, 내포형 리세싱된 특징부는, 약 50 nm보다 작거나, 약 30 nm보다 작거나, 약 20 nm보다 작거나, 또는 약 10 nm보다 작은 특징부 폭을 가질 수 있다. 일부 예에서, 격리형 리세싱된 특징부는 약 70 nm보다 크거나, 약 100 nm보다 크거나, 약 150 nm보다 크거나, 또는 200 nm보다 큰 특징부 폭을 가질 수 있다. 하나의 비한정적인 예에서, 내포형 리세싱된 특징부는 약 20 nm보다 작은 특징부 폭을 가질 수 있고, 격리형 리세싱된 특징부는 약 50 nm보다 큰 특징부 폭을 가질 수 있다. 그러나, 내포형 및 격리형 리세싱된 특징부에 대한 특징부 폭은 기술 노드 및 마이크로전자 디바이스의 타입에 따라 좌우된다.

[0015] 도 1은 내포형 리세싱된 특징부들의 제1 그룹(A) 및 격리형 리세싱된 특징부들의 제2 그룹(B)을 포함하는 패턴링된 기판의 단면도를 도시한다. 내포형 및 격리형 리세싱된 특징부들은 잘 알려진 리소그래피 및 에칭 프로세스를 사용하여 형성될 수 있다.

[0016] 상이한 특징부 폭을 갖는 리세싱된 특징부들(예컨대, 내포 및 격리형 리세싱된 특징부)의 금속 채움은, 마이크로전자 디바이스가 점점 더 작은 특징부를 포함함에 따라 반도체 제조에 있어서 여러 문제를 제기한다. 첫 번째로, 격리형 리세싱된 특징부보다 내포형 리세싱된 특징부를 충분히 채우는 데에 더 적은 금속이 필요하므로, 내포형 리세싱된 특징부는 격리형 리세싱된 특징부 전에 금속으로 충분히 채워질 것이다. 이는 격리형 특징부가 채워지기 전에 내포형 리세싱된 특징부 위에 금속 과부하(overburden)(과도한 금속)의 형성을 일으킬 수 있다. 두 번째로, 전통적인 Cu 금속 채움은 매우 미세한 리세싱된 특징부에 받아들일 수 없는 보이드를 생성할 수 있다. 세 번째로, Cu 금속 채움을 교체하도록 사용될 수 있는 많은 저저항 금속은 매우 고가이고 따라서 마이크로전자 디바이스의 비용을 상당히 증가시킬 수 있다. 본 발명의 실시예는 미세 리세싱된 특징부의 금속 채움에 대한 이들 및 기타 문제에 대처한다.

[0017] 도 2a 내지 도 2f는 본 발명의 실시예에 따른 기판 처리 방법을 단면도들을 통해 개략적으로 도시한다. 방법은, 수평으로 이격되어 있는 내포형 및 격리형 리세싱된 특징부들을 포함하는 기판을 제공하는 단계, 블록킹 재료로 내포형 및 격리형 리세싱된 특징부들을 채우는 단계, 및 a) 순차적으로 첫 번째로, 내포형 리세싱된 특징부들로부터 블록킹 재료를 제거하고, 두 번째로 제1 금속으로 내포형 리세싱된 특징부들을 채우는 단계와;

b) 순차적으로 첫 번째로, 격리형 리세싱된 특징부들로부터 블록킹 재료를 제거하고, 두 번째로 제1 금속과는 상이한 제2 금속으로 격리형 리세싱된 특징부들을 채우는 단계를 임의의 순서로 수행하는 단계를 포함한다.

[0018] 도 2a는 제1 층(200), 제1 층(200) 상의 제2 층(202), 내포형 리세싱된 특징부(201), 및 격리형 리세싱된 특징부(203)를 포함하는 패터닝된 기판(2)을 도시한다. 하나의 격리형 리세싱된 특징부(203)만 도시되어 있지만, 본 발명의 실시예는 복수의 격리형 리세싱된 특징부(203)에 적용될 수 있다.

[0019] 본 발명의 실시예에 따르면, 제1 층(200)은 Si, SiO₂, SiN, 하이 k(high-k) 재료, 로우 k(low-k) 재료, 또는 금속 함유 재료를 포함하는, 마이크로전자 디바이스에서 발견되는 임의의 재료 층을 포함할 수 있다. 제2 층(202)은 패터닝된 마스크 층을 포함할 수 있다.

[0020] 도 2b는 내포형 리세싱된 특징부(201) 및 격리형 리세싱된 특징부(203)를 채우도록 퇴적되는 블록킹 재료(204)를 도시한다. 블록킹 재료(204)는 예를 들어 SiO₂, SiN, Si, 유기 유전체 층(ODL; organic dielectric layer), 비정질 탄소, 스핀온 하드마스크(SOH; spin-on hardmasks), 및 금속 산화물을 포함할 수 있다. 블록킹 재료(204)는 리세싱된 특징부의 채움 및 리세싱된 특징부로부터의 추후 제거의 용이성을 고려하여 선택될 수 있다. 블록킹 재료는 액상 스핀온, 원자층 증착(ALD; atomic layer deposition), 화학적 기상 증착(CVD; chemical vapor deposition), 물리적 기상 증착(PVD; physical vapor deposition), 및 충분히 채워질 때까지 리세싱된 특징부 안으로 블록킹 재료를 우선적으로 퇴적하는 수퍼필(super-fill)을 포함하는 다양한 퇴적 방법을 사용하여 패터닝된 기판(2) 상에 퇴적될 수 있다. 도 2b에 도시된 바와 같이, 블록킹 재료(204)는 내포형 리세싱된 특징부(201) 및 격리형 리세싱된 특징부(203)를 가득 채울 수 있다.

[0021] 도 2c에 도시된 바와 같이, 블록킹 재료(204)는 패터닝된 기판(2) 상에서 평탄화될 수 있고, 그 후에 예를 들어 격리형 리세싱된 특징부(203) 위의 블록킹 재료(204) 상에 패터닝된 마스크 층을 형성하고 내포형 리세싱된 특징부(201)로부터 블록킹 재료(204)를 에칭함으로써, 내포형 리세싱된 특징부(201)로부터 제거된다.

[0022] 그 후에, 도 2d에 도시된 바와 같이, 개방된 내포형 리세싱된 특징부(201)는 제1 금속(208)(예컨대, Ru 금속)으로 채워지는데, 여기에서 블록킹 재료(204)는 격리형 리세싱된 특징부(203)에 제1 금속(208)이 퇴적되는 것을 막는다. 블록킹 재료(204)의 퇴적 전에 또는 제1 금속(208)의 퇴적 전에 컨포멀(conformal) 확산 배리어 층(206)(예컨대, TaN)이 내포형 리세싱된 특징부(201)에 퇴적될 수 있다. 패터닝된 기판(2)은 과도한 제1 금속(208)을 제거하도록 다시 평탄화될 수 있다.

[0023] 제1 금속(208)으로 내포형 리세싱된 특징부(201)를 채움에 이어서, 격리형 리세싱된 특징부(203)로부터 블록킹 재료(204)가 제거되고, 격리형 리세싱된 특징부(203)는 제2 금속(212)(예컨대, Cu 금속)으로 채워진다. 이는 도 2e에 도시되어 있다. 블록킹 재료(204)의 퇴적 전에 또는 제2 금속(212)의 퇴적 전에 컨포멀 확산 배리어 층(210)(예컨대, TaN)이 격리형 리세싱된 특징부(203)에 퇴적될 수 있다. 그 후에, 도 2f에 도시된 바와 같이, 임의의 제2 금속(212) 과퇴적물, 제1 금속(208)의 일부, 확산 배리어 층(206 및 210) 및 제2 층(202)이, 화학 기계적 평탄화(CMP; chemical mechanical planarization), 기체상 에칭(에칭 백) 또는 둘 다를 포함할 수 있는 평탄화 프로세스에서 제거될 수 있다. 결과적인 평탄화된 패터닝된 기판(2)은, 제1 금속(208)으로 채워진 내포형 리세싱된 특징부 및 제1 금속과는 상이한 제2 금속(212)으로 채워진 격리형 리세싱된 특징부(203)를 포함한다.

[0024] 본 발명의 실시예에 따르면, 제1 금속(208) 및 제2 금속(212)은 Ru 금속, Cu 금속, Co 금속, W 금속, 및 Al 금속으로 구성된 그룹으로부터 선택될 수 있다. 그러나, 다른 전이 금속이 사용될 수 있다. 하나의 실시예에 따르면, 상기 제1 금속(208)은 Ru 금속을 포함할 수 있고, 상기 제2 금속(212)은 Cu 금속을 포함할 수 있다. 제1 금속(208) 및 제2 금속(212)은 예를 들어, CVD 또는 PVD를 포함하는 기상 증착에 의해 퇴적될 수 있다. 하나의 예에서, 제1 금속(208) 및 제2 금속(212)은, 리세싱된 특징부에서의 상향식(bottom up) 퇴적을 특징으로 하는 수퍼필 퇴적에 의해 퇴적될 수 있다. 하나의 예에서, 내포형 리세싱된 특징부(201)를 채우는 제1 금속(208)은, Ru₃(CO)₁₂ 가스 및 CO 캐리어 가스를 사용하여 CVD에 의해 퇴적되는 Ru 금속일 수 있다. 하나의 예에서, 격리형 리세싱된 특징부(203)를 채우는 제2 금속(212)은, PVD에 의해 퇴적되는 Cu 금속일 수 있다. 좁은 내포형 리세싱된 특징부(201)에 보다 고가의 Ru 금속을 사용하고 더 넓은 격리형 리세싱된 특징부(203)에 보다 싼 Cu 금속을 사용하는 것은, 마이크로전자 디바이스의 비용을 상당히 감소시킬 수 있다. 또한, Ru 금속은 내포형 리세싱된 특징부(201)와 같은 매우 미세한 리세싱된 특징부에서 Cu 금속보다 더 나은 채움 특성을 가질 수 있다.

[0025] 도 3a 내지 도 3f는 본 발명의 실시예에 따른 기판 처리 방법을 단면도들을 통해 개략적으로 도시한다. 도 3a 내지 도 3f에 기재된 실시예는 도 2a 내지 도 2f에 기재된 실시예와 유사하지만, 격리형 리세싱된 특징부(203)

가 먼저 제2 금속(212)으로 채워지고, 그 후에 내포형 리세싱된 특징부(201)가 제1 금속(208)으로 채워진다. 도 2a 및 도 2b에서의 패터닝된 기관(2)이 각각 도 3a 및 도 3b에서의 패터닝된 기관(3)으로서 재현되었다.

- [0026] 도 3b는 내포형 리세싱된 특징부(201) 및 격리형 리세싱된 특징부(203)를 채우도록 퇴적되는 블록킹 재료(204)를 도시한다.
- [0027] 도 3c에 도시된 바와 같이, 블록킹 재료(204)는 패터닝된 기관(3) 상에서 평탄화될 수 있고, 그 후에 예를 들어 내포형 리세싱된 특징부(201) 위의 블록킹 재료(204) 상에 패터닝된 마스크 층을 형성하고 격리형 리세싱된 특징부(203)로부터 블록킹 재료(204)를 에칭함으로써, 격리형 리세싱된 특징부(203)로부터 제거된다.
- [0028] 그 후에, 도 3d에 도시된 바와 같이, 개방된 격리형 리세싱된 특징부(203)는 제2 금속(212)(예컨대, Cu 금속)으로 채워지는데, 여기에서 블록킹 재료(204)는 내포형 리세싱된 특징부(201)에 제2 금속(212)이 퇴적되는 것을 막는다. 블록킹 재료(204)의 퇴적 전에 또는 제2 금속(212)의 퇴적 전에 컨포멀 확산 배리어 층(210)(예컨대, TaN)이 격리형 리세싱된 특징부(203)에 퇴적될 수 있다.
- [0029] 그 후에, 도 3e에 도시된 바와 같이, 임의의 제2 금속(212) 과퇴적물 및 확산 배리어 층(210)이, CMP, 기체상 에칭(에칭 백) 또는 둘 다를 포함할 수 있는 평탄화 프로세스에서 제거될 수 있다. 또한, 에칭백 프로세스를 사용하여 제2 금속(212)이 격리형 리세싱된 특징부(203)에서 리세싱될 수 있다.
- [0030] 그 후에, 내포형 리세싱된 특징부(201)로부터 블록킹 재료(204)가 제거되고, 내포형 리세싱된 특징부(201)는 제1 금속(208)(예컨대, Ru 금속)으로 채워진다. 블록킹 재료(204)의 퇴적 전에 또는 제1 금속(208)의 퇴적 전에 컨포멀 확산 배리어 층(206)(예컨대, TaN)이 내포형 리세싱된 특징부(201)에 퇴적될 수 있다. 이는 도 3f에 도시되어 있다. 결과적인 평탄화된 패터닝된 기관(3)은, 제1 금속(208)으로 채워진 내포형 리세싱된 특징부 및 제1 금속과 상이한 제2 금속(212)으로 채워진 격리형 리세싱된 특징부(203)를 포함한다.
- [0031] 도 4a 내지 도 4f는 본 발명의 실시예에 따른 기관 처리 방법을 단면도들을 통해 개략적으로 도시한다. 도 2a에서의 패터닝된 기관(2)은 도 4a에서의 패터닝된 기관(4)으로서 재현되었다. 도 4a 내지 도 4f에 기재된 실시예는 도 2a 내지 도 2f에 기재된 실시예와 유사하지만, 방법은 제1 금속(208)으로 내포형 리세싱된 특징부(201)를 채우는 것을 포함하고, 격리형 리세싱된 특징부(203)는 제1 금속(208)으로 부분적으로 채워진다. 이는 도 4b에 도시되어 있다.
- [0032] 그 후에, 도 4c에 도시된 바와 같이, 블록킹 재료(204)가 패터닝된 기관(4) 상에 퇴적되는데, 여기에서 블록킹 재료(204)는 부분적으로 채워진 격리형 리세싱된 특징부(203)를 충분히 채운다.
- [0033] 이는 도 4b에 도시되어 있다. 도 4d에 도시된 바와 같이, 패터닝된 기관(4)은 평탄화될 수 있으며, 평탄화는 임의의 블록킹 재료(204) 과퇴적물, 제1 금속(208)의 일부, 및 확산 배리어 층(206 및 210)을 제거한다. 평탄화 프로세스는 CMP, 기체상 에칭(에칭백), 또는 둘 다를 포함할 수 있다.
- [0034] 그 후에, 도 4e에 도시된 바와 같이, 격리형 리세싱된 특징부(203)로부터 블록킹 재료(204)가 제거되고, 격리형 리세싱된 특징부(203)는 제2 금속(212)으로 채워진다. 제2 금속(212)의 퇴적 전에 컨포멀 확산 배리어 층(210)(예컨대, TaN)이 격리형 리세싱된 특징부(203)에 퇴적될 수 있다.
- [0035] 그 후에, 도 4f에 도시된 바와 같이, 임의의 제2 금속(212) 과퇴적물, 제1 금속(208)의 일부, 확산 배리어 층(206 및 210) 및 제2 층(202)이, CMP, 기체상 에칭 또는 둘 다를 포함할 수 있는 평탄화 프로세스에서 제거될 수 있다. 도 4f에서의 결과적인 기관은, 제1 금속(208)으로 채워진 내포형 리세싱된 특징부, 및 제1 금속(208) 및 제1 금속(208)과는 상이하고 격리형 리세싱된 특징부(203)에서 제1 금속(208) 위에 있는 제2 금속(212)으로 채워진 격리형 리세싱된 특징부를 포함한다.
- [0036] 도 5a 내지 도 5f는 본 발명의 실시예에 따른 기관 처리 방법을 단면도들을 통해 개략적으로 도시한다. 도 5a는 제1 층(200), 제1 층(200) 상의 제2 층(202), 및 내포형 리세싱된 특징부(201)를 포함하는 패터닝된 기관(2)을 도시한다.
- [0037] 도 5b에 도시된 바와 같이, 개방된 내포형 리세싱된 특징부(201)는 제1 금속(208)(예컨대, Ru 금속)으로 채워진다. 제1 금속(208)의 퇴적 전에 컨포멀 확산 배리어 층(206)(예컨대, TaN)이 내포형 리세싱된 특징부(201)에 퇴적될 수 있다. 도 5c에 도시된 바와 같이, 임의의 제1 금속(208) 과퇴적물 및 확산 배리어 층(206)이 평탄화에 의해 제거될 수 있다.
- [0038] 그 후에, 도 5d에 도시된 바와 같이, 격리형 리세싱된 특징부(203)는 종래의 리소그래피 및 에칭을 사용하여 패

터닝된 기판(5)에서 에칭될 수 있다. 도 5e는 제2 금속(212)으로 채워진 격리형 리세싱된 특징부(203)를 도시한다. 제2 금속(212)의 퇴적 전에 키포멀 확산 배리어 층(210)(예컨대, TaN)이 격리형 리세싱된 특징부(203)에 퇴적될 수 있다.

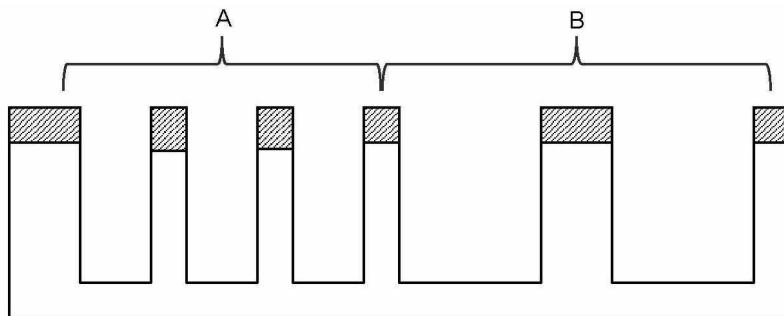
[0039] 그 후에, 도 5f에 도시된 바와 같이, 임의의 제2 금속(212) 과퇴적물, 제1 금속(208)의 일부, 확산 배리어 층(206 및 210) 및 제2 층(202)이, CMP, 기체상 에칭 또는 둘 다를 포함할 수 있는 평탄화 프로세스에서 제거될 수 있다. 결과적인 평탄화된 패터닝된 기판(5)은, 제1 금속(208)으로 채워진 내포형 리세싱된 특징부 및 제1 금속과는 상이한 제2 금속(212)으로 채워진 격리형 리세싱된 특징부(203)를 포함한다.

[0040] 다른 실시예에 따르면, 도 5a 내지 도 5f에서의 리세싱된 특징부의 금속 채움 순서는 뒤바뀔 수 있다. 프로세스 흐름은, 패터닝된 기판(5)에 격리형 리세싱된 특징부(203)를 형성하고, 격리형 리세싱된 특징부(203)를 제2 금속(212)(예컨대, Cu 금속)으로 채우고, 패터닝된 기판(5)에 내포형 리세싱된 특징부(201)를 형성하고, 제1 금속(208)(예컨대, Ru)으로 내포형 리세싱된 특징부를 채우고, 평탄화 프로세스에서 임의의 제1 금속(208) 과퇴적 및 임의의 배리어 층을 제거하는 것을 포함한다.

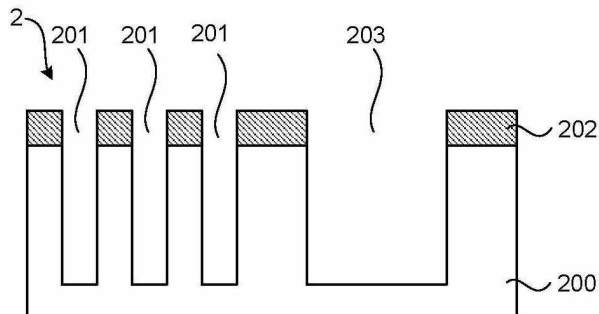
[0041] 마이크로전자 디바이스에 대하여 리세싱된 특징부의 금속 채움 방법에 대한 복수의 실시예가 기재되었다. 본 발명의 실시예의 기술한 설명은 예시 및 설명을 위한 목적으로 제시되었다. 본 발명을 개시된 정확한 형태에 망라하거나 한정하고자 하는 것이 아니다. 이러한 설명과 다음의 청구항은, 단지 서술을 위한 목적으로만 사용되는 용어를 포함하며, 한정하는 것으로 해석되어서는 안될 것이다. 관련 기술 분야에서의 숙련자는, 상기 교시에 비추어 많은 수정과 변형이 가능하다는 것을 알 수 있을 것이다. 당해 기술 분야에서의 숙련자는 도면에 도시된 다양한 컴포넌트에 대한 등가의 조합 및 교체를 인식할 것이다. 따라서, 본 발명의 범위는 이 상세한 설명에 의해서가 아니라 여기에 첨부된 청구항에 의해 해석되는 것으로 의도된다.

도면

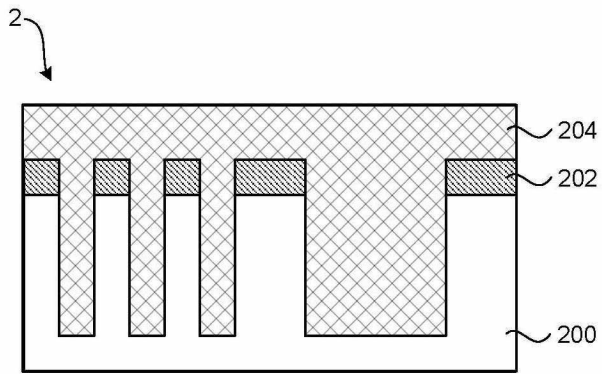
도면1



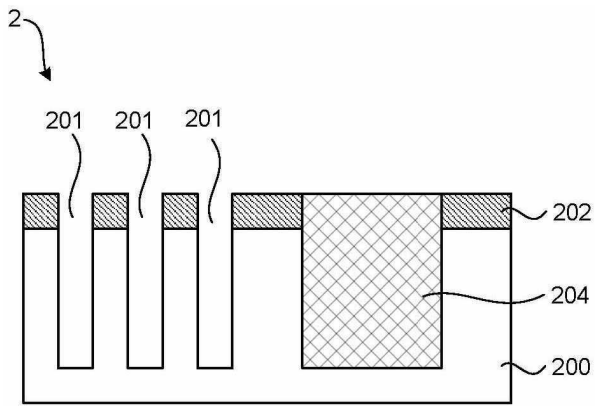
도면2a



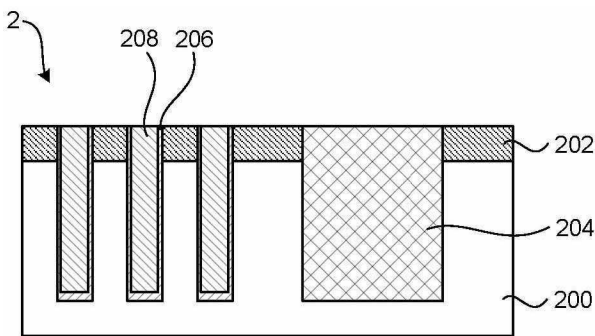
도면2b



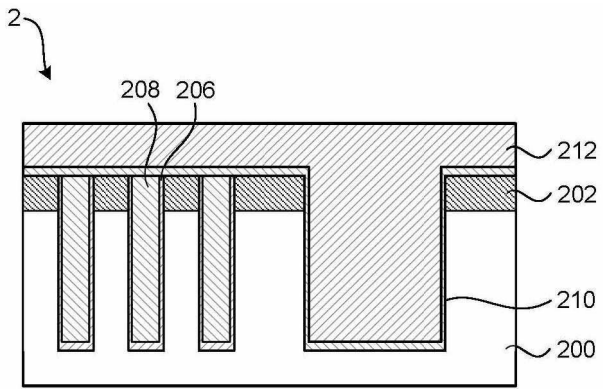
도면2c



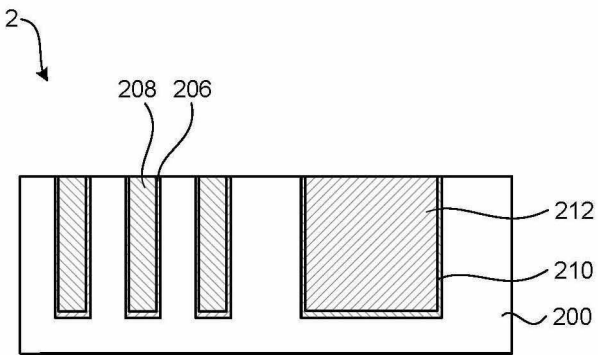
도면2d



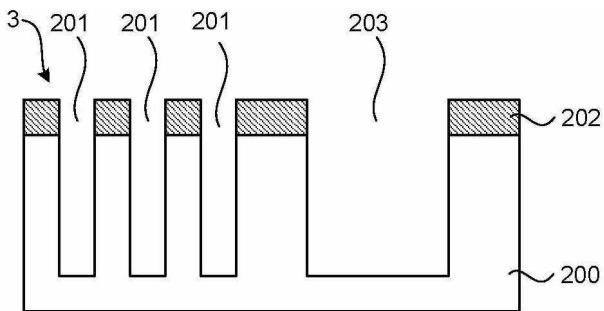
도면2e



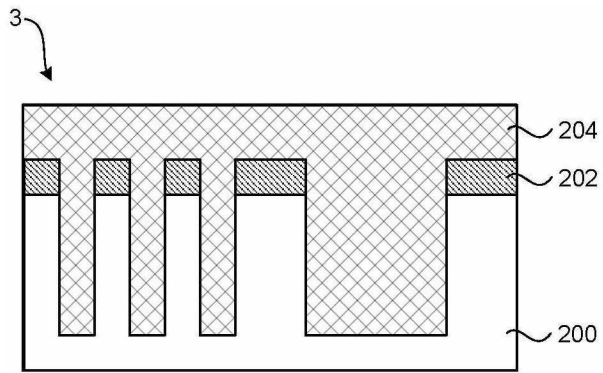
도면2f



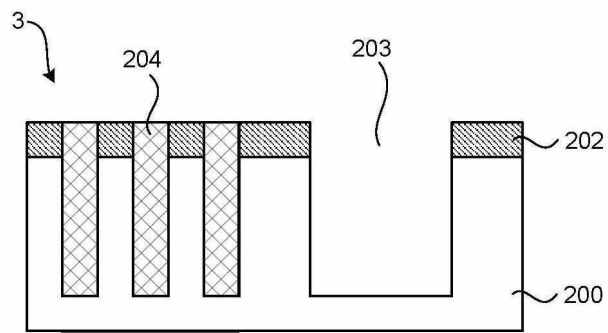
도면3a



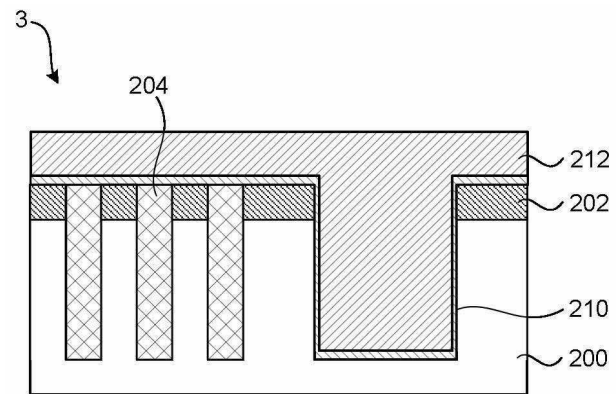
도면3b



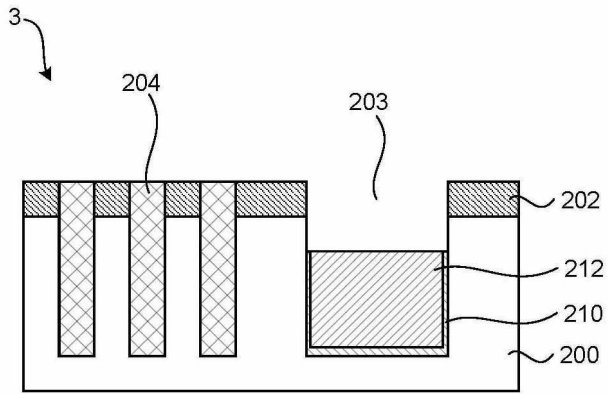
도면3c



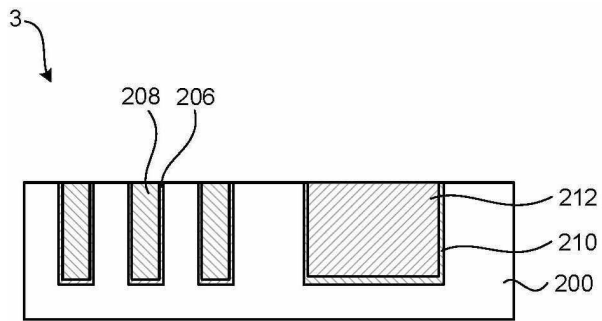
도면3d



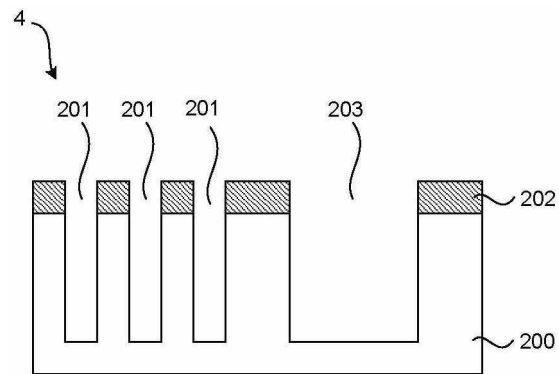
도면3e



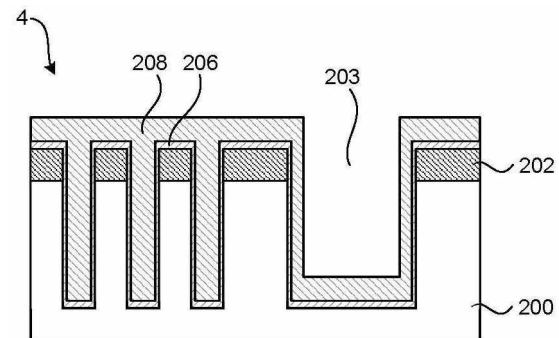
도면3f



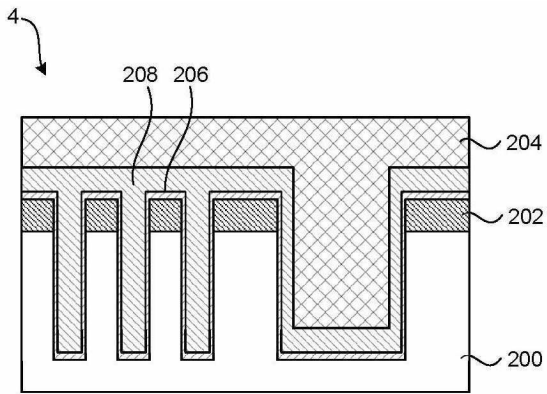
도면4a



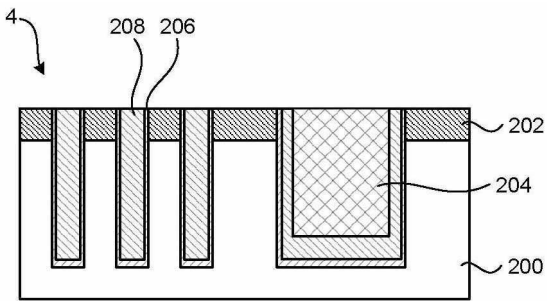
도면4b



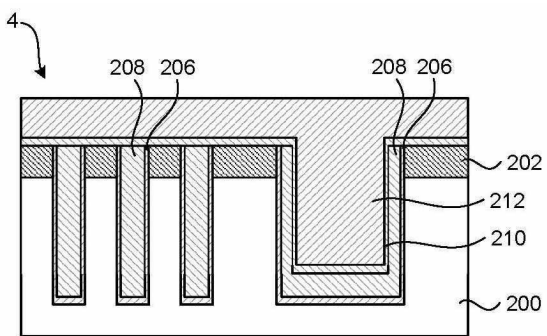
도면4c



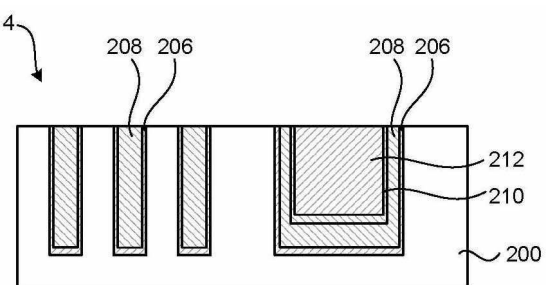
도면4d



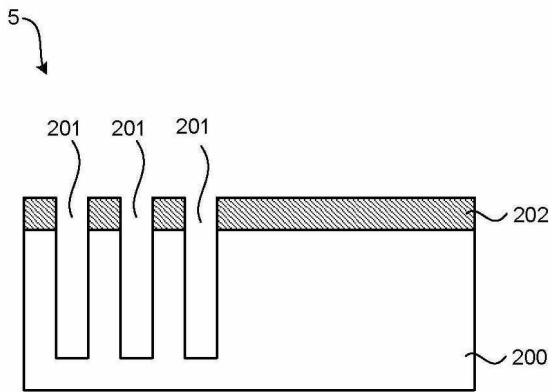
도면4e



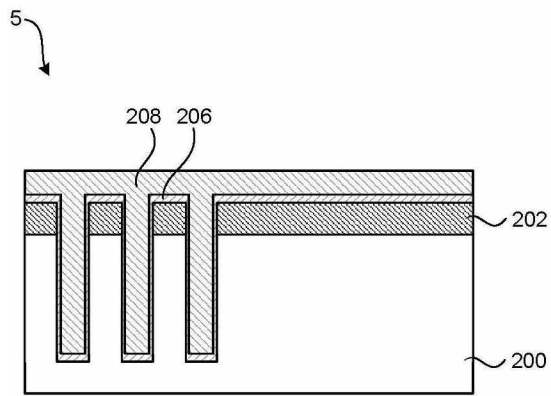
도면4f



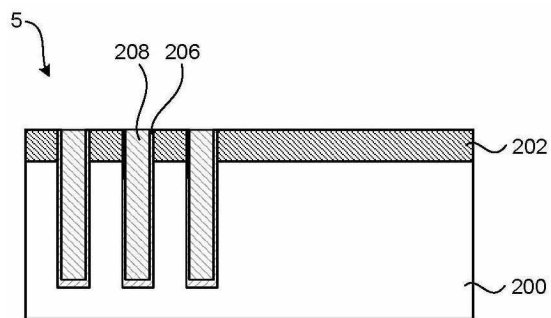
도면5a



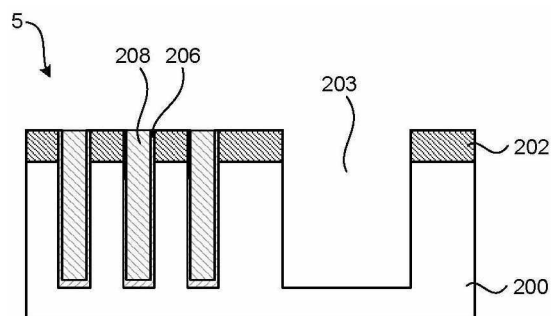
도면5b



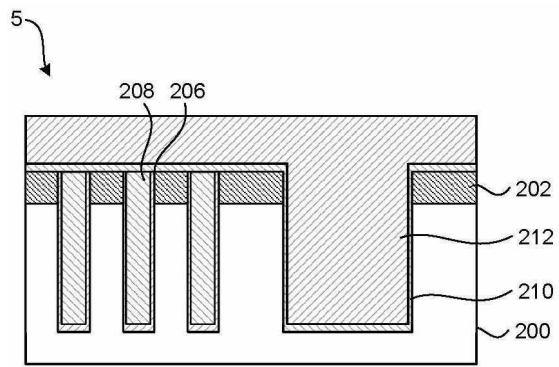
도면5c



도면5d



도면5e



도면5f

