(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4760978号
(P4760978)
(45)発行日　平成23年8月31日(2011.8.31)　(24)登録日　平成23年6月17日(2011.6.17)

(51)Int.Cl.　F I
H04L 7/00 (2006.01)　H04L 7/00 Z

請求項の数 14　(全 23 頁)

(21)出願番号　特願2009-509123(P2009-509123)
(86)(22)出願日　平成20年3月26日(2008.3.26)
(86)国際出願番号　PCT/JP2008/055636
(87)国際公開番号　WO2008/123272
(87)国際公開日　平成20年10月16日(2008.10.16)
審査請求日　平成22年10月29日(2010.10.29)
(31)優先権主張番号　特願2007-85682(P2007-85682)
(32)優先日　平成19年3月28日(2007.3.28)
(33)優先権主張国　日本国(JP)

早期審査対象出願

(73)特許権者　000006622
株式会社安川電機
福岡県北九州市八幡西区黒崎城石２番１号
(74)代理人　100105647
弁理士　小栗　昌平
(74)代理人　100105474
弁理士　本多　弘徳
(74)代理人　100108589
弁理士　市川　利光
(72)発明者　古賀　英嗣
福岡県北九州市八幡西区黒崎城石２番１号
株式会社　安川電機内
(72)発明者　福田　守
福岡県北九州市八幡西区黒崎城石２番１号
株式会社　安川電機内
最終頁に続く

(54)【発明の名称】通信装置、同期通信システムおよび同期通信方法

(57)【特許請求の範囲】
【請求項１】
伝送路に接続されて送受するデータを制御する通信制御部と、前記通信制御部と接続されて前記通信制御部が受信したデータと内蔵の接続装置情報記憶部のデータとを基に演算処理を実行して送信データを作成し前記通信制御部に送信するホストＣＰＵと、を備えてなる通信装置であって、
前記通信制御部が、論理信号を電気的な信号に変換するＰＨＹ部と、前記ＰＨＹ部に接続されて前記ＰＨＹ部の受信したデータを入力するＲｘＦＩＦＯ部（受信先入れ先出し部）と、前記ＰＨＹ部に接続されて受信したデータを前記ＰＨＹ部へ出力するＴｘＦＩＦＯ部（送信先入れ先出し部）とをそれぞれ２組と、あらかじめ設定されたタイミングで割り込み信号を発生する装置内基準タイマを内蔵したＬＩＮＫ部と、を備え、
かつ、２組の前記ＲｘＦＩＦＯ部と前記ＴｘＦＩＦＯ部とをそれぞれ中継路で結び、前記２本の中継路と前記ＬＩＮＫ部とがそれぞれ接続され、
前記ＬＩＮＫ部は同期補正対象指定フレームと伝送路遅延計測フレームと同期フレームを送信することを特徴とする通信装置。
【請求項２】
伝送路に接続されて送受するデータを制御する通信制御部と、前記通信制御部と接続されて前記通信制御部が受信したデータと内蔵の自局情報記憶部のデータとを基に演算処理を実行して送信データを作成し前記通信制御部に送信するホストＣＰＵと、を備えて成る通信装置であって、

前記通信制御部が、論理信号を電気的な信号に変換するＰＨＹ部と前記ＰＨＹ部に接続されて前記ＰＨＹ部の受信したデータを入力するＲｘＦＩＦＯ部（受信先入れ先出し部）と、前記ＰＨＹ部に接続されて受信したデータを前記ＰＨＹ部へ出力するＴｘＦＩＦＯ部（送信先入れ先出し部）とをそれぞれ２組と、あらかじめ設定されたタイミングで割り込み信号を発生する装置内基準タイマを内蔵したＬＩＮＫ部と、を備え、

かつ、２組の前記ＲｘＦＩＦＯ部と前記ＴｘＦＩＦＯ部とをそれぞれ中継路で結び、前記２本の中継路と前記ＬＩＮＫ部とがそれぞれ接続され、かつ、前記２つの中継路にそれぞれ経路切り替えスイッチが挿入されると共に中継路にそれぞれ折り返し経路の一方が接続され、前記経路切り替えスイッチが自己の中継路を切断したときは前記折り返し経路の他端に接続されるようになり、しかも２個の経路切り替えスイッチの前記動作が同時に行なわれ、

前記ＬＩＮＫ部は、通常は前記経路切り替えスイッチを切り替え動作させず一方のＰＨＹ部で受信したデータをもう一方のＰＨＹ部に転送する中継路を構成し、しかし同期補正対象指定フレームを受信すると、前記経路切り替えスイッチの切り替え動作によりＰＨＹ部で受信したデータを折り返す折り返し経路を構成し、

同期補正対象指定フレームの受信後所定回数の伝送路遅延計測フレームを受信すると前記経路切り替えスイッチにより再度前記中継路を構成し、

請求項１記載の通信装置が送信する同期フレームを受信すると、前記装置内基準タイマの補正を行って通信システムにおける基準タイムに同期することを特徴とする通信装置。

【請求項３】

前記ＲｘＦＩＦＯ部の前段には、ＳＦＤ（フレーム開始信号）検出部が具備され、前記ＳＦＤ検出部は一方の前記ＰＨＹ部から受信したデータの中にプリアンブルに続くＳＦＤを検出すると直ちに、受信したデータをもう一方の前記ＰＨＹ部から伝送路へ転送することを特徴とする請求項１に記載の通信装置。

【請求項４】

前記ＲｘＦＩＦＯ部の前段には、ＳＦＤ（フレーム開始信号）検出部が具備され、前記ＳＦＤ検出部は一方の前記ＰＨＹ部から受信したデータの中にプリアンブルに続くＳＦＤを検出すると直ちに、受信したデータをもう一方の前記ＰＨＹ部から伝送路へ転送することを特徴とする請求項２に記載の通信装置。

【請求項５】

請求項１または請求項３に記載の第１通信装置と、１個以上の請求項２または請求項４に記載の第２通信装置とを備えて成り、前記第１通信装置および第２通信装置が所定の通信周期で通信を行う同期通信システムであって、

各通信装置の２個のＰＨＹ部のうち一方のＰＨＹ部を他の通信装置のＰＨＹ部に接続し、他方のＰＨＹ部を他の通信装置のＰＨＹ部に接続して成り、

前記第１通信装置が、前記第２通信装置までの伝送路遅延時間を個別に計測し、前記伝送路遅延時間を当該装置に個別に通知し、通信周期ごとに通信システムにおける基準タイムの現在値を送信し、

前記第２通信装置は、通知された前記伝送路遅延時間で、受信した前記基準タイムの現在値を補正して自己の装置内基準タイマに設定することを特徴とする同期通信システム。

【請求項６】

前記第１通信装置は、割り込み出力タイムを前記同期フレームに格納して前記第２通信装置に送信し、前記第２通信装置は受信した前記割り込み出力タイムを自己の装置内基準タイマに設定し、そのタイマ値が前記割り込み出力タイムに到達した時に同期割り込み信号を出力することを特徴とする請求項５に記載の同期通信システム。

【請求項７】

前記第１通信装置が、前記第２通信装置に対する同期フレームと指令フレームの送信、前記第２通信装置からの応答フレームの受信を含む一定の通信周期での同期通信を開始した後、

前記第１通信装置は、前記第２通信装置と同期通信中に該同期通信システムに新たに接

続された前記第２通信装置を検出すると、通信周期内で所定の通信を実施した残り時間で、前記第１通信装置が当該第２通信装置までの伝送路遅延時間を計測し、前記伝送路遅延時間を当該第２通信装置に通知することを特徴とする請求項５または請求項６に記載の同期通信システム。

【請求項８】

送受信データを制御する通信制御部と該通信制御部が受信したデータを基に演算処理を実行して送信データを作成するホストＣＰＵ部とをそれぞれ有する１つの第１通信装置と１個以上の第２通信装置が伝送路に接続された通信システム内で前記通信装置が同期通信を行う同期通信方法において、

前記第１通信装置は、

予め接続装置情報記憶部に格納された前記第２通信装置の情報に従い同期補正対象通信装置を指定するステップと、

該同期補正対象通信装置へ伝送路遅延計測フレームを送信すると同時に送信時刻を記憶するステップと、

前記同期補正対象通信装置からの折り返しデータを受信した場合に受信時刻を記憶し、折り返しデータを受信しなかった場合は前記接続装置情報記憶部に遅延計測失敗を追記するステップと、

前記送信時刻および前記受信時刻から伝送路遅延時間を算出し前記接続装置情報記憶部へ追記するステップと、

前記算出された伝送路遅延時間を前記同期補正対象通信装置へ通知するステップとを備え、

前記接続装置情報記憶部に格納された全ての第２通信装置に対して前記ステップを繰り返した後、同期通信を開始し、

前記第１通信装置が、前記第２通信装置に対する同期フレームと指令フレームの送信、前記第２通信装置からの応答フレームの受信を含む所定の通信を実施した後に、

前記接続装置情報記憶部に遅延計測失敗が格納されている第２通信装置からの応答をチェックするステップと、

応答がなければ前記通信周期終了を待って再度同期通信を行うステップと、

応答があれば伝送路遅延計測時間を算出し、前記通信周期の残り時間で伝送路遅延計測が可能かどうかチェックするステップと、

残り時間で伝送路遅延計測が不可能ならば前記通信周期終了を待って再度同期通信を行うステップと、残り時間で伝送路遅延計測が可能ならば同期補正対象通信装置を指定するステップと、

該同期補正対象通信装置へ伝送路遅延計測フレームを送信すると同時に送信時刻を記憶するステップと、

前記同期補正対象通信装置からの折り返しデータを受信した場合に受信時刻を記憶し、折り返しデータを受信しなかった場合は前記通信周期終了を待って再度同期通信を行うステップと、

前記送信時刻および前記受信時刻から伝送路遅延時間を算出し前記接続装置情報記憶部へ追記するステップと、

前記算出された伝送路遅延時間を前記同期補正対象通信装置へ通知するステップと、

前記通信周期終了を待って再度同期通信を行うステップを備えることを特徴とする同期通信方法。

【請求項９】

前記伝送路遅延計測時間は、前記接続装置情報記憶部に格納された伝送路遅延時間の最大値と、前記遅延計測を行う回数と、回路構成により決定される通信装置内の中継時間を用いて算出することを特徴とする請求項８に記載の同期通信方法。

【請求項１０】

前記第２通信装置は、前記第１通信装置が指定した同期補正対象通信装置が自局である場合は、経路切り替えスイッチを受信元へ折り返す設定にするステップと、前記第１通信

装置から前記伝送遅延計測フレームを受信し、伝送路遅延時間を通知された場合に前記経路切り替えスイッチを中継先へ接続するステップと、　前記伝送路遅延時間と前記第１通信装置が送信した同期フレームに格納された基準タイムにより装置内基準タイマを補正するステップにより、基準タイムと装置内基準タイマを同期させることを特徴とする請求項８に記載の同期通信方法。

【請求項１１】

前記第２通信装置は、前記同期補正対象指定フレームに格納された遅延計測を行う回数を記憶し、該遅延計測回数＋１だけ伝送路遅延計測フレームを受信した後に前記経路切り替えスイッチを中継先へ接続するステップと、前記伝送路遅延時間と前記第１通信装置が送信した同期フレームに格納された基準タイムにより装置内基準タイマを補正するステップにより、基準タイムと装置内基準タイマを同期させることを特徴とする請求項８に記載の同期通信方法。

【請求項１２】

送受信データを制御する通信制御部と該通信制御部が受信したデータを基に演算処理を実行して送信データを作成するホストＣＰＵ部とをそれぞれ有する１つの第１通信装置と１個以上の第２通信装置が伝送路に接続された通信システムにおいて、

前記第１通信装置が、前記第２通信装置までの伝送路遅延時間を個別に計測し、前記伝送路遅延時間を当該装置に個別に通知し、通信周期ごとに通信システムにおける基準タイムの現在値を送信し、

前記第２通信装置は、通知された前記伝送路遅延時間で、受信した前記基準タイムの現在値を補正して自己の装置内基準タイマに設定することを特徴とする同期通信システム。

【請求項１３】

前記第１通信装置は、割り込み出力タイムを前記同期フレームに格納して前記第２通信装置に送信し、前記第２通信装置は受信した前記割り込み出力タイムを自己の装置内基準タイマに設定し、そのタイマ値が前記割り込み出力タイムに到達した時に同期割り込み信号を出力することを特徴とする請求項１２に記載の同期通信システム。

【請求項１４】

前記第１通信装置が、前記第２通信装置に対する同期フレームと指令フレームの送信、前記第２通信装置からの応答フレームの受信を含む一定の通信周期での同期通信を開始した後、

前記第１通信装置は、前記第２通信装置と同期通信中に該同期通信システムに新たに接続された前記第２通信装置を検出すると、通信周期内で所定の通信を実施した残り時間で、前記第１通信装置が当該第２通信装置までの伝送路遅延時間を計測し、前記伝送路遅延時間を当該第２通信装置に通知することを特徴とする請求項１２または請求項１３に記載の同期通信システム。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、伝送路に接続された全ての通信装置が通信システムにおける基準タイムに同期する同期通信方法、およびそれに使われる通信装置とその同期通信システムに関する。

【背景技術】

【０００２】

一般に製造システムでは、1台のプログラマブルコントローラやパソコンなどの制御機器が、複数台のセンサ、リレーおよびサーボドライブなどの機器と周期的に指令データと応答データの交換を行って制御している。各機器は伝送路に接続され、指令データと応答データの交換は通信を介して一定の通信周期で行われる。中でも、工作機械やチップマウンタなどのモーション制御システムでは、モーションコントローラが、伝送路を介してサーボドライブと制御ループを構成する。

従って、これらの機器が通信周期に同期して動作するため、揺らぎのない通信周期で指令データと応答データの交換が実現できる同期通信システムが要求される。このようなモ

ーション制御の高性能化のためには、モーションコントローラからサーボドライブ等が受信した指令データの処理を開始するタイミングを同期させ、その同期ずれを最小にすること、および、モーションコントローラとサーボドライブが指令データと応答データの交換を行う通信周期をできるだけ短くすることが必要である。

【０００３】

従来、伝送路に接続された全ての通信装置が、通信システムにおける基準タイムに同期するには、基準タイムを管理する通信装置がそれ以外の１個以上の通信装置に対し基準タイムを通知する方法がとられてきた。

例えば、３台の通信装置が伝送路に並列に接続され、内1台の通信装置(第１通信装置)が基準タイムを管理する場合、前記第１通信装置が、基準タイムを残りの２台(第２通信装置＃１および第２通信装置＃２)に一斉同報で送信し、前記２台の第２通信装置がそれを受信して装置内基準タイマを合わせる方法がとられてきた。

この場合、第１通信装置が送信したデータを、前記２台の第２通信装置が受信する時間は、それぞれ異なる。これは、伝送路を信号が伝播する時間(伝播遅延時間)がかかるため、伝送路の長さに依存して到達時間に差が発生するためである。

しかし、通信装置間の伝播遅延時間の差は極めて小さい値である。このような通信システムでは、前記第１通信装置が通信周期先頭で通信データを一斉同報し、それを受信した全ての第２通信装置が、受信タイミングに同期して動作するだけでも、通信装置間での同期ずれの小さい同期通信システムを実現できる。

【０００４】

ところでＯＡ分野では、パソコンやプリンタなどを接続して高速に通信する手段として、１００ＢＡＳＥ－Ｔや１０００ＢＡＳＥ－Ｔを物理層に採用したＥｔｈｅｒｎｅｔ（登録商標）が普及している。Ｅｔｈｅｒｎｅｔによる通信システムでは、機器をポイント・ツー・ポイント接続するのが一般的で、パソコンやプリンタなどの機器はＨＵＢに接続され、通信装置間でデータを授受する際はＨＵＢが中継局として転送を行う。

中継局としてのＨＵＢには、図１０－ｂの特許文献１に示されるようなスイッチング機能を備えたスイッチングＨＵＢが一般に採用され、ストア＆フォワードが一般的な転送モードとして採用されている。ストア＆フォワードは、通信フレームを先頭から終端まで全てバッファに格納しエラーチェックを実施、結果が正常なものを送信先機器が接続されたポートに転送する手順をとる。

【０００５】

図１０－ａはＥｔｈｅｒｎｅｔの通信フレームのフォーマットである。プリアンブル５００（７バイト）、ＳＦＤ５０１（Ｓｔａｒｔ　Ｆｒａｍｅ　Ｄｅｌｉｍｉｔｅｒ、１バイト）、送信先アドレス６０１（６バイト）、送信元アドレス６０２（６バイト）、タイプ６０３（２バイト）、データ６２０（４６-１５００バイト）とＦＣＳ６０６（Ｆｌａｍｅ　Ｃｈｅｃｋ　Ｓｅｑｕｅｎｃｅ、４バイト）で構成されていて、最小フレーム長は送信先アドレス６０１からＦＣＳ６０６までで６４バイトである。

前述の通り、ストア＆フォワードでは通信フレームを終端まで受信した後に転送するので、伝送速度が１００Ｍｂｐｓの場合、少なくともＳＦＤ（１バイト）と最小フレーム長６４バイトの受信に所要する５．２μｓは通信装置内の転送遅延時間として発生する。

スイッチングＨＵＢには、この転送遅延時間を削減する別の転送モードとして、カットスルーを実装したものもある。カットスルーは、送信先アドレス６０１を受信したタイミングで送信先機器が接続されたポートに転送を開始する転送方法である。しかし、この方法でもＳＦＤ（１バイト）と送信先アドレス（６バイト）の受信に所要する５６０ｎｓは通信装置内の転送遅延時間として発生する。

【０００６】

ＯＡ分野におけるＥｔｈｅｒｎｅｔ通信システムでは、ＨＵＢを中心に通信装置が並列に接続された構成をとるのが一般的だが、生産ラインなどの産業分野では、省配線化のために機器を伝送路に直列に接続することが多い。近年、高速な伝送速度の特長から、Ｅｔｈｅｒｎｅｔ技術を産業分野に応用する傾向があるが、伝送路に通信装置を直列に接続す

る場合、中継する通信装置の転送遅延時間が性能に影響する。

【０００７】

図１１－ａは、前述のカットスルーで中継する通信装置を直列に接続した、従来システムの構成図である。図において、１１０１が基準タイムを管理する第１通信装置、１１０２および１１０３が前記通信装置１１０１に同期して動作する第２通信装置＃１および＃２である。製造システムの場合、第１通信装置には、例えば、プログラマブルコントローラまたはパソコン、第２通信装置には、例えば、サーボドライブ、センサまたはリレー等が該当する。

ここで、第１通信装置のポート１（１１５０）と第２通信装置＃１のポート１(１１５１)、および、第２通信装置＃１のポート２（1152）と第２通信装置＃２のポート１（１１５３）とが直列に接続されている。第１通信装置と第２通信装置＃２とが、通信データを交換する場合、第２通信装置＃１が通信データの中継を行う。例えば、第１通信装置から第２通信装置＃２へ送信する場合、第１通信装置が送信したデータはポート1(１１５１)から第２通信装置＃１内を通過しポート２（１１５２）から送出された後、ポート１（１１５３）を経由して第２通信装置＃２に受信される。

【０００８】

図１１－ｂは従来システムにおける、通信と同期動作のタイミングを示すタイミングチャートの例である。図において、Sは通信装置１１０１がシステム全体の通信同期を行うために通信周期の先頭で一斉同報する同期フレームであり、ＣＭＤ＃１は通信装置１１０１が通信装置１１０２へ送信する指令フレーム、ＲＳＰ＃１は通信装置１１０２が通信装置１１０１に送信する応答フレームである。指令フレームはリレーのON／OFFやサーボドライブの目標位置の通知に、応答フレームはセンサの現在値やサーボドライブの位置フィードバック値の通知に使用される。ＣＭＤ＃２およびＲＳＰ＃２は、それぞれ通信装置１１０３に対する指令フレームおよび応答フレームで、内容はＣＭＤ＃１およびＲＳＰ＃１と同等である。

【０００９】

次に、制御の開始タイミングについて説明する。第２通信装置＃ｎとその前段の通信装置間の伝送路における伝播遅延時間をＴｔｒ＿ｎ、中継する通信装置内の転送遅延時間をＴｒｐｔとし、第２通信装置＃１および＃２は、第１通信装置から送信された同期フレームSを受信したタイミングで通信同期割込みを発生させて同期動作を行うとすると、伝送路の伝播遅延と転送遅延により第２通信装置＃１と＃２では通信同期割込みを発生するタイミングに（Ｔｒｐｔ＋Ｔｔｒ＿２）の時間差がある。

ここで、通信装置内の転送遅延時間と伝送路の伝播遅延時間を合わせて伝送路遅延時間と呼ぶと、第１通信装置が送信した同期フレームSを第２通信装置＃ｎが受信するまでの伝送路遅延時間＃ｎは下式で表される。ただし、ここでは全ての通信装置においてＴｒｐｔは同じ値と仮定している。

伝送路遅延時間＃ｎ：

$$Tdly_n = (n-1)Trpt + \sum_{i=1}^{n} Ttr_i$$

このため、複数の第２通信装置または第２通信装置に接続された機器が同期して動作するためには、各第２通信装置が備える基準タイムは、第１通信装置が備える基準タイムを伝送路遅延時間によって補正したものでなければならない。

【００１０】

伝送路遅延時間を計測する例として、基準タイムを管理する通信装置との折り返し遅延時間（データが往復するのに要する時間）をそれぞれ測定し、往路および復路に要する時間が等しいことを前提として各通信装置までの遅延時間を計測する方法がある。

【００１１】

図９は特許文献２で引用されている従来の通信システムの例であり、図９ではｎ台の通

信装置１００１～１００５が、伝送路１０１２に直列に接続されている。このような構成において、各通信装置の時刻を同期させるには、先ず第１通信装置１００１が第２通信装置１００２に対して測定用のデータを２回送信し、第２通信装置１００２はその測定用データをそれぞれ入力端と出力端で折り返すことで、伝播遅延時間Ｔａｂ（　Ｔｂａ）および装置内転送遅延時間ＴＢ１（　ＴＢ２）を測定する。

その後、第１通信装置は第３通信装置１００３へ同様に測定データを送信し、遅延時間Ｔｂｃ（　Ｔｃｂ）およびＴＣ１（　ＴＣ２）を測定する。同様に第１通信装置１００１は、第ｎの通信装置１００５まで遅延時間を測定後、各通信装置へ遅延時間を通知し、各通信装置は、第１通信装置１００１から通知された遅延時間により、その時刻を補正し基準タイムに同期させていた。

しかしながら、図９に示すような通信システムでは通信装置内で往路および復路で異なる内部メモリを通過するため、往路の遅延時間と復路の遅延時間の差が遅延時間の誤差になっていた。

【００１２】

加えて、前期伝送路遅延時間は、第１通信装置が第２通信装置＃ｎへ指令フレームを送信する場合や、第２通信装置＃ｎが第１通信装置に応答フレームを送信する場合にも同様に発生するため、第１通信装置が第２通信装置＃ｎと指令フレームおよび応答フレームを交換する際の応答時間は、前式の２倍の時間が無駄時間として発生する。

例えば、第２通信装置が１０台接続された通信システムの場合、１０番目の通信装置では転送遅延時間だけでも１０．０８μsが無駄時間になる。したがって、１０台全ての第２通信装置で合計すると転送遅延時間だけでも５０.４μｓとなり、１００μｓオーダの通信周期を行う場合には、通信周期の大半を占めていることになる。結果、通信周期を短縮できないため、高速な通信を利用してもモーション制御の性能を上げることができない。

【特許文献１】特表２０００－５０３８２８（第３９頁、図４）

【特許文献２】特開平１０－１４２３６１号公報（第６頁、図４）

【発明の開示】

【発明が解決しようとする課題】

【００１３】

本発明はこのような問題点に鑑みてなされたものであり、通信装置が伝送路に直列に接続された場合でも、遅延時間を計測して各スレーブの基準タイムを補正して制御周期の開始タイミングを基準タイムベースで指定して同期させ、かつ、通信装置の転送遅延を削減して通信周期ができるだけ小さい同期通信を可能にする通信装置、同期通信システムおよび同期通信方法を提供することを目的とする。

【課題を解決するための手段】

【００１４】

上記問題を解決するため、本発明は、次のように構成したのである。

請求項１に記載の発明は、通信装置に係り、伝送路に接続されて送受するデータを制御する通信制御部と、前記通信制御部と接続されて前記通信制御部が受信したデータと内蔵の接続装置情報記憶部のデータとを基に演算処理を実行して送信データを作成し前記通信制御部に送信するホストＣＰＵと、を備えてなる通信装置であって、

前記通信制御部が、論理信号を電気的な信号に変換するＰＨＹ部と、前記ＰＨＹ部に接続されて前記ＰＨＹ部の受信したデータを入力するＲｘＦＩＦＯ部（受信先入れ先出し部）と、前記ＰＨＹ部に接続されて受信したデータを前記ＰＨＹ部へ出力するＴｘＦＩＦＯ部（送信先入れ先出し部）とをそれぞれ２組と、あらかじめ設定されたタイミングで割り込み信号を発生する装置内基準タイマを内蔵したＬＩＮＫ部と、を備え、

かつ、２組の前記ＲｘＦＩＦＯ部と前記ＴｘＦＩＦＯ部とをそれぞれ中継路で結び、前記２本の中継路と前記ＬＩＮＫ部とがそれぞれ接続され、

前記ＬＩＮＫ部は同期補正対象指定フレームと伝送路遅延計測フレームと同期フレームを送信することを特徴としたのである。

【００１５】
また、請求項２に記載の発明は、通信装置に係り、伝送路に接続されて送受するデータを制御する通信制御部と、前記通信制御部と接続されて前記通信制御部が受信したデータと内蔵の自局情報記憶部のデータとを基に演算処理を実行して送信データを作成し前記通信制御部に送信するホストＣＰＵと、を備えて成る通信装置であって、
前記通信制御部が、論理信号を電気的な信号に変換するＰＨＹ部と前記ＰＨＹ部に接続されて前記ＰＨＹ部の受信したデータを入力するＲｘＦＩＦＯ部（受信先入れ先出し部）と、前記ＰＨＹ部に接続されて受信したデータを前記ＰＨＹ部へ出力するＴｘＦＩＦＯ部（送信先入れ先出し部）とをそれぞれ２組と、あらかじめ設定されたタイミングで割り込み信号を発生する装置内基準タイマを内蔵したＬＩＮＫ部と、を備え、
かつ、２組の前記ＲｘＦＩＦＯ部と前記ＴｘＦＩＦＯ部とをそれぞれ中継路で結び、前記２本の中継路と前記ＬＩＮＫ部とがそれぞれ接続され、かつ、前記２つの中継路にそれぞれ経路切り替えスイッチが挿入されると共に中継路にそれぞれ折り返し経路の一方が接続され、前記経路切り替えスイッチが自己の中継路を切断したときは前記折り返し経路の他端に接続されるようになり、しかも２個の経路切り替えスイッチの前記動作が同時に行なわれ、
前記ＬＩＮＫ部は、通常は前記経路切り替えスイッチを切り替え動作させず一方のＰＨＹ部で受信したデータをもう一方のＰＨＹ部に転送する中継路を構成し、しかし同期補正対象指定フレームを受信すると、前記経路切り替えスイッチの切り替え動作によりＰＨＹ部で受信したデータを折り返す折り返し経路を構成し、
同期補正対象指定フレームの受信後所定回数の伝送路遅延計測フレームを受信すると前記経路切り替えスイッチにより再度前記中継路を構成し、
請求項１記載の通信装置が送信する同期フレームを受信すると、前記装置内基準タイマの補正を行って通信システムにおける基準タイムに同期することを特徴としたのである。
【００１６】
また、請求項３に記載の発明は、請求項１に記載の通信装置において、前記ＲｘＦＩＦＯ部の前段には、ＳＦＤ（フレーム開始信号）検出部が具備され、前記ＳＦＤ検出部は一方の前記ＰＨＹ部から受信したデータの中にプリアンブルに続くＳＦＤを検出すると直ちに、受信したデータをもう一方の前記ＰＨＹ部から伝送路へ転送することを特徴としたのである。
【００１７】
また、請求項４に記載の発明は、請求項２に記載の発明において、前記ＲｘＦＩＦＯ部の前段には、ＳＦＤ（フレーム開始信号）検出部が具備され、前記ＳＦＤ検出部は一方の前記ＰＨＹ部から受信したデータの中にプリアンブルに続くＳＦＤを検出すると直ちに、受信したデータをもう一方の前記ＰＨＹ部から伝送路へ転送することを特徴としたのである。
【００１８】
また、請求項５に記載の発明は、同期通信システムに係り、請求項１または請求項３に記載の第１通信装置と、１個以上の請求項２または請求項４に記載の第２通信装置とを備えて成り、前記第１通信装置および第２通信装置が所定の通信周期で通信を行う同期通信システムであって、
各通信装置の２個のＰＨＹ部のうち一方のＰＨＹ部を他の通信装置のＰＨＹ部に接続し、他方のＰＨＹ部を他の通信装置のＰＨＹ部に接続して成り、
前記第１通信装置が、前記第２通信装置までの伝送路遅延時間を個別に計測し、前記伝送路遅延時間を当該装置に個別に通知し、通信周期ごとに通信システムにおける基準タイムの現在値を送信し、
前記第２通信装置は、通知された前記伝送路遅延時間で、受信した前記基準タイムの現在値を補正して自己の装置内基準タイマに設定することを特徴としたのである。
【００１９】
また、請求項６記載の発明は、請求項５記載の同期通信システムにおいて、前記第１通

信装置は、割り込み出力タイムを前記同期フレームに格納して前記第２通信装置に送信し、前記第２通信装置は受信した前記割り込み出力タイムを自己の装置内基準タイマに設定し、そのタイマ値が前記割り込み出力タイムに到達した時に同期割り込み信号を出力することを特徴としたのである。

【００２０】

また、請求項７記載の発明は、請求項５または６に記載の同期通信システムにおいて、前記第１通信装置が、前記第２通信装置に対する同期フレームと指令フレームの送信、前記第２通信装置からの応答フレームの受信を含む一定の通信周期での同期通信を開始した後、

前記第１通信装置は、前記第２通信装置と同期通信中に該同期通信システムに新たに接続された前記第２通信装置を検出すると、通信周期内で所定の通信を実施した残り時間で、前記第１通信装置が当該第２通信装置までの伝送路遅延時間を計測し、前記伝送路遅延時間を当該第２通信装置に通知することを特徴としたのである。

【００２２】

また、請求項８に記載の発明は、同期通信方法に係り、送受信データを制御する通信制御部と該通信制御部が受信したデータを基に演算処理を実行して送信データを作成するホストＣＰＵ部とをそれぞれ有する１つの第１通信装置と１個以上の第２通信装置が伝送路に接続された通信システム内で前記通信装置が同期通信を行う同期通信方法において、

前記第１通信装置は、予め接続装置情報記憶部に格納された前記第２通信装置の情報に従い同期補正対象通信装置を指定するステップと、該同期補正対象通信装置へ伝送路遅延計測フレームを送信すると同時に送信時刻を記憶するステップと、前記同期補正対象通信装置からの折り返しデータを受信した場合に受信時刻を記憶し、折り返しデータを受信しなかった場合は前記接続装置情報記憶部に遅延計測失敗を追記するステップと、前記送信時刻および前記受信時刻から伝送路遅延時間を算出し前記接続装置情報記憶部へ追記するステップと、前記算出された伝送路遅延時間を前記同期補正対象通信装置へ通知するステップとを備え、前記接続装置情報記憶部に格納された全ての第２通信装置に対して前記ステップを繰り返した後、同期通信を開始し、

前記第１通信装置が、前記第２通信装置に対する同期フレームと指令フレームの送信、前記第２通信装置からの応答フレームの受信を含む所定の通信を実施した後に、

前記接続装置情報記憶部に遅延計測失敗が格納されている第２通信装置からの応答をチェックするステップと、応答がなければ前記通信周期終了を待って再度同期通信を行うステップと、応答があれば伝送路遅延計測時間を算出し、前記通信周期の残り時間で伝送路遅延計測が可能かどうかチェックするステップと、残り時間で伝送路遅延計測が不可能ならば前記通信周期終了を待って再度同期通信を行うステップと、残り時間で伝送路遅延計測が可能ならば同期補正対象通信装置を指定するステップと、該同期補正対象通信装置へ伝送路遅延計測フレームを送信すると同時に送信時刻を記憶するステップと、前記同期補正対象通信装置からの折り返しデータを受信した場合に受信時刻を記憶し、折り返しデータを受信しなかった場合は前記通信周期終了を待って再度同期通信を行うステップと、前記送信時刻および前記受信時刻から伝送路遅延時間を算出し前記接続装置情報記憶部へ追記するステップと、前記算出された伝送路遅延時間を前記同期補正対象通信装置へ通知するステップと、前記通信周期終了を待って再度同期通信を行うステップを備えることを特徴としたのである。

【００２３】

また、請求項９に記載の発明は、請求項８に記載の発明において、前記伝送路遅延計測時間は、前記接続装置情報記憶部に格納された伝送路遅延時間の最大値と、前記遅延計測を行う回数と、回路構成により決定される通信装置内の中継時間を用いて算出することを特徴としたのである。

【００２４】

また、請求項１０記載の発明は、請求項８に記載の発明において、前記第２通信装置は、前記第１通信装置が指定した同期補正対象通信装置が自局である場合は、経路切り替え

スイッチを受信元へ折り返す設定にするステップと、前記第１通信装置から前記伝送遅延計測フレームを受信し、伝送路遅延時間を通知された場合に前記経路切り替えスイッチを中継先へ接続するステップと、前記伝送路遅延時間と前記第１通信装置が送信した同期フレームに格納された基準タイムにより装置内基準タイマを補正するステップにより、基準タイムと装置内基準タイマを同期させることを特徴としたのである。

【００２５】

また、請求項１１に記載の発明は、請求項８に記載の同期通信方法において、前記第２通信装置は、前記同期補正対象指定フレームに格納された遅延計測を行う回数を記憶し、該遅延計測回数＋１だけ伝送路遅延計測フレームを受信した後に前記経路切り替えスイッチを中継先へ接続するステップと、前記伝送路遅延時間と前記第１通信装置が送信した同期フレームに格納された基準タイムにより装置内基準タイマを補正するステップにより、基準タイムと装置内基準タイマを同期させることを特徴としたのである。

また、請求項１２に記載の発明は、送受信データを制御する通信制御部と該通信制御部が受信したデータを基に演算処理を実行して送信データを作成するホストＣＰＵ部とをそれぞれ有する１つの第１通信装置と１個以上の第２通信装置が伝送路に接続された通信システムにおいて、前記第１通信装置が、前記第２通信装置までの伝送路遅延時間を個別に計測し、前記伝送路遅延時間を当該装置に個別に通知し、通信周期ごとに通信システムにおける基準タイムの現在値を送信し、前記第２通信装置は、通知された前記伝送路遅延時間で、受信した前記基準タイムの現在値を補正して自己の装置内基準タイマに設定することを特徴としたのである。

また、請求項１３に記載の発明は、請求項１２に記載の発明において、前記第１通信装置は、割り込み出力タイムを前記同期フレームに格納して前記第２通信装置に送信し、前記第２通信装置は受信した前記割り込み出力タイムを自己の装置内基準タイマに設定し、そのタイマ値が前記割り込み出力タイムに到達した時に同期割り込み信号を出力することを特徴としたのである。

また、請求項１４に記載の発明は、請求項１２または請求項１３に記載の発明において、前記第１通信装置が、前記第２通信装置に対する同期フレームと指令フレームの送信、前記第２通信装置からの応答フレームの受信を含む一定の通信周期での同期通信を開始した後、前記第１通信装置は、前記第２通信装置と同期通信中に該同期通信システムに新たに接続された前記第２通信装置を検出すると、通信周期内で所定の通信を実施した残り時間で、前記第１通信装置が当該第２通信装置までの伝送路遅延時間を計測し、前記伝送路遅延時間を当該第２通信装置に通知することを特徴としたのである。

【発明の効果】

【００２６】

請求項１、請求項２、請求項５、請求項１０または請求項１２に記載の発明によると、第２通信装置の中継路に経路切り替えスイッチを実装して、第１通信装置がその切り替えスイッチを制御するだけで各第２通信装置に対する伝送路遅延時間を、容易に精度よく計測し、その計測結果および同期通信システムの基準タイムを各第２通信装置に通知することができる。そして、第２通信装置は、その伝送路遅延時間と基準タイムで自己の基準タイムを補正するので、第１通信装置の基準タイムに同期した基準タイムを利用することができる。

【００２７】

請求項６または請求項１３に記載の発明によると、第２通信装置があらかじめ設定されたタイミングで割り込み信号を発生させることができるので、すべての第２通信装置に接続された機器が、指令フレームに含まれる指令データの処理を、同一のタイミングで開始することができる。

【００２８】

請求項７、請求項８、請求項１０または請求項１４に記載の発明によると、通信システムが一定の通信周期で同期通信を行っている最中に新たに接続された第２通信装置に対して、第１通信装置がその同期通信の通信周期を乱すことなく、伝送路遅延時間を計測して

通知し、該第２通信装置が同期通信を行なえるようにすることができる。

【００２９】

また、請求項９に記載の発明によると、第１通信装置が、新たに接続された第２通信装置に対して伝送路遅延時間を計測するための時間を見積もることができる。

【００３０】

また、請求項１１に記載の発明によると、第１通信装置は第２通信装置の各々に対して複数回の伝送路遅延時間を計測し、より精度の高い伝送路遅延時間を取得することができる。

【００３１】

請求項３または請求項４に記載の発明によると、各通信装置に具備された２つのＲｘＦＩＦＯ部の前段にＳＦＤ検出部を具備し、中継路では前記受信データのフレーム開始信号以降につづくデータの監視を一切行わないので、プリアンブルの後に続く正しいＳＦＤを検出した場合にのみ、中継路へデータを渡すことができる。また、特に直列に接続が必要なシステムではカットスルー方式と同様に不要な誤データの中継を無くし、尚且つ必要なデータだけをより高速に中継できる。この結果、例えば通信装置を１０台直列に接続したときの転送遅延時間は従来のカットスルー方式と比べて、５０．４μｓから７．２μｓに短縮できるのである。

【図面の簡単な説明】

【００３２】

【図１】本発明の方法を適用する通信装置の構成を示すブロック図

【図２】接続装置情報記憶部の構成例

【図３】自局情報記憶部の構成例

【図４】本発明を適用した通信システムの例

【図５】本発明の第１通信装置の遅延計測手順を示すフローチャート

【図６】本発明の第２通信装置の遅延計測手順を示すフローチャート

【図７】本発明の第１通信装置が同期通信中の遅延計測手順を示すフローチャート

【図８】本発明の通信のデータフォーマットの例、（８－ａ）同期補正対象指定フレーム、（８－ｂ）伝送路遅延計測フレーム、（８－ｃ）同期フレーム、（８－ｄ）指令フレーム、（８－ｅ）応答フレーム

【図９】従来の通信システムの構成

【図１０】標準的な通信フレームと通信装置の構成、（１０－ａ）標準的な通信フレームの構成、（１０－ｂ）標準的な通信装置の構成

【図１１】従来通信システムの構成とタイミングチャート、（１１－ａ）従来通信システムの構成、（１１－ｂ）従来通信システムのタイミングチャート

【図１２】本発明の通信同期のタイミングチャート

【符号の説明】

【００３３】

１　本発明の第１通信装置
２　本発明の第２通信装置＃１
３　本発明の第２通信装置＃２
４　本発明の第２通信装置＃３
５　伝送路
１０、２０　ホストＣＰＵ部
１００、２００　通信制御部
１１　接続装置情報記憶部
１１１０　第２通信装置の接続可能台数格納領域
１１０２　第２通信装置＃１
１１１　第２通信装置＃１の情報記憶部
１１１１　第２通信装置＃１のアドレス格納領域
１１１２　第２通信装置＃１の伝送路遅延計測完了/失敗情報格納領域

１１１３　第２通信装置＃１の伝送路遅延時間格納領域
１１０３　第２通信装置＃２
１１２　第２通信装置＃２の情報記憶部
１１２１　第２通信装置＃２のアドレス格納領域
１１２２　第２通信装置＃２の伝送路遅延計測完了/失敗情報格納領域
１１２３　第２通信装置＃２の伝送路遅延時間格納領域
１１ｎ　第２通信装置＃ｎの情報記憶部
１１ｎ１　第２通信装置＃ｎのアドレス格納領域
１１ｎ２　第２通信装置＃ｎの伝送路遅延計測完了/失敗情報格納領域
１１ｎ３　第２通信装置＃ｎの伝送路遅延時間格納領域
２１　自局情報記憶部
２１１　遅延計測回数格納領域
２１２　伝送路遅延時間格納領域
２１３　基準タイム格納領域
１１０、２１０　ＰＨＹ部
１１５、２１５　ＳＦＤ検出部
１１６、２１６　受信信号
１１７、２１７　転送許可信号
１１８、２１８　割り込み信号
１２０、２２０　ＴｘＦＩＦＯ部
１３０、２３０　ＲｘＦＩＦＯ部
１４０、２４０　ＬＩＮＫ部
１４１、２４１　装置内基準タイマ
２５０　経路切り替えスイッチ
１６０、２６０　中継路
２６１　折り返し経路
５００　プリアンブル
５０１　ＳＦＤ（フレーム開始フラグ）
６０１　送信先アドレス
６０２　送信元アドレス
６０３　データタイプ
６０４　データ長
６０５　遅延計測回数
６０６　ＦＣＳ
６１５　伝送路遅延時間
６１６　基準タイムの現在値
６１７　割り込み出力タイム
６１８　指令データ
６１９　応答データ
６２０　データ
１００１、１１０１　従来の第１通信装置
１００２　従来の第２通信装置
１００３　従来の第３通信装置
１００４　従来の第ｎ－１通信装置
１００５　従来の第ｎ通信装置
１０１２　従来の伝送路
１１５０、１１５１、１１５３　ポート１
１１５２、１１５４　ポート２
【発明を実施するための最良の形態】
【００３４】

以下、本発明の方法の具体的実施例について、図に基づいて説明する。以下、異なる図においても同じ器具符号を持つものは、同一の内容を示している。

【実施例】

【００３５】

図１は、本発明の通信装置の構成を示すブロック図である。

図１では第１通信装置１と第２通信装置２が伝送路５によって直列に接続されている。第１通信装置１は、ＬＩＮＫ部１４０内部に通信システムの基準タイムを管理するための装置内基準タイマ１４１を具備し、第２通信装置２はＬＩＮＫ部２４０内部に通信システムの基準タイムと同期するための装置内基準タイマ２４１を具備している。

【００３６】

基準タイムは、同期通信システムが、その動作の開始等の基準とするものであり、各通信周期の最初に、同期フレームに格納されて第１通信装置から各第２通信装置に送信されるものである。

たとえば、各第２通信装置は、自己の基準タイムをディクリメントして、その値があらかじめ設定された割り込み出力タイムになったときに、割り込み信号を出力する。同期通信システムは、その割り込み信号を利用することによって、全てが同じタイミングで処理を開始することができる。本例では装置内基準タイマをＬＩＮＫ部内部に実装しているが、ＬＩＮＫ部外部に専用のタイマとして実装しても良い。

【００３７】

第１通信装置１は送受信データを制御する通信制御部１００と、通信制御部１００が受信したデータを基に演算処理を実行し、送信データを作成するホストＣＰＵ部１０とを備えている。

ホストＣＰＵ部１０は、伝送路に接続された他の通信装置の情報を記憶する接続装置情報記憶部１１を備える。

通信制御部１００は、伝送路に接続され、データをその伝送路に送出するため論理信号を電気的な信号に変換するＰＨＹ部（別名、第１層とも物理層(Ｐｈｙｓｉｃａｌ　Ｌａｙｅｒ)とも言う）１１０と、ＰＨＹ部１１０とデータの送受信を行うＬＩＮＫ部１４０と、ＰＨＹ部１１０の受信したデータを保持するＲｘＦＩＦＯ部１３０と、ＬＩＮＫ部１４０およびＲｘＦＩＦＯ部１３０からの送信データを保持するＴｘＦＩＦＯ部１２０を備える。それぞれ2個のＰＨＹ部１１０、ＲｘＦＩＦＯ部１３０およびＴｘＦＩＦＯ部１２０は、図１に示すように、ＰＨＹ部１１０の一方が受信したデータをもう一方のＰＨＹ部１１０に転送するような２系統の中継路１６０を構成する。

すなわち中継路１６０により、一方のＰＨＹ部１１０が受信したデータはそのままもう一方のＰＨＹ部から他の通信装置へ転送される。また、ＰＨＹ部１１０とＲｘＦＩＦＯ部１３０との間には、ＳＦＤ検出部１１５を備え、受信したデータのプリアンブルに続くＳＦＤを監視する。ＳＦＤとは、ヘキサデシマルで表示すれば‘５Ｄ’である１バイトのフレーム開始フラグである。

【００３８】

ＳＦＤ検出部１１５は、ＳＦＤを正しく検出したら、ＰＨＹ部１１０が出力した受信信号１１６をＲｘＦＩＦＯ１３０とＴｘＦＩＦＯ１２０を経由して、直ちに、もう一方のＰＨＹ部１１０へ転送許可信号１１７として出力するとともに、受信したデータをＲｘＦＩＦＯ１３０を経由してＴｘＦＩＦＯ１２０へ転送する。

この転送許可信号を受けたＰＨＹ部１１０は、直ちに、ＴｘＦＩＦＯ１２０から転送された受信データを伝送路５へ転送する。

この転送許可信号と受信データは、当該フレームの転送を終了したときまたは当該フレームが伝送エラー等によって途切れたときには、ＲｘＦＩＦＯ１３０へ出力されない。つまり、この後次のＳＦＤを正しく検出するまで、受信したデータのＰＨＹ部１１０から伝送路５への転送は停止したままとなる。

なお、ＰＨＹ部は論理信号と電気信号との変換を行うもののみならず、論理信号と光信号との変換を行うもの、あるいは、論理信号と電波信号との変換を行うものであっても構

わない。

【００３９】

図２は図１に示す第１通信装置１の接続装置情報記憶部１１の構成例である。

接続装置情報記憶部１１には、第１通信装置１に接続される１個以上の第２通信装置＃１、＃２、～＃ｎの接続可能な台数（図２ではｎ台）を格納する接続可能台数格納領域１１１０と、その接続可能台数ｎの数だけの各第２通信装置の情報を格納する第２通信装置の情報記憶部１１１、１１２、～１１ｎとを備える。

更に、その各情報記憶部１１１、１１２、～１１ｎには、それぞれ、通信装置個別のアドレス格納領域１１１１、１１２１、～１１ｎ１と、伝送路遅延計測完了／失敗情報格納領域１１１２、１１２２、～１１ｎ２と、伝送路遅延計測の結果得られる伝送路遅延時間格納領域１１１３、１１２３、～１１ｎ３とを備えている。

なお、第２通信装置の接続可能台数は、実現するアプリケーションシステムに必要な台数であって、図示しないエンジニアリングツール等によって、あらかじめ接続可能台数格納領域１１１０に書き込まれる。同様に、第２通信装置を特定するためのアドレスも、あらかじめアドレス格納領域１１１１、１１２１、～１１ｎ１に書込まれる。

【００４０】

さて、図１に戻って、第２通信装置２は送受信データを制御する通信制御部２００と、通信制御部２００が受信したデータを基に演算処理を実行し、送信データを作成するホストＣＰＵ部２０とを備えている。

また、ホストＣＰＵ部２０は、自局の情報を記憶する自局情報記憶部２１を備え、更に、通信制御部２００は、伝送路に接続され論理信号を実際の電気的な信号に変換するＰＨＹ部２１０と、ＰＨＹ部２１０とデータの送受信を行うＬＩＮＫ部２４０と、ＰＨＹ部２１０の受信したデータを保持するＲｘＦＩＦＯ部２３０と、ＬＩＮＫ部２４０およびＲｘＦＩＦＯ部２３０からの送信データを保持するＴｘＦＩＦＯ部２２０を備える。それぞれ2個のＰＨＹ部２１０、ＲｘＦＩＦＯ部２３０およびＴｘＦＩＦＯ部２２０は、経路切り替えスイッチ２５０が中継路２６０に接続されている場合、ＰＨＹ部２１０の一方が受信したデータをもう一方のＰＨＹ部２１０に転送するような２系統の中継路２６０を構成する。

一方、経路切り替えスイッチ２５０が折り返し経路２６１に接続されている場合、ＰＨＹ部２１０の一方が受信したデータを同じＰＨＹ部２１０に折り返すような転送経路を構成する。折り返し経路２６１は、後述するように、第１通信装置から当該第２通信装置までの伝送路遅延時間を計測するときに使用される。また、経路切り替えスイッチ２５０は、受信データの経路および後述の転送許可信号の経路を、同じタイミングで、中継路２６０側または折り返し経路２６１側に接続するものである。

【００４１】

経路切り替えスイッチ２５０が通常動作時の中継路２６０に接続されている場合、２系統の中継路はＲｘＦＩＦＯ２３０とＴｘＦＩＦＯ２２０を1個ずつ含む。

経路切り替えスイッチ２５０が折り返し経路２６１に接続されている場合もＲｘＦＩＦＯ２３０とＴｘＦＩＦＯ２２０を1個ずつ含む。

いずれにしても、転送されるデータは、ＲｘＦＩＦＯ２３０とＴｘＦＩＦＯ２２０をそれぞれ１回通過する様になっている。また、ＰＨＹ部２１０とＲｘＦＩＦＯ部２３０との間には、ＳＦＤ検出部２１５があり、受信したデータのプリアンブル以降に続くＳＦＤを監視する。

【００４２】

ＳＦＤ検出部２１５は、ＳＦＤを正しく検出したら、ＰＨＹ部２１０が出力した受信信号２１６をＲｘＦＩＦＯ２３０とＴｘＦＩＦＯ２２０を経由して、直ちに、もう一方のＰＨＹ部２１０へ転送許可信号２１７として出力するとともに、受信したデータをＲｘＦＩＦＯ２３０を経由してＴｘＦＩＦＯ２２０へ転送する。

この転送許可信号を受けたＰＨＹ部２１０は、直ちに、ＴｘＦＩＦＯ２２０から転送された受信データを伝送路５へ転送する。

この転送許可信号と受信データは、当該フレームの転送を終了したときまたは当該フレームが伝送エラー等によって途切れたときには、ＲｘＦＩＦＯ２３０へ出力されない。つまり、この後次のＳＦＤを正しく検出するまで、受信したデータのＰＨＹ部２１０から伝送路５への転送は停止したままとなる。

なお、図１において、第２通信装置２のみが経路切り替えスイッチ２５０を実装しているが、第１通信装置１にも経路切り替えスイッチ２５０を実装して両者の回路構成を同じにしてもよいことはいうまでもない。

【００４３】

図３は図１の自局情報記憶部２１の構成例である。自局情報記憶部２１には、自局に対して送信された同期補正対象指定フレームに格納された遅延計測回数６０５（図８－ａ）を格納する遅延計測回数格納領域２１１と、伝送路遅延計測フレームに格納された伝送路遅延時間６１５（図８－ｂ）を格納する伝送路遅延時間格納領域２１２と、同期フレームに格納された基準タイムの現在値６１６（図８－ｃ）を格納する領域である基準タイム格納領域２１３を備えている。

【００４４】

図４は本発明を適用した通信システムの例である。

本例では４台の通信装置が伝送路に直列に接続されている。基準タイムを管理するのが第１通信装置１で、第２通信装置＃１～＃３（２～４）は図１の第２通信装置２と同様のブロック図からなり、第１通信装置１の基準タイムに同期する。

本例では第１通信装置１を伝送路の末端となる様に接続しているが、図１で説明した通り、第１通信装置１も中継機能を実装しているので、伝送路の途中に接続してもよい。

【００４５】

図５は本発明の伝送路遅延時間の計測手順を示す第１通信装置のフローチャートであり、ホストＣＰＵ１０が実行するものである。このフローチャートは定周期通信開始前の図で、定周期通信開始後のフローチャートに関しては後述する。

第１通信装置１（図１）は、ステップＳ１０１で、予め接続装置情報記憶部１１に格納された第２通信装置＃１～＃ｎ（図２）のうちの１台を同期補正対象通信装置（以下、「対象通信装置」と言う。）に指定し、その第２通信装置に遅延計測回数を格納した同期補正対象指定フレーム（図８－ａ）を送信する。

次に、ステップＳ１０２で、伝送路遅延計測フレーム（図８－ｂ）を対象通信装置に送信するとともに、その送信した時刻を記憶しておく。

次に、ステップＳ１０３で、対象通信装置から折り返されて来た伝送路遅延計測フレームを受信した場合はステップＳ１０４へ進み、受信しなかった場合はステップＳ１０５へ進み、遅延計測失敗を接続装置情報記憶部１１へ格納してステップＳ１１０へ進む。

遅延計測を失敗したということは、図２に示す接続可能台数格納領域１１１０から判断すれば存在するはずである第２通信装置に対して伝送路遅延計測フレームを送信したが折り返しデータを受信できなかった等を意味する。受信できなかったことの判断は、図示しないタイマのタイムアップ等により行うものとする。

対象通信装置から折り返されて来た伝送路遅延計測フレームを受信した場合、ステップＳ１０４で折り返し受信時刻を記憶し、次にステップＳ１０６で伝送路遅延計測フレームの送信時刻と折り返し受信時刻から伝送路遅延時間を算出し、接続装置情報記憶部１１の当該対象通信装置の情報記憶部内にある伝送路遅延時間格納領域１１１３～１１ｎ３に格納する。

【００４６】

ここで、伝送路遅延時間の算出方法について説明する。図１の第２通信装置２のブロック図に記載の通り、経路切り替えスイッチ２５０が通常動作時の中継路２６０に設定されている場合と、同期遅延計測用に折り返し経路２６１に設定されている場合とで、転送されるデータは、ＳＦＤ検出部、ＲｘＦＩＦＯ、ＴｘＦＩＦＯをそれぞれ１回通過し、かつ、ＲｘＦＩＦＯ部は受信したデータをＴｘＦＩＦＯ部へ直ちに転送し、ＴｘＦＩＦＯ部は直ちに伝送路へデータを送信するため往路、復路の遅延時間に差はないと見なすことがで

きる。

【００４７】

したがって、伝送路遅延計測フレームを送信した時刻をＴｓ、折り返しデータを受信した時刻をＴｒとすると、伝送路の伝送路遅延時間は、（Ｔｒ－Ｔｓ）／２で算出できる。

次に、ステップＳ１０７で遅延計測回数だけ伝送路遅延計測フレームを送信したかチェックし、送信していなければステップＳ１０２からステップＳ１０６を繰り返す。送信していればステップＳ１０８で、例えば平均値等の最適伝送路遅延時間を算出して、接続装置情報記憶部１１の当該対象通信装置の情報記憶部内にある伝送路遅延時間格納領域１１１３～１１ｎ３に格納し、ステップＳ１０９で、伝送路遅延時間６１５に最適伝送路遅延時間を格納した伝送路遅延計測フレーム（図８－ｂ）を対象の第２通信装置へ送信する。

ステップＳ１１０で接続装置情報記憶部１１に格納された接続可能台数分の第２通信装置に対し伝送路遅延計測を完了したかをチェックし、完了していない場合はステップＳ１１２で対象通信装置を更新してステップＳ１０１へ進み、以下ステップＳ１０１からステップＳ１１０を繰り返す。完了した場合は、ステップＳ１１１で同期フレーム（図８－ｃ）を全ての第２通信装置に対して送信する。

【００４８】

図６は本発明の伝送路遅延時間の計測において、第２通信装置が行う処理の手順を示すフローチャートであり、ホストＣＰＵ２０が実行するものである。

第２通信装置２（図１）は、ステップＳ３０１で自局宛ての同期補正対象指定フレームを受信し、ステップＳ３０２で受信した同期補正対象指定フレームに格納された遅延計測回数を自局情報記憶部２１の遅延計測回数格納領域２１１（図３）に格納し、ステップＳ３０３で経路切り替えスイッチ２５０（図１）により折り返し経路２６１（図１）に設定する。

ステップＳ３０４で、伝送路遅延計測フレームの受信を待ち、受信するとステップＳ３０５で伝送路遅延計測フレーム（図８－ｂ）に格納された伝送路遅延時間６１５を自局情報記憶部２１の伝送路遅延時間格納領域２１２（図３）に格納する。この伝送路遅延時間は、上書きされるので、最後に受信した値が有効になる。

そして、ステップＳ３０６で、遅延計測回数＋１回、伝送路遅延計測フレーム（図８－ｂ）を受信したかをチェックし、遅延計測回数＋１回受信していない場合、ステップＳ３０４へ戻る。遅延計測回数＋１回受信した場合ステップＳ３０７へ進み、経路切り替えスイッチ２５０（図１）を中継路２６０（図１）に接続して通常動作時の構成に設定する。

【００４９】

次にステップＳ３０８で同期フレーム（図８－ｃ）の受信を待ち、最後にステップＳ３０９で、受信した同期フレームに格納された基準タイムと伝送路遅延時間により装置内基準タイマ２４１（図１）を補正する。

この補正は、たとえば、図１２に示される実施例のように基準タイムから伝送路遅延時間を減算した値に装置内基準タイマ２４１を書き換えることによって行われる。また、前記装置内基準タイマをアップカウンタとした場合は、基準タイムに伝送路遅延時間を加算した値に書き換えることになる。

【００５０】

図７は、接続情報記憶部１１の接続可能台数１１１０（図２）分第２通信装置が接続されていない状態で、第１通信装置１（図１）が一定の通信周期で同期通信を開始した場合に、第２通信装置２（図１）が新しく接続されたときの伝送路遅延時間を計測する手順を示している。この手順による処理は、ホストＣＰＵ１０が実行するものである。

同期通信とは、第１通信装置が各第２通信装置に対して伝送路遅延時間を設定し、同期フレームを１回送信した後、第１通信装置と第２通信装置とが、あらかじめ決められた一定の通信周期で行われる通信のことである。

この同期通信では、一定の通信周期で、第１通信装置が各第２通信装置に対して同期フレームを送信し、指令フレームを送信し、各第２通信装置から応答フレームを受信する等の通信を行う。

【００５１】
同期通信が開始されている状態において、第１通信装置１は、通信周期開始時間になるとステップＳ２０１で接続装置情報記憶部１１に格納された第２通信装置＃１～＃ｎ（図２）の全てに（接続可能台数１１１０に格納された台数分）対し同期通信を開始する。
同期通信完了後、ステップＳ２０２で接続装置情報記憶部１１に遅延計測失敗と記録されている第２通信装置のいずれかから応答を受信しているかをチェックし、受信していなければステップＳ２０８へ進んで通信周期の終了を待ち、ステップＳ２０１へ進む。
受信していればステップＳ２０３へ進み、通信周期の残り時間と伝送路遅延計測にかかる時間を比較し、伝送路遅延計測が通信周期残り時間で完了可能かをチェックする。
【００５２】
このとき、伝送路遅延計測時間は、接続装置情報記憶部１１に格納された伝送路遅延時間の最大値Ｔｍａｘ＿ｄｌｙ（第１通信装置から最も離れた第２通信装置までの伝送路遅延時間）と、遅延計測を行う回数Ｎｃｎｔと、回路構成により決定される通信装置内の中継時間Ｔｒｐｔを用いて、式１で示した計算式で求めた値を使用する。

伝送路遅延計測時間＝
（２×Ｔｍａｘ＿ｄｌｙ＋Ｔｒｐｔ）×（Ｎｃｎｔ＋１）＋α　・・・・・（式１）

なお、式１は、既に伝送路遅延時間計測を完了している第２通信装置であって、第１通信装置から見て最も遠い位置に接続されている第２通信装置に、新しく接続された第２通信装置を対象としたものである。また、αは、第１通信装置において、図７に示すフローチャートの処理にかかる時間であって、Ｔｍａｘ＿ｄｌｙやＴｒｐｔに起因しないもの、たとえば、平均値を算出する等にかかる時間を意味する。
【００５３】
Ｓ２０３のチェックで不可能と判定された場合はステップＳ２０８へ進み、Ｓ２０３のチェックで可能と判定された場合はステップＳ２０４へ進む。なお、Ｓ２０８では、図示しないディスプレイ等に、伝送路遅延時間を計測することができない旨を表示することもできる。
ステップＳ２０４で、応答を受信した遅延計測失敗と記録されている第２通信装置（以下、「対象通信装置」という。）へ遅延計測回数６０５を格納した同期補正対象指定フレーム（図８－ａ）を送信する。
次に、ステップＳ２０５で対象通信装置に伝送路遅延計測フレーム（図８－ｂ）を対象通信装置に送信するとともに、その送信した時刻を記憶しておく。
次にステップＳ２０６で、対象通信装置から折り返されて来た伝送路遅延計測フレームを受信した場合はステップＳ２０７へ進む。受信しなかった場合はステップＳ２０８へ進む。
【００５４】
対象通信装置から折り返されて来た伝送路遅延計測フレームを受信した場合、ステップＳ２０７で折り返しデータを受信した時刻を記憶し、次にステップＳ２０９で伝送路遅延計測フレームを送信した時刻と折り返しデータを受信した時刻から伝送路遅延時間を算出し、接続装置情報記憶部１１の当該対象通信装置の情報記憶部内にある伝送路遅延時間格納領域１１１３～１１ｎ３に格納する。伝送路遅延時間の算出方法は、図５の場合と同様である。
【００５５】
図１の第２通信装置のブロック図に記載の通り、経路切り替えスイッチ２５０が通常動作時の中経継路２６０に設定されている場合と、同期遅延計測用に折り返し経路２６１に設定されている場合とで、ＲｘＦＩＦＯ、ＴｘＦＩＦＯをそれぞれ１回通過し、かつ、ＲｘＦＩＦＯ部は受信したデータをＴｘＦＩＦＯ部へ直ちに転送し、ＴｘＦＩＦＯ部は直ちに伝送路へデータを送信するため往路、復路の遅延時間に差はないと見なすことができる

。
したがって、伝送路遅延計測フレームを送信した時刻をＴｓ、伝送路遅延計測フレームを受信した時刻をＴｒとすると、その伝送路の伝送路遅延時間は、（Ｔｒ－Ｔｓ）／２で算出できる。

【００５６】
次に、ステップＳ２１０で遅延計測回数だけ伝送路遅延計測フレームを送信したかをチェックし、送信していなければステップＳ２０５からステップＳ２０９を繰り返す。送信していればステップＳ２１１で例えば平均値等の最適伝送路遅延時間を算出して、接続装置情報記憶部１１の当該対象通信装置の情報記憶部内にある伝送路遅延時間格納領域１１１３～１１ｎ３に格納し、ステップＳ２１２で伝送路遅延時間６１５に最適伝送路遅延時間を格納した伝送路遅延計測フレーム（図８－ｂ）を対象の第２通信装置へ送信し、ステップＳ２１３で通信周期終了を待ち、ステップＳ２０１へ戻る。以上のステップを繰り返す。
なお、ステップＳ２０２において、受信した応答フレームに含まれる応答データが、同期通信エラーが連続して発生した第２通信装置からの応答データであるか否かのチェックを行えば、同期通信中に一旦離脱して再接続される第２通信装置に対しても、図７に示されたのと同様の手順で、伝送路遅延時間を計測することができる。

【００５７】
図８は、第１通信装置１（図１）が送信または受信する同期補正対象指定フレーム（図８－ａ）、伝送路遅延計測フレーム（図８－ｂ）、同期フレーム（図８－ｃ）、指令フレーム（図８－ｄ）および応答フレーム（図８－ｅ）の例である。
５つのデータには共通して、プリアンブル５００、ＳＦＤ（Start Frame Delimiter） ５０１、送信先アドレス６０１、送信元アドレス６０２、データタイプ６０３、データ長６０４に加えて伝送データの誤りを検出するＦＣＳ（Flame Check Sequence）６０６がある。本例では、データタイプ６０３にて５つのデータを識別する。
なお、データはこの５種類に限るわけではなく、適宜、アプリケーション等の必要に応じて、異なる構成のフレームを追加することができる。

【００５８】
図８－ａは、第１通信装置が、遅延時間を計測する対象となる第２通信装置（同期補正対象通信装置）に対して送信する同期補正対象指定フレームの例である。送信先アドレス６０１には、同期補正対象通信装置の個別のアドレスを格納する。そのアドレスは、接続装置情報記憶部１１の第２通信装置１～ｎの情報記憶部１１１～１１ｎ（図２）に格納されている。
図８－ｂは、第１通信装置が同期補正対象通信装置に対して送信する伝送路遅延計測フレームの例である。伝送路遅延時間６１５には、１回目の送信時には０を格納して、ｍ回目の送信時にはｍ－１回目に計測した結果を格納して、同期補正対象通信装置へ送信する。あらかじめ設定した遅延計測回数分の計測を行った後、第１通信装置は、それらの計測した結果の最大値、平均値または平均値に余裕時間を加算した値等の最適伝送路遅延時間を算出して、伝送路遅延時間６１５に格納し、同期補正対象通信装置へ送信する。
図８－ｃは本発明で使用する同期フレームの構成の例を示す。基準タイムの現在値６１６は同期フレーム送信時の装置内基準タイマ１４１（図１）の値を格納する。割り込み出力タイム６１７は、各第２通信装置が、ホストＣＰＵ２０（図１）に対して割り込み信号を出力するタイミングを設定するものであり、ホストＣＰＵ１０（図１）がＬＩＮＫ１４０（図１）を介して書き込む。
割り込み出力タイムは、例えば、第１通信装置から最も離れた第２通信装置が指令フレームを受信し、指令フレームに含まれる指令データの処理を開始するタイミングに設定される。
あるいは、割り込み出力タイムは、第１通信装置が全ての第２通信装置に指令フレームを送信し、その指令フレーム最後に受信した第２通信装置が、その指令フレームに含まれ

る指令データの処理を開始することができるタイミングに設定されることもある。

図８－ｄは、第１通信装置が、第２通信装置に対して送信する指令フレームである。通常、第２通信装置は、割り込み出力タイムに出力された割り込み信号に同期して、指令データ６１８の処理を開始する。

図８－ｅは、第１通信装置が、第２通信装置から受信する応答フレームである。通常、第２通信装置は、第１通信装置から指令フレームを受信した後、この応答フレームを送信する。

【００５９】

図１２は、通信システムを構成する前記第１通信装置および１個以上の第２通信装置がそれぞれ内蔵している装置内基準タイマ１４１および２４１（図１）を同期させる様子を示す例である。第１通信装置から同期フレームＳが送信されると、第２通信装置＃１が最初にこのフレームを受信する。

このフレームを受信した第２通信装置＃１は予め計測された第１通信装置から第２通信装置＃１までの伝送路遅延時間Ｔｄｌｙ＿１を、同期フレームに格納された基準タイムの現在値６１６（図８－ｃ）から差し引いた値で装置内基準タイマ２４１を更新することで第１通信装置内の装置内基準タイマ１４１の現在値と同じにする。つぎにこの同期フレームを受信した第２通信装置＃２も同様に、予め計測された第１通信装置１から第２通信装置＃２までの伝送路遅延時間Ｔｄｌｙ＿２と基準タイムの現在値６１６から装置内基準タイマ２４１を更新する。

以上より第１通信装置内の装置内基準タイマ１４１と、第２通信装置＃１および＃２内の装置内基準タイマ２４１が同一時刻を計時する。また同期フレームに格納された割り込み出力タイム６１７と第２通信装置＃１および＃２内の装置内基準タイマ２４１の値が一致した時に割り込み信号を出力するので、各通信装置は同一の時刻で通信同期毎の割り込みをホストＣＰＵに対して出力できるのである。

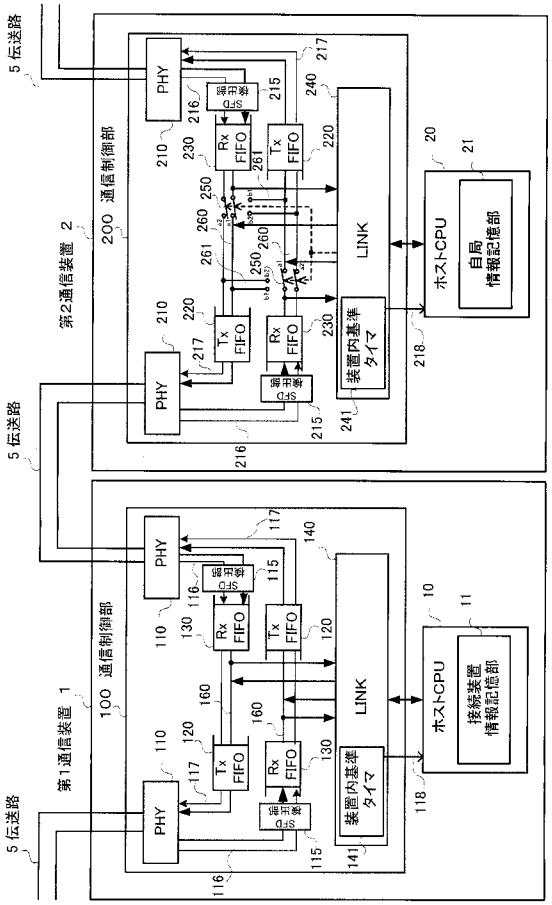
なお、各通信装置の装置内基準タイマは、それぞれ図示しない個別のクロックをベースにして動作しているが、クロックの周波数の個体差は無視して構わない。通信周期毎に補正される基準タイムよりはるかに小さいからである。

【００６０】

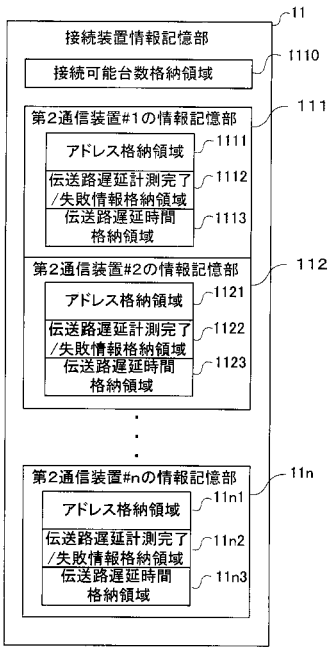
このように、本発明によれば、すべての各通信装置は、伝送路に直列接続された場合であっても、同一の通信周期で与えられた指令データの処理を同一の割り込みタイミングで開始することができるとともに、その通信周期を短くすることができる。

従って、第２通信装置として複数のサーボアンプ、リレーおよびセンサ等を備えたモーション制御システムの制御性能の向上に寄与できる。

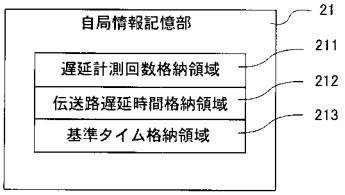
【図１】


5 伝送路
第2通信装置 2
200 通信制御部
PHY
SFD 検出部
Rx FIFO
Tx FIFO
LINK
ホストCPU
自局情報記憶部
装置内基準タイマ
5 伝送路
第1通信装置 1
100 通信制御部
PHY
SFD 検出部
Rx FIFO
Tx FIFO
LINK
ホストCPU
接続装置情報記憶部
装置内基準タイマ
5 伝送路

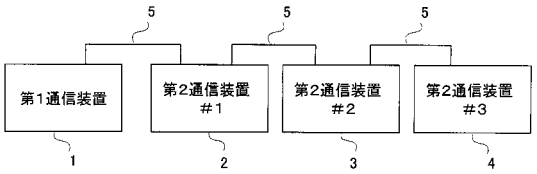
【図２】


11
接続装置情報記憶部
1110
接続可能台数格納領域
111
第2通信装置#1の情報記憶部
1111
アドレス格納領域
1112
伝送路遅延計測完了/失敗情報格納領域
1113
伝送路遅延時間格納領域
112
第2通信装置#2の情報記憶部
1121
アドレス格納領域
1122
伝送路遅延計測完了/失敗情報格納領域
1123
伝送路遅延時間格納領域
11n
第2通信装置#nの情報記憶部
11n1
アドレス格納領域
11n2
伝送路遅延計測完了/失敗情報格納領域
11n3
伝送路遅延時間格納領域

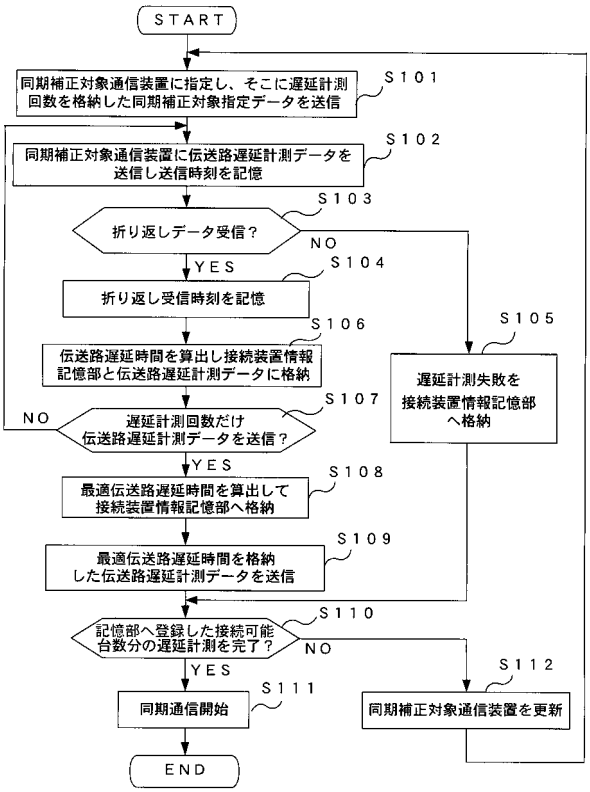
【図３】


21
自局情報記憶部
211
遅延計測回数格納領域
212
伝送路遅延時間格納領域
213
基準タイム格納領域

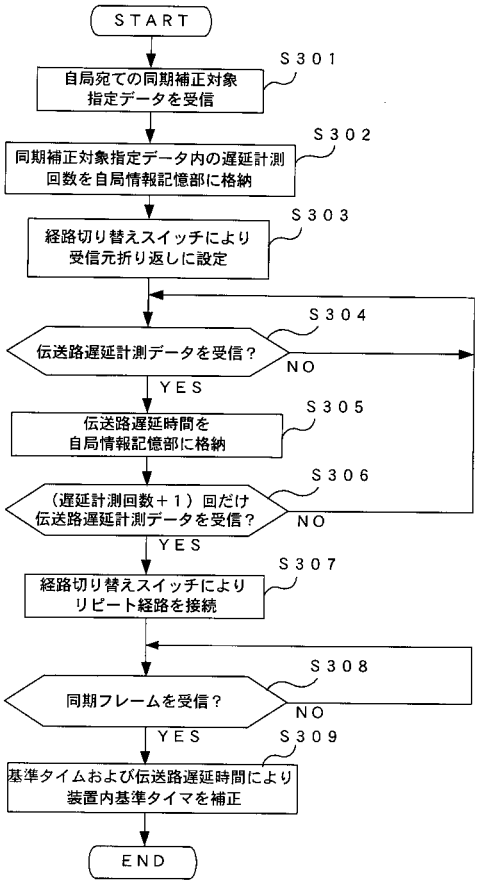
【図４】


5
5
5
第1通信装置
第2通信装置 #1
第2通信装置 #2
第2通信装置 #3
1
2
3
4

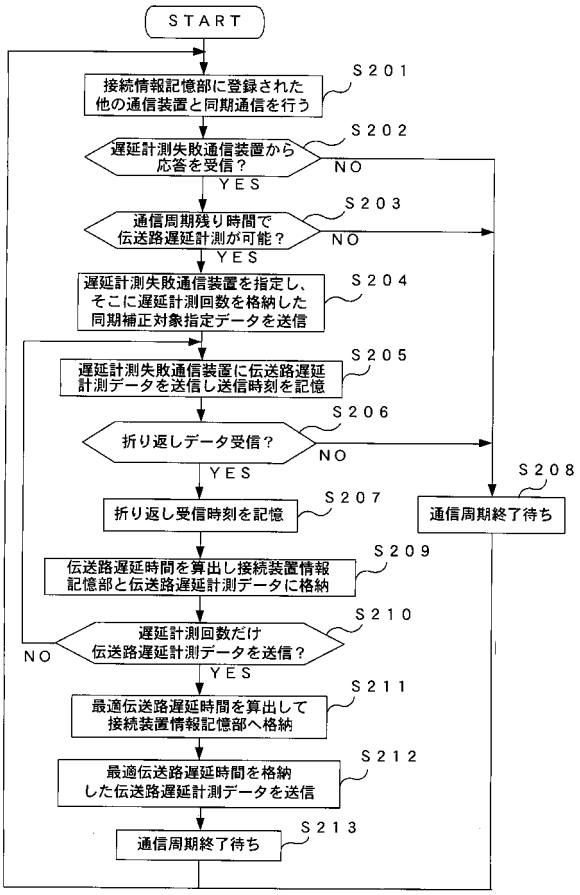
【図５】


START
同期補正対象通信装置に指定し、そこに遅延計測回数を格納した同期補正対象指定データを送信
S101
同期補正対象通信装置に伝送路遅延計測データを送信し送信時刻を記憶
S102
折り返しデータ受信？
S103
NO
YES
折り返し受信時刻を記憶
S104
伝送路遅延時間を算出し接続装置情報記憶部と伝送路遅延計測データに格納
S106
遅延計測失敗を接続装置情報記憶部へ格納
S105
NO
遅延計測回数だけ伝送路遅延計測データを送信？
S107
YES
最適伝送路遅延時間を算出して接続装置情報記憶部へ格納
S108
最適伝送路遅延時間を格納した伝送路遅延計測データを送信
S109
記憶部へ登録した接続可能台数分の遅延計測を完了？
S110
NO
YES
同期通信開始
S111
同期補正対象通信装置を更新
S112
END

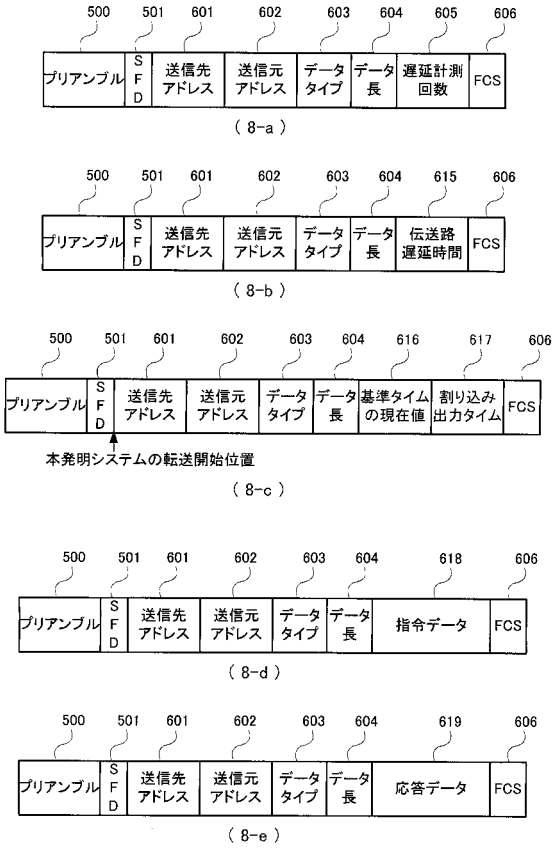
【図６】


START
S301
自局宛ての同期補正対象指定データを受信
S302
同期補正対象指定データ内の遅延計測回数を自局情報記憶部に格納
S303
経路切り替えスイッチにより受信元折り返しに設定
S304
伝送路遅延計測データを受信？
NO
YES
S305
伝送路遅延時間を自局情報記憶部に格納
S306
（遅延計測回数＋１）回だけ伝送路遅延計測データを受信？
NO
YES
S307
経路切り替えスイッチによりリピート経路を接続
S308
同期フレームを受信？
NO
YES
S309
基準タイムおよび伝送路遅延時間により装置内基準タイマを補正
END

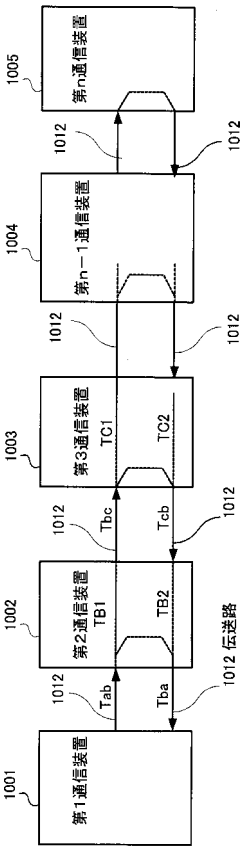
【図７】


START
S201
接続情報記憶部に登録された他の通信装置と同期通信を行う
S202
遅延計測失敗通信装置から応答を受信？
NO
YES
S203
通信周期残り時間で伝送路遅延計測が可能？
NO
YES
S204
遅延計測失敗通信装置を指定し、そこに遅延計測回数を格納した同期補正対象指定データを送信
S205
遅延計測失敗通信装置に伝送路遅延計測データを送信し送信時刻を記憶
S206
折り返しデータ受信？
NO
YES
S207
折り返し受信時刻を記憶
S208
通信周期終了待ち
S209
伝送路遅延時間を算出し接続装置情報記憶部と伝送路遅延計測データに格納
S210
遅延計測回数だけ伝送路遅延計測データを送信？
NO
YES
S211
最適伝送路遅延時間を算出して接続装置情報記憶部へ格納
S212
最適伝送路遅延時間を格納した伝送路遅延計測データを送信
S213
通信周期終了待ち

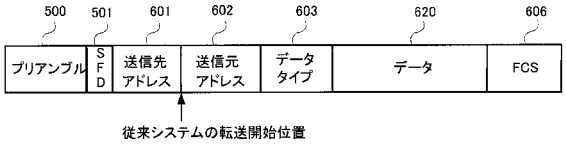
【図８】


500 501 601 602 603 604 605 606
プリアンブル
SFD
送信先アドレス
送信元アドレス
データタイプ
データ長
遅延計測回数
FCS
（8-a）
500 501 601 602 603 604 615 606
プリアンブル
SFD
送信先アドレス
送信元アドレス
データタイプ
データ長
伝送路遅延時間
FCS
（8-b）
500 501 601 602 603 604 616 617 606
プリアンブル
SFD
送信先アドレス
送信元アドレス
データタイプ
データ長
基準タイムの現在値
割り込み出力タイム
FCS
本発明システムの転送開始位置
（8-c）
500 501 601 602 603 604 618 606
プリアンブル
SFD
送信先アドレス
送信元アドレス
データタイプ
データ長
指令データ
FCS
（8-d）
500 501 601 602 603 604 619 606
プリアンブル
SFD
送信先アドレス
送信元アドレス
データタイプ
データ長
応答データ
FCS
（8-e）

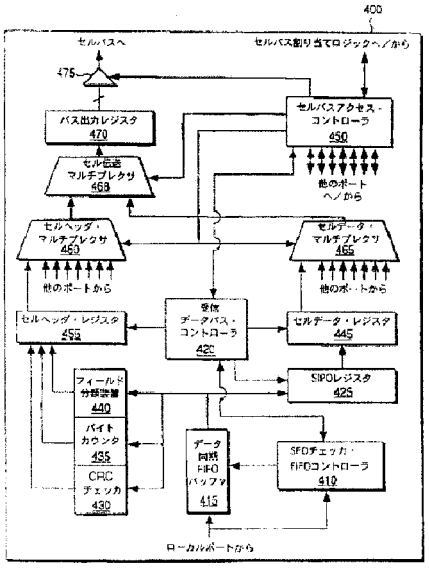
【図９】


1005
第n通信装置
1012
1012
1004
第n－1通信装置
1012
1012
1003
第3通信装置
TC1
TC2
1012
Tbc
Tcb
1012
1002
第2通信装置
TB1
TB2
1012 伝送路
1012
Tab
Tba
1001
第1通信装置

【図１０】

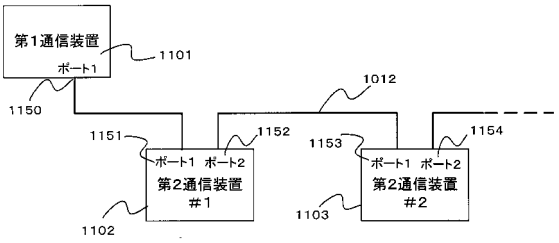


(10-a)

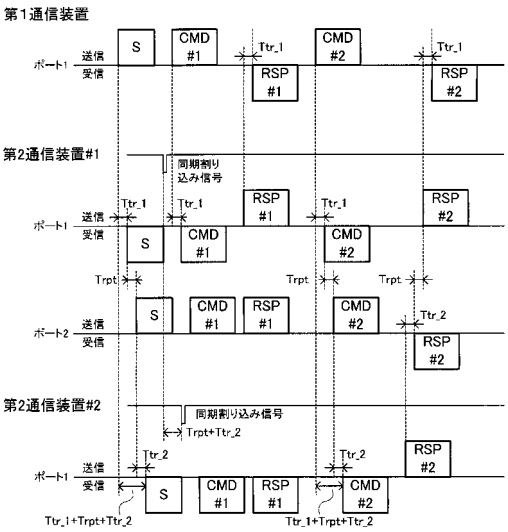


(10-b)

【図１１】

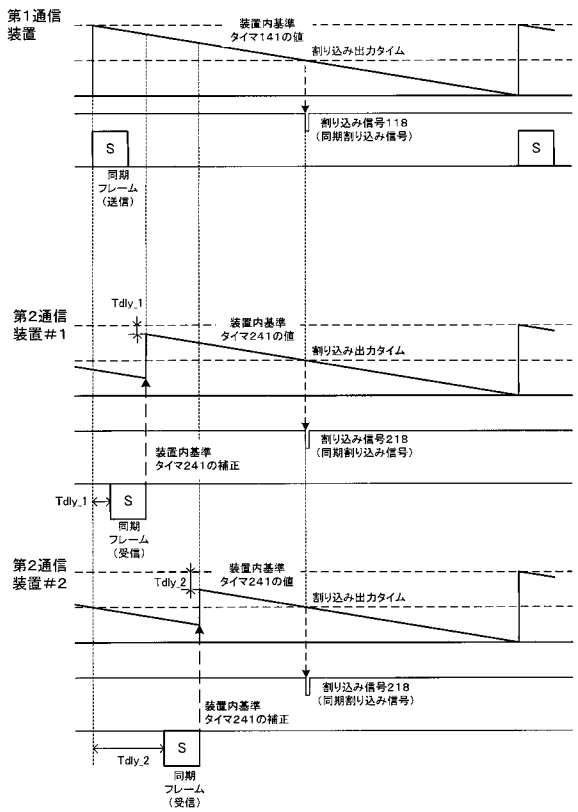


(11-a)



(11-b)

【図１２】



フロントページの続き

(72)発明者　佐藤　辰彦
福岡県北九州市八幡西区黒崎城石２番１号　株式会社　安川電機内

審査官　白井　亮

(56)参考文献　特開平１０－１４２３６１（ＪＰ，Ａ）
特開平１１－３０５８１２（ＪＰ，Ａ）
特開平１０－０９１２２２（ＪＰ，Ａ）
特開２００７－１８９４５７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L 7/00-7/10