

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97/133445

※ 申請日期： 97. 9. 1

※IPC 分類： H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

H01L 29/18 (2006.01)

通道上工程應變之應變源

STRESSOR FOR ENGINEERED STRAIN ON CHANNEL

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

ASM 美國股份有限公司/ASM AMERICA, INC.

代表人：(中文/英文) 衛斯特桑德 圖德/ WESTERSUND, TODD

住居所或營業所地址：(中文/英文)

美國亞利桑那州 85034-7200 鳳凰城東大學大道 3440 號

3440 EAST UNIVERSITY DRIVE, PHOENIX, AZ 85034-7200,

U.S.A

國 籍：(中文/英文) 美國/US

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 湯瑪斯 蕭恩/ THOMAS, SHAWN

2. 托馬西尼 皮爾瑞/ TOMASINI, PIERRE

國 籍：(中文/英文) 1.美國/US

2. 法國/FR

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007/9/19；11/858,054

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體上是關於在半導體處理中沈積含矽材料，且更具體言之是關於在半導體基板之凹入源極以及汲極區中磊晶沈積含矽材料。

【先前技術】

在形成積體電路時，通常在選定位置中，諸如場隔離區域（field isolation region）中的主動區台（active area mesa）中，或甚至更具體言之在經界定之源極以及汲極區域上需要磊晶層（epitaxial layer）。雖然非磊晶材料（其可為非晶形或多晶的）可在沈積之後選擇性地自場隔離區域上移除，但通常認為較有效的是同時提供化學氣相沈積（chemical vapor deposition, CVD）以及蝕刻化學劑，且調諧條件以在絕緣區域上產生零淨沈積（zero net deposition）並在暴露之半導體窗上產生淨磊晶沈積（net epitaxial deposition）。此過程（稱為選擇性磊晶 CVD）利用典型半導體沈積過程在絕緣體（諸如氧化矽或氮化矽）上之緩慢晶核形成。此選擇性磊晶 CVD 亦利用非晶形以及多晶材料本質上對蝕刻劑之較大的易感性（與磊晶層之易感性相比）。

需要半導體層之選擇性磊晶形成的許多情形之實例包括用於產生應變之許多方案。材料經受應變之程度影響諸如矽、摻碳矽、鍺以及矽鍺合金之半導體材料之電學性質。舉例而言，半導體材料在拉伸應變下可展現增強之電子遷

移率 (electron mobility)，其對於 NMOS 元件特定需要；以及在壓縮應變下可展現增強之電洞遷移率 (hole mobility)，其對於 PMOS 元件特定需要。增強半導體材料之效能之方法具有顯著的重要性且在多種半導體處理應用中具有潛在的應用。半導體處理通常用於積體電路之製造 (其需要特別嚴格的品質需求) 中以及多種其他領域中。舉例而言，半導體處理技術亦用於使用多種技術之平板顯示器之製造中以及微機電系統 (microelectromechanical system, MEMS) 之製造中。

用於在含矽以及含鍺之材料中誘發應變之許多方法已聚焦於利用各種結晶材料 (crystalline material) 之間的晶格常數 (lattice constant) 的差異。舉例而言，結晶鍺之晶格常數為 $5.65 \text{ \AA}$ ，結晶矽之晶格常數為 $5.431 \text{ \AA}$ ，且金剛石碳之晶格常數為 $3.567 \text{ \AA}$ 。異質磊晶涉及將特定結晶材料之薄層沈積於一不同之結晶材料上，使得所沈積層採用下伏晶體材料之晶格常數。舉例而言，藉由使用此方法，應變矽鍺 (silicon germanium) 層可藉由異質磊晶沈積於單晶矽基板上而形成。因為鍺原子稍大於矽原子，且所沈積異質磊晶矽鍺約束於其下方之矽的較小晶格常數，所以矽鍺經受壓縮應變且經受壓縮應變之程度隨鍺含量而變。通常矽鍺層之能帶隙隨矽鍺中之鍺含量增加而自純矽的 1.12 eV 單調降低至純鍺的 0.67 eV 。在另一方法中，拉伸應變藉由將矽層異質磊晶沈積於一鬆弛的矽鍺層上而形成於薄的單一結晶矽層中。在此實例中，異質磊晶沈積之矽經受

應變，因為其晶格常數約束於其下方鬆弛的矽鍺之較大晶格常數。拉伸應變通道通常展現增加之電子遷移率，且壓縮應變通道展現增加之電洞遷移率。

在此等實例中，藉由將晶格結構中之矽原子用其他原子替換而將應變誘發於單一結晶含矽材料中。此技術通常稱作取代摻雜。舉例而言，在單一結晶矽之晶格結構中用鍺原子取代矽原子中之一些在所得取代摻雜之單一結晶矽材料中產生壓縮應變，因為鍺原子大於其所替換之矽原子。可能藉由用碳進行取代摻雜而將拉伸應變誘發於單一結晶矽中，因為碳原子小於其所替換之矽原子。在 Judy L. Hoyt 於 Taylor and Francis (New York 2002) 中第 59-89 頁的 “Silicon-Germanium Carbon Alloy” 第 3 章 “Substitutional Carbon Incorporation and Electronic Characterization of $\text{Si}_{1-y}\text{C}_y/\text{Si}$ and $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y/\text{Si}$ Heterojunctions” 中提供了額外的細節，所述參考在本文中稱為 “Hoyt 文章”。然而，非取代雜質將不誘發應變。

類似地，電學摻雜劑 (electrical dopant) 亦應取代地併入磊晶層中以便為電活性的。摻雜劑在沈積時併入，或基板應退火，以達成取代以及摻雜劑啟動之所要程度。用於剪裁晶格常數之雜質或電學摻雜劑之原位摻雜經常優於在進行外部摻雜之後退火以將摻雜劑併入晶格結構中，因為退火消耗熱預算。然而，實務上，原位取代摻雜由於在沈積期間將非取代地併入摻雜劑的趨勢而為複雜的，例如，藉由在矽內的晶疇或團簇中格隙地併入而非在晶格結

構中取代矽原子。非取代摻雜使（例如）矽之碳摻雜、矽鍺之碳摻雜以及半導體之以電活性摻雜劑之摻雜變複雜。如 Hoyt 文章第 73 頁之圖 3.10 所說明，先前沈積方法已用以使結晶矽具有高達 2.3 原子%之原位摻雜取代碳含量，其對應於超過 5.4 Å 之晶格間距以及小於 1.0 GPa 之拉伸應變。

源極以及汲極凹區可用含矽合金填充作為“應變源（stressor）”，其施加壓縮或拉伸應變至源極與汲極之間的矽通道上。舉例而言，源極以及汲極凹區中之應變磊晶矽鍺（“SiGe”）可施加壓縮應變至矽通道上且提高電洞遷移率。類似地，源極/汲極凹區中拉伸應力下之摻碳矽（“Si:C”）磊晶合金可在通道上誘發拉伸應變且提高電子遷移率。一般地，通道上之應變與雜質（諸如 C 或 Ge）之濃度有關。換言之，Ge 或 C 含量愈高，則所產生的應變愈高。

【發明內容】

根據本發明之態樣，提供用於選擇性形成半導體材料之方法。在化學氣相沈積腔室內提供基板。基板包括絕緣表面以及單晶半導體表面。單晶半導體表面包括凹區。半導體應變源選擇性形成於凹區中。半導體應變源經分級以使得凹區內半導體應變源之上部具有比下部高的應變量，且上部延伸至凹區之側壁。

根據本發明之另一態樣，提供用於選擇性形成異質磊晶半導體材料之方法。半導體材料沈積於基板之凹入單晶

半導體區域之底部以及側壁表面上。自凹入區域之側壁表面選擇性移除半導體材料之部分，同時在底部表面上留下半導體材料之異質磊晶層。重複沈積以及選擇性移除，其中半導體材料之後續沈積之異質磊晶層相比較半導體材料之先前沈積異質磊晶層而言包括不同濃度之應變誘發雜質。

根據本發明之另一態樣，提供用於在凹區中形成半導體材料之方法。提供其中形成有絕緣區域以及凹區之基板。異質磊晶含矽材料之襯墊層沈積於凹區中。襯墊層包括應變誘發雜質且部分填充凹區。藉由將填充劑沈積於襯墊層上而用包括含矽材料之填充劑填充凹區，所述含矽材料具有比襯墊層低的雜質濃度。

根據本發明之另一態樣，提供半導體元件，其包括基板中之凹區、異質磊晶襯墊、填充劑以及相鄰於凹區之電晶體通道。異質磊晶含矽襯墊實質上覆蓋凹區之所有單晶側壁表面。襯墊包括更改晶格常數之雜質。填充劑形成於襯墊上且填充凹區。填充劑包括含矽材料，其具有比上面形成填充劑之襯墊低的雜質濃度。

根據本發明之又一態樣，提供半導體基板，其包括凹區以及相鄰於凹區之電晶體通道。凹區填充有異質磊晶應變源材料。凹區內之應變源材料之上部具有第一雜質濃度，且凹區內之應變源材料之下部具有第二雜質濃度。第一雜質濃度高於第二雜質濃度，且上部延伸以接觸凹區之側壁。

【實施方式】

術語“雜質”在本文中用以指代添加劑（例如鍺或碳），其更改相對於單獨矽之半導體晶格常數，所得半導體化合物經常稱作合金或簡稱為異質磊晶層。“摻雜劑”可指代雜質或電學摻雜劑（諸如磷、砷、硼等）。術語“含矽材料”以及類似術語在本文中用以指代多種含矽材料，包括但不限於：矽（包括結晶矽）、摻碳矽（“Si:C”）、矽鍺（“SiGe”）以及摻碳矽鍺（“SiGe:C”）。如本文所使用，“摻碳矽”、“Si:C”、“矽鍺”、“SiGe”、“摻碳矽鍺”、“SiGe:C”以及類似術語指代包括以各種比例之所指示化學元素以及（視情況）少量其他元素的材料。舉例而言，“矽鍺”為包括矽、鍺以及（視情況）其他元素（例如，諸如碳以及電活性摻雜劑之摻雜劑）的材料。諸如“Si:C”以及“SiGe:C”之簡寫術語本身並非化學計量之化學式，且因此並不限於包括特定比率之所指示元素之材料。此外，諸如 Si:C 以及 SiGe:C 之術語並不意欲排除其他摻雜劑之存在，使得摻磷以及摻碳之矽材料包括在術語 Si:C 以及術語 Si:C:P 中。除非另有說明，否則諸如碳或鍺之摻雜劑在含矽膜中之百分比在本文中用基於整個膜或子膜之原子百分比表示。應瞭解，諸如碳或鍺之雜質摻雜劑（但排除其他元素，諸如電學摻雜劑）在本文所述之含矽膜中之濃度為至少約 0.3 原子%。然而，熟習此項技術者將瞭解，電學摻雜劑可在層中誘發應變且因此亦可包括在此些層中。

可能藉由以下方法來確定取代摻雜於含矽材料中之諸如鍺或碳之雜質的量，例如：藉由 x 射線繞射來量測所摻雜含矽材料之垂直晶格間距，接著對於 SiGe 合金藉由在單晶矽與單晶鍺之間執行線性內插來應用魏加式定律 (Vegard's Law) 或對於 Si:C 合金內之碳應用 Kelires/Berti 關係。在 Hoyt 文章中提供了關於此技術之額外細節。次級離子質譜分析 (Secondary ion mass spectrometry, SIMS) 可用以確定所摻雜矽中之總雜質含量。可能藉由自總雜質含量減去取代雜質含量而確定非取代或格隙雜質含量。可以類似方式來確定取代摻雜於其他含矽材料中之其他元素的量。

“基板” (在此術語用於本文中時) 指代其上需要沈積之工件或暴露至一或多種沈積氣體之表面。舉例而言，在某些實施例中，基板為單晶矽晶圓、絕緣體上半導體 (semiconductor-on-insulator, SOI) 基板或磊晶矽表面、矽鍺表面或沈積於晶圓上之 III-V 族材料。工件並不限於晶圓，但亦包括玻璃、塑膠或半導體處理中所使用之其他基板。在所說明之實施例中，基板已經圖案化以具有兩種或兩種以上不同類型之表面。在某些實施例中，當最小化且較佳地避免在相鄰介電質或絕緣體上沈積時，含矽層選擇性地形成於單晶半導體材料上。在其他實施例中，當在相鄰絕緣體上沈積非晶形或多晶材料時，沈積磊晶發生在單晶半導體表面上。介電質或絕緣體材料之實例包括二氧化矽 (包括低介電常數形式)，諸如矽之摻碳以及摻氟氧化

物、氮化矽、金屬氧化物以及金屬矽化物。

術語“磊晶”、“異質磊晶”以及類似術語在本文中用以指代將結晶含矽材料沈積於結晶基板上，使得所沈積層採用或遵循下伏層或基板之晶格常數。當所沈積層之組合物不同於下伏層或基板之組合物時，磊晶沈積為異質磊晶。當所沈積層之組合物與下伏層或基板之組合物相同時，磊晶沈積為同質磊晶。

在某些應用中，圖案化基板具有具第一表面形態之第一表面以及具有第二表面形態之第二表面。即使表面由相同元素製造，若表面之形態或結晶性不同，則認為表面是不同的。非晶形以及結晶是不同形態之實例。多晶形態為由有序晶體之無序配置組成之結晶結構，且因此具有中間有序度（intermediate degree of order）。多晶材料中之原子在晶體中之每一者中是有序的，但晶體本身相對於彼此缺少長程順序（long range order）。單晶形態是具有高程度長程順序之結晶結構。磊晶膜之特徵在於與其所成長之基板（通常為單晶）相同之平面內晶體結構及定向。此等材料中之原子配置於晶格狀結構中，其持續在原子標度之相對長距離上。非晶形形態為具有低有序度之非結晶結構，因為原子缺少確定之週期配置。其他形態包括微晶以及非晶形與結晶材料之混合物。“非磊晶”因此包括非晶形、多晶、微晶以及其混合物。如本文所使用，“單晶”或“磊晶”用以描述其中具有容許錯誤數之相當大的晶體結構，如一般用於電晶體製造中的晶體結構。層之結晶性通常沿連續

區自非晶形降至多晶降至單晶；晶體結構通常被認為是單晶或磊晶（不管低密度錯誤）。無論是否由於不同的形態及/或不同的材料，具有兩個以上不同類型之表面的混合基板之特定實例包括但不限於：單晶/多晶、單晶/非晶形、磊晶/多晶、磊晶/非晶形、單晶/介電質、磊晶/介電質、導體/介電質以及半導體/介電質。本文所述之用於將含矽膜沈積於具有兩種類型表面之混合基板上的方法亦適用於具有三種或三種以上不同類型表面之混合基板。

當在凹入源極/汲極區中成長至低於其臨界厚度之厚度時，拉伸應變含矽材料將單軸拉伸應變誘發至相鄰於凹入源極/汲極區之矽通道中。此拉伸應變材料包括（但不限於）摻碳矽膜（Si:C 膜）以及摻碳矽鍺膜（SiGe:C 膜），其中鍺濃度小於碳濃度之約 8-10 倍，從而導致增強之電子遷移率，其對於 NMOS 元件尤其有益。此消除了提供鬆弛矽鍺緩衝層以支撐應變矽層之需要。在此些應用中，電活性摻雜劑藉由使用摻雜劑源或摻雜劑前驅體進行原位摻雜而併入。典型 n 型摻雜劑源包括砷蒸氣以及摻雜劑、氫化物，諸如磷化氫以及砷化氫。磷化氫甲矽烷（Silylphosphine）（例如 $(\text{H}_3\text{Si})_{3-x}\text{PR}_x$ ）以及砷化氫甲矽烷（silylarsine）（例如 $(\text{H}_3\text{Si})_{3-x}\text{AsR}_x$ ）（其中 $x = 0, 1$ 或 2 ，且 $\text{R}_x = \text{H}$ 及/或氘(D)）為磷以及砷摻雜劑之替代前驅體。磷以及砷尤其有用於摻雜 NMOS 元件之源極以及汲極區。 SbH_3 以及三甲基銻分別為銻以及銻之替代源。此摻雜劑前驅體有用於如下所述膜之製備，較佳為摻磷、摻銻、摻銻

以及摻砷矽、Si:C 以及 SiGe:C 膜與合金。

當在凹入源極/汲極區中成長至低於臨界厚度之厚度時，壓縮應變含矽材料將單軸壓縮應變誘發至相鄰於凹入源極/汲極區之矽通道中，從而導致增強之電洞遷移率，其對於 PMOS 元件尤其有益。此壓縮應變材料包括（但不限於）矽鍺膜（“SiGe 膜”）以及摻碳矽鍺膜（“SiGe:C 膜”），其中鍺濃度大於碳濃度之約 8-10 倍。在此些應用中，電活性摻雜劑藉由使用摻雜劑源或摻雜劑前驅體進行原位摻雜而併入。典型 *p* 型摻雜劑前驅體包括用於硼摻雜之乙硼烷（ B_2H_6 ）以及三氯化硼（ BCl_3 ）。用於 Si 之其他 *p* 型摻雜劑包括 Al、Ga、In 以及蒙德列夫（Mendeleiev）元素週期表中 Si 之左側的任何金屬。此摻雜劑前驅體有用於如下所述膜之製備，較佳為摻硼矽、SiGe 以及 SiGe:C 膜與合金。

對於可在沒有過多錯位（dislocations）之情況下成長於凹入源極以及區域中之 SiGe 或 Si:C 之層的厚度存在限制。可成長之層的厚度大體上與雜質含量成反比。當前，具有均一組合物以及在約 10-50 nm 範圍內之厚度的 SiGe 合金可用可接受錯位量來沈積，其中對於 SiGe 具有小於約 40 原子%Ge 且對於 Si:C 具有小於約 3 原子%C。在這些限制之外，層之可允許厚度以及成長速率隨過程溫度降低而急劇降低，以便抑制錯位晶核形成。舉例而言，通常，僅幾個單層之純 Ge 可成長於矽上而沒有錯位。在臨界厚度之外，在層中產生對元件之效能有害之大量錯位。高的整

體雜質含量可導致錯位。在本文所述之較佳實施例中，減少應變源中之整體雜質含量，同時仍藉由在相鄰於電晶體通道之凹區之側壁處使應變局部化而最大化應變之效應。

現已開發用於在暴露半導體窗中形成包括含矽材料（諸如 Si:C、SiGe 以及 SiGe:C）之應變膜的技術。在所說明之實施例中，應變膜沈積於凹入源極/汲極區域中以施加應變至相鄰通道區域上，且因此亦稱作“應變源”。根據較佳實施例，應變異質磊晶半導體材料沈積於凹入源極/汲極區域中，以相對於基板中所誘發的整體應變而增加相鄰電晶體通道區域上所誘發的應變。因為應變源在凹區內之不同區域處具有不同組合物，所以應變源經分級，但等級在兩個或兩個以上離散層中可為連續或步進的。

在延伸至凹入側壁之表面處具有最大應變之分級應變源

圖 1 至圖 5D 說明異質磊晶應變源材料之沈積以由下而上方式進行且經分級以使得最高應變處於頂部表面且延伸至凹區之側壁的實施例。舉例而言，可能藉由以下步驟而完成此形成：(a) 將 Si:C 膜毯覆式沈積於凹區中；以及 (b) 自凹區之側壁選擇性蝕刻半導體材料，在凹區之底部處留下異質磊晶層。步驟 (b) 可同時在絕緣體上蝕刻非磊晶半導體材料。步驟 (a) 以及 (b) 視情況用不同的雜質含量且因此不同的應變程度而循環重複，直至在凹入源極/汲極區域上達成目標磊晶膜厚度。在替代實施例中，其他沈積技術可用以在基板之凹區中形成垂直分級之含矽材

料。

可能藉由乾式蝕刻 (dry etching) 以及隨後之 HF 清潔以及原位退火而形成凹入源極/汲極區域。在使用乾式蝕刻之實施例中，選擇性成長之薄 (介於大致 1 nm 與大致 3 nm 之間) 矽晶種層 (seed layer) 之沈積幫助減少蝕刻損壞。晶種層亦幫助覆蓋先前摻雜劑植入過程所導致之損壞。在例示性實施例中，此晶種層可在約 700°C 與約 800°C 之間的沈積溫度下使用同時提供 HCl 以及二氯甲矽烷而選擇性沈積。

根據某些實施例，在圖 1 中提供之流程圖中以及在圖 2 至圖 5E 中所說明之部分形成半導體結構的示意性說明中說明循環毯覆式沈積以及蝕刻過程。雖然下文在由特定循環過程進行之拉伸應變 Si:C 沈積之實施例的上下文中論述，但應瞭解如對於由其他技術以由下而上方式形成之其他應變材料，可在磊晶膜之形成中使用本文所述之凹區之由下而上分級填充。Si:C 實施例較佳包括介於約 0.1 原子%與 4 原子%之間、且較佳介於約 1 原子%與 3 原子%範圍內的取代碳，且經分級以在靠近基板表面處具有最高應變。熟習此項技術者將瞭解，較佳循環過程可選擇性形成 Si:C，其對於給定膜品質具有比習知選擇性沈積之同時蝕刻劑以及前驅體流更高的碳濃度，且亦允許應變源在凹區頂部處具有最高應變之部分延伸至相鄰於通道之凹區壁。在一些實施中將瞭解，凹區壁可由在蝕刻凹區之後經沈積以內襯凹區之磊晶層界定。本文所描述之技術可用於在凹

入源極/汲極區域中沈積其他磊晶膜，諸如 SiGe 及 SiGe:C。

詳言之，圖 1 說明具有凹入源極/汲極區域之基板在操作區塊 10 中置放於處理腔室（process chamber）中。如操作區塊 20 所指示，半導體合金層保形（conformally）沈積於基板上。在一個實施例中，此保形沈積為在基板之任何絕緣體區域上留下非晶形或多晶材料之毯覆式沈積以及在源極/汲極區域之底部以及側壁上之磊晶沈積。在保形沈積之後，非晶形或多晶材料以及側壁磊晶材料之任何區域可經選擇性蝕刻，如操作區塊 30 所指示。在選擇性蝕刻之後，確定凹入源極/汲極區域中之磊晶膜的目標厚度是否達成，如操作區塊 40 所示。若目標厚度已達成，則過程結束，如操作區塊 45 中所示。若目標厚度尚未達成，則過程藉由遞增或增加誘發應變雜質濃度（諸如碳）而循環繼續，如操作區塊 50 所指示。此增加濃度用於半導體合金層之下一保形沈積，其由操作區塊 20 所指示。增加雜質濃度之下一保形沈積後接續有任何非晶形或多晶以及側壁磊晶材料之選擇性蝕刻，如操作區塊 30 所示。在此沈積以及蝕刻過程之後，凹入源極/汲極中磊晶膜厚度經評估以確定目標厚度是否達成，如操作區塊 40 所示。重複此循環過程直至達成目標厚度。進行至少兩次循環 20-50 以便達成分級應變源。

圖 2 提供示範性基板之示意性說明，其包括形成於半導體基板 100（諸如矽晶圓）中之圖案化絕緣體 110。絕緣體 110 為氧化物填充淺溝槽隔離（shallow trench isolation, STI）之形式並界定場隔離區域 112，且相鄰於展示在閘極

結構 115 之任一側上之凹入源極/汲極區域 114。請注意，閘極結構 115 覆蓋基板之通道區域 117。通道 117、源極以及汲極區域 114 共同界定電晶體主動區，其通常由場隔離區域 112 圍繞以防止與相鄰元件的干擾 (cross-talk)。在其他配置中，多個電晶體可由場隔離圍繞。在一種情況下，閘極結構 115 之頂部可由介電材料覆蓋。此表面接著相對於其上之沈積而對場隔離區域 112 起類似的作用，且閘極頂部上之沈積將具有與場隔離區域上之沈積類似的結晶性。在閘極結構 115 未覆蓋有介電材料之情況下，閘極之表面將成長多晶材料，其接著可經由多晶材料之原位蝕刻而移除，但可應用不同之條件集合（諸如壓力、氣流等）用於確保自場隔離區域 112 移除材料。

下文描述涉及用於 NMOS 應用之摻碳矽 (Si:C) 之特定實例的實施例。如圖 3 中示意性說明，毯覆式 Si:C 層 120、125、130 沈積於混合基板上，較佳使用三矽烷 (trisilane) 作為矽前驅體，且亦使碳前驅體流動。此導致在場隔離區域 112 上之 Si:C 之主要非晶形或多晶或非磊晶沈積 120，以及 Si:C 之下部磊晶沈積 125 與側壁磊晶沈積 130 內襯凹入源極/汲極區域 114。請注意，“毯覆式沈積”意謂淨沈積在沈積階段中產生於非晶形絕緣體 110 以及單晶源極/汲極區域 114 兩者上。雖然缺少蝕刻劑或鹵化物在毯覆式沈積過程（在此情況下沈積亦被認為是“非選擇性的”）中為較佳的，但可能需要某些量之蝕刻劑以調諧各種區域上之所沈積厚度的比率。在需要此類少量蝕刻劑之

情況下，雖然是毯覆式，但沈積過程可能為部分選擇性的，因為每一沈積階段將在絕緣體 110 以及單晶區域（即源極/汲極區域 114）上具有淨沈積。

根據一實施例，非晶形或多晶沈積 120 以及側壁磊晶沈積 130 之區域接著經選擇性蝕刻，因此產生示意性說明於圖 4 中之結構。在另一實施例中，側壁區域上之沈積可為多晶或非晶形材料。雖然在選擇性蝕刻期間自凹入源極/汲極區域 114 中之下部磊晶層 125 移除了一些磊晶沈積之 Si:C，但保留了下部磊晶層 125 之至少一些。側壁磊晶層 130 成長於不同之結晶平面上，且亦由於在兩表面上之成長速率差異而比下部磊晶層 125 更具缺陷。熟習此項技術者將瞭解，垂直側壁磊晶層 130 中之晶格間距小於下部磊晶層 125 之晶格間距，其導致兩表面上之成長速率差異。因此，側壁磊晶層 130 較容易與非磊晶材料 120 一起移除。因此，每一過程循環可經調諧以達成對凹區（即源極/汲極區域 114）之大量由下而上填充。如自圖 1 之論述將瞭解，每一循環包括自凹區側壁之毯覆式保形沈積 20 以及選擇性蝕刻 30。

如下文中較詳細論述，在示範性實施例中，氣相蝕刻化學物較佳包括鹵化物，諸如含氟、含溴或含氯氣相化合物，且特定言之氯源，諸如 HCl 或 Cl₂。在一些實施例中，蝕刻化學物亦包括鍺源，諸如類似於單鍺烷（GeH₄）之鍺烷、GeCl₄、有機鍺前驅體或固態源鍺。熟習此項技術者將瞭解，相同蝕刻化學物亦適用於 SiGe 以及 SiGe:C 膜。

在上文關於圖 4 所描述之選擇性蝕刻過程之後，第二毯覆式 Si:C 層 122、132、135 接著沈積於混合基板上，如圖 5A 所示。此第二毯覆式 Si:C 層 122、132、135 包括比第一毯覆式 Si:C 層 120-130 高的碳濃度，如圖 3 所示。根據實施例，第一毯覆式 Si:C 層 120、125、130 之碳濃度介於約 1 原子%與 1.5 原子%之間，且第二毯覆式 Si:C 層 122、132、135 之碳濃度大於約 1.5 原子%，且較佳在約 1.5 原子%至 4 原子%之間的範圍內。在 SiGe 膜之成長之替代實施例中，第一毯覆式 SiGe 層之鍺濃度在 10 原子%至 20 原子%之間的範圍內，且較佳為約 15 原子%；第二毯覆式 SiGe 層之鍺濃度在 20 原子%至 100 原子%之間的範圍內，且較佳在約 30 原子%至 60 原子%之間的範圍內。如圖 5A 所示，第二毯覆式 Si:C 層 122、132、135 包括非晶形或多晶矽部分 122、側壁磊晶部分 132 以及凹區底部表面部分 135。Si:C 之此第二層 122、132、135 接著經選擇性蝕刻以移除場隔離區域 112 中之非晶形絕緣體 110 上之非磊晶部分以及側壁磊晶層 132，如圖 5B 所示。在另一實施例中，側壁沈積為非晶形或多晶。在任何情況下，對於此實施例，側壁層比底部磊晶材料更容易移除。

重複此循環過程（包括具有漸進較高碳濃度之 Si:C 層之毯覆式沈積，後接續有選擇性蝕刻過程），直至在凹入源極/汲極區域 114 上達成磊晶 Si:C 膜厚度之目標厚度，如圖 1 所示之決策區塊 40 所示。此循環過程亦示意性說明於圖 5A 中以及圖 5B 中，圖 5A 說明毯覆式 Si:C 層 122、132、

135 之第二循環之沈積，且圖 5B 繪示非晶形或多晶 Si:C 層 122 以及側壁磊晶層 132 之第二循環之蝕刻以留下具有增加厚度之底部覆蓋磊晶 Si:C。具有增加厚度之底部覆蓋磊晶 Si:C 在凹入源極/汲極區域 114 中包括離散分級層 125、135。圖 5C 說明留下磊晶填充源極/汲極區域 114 之另一循環的結果，其中離散選擇性分級磊晶層之頂部層 145 粗略與絕緣體 110 共面。儘管經說明為另一循環，但熟習此項技術者將瞭解可執行額外循環以填充凹入源極/汲極區域 114。

雖然圖 5C 展示三個離散分級層，但熟習此項技術者將瞭解，在其他實施例中可存在更多或更少數目之離散分級層以達成磊晶填充之源極/汲極區域，其具有粗略與場氧化層共面之頂部表面。將理解，在另一實施例中，離散分級磊晶層 125、135、145 可經選擇性沈積為升高之源極/汲極區域 114。如圖 5C 所示，每一沈積層覆蓋凹入區域（即源極/汲極區域 114）之側壁表面之至少一部分。根據替代實施例，層 125、135、145 等可形成連續分級層，其中每一後續沈積層具有漸進較高之碳濃度。舉例而言，每一層可在沈積時經分級及/或後續熱處理可藉由擴散而使分級平滑。無論分級層為連續的還是步進的，凹入區域內之最高應變處於凹區之頂部（大致與晶圓之表面共面），且分級磊晶層 125、135、145 等中之每一者延伸至相鄰於通道之凹區側壁。因此，即使在側壁處，分級主要為垂直而非水平遠離側壁延伸。如上所述，在一些配置中，凹區側壁由

具有可選凹區清潔或熱平滑步驟之蝕刻過程界定。在其他配置中，凹區側壁由諸如薄磊晶層之內襯層（lining layer）界定。分級結構之每一沈積層可具有約 1 nm 至 100 nm 之厚度。根據另一實施例，每一沈積層具有約 3 nm 至 50 nm 之厚度。根據另一實施例，每一沈積層具有約 3-5 nm 之厚度。在一些實施例中，分級磊晶層中之每一者具有相同厚度。在其他實施例中，分級磊晶層具有不同相對厚度。

選擇性形成過程可更包括毯覆式沈積以及選擇性回蝕之額外循環，以自介電區域移除沈積材料從而形成可選封蓋層（capping layer）150，如圖 5D 所示。封蓋層 150 可能具有或沒有雜質或電學摻雜劑。舉例而言，升高源極/汲極區域 114 在原始基板表面上方以及源極/汲極區域 114 之間的通道 117 上方的部分可為無碳的，因為此部分在其處於通道 117 水平面上方時並不貢獻於通道 117 上之應變。因此，可選封蓋層 150 可由 Si、SiGe、SiGe:C 或 Si:C 形成，且可用以提供用於接觸矽化（contact silicidation）之額外 Si。在一個實施例中，層 125、135、145 可由 Si:C 形成，而封蓋層 150 由 Si、SiGe、SiGe:C 或 Si:C 形成。在另一實施例中，層 125、135、145 可由 SiGe 形成，而封蓋層 150 由 Si、SiGe、SiGe:C 或 Si:C 形成。在示範性實施例中，沈積分級 Si:C 層視情況包括電活性摻雜劑，特定言之適合於 NMOS 元件之摻雜劑，諸如磷或砷。

在一個實施例中，為了幫助維持取代碳以及電活性摻雜劑之高濃度，同時最小化溫度斜坡（temperature ramp）

/穩定時間，基板溫度至少在圖 1 之蝕刻階段 30 期間較佳保持為低的，例如在約 350°C 與 700°C 之間的範圍內。藉由使用低溫用於蝕刻亦降低了電活性摻雜劑原子在蝕刻期間去活性之可能性。舉例而言，用 Cl_2 氣體蝕刻有利地允許降低蝕刻溫度，因此幫助維持取代碳以及電活性摻雜劑。用於蝕刻階段之低溫在利用低溫下達成之高摻雜劑併入的同時啟用粗略匹配之沈積階段溫度。可藉由以下方法提高蝕刻速率以允許此等低溫而不犧牲產量：藉由在蝕刻階段期間包括鍺源，例如 GeH_4 、 GeCl_4 、金屬有機 Ge 前驅體、固態源 Ge；或藉由在蝕刻階段期間快速上升溫度以改良產量。在整個循環中設定點溫度保持相對恆定（例如在 $\pm 10^\circ\text{C}$ 內）之等溫處理改良產量，且最小化溫度上升以及穩定之時間。類似地，毯覆式沈積以及蝕刻過程兩者均較佳為等壓的，其中壓力設定點在彼此的 ± 20 托內。等溫及/或等壓條件有助於因為避免上升以及穩定時間而獲得較佳產量。

如圖 1 所說明，視情況循環重複執行毯覆式沈積後接續有選擇性蝕刻之兩階段過程，直至達成填充源極/汲極凹區之目標磊晶膜厚度。用於穩定之例示性過程參數以及一個循環概述於下文之表 A 中，其列出示範性操作點以及在圓括號中列出較佳操作範圍。如自表 A 顯而易見，過程條件（諸如腔室溫度、腔室壓力以及載氣流動速率）較佳實質上類似於沈積以及蝕刻階段，從而允許增加產量。因此，以下實例對於一循環之兩階段使用等溫以及等壓條件。其

他參數用於具有不同雜質濃度之後續沈積之層。舉例而言，Si 以及 C 前驅體流可能為不同的，或腔室溫度可經調整以沈積具有較高雜質濃度之層。

表 A

表 A	過程階段						
	穩定腔室溫度以及氣氣	預沈積	沈積	處理氣體之後沈積淨化	預烘烤蝕刻劑穩定	快速烘烤溫度峰值(可選)	烘烤後冷卻以及溫度穩定
時間 (秒)		5 (2.5–7.5)	15 (5–20)	5 (2.5–7.5)	5 (2.5–7.5)	6.5 (3.0–10)	12.5 (10–15)
溫度 (°C)	550 (500–650)	550 (500–650)	550 (500–650)	550 (500–650)	550 (500–650)	temp spike	550 (500–650)
壓力 (托)	64 (50–200)	64 (50–200)	64 (50–200)	64 (50–200)	64 (50–200)	64 (50–200)	64 (50–200)
H ₂ /He (slm)	2.0 (0.5–20)	2.0 (0.5–20)	2.0 (0.5–20)	2.0 (0.5–20)	2.0 (0.5–20)	2.0 (0.5–20)	2.0 (0.5–20)
Cl ₂ /HCl (sccm)					200 (5–1000)	200 (5–1000)	200 (5–1000)
Si ₃ H ₈ (mg/min)		75 (50–200)	75 (50–200)	75 (50–200)			
CH ₃ SiH ₃ (sccm)		150 (10–300)	150 (10–300)	150 (10–300)			
PH ₃ (sccm)		50 (10–200)	50 (10–200)	50 (10–200)			

表 A 提供用於在凹入源極/汲極區域中沈積磊晶 Si:C 膜之示範性過程參數，如上文關於圖 1 至圖 5D 所論述。藉由使用表 A 中提供之參數，對於選擇性沈積於凹入源極/汲極區域中之磊晶 Si:C:P 膜，可能達成較佳在約 4 nm/min 與約 11 nm/min 之間的淨成長速率，且更佳地在約 8

nm/min 與約 11 nm/min 之間。亦可能達成薄的 Si:C:P 膜，其具有高達 3.5% 之取代碳含量（如藉由應用 Kelires/Berti 關係而確定）且具有介於約 0.4 mΩ cm 與約 2.0 mΩ cm 之間的電阻率。藉由操縱沈積條件，可能獲得其他的膜性質。熟習此項技術者將瞭解，沈積條件通常經調整用於沈積後續層。

在本文所揭露之蝕刻過程期間，在蝕刻選擇性介於約 10:1 與 30:1 之間的範圍中之每一蝕刻階段中，磊晶 Si:C 蝕刻顯著慢於非晶形或多晶 Si:C。側壁磊晶材料亦在蝕刻階段優先移除。在較佳實施例中，循環沈積以及蝕刻過程條件經調諧以減少或消除非晶形絕緣體 110 上之淨成長，同時達成磊晶凹入源極/汲極區域 114 中（具體而言在凹區之底部表面上）之每一循環中之淨成長。此循環過程可與同時發生沈積以及蝕刻反應之習知選擇性沈積過程區別。

下文之表 B 以及表 C 給出使用類似於表 A 配方之配方的沈積與蝕刻持續時間以及所得厚度的兩個實例。配方經不同地調諧以藉由增加 Si_3H_8 之部分壓力以及最佳化蝕刻劑部分壓力而調變沈積以及蝕刻速率兩者。

表 B

沈積階段		蝕刻階段	
成長速率[nm/min]	28	13	α -蝕刻速率[nm/min]
沈積時間[s]	22	47.4	最小蝕刻時間[s]
		60	%過蝕刻
		75.8	有效蝕刻時間[s]
沈積 α -厚度[nm]	10.27	16.43	移除 α 厚度[nm]
每個沈積步驟之沈積磊晶厚度[nm]	9.78	0.82	每個沈積步驟之移除 c 厚度[nm]
α /磊晶成長速率比	1.05	20	原位蝕刻選擇性
淨化(預磊晶 + 後磊晶) [s]	25	25	淨化(預磊晶+後磊晶) [s]

最終時間/循環[s] 122.8

最終厚度/循環[nm] 8.96

平均成長速率[nm/min] 4.38

表 C

沈積階段		蝕刻階段	
成長速率[nm/min]	80	25	蝕刻速率[nm/min]
沈積時間[s]	8	25.6	最小蝕刻時間[s]
		30	%過蝕刻
		33.28	有效蝕刻時間[s]
沈積 α -厚度[nm]	10.67	13.87	移除 α 厚度[nm]
每個沈積步驟之沈積磊晶厚度[nm]	10.67	0.693	每個沈積步驟之移除 c 厚度[nm]
α /磊晶成長速率比	1	20	原位蝕刻選擇性
淨化(預磊晶 + 後磊晶) [s]	20	20	淨化(預磊晶+後磊晶) [s]

最終時間/循環[s] 61.3

最終厚度/循環[nm] 9.977

平均成長速率[nm/min] 9.76

如上所述，在替代實施例中，代替上述之循環毯覆式沈積/選擇性蝕刻過程，可使用其他選擇性沈積技術來在凹區中以由下而上方式沈積分級應變源。

具有最大應變內襯凹區之逆行應變源 (*Retrograded stressor*)。

圖 6 說明在操作區塊 300 中提供具有凹區之基板。如圖 6 中之操作區塊 310 所指示，基板之凹區之單晶表面襯有異質磊晶應變襯墊。在內襯凹區之後，經內襯凹區填充有與應變襯墊相比具有減少應變之材料，如操作區塊 320 所指示。

圖 7 及圖 8 說明圖 6 之方法之實施例。圖 7 提供包括形成於半導體基板 200 (諸如矽晶圓) 中之圖案化絕緣體 210 的示範性基板的示意性說明。絕緣體 210 以氧化物填充 STI 之形式並界定場隔離區域 212，且相鄰於展示於閘極結構 215 之任一側上之凹入源極/汲極區域 214，閘極結構 215 覆蓋基板 200 之通道區域 217。為了說明目的，絕緣體 210 經展示為與凹入源極/汲極區域 214 分離，使得所有凹區表面由單晶矽界定。然而，應理解，在其他配置中，一些凹區表面可由絕緣體材料界定，如圖 2 所示。如圖 7 所說明，異質磊晶含矽材料 (諸如 SiGe、SiGe:C 以及 Si:C) 之襯墊層 225 形成於基板 200 之亦具有絕緣體 210 之凹入源極/汲極區域 214 中。異質磊晶襯墊層 225 較佳選擇性以及異質磊晶地沈積於所述凹入源極/汲極區域 214 之單晶表面上。

根據另一實施例，異質磊晶襯墊層 225 可藉由以下方法而形成：在具有絕緣體區域以及凹入源極/汲極區域之混合基板上選擇性沈積含矽材料(諸如 SiGe、SiGe:C 或 Si:C)之毯覆式層，以及選擇性蝕刻所述毯覆式層使得所沈積含矽材料僅保留在凹入源極/汲極區域中，如上文關於圖 1 至圖 5D 所述。熟習此項技術者將瞭解，含矽材料之毯覆式層實質上為場隔離區域 212 上之非晶形或多晶或非磊晶材料以及凹入區域之底部表面上之磊晶材料。凹入區域之單晶側壁亦由含矽材料之異質磊晶襯墊層 225 覆蓋，如圖 7 所示。凹入區域之底部表面上之磊晶材料以及側壁上之磊晶材料共同用於凹入區域之異質磊晶襯墊層 225。在選擇性蝕刻之後，僅異質磊晶襯墊層 225 保留在凹入源極/汲極區域 214 中。

如圖 7 所示，異質磊晶襯墊層 225 內襯凹入區域，使得異質磊晶襯墊層 225 覆蓋凹入區域之全部側壁表面以及底部表面。較佳地，此異質磊晶襯墊層 225 實質上均一沈積於凹入區域中之暴露矽上。異質磊晶襯墊層 225 之異質磊晶含矽材料可在約 350°C 至 1000°C 之間的範圍內的溫度下沈積，且較佳在約 400°C 至 800°C 之間的範圍內。在另一實施例中，磊晶含矽材料在約 400°C 至 750°C 之間的範圍內的溫度下沈積，且較佳在約 450°C 至 650°C 之間的範圍內。根據另一實施例，異質磊晶襯墊層 225 可為具有應變誘發雜質濃度之分級層，所述濃度遠離凹入區域之底部以及側表面而降低。分級可為離散的或連續的。

如圖 8 中所說明，凹入區域之剩餘部分接著用填充劑 260 填充，直至凹入源極/汲極區域 214 上達成目標厚度。填充劑 260 包括具有較低雜質（諸如 Ge 或 C）濃度之磊晶材料，所述雜質將應變引入於異質磊晶襯墊層 225 中。根據實施例，填充劑 260 包括矽。在圖 8 中展示之所說明實施例中，填充劑 260 填充絕緣體 210 與通道區域 217 之間的凹區，使得填充劑 260 之上部表面實質上與絕緣體 210 之上部表面共面。然而，熟習此項技術者將容易瞭解，此目標厚度亦可低於或高於絕緣體 210 之頂部表面。熟習此項技術者將瞭解，填充有由異質磊晶襯墊 225 以及減少應變填充劑 260 之所形成之應變源的填充凹入源極/汲極區域 214 比具有均一矽合金之習知應變源更穩定，因為應變源具有降低整體濃度之應變誘發雜質材料（諸如 Ge 或 C）。結構仍在通道 217 之邊緣處提供高應變位準，其為所需要的。舉例而言，對於包含 SiGe 之異質磊晶襯墊層 225，Ge 含量通常介於 20 原子%與 50 原子%之間，且填充劑 260 之 Ge 含量較佳小於約 20 原子%或更小。對於 Si:C 襯墊，C 含量通常介於 0.5 原子%與 4 原子%之間，且填充劑 260 之 C 含量較佳小於約 1 原子%且低於襯墊層 225。如圖 8 所示，可選封蓋層 250 可較佳藉由選擇性沈積技術而沈積於填充源極/汲極區域 214 上。在一個實施例中，封蓋層 250 可由 Si、SiGe、SiGe:C 或 Si:C 形成。封蓋層 250 較佳具有低於磊晶材料 225 之襯墊層的較低雜質濃度。

在凹區側壁處具有最大應變之逆行 (*retrograded*) 應

變源

圖 9 說明在操作區塊 400 中提供具有凹區之基板。如操作區塊 410 所指示，基板之凹區的單晶表面襯有異質磊晶應變襯墊。在內襯凹區之後，執行再分佈退火以在凹區之下部彎角中形成小面 (facet)，如操作區塊 420 所指示。凹區接著填充具有與應變襯墊相比減少應變之材料，如操作區塊 430 所指示。

襯墊層可經退火以重分佈磊晶襯墊層材料，使得材料遷移至凹區之側壁處的彎角。通常，此退火導致磊晶材料漸縮 (tapered)，從而具有小面化側截面形狀。經退火磊晶材料通常在凹區底部處比頂部處寬。較佳覆蓋凹區之實質上所有側壁表面之經退火磊晶材料施加橫向應變至相鄰電晶體通道上。

圖 10 及圖 11 說明圖 9 之方法。在襯墊層 225 沈積於圖 7 所示之結構中之後，無論是否藉由選擇性沈積技術或循環毯覆式沈積/選擇性蝕刻或非選擇性沈積以及圖案化，基板 200 接著藉由將其加熱至約 600°C 與 1100°C 之間而進行退火。在一個實施例中，基板在介於 650°C 與 900°C 之間的溫度下退火。在另一實施例中，退火溫度介於約 725°C 與 775°C 之間。熟習此項技術者可取決於選定溫度而容易確定適當的退火持續時間，從而達成所要的再分佈。儘管以完全界定於半導體材料內之凹區 (即源極/汲極區域 214) 說明，使得楔形異質磊晶材料 230 形成環狀，但熟習此項技術者將瞭解一或多個側壁表面可由場隔離材料來界

定，如圖 2 至圖 5D 之實施例所說明。如關於先前描述之實施例所述，凹入區域之側壁可由形成其之蝕刻、由後續清潔或磨圓步驟、或諸如薄磊晶層之額外內襯層（未圖示）來界定。

作為退火過程之結果，襯墊層 225（展示於圖 7 中）中之矽以及摻雜劑原子遷移，且材料再分佈導致經退火異質磊晶材料 230 具有小面化側截面形狀，如圖 10 所示。自結晶觀點來看，小面化異質磊晶材料 230 為下伏於閘極結構 215 之通道區域 217 之兩側上的晶體小面之等效物。如圖 10 所說明，小面化異質磊晶材料 230 為實質上沿凹入區域之側壁漸縮的層。

此小面化磊晶材料 230 亦為無錯位且應變的，但其在退火之前具有比圖 7 之磊晶襯墊 225 高的合金含量。如圖所說明，小面化磊晶材料 230 位於相鄰於閘電極結構 215 下方之通道 217 處，且內襯或覆蓋緊靠通道之實質上所有至少凹區側壁，且較佳為凹入區域之所有單晶側壁表面。因此，應變小面化異質磊晶材料 230 施加應變至下伏於閘極結構 215 之通道區域 217 上。

在所說明實施例中，原始襯墊 225 之磊晶材料中之一些在退火之後保留在凹入區域之底部表面上。如圖 10 所示，底部襯墊 280 之經退火磊晶材料變薄，且可具有不均勻表面，且亦可與楔形側壁覆蓋異質磊晶材料 230 不連續。底部覆蓋之不連續性可減少凹區底部之應變，而在相鄰於通道表面之凹區頂部沒有任何效應。儘管在所說明實

施例中底部襯墊 280 之經退火磊晶材料與小面化異質磊晶材料 230 隔離，但應瞭解在其他實施例中（未圖示），底部襯墊之經退火磊晶材料將不與覆蓋側壁表面之小面化磊晶材料隔離。此隔離或沒有隔離可藉由（例如）調整沈積時間或藉由添加後磊晶沈積化學蝕刻步驟（例如，原位後磊晶沈積 HCl 蝕刻）而達成。

凹入區域之剩餘部分接著填充填充劑 260，如圖 11 所說明。填充劑 260 具有比小面化異質磊晶材料 230 低的應變誘發雜質濃度。此填充劑層 260 可經成長以與基板 200 之頂部表面實質上共面，如圖 11 所示，或在其他實施例中低於或高於基板 200 之頂部表面。在<100>具有水平底面之凹區之矽基板的情況下，小面化異質磊晶材料 230 與填充劑 260 之間的介面處的小面角（facet angle）相對於凹入區域底部之水平面介於約 25° - 55° 之間的範圍內。根據另一實施例，小面角介於約 11° - 72° 之間的範圍內。應瞭解，在小面化異質磊晶材料 230 與填充劑 260 之間的介面可具有一些彎曲，且凹入區域內之整體應變源 230、260 在側壁處存在較高應變或較高雜質濃度以及在凹入區域之中心處存在較低應變或較低雜質濃度的意義上為逆行的。實際上，填充劑 260 可由無任何應變誘發雜質之 Si 形成，其僅包括電學摻雜劑用於傳導性。可選封蓋層（未圖示）可形成於填充劑 260 上。圖 12 為繪示使用圖 9 所說明之方法形成之小面化 SiGe 襯墊層的顯微圖。填充劑 260（圖 11）在顯微圖中標記為“Si 封蓋”，且多晶矽成長繪示於閘極結

構上，其指示非選擇性沈積用於此實例。

應瞭解，因為較高度應變磊晶含矽材料 280、230 之體積由於使用薄內襯層而非用高度應變材料完全填充凹區之緣故而顯著減小，所以臨界厚度約束放鬆且應變施力以及熱預算中之實質增益產生。可調整磊晶含矽材料 280、230 之雜質含量，從而產生不同的應變量。可顯著增加過程溫度，從而導致成長速率之顯著增加。

雖然以上詳細描述揭露本發明之若干實施例，但應瞭解本揭露案僅為說明性的且並不限於本發明。應瞭解所揭露之特定組態以及操作可不同於上述組態以及操作，且本文所述之方法可用於不同於半導體元件之製造的上下文中。

【圖式簡單說明】

圖 1 為說明用於在基板之凹入源極/汲極區域中以由下而上方式選擇性形成應變磊晶半導體層之過程的流程圖。

圖 2 為包括形成於半導體基板中之凹入源極/汲極區域之部分形成半導體結構的示意性截面說明。

圖 3 為在執行包括在凹入源極/汲極區域之底部上磊晶沈積的摻碳矽膜之毯覆式沈積 (blanket deposition) 之後的圖 2 之部分形成半導體結構之示意性截面說明。

圖 4 為在執行用以自絕緣體以及凹入側壁區域移除摻碳矽之選擇化學氣相蝕刻過程之後的圖 3 之部分形成半導體結構之示意性截面說明。

圖 5A 至圖 5D 為在執行毯覆式沈積以及選擇蝕刻之其他循環、以由下而上方式沈積具有增加應變之層之後的圖 4 之部分形成半導體結構之示意性截面說明。

圖 6 為說明用於在凹入源極/汲極區域中形成應變襯墊層 (liner layer) 之過程的流程圖。

圖 7 及圖 8 為根據另一實施例在混合基板表面之凹入區域中形成包括含矽膜之襯墊層且用填充劑填充凹入區域之後的圖 2 之部分形成半導體結構之示意性截面說明。

圖 9 為說明用於在基板之凹入源極/汲極區域中形成小面化 (faceted) 應變襯墊層之過程的流程圖。

圖 10 及圖 11 為根據另一實施例在退火襯墊層且用填充劑填充凹入區域之後的圖 6 之部分形成半導體結構之示意性截面說明。

圖 12 為展示經退火 SiGe 襯墊層之顯微圖。

【主要元件符號說明】

10、20、30、40、45、50、300、310、320、400、410、

420、430：區塊

100：基板

110：絕緣體

112：場隔離區域

114：源極/汲極區域

115：閘極結構

117：通道區域

120：毯覆式 Si:C 層

122：毯覆式 Si:C 層
125：毯覆式 Si:C 層
130：毯覆式 Si:C 層
132：毯覆式 Si:C 層
135：毯覆式 Si:C 層
145：分級磊晶層
150：封蓋層
200：半導體基板
210：絕緣體
212：場隔離區域
214：源極/汲極區域
215：閘電極
217：通道區域
225：襯墊層
230：異質磊晶材料
250：封蓋層
260：填充劑
280：底部襯墊

五、中文發明摘要：

一種半導體基板，其具有填充有異質磊晶含矽材料之凹區，其中不同部分具有不同之雜質濃度。應變層可以分級、由下而上方式填充凹入源極/汲極區域。層亦可以一種濃度之應變誘發雜質來內襯凹區側壁，而用較低濃度之所述雜質填充凹區之剩餘部分。在後者情況下，側壁襯墊可為漸縮的。

六、英文發明摘要：

A semiconductor substrate having recesses filled with heteroepitaxial silicon-containing material with different portions having different impurity concentrations. Strained layers can fill recessed source/drain regions in a graded, bottom-up fashion. Layers can also line recess sidewalls with one concentration of strain-inducing impurity and fill the remainder to the recess with a lower concentration of the impurity. In the latter case, the sidewall liner can be tapered.

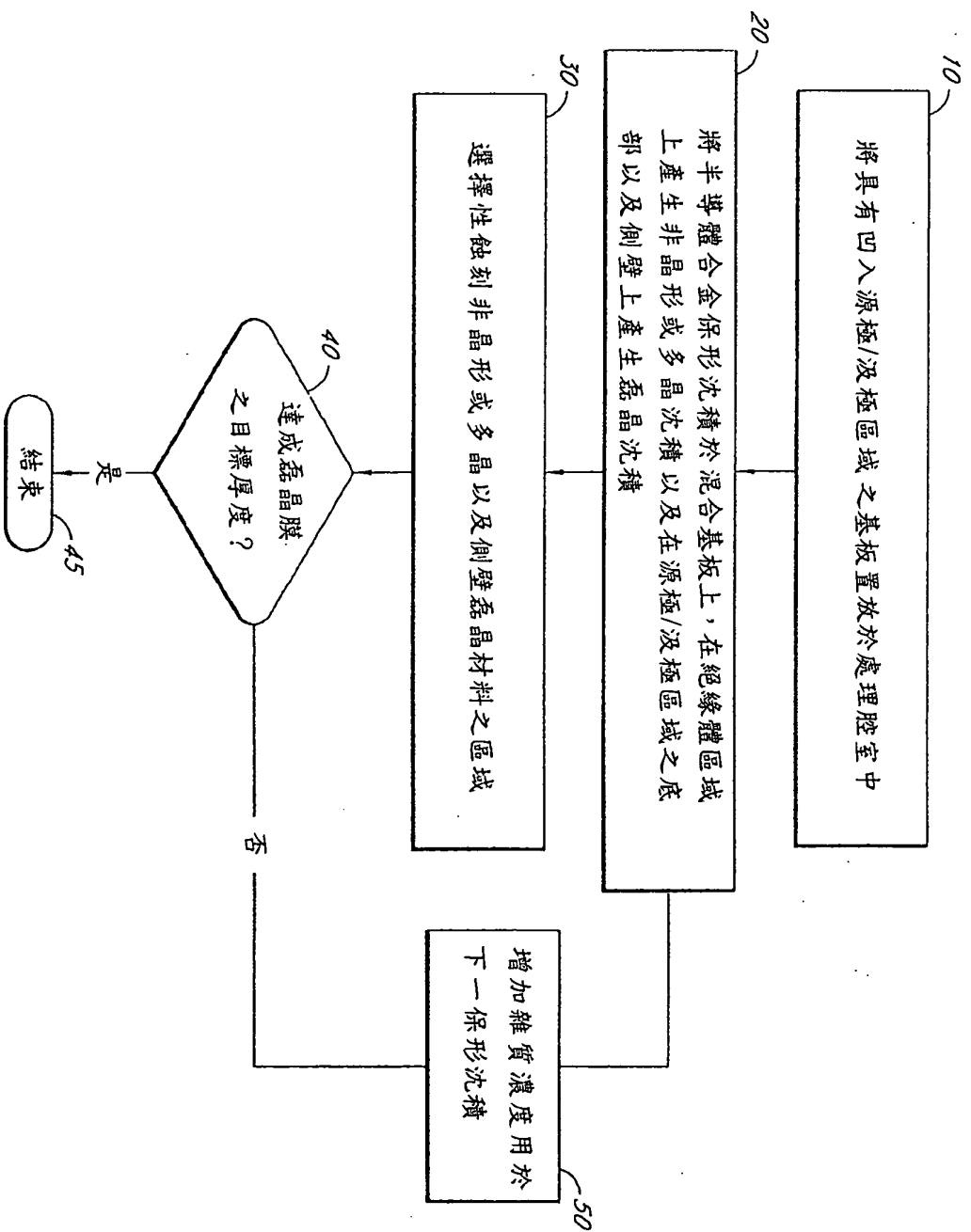


圖 1

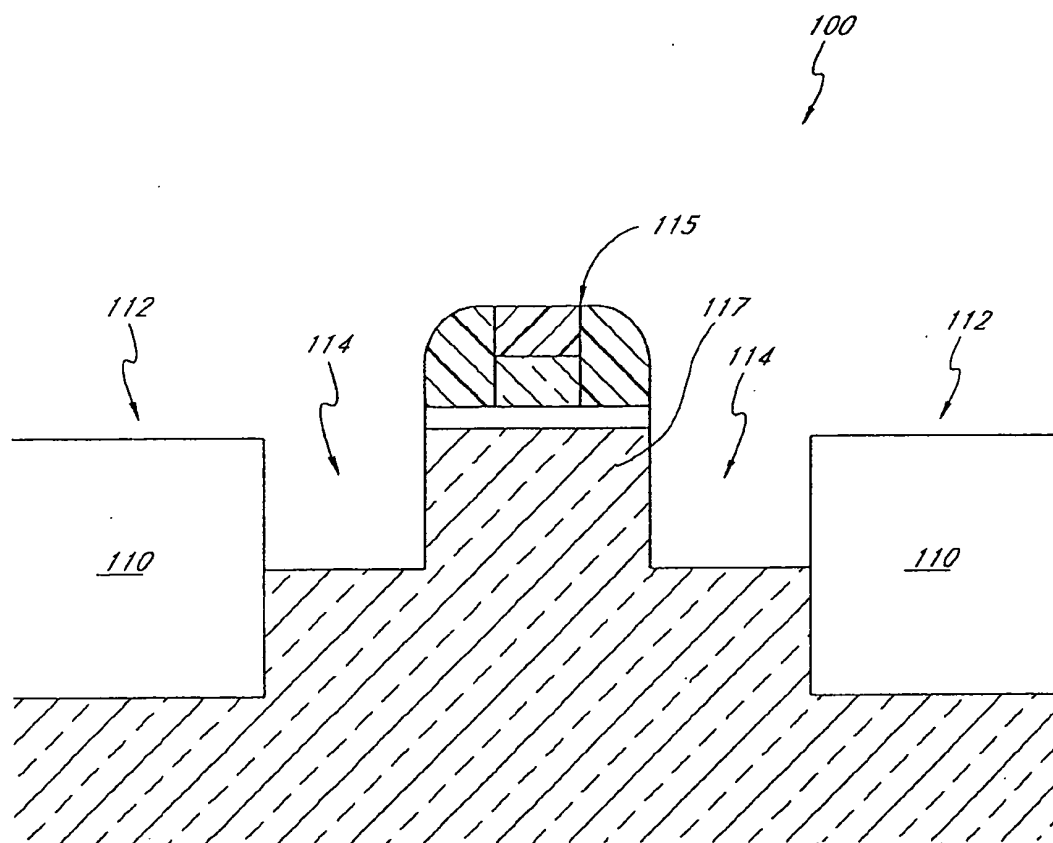


圖2

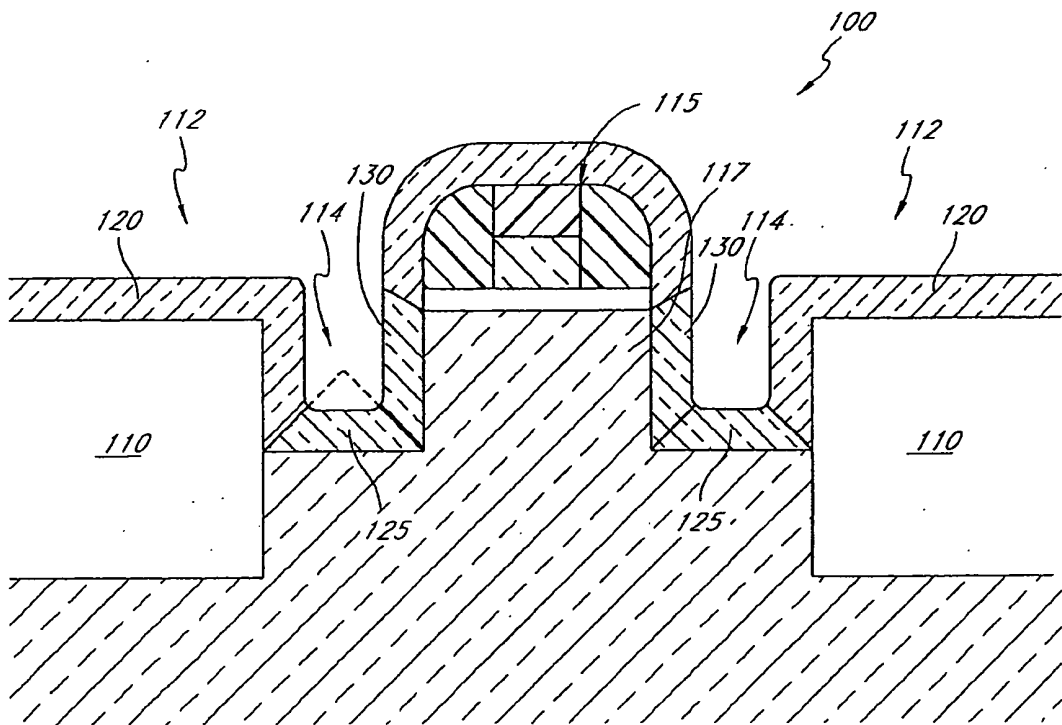


圖 3

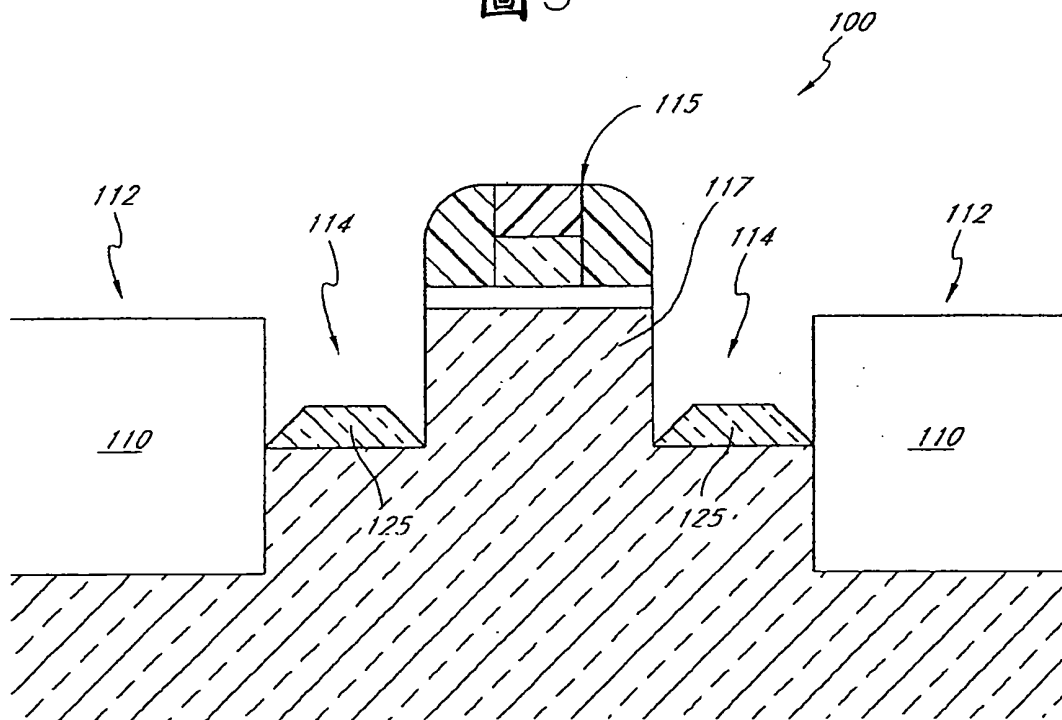


圖 4

4/10

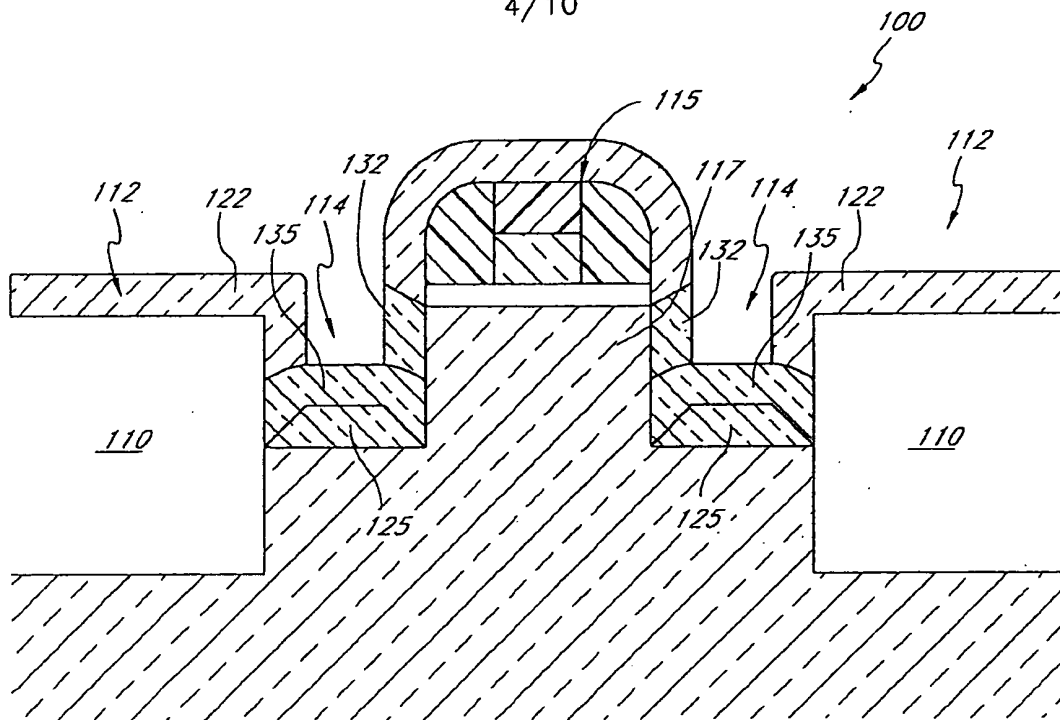


圖 5A

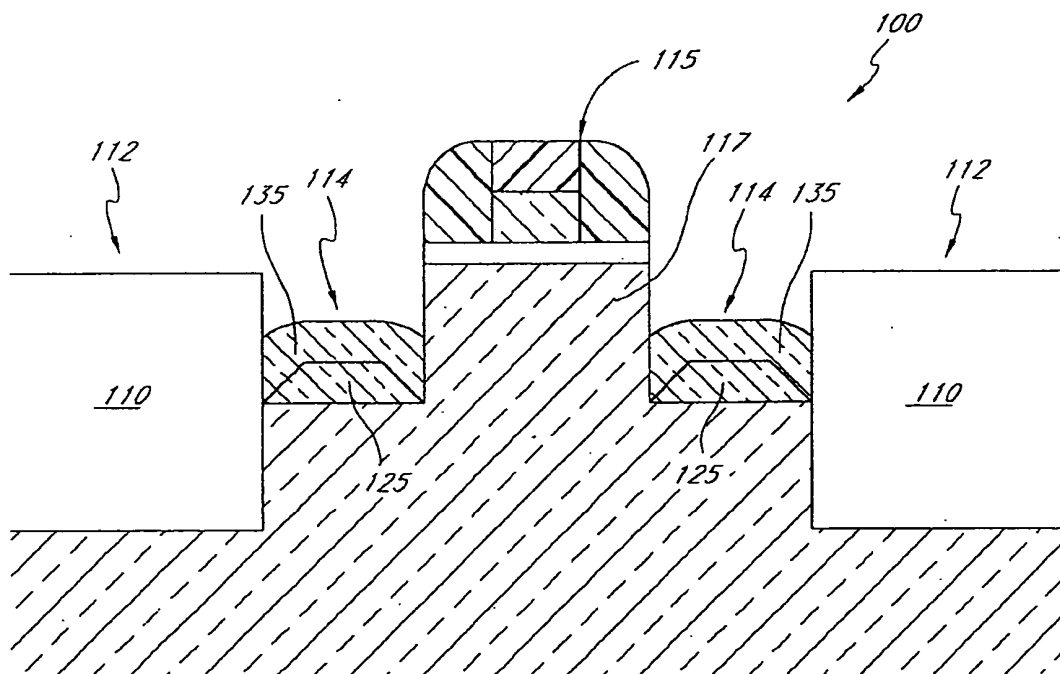


圖 5B

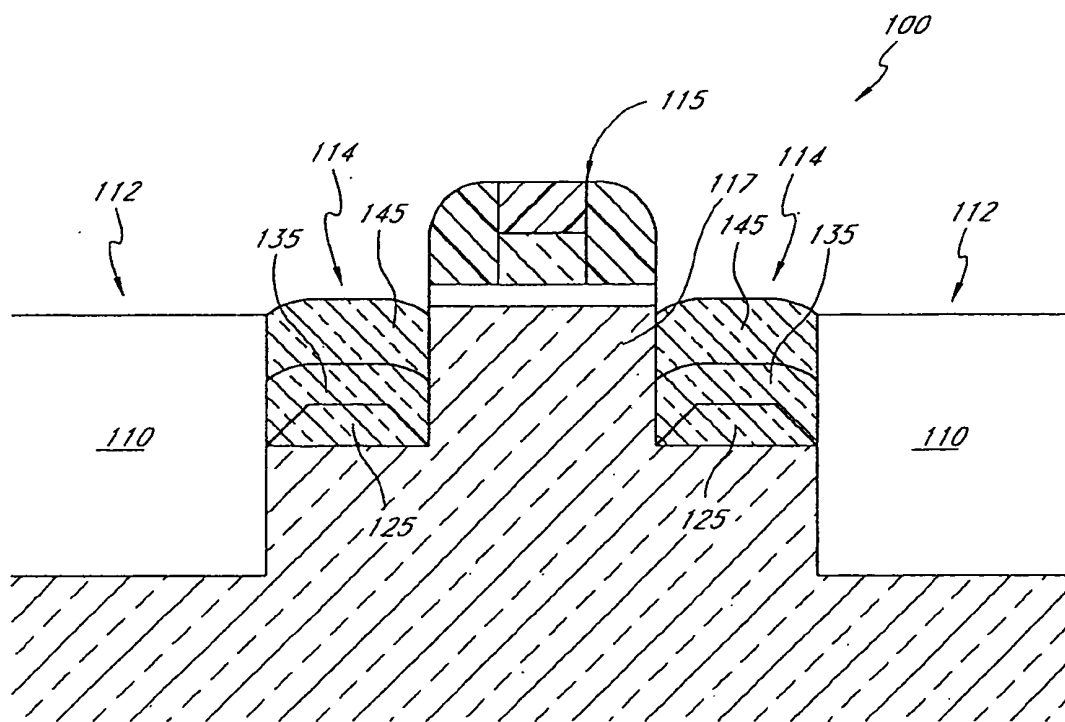


圖 5C

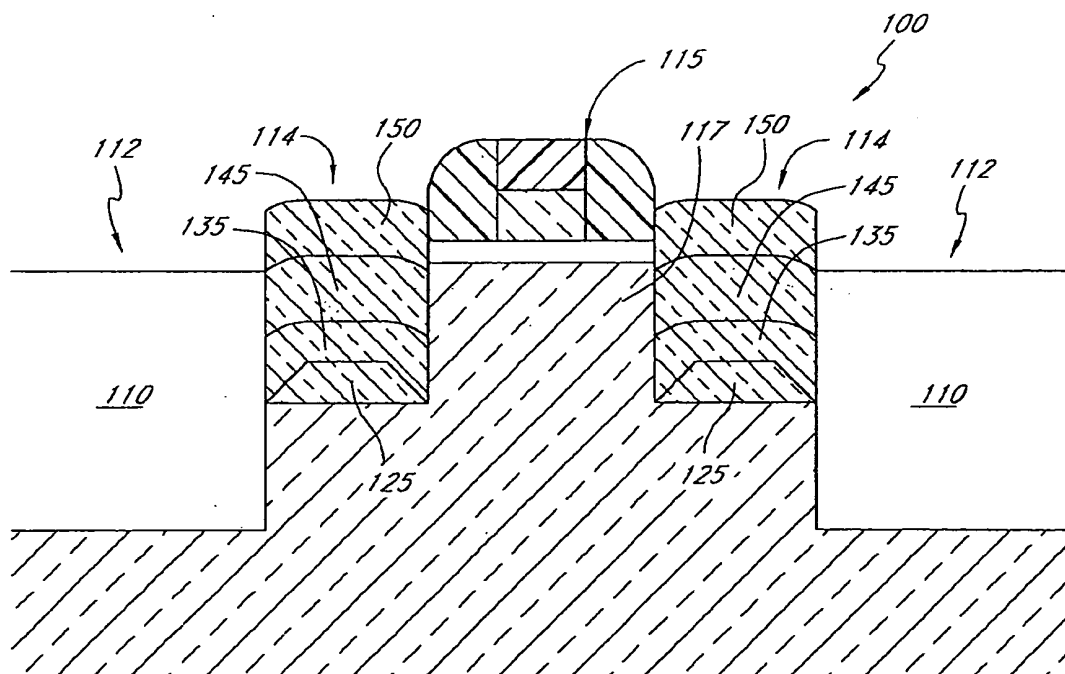


圖 5D

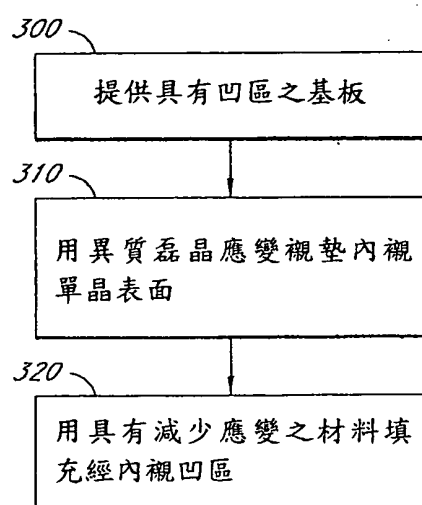


圖 6

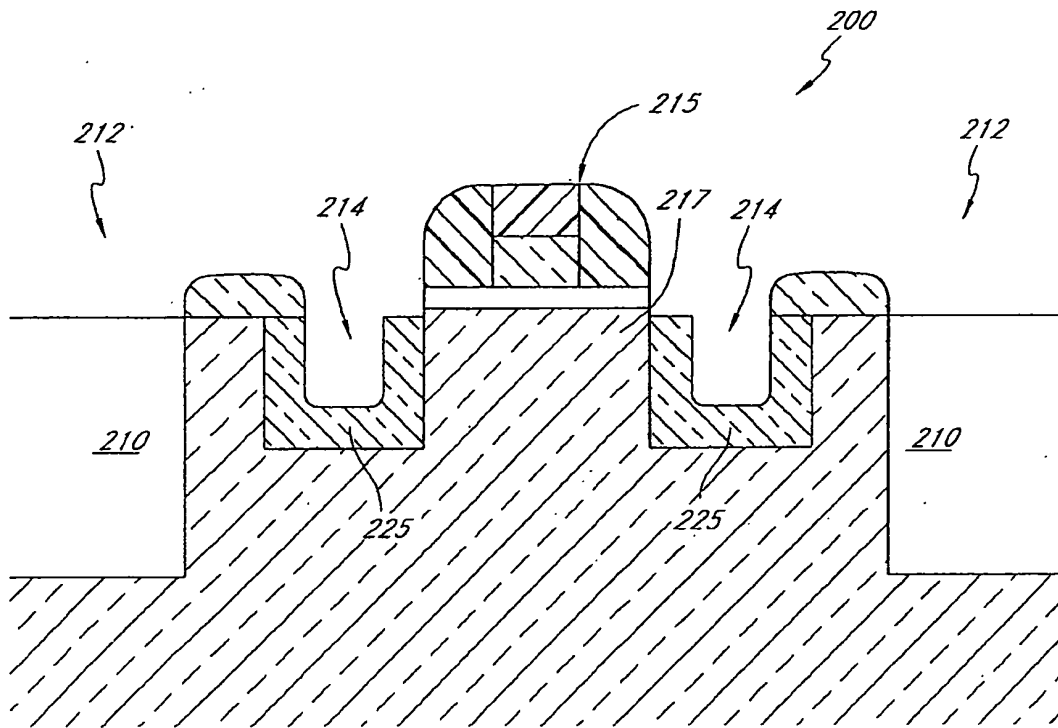


圖 7

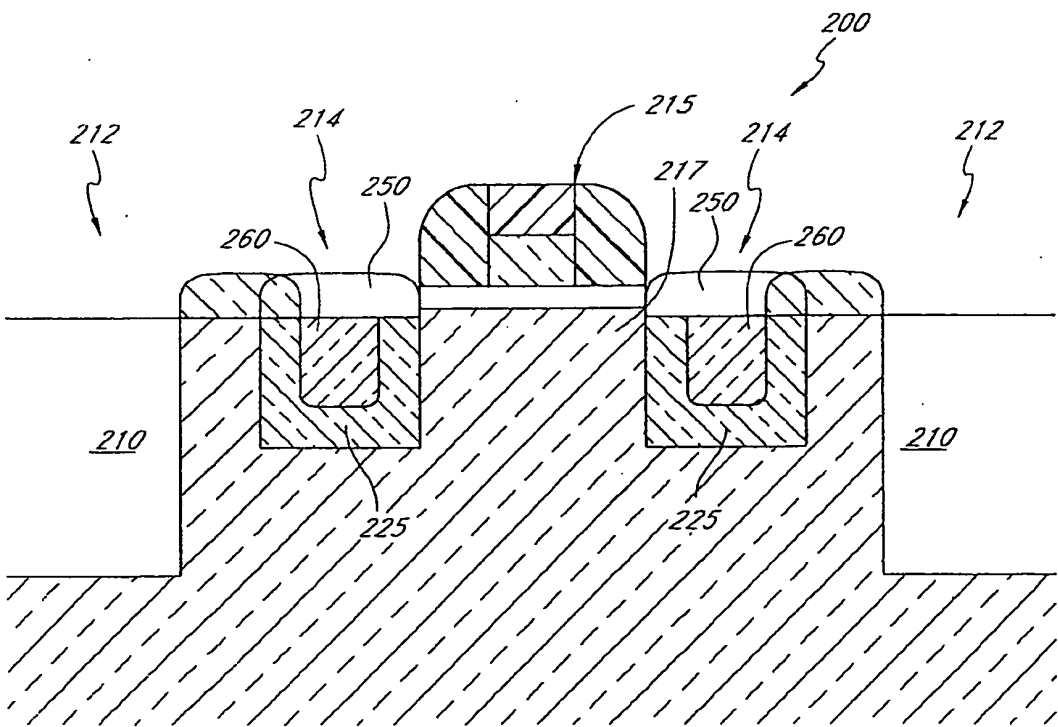


圖 8

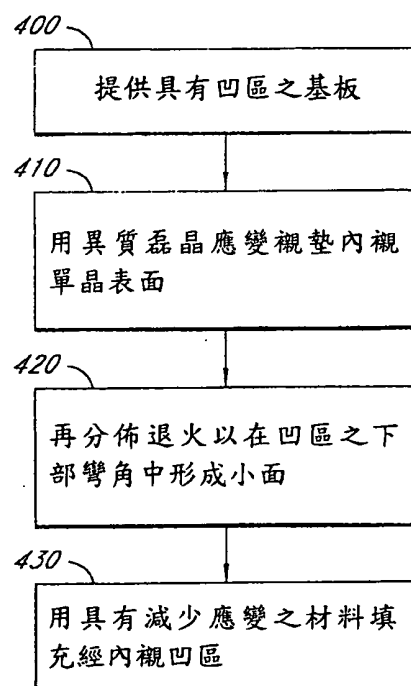


圖 9

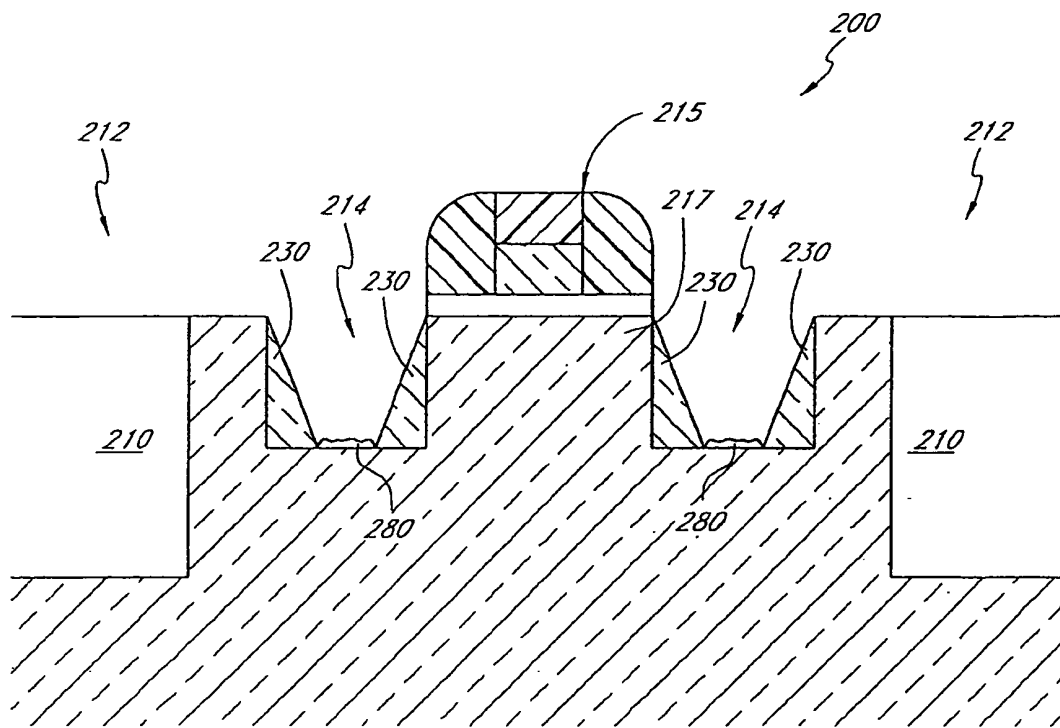


圖 10

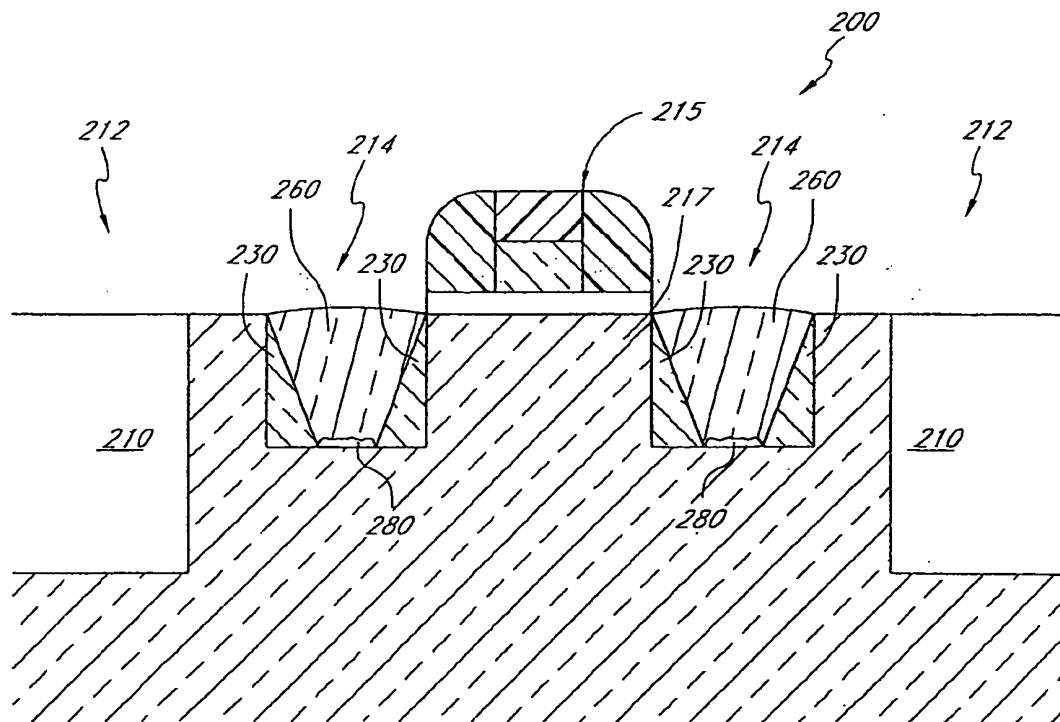


圖 11

七、指定代表圖：

(一)本案指定代表圖為：圖（1）。

(二)本代表圖之元件符號簡單說明：

10、20、30、40、45、50：區塊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種選擇性形成半導體材料之方法，包括：

在化學氣相沈積腔室內提供基板，所述基板包括絕緣表面以及單晶半導體表面，其中所述單晶半導體表面包括凹區；以及

在所述凹區中選擇性形成半導體應變源，其中所述半導體應變源經分級使得所述凹區內之所述半導體應變源之上部具有比下部高的應變量，且其中所述上部延伸至所述凹區之側壁。

2. 如申請專利範圍第 1 項所述之選擇性形成半導體材料之方法，其中所述半導體應變源包含離散層。

3. 如申請專利範圍第 1 項所述之選擇性形成半導體材料之方法，其中所述選擇性形成包括：

在所述基板之所述絕緣表面上以及所述單晶半導體表面上毯覆式沈積半導體材料；以及

自所述絕緣表面選擇性移除非磊晶半導體材料，以及自所述凹區之所述側壁選擇性移除磊晶材料，同時在所述凹區之底部留下磊晶材料。

4. 如申請專利範圍第 3 項所述之選擇性形成半導體材料之方法，更包括在多個循環中重複所述毯覆式沈積以及所述選擇性移除，其中每一循環在所述凹區之所述底部添加某厚度之磊晶材料，且其中任一毯覆式沈積半導體材料層包括比所述凹區中之下伏毯覆式沈積半導體材料層高的摻雜劑濃度。

5.如申請專利範圍第 3 項所述之選擇性形成半導體材料之方法，其中所述毯覆式沈積包括非選擇性沈積。

6.如申請專利範圍第 3 項所述之選擇性形成半導體材料之方法，其中所述毯覆式沈積包括在所述絕緣表面上主要形成非晶形半導體材料。

7.如申請專利範圍第 3 項所述之選擇性形成半導體材料之方法，其中所述毯覆式沈積包括將三矽烷以及碳前驅體流動至所述化學氣相沈積腔室中。

8.如申請專利範圍第 1 項所述之選擇性形成半導體材料之方法，其中所述半導體材料包括摻碳矽。

9.一種選擇性形成異質磊晶半導體材料之方法，包括：

在基板之單晶半導體區域中之所形成的凹區之底部以及側壁表面上沈積半導體材料；以及

自所述凹區之所述側壁表面選擇性移除所述半導體材料之部分，同時在所述底部表面上留下所述半導體材料之異質磊晶層；以及

重複所述沈積以及所述選擇性移除，其中所述半導體材料之後續沈積異質磊晶層包括與所述半導體材料之先前沈積異質磊晶層相比而言不同之應變誘發雜質之濃度。

10.如申請專利範圍第 9 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述半導體材料之所述沈積層離散地分級。

11.如申請專利範圍第 9 項所述之選擇性形成異質磊晶

半導體材料之方法，其中所述沈積包括在每一循環中將所述半導體材料之所述異質磊晶層形成為介於 1 nm 與 100 nm 之間的厚度。

12.如申請專利範圍第 9 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述凹區中之所述半導體材料之所述異質磊晶層施加應變至所述基板之相鄰區域上。

13.如申請專利範圍第 12 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述應變在所述凹區內之所述凹區之頂部處最高。

14.如申請專利範圍第 9 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述半導體材料包括摻碳矽。

15.如申請專利範圍第 9 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述凹區內之所述半導體材料之最高程度應變處於所述凹區之頂部處。

16.如申請專利範圍第 9 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述半導體材料填充所述凹區。

17.如申請專利範圍第 9 項所述之選擇性形成異質磊晶半導體材料之方法，其中所述半導體材料之所述異質磊晶層之至少一最上層為拉伸應變的。

18.一種在包括單晶側壁表面的凹區中形成半導體材料之方法，包括：

提供基板，其中形成有絕緣區域以及所述凹區；

沈積異質磊晶含矽材料之襯墊層以覆蓋所述凹區之實質上所有單晶側壁表面，所述襯墊層包括應變誘發雜

質，所述襯墊層部分填充所述凹區；以及

藉由將填充劑沈積於所述襯墊層上而用包括含矽材料之所述填充劑覆蓋所述襯墊層，從而在所述凹區中形成半導體材料，所述含矽材料具有比所述襯墊層低的所述雜質之濃度。

19.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，其中所述沈積包括用矽鍺內襯所述凹區的所述單晶側壁表面。

20.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，其中沈積所述襯墊層以及覆蓋所述襯墊層導致凹區用分級之矽鍺材料填充，其中鍺的濃度遠離所述凹區之底部以及側部而減少。

21.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，更包括將封蓋層沈積於所述填充劑上，所述封蓋層包括選自由以下各物組成之群的材料形成：矽、矽鍺、摻碳矽以及摻碳矽鍺。

22.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，其中：

沈積所述襯墊層包括沈積分級之矽鍺層，其中鍺的濃度遠離所述凹區之底部以及側部而減少；以及

覆蓋所述襯墊層包括在沈積所述襯墊層之後用矽填充所述凹區。

23.如申請專利範圍第 22 項所述之在凹區中形成半導體材料之方法，其中所述分級之矽鍺層包括離散分級之層。

24.如申請專利範圍第 22 項所述之在凹區中形成半導體材料之方法，其中所述分級之矽鍺層為連續分級之層。

25.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，其中沈積所述襯墊層包括用摻碳矽內襯所述凹區。

26.如申請專利範圍第 25 項所述之在凹區中形成半導體材料之方法，更包括將封蓋層沈積於所述填充劑上，所述封蓋層包括選自由以下各物組成之群的材料：矽、矽鍺、摻碳矽以及摻碳矽鍺。

27.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，其中所述凹區中之所述襯墊層異質磊晶含矽材料施加橫向拉伸應變至所述基板之相鄰區域上。

28.如申請專利範圍第 27 項所述之在凹區中形成半導體材料之方法，其中所述相鄰區域為電晶體通道區域。

29.如申請專利範圍第 18 項所述之在凹區中形成半導體材料之方法，更包括在沈積所述襯墊層之後且在用具有所述雜質之所述較低濃度的所述含矽材料覆蓋所述襯墊層之前使所述基板退火。

30.如申請專利範圍第 29 項所述之在凹區中形成半導體材料之方法，其中退火包括將所述基板加熱至介於 650°C 與 900°C 之間的溫度。

31.如申請專利範圍第 29 項所述之在凹區中形成半導體材料之方法，其中在所述退火之後，異質磊晶含矽材料覆蓋所述凹區之實質上全部側壁表面。

32.如申請專利範圍第 29 項所述之在凹區中形成半導體材料之方法，其中所述退火導致所述襯墊層之所述異質磊晶含矽材料的一部分遷移至所述凹區之彎角。

33.如申請專利範圍第 29 項所述之在凹區中形成半導體材料之方法，其中在所述退火之後，所述襯墊層具有小面化側截面形狀。

34.如申請專利範圍第 33 項所述之在凹區中形成半導體材料之方法，其中所述襯墊層與所述填充劑之間的介面相對於凹區之底部較佳在 25° - 55° 之範圍內。

35.如申請專利範圍第 33 項所述之在凹區中形成半導體材料之方法，其中在所述退火之後，所述襯墊層實質上沿凹區之側壁漸縮。

36.一種半導體元件，包括：

基板中之凹區；

異質磊晶含矽襯墊，其覆蓋所述凹區之實質上所有單晶側壁表面，所述襯墊包括更改晶格常數之雜質；

填充劑，其形成於所述襯墊上且填充所述凹區，其中所述填充劑包括含矽材料，所述含矽材料具有比其上形成所述填充劑之所述襯墊低的所述雜質之濃度；以及

電晶體通道，其相鄰於所述凹區。

37.如申請專利範圍第 36 項所述之半導體元件，其中所述襯墊包括矽鍺。

38.如申請專利範圍第 37 項所述之半導體元件，更包括形成於所述填充劑上之封蓋層，所述封蓋層包括選自由

以下各物組成之群的材料：矽、矽鍺、摻碳矽以及摻碳矽鍺。

39.如申請專利範圍第 36 項所述之半導體元件，其中所述襯墊包括摻碳矽。

40.如申請專利範圍第 39 項所述之半導體元件，更包括形成於所述填充劑上之封蓋層，所述封蓋層包括選自以下各物組成之群的材料：矽、矽鍺、摻碳矽以及摻碳矽鍺。

41.如申請專利範圍第 36 項所述之半導體元件，更包括形成於所述填充劑上之封蓋層，所述封蓋層包括比覆蓋所述凹區之所有側壁表面之所述異質磊晶襯墊低的所述雜質之濃度。

42.如申請專利範圍第 36 項所述之半導體元件，其中所述襯墊與所述填充劑之間的介面漸縮，且所述襯墊在所述凹區之底部表面上為不連續的。

43.如申請專利範圍第 36 項所述之半導體元件，其中所述襯墊漸縮，且所述襯墊包括所述凹區之底部表面上比所述凹區之所述側壁表面上之所述襯墊薄的部分。

44.如申請專利範圍第 36 項所述之半導體元件，其中所述襯墊為拉伸應變的。

45.如申請專利範圍第 36 項所述之半導體元件，其中所述襯墊施加壓縮應變至所述電晶體通道上。

46.如申請專利範圍第 45 項所述之半導體元件，其中所述襯墊為矽鍺。

47.一種半導體元件，包括：

凹區，其用異質磊晶應變源材料填充，所述凹區內之所述應變源材料之上部具有第一雜質濃度，所述凹區內之所述應變源材料之下部具有第二雜質濃度，其中所述第一雜質濃度高於所述第二雜質濃度，且所述上部延伸以接觸所述凹區之側壁；以及

電晶體通道，其相鄰於所述凹區。

48.如申請專利範圍第 47 項所述之半導體元件，其中所述應變源材料在頂部表面具有比在底部表面高的雜質濃度。

49.如申請專利範圍第 47 項所述之半導體元件，其中所述應變源材料為矽鍺。

50.如申請專利範圍第 47 項所述之半導體元件，其中所述應變源材料為摻碳矽。

51.如申請專利範圍第 47 項所述之半導體元件，其中所述應變源材料包括離散層，其中每一離散層具有高於其下方之層的雜質濃度。

52.如申請專利範圍第 47 項所述之半導體元件，其中所述應變源材料為拉伸應變的。