



(12)发明专利

(10)授权公告号 CN 104396014 B

(45)授权公告日 2018.10.09

(21)申请号 201380034473.7

(22)申请日 2013.06.27

(65)同一申请的已公布的文献号

申请公布号 CN 104396014 A

(43)申请公布日 2015.03.04

(30)优先权数据

61/666,649 2012.06.29 US

13/684,107 2012.11.21 US

(85)PCT国际申请进入国家阶段日

2014.12.26

(86)PCT国际申请的申请数据

PCT/US2013/048088 2013.06.27

(87)PCT国际申请的公布数据

W02014/004770 EN 2014.01.03

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 Z·王 J·J·朱 X·李

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 元云

(51)Int.Cl.

H01L 27/112(2006.01)

G11C 17/16(2006.01)

H01L 23/522(2006.01)

H01L 23/525(2006.01)

H01L 49/02(2006.01)

(56)对比文件

CN 101621034 A,2010.01.06,

CN 101621034 A,2010.01.06,

US 2004/0087098 A1,2004.05.06,

US 2006/0097325 A1,2006.05.11,

CN 101180684 A,2008.05.14,

审查员 马晓敏

权利要求书4页 说明书12页 附图18页

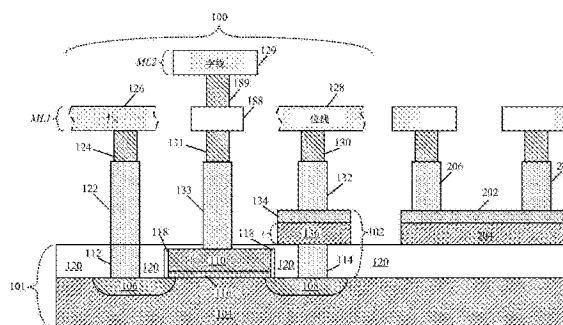
(54)发明名称

以反熔丝为特征的集成电路器件及其制造方法

(57)摘要

一种集成电路(例如OTP或MTP存储器电路)包括存取晶体管(10)和反熔丝(102)。该存取晶体管包括至少一个源极/漏极区(106,08),而该反熔丝具有导体-绝缘体-导体结构。该反熔丝包括充当第一电极(134)的第一导体,并且还包括反熔丝电介质(136)、和第二导体(114,304)。第一电极的第一表面耦合至该反熔丝电介质的第一表面,该反熔丝电介质的第二表面耦合至该第二导体的第一表面。该第二导体电耦合至该存取晶体管的源极/漏极区。该反熔丝被适配成在大于或等于反熔丝电介质击穿电压的编程电压 V_{pp} 被施加在第一电极和第二导体之间情况下从开路状态转换到闭路状态。还可提供电阻器(202)且其是从与该反熔丝的第一电极(134)相同的层形成的。该电阻器位于由与该反熔丝电介质相同

的层制成的绝缘层(204)上。



1. 一种集成电路,包括:

含源极区和漏极区中的至少一者的存取晶体管;以及

具有导体-绝缘体-导体结构的反熔丝,所述反熔丝包括第一电极、反熔丝电介质和第二电极,其中所述第一电极的第一表面耦合至所述反熔丝电介质的第一表面,所述反熔丝电介质的第二表面耦合至所述第二电极的第一表面,并且相异导体电耦合在所述第一电极的第二表面与通孔之间以及所述第二电极的第二表面与所述存取晶体管的源极区和漏极区中的所述至少一者之间,其中所述第一电极的第一电极宽度和所述第二电极的第二电极宽度各自大于所述相异导体的相异导体宽度,其中所述第一电极至少部分地位于与所述集成电路的电阻器相同的水平平面中。

2. 如权利要求1所述的集成电路,其特征在于,所述反熔丝被适配成在大于或等于反熔丝电介质击穿电压的编程电压 V_{pp} 被施加在所述第一电极与所述第二电极之间的情况下从开路状态转换为闭路状态。

3. 如权利要求2所述的集成电路,其特征在于,所述编程电压 V_{pp} 等于所述集成电路的输入/输出(I/O)电压 $V_{I/O}$ 。

4. 如权利要求2所述的集成电路,其特征在于,所述反熔丝电介质具有厚度 t ,并且增大 t 就增大了所述反熔丝电介质击穿电压。

5. 如权利要求2所述的集成电路,其特征在于,所述存取晶体管进一步包括栅极、具有栅极电介质击穿电压的栅极电介质、和主体,其中所述栅极电介质介于所述栅极与所述主体之间,并且所述反熔丝电介质击穿电压小于所述栅极电介质击穿电压。

6. 如权利要求5所述的集成电路,其特征在于,所述栅极电介质和所述反熔丝电介质由至少一种不同的电介质材料制成。

7. 如权利要求1所述的集成电路,其特征在于,所述反熔丝被至少部分地置于所述存取晶体管的源极区和漏极区中的所述至少一者之上。

8. 如权利要求1所述的集成电路,其特征在于,所述反熔丝被至少部分地置于与所述存取晶体管的源极区和漏极区中的所述至少一者相同的垂直平面中。

9. 如权利要求1所述的集成电路,其特征在于,所述第二电极是金属电极并且所述相异导体是耦合至所述存取晶体管的源极区和漏极区中的所述至少一者的金属源极/漏极触点。

10. 如权利要求1所述的集成电路,其特征在于,所述存取晶体管的源极区和漏极区中的所述至少一者是漏极区并且所述反熔丝至少部分地置于与所述漏极区相同的垂直平面中。

11. 如权利要求1所述的集成电路,其特征在于,进一步包括:

金属迹线层,所述金属迹线层为具有毗邻字线的两个存取晶体管中的每一者的漏极提供共享存储器位线;以及

另一金属迹线层,所述另一金属迹线层为所述具有毗邻字线的两个存取晶体管中的每一者提供相异的选择线,所述选择线通过所述通孔电耦合至所述反熔丝的所述相异导体。

12. 如权利要求1所述的集成电路,其特征在于,所述第一电极、所述反熔丝电介质、和/或所述第二电极中的至少一者具有平坦和/或矩形长方体形状中的至少一者。

13. 如权利要求1所述的集成电路,其特征在于,所述第一电极和所述电阻器由相同材

料制成。

14. 如权利要求1所述的集成电路,其特征在于,所述反熔丝电介质至少部分地位处与位于所述电阻器之下的电介质支承相同的水平平面中,所述反熔丝电介质和所述电介质支承由相同电介质材料制成。

15. 如权利要求1所述的集成电路,其特征在于,所述集成电路是一次性可编程 (OTP) 存储器单元。

16. 如权利要求1所述的集成电路,其特征在于,所述集成电路是多次可编程 (MTP) 存储器单元。

17. 如权利要求1所述的集成电路,其特征在于,所述集成电路被纳入到音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动电话、智能电话、个人数字助理、固定位置终端、平板电脑、和膝上型计算机中的至少一者中。

18. 一种制造集成电路的方法,所述方法包括:

提供基板;

在所述基板中形成包括源极区和漏极区中的至少一者的存取晶体管;

提供第一电极;

提供反熔丝电介质;

提供第二电极;

通过以下动作来形成反熔丝:

将所述第一电极的第一表面耦合至所述反熔丝电介质的第一表面,以及

将所述反熔丝电介质的第二表面耦合至所述第二电极的第一表面;以及

将相异导体中的一个相异导体耦合在所述第一电极的第二表面与通孔之间并且将相异导体中的一个相异导体耦合在所述第二电极的第二表面与所述存取晶体管的源极区和漏极区中的所述至少一者之间;

其中所述第一电极的第一电极宽度和所述第二电极的第二电极宽度各自大于所述相异导体的相异导体宽度,

其中所述方法进一步包括:

形成电阻器;以及

将所述第一电极至少部分地置于与所述集成电路的所述电阻器相同的水平平面中。

19. 如权利要求18所述的方法,其特征在于,进一步包括:

共享掩模来提供所述第一电极和电阻器,其中所述电阻器和所述第一电极由相同材料制成。

20. 如权利要求18所述的方法,其特征在于,所述反熔丝被适配成在大于或等于反熔丝电介质击穿电压的编程电压 V_{pp} 被施加在所述第一电极与所述第二电极之间的情况下从开路状态转换为闭路状态。

21. 如权利要求20所述的方法,其特征在于,所述编程电压 V_{pp} 等于所述集成电路的输入/输出 (I/O) 电压 $V_{I/O}$ 。

22. 如权利要求20所述的方法,其特征在于,所述存取晶体管进一步包括栅极、具有栅极电介质击穿电压的栅极电介质、和主体,所述方法进一步包括:

使所述栅极电介质介于所述栅极与所述主体之间,所述反熔丝电介质击穿电压小于所

述栅极电介质击穿电压。

23. 如权利要求22所述的方法,其特征在于,所述栅极电介质和所述反熔丝电介质由至少一种不同的电介质材料制成。

24. 如权利要求18所述的方法,其特征在于,进一步包括:

将所述反熔丝至少部分地置于所述存取晶体管的源极区和漏极区中的所述至少一者之上。

25. 如权利要求18所述的方法,其特征在于,进一步包括:

将所述反熔丝至少部分地置于与所述存取晶体管的源极区和漏极区中的所述至少一者相同的垂直平面中。

26. 如权利要求18所述的方法,其特征在于,所述相异导体中的每一个相异导体是金属源极/漏极触点,所述方法进一步包括:

将所述金属源极/漏极触点耦合至所述存取晶体管的源极区和漏极区中的所述至少一者。

27. 如权利要求18所述的方法,其特征在于,进一步包括:

将所述第二电极的所述第二表面电耦合至所述存取晶体管的源极区和漏极区中的所述至少一者。

28. 如权利要求18所述的方法,其特征在于,所述第一电极、所述反熔丝电介质、和/或所述第二电极中的至少一者具有平坦和/或矩形长方体形状中的至少一者。

29. 如权利要求18所述的方法,其特征在于,进一步包括:

使用相同材料来形成所述第一电极和所述电阻器。

30. 如权利要求18所述的方法,其特征在于,进一步包括:

在所述电阻器之下形成电介质支承;以及

将所述反熔丝电介质至少部分地置于与所述电介质支承相同的水平平面中,所述反熔丝电介质和所述电介质支承由相同电介质材料制成。

31. 如权利要求18所述的方法,其特征在于,所述集成电路是一次性可编程(OTP)存储器单元。

32. 一种集成电路,包括:

含源极区和漏极区中的至少一者的存取晶体管;

具有导体-绝缘体-导体结构的反熔丝,所述反熔丝包括第一导电装置、绝缘装置、以及第二导电装置,其中所述第一导电装置的第一表面耦合至所述绝缘装置的第一表面,所述绝缘装置的第二表面耦合至所述第二导电装置的第一表面;以及

具有第一部分和第二部分的第三导电装置,所述第一部分电耦合在所述第一导电装置的第二表面与通孔之间,并且所述第二部分电耦合在所述第二导电装置的第二表面与所述存取晶体管的源极区和漏极区中的所述至少一者之间;

其中所述第三导电装置的所述第一部分和所述第二部分不同于所述第二导电装置并且各自具有比所述第二导电装置的导电宽度小的导电宽度,其中所述第一导电装置至少部分地位于与所述集成电路的电阻器相同的水平平面中。

33. 如权利要求32所述的集成电路,其特征在于,所述反熔丝被适配成在大于或等于所述绝缘装置的击穿电压的编程电压 V_{pp} 被施加在所述第一导电装置与所述第二导电装置之

间的情况下从开路状态转换为闭路状态。

34. 如权利要求33所述的集成电路,其特征在于,所述编程电压 V_{pp} 等于所述集成电路的输入/输出(I/O)电压 $V_{I/O}$ 。

35. 如权利要求33所述的集成电路,其特征在于,所述存取晶体管进一步包括栅极、具有栅极电介质击穿电压的栅极电介质、和主体,所述栅极电介质介于所述栅极与所述主体之间,并且所述绝缘装置的击穿电压小于所述栅极电介质击穿电压。

36. 如权利要求35所述的集成电路,其特征在于,所述栅极电介质和所述绝缘装置由至少一种不同的电介质材料制成。

37. 如权利要求32所述的集成电路,其特征在于,所述反熔丝至少部分地置于所述存取晶体管的源极区和漏极区中的所述至少一者之上。

38. 如权利要求32所述的集成电路,其特征在于,所述第二导电装置是金属电极,并且所述第三导电装置是耦合至所述存取晶体管的源极区和漏极区中的所述至少一者的金属源极/漏极触点。

39. 如权利要求32所述的集成电路,其特征在于,所述存取晶体管的源极区和漏极区中的所述至少一者是漏极区并且所述反熔丝被至少部分地置于与所述漏极区相同的垂直平面中。

40. 如权利要求32所述的集成电路,其特征在于,所述第一导电装置、所述绝缘装置、和/或所述第二导电装置中的至少一者具有平坦和/或矩形长方体形状中的至少一者。

41. 如权利要求32所述的集成电路,其特征在于,所述第一导电装置和所述电阻器由相同材料制成。

以反熔丝为特征的集成电路器件及其制造方法

[0001] 优先权要求

[0002] 本专利申请要求于2012年6月29日提交的题为“Integrated Circuit Device Featuring an Anti-fuse (以反熔丝为特征的集成电路设备)”的美国临时专利申请No.61/666,649的优先权,其全部内容通过援引明确纳入于此。

背景技术

[0003] 领域

[0004] 各个特征涉及集成电路,并且更为具体地涉及用于以反熔丝为特征的改善型可编程存储器单元的方法和装置。

[0005] 背景

[0006] 集成电路是在被称为基板的共同基座上制造的电组件的互连网络。该基板通常是半导体材料(诸如硅)的晶片。各种制造技术,诸如、成层、掺杂、掩模和蚀刻被用于在晶片上构建数百万的电阻器、晶体管、和其它电组件。各组件随后被连线在一起或即互连以定义具体电路,诸如处理器或存储器设备。

[0007] 在集成电路中采用可熔元件以允许该集成电路的配置在制造后的变化。例如,可熔元件可被用于用冗余电路来代替缺陷电路。作为另一示例,可熔元件可被用于创建一次性可编程(OTP)或多次可编程(MTP)存储器电路。OTP存储器单元的个体存储器单元可被写入一次以创建不能被容易地改变和/或是安全的只读存储器模块。

[0008] 一种类型的可熔元件是金属熔丝。该金属熔丝包括合金或金属(诸如铜),如果足够量的电流流经该金属熔丝,则该合金或金属可以将其状态从导电的闭路状态改变为实质上非导电的开路状态。金属熔丝具有若干缺点。例如,编程该熔丝(即,熔断该熔丝以将其从闭路状态改变为开路状态)所需的电流是相对高的。生成这一电流消耗了相当大量的功率,特别是对于功耗是考虑因素的移动设备而言。此外,生成熔断金属熔丝所需的电流激励要求相对大的晶体管(即,具有大芯片面积的晶体管)。再者,具有金属熔丝的集成电路封装可要求专用电源引脚以处置用于编程该金属熔丝的高电流。另外,金属熔丝提供较差的安全性,因为在一些情形中,被熔断的熔丝可被光学地看到。同样,金属熔丝提供较差的可靠性并且在一些情形中可能要求串行编程。

[0009] 另一种类型的可熔元件是栅极电介质反熔丝。反熔丝包括由绝缘体或电介质分开并且被制造成开路的两个导电端子。反熔丝是通过跨其端子施加高电压以击穿绝缘体并在端子之间形成电路路径来被编程的。用于可编程存储器单元的典型的现有技术电介质反熔丝要求高电压以将反熔丝的状态从开路状态改变为闭路状态。导致状态改变所需的电压使用电荷泵来生成。然而,电荷泵消耗集成电路的相当大量的有源芯片面积,该有源芯片面积本可另行被用于其它有源组件,诸如存储器单元。

[0010] 因此,存在对于以不会遭受以上结合金属熔丝和栅极电介质熔丝描述的缺点影响的可熔元件为特征的集成电路(诸如OTP和MTP存储器单元)的需要。

[0011] 概述

[0012] 一个特征提供了包括含至少一个源极/漏极区的存取晶体管、以及具有导体-绝缘体-导体结构的反熔丝的集成电路。该反熔丝包括第一导体、反熔丝电介质、和第二导体,其中第一导体是第一电极,其中第一电极的第一表面耦合至反熔丝电介质的第一表面,反熔丝电介质的第二表面耦合至第二导体的第一表面,并且第二导体电耦合至该存取晶体管的源极/漏极区。根据一个方面,该反熔丝被适配成在大于或等于反熔丝电介质击穿电压的编程电压 V_{pp} 被施加在第一电极与第二导体之间的情况下从开路状态转换为闭路状态。根据另一方面,编程电压 V_{pp} 大约等于集成电路的输入/输出(I/O)电压 $V_{I/O}$ 。根据又一方面,该反熔丝电介质具有厚度 t ,并且增大 t 就增大了反熔丝电介质击穿电压。根据又一方面,该存取晶体管进一步包括栅极端子、具有栅极电介质击穿电压的栅极电介质、和主体,其中栅极电介质介于栅极与主体之间,并且反熔丝电介质击穿电压小于栅极电介质击穿电压。

[0013] 根据一个方面,栅极电介质和反熔丝电介质是由至少一种不同的电介质材料制成的。根据另一方面,反熔丝被至少部分地置于源极/漏极区之上。根据又一方面,反熔丝被至少部分地置于与源极/漏极区相同的垂直平面中。根据又一方面,第二导体是耦合至源极/漏极区的金属源极/漏极触点。

[0014] 根据一个方面,第二导体是具有电耦合至源极/漏极区的第二表面的第二电极。根据另一方面,反熔丝电介质的第一表面面向反熔丝电介质的第二表面的相反方向。根据又一方面,第一电极、反熔丝电介质、和/或第二导体中的至少一者具有基本上平坦和/或矩形长方体形状中的至少一者。根据又一方面,第一电极至少部分地位于与集成电路的电阻器相同的水平平面中。

[0015] 根据一个方面,第一电极和该电阻器由相同材料制成。根据另一方面,反熔丝电介质至少部分地位处与位于该电阻器之下的电介质支承相同的水平平面中,其中反熔丝电介质和该电介质支承由相同电介质材料制成。根据又一方面,该集成电路是一次性可编程(OTP)存储器单元。根据又一方面,该集成电路是多次可编程(MTP)存储器单元。根据又一方面,该集成电路被纳入音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、和/或膝上型计算机中的至少一者中。

[0016] 另一特征提供了一种制造集成电路的方法,其中该方法包括提供基板,在该基板中形成包括至少一个源极/漏极区的存取晶体管,提供第一导体以形成第一电极,提供反熔丝电介质,提供第二导体,通过将第一电极的第一表面耦合至反熔丝电介质的第一表面并将反熔丝电介质的第二表面耦合至第二导体的第一表面来形成反熔丝,以及将第二导体电耦合至该存取晶体管的源极/漏极区。根据一个方面,该方法进一步包括共享掩模来提供第一电极和电阻器,其中该电阻器和第一电极由相同材料制成。根据另一方面,该存取晶体管进一步包括栅极端子、具有栅极电介质击穿电压的栅极电介质、和主体,并且该方法进一步包括使栅极电介质介于栅极与主体之间,其中反熔丝电介质击穿电压小于栅极电介质击穿电压。根据又一方面,该方法进一步包括至少部分地将该反熔丝置于源极/漏极区之上。

[0017] 根据一个方面,该方法进一步包括至少部分地将该反熔丝置于与源极/漏极区相同的垂直平面中。根据另一方面,第二导体是金属源极/漏极触点,并且该方法进一步包括将该金属源极/漏极触点耦合至源极/漏极区。根据又一方面,第二导体形成具有第二表面的第二电极,并且该方法进一步包括将第二电极的第二表面电耦合至源极/漏极区。根据又

一方面,该方法进一步包括形成电阻器,并且至少部分地将第一电极置于与集成电路的电阻器相同的水平平面中。

[0018] 根据一个方面,该方法进一步包括使用相同材料来形成第一电极和该电阻器。根据另一方面,该方法进一步包括在该电阻器之下形成电介质支承,并至少部分地将反熔丝电介质置于与该电介质支承相同的水平平面中,该反熔丝电介质和电介质支承由相同电介质材料制成。

[0019] 另一特征提供了一种集成电路,其包括:含至少一个源极/漏极区的存取晶体管和具有导体-绝缘体-导体结构的反熔丝,该反熔丝包括第一导电装置、绝缘装置、以及第二导电装置,其中第一导电装置的第一表面耦合至该绝缘装置的第一表面,该绝缘装置的第二表面耦合至第二导电装置的第一表面,并且第二导电装置电耦合至该存取晶体管的源极/漏极区。根据一个方面,该反熔丝被适配成在大于或等于该绝缘装置的击穿电压的编程电压 V_{pp} 被施加在第一导电装置与第二导电装置之间的情况下从开路状态转换为闭路状态。根据另一方面,该存取晶体管进一步包括栅极端子、具有栅极电介质击穿电压的栅极电介质、和主体,其中栅极电介质介于栅极与主体之间,并且该绝缘装置的击穿电压小于栅极电介质击穿电压。根据又一方面,栅极电介质和该绝缘装置由至少一种不同的电介质材料制成。

[0020] 根据一个方面,第二导电装置是耦合至源极/漏极区的金属源极/漏极触点。根据另一方面,第一导电装置是第一电极,并且第二导电装置是第二电极,第二电极的第一表面耦合至该绝缘装置的第二表面而第二表面电耦合至源极/漏极区。根据又一方面,第一导电装置、绝缘装置、和/或第二导电装置中的至少一者具有基本上平坦和/或矩形长方体形状中的至少一者。根据又一方面,第一导电装置至少部分位于与集成电路的电阻器相同的水平平面中,第一导电装置和电阻器由相同材料制成。

[0021] 附图简述

[0022] 图1解说了以反熔丝为特征的集成电路可编程存储器单元的横截面示意图。

[0023] 图2解说了定位成毗邻可编程存储器单元的集成电路电阻器的横截面示意图。

[0024] 图3解说了以反熔丝为特征的集成电路可编程存储器单元的横截面示意图。

[0025] 图4和5解说了以位于源极触点之上的反熔丝为特征的集成电路可编程存储器单元的横截面示意图。

[0026] 图6解说了源极/漏极互连、顶部电极、反熔丝电介质、和源极/漏极触点彼此分开以更好地解说这些组件的各个表面。

[0027] 图7解说了源极/漏极互连、顶部电极、反熔丝电介质、底部电极、和源极/漏极触点彼此分开以更好地解说这些组件的各个表面。

[0028] 图8和9解说了可编程存储器单元阵列的示意图。

[0029] 图10、11、12和13解说了以反熔丝为特征的IC可编程存储器单元的横截面示意图。

[0030] 图14和15解说了可编程存储器单元阵列的示意图。

[0031] 图16解说了用于制造集成电路的方法。

[0032] 图17解说了可包括集成电路的各种电子设备。

[0033] 图18解说了集成电路的示意图。

[0034] 详细描述

[0035] 在以下描述中,给出了具体细节以提供对本公开的各方面的透彻理解。但是,本领

域普通技术人员将理解,没有这些具体细节也可实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免使本公开的这些方面不明朗。

[0036] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实现或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。术语“电耦合”在本文中被用于指两个对象之间的、允许电流流动发生于这两个对象之间的直接或间接耦合。例如,如果对象B是允许电流从对象A流向对象C和/或从对象C流向对象A的导体,则若对象A物理地接触对象B,且对象B物理地接触对象C,则对象A和C可仍被认为是彼此电耦合的,即便它们并非彼此直接物理地接触。

[0037] 根据本公开的各方面,术语晶片和基板在本文可被用于包括具有藉以形成集成电路(IC)的暴露表面的任何结构。术语基板被理解为包括半导体晶片。术语基板还被用于指制造期间的半导体结构,并且可包括已经在其上制造了的其它层。术语基板包括掺杂和未掺杂半导体、由基半导体支承的外延半导体层、或由绝缘体支承的半导体层、以及本领域技术人员熟知的其它半导体结构。术语绝缘体被定义为包括比一般被本领域技术人员称为导体的材料导电性低的任何材料。术语“水平”被定义为基本上平行于晶片或基板的常规平面或表面的平面,无论该晶片或基板的朝向如何。术语“垂直”指基本上垂直于如上所定义的水平方向。当关于本文描述的集成电路使用时,介词,诸如“之上”、“之下”、“在……上”、“上部”、“侧”、“更高”、“更低”、“上方”、和“下方”是关于在晶片或基板的顶表面上的常规平面或表面来定义的,无论该晶片或基板的朝向如何。介词“之上”、“之下”、“在……上”、“上部”、“侧”、“更高”、“更低”、“上方”、“下方”由此是关于“水平”和“垂直”来定义的。

[0038] 术语“源极”和“漏极”一般指场效应晶体管的端子或扩散区。当场效应晶体管在工作时,端子或扩散区在其被施加的电压的基础上可被更具体地描述为“源极”或“漏极”。p型电导率是与半导体材料中的空穴相关联的电导率,而n型电导率是与半导体材料中的电子相关联的电导率。

[0039] 图1解说了根据一个方面的以反熔丝102为特征的集成电路可编程存储器单元100的横截面示意图。可编程存储器单元100可以是例如一次性可编程(OTP)存储器单元。在本公开的其它方面,存储器单元100可以是多次可编程(MTP)存储器单元,诸如电阻性随机存取存储器(RRAM或ReRAM)。

[0040] 存储器单元100包括在半导体基板104上形成的场效应晶体管101。晶体管101包括源极106端子、漏极108端子、和栅极110端子。基板104充当晶体管101的主体并且可以是例如,p型半导体。在一个方面,基板104可以实际上是另一半导体基板内的p型井。源极106和漏极108可以是p型基板主体104内的n型半导体区,而栅极110可包括导体(诸如金属)。通过彼此相对地控制施加给源极106、漏极108、栅极110和主体104的电压,通过晶体管101的电流(即,源极106和漏极108之间的电流)也得以控制。例如,超过晶体管101的阈值电压(V_{th})的栅极-源极电压(V_{gs})导致在主体104与处于栅极110之下的栅极电介质116之间的界面处形成反型层(未示出),其允许电流在源极106与漏极108之间流动。尽管所解说的示例示出n型沟道晶体管(例如NMOS),但本文提出的相同概念等同地应用于p型沟道晶体管(例如PMOS),其中电压和电流极性在合适情况下被修改。

[0041] 如图1中所解说的,导电欧姆源极触点112电耦合至源极106,而另一导电欧姆漏极触点114电耦合至漏极108。触点112、114可包括金属,诸如钨或钨合金。栅极电介质116位于导电金属栅极110和基板主体104之间。栅极电介质116可以是但不限于二氧化硅或高K电介质材料,诸如硅酸钪、硅酸锆、和/或二氧化钪。栅极110可以在其诸侧具有一个或多个分隔件118。绝缘层120(诸如氮化硅)可以覆盖源极106、漏极108和栅极110。

[0042] 源极触点112可电耦合至源极互连122,源极互连122进而可通过垂直互连通路(通孔)124电耦合至第一金属迹线126。根据一个方面,第一金属迹线126可与第一金属层ML1相关联并且可电耦合至接地(V_{ss})。

[0043] 与该晶体管的在源极触点112与第一金属迹线126之间具有导电路径的源极106形成对比的是,该晶体管的漏极108在漏极触点114与第二金属迹线128之间不一定有低电阻导电路径。相反,使反熔丝102介于第二金属迹线128与漏极触点114之间的路径中,该反熔丝102可以处于“开路”非导电状态或处于“闭路”导电状态。根据一个方面,第二金属迹线128与第一金属层ML1相关联并且电耦合至存储器位线(BL)。根据所示的示例,第二金属迹线128电耦合至通孔130,通孔130进而电耦合至漏极互连132。

[0044] 在所解说的示例中,反熔丝102位于漏极触点114与漏极互连132之间。然而,在其它示例中,反熔丝102可以位于漏极互连132与通孔130之间,或者通孔130与第二金属128之间。根据一个方面,不论反熔丝102位于漏极触点114与漏极互连132之间、漏极互连132与通孔130之间还是通孔130与第二金属迹线128之间,反熔丝102皆可被放置成一般在晶体管101的漏极108之上(或者在该晶体管的源极106之上,参见附图4和5)。即,反熔丝102的至少一部分可放置在漏极108之上的区域或空间中,图1示出了其示例。根据一个方面,反熔丝102至少部分地置于与漏极区108相同的垂直平面中,如图1中所示。

[0045] 栅极110可电耦合至与第二金属层ML2相关联的第三金属迹线129,第三金属迹线129进而电耦合至字线(WL)。可以存在将栅极110电耦合至与第一金属层ML1相关联的迹线188的通孔131和/或互连133。迹线188可进而通过通孔189电耦合至第三迹线188。金属迹线126、128、129、188、互连122、132、133、通孔124、130、131、189和反熔丝102可全被装入到绝缘材料(未示出)中。

[0046] 反熔丝102包括反熔丝电介质136。反熔丝102还可包括电耦合至反熔丝电介质136的顶侧的导电顶部电极134(例如,“第一电极”)。根据一个方面,反熔丝102还包括电耦合至电介质136的底侧的导电底部元件。根据一个示例,导电底部元件可包括源极触点112或漏极触点114。根据其它示例,导电底部元件可包括源极互连122、通孔124、漏极互连132、和通孔130。以这一方式,反熔丝102具有导体-绝缘体-导体(例如,金属-绝缘体-金属)结构,其中第一电极134是第一导体,反熔丝电介质136是绝缘体,而底部导体(诸如源极或漏极触点112、114)是第二导体。

[0047] 反熔丝102可以处于“开路状态”或“闭路状态”。在反熔丝102处于开路状态之时,反熔丝电介质136充当开路绝缘体并防止电流在漏极互连132与漏极触点114之间流动,并且因此防止电流流经晶体管101的源极/漏极端子106、108。在反熔丝102处于闭路状态之时,反熔丝电介质136基本上像导体那样运作以允许电流流经漏极互连132和漏极触点114,并且因此允许电流流经晶体管101的源极/漏极端子106、108。

[0048] 为了将反熔丝102的状态从开路状态改变为闭路状态,跨反熔丝电介质136(例如,

在顶部电极134与漏极触点114之间)施加足够高的电压,致使反熔丝电介质136击穿并创建导电路径。取决于所选择的电介质材料136的类型,所创建的导电路径可基本上是永久的或暂时的。例如,如果期望存储器单元100是OTP存储器单元,则所选择的电介质136可以是在被击穿时所创建的导电路径是永久的类型。可被用于OTP目的的此类电介质的示例包括但不限于氮化硅(SiN)、二氧化硅(SiO₂)、氧化铪(HfO)等。因此,OTP存储器单元可通过跨反熔丝102施加足够高的电压以创建永久导电路径来被“编程”。

[0049] 与之形成对比的是,如果期望存储器单元100是MTP存储器单元,则用于反熔丝电介质136的特定电介质可以是在已经被击穿以创建导电路径后能被复位成非导电的绝缘状态的类型。此类电介质的示例包括但不限于氧化钽(TiO)、氧化铪(HfO)等。因此,MTP存储器单元可通过跨反熔丝102施加不同的电压来被复位或“重新编程”。

[0050] 选取的反熔丝电介质136的类型和厚度 t 直接影响击穿电介质136并因此将反熔丝102从开路状态改变为闭路状态所需的电压(其后称为 V_{BD})。例如,随着厚度 t 减少,为将电介质136的状态从开路改变为闭路所需的跨该电介质136的电压就越少,即, V_{BD} 减小。随着厚度 t 增加,将反熔丝电介质136的状态从开路改变为闭路所需的跨该反熔丝电介质136的电压就越多,即, V_{BD} 增大。值得注意的是,反熔丝电介质136的厚度和类型可被选择成使得 V_{BD} 实质上等于供应给存储器单元100所驻留的集成电路的输入/输出(I/O)电压 $V_{I/O}$ 。因此,反熔丝102可以被编程为使用该IC的I/O电压而非要求需要实质资源(诸如芯片面积和功率)的专用电荷泵。

[0051] 反熔丝102中使用的电介质136可不同于用于将金属栅极110与基板主体104分开的栅极电介质116的绝缘材料。栅极电介质116可具有显著高于反熔丝电介质136的 V_{BD} 的 V_{BD} 。因此,在包含存储器单元的IC的制造期间,具有相对较大的 V_{BD} (例如,大于IC的I/O电压 $V_{I/O}$ 的1.5倍)的一种类型的电介质材料可被用于创建栅极电介质116而具有较低的 V_{BD} (例如,稍微小于该IC的I/O电压但大于 V_{DD})的另一种类型的电介质材料可被用于创建反熔丝102的电介质136。根据一个示例,反熔丝电介质136的 V_{BD} 和IC的I/O电压 $V_{I/O}$ 大约为1.8V,而IC的标称电源电压 V_{DD} 大约为1.2V。在此种情形中,栅极电介质116的 V_{BD} 可以是例如大于2V。

[0052] 当然,反熔丝102的 V_{BD} 、栅极电介质116的 V_{BD} 、 $V_{I/O}$ 和 V_{DD} 的值范围可取决于IC的应用和比例缩放而有相当大的变动。例如,IC的I/O电压 $V_{I/O}$ 可在0.4V到10.0V的范围,而标称电源电压 V_{DD} 可具有相应较低的范围,例如,0.25V到8.0V。相应地,反熔丝102的 V_{BD} 可以小于 $V_{I/O}$ 但大于 V_{DD} (例如,它可在从0.26V到9.99V的范围),并且栅极电介质116的 V_{BD} 可以大于 $V_{I/O}$ (例如,大于0.40V)。

[0053] 图2解说了根据一个方面的定位成毗邻以上描述的可编程存储器单元100的集成电路电阻器202的横截面示意图。电阻器202的一端可被电耦合至互连206,而电阻器202的另一端可被电耦合至另一互连208。电阻器202可被沉积在电介质支承204的顶上。

[0054] 在所解说的示例中,电阻器202包括与用于反熔丝102的顶部电极134的相同的材料。以这一方式,使用仅用于顶部电极134的不同材料的分开沉积是不必要的。类似地,电介质支承204包括与用于反熔丝102的反熔丝电介质136的相同的材料。因此,在IC的制造期间,负责创建反熔丝102的反熔丝电介质136和顶部电极134的掩模可被同时用于创建电介质支承204和电阻器202。以这一方式,制造成本可通过减少创建反熔丝102和电阻器202两者所需的掩模数量而得以最小化。根据一个方面,电阻器202和顶部电极134可由氮化钽

(TiN)制成。根据其它方面,顶部电极134和电阻器202可由任何其它导电材料制成。

[0055] 图3解说了根据一个方面的以反熔丝302为特征的集成电路可编程存储器单元300的横截面示意图。存储器单元300与图1和2中所示的存储器单元100除以下区别外是相同的:图3的存储器单元300以还具有底部电极304(例如,“第二电极”)的反熔丝302为特征。以这一方式,反熔丝电介质136的底表面被电耦合至导电底部电极304,而反熔丝电介质136的顶表面被电耦合至导电顶部电极134。使反熔丝电介质136介于两个电极134、304之间可以允许反熔丝电介质136的底表面和顶表面处有改善的电接触,由此允许在跨反熔丝电介质136施加适当 V_{BD} 的情况下实现对反熔丝电介质136的更为可靠和可预测的击穿。因此,反熔丝302具有导体-绝缘体-导体(例如,金属-绝缘体-金属)结构,其中第一电极134是第一导体,反熔丝电介质136是绝缘体,而第二电极304是第二导体。

[0056] 在所解说的示例中,反熔丝302位于漏极触点114与漏极互连132之间。然而,在其它示例中,反熔丝302可以位于漏极互连132与通孔130之间,或者通孔130与第二金属迹线128之间。根据一个方面,不论反熔丝302位于漏极触点114与漏极互连132之间、漏极互连132与通孔130之间还是通孔130与第二金属迹线128之间,反熔丝302皆可被放置成一般在晶体管101的漏极108之上。即,反熔丝302的至少一部分可被放置在漏极108之上的区域或空间中,图3示出了其示例。根据一个方面,反熔丝302被至少部分地置于与源极/漏极区相同的垂直平面中,如图3中所示。

[0057] 图3中还解说了电阻器202定位成毗邻存储器单元300。在这一示例中,电介质支承204沉积在导电层306的顶上。导电层306和底部电极304两者可以由相同材料制成。在IC的制造期间,负责创建反熔丝302的底部电极304、电介质136和顶部电极134的掩模可同时被用于创建导电层306、电介质支承204和电阻器202。以这一方式,制造成本可通过减少创建反熔丝302和电阻器202两者所需的掩模数量而得以最小化。根据一个方面,底部电极304和导电层306两者可由氮化钽(TiN)制成。根据其它方面,可以使用其它导电材料。

[0058] 在以上关于图1-3描述的本公开的各方面中,反熔丝102、302并不限于被置于漏极触点114之上/上方。相反,反熔丝102、302可类似地置于源极触点112之上/上方,而在操作上无显著差异。

[0059] 图4和5解说了根据一个方面的以分别位于源极触点112上方的反熔丝102、302为特征的集成电路可编程存储器单元400、500的横截面示意图。在所解说的示例中,反熔丝102、302位于源极触点112与源极互连122之间。然而,在其它示例中,反熔丝102、302可以位于源极互连122与通孔124之间,或者通孔124与第一金属迹线126之间。根据一个方面,不论反熔丝102、302位于源极触点112与源极互连122之间、源极互连122与通孔124之间还是通孔124与第一金属迹线126之间,反熔丝102、302皆可被放置成一般在晶体管101的源极106之上。即,反熔丝102、302的至少一部分可被放置在源极106之上的区域或空间中,图4和5示出了其示例。根据一个方面,反熔丝102、302被至少部分地置于与源极区106相同的垂直平面中,如图4和5中所示。

[0060] 图6解说了源极/漏极互连122、132(例如,来自图4的源极互连122或来自图1和2的漏极互连132)、顶部电极134、反熔丝电介质136、和源极/漏极触点112、114(例如,来自图4的源极触点112或来自图1和2的漏极触点114),其彼此分开以更好地解说这些组件的各个表面。顶部电极134(例如,“第一电极”或“第一导体”)具有可耦合至反熔丝电介质136的顶

表面604(例如,“第一表面”)的底表面602(例如,“第一表面”)。顶部电极134可以还以耦合至导电元件(诸如源极/漏极互连122、132)的底表面608(例如,“第一表面”)的顶表面606(例如,“第二表面”)为特征。反熔丝电介质136还可具有耦合至第二导体(诸如源极/漏极触点112、114)的顶表面612(例如,“第一表面”)的底表面610(例如,“第二表面”)。根据一个方面,顶部电极134用作第一导电装置,反熔丝电介质指第一绝缘装置,而源极/漏极触点112、114用作第二导电装置。

[0061] 图7解说了源极/漏极互连122、132(例如,来自图5的源极互连122或来自图3的漏极互连132)、顶部电极134、反熔丝电介质136、底部电极304、和源极/漏极触点112、114(例如,来自图5的源极触点112或来自图3的漏极触点114)彼此分开以更好地解说这些组件的各个表面。在这一示例中,反熔丝电介质136的底表面610耦合至底部电极304(例如,“第二导体”)的顶表面702(例如,“第一表面”)。底部电极304的底表面704(例如,“第二表面”)可进而耦合至导体(诸如源极/漏极触点112、114)的顶表面612。根据一个方面,第二电极304用作第二导电装置。

[0062] 图8和9解说了根据本公开的一个方面的可编程存储器单元阵列800的示意图。阵列800包括具有本文所描述的反熔丝的多个可编程存储器单元802、804、806、808。存储器单元802、804、806、808的“读”和“写”操作由施加到其相应位线(BL)和字线(WL)的电压来控制。存储器单元802、804、806、808可各自是关于图1-5描述的存储器单元100、300、400、500中的任一个。存储器单元802、804、806、808各自包括存取晶体管810、820、830、840和反熔丝812、822、832、842。存取晶体管810、820、830、840可以是例如n沟道场效应晶体管。存取晶体管810、820、830、840可以与图1-5中所示的晶体管101相同并且因此包括源极106、漏极108、栅极110、和主体104。反熔丝812、822、832、842可以是如图1-5中所示的反熔丝102、302中的任一个。根据一个方面,存储器单元802、804、806、808可以是OTP存储器单元,其中反熔丝812、822、832、842仅可以将其状态从开路状态改变为闭路状态一次。

[0063] 参照图8,存储器单元802正经历写操作(即,其正被编程)。为了写该存储器单元802的值(例如,将逻辑状态从“0”改变为“1”或从“1”改变为“0”),存取晶体管810和反熔丝812的各端子处的各个电压必须被恰当设置。晶体管810的栅极处的电压由字线WL2来控制,而反熔丝812的一侧816(例如,图1-5中的顶部电极134)处的电压由位线BL2来控制。例如,如图8中所示,值可通过以下方式写入:将存取晶体管的源极814电耦合至接地参考电压 V_{ss} ,将WL2和晶体管810的栅极设为标称电源电压 V_{dd} ,并将BL2和反熔丝的端子816(例如,图1-5中的顶部电极134)设为编程电压 V_{pp} 。注意,标称电源电压 V_{dd} 大于晶体管810的阈值电压 V_{TH} 。根据本公开的一个方面, $V_{pp} > V_{dd}$,并且 V_{pp} 可以等于存储器单元阵列800所驻留的IC的I/O电压。此外, V_{pp} 大于反熔丝812的击穿电压 V_{BD} 。仅作为一个示例, V_{pp} 可以大约为1.8V而 V_{dd} 可以大约为1.2V。

[0064] 假设存取晶体管810的主体端子接地,则向存取晶体管810的栅极施加电压 V_{dd} 导致存取晶体管810激活并变为导电(即,在栅极之下形成反型层,从而使源极与漏极之间的大量电流成为可能)。将位线BL2电压增大至 V_{pp} 致使反熔丝812从开路状态转换为闭路状态(即,反熔丝812内的反熔丝电介质136材料击穿),因为跨反熔丝812的电压超过了反熔丝812的电介质的击穿电压 V_{BD} 。如果随后向位线BL2施加正电压并且存取晶体管810的栅极电压超过 V_{TH} ,则跨反熔丝812的所得导电路径使电流流经位线BL2和存取晶体管810(如由弯曲

的虚箭头所指示)成为可能。

[0065] 当存储器单元802正经历写操作(即,编程操作)时,包括存取晶体管820和反熔丝822的存储器单元804本质上非活跃并且没有显著电流流经存取晶体管820。因为晶体管820的栅极耦合至 V_{ss} ,所以晶体管820为非活跃并且没有显著电流(即,除了忽略不计的漏泄电流)会流经晶体管820。类似地,包括晶体管830和反熔丝832的存储器单元806也是非活跃并且没有显著电流流经晶体管830。尽管晶体管830的栅极电压是 V_{dd} ,但没有电流流经存取晶体管830,因为存取晶体管830的源极和漏极两者都接地。类似地,包括晶体管840和反熔丝842的存储器单元808也是非活跃的,因为晶体管840的栅极、漏极和源极接地,并且因此没有电流流经晶体管840。

[0066] 参照图9,存储器单元802正经历“读”操作。为了从存储器单元802读取值(例如,读取逻辑状态“0”或“1”),晶体管810和反熔丝812的各端子处的各个电压必须被恰当设置。例如,如图9中所示,这可包括将晶体管的源极814设为 V_{ss} ,并将晶体管810的栅极和反熔丝的端子816设为 V_{dd} 。向晶体管810的栅极施加电压 V_{dd} 导致晶体管810激活并变为导电(即,在栅极之下形成反型层,从而使源极与漏极之间的电流成为可能)。将位线BL2电压增大至 V_{dd} 可以致使电流取决于反熔丝812的状态而流经反熔丝812和晶体管810。例如,如果反熔丝812处于开路状态(例如,其尚未被编程),则将没有显著电流流经位线BL2,这可代表第一逻辑状态,诸如“0”。如果反熔丝812处于导电闭路状态(例如,其已经被编程/写入),则显著量的电流将流经(如由弯曲的虚箭头所指示)位线BL2,这可代表第二逻辑状态,诸如“1”。

[0067] 当存储器单元802正经历读操作时,存储器单元804、806和808可为非活跃,因为其相关联的存取晶体管820、830、840的栅极电压不会超过 V_{Th} 和/或其源极与漏极之间的电压差分可忽略不计。

[0068] 以这一方式,将位线电压设为 V_{pp} 可允许对存储器单元802、804、806、808进行编程,而将位线电压设为 V_{dd} 可允许读取存储器单元802、804、806、808。因此,存储器单元802、804、806、808可以使用IC的I/O电压来编程并使用小于I/O电压的标称电源电压(诸如标称电源电压)来读取。

[0069] 根据另一方面,存储器单元802、804、806、808可以是MTP存储器单元,其中在反熔丝812、822、832、842内使用的反熔丝电介质被设计成基于跨该反熔丝电介质施加的电压多次形成和断开导电路径的情况下,反熔丝812、822、832、842可以多次将其状态从开路状态改变为闭路状态并且再返回开路状态。在此种情形中,存储器单元802、804、806、808可通过向晶体管810、820、830、840和反熔丝812、822、832、842的端子施加恰当电压来重新编程(即,重写)。例如,存储器单元802可通过向晶体管810的栅极施加电压 V_{dd} 、向存取晶体管的源极814施加 V_{pp} 、以及向BL2施加 V_{ss} 被重新编程为开路状态。

[0070] 图10和11解说了根据一个方面的分别以反熔丝102、302为特征的IC可编程存储器单元1000、1100的横截面示意图。存储器单元1000与图1和2中示出的存储器单元100除以下区别外是相同的:第一金属迹线126电耦合至位线而与第三金属层ML3相关联的第二金属迹线1028电耦合至选择线(XL)。第三金属层ML3的第二金属1028可通过一系列迹线1088、1078和通孔1030、1089电耦合至通孔130。存储器单元1100与图3中示出的存储器单元300除以下区别外是相同的:第一金属迹线126电耦合至位线,而与第三金属层ML3相关联的第二金属迹线1028电耦合至选择线(XL)。第三金属层ML3的第三金属迹线1028可通过一系列迹线

1088、1078和通孔1030、1089电耦合至通孔130。

[0071] 在图10和11中所示的存储器单元100、300的示例中,反熔丝102、302位于第一源极/漏极区108之上。然而,与图4和5中所示的存储器单元400、500类似,图10和11的存储器单元1000、1100的反熔丝102、302可被放置成使得它们在第二源极/漏极区106之上。图12和13解说了根据一个方面的分别以位于第二源极/漏极区106之上的反熔丝102、302为特征的IC可编程存储器单元1200、1300的横截面示意图。尽管如本文所述,元件106、112、122和124可与晶体管101的“源极”相关联,并且元件108、114、132和130可与晶体管101的“漏极”相关联,但取决于施加给晶体管101的源极/漏极端子106、108的电压的极性,这些元件可与实际源极或漏极相关联。

[0072] 图14和15解说了根据本公开的另一方面的可编程存储器单元阵列1400的示意图。阵列1400包括具有本文所描述的反熔丝的多个可编程存储器单元1402、1404、1406、1408。存储器单元1402、1404、1406、1408的“读”和“写”操作由施加给其相应位线(BL)、字线(WL)和选择线(XL)的电压来控制。存储器单元1402、1404、1406、1408可各自是关于图10-13描述的存储器单元1000、1100、1200、1300中的任一个。存储器单元1402、1404、1406、1408各自包括存取晶体管1410、1420、1430、1440和反熔丝1412、1422、1432、1442。存取晶体管1410、1420、1430、1440可以是例如n沟道场效应晶体管。存取晶体管1410、1420、1430、1440可以与图10-13中所示的晶体管101相同并且因此包括源极106、漏极108、栅极110、和主体104。反熔丝1412、1422、1432、1442可以是如图10-13中所示的反熔丝102、302中的任一个。根据一个方面,存储器单元1402、1404、1406、1408可以是OTP存储器单元,其中反熔丝1412、1422、1432、1442仅可以将其状态从开路状态改变为闭路状态一次。

[0073] 参照图14,存储器单元1402正经历写操作(即,其正被编程)。为了写该存储器单元1402的值(例如,将逻辑状态从“0”改变为“1”或从“1”改变为“0”),存取晶体管1410和反熔丝1412的各端子处的各个电压必须被恰当设置。晶体管的源极1416处的电压由位线BL2来控制,晶体管1410的栅极处的电压由字线WL1来控制,而反熔丝1412的一侧1414(例如,图10-13中的顶部电极134)处的电压由选择线XL1来控制。

[0074] 例如,如图14中所示,值可通过以下方式写入:将晶体管的源极1416电耦合至接地参考电压 V_{ss} ,将晶体管1410的栅极设为标称电源电压 V_{dd} ,并将反熔丝的端子1414(例如,图10-13中的顶部电极134)设为编程电压 V_{pp} 。注意,标称电源电压 V_{dd} 大于晶体管1410的阈值电压 V_{TH} 。根据本公开的一个方面, $V_{pp} > V_{dd}$,并且 V_{pp} 可以等于存储器单元阵列1400所驻留的IC的I/O电压。此外, V_{pp} 大于反熔丝1412的击穿电压 V_{BD} 。仅作为一个示例, V_{pp} 可以大约为1.8V而 V_{dd} 可以大约为1.2V。

[0075] 假设晶体管1410的主体端子接地(即,在栅极之下形成反型层,从而使源极与漏极之间的显著电流成为可能),则向晶体管1410的栅极施加电压 V_{dd} 导致晶体管1410激活并变为导电。将选择线XL1电压增大至 V_{pp} 致使反熔丝1412从开路状态转换为闭路状态(即,反熔丝1412内的电介质材料击穿),因为跨反熔丝1412的电压 V_{pp} 超过反熔丝1412的反熔丝电介质的击穿电压 V_{BD} 。如果BL2电压小于XL1电压并且晶体管1410的栅极电压超过 V_{TH} ,则跨反熔丝1412的所得导电路径使电流流经XL1、BL2和晶体管1410(如由弯曲的虚箭头所指示)成为可能。

[0076] 当存储器单元1402正经历写操作(即,编程操作)时,包括晶体管1420和反熔丝

1422的存储器单元1404本质上不活跃并且没有显著电流流经晶体管1420,因为晶体管1420的栅极、漏极和源极接地。类似地,包括晶体管1430和反熔丝1432的存储器单元1406也是非活跃并且没有显著电流流经晶体管1430。尽管晶体管1430的栅极电压是在 V_{dd} ,但没有电流流经晶体管1430,因为源极和漏极两者都接地。类似地,包括晶体管1440和反熔丝1442的存储器单元1408也是非活跃的。因为晶体管1440的栅极耦合至 V_{ss} ,所以晶体管1440为非活跃并且没有显著电流(即,除了忽略不计的漏泄电流)会流经晶体管(即,从源极到漏极)1440。

[0077] 参照图15,存储器单元1402正经历“读”操作。为了从存储器单元1402读取值(例如,读取逻辑状态“0”或“1”),晶体管1410和反熔丝1412的各端子处的各个电压必须被恰当设置。例如,如图15中所示,这可包括将反熔丝的端子1414(例如,图10-13中的顶部电极134)设为 V_{ss} ,并将晶体管1410的栅极和漏极1416设为 V_{dd} 。(注意,因为在这一示例中,BL2具有大于XL1的电压,所以节点1416现在是漏极而晶体管1410的另一侧是源极。)将电压 V_{dd} 施加给晶体管1410的栅极致使晶体管1410激活并变为导电。将BL2电压增大至 V_{dd} 可以致使电流取决于反熔丝1412的状态而流经反熔丝1412和晶体管1410。例如,如果反熔丝1412处于开路状态(例如,其尚未被编程),则没有显著电流将流经BL2和XL1,这可代表第一逻辑状态,诸如“0”。如果反熔丝1412处于导电闭路状态(例如,其已经被编程/写入),则显著的电流将流经(如由弯曲的虚箭头所指示)BL2和XL1,这可代表第二逻辑状态,诸如“1”。

[0078] 当存储器单元1402正经历读操作时,存储器单元1404、1406和1408可为非活跃,因为其相关联的晶体管1420、1430、1440的栅极电压不会超过 V_{TH} 和/或其源极与漏极之间的电压差分可忽略不计。以这一方式,将选择线电压设为 V_{pp} 并将位线电压设为 V_{ss} 可允许对存储器单元1402、1404、1406、1408进行编程,而将选择线电压设为 V_{ss} 并将位线电压设为 V_{dd} 可允许读取存储器单元1402、1404、1406、1408。

[0079] 根据另一方面,存储器单元1402、1404、1406、1408可以是MTP存储器单元,其中在反熔丝1412、1422、1432、1442内使用的电介质被设计成基于跨该电介质施加的电压多次形成和断开导电路径的情况下,反熔丝1412、1422、1432、1442可以多次将其状态从开路状态改变为闭路状态并且再回到开路状态。在此种情形中,存储器单元1402、1404、1406、1408可通过向晶体管1410、1420、1430、1440和反熔丝1412、1422、1432、1442的端子施加恰当电压来被重新编程(即,重写)。例如,存储器单元1402可通过向晶体管1410的栅极施加电压 V_{dd} 、向XL1施加电压 V_{ss} 、以及向BL2施加电压 V_{pp} 被重新编程为开路状态。此外,BL1、BL3和BL4将必须被设为 V_{ss} 以停用阵列1400内的其它存储器单元以防止无意编程。

[0080] 根据一个方面,第一电极134、反熔丝电介质136、和/或第二电极304可以是平坦的,如图1-7和10-13中所示。根据另一方面,第一电极134、反熔丝电介质136、和/或第二电极304可以具有基本上矩形长方体的形状。

[0081] 图16解说了根据一个方面的制造集成电路的方法1600。在步骤1602,该方法包括提供基板。在步骤1604,该方法进一步包括在基板中形成包括至少一个源极/漏极区的存取晶体管。在步骤1606,该方法进一步包括提供第一导体以形成第一电极。在步骤1608,该方法进一步包括提供反熔丝电介质。在步骤1610,该方法进一步包括提供第二导体。在步骤1612,该方法进一步包括通过将第一电极的第一表面耦合至反熔丝电介质的第一表面并将反熔丝电介质的第二表面耦合至第二导体的第一表面来形成反熔丝。在步骤1614,该方法进一步包括将第二导体电耦合至存取晶体管的源极/漏极区。

[0082] 图17解说了根据一个方面的可包括集成电路1700的各种电子设备。集成电路1700可以是关于图1、2、3、4、5、6、7、8、9、10、11、12、13、14、15和/或16描述的集成电路存储器单元100、300、400、500、1000、1100、1200、1300和/或存储器单元阵列800、1400中的任一者。例如,移动电话1702、膝上型计算机1704以及固定位置终端1706可包括集成电路1700。图17中所解说的设备1702、1704、1706仅是示例性的。其它电子设备也可以集成电路1700为其特征,此类电子设备包括但不限于手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理)、有GPS能力的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单位(诸如仪表读数装备)、或存储或检索数据或计算机指令的任何其它设备,或者其任何组合。

[0083] 图18解说了根据本公开的一个方面的集成电路1800的示意图。IC 1800可包括含多个存储器单元1804的存储器单元阵列1802。存储器单元阵列1802可以是本文描述的存储器单元阵列800、1400中的任一个。存储器单元1804可以是本文描述的OTP或MTP存储器单元100、300、400、500、1000、1100、1200、1300中的任一个。可从外部向IC 1800供应I/O电压 $V_{I/O}$,该I/O电压 $V_{I/O}$ 可由IC的电压转换器电路1806用于生成小于 $V_{I/O}$ 的标称电源电压 V_{dd} 。 $V_{I/O}$ 和 V_{dd} 两者可被供应给存储器单元阵列1802,如图所示。在其它方面,可从外部向IC 1800供应 $V_{I/O}$ 和 V_{dd} 两者,并且因此IC 1800无需使用电压转换器电路1806来片上地生成 V_{dd} 。IC 1800可以具有一个或多个输入/输出(I/O)信号线 I/O_1 、 I/O_2 。

[0084] 图1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17和/或18中解说的组件、步骤、特征和/或功能之中的一个或多个可以被重新编排和/或组合成单个组件、步骤、特征或功能,或实施在数个组件、步骤、或功能中。也可添加额外的元件、组件、步骤、和/或功能而不会脱离本发明。

[0085] 还应注意,本公开的各方面可作为被描绘为流程图、流图、结构图、或框图的过程来描述。尽管流程图可能会把诸操作描述为顺序过程,但是这些操作中有许多能够并行或并发地执行。另外,这些操作的次序可以被重新安排。过程在其操作完成时终止。过程可对应于方法、函数、规程、子例程、子程序等。当过程对应于函数时,它的终止对应于该函数返回调用方函数或主函数。

[0086] 本文所述的本发明的各种特征可实现于不同系统中而不脱离本发明。应注意,本公开的以上各方面仅是示例,且不应被解释成限定本发明。对本公开的各方面的描述旨在是解说性的,而非限定所附权利要求的范围。由此,本发明的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。

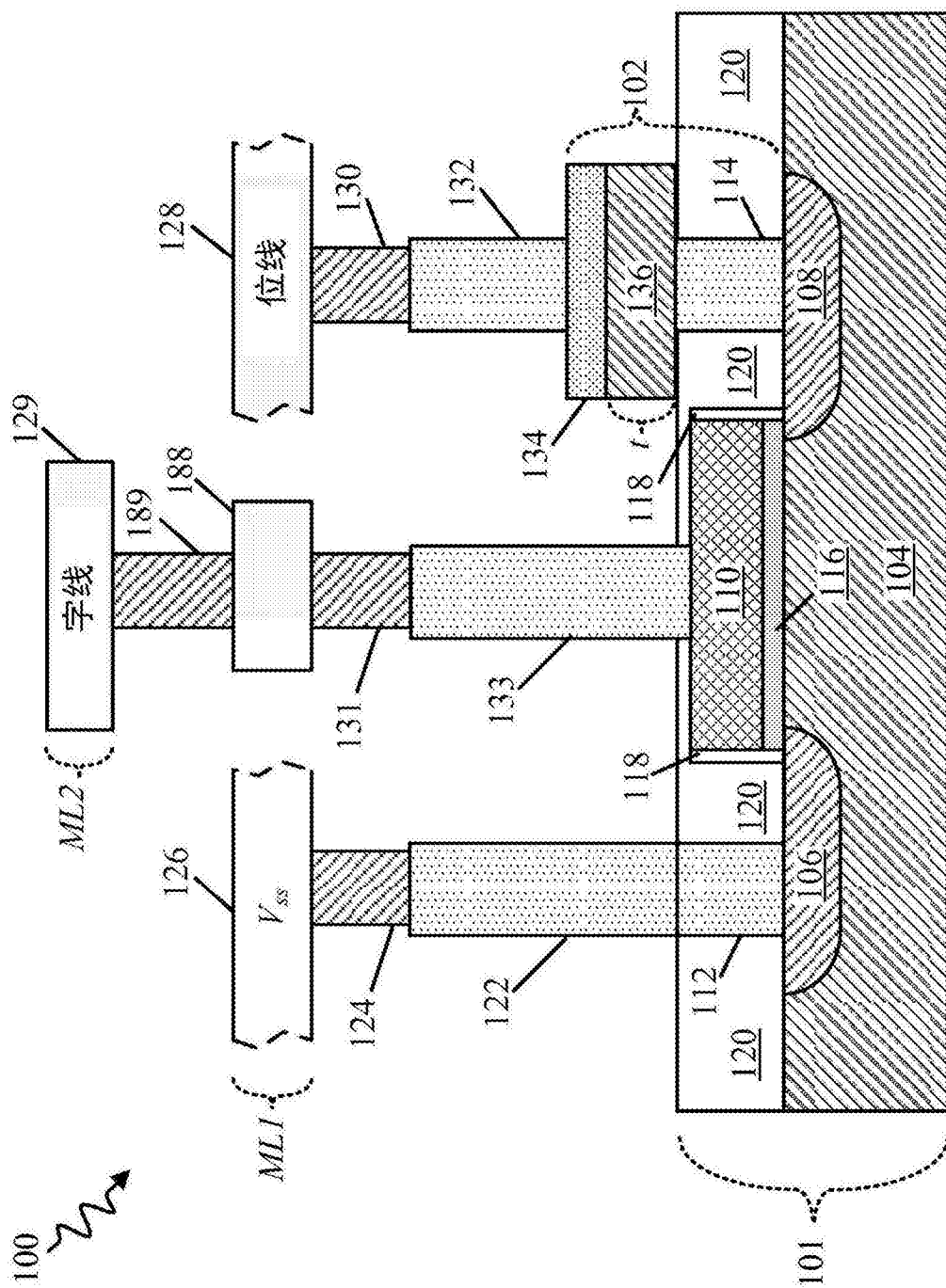


图1

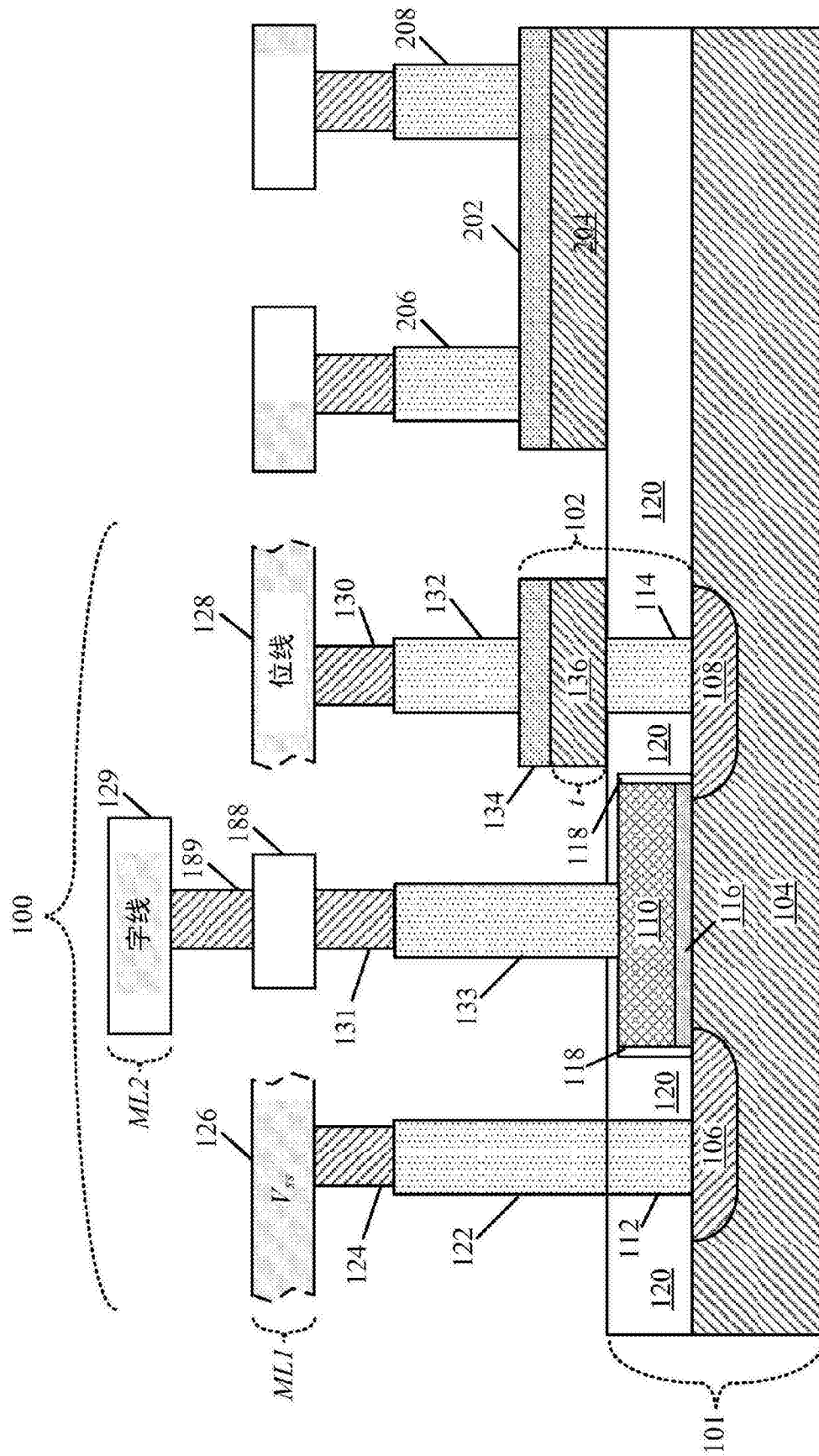


图2

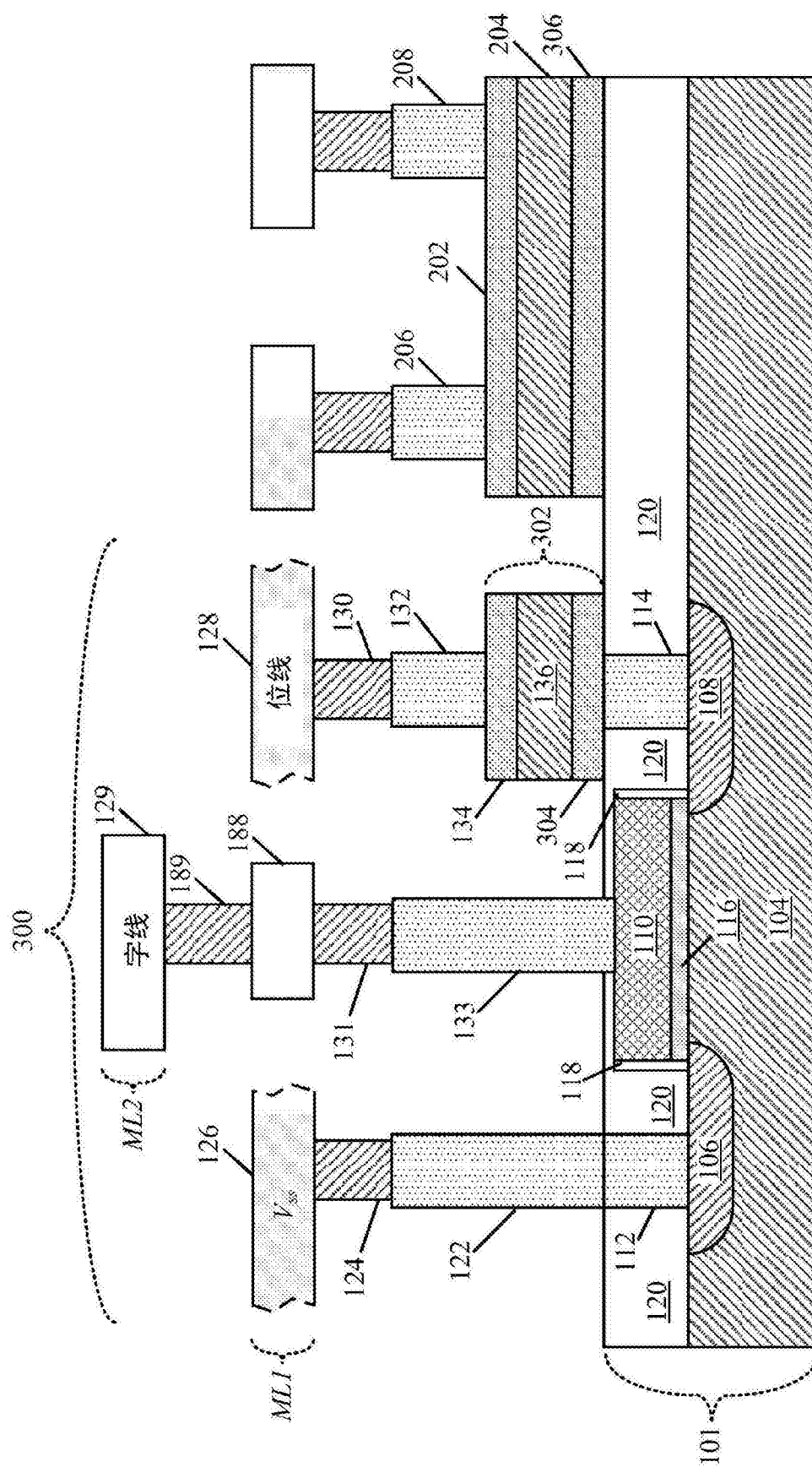


图3

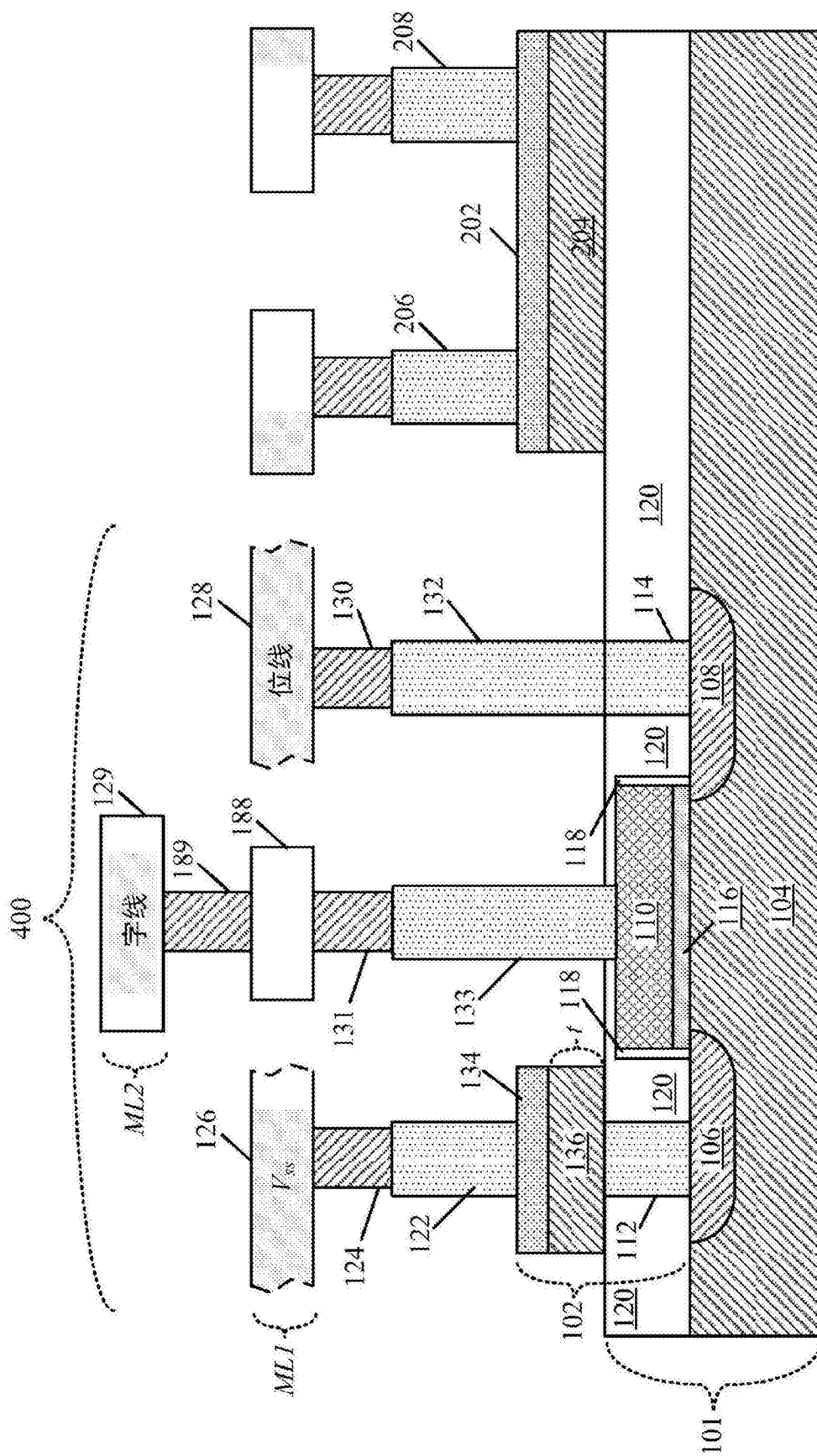


图4

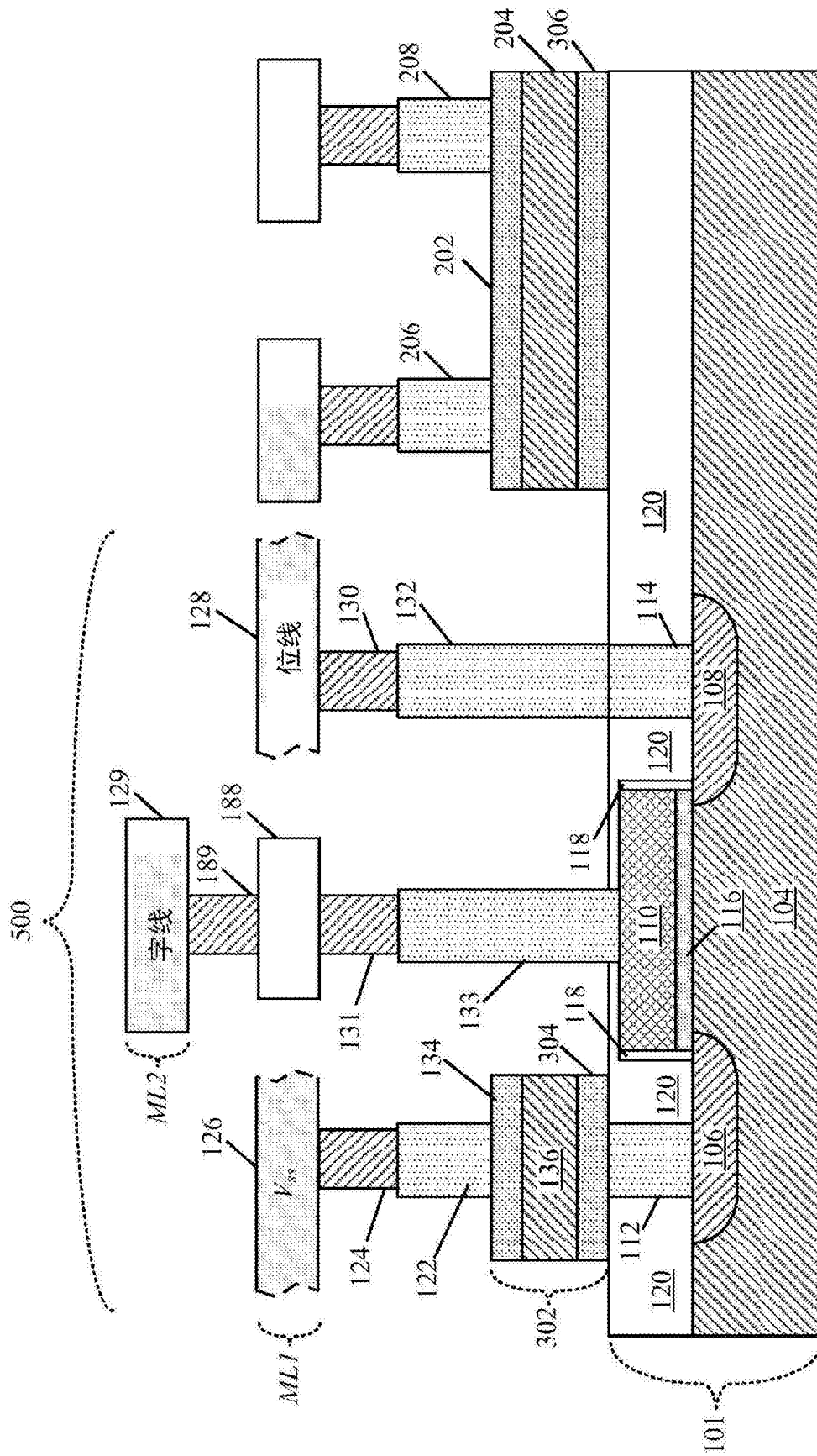


图5

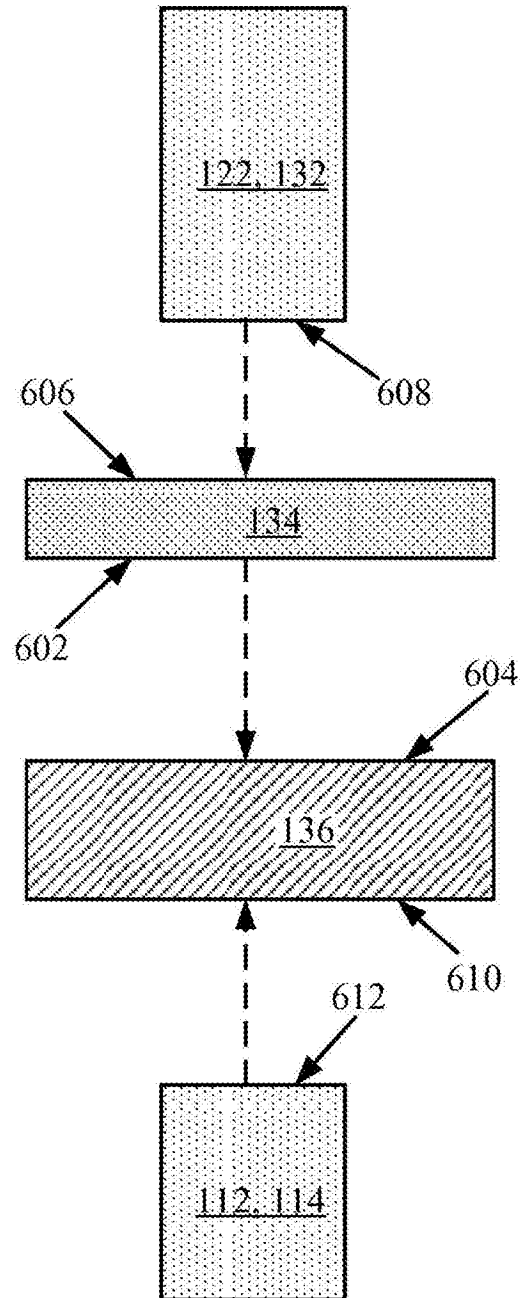


图6

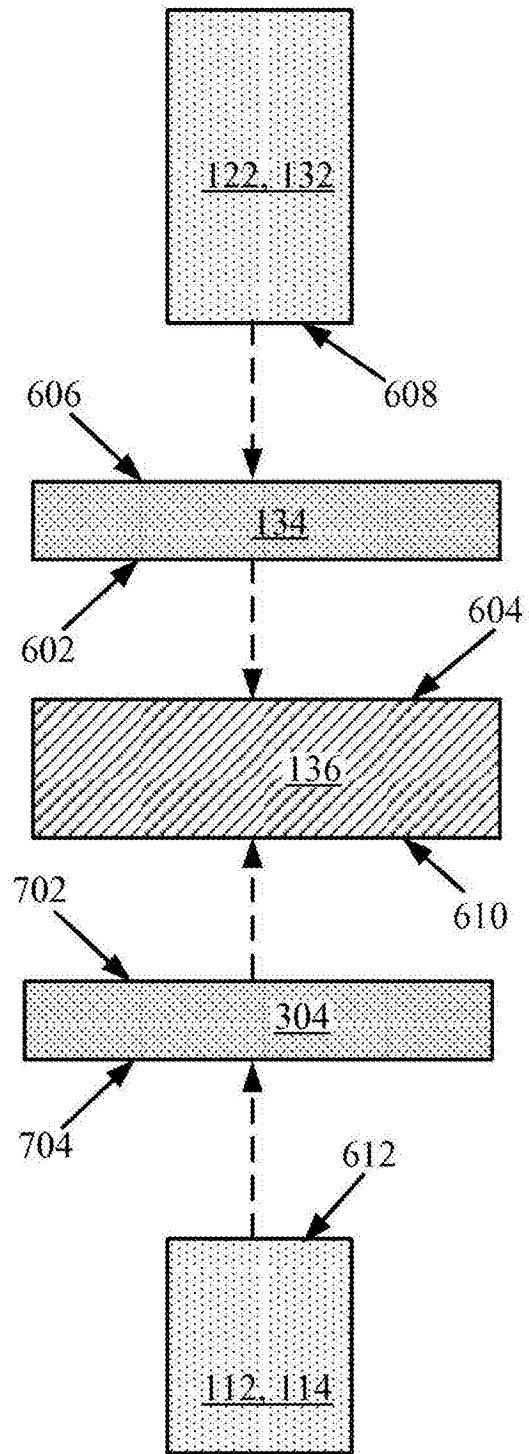


图7

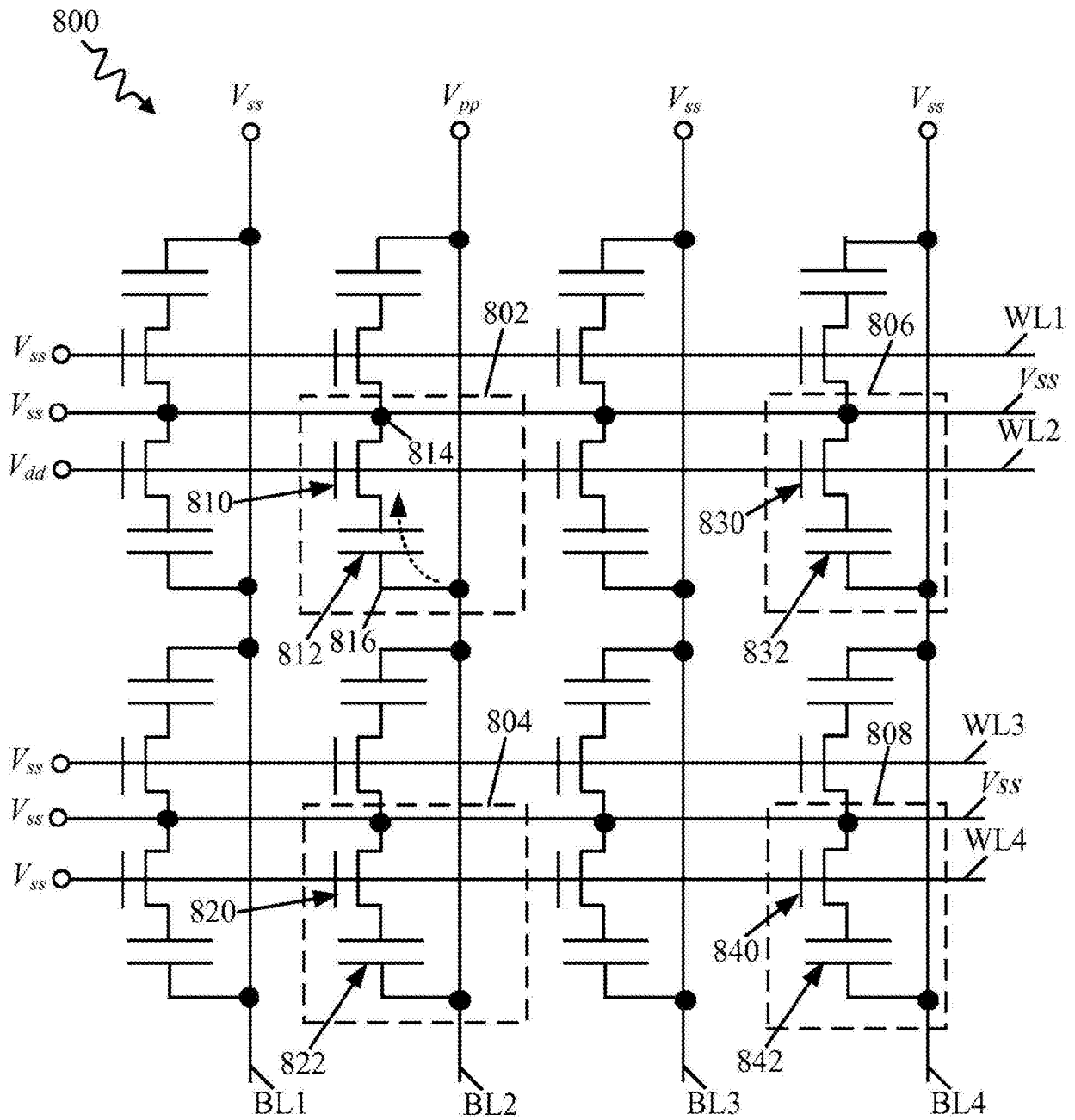


图8

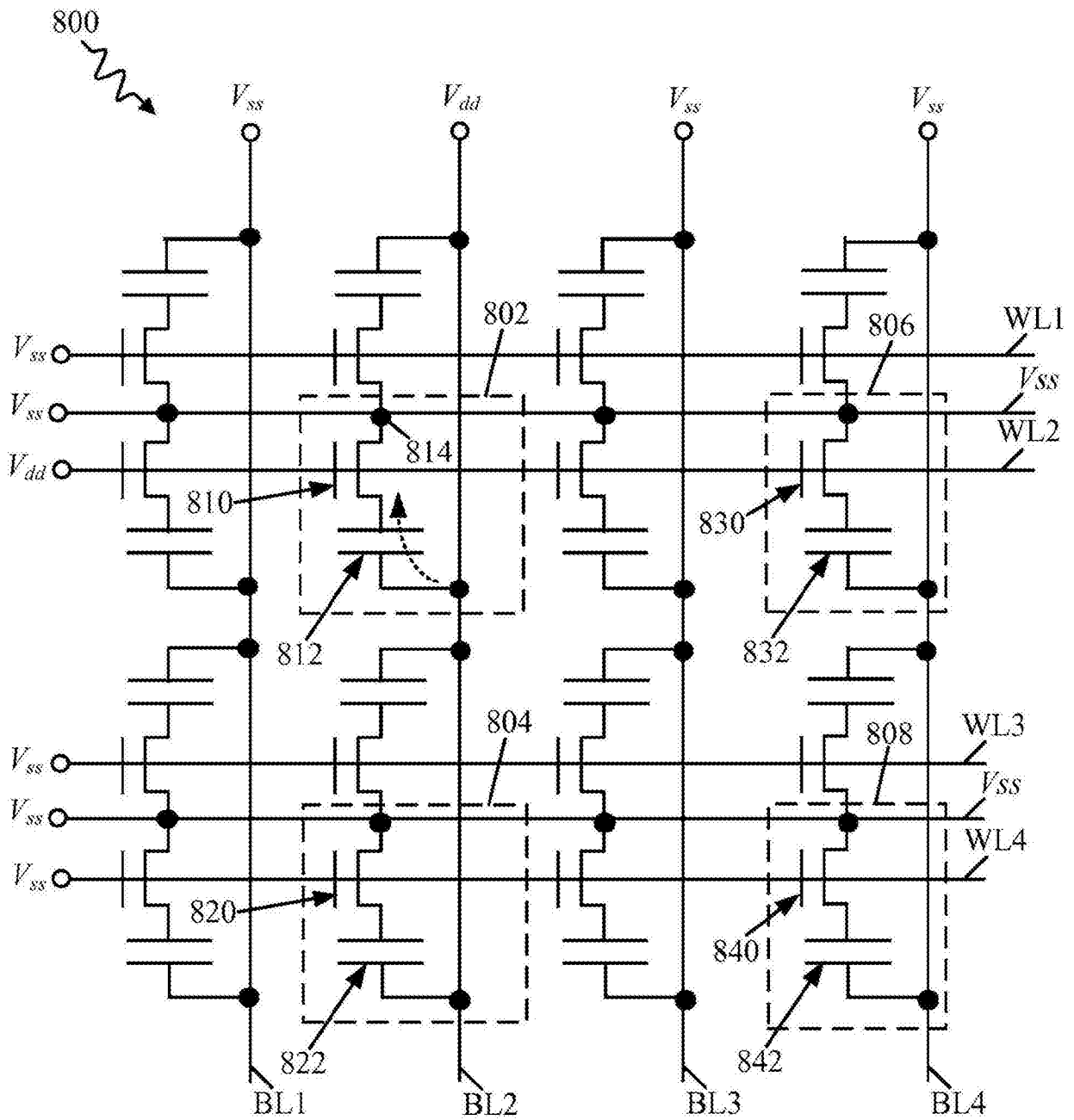


图9

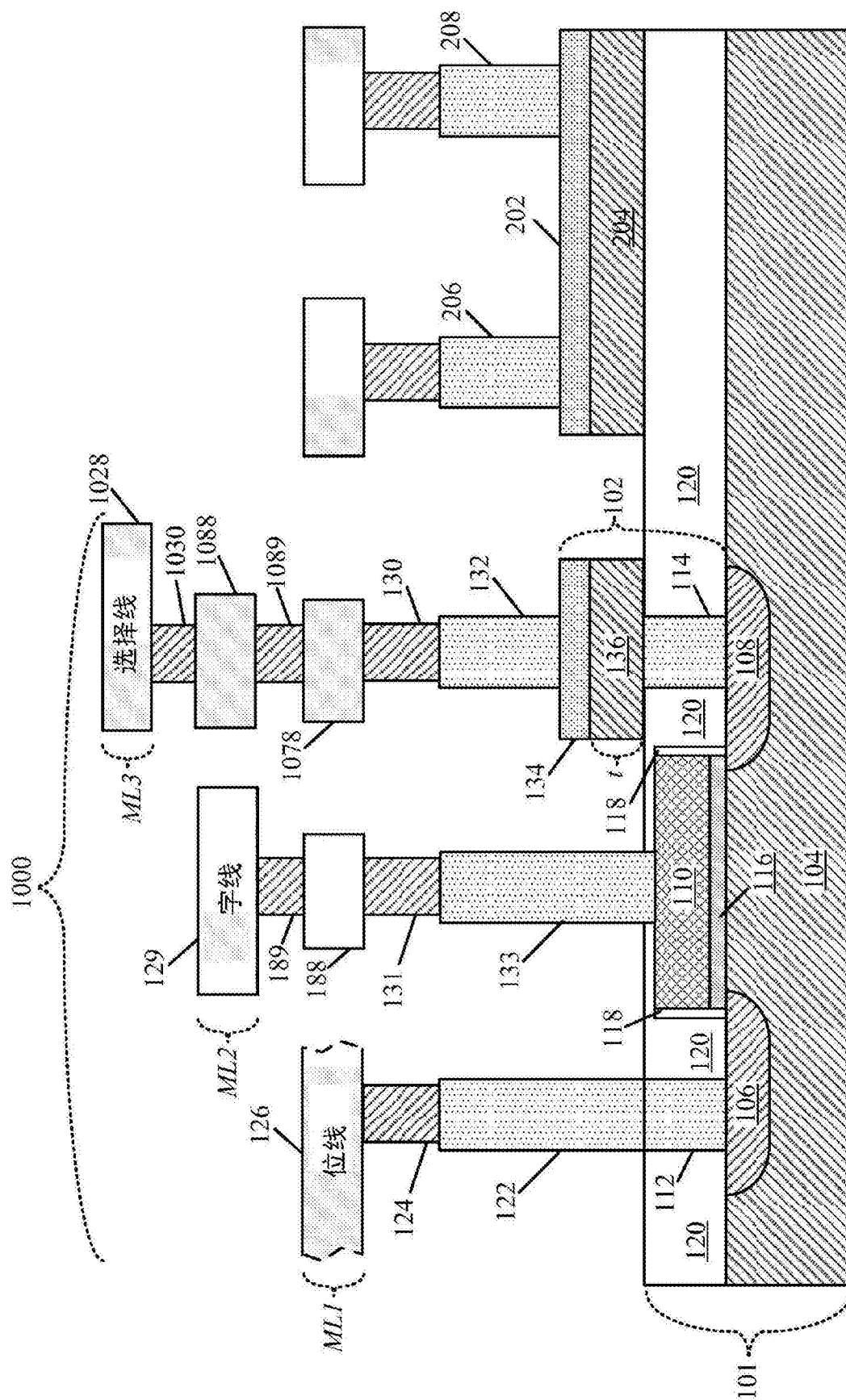


图10

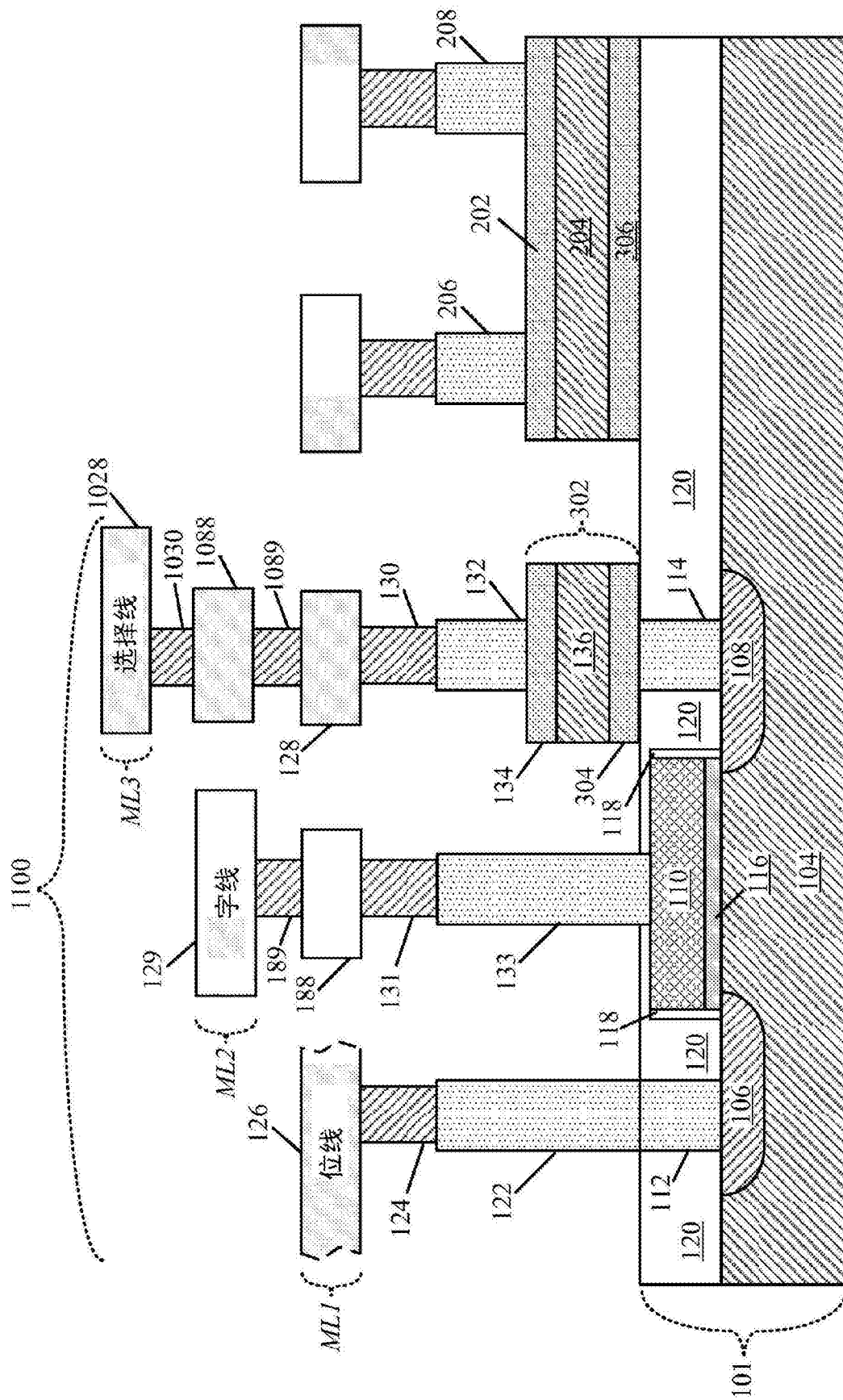


图11

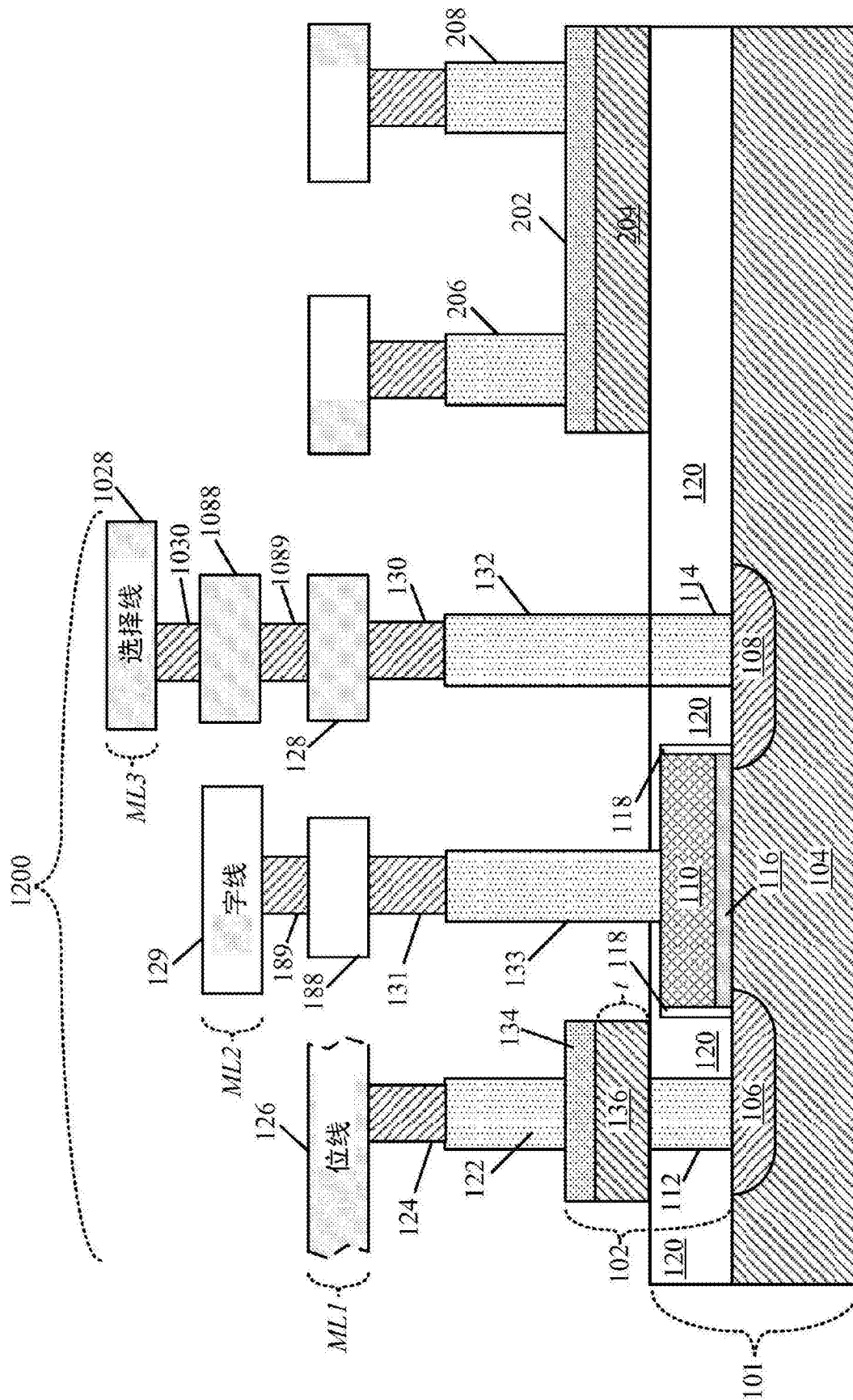


图12

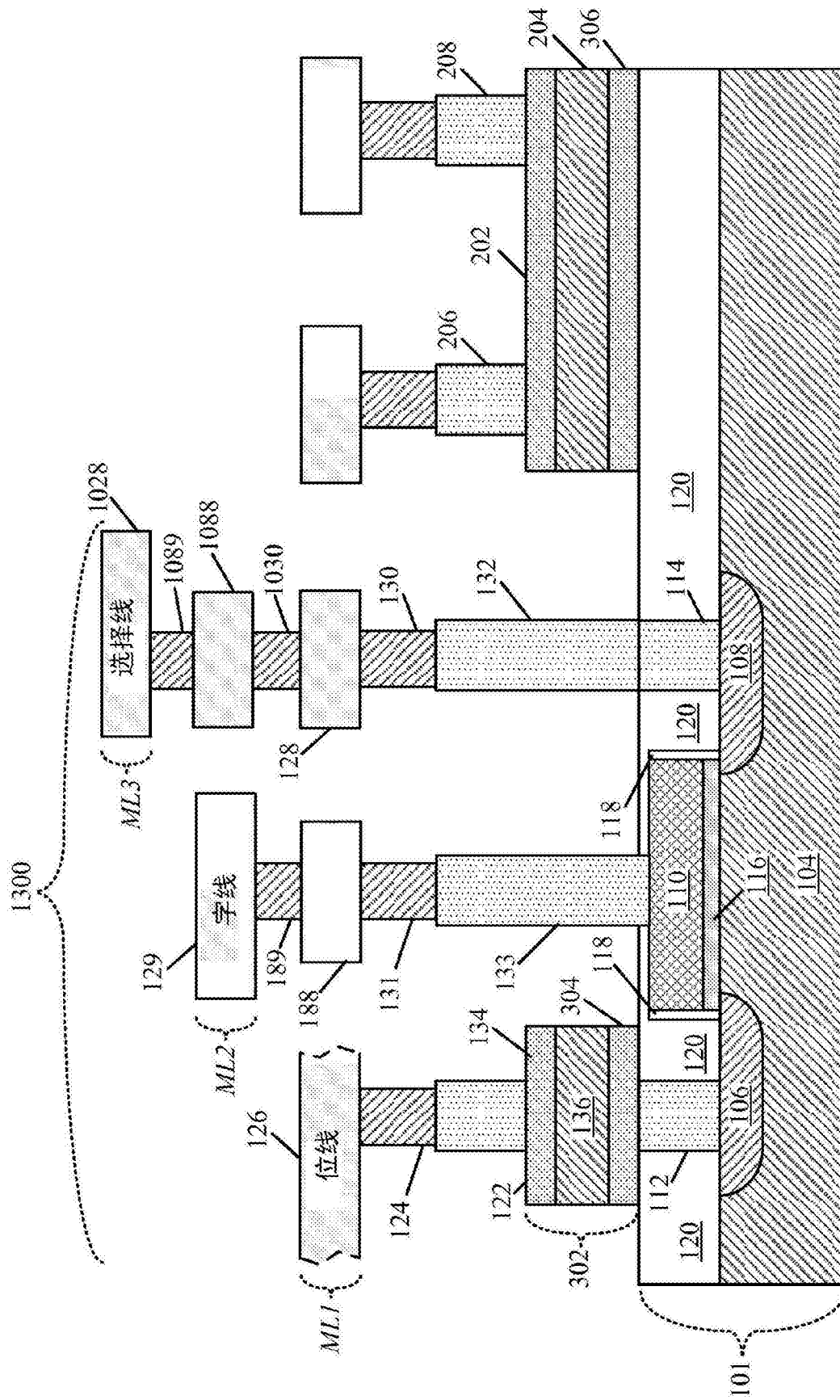


图13

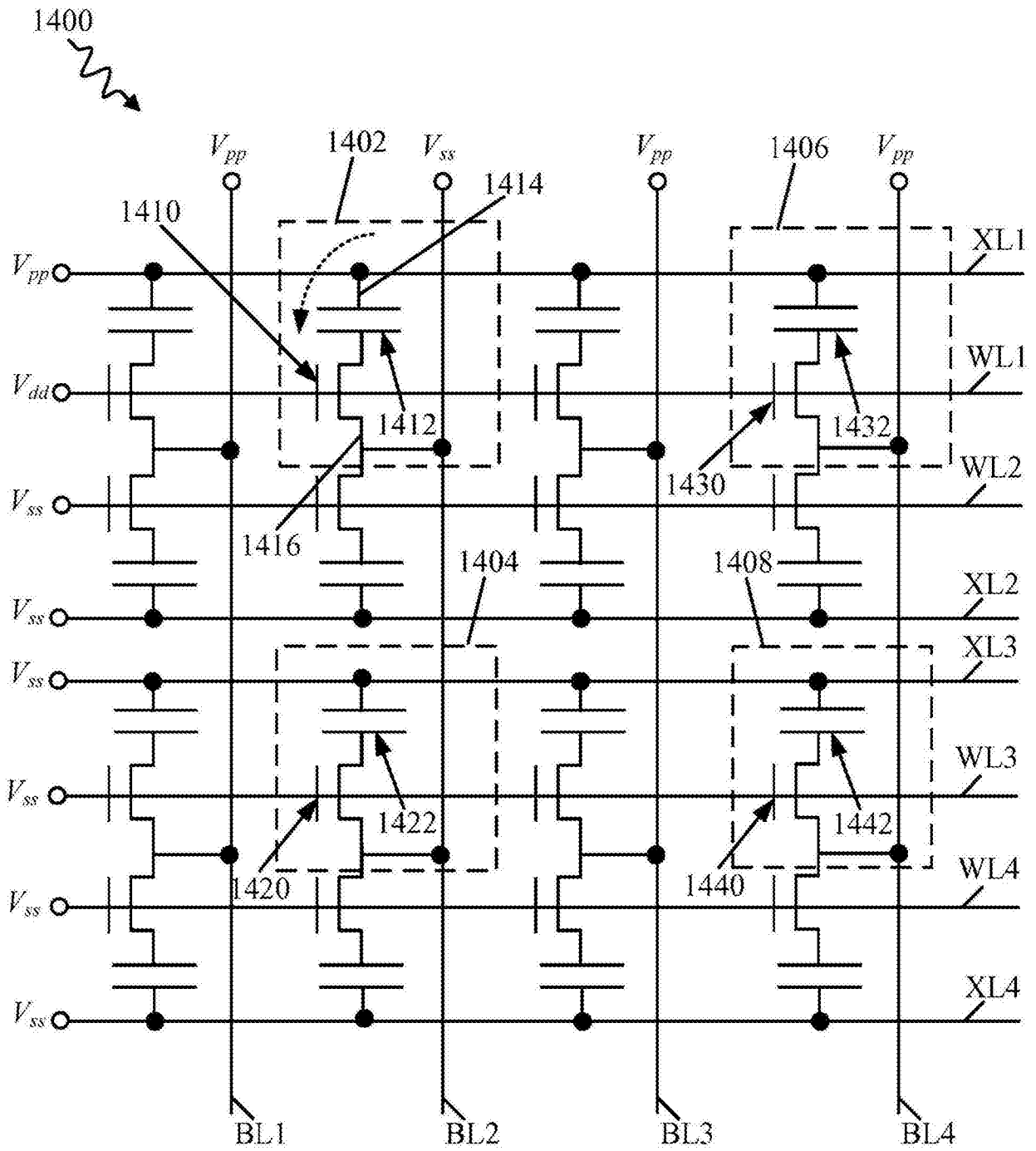


图14

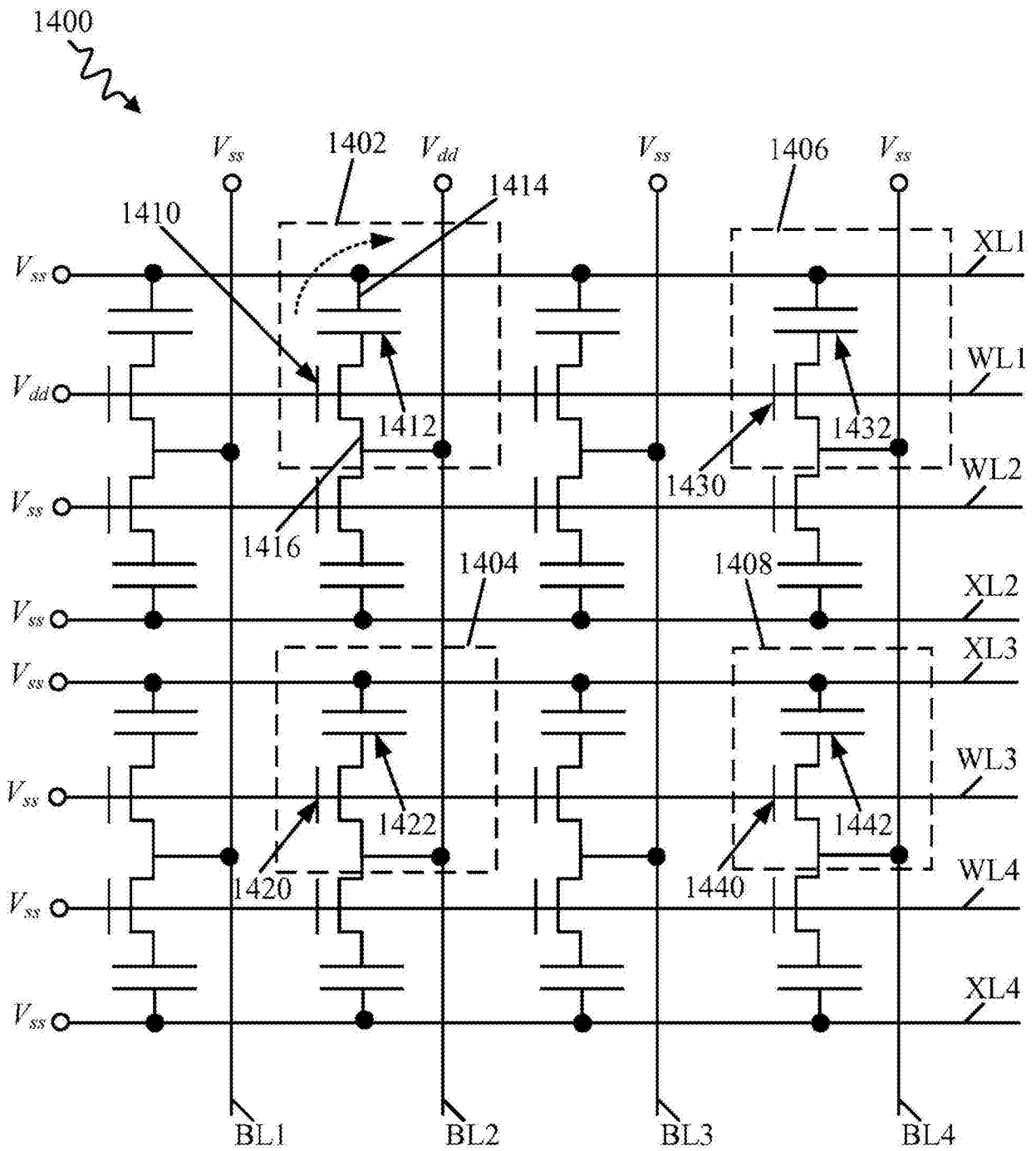


图15

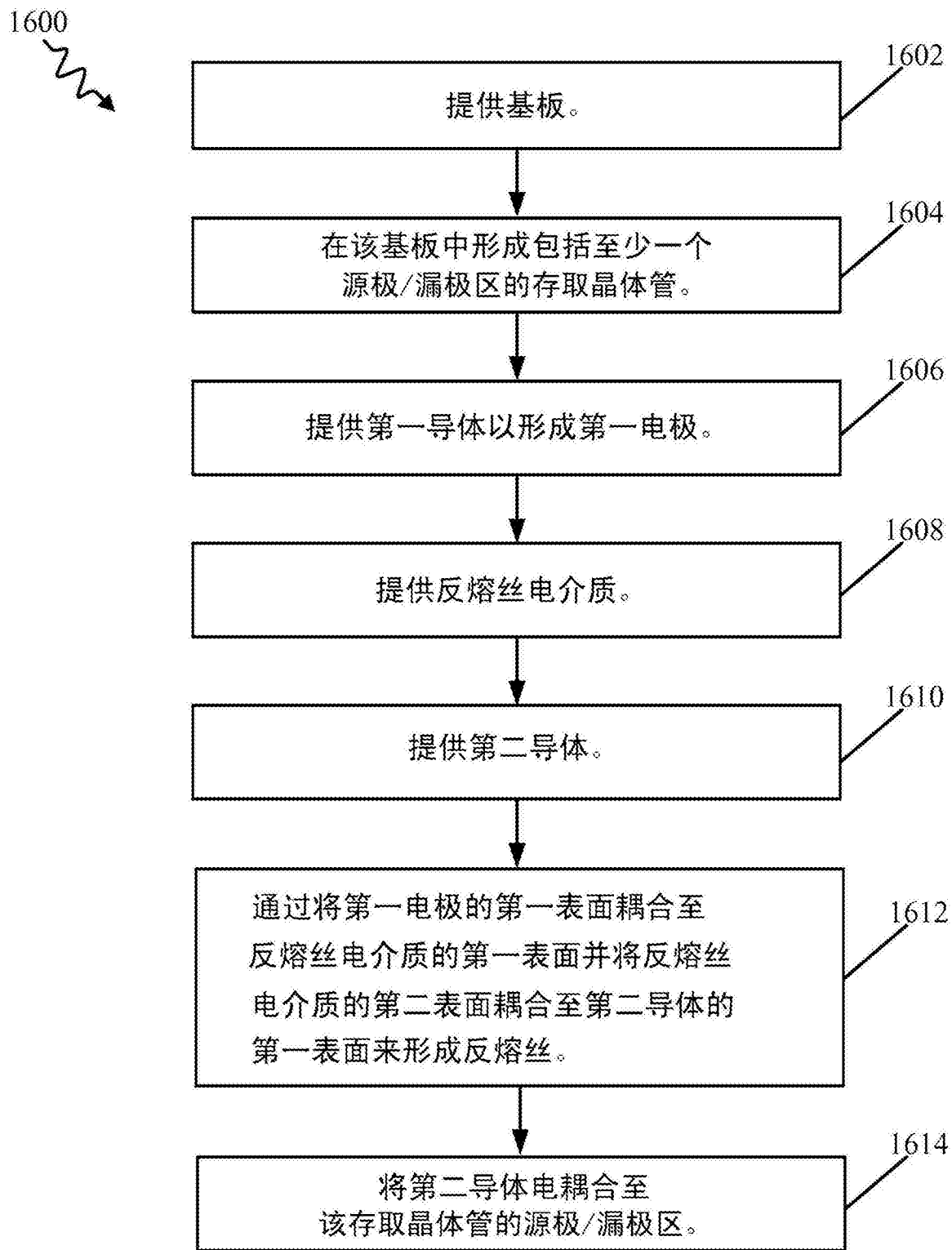


图16

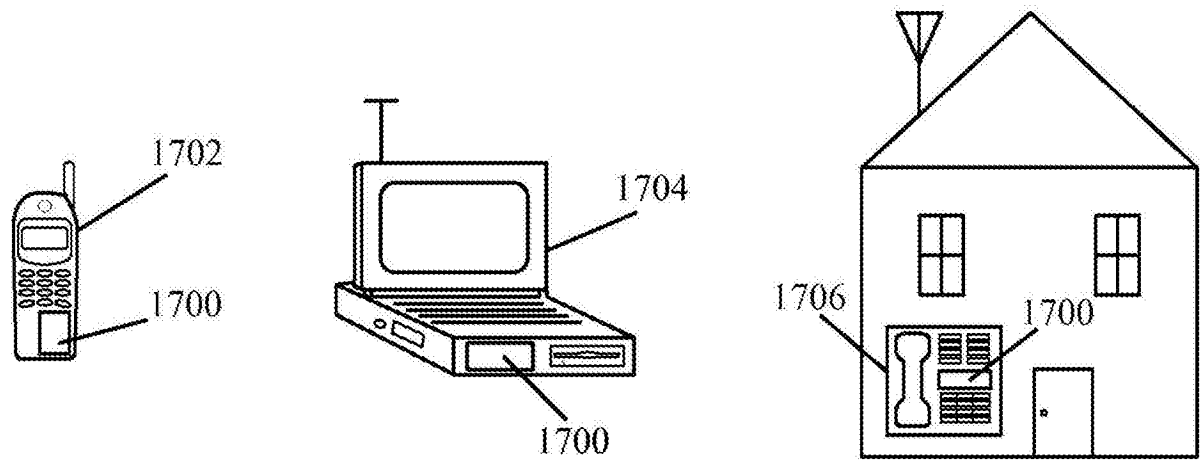


图17

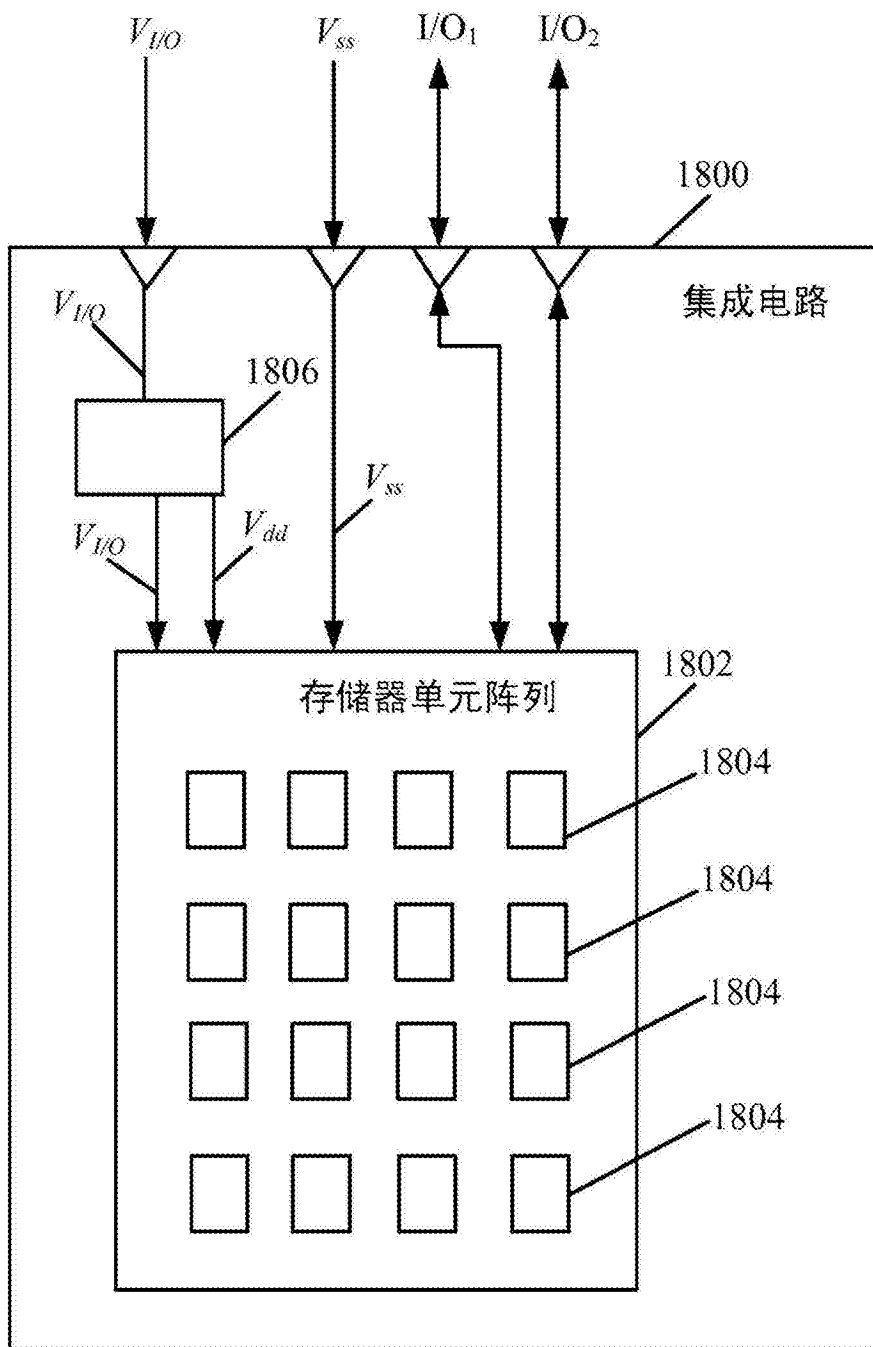


图18