



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월14일
(11) 등록번호 10-0814178
(24) 등록일자 2008년03월10일

(51) Int. Cl.

G11C 11/4093 (2006.01) G11C 29/00 (2006.01)

(21) 출원번호 10-2006-0021441

(22) 출원일자 2006년03월07일

심사청구일자 2006년03월07일

(65) 공개번호 10-2006-0107295

(43) 공개일자 2006년10월13일

(30) 우선권주장

JP-P-2005-00110752 2005년04월07일 일본(JP)

(56) 선행기술조사문헌

KR1020030023850A

(뒷면에 계속)

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

엘피다 메모리, 아이엔씨.

일본 도쿄 추오-쿠 야에수 2-초메 2-1

(72) 발명자

소노다 유지

일본 도쿄도 치요다쿠 마루노우찌 1조메 6-1 가부시키가이샤히타치세이사쿠쇼 지적재산권본부 내

기꾸찌 수지

일본 도쿄도 치요다쿠 마루노우찌 1조메 6-1 가부시키가이샤히타치세이사쿠쇼 지적재산권본부 내

(뒷면에 계속)

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 12 항

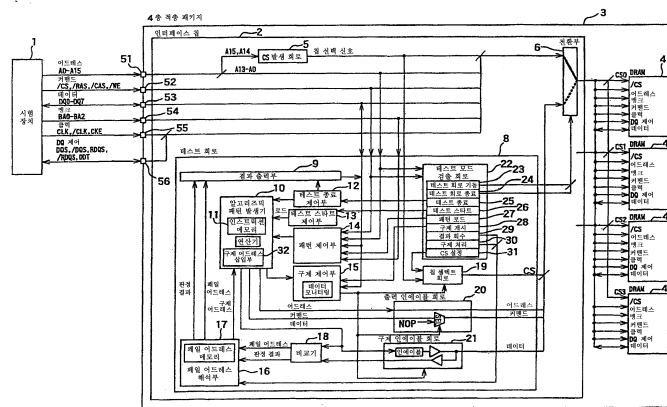
심사관 : 손윤식

(54) DRAM 적층 패키지, DIMM 및 반도체 제조 방법

(57) 요약

반도체 시험 장치로부터 고속 DRAM 적층 패키지에 대하여 시험 및/또는 구제를 가능하게 한 DRAM 적층 패키지, DIMM 및 반도체 제조 방법을 제공하는 것에 있다. 본 발명은, 적층한 복수의 DRAM(4)과 시험 장치(1)가 접속되는 적어도 어드레스, 커맨드 및 데이터 입출력용의 외부 단자와의 사이에 인터페이스 칩(2)을 설치하여, 상기 복수의 DRAM과 상기 인터페이스 칩을 패키지에 실장하여 구성하고, 상기 인터페이스 칩(2)에는, 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부(10)와, 그 생성된 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 회로(20, 21)와, 상기 복수의 DRAM으로부터의 응답 신호와 기대치를 비교 판정하는 비교기(18)를 갖는 테스트 회로(8)를 포함한 DRAM 적층 패키지이다.

대표도 - 도5



(72) 발명자

히라노 가즈노리

일본 도쿄도 지요다구 마루노우찌 1쪼메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내

안조 이찌로

일본 도쿄도 주오꾸 야에스 2쪼메 2-1 엘피다 메모
리, 아이엔씨.내

가따지리 미쯔아끼

일본 도쿄도 주오꾸 야에스 2쪼메 2-1 엘피다 메모
리, 아이엔씨.내

(56) 선행기술조사문헌

US05123016A1

KR1020000035149 A

KR1020030002430 A

KR1020030082847 A

특허청구의 범위

청구항 1

삭제

청구항 2

적층된 복수의 DRAM, 시험 장치에 접속되는 적어도 어드레스, 커맨드 및 데이터를 상기 복수의 DRAM에 입출력시키는 외부 단자, 상기 복수의 DRAM과 상기 외부 단자 사이에 설치된 인터페이스 칩을 포함하고,

상기 복수의 DRAM 및 상기 인터페이스 칩을 패키지에 실장하여 이루어지는 DRAM 적층 패키지로서,

상기 인터페이스 칩에는,

상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 테스트 모드를 검출하는 테스트 모드 검출 회로와, 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와, 상기 알고리즘 패턴 발생부에서 생성된 시험 패턴을 어드레스, 커맨드 및 데이터 입출력으로서 얻는 인가 회로를 갖는 테스트 회로, 및

상기 외부 단자로부터 입력되는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로와 상기 테스트 회로의 상기 인가 회로로부터 얻어지는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로를 상기 테스트 회로의 상기 테스트 모드 검출 회로로부터의 제어에 기초하여 전환하는 전환부를 포함하는 것을 특징으로 하는 DRAM 적층 패키지.

청구항 3

삭제

청구항 4

적층된 복수의 DRAM, 시험 장치에 접속되는 적어도 어드레스, 커맨드 및 데이터를 상기 복수의 DRAM에 입출력시키는 외부 단자, 상기 복수의 DRAM과 상기 외부 단자 사이에 설치된 인터페이스 칩을 포함하고,

상기 복수의 DRAM 및 상기 인터페이스 칩을 패키지에 실장하여 이루어지는 DRAM 적층 패키지로서,

상기 인터페이스 칩에는, 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와, 상기 알고리즘 패턴 발생부에서 생성된 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 회로와, 상기 복수의 DRAM으로부터의 응답 신호와 상기 시험 패턴에 따른 기대치를 비교하여 판정하는 비교기와, 상기 비교기에서의 비교 결과가 불일치되었던 경우에, 상기 복수의 DRAM 중의 페일한 어드레스들을 저장하는 페일 어드레스 메모리를 갖는 테스트 회로를 포함하고,

상기 테스트 회로에는, 상기 페일 어드레스 메모리에 저장된 페일 어드레스를 해석하여 구체해야 할 어드레스를 산출하는 페일 어드레스 해석부와, 그 페일 어드레스 해석부에서 산출된 구체해야 할 어드레스를 상기 알고리즘 패턴 발생부에서 생성되는 구체 패턴으로서의 상기 시험 패턴에 삽입하는 구체 어드레스 삽입부와, 상기 복수의 DRAM 중, 구체 대상의 DRAM을 특정하는 칩 선택 신호를 그 DRAM에 인가하는 칩 선택 회로를 더 갖는 것을 특징으로 하는,

DRAM 적층 패키지.

청구항 5

적층된 복수의 DRAM, 시험 장치에 접속되는 적어도 어드레스, 커맨드 및 데이터를 상기 복수의 DRAM에 입출력시키는 외부 단자, 상기 복수의 DRAM과 상기 외부 단자 사이에 설치된 인터페이스 칩을 포함하고,

상기 복수의 DRAM 및 상기 인터페이스 칩을 패키지에 실장하여 이루어지는 DRAM 적층 패키지로서,

상기 인터페이스 칩에는,

상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와, 상기 알고리즘 패턴 발생부에서 생성된 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 회로와, 상기 복수의 DRAM으로부터의 응답 신

호와 상기 시험 패턴에 따른 기대치를 비교하여 판정하는 비교기와, 상기 비교기에서의 비교 결과가 불일치이었던 경우에, 폐일한 어드레스를 저장하는 폐일 어드레스 메모리와, 상기 폐일 어드레스 메모리에 저장된 폐일 어드레스를 해석하여 구제 어드레스를 산출하는 폐일 어드레스 해석부와, 상기 폐일 어드레스 해석부에서 산출된 구제해야 할 어드레스를 상기 알고리즘 패턴 발생부에서 생성된 구제 패턴으로서의 상기 시험 패턴에 삽입하는 구제 어드레스 삽입부와, 상기 복수의 DRAM 중, 구제 대상의 DRAM을 특정하는 칩 선택 신호를 그 DRAM에 인가하는 칩 선택 회로를 갖는 테스트 회로를 포함하는 것을 특징으로 하는 DRAM 적층 패키지.

청구항 6

제5항에 있어서,

상기 인가 회로는, 상기 구제 어드레스 삽입부로부터의 어드레스, 커맨드의 출력을 제어하는 출력 인에이블 회로와 상기 알고리즘 패턴 발생부로부터의 데이터의 출력을 제어하는 구제 인에이블 회로로 구성하고,

상기 테스트 회로에는, 상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 구제 테스트 모드를 검출하는 테스트 모드 검출 회로와, 상기 테스트 모드 검출 회로에서 구제 테스트 모드를 검출하였을 때 상기 구제 패턴으로서의 시험 패턴을 상기 DRAM에 인가할지의 여부에 따라서 상기 칩 선택 회로, 상기 출력 인에이블 회로 및 상기 구제 인에이블 회로를 제어하는 구제 제어부를 포함하는 것을 특징으로 하는 DRAM 적층 패키지.

청구항 7

제4항 또는 제5항에 있어서,

상기 폐일 어드레스 해석부는, 상기 폐일 어드레스 메모리에 저장된 폐일 어드레스와 상기 DRAM으로부터 얻어지는 구제 정보와 비교하여 구제 가부의 판정을 행하고,

상기 알고리즘 패턴 발생부는, 상기 폐일 어드레스 해석부로부터 얻어지는 구제 가부 판정 결과와 상기 폐일 어드레스 해석부에서 산출된 구제해야 할 어드레스에 의해 상기 구제 패턴을 생성하는 것을 특징으로 하는 DRAM 적층 패키지.

청구항 8

제2항 또는 제5항에 있어서,

상기 테스트 회로에는, 상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 테스트 모드를 검출하는 테스트 모드 검출 회로를 포함하고,

상기 인터페이스 칩에는, 상기 외부 단자로부터 입력되는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM으로의 경로와, 상기 테스트 회로의 상기 인가 회로로부터 시험 패턴으로서 얻어지는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM으로의 경로를 상기 테스트 모드 검출 회로로부터의 제어에 기초하여 전환하는 전환부를 포함하는 것을 특징으로 하는 DRAM 적층 패키지.

청구항 9

적층한 복수의 DRAM과, 시험 장치가 접속되는 적어도 어드레스, 커맨드 및 데이터 입출력용의 외부 단자와의 사이에 인터페이스 칩을 설치하고,

상기 복수의 DRAM과 상기 인터페이스 칩을 패키지에 실장하여 구성하며,

상기 시험 장치로부터 상기 외부 단자에 입력되는 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 수단과, 상기 복수의 DRAM으로부터의 응답 신호와 상기 시험 패턴에 따른 기대치를 비교 판정하는 비교기를 상기 인터페이스 칩 내에 설치하고,

상기 인터페이스 칩을 개재하여 상기 DRAM을 시험하도록 구성한 것을 특징으로 하는 DRAM 적층 패키지.

청구항 10

제2항, 제4항, 제5항, 제6항 중 어느 한 항의 DRAM 적층 패키지를 기판에 복수개 탑재하여 구성한 것을 특징으로 하는 DIMM(Dual in-line Memory Module).

청구항 11

DRAM 적층 패키지를 기판에 복수개 탑재하여 구성한 DIMM으로서,
 시험 장치에 접속되는 DIMM의 외부 단자로부터 입력되는 데이터에 의해 상기 DIMM 중의 구제 대상으로 되는
 DRAM 적층 패키지를 특정하도록 구성한 것을 특징으로 하는 DIMM.

청구항 12

제11항에 있어서,
 상기 DRAM 적층 패키지는, 제2항, 제4항, 제5항, 제6항 중 어느 한 항의 DRAM 적층 패키지인 것을 특징으로 하
 는 DIMM.

청구항 13

적층한 복수의 DRAM과 인터페이스 칩을 패키지에 실장하여 DRAM 적층 패키지를 제조하는 제1 제조 공정 - 상기
 인터페이스 칩은 테스트 회로를 포함함 - ,

상기 제1 제조 공정에서 제조된 DRAM 적층 패키지의 상태로 패키지 외부 단자를 시험 장치에 접속하여 상기 인
 터페이스 칩을 개재한 상기 DRAM의 동작의 시험 및 상기 인터페이스 칩을 개재한 상기 DRAM의 구제의 시험을 행
 하는 제1 시험 공정,

상기 제1 제조 공정에서 제조된 DRAM 적층 패키지를 기판에 복수개 탑재하여 DIMM을 제조하는 제2 제조 공정,
 및

상기 제2 제조 공정에서 제조된 DIMM의 상태로 DIMM의 외부 단자를 상기 시험 장치에 접속하여 각 DRAM 적층 패
 키지에 대하여 DRAM의 동작의 시험 및 구제의 시험을 행하는 제2 시험 공정

을 포함하는 것을 특징으로 하는 반도체 제조 방법.

청구항 14

제13항에 있어서,

상기 제1 및 제2 시험 공정에서, 상기 구제의 시험을 행한 후에, 재차 상기
 DRAM의 동작의 시험을 행하는 것을 특징으로 하는 반도체 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<52> [특허 문헌1] 특개2001-35188호 공보

발명이 속하는 기술 및 그 분야의 종래기술

<53> 본 발명은, DRAM 적층 패키지, DIMM 및 이들의 시험 방법 및 반도체 제조 방법에 관한 것이다.

<54> 종래의 반도체 장치의 시험 방법으로서, 특허 문헌1이 알려져 있다. 그 특허 문헌1에는, 칩 상에 각각 독립
 하여 액세스하는 것이 가능한 DRAM이 적어도 3개 이상 탑재되며, 그 3개 이상의 DRAM 중 적어도 1개가 다른
 DRAM과 기억 용량이 상회하는 반도체 장치의 시험 방법에서, 각 DRAM에 대하여 각각 독립된 시험용 어드레스 신
 호를 입력하여 각 DRAM의 시험을 행할 때, 시험 시간이 가장 긴 DRAM을 제외한 다른 DRAM의 적어도 2개의 DRAM
 을 시리얼로 시험을 행함과 함께, 이 시리얼 시험에 병행하여 상기 시험 시간이 가장 긴 DRAM을 패러럴로 시험
 을 행하는 것이 기재되어 있다.

발명이 이루고자 하는 기술적 과제

- <55> 메모리 I/O의 고속화에 수반하여 데이터의 전송 선로에 접속 가능한 메모리 수가 감소하고 있다. 1Gbps의 속도를 겨냥한 메모리 I/O에서는, 크로스토크나 반사 등에 의한 신호 품질에의 영향을 저감하기 위해 포인트 투 포인트 접속이 기본이며, PC의 마더 기판의 메모리 슬롯은 1슬롯만으로 된다. 이 때문에, 메모리 메이커는 DRAM 칩을 적층하는 등의 고밀도 실장에 의해 기억 용량으로 타사에 차별화를 도모하는 것이 필수로 된다.
- <56> 그러나, 1Gbps 이후의 고속 DRAM의 적층에서는, 인터페이스 칩을 개재하여 외부 단자와 DRAM을 접속하여, 어드레스 및 커맨드의 외부 단자, 및 데이터 입출력용 외부 단자에 접속되는 칩을 1개의 칩으로 구성한다. 이에 의해, 어드레스, 커맨드, 및 데이터 입출력의 주파수를 1칩품과 동등하게까지 높일 수 있기 때문에, 인터페이스 칩의 개재가 불가결해지지만, 상기 종래 기술에서는 이 점에 대하여 고려되어 있지 않았다.
- <57> 본 발명의 목적은, 상기 과제를 해결하기 위해, 반도체 시험 장치로부터 고속 DRAM 적층 패키지에 대하여 시험 및/또는 구제를 가능하게 한 DRAM 적층 패키지, 그 시험 방법 및 구제 방법 및 반도체 제조 방법을 제공하는 것에 있다.
- <58> 또한, 본 발명의 다른 목적은, DRAM 적층 패키지를 기판에 복수개 탑재한 DIMM의 시험 및/또는 구제를 가능하게 한 DIMM, 그 시험 방법 및 구제 방법 및 반도체 제조 방법을 제공하는 것에 있다.

발명의 구성 및 작용

- <59> 상기 목적을 달성하기 위해, 본 발명은, 적층된 복수의 DRAM과 시험 장치가 접속되는 적어도 어드레스, 커맨드 및 데이터 입출력용의 외부 단자와의 사이에 인터페이스 칩을 설치하여, 상기 복수의 DRAM과 상기 인터페이스 칩을 패키지에 실장하고, 상기 패키지의 상기 어드레스, 커맨드 및 데이터 입출력용의 상기 외부 단자에 시험 장치를 접속하며, 상기 시험 장치로부터 상기 패키지의 상기 외부 단자에 상기 DRAM을 시험하기 위한 시험 패턴을 인가하고, 상기 패키지 내의 상기 DRAM으로부터의 응답 신호와 기대치를 비교 판정함으로써, 상기 패키지 내의 상기 인터페이스 칩과 상기 DRAM 사이의 상기 어드레스의 신호선, 상기 커맨드의 신호선, 및 상기 데이터의 신호선의 접속을 시험하는 것을 특징으로 하는 DRAM 적층 패키지의 시험 방법을 제공한다.
- <60> 또한, 본 발명은, 적층된 복수의 DRAM, 시험 장치에 접속되는 적어도 어드레스, 커맨드 및 데이터를 그 복수의 DRAM에 입출력시키는 외부 단자, 그 복수의 DRAM과 그 외부 단자와의 사이에 설치된 인터페이스 칩을 포함하고, 상기 복수의 DRAM 및 상기 인터페이스 칩을 패키지에 실장하여 이루어지는 DRAM 적층 패키지에 있어서, 상기 인터페이스 칩에는, 상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 테스트 모드를 검출하는 테스트 모드 검출 회로와 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와 그 알고리즘 패턴 발생부에서 생성된 시험 패턴을 어드레스, 커맨드 및 데이터 입출력으로서 얻는 인가 회로를 갖는 테스트 회로와, 상기 외부 단자로부터 입력되는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로와 상기 테스트 회로의 상기 인가 회로로부터 얻어지는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로를 상기 테스트 회로의 상기 테스트 모드 검출 회로로부터의 제어에 기초하여 전환하는 전환부를 포함하는 것을 특징으로 하는 DRAM 적층 패키지이다.
- <61> 또한, 본 발명은, 상기 인터페이스 칩에는, 상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 테스트 모드를 검출하는 테스트 모드 검출 회로와 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와 그 알고리즘 패턴 발생부에서 생성된 시험 패턴을 어드레스, 커맨드 및 데이터 입출력으로서 얻는 인가 회로를 갖는 테스트 회로와, 상기 외부 단자로부터 입력되는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로와 상기 테스트 회로의 상기 인가 회로로부터 얻어지는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로를 상기 테스트 회로의 상기 테스트 모드 검출 회로로부터의 제어에 기초하여 전환하는 전환부를 포함하는 것을 특징으로 한다.
- <62> 또한, 본 발명은, 상기 인터페이스 칩에는, 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와, 그 알고리즘 패턴 발생부에서 생성된 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 회로와, 상기 복수의 DRAM으로부터의 응답 신호와 상기 시험 패턴에 따른 기대치를 비교하여 판정하는 비교기와, 그 비교기에서의 비교 결과가 불일치하였던 경우에, 폐일한 어드레스를 저장하는 폐일 어드레스 메모리를 갖는 테스트 회로를 포함한 것을 특징으로 한다.
- <63> 또한, 본 발명은, 상기 테스트 회로에는, 또한, 상기 폐일 어드레스 메모리에 저장된 폐일 어드레스를 해석하여 구제해야 할 어드레스를 산출하는 폐일 어드레스 해석부와, 그 폐일 어드레스 해석부에서 산출된 구제해야 할 어드레스를 상기 알고리즘 패턴 발생부에서 생성되는 구제 패턴으로서의 상기 시험 패턴에 삽입하는 구제 어드레스 삽입부와, 상기 복수의 DRAM 중, 구제 대상의 DRAM을 특정하는 칩 선택 신호를 그 DRAM에 인가하는 칩

셀렉트 회로를 갖는 것을 특징으로 한다.

- <64> 또한, 본 발명은, 상기 인터페이스 칩에는, 상기 복수의 DRAM을 시험하기 위한 시험 패턴을 생성하는 알고리즘 패턴 발생부와, 그 알고리즘 패턴 발생부에서 생성된 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 회로와, 상기 복수의 DRAM으로부터의 응답 신호와 상기 시험 패턴에 따른 기대치를 비교하여 판정하는 비교기와, 그 비교기에서의 비교 결과가 불일치되었던 경우에, 폐일한 어드레스를 저장하는 폐일 어드레스 메모리와, 그 폐일 어드레스 메모리에 저장된 폐일 어드레스를 해석하여 구체 어드레스를 산출하는 폐일 어드레스 해석부와, 그 폐일 어드레스 해석부에서 산출된 구체해야 할 어드레스를 상기 알고리즘 패턴 발생부에서 생성된 구체 패턴으로서의 상기 시험 패턴에 삽입하는 구체 어드레스 삽입부와, 상기 복수의 DRAM 중, 구체 대상의 DRAM을 특정하는 칩 선택 신호를 그 DRAM에 인가하는 칩 셀렉트 회로를 갖는 테스트 회로를 포함한 것을 특징으로 한다.
- <65> 또한, 본 발명은, 상기 인가 회로는, 상기 구체 어드레스 삽입부로부터의 어드레스, 커맨드의 출력을 제어하는 출력 인에이블 회로와 상기 알고리즘 패턴 발생부로부터의 데이터의 출력을 제어하는 구체 인에이블 회로로 구성하고, 상기 테스트 회로에는, 상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 구체 테스트 모드를 검출하는 테스트 모드 검출 회로와, 그 테스트 모드 검출 회로에서 구체 테스트 모드를 검출하였을 때 상기 구체 패턴으로서의 시험 패턴을 상기 DRAM에 인가할지의 여부에 따라 상기 칩 셀렉트 회로, 상기 출력 인에이블 회로 및 상기 구체 인에이블 회로를 제어하는 구체 제어부를 포함한 것을 특징으로 한다.
- <66> 또한, 본 발명은, 상기 폐일 어드레스 해석부는, 또한, 상기 폐일 어드레스 메모리에 저장된 폐일 어드레스와 상기 DRAM으로부터 얻어지는 구체 정보와 비교하여 구체 가부의 판정을 행하며, 상기 알고리즘 패턴 발생부는, 상기 폐일 어드레스 해석부로부터 얻어지는 구체 가부 판정 결과와 상기 폐일 어드레스 해석부에서 산출된 구체해야 할 어드레스에 의해 상기 구체 패턴을 생성하는 것을 특징으로 한다.
- <67> 또한, 본 발명은, 상기 테스트 회로에는, 상기 외부 단자로부터 입력되는 어드레스 및 커맨드에 기초하여 테스트 모드를 검출하는 테스트 모드 검출 회로를 포함하고, 상기 인터페이스 칩에는, 상기 외부 단자로부터 입력되는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로와 상기 테스트 회로의 상기 인가 회로로부터 시험 패턴으로서 얻어지는 어드레스, 커맨드 및 데이터 입출력의 상기 복수의 DRAM에의 경로를 상기 테스트 모드 검출 회로로부터의 제어에 기초하여 전환하는 전환부를 포함하는 것을 특징으로 한다.
- <68> 또한, 본 발명은, 적층한 복수의 DRAM과 시험 장치가 접속되는 적어도 어드레스, 커맨드 및 데이터 입출력용의 외부 단자와의 사이에 인터페이스 칩을 설치하여, 상기 복수의 DRAM과 상기 인터페이스 칩을 패키지에 실장하여 구성하고, 상기 시험 장치로부터 상기 외부 단자에 입력되는 시험 패턴을 상기 복수의 DRAM에 인가하는 인가 수단과, 상기 복수의 DRAM으로부터의 응답 신호와 상기 시험 패턴에 따른 기대치를 비교 판정하는 비교기를 상기 인터페이스 칩 내에 설치하고, 상기 인터페이스 칩을 개재하여 상기 DRAM을 시험하도록 구성한 것을 특징으로 하는 DRAM 적층 패키지이다.
- <69> 또한, 본 발명은, 상기 DRAM 적층 패키지를 복수개 기관에 탑재하여 구성한 것을 특징으로 하는 DIMM이다.
- <70> 또한, 본 발명은, DRAM 적층 패키지를 복수개 기관에 탑재하여 구성된 DIMM으로서, 시험 장치에 접속되는 DIMM의 외부 단자로부터 입력되는 데이터에 의해 상기 DIMM 중의 구체 대상으로 되는 DRAM 적층 패키지를 특정하도록 구성한 것을 특징으로 하는 DIMM이다.
- <71> 또한, 본 발명은, 적층한 복수의 DRAM과 인터페이스 칩을 패키지에 실장하여 DRAM 적층 패키지를 제조하는 제1 제조 공정과, 그 제1 제조 공정에서 제조된 DRAM 적층 패키지의 상태로 패키지 외부 단자를 시험 장치에 접속하여 상기 인터페이스 칩을 개재한 상기 DRAM의 동작의 시험 및 상기 인터페이스 칩을 개재한 상기 DRAM의 구체의 시험을 행하는 제1 시험 공정과, 상기 제1 제조 공정에서 제조된 DRAM 적층 패키지의 복수개를 기관에 탑재하여 DIMM을 제조하는 제2 제조 공정과, 그 제2 제조 공정에서 제조된 DIMM의 상태로 DIMM의 외부 단자를 시험 장치에 접속하여 각 DRAM 적층 패키지에 대하여 DRAM의 동작의 시험 및 구체의 시험을 행하는 제2 시험 공정을 갖는 반도체 제조 방법이다.
- <72> 본 발명에 의하면, 다음 중 어느 하나의 효과를 얻을 수 있다.
- <73> (1) DRAM 적층 패키지의 시험 및/또는 구체가 가능하게 된다.
- <74> (2) DRAM 적층 패키지를 기관에 복수개 탑재한 DIMM의 시험 및/또는 구체가 가능하게 된다.
- <75> (3) 평선 테스트에 의한 인터페이스 칩과 DRAM 사이의 어드레스, 커맨드, 데이터 신호선의 접속 확인이 가능하

게 된다.

- <76> (4) DRAM 적층 패키지의 시험에서도 동일한 장치에 의해, 선별 검사와 구제 처리가 가능하게 된다.
- <77> (5) DRAM 적층 패키지를 기판에 복수개 탑재한 DIMM의 시험에서도 동일한 장치에 의해, 선별 검사와 구제 처리가 가능하게 된다.
- <78> (6) 패키징 후에 구제 처리를 행함으로써, DRAM 적층 패키지에서 수율의 저하를 방지할 수 있어, DRAM 적층 패키지의 제품 가격을 저감할 수 있다.
- <79> (7) DIMM 조립 후에 구제 처리를 행함으로써, DRAM 적층 패키지를 기판에 복수개 탑재한 DIMM에서도 수율의 저하를 방지할 수 있어, DIMM의 제품 가격을 저감할 수 있다.
- <80> 본 발명에 따른 DRAM 적층 패키지, DRAM 적층 패키지의 시험 방법, 복수개의 DRAM 적층 패키지를 기판에 탑재한 DIMM(Dual in-line Memory Module), DIMM의 시험 방법 및 반도체 제조 방법의 실시 형태에 대하여 도면을 이용하여 설명한다.
- <81> [제1 실시 형태]
- <82> 본 발명에 따른 제1 실시 형태인 DRAM 적층 패키지의 시험 방법에 대하여 설명한다.
- <83> 우선, 본 발명에 따른 제1 실시 형태인, DRAM 적층 패키지 내의 인터페이스 칩과 DRAM 사이의 어드레스, 커맨드, 데이터 신호선의 접속(접속 패턴)을 시험하는 평선 테스트에 의한 시험 방법에 대하여 도 1~도 4를 이용하여 설명한다.
- <84> 도 1은 DRAM 적층 패키지(3)를 예를 들면 4층 적층 패키지로 한 테스트 구성의 개략 구성을 도시한 것이다. 본 발명에 따른 DRAM 적층 패키지(3)는, 복수의 DRAM(4)를 적층한 것과, 시험 장치(1)가 접속되는 외부 단자로부터 접속하는 칩을 1칩으로 하기 위한 인터페이스 칩(2)을 1개의 패키지에 실장하여 구성된다. 그리고, DRAM 적층 패키지(예를 들면 4층 적층 패키지)(3)의 어드레스, 커맨드 및 데이터 입출력용의 외부 단자(51~56)에 시험 장치(1)를 접속하고, 시험 장치(1)로부터 그 패키지의 외부 단자(51~56)에 인가된 DRAM을 시험하기 위한 시험 패턴을 인터페이스 칩(2)으로부터 패키지 내의 DRAM(4)에 인가하고, 그 DRAM(4)으로부터의 응답 신호와 상기 시험 패턴에 의한 기대치를 비교기(57)에서 비교함으로써, 패키지 내의 인터페이스 칩(2)과 DRAM(4) 사이의 어드레스, 커맨드, 데이터 신호선의 접속(접속 패턴)을 시험한다. 그 때, 인터페이스 칩(2)과 DRAM(4) 사이의 접속을 시험하기 위해서, 저속 동작으로 확인이 가능하면 된다.
- <85> 이하, 도 2~도 4를 이용하여 접속 시험 방법의 제1~제3 실시예에 대하여 설명한다.
- <86> 도 2는 본 발명에 따른 반도체 시험 장치에서 이용되는 평선 테스트에 의한 접속 시험 방법의 제1 실시예로서, (a)는 데이터 비트의 접속 시험 방법을 나타내고, (b)는 어드레스 비트의 접속 시험 방법을 나타낸다.
- <87> 데이터 비트의 접속 시험은, 어드레스 X0에 데이터 H'00(16진수)를 라이트하고, 어드레스 X0을 리드한다. 다음으로, 어드레스 X0에 데이터 H'01(16진수)를 라이트하고, 어드레스 X0을 리드한다. 이후, 어드레스 X0에 순차적으로 데이터 비트를 시프트한 값을 라이트하고, 어드레스 X0을 리드한다. 데이터가 H'80(16진수)(데이터의 비트 폭)까지 도달하면, 데이터를 반전시켜, 상기와 마찬가지로의 수순을 반복한다. 이러한 시험 패턴을 시험 장치(1)로부터 패키지의 외부 단자(51, 53)에 인가함으로써, 인터페이스 칩(2)을 개재하여 패키지 내의 DRAM에 인가하고, 그 DRAM(4)으로부터의 응답 신호(어드레스 X0을 리드)와 기대치(H'00~H'80)를 비교기(57)에서 비교하여, 일치한 경우에는 접속 OK, 불일치한 경우에는 접속 NG로 판단한다.
- <88> 어드레스 비트의 접속 시험은, 어드레스 X0에 데이터 H'00(16진수)을 라이트하고, 어드레스 X0 이외에 데이터 H'FF(16진수)를 라이트하며, 어드레스 X0을 리드한다. 다음으로, 어드레스 X1에 데이터 H'00(16진수)을 라이트하고, 어드레스 X1이외에 데이터 H'FF(16진수)를 라이트하며, 어드레스 X1을 리드한다. 이후, X2~Xn까지 상기와 마찬가지로의 수순을 반복한다. 이러한 시험 패턴을 시험 장치(1)로부터 패키지의 외부 단자(51, 53)에 인가함으로써, 인터페이스 칩(2)을 개재하여 패키지 내의 DRAM에 인가하고, 그 패키지 내의 DRAM(4)으로부터의 응답 신호(어드레스 Xt=X0~Xn을 리드)와 기대치(H'00)를 비교기(57)에서 비교하여, 일치한 경우에는 접속 OK, 불일치한 경우에는 접속 NG로 판단한다.
- <89> 도 3은 본 발명에 따른 반도체 시험 장치에서 이용되는 평선 테스트에 의한 접속 시험 방법의 제2 실시예로서, (a)는 커맨드 비트(/RAS, /CAS, /WE)의 접속 시험 방법을 나타내고, (b)는 커맨드 비트(/CS)와 클럭(CKE)의 접속 시험 방법을 나타낸다.

- <90> 커맨드 비트(/RAS, /CAS, /WE)의 접속 시험은, 어드레스 X0~Xmax에 데이터 H'00(16진수)을 라이트하고, 어드레스 X0을 리드한다. 다음으로, 데이터를 반전하여, 어드레스 X0~Xmax에 반전한 데이터를 라이트하고, 어드레스 X0을 리드한다. 이러한 시험 패턴을 시험 장치(1)로부터 패키지의 외부 단자(51~53)에 인가함으로써, 인터페이스 칩(2)을 개재하여 패키지 내의 DRAM에 인가하고, 그 패키지 내의 DRAM(4)으로부터의 응답 신호(어드레스 X0을 리드)와 기대치(H'00)를 비교기(57)에서 비교하여, 일치한 경우에는 접속 OK, 불일치한 경우에는 접속 NG로 판단하고, 그 판단 결과(판정 결과)를 인터페이스 칩(2)으로부터 시험 장치(1)에 출력된다.
- <91> 커맨드 비트(/CS)와 클럭(CKE)의 접속 시험은, 어드레스 X0~Xmax에 데이터 H'00(16진수)을 라이트하고, 어드레스 X0~Xmax에 데이터 H'FF(16진수)를 라이트한다. 다음으로, 어드레스 X0을 리드한다. 그 후, 데이터를 반전하여, 상기와 마찬가지로의 수순을 반복한다. 이러한 시험 패턴을 시험 장치(1)로부터 패키지의 단자(51~54)에 인가함으로써, 인터페이스 칩(2)을 개재하여 패키지 내의 DRAM에 인가하고, 그 패키지 내의 DRAM(4)으로부터의 응답 신호(어드레스 X0을 리드)와 기대치(H'00)를 비교기(57)에서 비교하여, 일치한 경우에는 접속 OK, 불일치한 경우에는 접속 NG로 판단한다. 커맨드 비트의 접속 시험은, 기본적으로 다른 테스트 중의 제어(ACTV, NOP, READ, WRITE 등)가 기능함으로써 접속의 확인은 가능하다.
- <92> 도 4는 본 발명에 따른 반도체 시험 장치에서 이용되는 평선 테스트에 의한 접속 시험 방법의 제3 실시예로서, 클럭(/CLK)과 DQ 제어(/DQS, RDQS, /RDQS)의 접속 시험 방법을 나타낸 것이다.
- <93> 클럭(/CLK)과 DQ 제어(/DQS, RDQS, /RDQS)의 접속 시험은, 어드레스 X0에 버스트마다 각각, 버스트1에는 H'00(16진수), 버스트2에는 H'FF(16진수), 버스트3에는 H'00(16진수), 버스트4에는 H'FF(16진수)의 데이터를 라이트하고, 어드레스 X0을 리드한다. 그 후, 데이터를 반전하여, 상기와 마찬가지로의 수순을 반복한다. 이와 같이 고속으로 데이터를 전환한 타이밍이 엄격한 패턴을 시험 장치(1)로부터 패키지의 외부 단자(51~54)에 인가함으로써, 인터페이스 칩(2)을 개재하여 패키지 내의 DRAM에 인가하고, 그 패키지 내의 DRAM(4)으로부터의 응답 신호(어드레스 X0을 리드)와 기대치(H'00)를 비교기(57)에서 비교하여, 일치한 경우에는 접속 OK, 불일치한 경우에는 접속 NG로 판단한다.
- <94> 이상에 의해, 평선 테스트에 의한 인터페이스 칩(2)과 복수의 DRAM(4) 사이의 어드레스, 커맨드 및 데이터의 신호선의 접속 시험(접속 패턴의 시험)을 행하는 것이 가능하다.
- <95> 다음으로, 인터페이스 칩(2)을 개재한 DRAM 적층 패키지(예를 들면 4층 적층 패키지)의 시험 방법의 일 실시예에 대하여 도 5~도 9를 이용하여 구체적으로 설명한다.
- <96> 도 5는 본 발명에 따른 1Gbps 이후의 고속 DRAM의 적층 패키지의 시험 및/또는 구제에서 불가결한 인터페이스 칩(2)의 구성의 일 실시 형태를 나타낸 것이다. 본 발명에 따른 인터페이스 칩(2)에는, 패키지 외부 단자(51)로부터의 어드레스 비트의 일부(A15, A14)를 디코딩하여 칩 선택 신호를 발생하는 CS 발생 회로(5)와, 테스트 회로(8)와, 그 테스트 회로(8) 내에 설치된 테스트 모드 검출 회로(22)로부터의 테스트 회로 기동 명령(23) 또는 테스트 회로 종료 명령(24)에 의해, 패키지 외부 단자(51~56)로부터의 어드레스, 커맨드 및 데이터 입출력과 테스트 회로(8)로부터의 어드레스, 커맨드 및 데이터 입출력의 경로를 전환하는 전환부(6)를 포함하여 구성된다. 상기 테스트 회로(8)는, 패키지 외부 단자(51, 52)로부터의 어드레스(A13-A0), 커맨드(/CS, /RAS, /CAS, /WE)에 의해 테스트 모드를 검출하는 테스트 모드 검출 회로(22)와, CS 발생 회로(5)로부터의 칩 선택 신호와 테스트 모드 검출 회로(22)로부터의 CS 설정 명령(31)에 의해 DRAM의 칩 셀렉트를 제어하는 칩 셀렉트 회로(19)와, 상기 테스트 모드 검출 회로(22)로부터의 테스트 스타트 명령(26)에 의해 테스트 스타트를 제어하는 테스트 스타트 제어부(13)와, 상기 테스트 모드 검출 회로(22)로부터의 테스트 종료 명령(25)에 의해 테스트 종료를 제어하는 테스트 종료 제어부(12)와, 상기 테스트 모드 검출 회로(22)로부터의 시험 패턴 로드 명령(27)에 의해, 인스트럭션 메모리(11)에의 시험 장치(1)로부터의 어드레스, 커맨드에 따른 시험 패턴(데이터)의 기입을 제어하는 패턴 제어부(14)와, DRAM(4)을 시험하기 위한 시험 패턴을 생성하여, DRAM(4)에 인가(부여)하는 알고리즘 패턴 발생기(10)와, DRAM(4)으로부터의 응답 신호와 시험 패턴에 따른 기대치를 비교하는 비교기(18)와, 비교 결과가 불일치하였던 경우에 페일 어드레스를 저장하는 페일 어드레스 메모리(17)와, 테스트 종료 제어부(12)로부터의 테스트 종료와 테스트 모드 검출 회로(22)로부터의 결과 회수 명령(29)에 의해 페일 어드레스 해석부(16)로부터의 페일 어드레스 및 판정 결과를 데이터 신호에 의해 패키지 외부 단자(53)를 개재하여 시험 장치(1)에 출력하는 결과 출력부(9)를 갖는다.
- <97> 이하, 인터페이스 칩(2)의 구성 및 작용에 대하여 설명한다. 즉, DRAM(4)을 시험하는 경우, 우선 테스트 회로 기동(23)을 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 전환부(6)를 테스트 회로측으로 전환한다. 그 후, 시험 패턴 로드(27)를 어드레스, 커맨드를

이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 패턴 제어부(14)의 제어에 의해 인스트럭션 메모리(11)에 시험 장치(1)로부터 입력된 시험 패턴을 기입한다. 그 후, 테스트 스타트(26)를 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 회로(22)가 그 테스트 모드를 식별하며, 테스트 스타트 제어부(13)의 제어에 의해 테스트가 스타트한다. 시험 패턴은, 시험 순서에 따른 규칙적인 어드레스 및 DRAM(4)에 기입하는 시험 데이터, 기입·판독 동작을 시키기 위한 제어 신호로 이루어지며, 알고리즘 패턴 발생기(10)로부터 DRAM(4)에 인가된다. 우선, 임의의 1개의 어드레스에 대하여 기입 제어 신호(라이트 커맨드)와 함께 '1' 또는 '0'의 데이터를 인가하여 DRAM(4)에의 기입을 행하고, 다음으로 기입을 행한 1개의 어드레스로부터 판독 제어 신호(리드 커맨드)를 인가하면, DRAM(4)으로부터 데이터(응답 신호)가 출력되기 때문에, 이 데이터(응답 신호)를 판독하여, 먼저 기입을 행한 데이터(기대치)와 비교기(18)에 의해 비교하여 일치 또는 불일치의 판정을 행한다. 이것을 DRAM(4)의 모든 어드레스에 대하여 행하여, DRAM(4)의 양부(일치/불일치) 판정을 행한다. 이상에 의해, 인터페이스 칩(2)을 개재한 4층 적층 패키지의 시험을 행하는 것이 가능하게 된다.

- <98> 테스트 종료(25)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 테스트 종료 제어부(12)가 테스트 모드 투입에 의해 임의의 일정 간격으로 인스트럭션 메모리(11)를 모니터링하고, 테스트 종료를 검출하였다면 결과 출력부(9)에 그것을 전달하며, 결과 출력부(9)는 데이터선에 의해 패키지 외부 단자(53)에 출력한다. 테스트 회로의 종료(24)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 전환부(6)를 패키지 외부 단자측으로 전환한다.
- <99> 결과 회수(29)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 페일 어드레스 메모리(17)에 저장되어 있는 페일 어드레스와 판정 결과를 결과 출력부(9)에 전달하고, 결과 출력부(9)는 데이터선에 의해 패키지 외부 단자(53)에 출력한다. 이상의 구성 및 작용에 의해, 인터페이스 칩(2)을 개재한 DRAM 적층 패키지(3)의 시험을 행하는 것이 가능하게 된다.
- <100> 다음으로, 테스트 회로(8)의 제어 방법에 대하여 도 6~도 9를 이용하여 설명한다.
- <101> 도 6은 테스트 회로(8)의 제어 방법의 제1 실시예를 도시한 것으로, (a)는 테스트 회로의 기동(23)을 나타내는 테스트 모드이며, (b)는 테스트 회로의 종료(24)를 나타내는 테스트 모드이다.
- <102> 테스트 회로의 기동(23)은, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS(Mode Resister Set) 커맨드 시의 어드레스를, 테스트 회로의 기동을 의미하는 예를 들면 (OFF)H로 한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면 (OFF)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 테스트 회로의 기동인 것을 식별하고, 테스트 회로(8)의 제어를 행한다. 이 테스트 모드 투입에 의해, 전환부(6)는 테스트 회로측으로 전환된다.
- <103> 테스트 회로의 종료(24)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를 테스트 회로의 종료를 의미하는 예를 들면 어드레스 A7을 '0'으로 한다. 이 어드레스와 커맨드로부터, 테스트 모드 검출 회로(22)가 테스트 회로의 종료인 것을 식별하고, 테스트 회로(8)의 제어를 행한다. 이 테스트 모드 투입에 의해, 전환부(6)는 패키지 외부 단자측으로 전환된다.
- <104> 도 7은 테스트 회로(8)의 제어 방법의 제2 실시예를 도시한 것으로, 테스트 회로(8)에의 시험 패턴 로드(27)를 나타내는 테스트 모드이다. 테스트 회로(8)에의 시험 패턴 로드(27)는, 어드레스, 커맨드, 데이터를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를 테스트 회로(8)의 인스트럭션 메모리 어드레스 설정을 의미하는 예를 들면 (OFE)H로 한다. 다음의 MRS 커맨드 시의 어드레스를 테스트 회로(8)의 인스트럭션 메모리(11)에 데이터(시험 패턴)를 라이트하고, 어드레스를 인크리먼트하는 것을 의미하는 (OFD)H로 한다. 인스트럭션 메모리(11)에 기입하는 데이터는 이 때의 시험 장치(1)로부터의 데이터(DQ0~DQ7)를 사용하여 실시한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면 (OFE)H, (OFD)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 테스트 회로에의 시험 패턴 로드인 것을 식별하고, 테스트 회로(8)의 패턴 제어부(14)의 제어를 행한다. 이 테스트 모드 투입에 의해 인스트럭션 메모리에 시험 패턴을 기입한다.
- <105> 도 8은 테스트 회로(8)의 제어 방법의 제3 실시예를 도시한 것으로, (a)는 테스트 스타트(26)를 나타내는 테스트 모드이며, (b)는 테스트 종료(25)를 나타내는 테스트 모드이다.
- <106> 테스트 스타트(26)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS(Mode Resister Set) 커맨드 시의 어드레스를, 테스트 스타트를 의미하는 예를 들면 (OFC)H로 한다. 이 어드레스를 신규로 테스트 모드

코드(예를 들면 (OFC)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 테스트 스타트 인 것을 식별하고, 테스트 회로(8)의 테스트 스타트 제어부(13)의 제어를 행한다. 이 테스트 모드 투입에 의해, 테스트 스타트 제어부(13)가 테스트를 스타트시킨다.

<107> 테스트 종료(25)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를, 테스트 종료를 의미하는 예를 들면 (OFB)H로 한다. 이 어드레스와 커맨드를 임의의 일정 간격으로 행한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면 (OFB)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 테스트 종료인 것을 식별하고, 테스트 회로(8)의 테스트 종료 제어부(12)의 제어를 행한다. 이 테스트 모드 투입에 의해, 테스트 종료 제어부(12)가 인스트럭션 메모리(11)를 테스트 모드에 의해 정해진 간격으로 모니터링하여 테스트 종료를 검출하고, 결과 출력부(9)에 출력한다.

<108> 도 9는 테스트 회로(8)의 제어 방법의 제4 실시예를 도시한 것으로, 결과 회수(29)를 나타내는 테스트 모드이다. 결과 회수(29)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를, 결과 회수를 의미하는 예를 들면 (OFA)H로 한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면 (OFA)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 결과 회수인 것을 식별하고, 테스트 회로(8)의 페일 어드레스 해석부(16)의 제어를 행한다. 이 테스트 모드 투입에 의해, 페일 어드레스 해석부(16)는 페일 어드레스라는 판정 결과를 결과 출력부(9)에 출력한다.

<109> 다음으로, 본 발명에 따른 제1 실시 형태인, 인터페이스 칩(2)을 개재한 DRAM 적층 패키지의 구제 방법에 대하여 도 5 및 도 10, 도 11을 이용하여 설명한다.

<110> 본 발명에 따른 인터페이스 칩(2)에는, 도 5에 도시한 바와 같이, 또한, DRAM 적층 패키지의 구제 방법에 관한 구성으로서, 또한, 비교기(18)에서의 비교 결과가 불일치하였던 경우에 페일 어드레스를 저장하는 페일 어드레스 메모리(17)와, 테스트 모드 검출 회로(22)로부터의 구제 처리 명령(30)에 의해 페일 어드레스 메모리에 저장된 페일 어드레스를 해석하여 구제 어드레스를 산출하는 페일 어드레스 해석부(16)와, 구제해야 할 어드레스를 시험 패턴(구제 패턴)에 삽입하여 DRAM(4)에 인가하는 구제 어드레스 삽입부(32)와, CS 발생 회로(5)로부터의 칩 선택 신호와 테스트 모드 검출 회로(22)로부터의 CS 설정 명령(31)에 의해 구제 패턴을 인가하는 칩 셀렉트를 제어하는 칩 셀렉트 회로(19)와, 알고리즘 패턴 발생기(10)의 구제 어드레스 삽입부(32)로부터 얻어지는 구제 패턴의 어드레스, 커맨드의 출력을 제어하는 출력 인에이블 회로(20)와, 알고리즘 패턴 발생기(10)에서 생성하여 얻어지는 구제 패턴의 데이터의 출력을 제어하는 구제 인에이블 회로(21)와, 테스트 모드 검출 회로(22)로부터의 구제 개시 명령(28)에 의해, 알고리즘 패턴 발생기(10)에서 생성된 구제 패턴을 DRAM에 인가할 수 있도록 칩 셀렉트 회로(19), 출력 인에이블 회로(20), 구제 인에이블 회로(21)를 제어하는 구제 제어부(15)를 갖는다.

<111> 이하 이 구성 및 작용에 대하여 설명한다.

<112> DRAM(4)을 시험 및 구제하는 경우, 우선, 테스트 회로 기동(23)을 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 전환부(6)를 테스트 회로측으로 전환한다. 그 후, 시험 패턴 로드(27)를 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 패턴 제어부(14)의 제어에 의해 인스트럭션 메모리(11)에 시험 패턴을 기입한다. 그 후, 테스트 스타트(26)를 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 테스트 스타트 제어부(13)의 제어에 의해 테스트가 스타트한다. 다음으로, 시험 순서에 따른 규칙적인 어드레스 및 DRAM(4)에 기입하는 시험 데이터, 기입·판독 동작을 시키기 위한 제어 신호에 기초하여, 알고리즘 패턴 발생기(11)로부터 시험 패턴을 DRAM(4)에 인가한다. 우선, 임의의 1개의 어드레스에 대하여 기입 제어 신호(라이트 커맨드)와 함께 '1' 또는 '0'의 데이터를 인가하여 DRAM(4)에의 기입을 행하고, 다음으로 기입을 행한 1개의 어드레스로부터 판독 제어 신호(리드 커맨드)를 인가하면, DRAM(4)으로부터 데이터(응답 신호)가 출력되기 때문에, 이 데이터(응답 신호)를 판독하여, 먼저 기입을 행한 데이터(기대치)와 비교기(18)에 의해 비교하여 일치 또는 불일치의 판정을 행한다. 이것을 DRAM(4)의 모든 어드레스에 대하여 행하여, DRAM(4)의 양부(일치/불일치) 판정을 행한다.

<113> 여기서, 하나라도 불일치로 되는 어드레스가 있었던 경우, 통상적으로, DRAM(4)은, 불량품으로서 판정되지만, 수율의 저하를 방지하기 위한 구제 처리를 행하는 경우, 페일로 된 어드레스값을 페일 어드레스 메모리(17)에 기억해 둔다. 이 페일한 어드레스값에 기초하여 구제를 행하기 위해서는, 구제 처리 명령(30)을 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 구제 처리 명령(30)을 페일 어드레스 해석부(16)에 보내고, 페일 어드레스 해석부(16)가 페일한 어드레스값에 기초하여

실제로 구제를 행해야 할 어드레스의 산출 및 DRAM(4)으로부터 판독한 구제 정보(결함 셀을 용장 셀로 전환하여 구제를 할 수 있는지의 정보)와 비교하여 구제 가부의 판정을 행한다. 알고리즘 패턴 발생기(10)는, 파일 어드레스 해석부(16)에서 출력된 구제 가부 판정 결과와 구제 어드레스에 의해, DRAM(4)에 인가하는 구제 패턴을 생성하고, 구제 어드레스 삽입부(32)에 의해 구제해야 할 어드레스를 시험 패턴(구제 패턴)에 삽입한다. 구제 개시(28)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 구제 개시 명령(28)을 구제 제어부(15)에 보낸다. 구제 제어부(15)는, 알고리즘 패턴 발생기(10)로부터의 구제 제어 신호와 테스트 모드 검출 회로(22)로부터의 구제 개시 명령(28)에 의해, DRAM(4)에 구제 패턴을 인가할지의 여부를 판단한다. 그 구제 패턴을 인가하는 경우에는, 칩 셀렉트 회로(19), 출력 인에이블 회로(20), 구제 인에이블 회로(21)로부터, 각각 칩 선택 신호, 어드레스 및 커맨드, 데이터가 출력되어 DRAM(4)에 인가된다.

- <114> 다음으로, 구제 정보의 판독 및 구제에 대하여 설명한다. 구제 정보의 판독에는, 우선 4층 적층 패키지(3) 내의 1개의 DRAM을 어드레스 A15, A14에 의한 칩 선택 신호에 의해 선택한다. 다음으로, 시험 장치(1)로부터 인터페이스 칩(2)을 개재하여 테스트 모드 엔트리하기 위한 패턴을 DRAM(4)에 인가한다. DRAM(4)은 테스트 모드 엔트리 패턴이 인가되면 구제 회로(도시 생략)가 활성화되어, 전환부(6)가 테스트 모드로 전환된다. 다음으로, 출력 인에이블 회로(20)로부터 구제 정보를 판독하기 위한 커맨드를 인가하면, DRAM(4)으로부터 구제 정보가 출력된다. 이것을 DRAM 적층 패키지(3) 내의 4개의 DRAM(4) 모두에 대하여 행하고, 파일 어드레스 해석부(16)는 DRAM 4개의 구제 가부 판정 처리를 행한다.
- <115> 구제는, 우선 DRAM 적층 패키지(4층 적층 패키지)(3) 내의 DRAM으로부터 구제 대상의 DRAM을 어드레스 A15, A14에 의한 칩 선택 신호에 의해 선택한다. 다음으로, 시험 장치(1)로부터 인터페이스 칩(2)을 개재하여 테스트 모드에 엔트리하기 위한 패턴을 DRAM(4)에 인가한다. DRAM(4)은 테스트 모드 엔트리 패턴이 인가되면, 구제 회로(도시 생략)가 활성화되어, 전환부(6)에 의해 테스트 모드로 전환된다. 다음으로, 알고리즘 패턴 발생기(10)로부터 출력 인에이블 회로(20)를 개재하여 구제를 행하는 커맨드와 함께 구제시키는 어드레스를 인가하면 DRAM(4)에 내장된 구제 회로(도시 생략)에 의해, 결함 셀을 용장 셀로 치환하여 구제를 행한다.
- <116> 테스트 종료(25)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 테스트 종료 제어부(12)가 테스트 모드 투입에 의해 임의의 일정 간격으로 인스트럭션 메모리(11)를 모니터링하여, 테스트 종료를 검출하였다면 결과 출력부(9)에 그것을 전달하고, 결과 출력부(9)는 데이터선에 의해 패키지 외부 단자에 출력한다. 테스트 회로의 종료(24)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 전환부(6)를 패키지 외부 단자측으로 전환한다.
- <117> 이상의 구성에 의해, 인터페이스 칩(2)을 개재한 DRAM 적층 패키지(3)의 구제가 가능하다.
- <118> 다음으로 도 10, 도 11을 이용하여, 구제 실시 시의 테스트 회로의 제어 방법에 대하여 설명한다.
- <119> 도 10은 구제 실시 시의 테스트 회로의 제어 방법의 제1 실시예를 도시한 것으로, (a)는 구제 개시(28)를 나타내는 테스트 모드이며, (b)는 구제 처리(30)를 나타내는 테스트 모드이다.
- <120> 구제 개시(28)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를, 구제 개시를 의미하는 예를 들면 (0F9)H로 한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면 (0F9)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 구제 개시(28)인 것을 식별하고, 테스트 회로(8)의 제어를 행한다. 이 테스트 모드 투입에 의해, 구제 제어부(15)는, 칩 셀렉트 회로(19), 출력 인에이블 회로(20) 및 구제 인에이블 회로(21)의 제어를 행한다.
- <121> 구제 처리(30)는, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를, 구제 처리를 의미하는 예를 들면 (0F8)H로 한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면 (0F8)H)로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 구제 처리인 것을 식별하고, 테스트 회로(8)의 제어를 행한다. 이 테스트 모드 투입에 의해, 파일 어드레스 해석부(16)가 파일한 어드레스값에 기초하여 실제로 구제를 행해야 할 어드레스를 산출하고, 그 산출한 실제로 구제해야 할 어드레스의 정보와 DRAM으로부터 판독한 구제 정보를 비교하여 구제 가부의 판정을 행한다.
- <122> 도 11은 구제 실시 시의 테스트 회로의 제어 방법의 제2 실시예를 도시한 것으로, CS 설정(31)을 나타내는 테스트 모드이다. CS 설정(31)은, 어드레스, 커맨드를 이용한 테스트 모드에 의해 실시한다. MRS 커맨드 시의 어드레스를, CS 설정을 의미하는 예를 들면 (0F7)H로 한다. 이 어드레스를 신규로 테스트 모드 코드(예를 들면

(OF7))로서 추가한다. 테스트 모드 검출 회로(22)는, 어드레스와 커맨드로부터 CS 설정(31)인 것을 식별하고, 테스트 회로(8)의 칩 셀렉트 회로(19)의 제어를 행한다. 이 테스트 모드 투입에 의해, CS0~CS3 모듈을 선택하는 것이 가능하게 된다.

- <123> 이와 같이 CS 설정 테스트 모드를 활용함으로써, DRAM 적층 패키지(3) 내의 모든 DRAM(4)을 일괄하여 구제하는 것도 가능하다.
- <124> [제2 실시 형태]
- <125> 다음으로, 본 발명에 따른 제2 실시 형태인 복수개의 DRAM 적층 패키지를 기판에 탑재한 DIMM(Dual in-line Memory Module)의 시험 방법에 대하여 설명한다.
- <126> 우선, 본 발명에 따른 제2 실시 형태인 DIMM의 시험 방법에 대하여 도 5 및 도 12를 이용하여 설명한다.
- <127> 도 12는 DRAM 적층 패키지를 기판에 복수개 탑재한 DIMM(100)의 시험의 구성의 일 실시 형태를 도시한 것이다. 본 발명에 따른 제2 실시 형태인 DIMM(100)은, 도 5에 도시하는 제1 실시 형태로 구성되는 DRAM 적층 패키지(3)를 복수개 기판(101)에 탑재하여 구성된다. DIMM(100)을 시험하는 제2 실시 형태에서 제1 실시 형태와 상위하는 점은, 시험 장치(1)로부터 보았을 때의 접속 형태가 도 12에 도시한 바와 같이, 어드레스, 커맨드, 뱅크, 클럭, DQ 제어는, 모든 DRAM 적층 패키지(3)에서 공통이며, 데이터는 DRAM 적층 패키지마다 8비트마다 개별로 되어 있는 점이다. 그 결과, DRAM 적층 패키지(3)를 기판(101)에 복수개 탑재한 DIMM(100)의 시험을 제1 실시 형태와 마찬가지로 행하는 것이 가능하게 된다.
- <128> 다음으로, 본 발명에 따른 제2 실시 형태인, 복수개의 DRAM 적층 패키지를 기판에 탑재한 DIMM의 구제 방법에 대하여 도 5 및 도 12를 이용하여 설명한다.
- <129> 도 12는 DRAM 적층 패키지를 기판에 복수개 탑재한 DIMM의 구제의 구성의 일 실시 형태를 도시한 것이다. 본 발명에 따른 제2 실시 형태인 DIMM(100)은, 도 5에 도시하는 제1 실시 형태로 구성되는 DRAM 적층 패키지(3)를 복수개 기판(101)에 탑재하여 구성된다. DIMM(100)을 시험 및 구제하는 제2 실시 형태에서 제1 실시 형태와 상위하는 점은, 시험 장치(1)로부터 보았을 때의 접속 형태가 도 12에 도시한 바와 같이, 어드레스, 커맨드, 뱅크, 클럭, DQ 제어는, 모든 DRAM 적층 패키지(3)에서 공통이며, 데이터는 DRAM 적층 패키지마다 8비트마다 개별로 되어 있고, 또한, 구제를 행해야 할 어드레스가 DIMM 상의 예를 들면 32개의 DRAM 마다 다르기 때문에, 예를 들면 32개 중으로부터 1개의 DRAM을 판별하기 위해서, DRAM 적층 패키지(예를 들면 4층 적층 패키지)(3) 내의 DRAM의 판별을 어드레스 A15, A14에서 행하고, DRAM 적층 패키지(예를 들면 4층 적층 패키지1~8)(3)의 판별을 패키지마다 예를 들면 8비트 구획으로 서로 다른 데이터 비트(DQ56~DQ63)에 의해 행하는 것에 있다.
- <130> 다음으로, DIMM(100)에서의 구제 정보의 판독 및 구제에 대하여 설명한다. 시험 장치(1)로부터의 구제 정보의 판독에는, 우선 DRAM 적층 패키지(3) 내의 1개의 DRAM(4)을 어드레스 A15, A14에 의한 칩 선택 신호에 의해 선택한다. 다음으로 DRAM 외부로부터 테스트 모드 엔트리하기 위한 패턴을 인가한다. 하나의 DRAM(4)은 테스트 모드 엔트리 패턴이 인가되면, 구제 회로(도시 생략)가 활성화되어, 전환부(6)에 의해 테스트 모드로 전환된다. 다음으로, 알고리즘 패턴 발생기(10)로부터 출력 인에이블 회로(20)를 통하여 구제 정보를 판독하기 위한 커맨드를 인가하면, 하나의 DRAM(4)으로부터 구제 정보가 출력된다. 이에 따라 각 DRAM 적층 패키지(3)마다 페일 어드레스 해석부(16)는 페일한 어드레스값에 기초하여 산출한 실제로 구제해야 할 어드레스의 정보와, DRAM으로부터 판독한 구제 정보를 비교하여 구제 가부의 판정을 행한다. 그 결과, DIMM(100) 내의 32개의 DRAM 모두에 대하여 구제 가부 판정 처리를 행하는 것이 가능하게 된다.
- <131> 구제는, 우선 시험 장치(1)로부터의 DRAM 적층 패키지(3) 내의 DRAM(4)을 어드레스 A15, A14에 의한 칩 선택 신호에 의해 선택한다. 다음으로, DRAM 외부로부터 테스트 모드에 엔트리하기 위한 패턴을 인가한다. DRAM은 테스트 모드 엔트리 패턴이 인가되면, 구제 회로가 활성화되어, 전환부(6)에 의해 테스트 모드로 전환된다. 다음으로, 구제를 행하는 커맨드와 함께 구제시키는 어드레스를 인가하면 DRAM에 내장된 구제 회로에 의해, 결합 셀을 용장 셀로 치환하여 구제를 행하지만, 어드레스선이 공통이기 때문에, 모든 4층 적층 패키지에 동일한 어드레스가 인가되게 된다. 따라서, 구제 제어부(15)에서 데이터를 모니터링하여, 그 값에 의해 출력 인에이블 회로(20)의 선택 신호를 제어하고, 구제 대상이 아닌 DRAM에는 NOP 커맨드를 삽입하는 기능을 갖게 한다. 예를 들면, DRAM 적층 패키지(8)가 구제 대상의 DRAM을 탑재하고 있는 경우, 데이터 비트 DQ56~DQ63에 '1'을 입력한다. DRAM 적층 패키지(1)가 구제 대상이 아닌 경우, 데이터 비트 DQ0~DQ7에 '0'을 입력한다. 이러한 구제 패턴을 인가한다. 데이터 비트를 구제 제어부(15)에서 모니터링하고, '1'인 경우에는, 구제 패턴을 인가하기 위해서, 구제 제어부(15)의 제어에 의해, 출력 인에이블 회로(20)는, 구제를 행하기 위한 커맨드를 선택하여 인가

한다. 또한 데이터가 '0'인 경우에는, 구제 패턴을 인가하지 않기 때문에, 구제 제어부(15)의 제어에 의해, 출력 인에이블 회로(20)는, NOP 커맨드를 선택하여 인가한다. 이상에 의해, DIMM 상의 32개의 DRAM에 대하여, 개별의 구제 어드레스를 인가하는 것이 가능하다.

<132> 또한, 상기한 도 11의 테스트 모드와, 데이터 모니터링 기능을 활용함으로써, DIMM 상의 모든 DRAM을 일괄하여 구제하는 것도 가능하다.

<133> 테스트 종료(25)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 테스트 종료 제어부(12)가 테스트 모드 투입에 의해 임의의 일정 간격으로 인스트럭션 메모리(11)를 모니터링하고, 테스트 종료(25)를 검출하였다면 결과 출력부(9)에 그것을 전달하며, 결과 출력부(9)는 데이터선에 의해 패키지 외부 단자(53)를 경유하여 DIMM 외부 단자(113)에 출력한다. 테스트 회로의 종료(24)는 어드레스, 커맨드를 이용한 테스트 모드에 의해 행하고, 테스트 모드 검출 회로(22)가 그 테스트 모드를 식별하며, 전환부(6)를 패키지 외부 단자측 즉 DIMM 외부 단자측으로 전환한다.

<134> 이상의 구성에 의해, DIMM(100)의 구제가 가능하다.

<135> [제3 실시 형태]

<136> 본 발명에 따른 제3 실시 형태인, 반도체 시험 장치를 적용한 DRAM 및 DIMM의 시험 플로우 및 반도체 제조 방법에 대하여 도 13을 이용하여 설명한다. DRAM 및 DIMM 시험의 공정은, 우선, 전 공정(S131)의 종료 후에 웨이퍼 상태에서의 프로브 검사를 행하고(S132), 여기서 결함으로 된 DRAM에 대하여 구제 처리(1)가 행하여진다(S133). 그 후, 인터페이스 칩(2) 및 DRAM(4)의 적층을 행하고(S134), 패키징되어(S135), 본 발명에 따른 시험 장치에 의해 선별 검사(1)와 구제 처리(2)가 행해진다(S136, S137). 그 후, 적층 패키지의 DIMM 조립을 행하여(S138), 본 발명에 따른 시험 장치에서 선별 검사(2)와 구제 처리(3)가 행해진다(S139, S140). DRAM의 용량이 적은 경우에는, 패키징 후의 선별 검사에서 불일치로 되는 DRAM이 적어, 불일치한 DRAM을 불량품으로서 폐기해도 수율에 영향이 없지만, DRAM의 대용량화에 의해 DRAM칩 1개당 결함이 발생하는 비율이 많아지게 되기 때문에, 대용량화에 의해 제품 수율이 저하하여, DRAM의 저가격화가 곤란하게 된다. 그 때문에, 패키징(S135) 후의 선별 검사(1) 및 구제 처리(2)와 DIMM 조립(S138) 후의 선별 검사(2) 및 구제 처리(3)를 본 발명의 반도체 시험 장치로 행함으로써, 선별 검사로부터 구제 처리, 구제 후의 재선별 검사가 동일 장치로 가능하게 되어, DRAM 적층 패키지 및 DIMM 탈거 중의 작업을 생략할 수 있어, DRAM의 저가격화가 가능하게 된다. 또한, S141은 마킹 공정, S142는 출하 공정을 나타낸다.

<137> 도 14는 테스트 회로(8)의 기동 및 종료를 제어하기 위한 테스트 모드의 데이터 시트의 기재예를 도시한 것이다.

발명의 효과

<138> 본 발명에 따르면, 반도체 시험 장치로부터 고속 DRAM 적층 패키지에 대하여 시험 및/또는 구제를 가능하게 한 DRAM 적층 패키지, 그 시험 방법 및 구제 방법 및 반도체 제조 방법을 제공할 수 있으며, 또한, DRAM 적층 패키지를 기관에 복수개 탑재한 DIMM의 시험 및/또는 구제를 가능하게 한 DIMM, 그 시험 방법 및 구제 방법 및 반도체 제조 방법을 제공할 수 있다.

도면의 간단한 설명

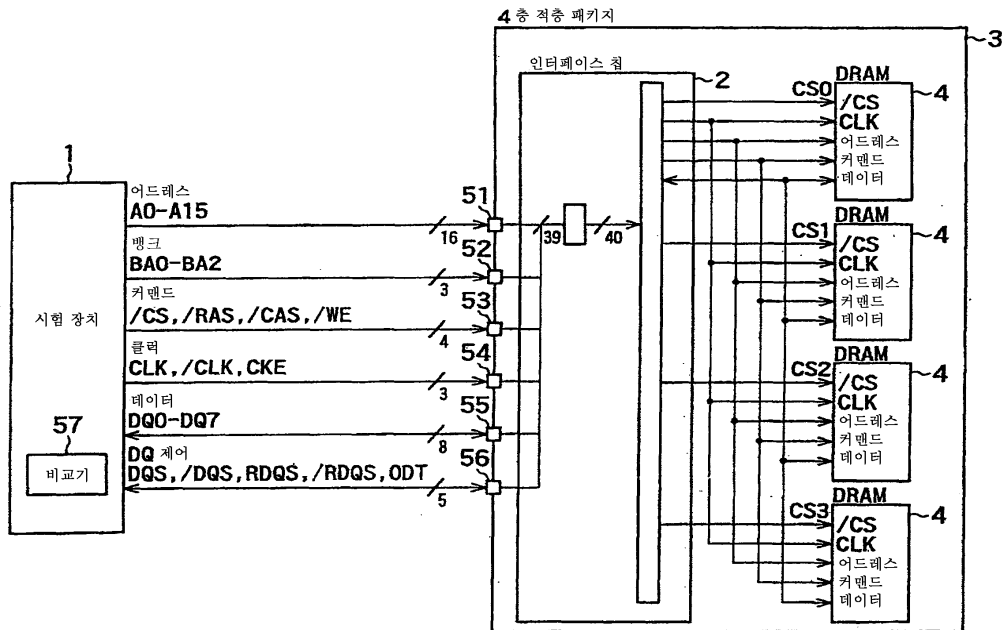
- <1> 도 1은 본 발명에 따른 DRAM 적층 패키지를 예를 들면 4층 적층 패키지로 한 테스트 구성의 개략 구성을 도시한 도면.
- <2> 도 2는 본 발명에 따른 평선 테스트에 의한 접속 시험 방법의 제1 실시예를 도시하는 도면으로, (a)는 데이터 비트의 접속 시험 방법을 도시하는 도면, (b)는 어드레스 비트의 접속 시험 방법을 도시하는 도면.
- <3> 도 3은 본 발명에 따른 평선 테스트에 의한 접속 시험 방법의 제2 실시예를 도시한 도면으로, (a)는 커맨드 비트(/RAS, /CAS, /WE)의 접속 시험 방법을 도시하는 도면, (b)는 커맨드 비트(/CS)와 클럭 어드레스(CKE)의 접속 시험 방법을 도시하는 도면.
- <4> 도 4는 본 발명에 따른 평선 테스트에 의한 접속 시험의 테스트 방법의 제3 실시예를 도시한 도면으로, 클럭(/CLK)과 제어(/DQS, RDQS, /RDQS)의 접속 시험 방법을 도시한 도면.
- <5> 도 5는 본 발명에 따른 DRAM 적층 패키지에서의 인터페이스 칩의 구성의 일 실시 형태를 도시한 도면.

- <6> 도 6은 본 발명에 따른 테스트 회로의 제어 방법의 제1 실시예를 도시한 도면으로, (a)는 테스트 회로의 기동의 테스트 모드를 도시하는 도면, (b)는 테스트 회로의 종료의 테스트 모드를 도시하는 도면.
- <7> 도 7은 본 발명에 따른 테스트 회로의 제어 방법의 제2 실시예인 시험 패턴 로드의 테스트 모드를 도시한 도면.
- <8> 도 8은 본 발명에 따른 테스트 회로의 제어 방법의 제3 실시예를 도시한 도면으로, (a)는 테스트 스타트의 테스트 모드를 도시하는 도면, (b)는 테스트 종료의 테스트 모드를 도시하는 도면.
- <9> 도 9는 본 발명에 따른 테스트 회로의 제어 방법의 제4 실시예인 결과 회수의 테스트 모드를 도시하는 도면.
- <10> 도 10은 본 발명에 따른 구제 실시 시의 테스트 회로의 제어 방법의 제1 실시예를 도시한 도면으로, (a)는 구제 개시의 테스트 모드를 도시하는 도면, (b)는 구제 처리의 테스트 모드를 도시하는 도면.
- <11> 도 11은 본 발명에 따른 구제 실시 시의 테스트 회로의 제어 방법의 제2 실시예인 CS 설정의 테스트 모드를 도시하는 도면.
- <12> 도 12는 본 발명에 따른 DIMM의 시험 및 구제의 구성의 일 실시 형태를 도시한 도면.
- <13> 도 13은 본 발명에 따른 DRAM 및 DIMM의 시험 플로우 및 반도체 제조 방법의 일 실시 형태를 도시한 도면.
- <14> 도 14는 본 발명에 따른 테스트 회로를 제어하기 위한 테스트 모드의 데이터 시트에의 기재예를 도시한 도면.
- <15> <도면의 주요 부분에 대한 부호의 설명>
- <16> 1 : 시험 장치
- <17> 2 : 인터페이스 칩
- <18> 3 : DRAM 적층 패키지(예를 들면 4층 적층 패키지)
- <19> 4 : DRAM
- <20> 5 : CS 발생 회로
- <21> 6 : 전환부
- <22> 8 : 테스트 회로
- <23> 9 : 결과 출력부
- <24> 10 : 알고리즘 패턴 발생기
- <25> 11 : 인스트럭션 메모리
- <26> 12 : 테스트 종료 제어부
- <27> 13 : 테스트 스타트 제어부
- <28> 14 : 패턴 제어부
- <29> 15 : 구제 제어부
- <30> 16 : 페일 어드레스 해석부
- <31> 17 : 페일 어드레스 메모리
- <32> 18, 47 : 비교기
- <33> 19, 48 : 칩 선택 회로
- <34> 20 : 출력 인에이블 회로
- <35> 21 : 구제 인에이블 회로
- <36> 22 : 테스트 모드 검출 회로
- <37> 23 : 테스트 회로 기동
- <38> 24 : 테스트 회로 종료

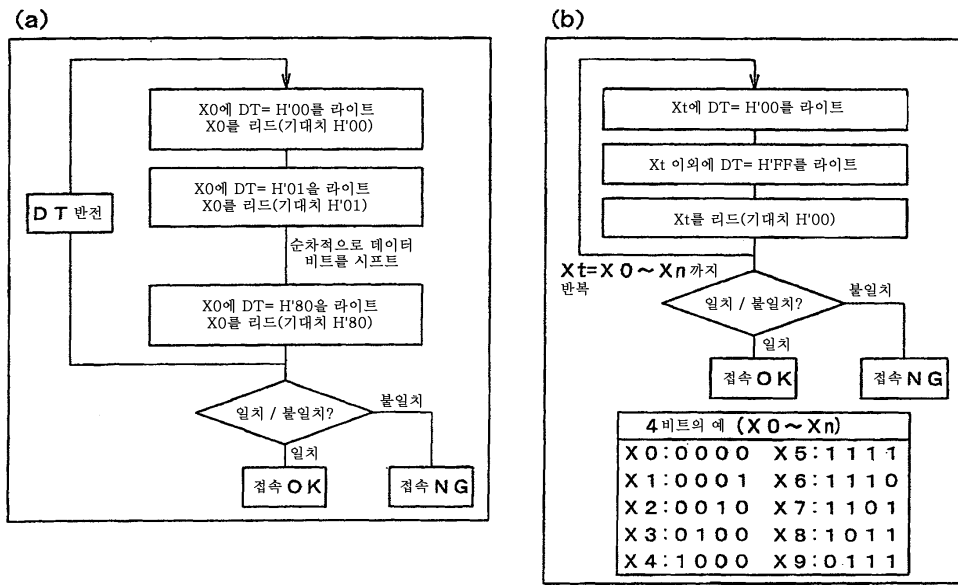
- <39> 25 : 테스트 종료
- <40> 26 : 테스트 스타트
- <41> 27 : 시험 패턴 로드
- <42> 28 : 구제 개시
- <43> 29 : 결과 회수
- <44> 30 : 구제 처리
- <45> 31 : CS 설정
- <46> 32 : 구제 어드레스 삽입부
- <47> 51~56 : 패키지 외부 단자
- <48> 57 : 비교기
- <49> 100 : DIMM
- <50> 101 : 기판
- <51> 111~117 : DIMM 외부 단자

도면

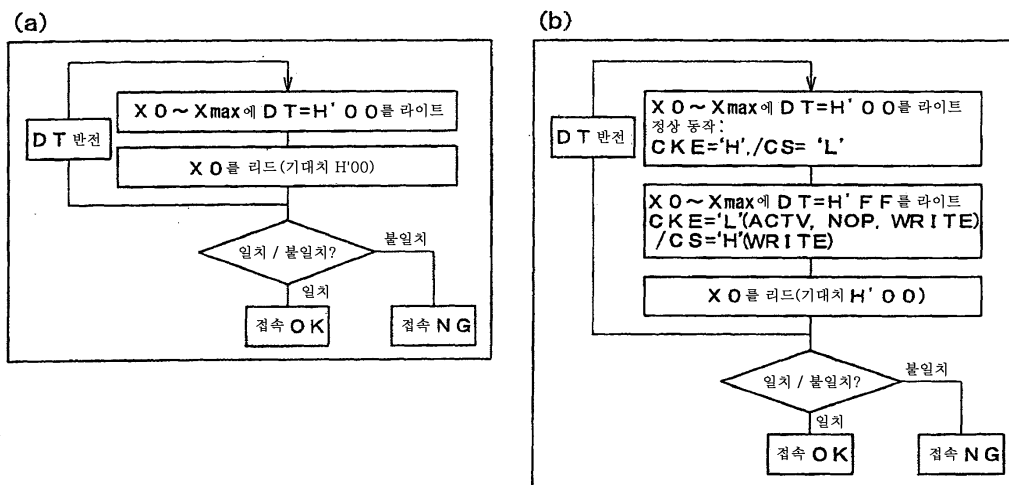
도면1



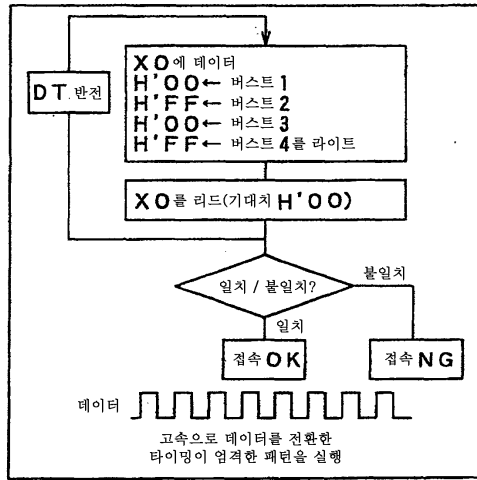
도면2



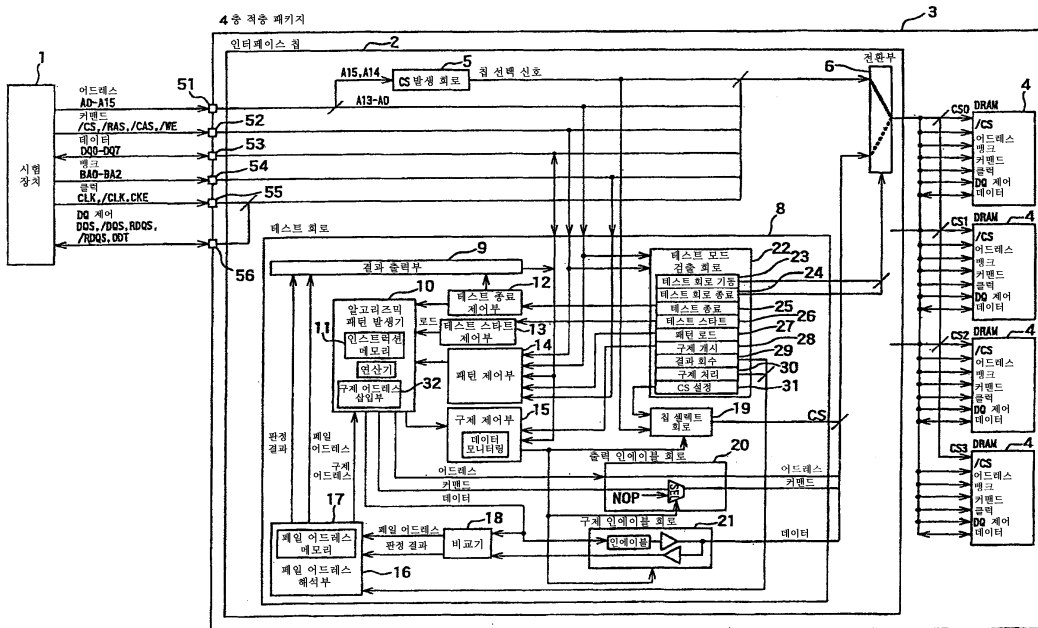
도면3



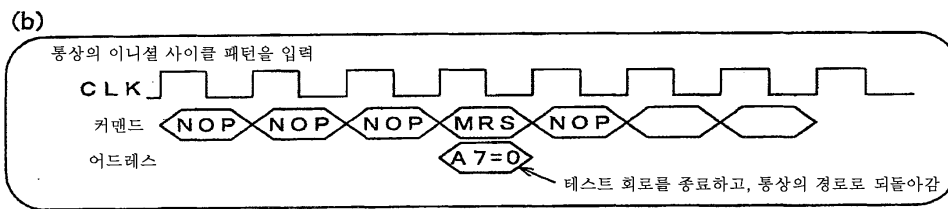
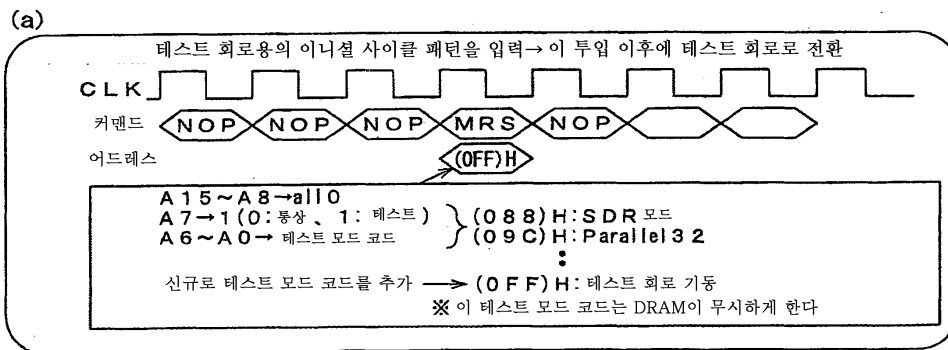
도면4



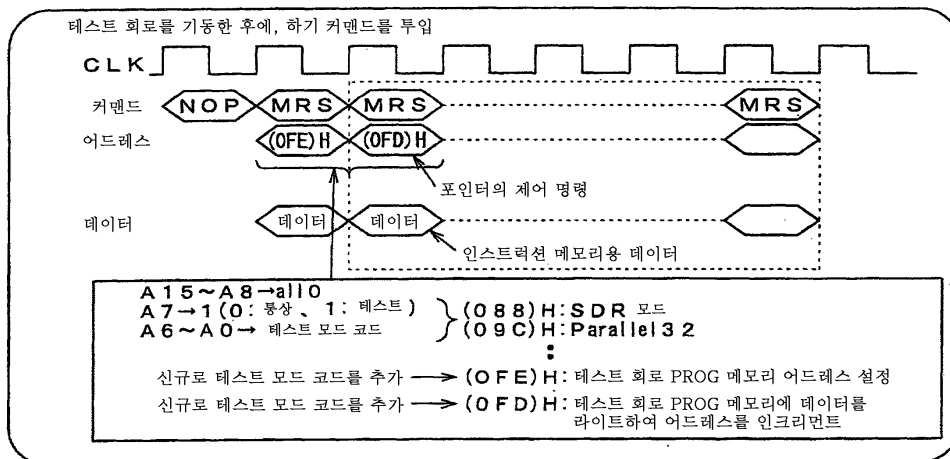
도면5



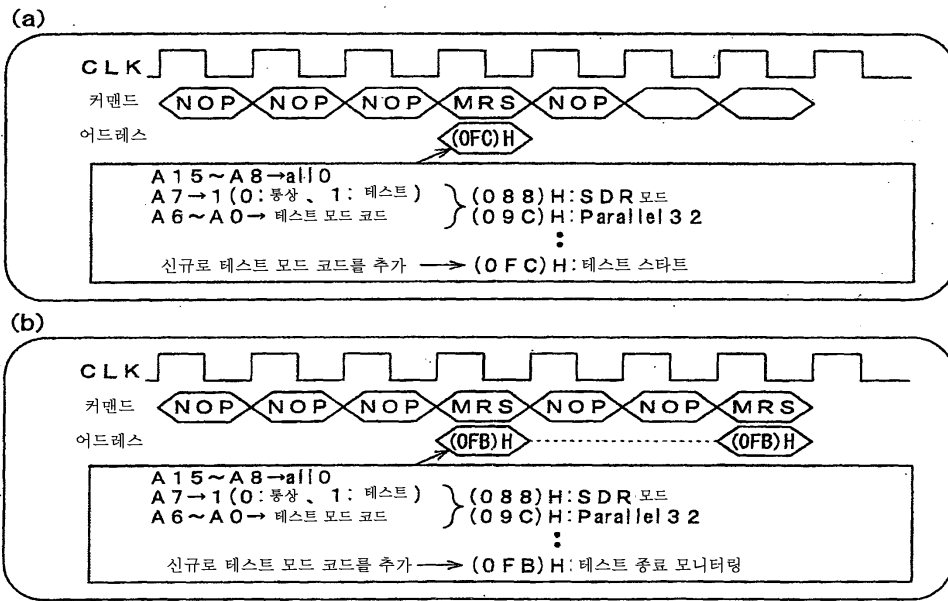
도면6



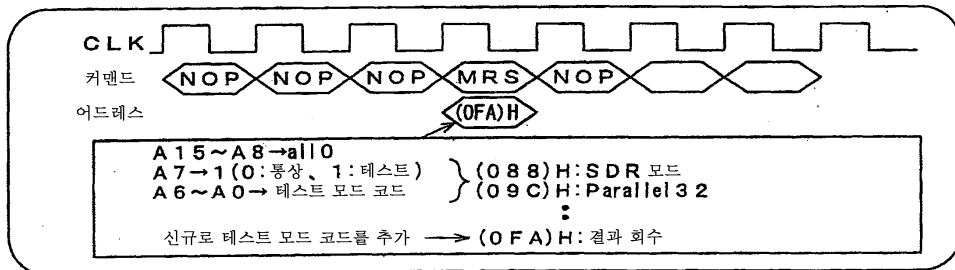
도면7



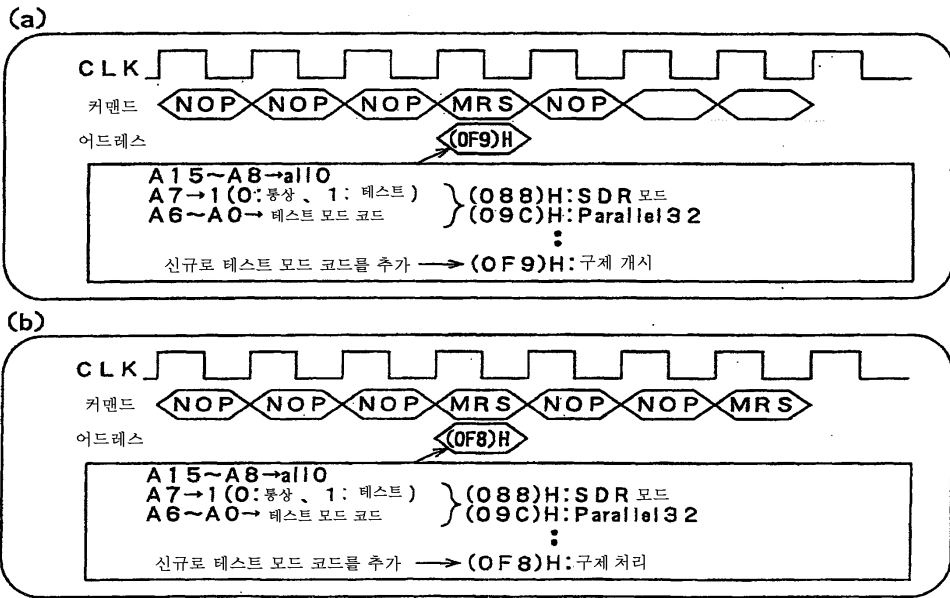
도면8



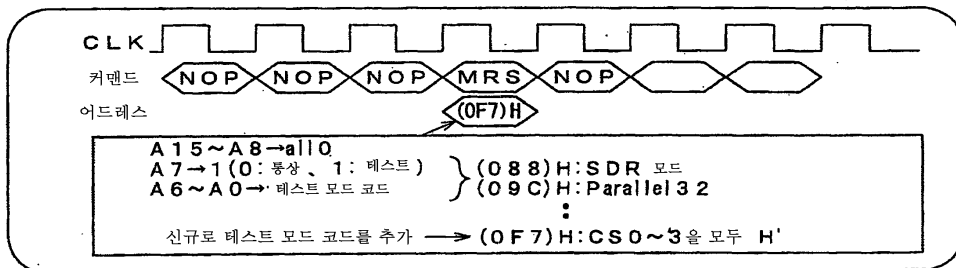
도면9



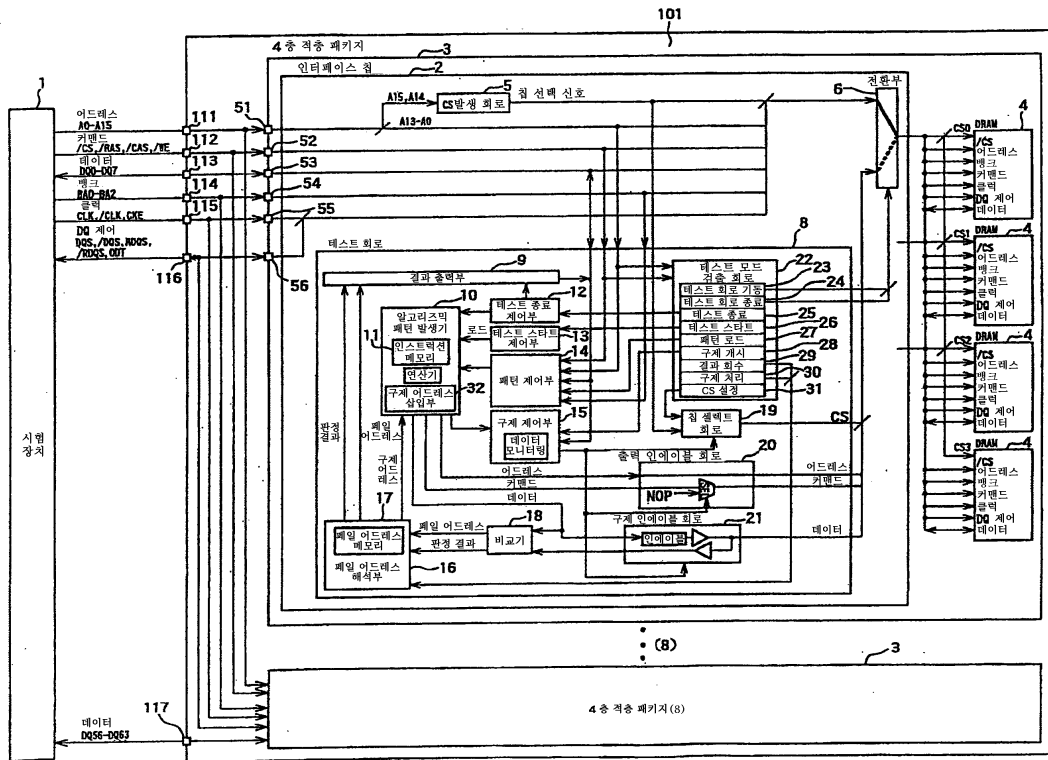
도면10



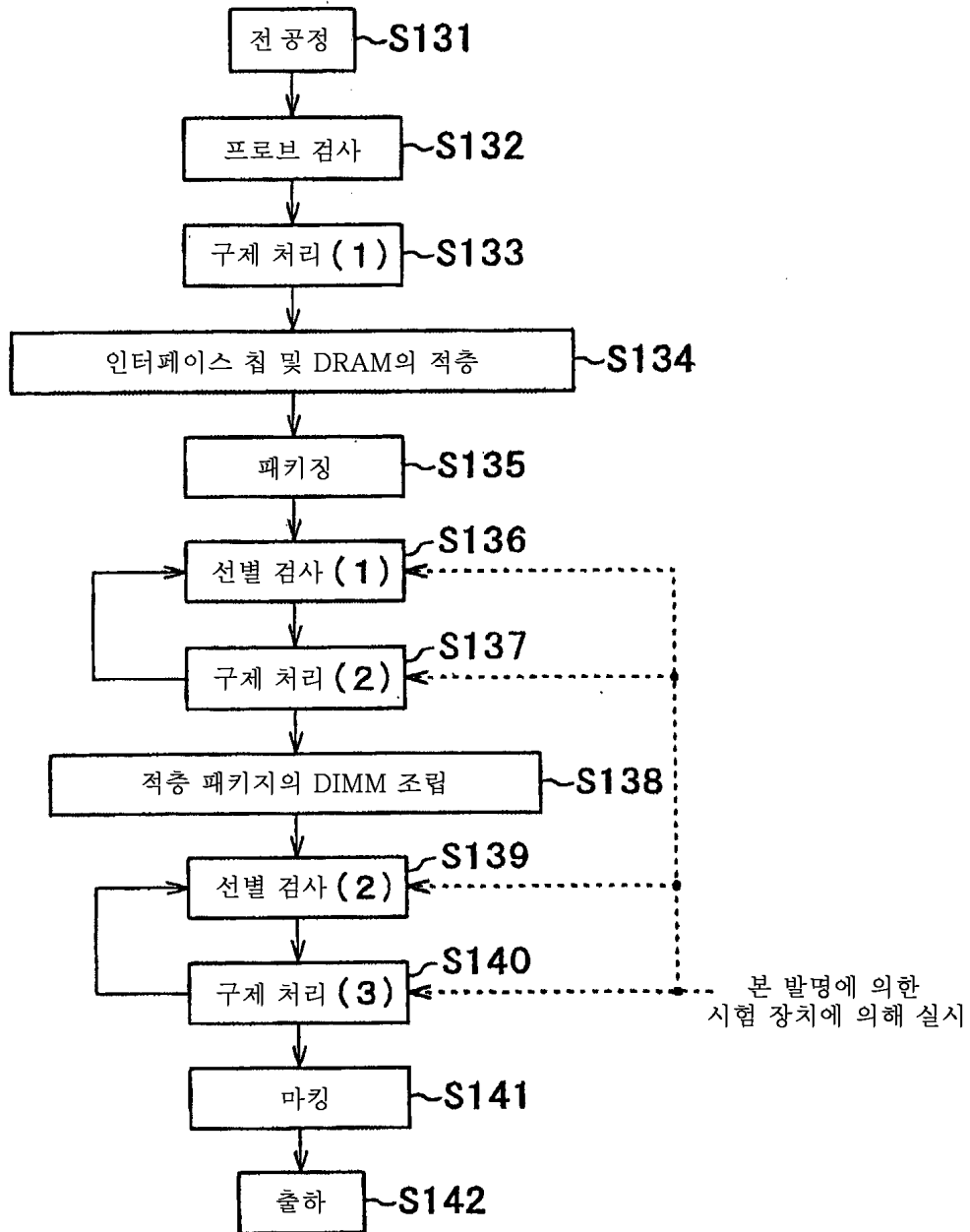
도면11



도면12



도면13



도면14

