



(21)申請案號：112106930

(22)申請日：中華民國 112 (2023) 年 02 月 24 日

(51)Int. Cl.：

H01L23/528 (2006.01)

H01L27/12 (2006.01)

(30)優先權：

2022/03/04 日本 2022-033435

2022/03/11 日本 2022-038026

2022/03/18 日本 2022-044001

2022/03/31 日本 2022-058775

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：保坂泰靖 HOSAKA, YASU HARU (JP)；島行德 SHIMA, YUKINORI (JP)；神長正
美 JINTYOU, MASAMI (JP)；中田昌孝 NAKADA, MASATAKA (JP)；肥塚純一
KOEZUKA, JUNICHI (JP)；岡崎健一 OKAZAKI, KENICHI (JP)

(74)代理人：林怡芳；童啓哲

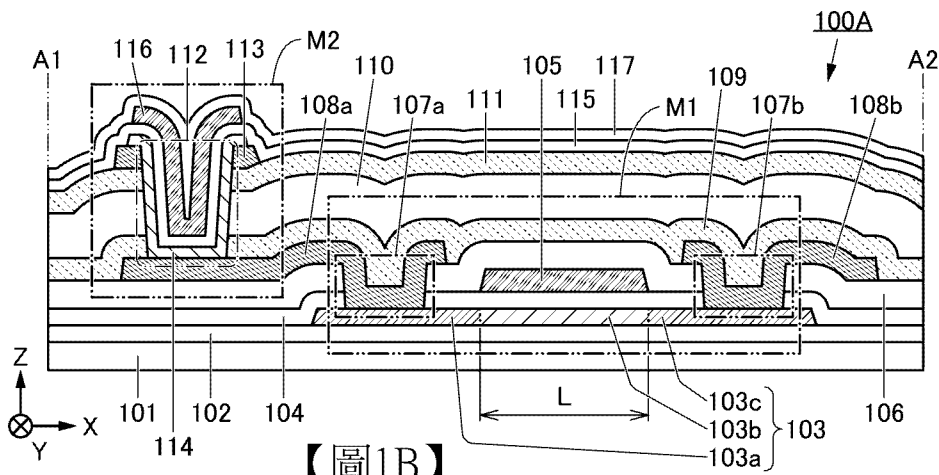
申請實體審查：無 申請專利範圍項數：12 項 圖式數：42 共 170 頁

(54)名稱
半導體裝置

(57)摘要

提供一種新穎半導體裝置。本發明是組合橫向通道型電晶體和縱向通道型電晶體的半導體裝置。使用橫向通道型電晶體構成 p 通道型電晶體且使用縱通道型電晶體構成 n 通道型電晶體，由此實現 CMOS 型半導體裝置。在與橫向通道型電晶體的閘極電極重疊的區域的絕緣層中設置開口，在該開口中形成縱向通道型電晶體。在縱向通道型電晶體的半導體層中使用氧化物半導體。

指定代表圖：



【圖1B】

- 符號簡單說明：
- M1:電晶體
 - M2:電晶體
 - 100A:半導體裝置
 - 101:基板
 - 102:絕緣層
 - 103a:汲極區域
 - 103b:通道形成區域
 - 103c:源極區域
 - 103:半導體層
 - 104:絕緣層
 - 105:導電層
 - 106:絕緣層

- 107a:開口
- 107b:開口
- 108a:導電層
- 108b:導電層
- 109:絕緣層
- 110:絕緣層
- 111:絕緣層
- 112:開口
- 113:導電層
- 114:半導體層
- 115:絕緣層
- 116:導電層
- 117:絕緣層



【發明摘要】

【中文發明名稱】 半導體裝置

【中文】

提供一種新穎半導體裝置。本發明是組合橫向通道型電晶體和縱向通道型電晶體的半導體裝置。使用橫向通道型電晶體構成p通道型電晶體且使用縱向通道型電晶體構成n通道型電晶體，由此實現CMOS型半導體裝置。在與橫向通道型電晶體的閘極電極重疊的區域的絕緣層中設置開口，在該開口中形成縱向通道型電晶體。在縱向通道型電晶體的半導體層中使用氧化物半導體。

【指定代表圖】 圖1B

【代表圖之符號簡單說明】

M1:電晶體

M2:電晶體

100A:半導體裝置

101:基板

102:絕緣層

103a:汲極區域

103b:通道形成區域

103c:源極區域

103:半導體層

- 104:絕緣層
- 105:導電層
- 106:絕緣層
- 107a:開口
- 107b:開口
- 108a:導電層
- 108b:導電層
- 109:絕緣層
- 110:絕緣層
- 111:絕緣層
- 112:開口
- 113:導電層
- 114:半導體層
- 115:絕緣層
- 116:導電層
- 117:絕緣層

【發明說明書】

【中文發明名稱】 半導體裝置

【技術領域】

【0001】本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本說明書等所公開的發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。尤其是，關於一種半導體裝置及半導體裝置的製造方法。

【0002】本發明的一個實施方式不侷限於上述技術領域。作為說明書等所公開的本發明的一個實施方式的技術領域的例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置（例如，觸控感測器）、輸入輸出裝置（例如，觸控面板）、這些裝置的驅動方法或這些裝置的製造方法。

【0003】在本說明書等中，半導體裝置是指利用半導體特性的裝置以及包括半導體元件（電晶體、二極體、光電二極體等）的電路及包括該電路的裝置等。此外，半導體裝置是指能夠利用半導體特性而發揮作用的所有裝置。例如，作為半導體裝置的例子，有積體電路、具備積體電路的晶片、封裝中容納有晶片的電子構件。此外，有時記憶體裝置、顯示裝置、發光裝置、照明設備以及電子裝置等本身是半導體裝置，或者包括半導體裝置。

【先前技術】

【0004】在半導體裝置之一的顯示裝置中，作為實現輕量化、窄邊框化的方法之一，已知像素電路和驅動電路的至少一部分一起製造在同一基板上。另外，為了實現進一步的窄邊框化，需要縮小驅動電路。

第1頁，共 123 頁(發明說明書)

【0005】一般而言，驅動電路使用 CMOS（Complementary Metal Oxide Semiconductor：互補型金屬氧化物半導體）電路構成。CMOS 電路組合 n 通道型電晶體和 p 通道型電晶體來構成，設計自由度較高。

【0006】另一方面，正在研究僅使用 n 通道型電晶體構成的驅動電路或者僅使用 p 通道型電晶體構成的驅動電路，以實現窄邊框化。將這種結構的電路還稱為“單極電路”。例如，專利文獻 1 公開了使用單極電路構成移位暫存器的技術。

[專利文獻]

【0007】

[專利文獻 1]日本專利申請公開第 2002-049333 號公報

【發明內容】

【0008】本發明的一個實施方式的目的之一是提供一種佔有面積小的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種功耗低的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎半導體裝置。

【0009】注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

【0010】

（1）本發明的一個實施方式是一種半導體裝置，該半導體裝置包括設置在絕緣表面上的第一半導體層、第一半導體層上的第一絕緣層、第一絕緣層上的第一導電層、與第一半導體層的一部分電連接的第二導電層、與第一半導體層的其他一部分電連接的第三導電層、覆蓋第一導電層、第二導電層及第三導

第2頁，共 123 頁(發明說明書)

電層的第二絕緣層、第二絕緣層上的第三絕緣層、第三絕緣層上的第四絕緣層、第四絕緣層上的第四導電層、貫通第二絕緣層、第三絕緣層、第四絕緣層及第四導電層的開口、具有覆蓋開口的側面及底部的區域的第二半導體層、具有分別隔著第二半導體層與開口的側面重疊的區域及與開口的底部重疊的區域的第五絕緣層、以及具有分別隔著第二半導體層及第五絕緣層與開口的側面重疊的區域及與開口的底部重疊的區域的第五導電層。第二半導體層與第二導電層電連接。

【0011】另外，在（1）中，第二半導體層也可以具有隔著第二導電層與所述第一半導體層重疊的區域。

【0012】

（2）本發明的另一個實施方式是一種半導體裝置，該半導體裝置包括設置在絕緣表面上的第一半導體層、第一半導體層上的第一絕緣層、第一絕緣層上的第一導電層、與第一半導體層電連接的第二導電層、與第一半導體層電連接的第三導電層、覆蓋第一導電層、第二導電層及第三導電層的第二絕緣層、第二絕緣層上的第三絕緣層、第三絕緣層上的第四絕緣層、第四絕緣層上的第四導電層、貫通第二絕緣層、第三絕緣層、第四絕緣層及第四導電層的開口、具有覆蓋開口的側面及底部的區域的第二半導體層、具有分別隔著第二半導體層與開口的側面重疊的區域及與開口的底部重疊的區域的第五絕緣層、以及具有分別隔著第二半導體層及第五絕緣層與開口的側面重疊的區域及與開口的底部重疊的區域的第五導電層。第二半導體層與第一導電層電連接。

【0013】另外，在上述（1）及（2）中，第二絕緣層較佳為包含矽及氮。第三絕緣層較佳為包含矽及氧。第四絕緣層較佳為包含矽及氮。

【0014】另外，在上述（1）及（2）中，第一半導體層具有與第二半導體層不同的組成。例如，也可以將矽用於第一半導體層且將氧化物半導體用於第二半導體層。

【0015】另外，在上述（1）及（2）中，第一半導體層較佳為包含第 13 族元素和第 15 族元素中的一者或兩者。

【0016】氧化物半導體較佳為包含銦和鋅中的一者或兩者。

【0017】根據本發明的一個實施方式可以提供一種佔有面積小的半導體裝置。另外，根據本發明的一個實施方式可以提供一種功耗低的半導體裝置。另外，根據本發明的一個實施方式可以提供一種可靠性高的半導體裝置。另外，根據本發明的一個實施方式可以提供一種新穎半導體裝置。

【0018】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

【0019】

[圖 1A]是半導體裝置的俯視圖。[圖 1B]是半導體裝置的剖面圖。[圖 1C]是半導體裝置的等效電路圖。[圖 1D]是半導體裝置的時序圖。[圖 1E]是反相器電路的電路符號。

[圖 2]是半導體裝置的剖面圖。

[圖 3A]是半導體裝置的剖面圖。[圖 3B]是開口的俯視圖。[圖 3C]是半導體裝置的剖面圖。

[圖 4A]是半導體裝置的俯視圖。[圖 4B]是半導體裝置的剖面圖。[圖 4C]及[圖 4D]是半導體裝置的等效電路圖。

[圖 5A]是半導體裝置的俯視圖。[圖 5B]是半導體裝置的剖面圖。[圖 5C]及[圖 5D]是半導體裝置的等效電路圖。

[圖 6A]是半導體裝置的俯視圖。[圖 6B]是半導體裝置的剖面圖。[圖 6C]及[圖 6D]是半導體裝置的等效電路圖。

[圖 7A]是半導體裝置的俯視圖。[圖 7B]是半導體裝置的剖面圖。[圖 7C]及[圖 7D]是半導體裝置的等效電路圖。

[圖 8A]是半導體裝置的俯視圖。[圖 8B]是半導體裝置的剖面圖。[圖 8C]及[圖 8D]是半導體裝置的等效電路圖。

[圖 9A]是半導體裝置的俯視圖。[圖 9B]是半導體裝置的剖面圖。[圖 9C]及[圖 9D]是半導體裝置的等效電路圖。

[圖 10A]是半導體裝置的俯視圖。[圖 10B]是半導體裝置的剖面圖。[圖 10C]及[圖 10D]是半導體裝置的等效電路圖。

[圖 11A]是半導體裝置的俯視圖。[圖 11B]是半導體裝置的剖面圖。[圖 11C]及[圖 11D]是半導體裝置的等效電路圖。

[圖 12A]是半導體裝置的俯視圖。[圖 12B]是半導體裝置的剖面圖。[圖 12C]及[圖 12D]是半導體裝置的等效電路圖。

[圖 13A]是半導體裝置的俯視圖。[圖 13B]是半導體裝置的剖面圖。[圖 13C]及[圖 13D]是半導體裝置的等效電路圖。

[圖 14A]是半導體裝置的俯視圖。[圖 14B]是半導體裝置的剖面圖。[圖 14C]及[圖 14D]是半導體裝置的等效電路圖。

[圖 15A]至[圖 15E]是說明半導體裝置的製造方法的圖。

[圖 16A]至[圖 16D]是說明半導體裝置的製造方法的圖。

[圖 17A]至[圖 17D]是說明半導體裝置的製造方法的圖。

[圖 18A]至[圖 18C]是說明半導體裝置的製造方法的圖。

[圖 19A]至[圖 19C]是說明半導體裝置的製造方法的圖。

[圖 20A]是顯示裝置的立體圖。[圖 20B]是顯示裝置的方塊圖。

[圖 21A]至[圖 21F]是說明邏輯電路的結構例子的圖。

[圖 22A]及[圖 22B]是說明 D 正反器電路的結構例子的圖。

[圖 23]是說明移位暫存器電路的結構例子的圖。

[圖 24A]及[圖 24B]是門鎖電路的電路圖。

[圖 25A]至[圖 25D]是解多工電路的電路圖。

[圖 26A]至[圖 26D]是像素電路的電路圖。

[圖 27A]至[圖 27D]是像素電路的電路圖。

[圖 28A]及[圖 28B]是像素電路的電路圖。

[圖 29A]及[圖 29B]是像素電路的電路圖。

[圖 30]是說明像素電路的結構例子的圖。

[圖 31A]至[圖 31G]是示出像素的一個例子的圖。

[圖 32A]至[圖 32K]是示出像素的一個例子的圖。

[圖 33A]至[圖 33F]是示出發光器件的結構例子的圖。

[圖 34A]至[圖 34C]是示出發光器件的結構例子的圖。

[圖 35A]及[圖 35B]是示出顯示裝置的結構例子的圖。

[圖 36A]至[圖 36D]是示出顯示裝置的結構例子的圖。

[圖 37A]至[圖 37C]是示出顯示裝置的結構例子的圖。

[圖 38A]至[圖 38D]是示出顯示裝置的結構例子的圖。

[圖 39A]至[圖 39F]是示出顯示裝置的結構例子的圖。

[圖 40A]至[圖 40F]是示出顯示裝置的結構例子的圖。

[圖 41A]至[圖 41F]是示出電子裝置的一個例子的圖。

[圖 42A]至[圖 42F]是示出電子裝置的一個例子的圖。

【實施方式】

【0020】 參照圖式詳細說明實施方式。注意，本發明不侷限於下面說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。注意，在下面說明的發明結構中，有時在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。

【0021】 此外，為了便於理解，有時在圖式等中示出的各組件的位置、大小及範圍等並不表示其實際的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。例如，在實際的製程中，有時由於蝕刻等處理而層及光阻遮罩等非意圖性地被減薄，但是為了便於理解發明有時省略記載。

【0022】 另外，尤其在俯視圖（也稱為平面圖）及立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線等的記載。

【0023】 本說明書等中的“第一”、“第二”等序數詞是為了避免組件的混淆而附加的，其並不表示製程順序或者層疊順序等某種順序或次序。注意，關於本說明書等中不附加有序數詞的術語，為了避免組件的混淆，在申請專利範圍中有時對該術語附加序數詞。注意，本說明書等中附加的序數詞與在申請專利範圍中附加的序數詞有時不同。注意，關於本說明書等中附加有序數詞的術語，在申請專利範圍等中有時省略其序數詞。

【0024】此外，在本說明書等中，“電極”及“佈線”不在功能上限定其組件。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”及“佈線”還包括多個“電極”及“佈線”被設置為一體的情況等。

【0025】另外，在本說明書等中，當在利用光微影法形成光阻遮罩之後進行蝕刻製程（去除製程）時，在沒有特別說明的情況下，在蝕刻製程結束之後去除該光阻遮罩。

【0026】另外，根據情況或狀態，可以互相調換“膜”和“層”。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”調換為“絕緣層”。

【0027】在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源極端子、源極區域或源極電極）之間具有通道形成區域，並且電流能夠藉由通道形成區域流過汲極和源極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0028】另外，在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，電晶體的“源極”及“汲極”的功能有時被互相調換。因此，在本說明書等中，可以互相調換使用“源極”和“汲極”。

【0029】另外，在沒有特別的說明的情況下，本說明書等所示的電晶體為增強型（常關閉型）場效應電晶體。另外，在本說明書等所示的電晶體為 n 通道型電晶體且沒有特別的說明的情況下，該電晶體的臨界電壓（也稱為“ V_{th} ”）大於 0V。另外，在本說明書等所示的電晶體為 p 通道型電晶體且沒有特別的說明的情況下，該電晶體的臨界電壓（也稱為“ V_{th} ”）為 0V 以下。

【0030】此外，在本說明書等中，在沒有特別說明的情況下，關態電流（off-state current）是指電晶體處於關閉狀態（也稱為非導通狀態、遮斷狀態）

時的汲極電流（也稱為“ I_d ”）。在沒有特別說明的情況下，在 n 通道型電晶體中，關閉狀態是指以源極基準時的閘極與源極間的電位差（也稱為“閘極電壓”或“ V_g ”）低於臨界電壓的狀態，在 p 通道型電晶體中，關閉狀態是指 V_g 高於臨界電壓的狀態。例如，有時 n 通道型電晶體的關態電流是指 V_g 低於 V_{th} 時的汲極電流。

【0031】在本說明書等中，有時將關態電流記為洩漏電流。在本說明書等中，關態電流例如有時指在電晶體處於關閉狀態時流在源極與汲極間的電流。

【0032】此外，在本說明書等中，高電源電位 VDD （以下，也簡單地稱為“ VDD ”或“電位 H”）是指比低電源電位 VSS 高的電位的電源電位。此外，低電源電位 VSS （以下，也簡單地稱為“ VSS ”或“電位 L”）是指比高電源電位 VDD 低的電位的電源電位。此外，也可以將接地電位 GND （以下，簡稱為“ GND ”）用作 VDD 或 VSS 。例如，當 VDD 為 GND 時 VSS 為比 GND 低的電位，當 VSS 為 GND 時 VDD 為比 GND 高的電位。

【0033】此外，“電壓”一般是指某個電位與參考電位（例如，接地電位或源極電位等）之間的電位差。另外，“電位”是相對的，對佈線等供應的電位有時根據參考電位而變化。因此，有時也可以互換“電壓”與“電位”的稱謂。在本說明書等中，除非特別敘述，以 VSS 為參考電位。

【0034】另外，在本說明書等中，為了方便起見，有時使用“上”、“下”、“上方”或“下方”等表示配置的詞句以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各結構的方向適當地改變。因此，不侷限於說明書等中所說明的詞句，根據情況可以適當地換詞句。例如，如果是“位於導電體的頂面的絕緣體”的表述，藉由將所示的圖式的方向旋轉 180 度，則可以換稱為“位於導電體的下面的絕緣體”。

【0035】此外，“上”及“下”這樣的術語不限定於組件的位置關係為“正上”或“正下”且直接接觸的情況。例如，如果是“絕緣層 A 上的電極 B”的表述，則不一定必須在絕緣層 A 上直接接觸地形成有電極 B，也可以包括在絕緣層 A 與電極 B 之間包括其他組件的情況。

【0036】在本說明書等中，“重疊”等詞語不限定組件的疊層順序等的狀態。例如，“與絕緣層 A 重疊的電極 B”不侷限於“在絕緣層 A 上形成有電極 B”的狀態，還包括“在絕緣層 A 下形成有電極 B”的狀態或“在絕緣層 A 的右側（或左側）形成有電極 B”的狀態等。

【0037】在本說明書等中，“相鄰”及“接近”等詞語不限定組件直接接觸的狀態。例如，如果是“與絕緣層 A 相鄰的電極 B”的表述，則不一定必須是絕緣層 A 與電極 B 直接接觸而形成的情況，也可以包括在絕緣層 A 與電極 B 之間包括其他組件的情況。

【0038】在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0039】另外，在本說明書等中，除非特別敘述，計數值或計量值“同一”、“相同”、“相等”或“均勻”等的情况包括 $\pm 20\%$ 的變動作為誤差。

【0040】此外，有時在根據本說明書的圖式等中附上表示 X 方向、Y 方向以及 Z 方向的箭頭。在本說明書等中，“X 方向”是指沿著 X 軸的方向，除了明確指出的情況以外，有時不區分正方向和反方向。“Y 方向”及“Z 方向”也與“X 方向”相同。另外，X 方向、Y 方向以及 Z 方向是彼此交叉的方向。更明確而

言，X 方向、Y 方向以及 Z 方向是彼此正交的方向。在本說明書等中，有時將 X 方向、Y 方向和 Z 方向中的一個稱為“第一方向”。此外，有時將其他另一個稱為“第二方向”。另外，有時將剩下的一個稱為“第三方向”。

【0041】在本說明書等中，在多個組件使用同一符號並且需要區分它們時，有時對符號附加“A”、“b”、“_1”、“[n]”、“[m，n]”等用於識別的符號。例如，有時將導電層 108 分為導電層 108a 和導電層 108b 而進行圖示。

【0042】

實施方式 1

說明根據本發明的一個實施方式的半導體裝置 100A。圖 1A 是半導體裝置 100A 的俯視圖。圖 1B 是沿著圖 1A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 1C 是半導體裝置 100A 的等效電路圖。圖 2 是沿著圖 1A 中的點劃線 B1-B2-B3 的部分的剖面示意圖。注意，在圖 1A 中，省略絕緣層等部分組件的記載，以容易理解半導體裝置的結構。

【0043】

<<結構例子>>

半導體裝置 100A 包括電晶體 M1 及電晶體 M2。電晶體 M1 是 p 通道型電晶體，電晶體 M2 是 n 通道型電晶體。圖 3A 及圖 3C 是圖 1B 所示的電晶體 M2 的放大圖。另外，圖 3B 是從 Z 方向看開口 112 的圖。

【0044】半導體裝置 100A 在基板 101 上包括絕緣層 102，並在絕緣層 102 上包括半導體層 103。另外，在絕緣層 102 及半導體層 103 上包括絕緣層 104。另外，在絕緣層 104 上包括導電層 105。半導體層 103 和導電層 105 具有彼此重疊的區域。

【0045】另外，在絕緣層 104 及導電層 105 上包括絕緣層 106。另外，在與半導體層 103 的一部分重疊的區域中，絕緣層 104 及絕緣層 106 中設置有開口 107a。另外，在與半導體層 103 的其他一部分重疊的區域中，絕緣層 104 及絕緣層 106 中設置有開口 107b。

【0046】另外，絕緣層 106 及開口 107a 上設置有導電層 108a，絕緣層 106 及開口 107b 上設置有導電層 108b。導電層 108a 在開口 107a 中與半導體層 103 電連接。另外，導電層 108b 在開口 107b 中與半導體層 103 電連接。

【0047】另外，半導體層 103 具有汲極區域 103a、通道形成區域 103b 以及源極區域 103c。在半導體層 103 中，與導電層 105 重疊的區域被用作通道形成區域 103b。因此，通道形成區域 103b 的 X 方向的長度是電晶體 M1 的通道長度 L（參照圖 1B）。另外，通道形成區域 103b 的 Y 方向的長度是電晶體 M1 的通道寬度 W（參照圖 2）。

【0048】另外，汲極區域 103a 與導電層 108a 電連接，源極區域 103c 與導電層 108b 電連接。

【0049】另外，絕緣層 106、導電層 108a 及導電層 108b 上設置有絕緣層 109，絕緣層 109 上設置有絕緣層 110，絕緣層 110 上設置有絕緣層 111。另外，絕緣層 111 上設置有導電層 113。

【0050】另外，在與導電層 108a 的一部分重疊的區域中，導電層 113、絕緣層 111、絕緣層 110 及絕緣層 109 中設置有開口 112（參照圖 1B 及圖 3A）。另外，在開口 112 上包括半導體層 114。另外，半導體層 114 具有與開口 112 的底部重疊的區域以及與開口 112 的側面重疊的區域。另外，半導體層 114 的一部分與導電層 113 電連接，半導體層 114 的其他一部分與導電層 108a 電連接。

【0051】另外，在絕緣層 111、導電層 113 及半導體層 114 上包括絕緣層 115，在絕緣層 115 上包括導電層 116。另外，在絕緣層 115 及導電層 116 上包括絕緣層 117。絕緣層 115 具有隔著半導體層 114 與開口 112 的側面重疊的區域。導電層 116 具有隔著絕緣層 115 及半導體層 114 與開口 112 的側面重疊的區域。

【0052】另外，在與導電層 105 重疊的區域中，絕緣層 115、絕緣層 111、絕緣層 110、絕緣層 109 及絕緣層 106 中設置有開口 127。在開口 127 中導電層 105 與導電層 116 電連接。

【0053】半導體層 103 被用作形成電晶體 M1 的通道的半導體層，絕緣層 104 被用作閘極絕緣層，導電層 105 被用作閘極電極。另外，導電層 108a 被用作電晶體 M1 的汲極電極，導電層 108b 被用作源極電極。

【0054】半導體層 114 被用作形成電晶體 M2 的通道的半導體層，絕緣層 115 被用作閘極絕緣層，導電層 116 被用作閘極電極。另外，導電層 108a 被用作電晶體 M2 的汲極電極，導電層 113 被用作源極電極。電晶體 M2 設置在包括開口 112 的區域中。

【0055】因為電晶體 M2 的源極電極和汲極電極配置在 Z 方向上，所以 Id 沿 Z 方向（縱向）流過。換言之，Id 沿垂直於或大致垂直於基板 101 表面的方向流過。將 Id 沿縱向流過的電晶體還稱為“縱向通道型電晶體”。

【0056】因為電晶體 M1 的源極電極和汲極電極配置在 X 方向上，所以 Id 沿 X 方向（橫向）流過。換言之，Id 沿平行於或大致平行於基板 101 表面的方向流過。將 Id 沿橫向流過的電晶體還稱為“橫向通道型電晶體”。另外，Id 沿 Y 方向流過的電晶體也是“橫向通道型電晶體”。

【0057】縱向通道型電晶體的源極電極和汲極電極配置在 Z 方向上，因此與橫向通道型電晶體相比，可以大幅度縮小佔有面積。

【0058】在此，說明可用於本發明的一個實施方式的半導體裝置等的材料。

【0059】

[基板]

對於用於基板的材料沒有太大的限制。可以根據目的來考慮是否需要具有透光性及能夠承受加熱處理程度的耐熱性等而決定。例如，可以使用如硼矽酸鋁玻璃和硼矽酸鋁玻璃等玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，也可以使用半導體基板、撓性基板、貼合薄膜、基材薄膜等。

【0060】例如，作為半導體基板，可以舉出由矽或鍺等構成的半導體基板，或者作為其材料使用碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等的化合物半導體基板等。另外，半導體基板可以為單晶半導體或多晶半導體。

【0061】作為將本發明的一個實施方式的半導體裝置用於顯示裝置時的基板，例如可以使用第六世代（1500mm×1850mm）、第七世代（1870mm×2200mm）、第八世代（2200mm×2400mm）、第九世代（2400mm×2800mm）、第十世代（2950mm×3400mm）等面積大的玻璃基板。由此，可以製造大型顯示裝置。藉由基板被大型化，由於從一個基板可以製造更多的顯示裝置，所以可以降低製造成本。

【0062】此外，為了提高半導體裝置的撓性，作為基板也可以使用撓性基板、貼合薄膜、基材薄膜等。

【0063】作為撓性基板、貼合薄膜、基材薄膜的材料，例如可以使用如下材料：聚對苯二甲酸乙二醇酯（PET）或聚萘二甲酸乙二醇酯（PEN）等聚酯、聚丙烯腈、丙烯酸樹脂、聚醯亞胺、聚甲基丙烯酸甲酯、聚碳酸酯（PC）、聚醚砜（PES）、聚醯胺（尼龍、芳香族聚醯胺等）、聚矽氧烷、環

烯烴、聚苯乙烯、聚醯胺-醯亞胺、聚氨酯、聚氯乙烯、聚偏二氯乙烯、聚丙烯、聚四氟乙烯（PTFE）、ABS 樹脂以及纖維素奈米纖維等。

【0064】藉由作為基板使用上述材料，可以提供輕量的半導體裝置。此外，藉由作為基板使用上述材料，可以提供耐衝擊性高的半導體裝置。此外，藉由作為基板使用上述材料，可以提供不易破損的半導體裝置。

【0065】用作基板的撓性基板的線性膨脹係數越低越能夠抑制其因環境而發生變形，所以是較佳的。例如，用作基板的具有撓性的基板可以使用線性膨脹係數為 $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下或 $1 \times 10^{-5}/K$ 以下的材料。尤其是，芳香族聚醯胺的線性膨脹係數較低，因此適合用於撓性基板。

【0066】

[導電層]

作為能夠用於電晶體的閘極電極、源極電極及汲極電極、構成半導體裝置的各種佈線及電極等的導電層的導電材料，可以使用選自鋁（Al）、鉻（Cr）、銅（Cu）、銀（Ag）、金（Au）、鉑（Pt）、鉭（Ta）、鎳（Ni）、鈦（Ti）、鉬（Mo）、鎢（W）、鈦（Hf）、釩（V）、鈮（Nb）、錳（Mn）、鎂（Mg）、鋯（Zr）、鈹（Be）等中的金屬元素、以上述金屬元素為成分的合金或組合上述金屬元素的合金等。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的半導體以及鎳矽化物等矽化物。對導電材料的形成方法沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法、旋塗法等各種形成方法。

【0067】另外，作為導電材料，也可以使用 Cu-X 合金（X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti）。使用 Cu-X 合金形成的層可以以濕蝕刻製程進行加工，從而可以抑制製造成本。此外，作為導電材料，也可以使用包含選自鈦、鉭、鎢、鉬、鉻、鈹、釩中的一種或多種的元素的鋁合金。

【0068】作為能夠用於導電層的導電材料，可以使用包含氧的導電材料諸如銮錫氧化物、包含氧化錫的銮氧化物、包含氧化錫的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有氧化矽的銮錫氧化物等。此外，也可以使用包含氮化鈦、氮化鋁、氮化錫等包含氮的導電材料。另外，導電層也可以採用適當地組合包含氧的導電材料、包含氮的導電材料、包含上述金屬元素的材料之疊層結構。

【0069】例如，導電層可以採用包含矽的鋁層之單層結構、在鋁層上層疊鈦層之兩層結構、在氮化鈦層上層疊鈦層之兩層結構、在氮化鈦層上層疊錫層之兩層結構、在氮化鋁層上層疊錫層之兩層結構以及依次層疊鈦層、鋁層和鈦層之三層結構等。

【0070】另外，也可以層疊多個由上述導電材料形成的導電層。例如，導電層也可以採用組合包含上述金屬元素的材料和包含氧的導電材料之疊層結構。另外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料之疊層結構。另外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料之疊層結構。

【0071】例如，導電層也可以採用依次層疊包含銮和鋅中之至少一個及氧的導電層、包含銅的導電層以及包含銮和鋅中之至少一個及氧的導電層之三層結構。此時，較佳為在包含銅的導電層之側面也由包含銮和鋅中之至少一個及氧的導電層覆蓋。另外，例如，作為導電層也可以採用層疊多個包含銮和鋅中之至少一個及氧的導電層。

【0072】

[絕緣層]

作為各絕緣層採用選自如下材料之單層或疊層：氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氧化鎂、氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鎳、氧

化鍺、氧化釔、氧化鉛、氧化鐳、氧化釹、氧化鉛、氧化鉭、鋁矽酸鹽等。另外，也可以使用混合氧化物材料、氮化物材料、氧氮化物材料和氮氧化物材料中的多種而成的材料。

【0073】在本說明書等中，氮氧化物是指含氮量大於含氧量的材料。另外，氧氮化物是指含氧量大於含氮量的材料。另外，各元素的含量例如可以使用拉塞福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）等來測量。

【0074】例如，絕緣層 102 及絕緣層 117 較佳為使用不易使雜質透過的絕緣材料形成。例如，可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、釔、鉛、鐳、釹或鉭的絕緣材料的單層或疊層。例如，作為不易使雜質透過的絕緣材料的一個例子，可以舉出氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、氧化銻、氧化鍺、氧化釔、氧化鉛、氧化鐳、氧化釹、氧化鉛、氧化鉭、氮化矽等。

【0075】藉由作為絕緣層 102 使用不易使雜質透過的絕緣材料，可以抑制從基板 101 一側的雜質擴散而可以提高半導體裝置的可靠性。藉由作為絕緣層 117 使用不易使雜質透過的絕緣材料，可以抑制來自絕緣層 117 的上方的雜質擴散而可以提高半導體裝置的可靠性。

【0076】當將氧化物半導體用於半導體層 114 時，作為絕緣層 106 較佳為使用不易使雜質透過的絕緣材料。藉由作為絕緣層 106 使用不易使雜質透過的絕緣材料，可以抑制來自絕緣層 106 的下方的雜質擴散而可以提高半導體裝置的可靠性。

【0077】另外，作為絕緣層也可以使用用作平坦化層的絕緣層。作為用作平坦化層的絕緣層，可以使用諸如聚醯亞胺、丙烯酸樹脂、苯并環丁烯樹脂、聚醯胺、環氧樹脂等具有耐熱性的有機材料。除了上述有機材料以外，也可以

使用低介電常數材料（low-k 材料）、矽氧烷樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以層疊多個由這些材料形成的絕緣層。

【0078】另外，矽氧烷樹脂相當於以矽氧烷類材料為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷樹脂也可以使用有機基（例如烷基或芳基）或氟基作為取代基。此外，有機基也可以包括氟基。

【0079】另外，也可以對絕緣層等的表面進行 CMP 處理。藉由進行 CMP 處理可以減少樣本表面的凹凸，從而可以提高之後形成的絕緣層及導電層的覆蓋性。

【0080】

[半導體層]

作為半導體層 103 及半導體層 114，可以單獨或組合地使用單晶半導體、多晶半導體、微晶半導體或非晶半導體等。作為半導體材料，例如可以使用矽或鍺等。此外，也可以使用矽鍺、碳化矽、砷化鎵、氮化物半導體等化合物半導體。作為化合物半導體可以使用具有半導體特性的有機物或具有半導體特性的金屬氧化物（也稱為氧化物半導體）。注意，這些半導體材料也可以包含雜質作為摻雜物。

【0081】氧化物半導體的能帶間隙為 2eV 以上，因此在被形成通道的半導體層中使用金屬氧化物之一的氧化物半導體的電晶體（也稱為“OS 電晶體”）的關態電流極小。由此，可以降低半導體裝置 100A 的功耗。另外，OS 電晶體即使在高溫環境下也穩定地工作，特性變動較少。例如，即使在高溫環境下，關態電流也幾乎不增加。明確而言，即使在室溫以上且 200°C 以下的環境溫度下，關態電流也幾乎不增加。此外，即使在高溫環境下，通態電流也不容易下降。因此，使用 OS 電晶體的半導體裝置即使在高溫環境下也穩定地工作並具有高可靠性。

【0082】另一方面，使用 OS 電晶體實現 p 通道型電晶體是困難的。當使用 OS 電晶體構成 CMOS 電路時，較佳為與使用其他半導體材料的 p 通道型電晶體組合。

【0083】在本實施方式中，將在形成通道的半導體層中使用矽的電晶體（也稱為“Si 電晶體”）用作電晶體 M1。另外，藉由將 p 型半導體用於半導體層 103 的汲極區域 103a 及源極區域 103c，將電晶體 M1 用作 p 通道型電晶體。

【0084】作為用於半導體層的矽可以舉出單晶矽、多晶矽、微晶矽、非晶矽等。作為多晶矽例如可以舉出低溫多晶矽（LTPS：Low Temperature Poly Silicon）。

【0085】作為半導體層使用非晶矽的電晶體可以形成在大型玻璃基板上，可以以低成本製造。作為半導體層使用多晶矽的電晶體具有高場效移動率而能夠進行高速工作。此外，作為半導體層使用微晶矽的電晶體與使用非晶矽的電晶體相比具有高場效移動率而能夠進行高速工作。

【0086】另外，在本實施方式中，將 OS 電晶體用作電晶體 M2。因為在 OS 電晶體中源極和汲極間的絕緣耐壓高，所以可以縮短通道長度。因此，可以增高通態電流。

【0087】作為可用於 OS 電晶體的半導體層的金屬氧化物例如可以舉出銦氧化物、鎵氧化物及鋅氧化物。金屬氧化物較佳為至少包含銦（In）或鋅（Zn）。此外，金屬氧化物較佳為包含選自銦、元素 M 和鋅中的兩個或三個。注意，元素 M 是選自鎵、鋁、砷、硼、鉍、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鉛、鋇、鐳、銻、釷、鎢、鈾和鎂中的一種或多種。尤其是，元素 M 較佳為選自鋁、鎵、鉍和錫中的一種或多種。

【0088】例如，可以使用氧化銦、銦鋅氧化物（In-Zn 氧化物）、銦錫氧化物（In-Sn 氧化物）、銦鈦氧化物（In-Ti 氧化物）、銦鋁鋅氧化物（In-Al-Zn

氧化物，也記為 IAZO）、銦錫鋅氧化物（In-Sn-Zn 氧化物）、銦鈦鋅氧化物（In-Ti-Zn 氧化物）、銦鎵鋅氧化物（In-Ga-Zn 氧化物，也記為 IGZO）、銦鎵錫鋅氧化物（In-Ga-Sn-Zn 氧化物）、銦鎵鋁鋅氧化物（In-Ga-Al-Zn 氧化物，也記為 IGAZO 或 IAGZO）等。或者，可以使用含矽的銦錫氧化物等。

【0089】尤其是，元素 M 較佳為選自鎵、鋁、鈦和錫中的一種或多種。尤其是，元素 M 較佳為鎵。

【0090】這裡，用於半導體層的金屬氧化物的組成給 OS 電晶體的電特性及可靠性帶來很大的影響。

【0091】例如，藉由提高金屬氧化物的銦的含有率，可以實現通態電流大的電晶體。

【0092】在作為 OS 電晶體的半導體層使用 In-Zn 氧化物的情況下，較佳為使用銦的原子數比為鋅的原子數比以上的金屬氧化物。例如，可以使用金屬元素的原子數比為 In：Zn=1：1、In：Zn=2：1、In：Zn=3：1、In：Zn=4：1、In：Zn=5：1、In：Zn=7：1、In：Zn=10：1 或其附近的金屬氧化物。

【0093】在作為 OS 電晶體的半導體層使用 In-Sn 氧化物的情況下，較佳為使用銦的原子數比為錫的原子數比以上的金屬氧化物。例如，可以使用金屬元素的原子數比為 In：Sn=1：1、In：Sn=2：1、In：Sn=3：1、In：Sn=4：1、In：Sn=5：1、In：Sn=7：1、In：Sn=10：1 或其附近的金屬氧化物。

【0094】在作為 OS 電晶體的半導體層使用 In-Sn-Zn 氧化物的情況下，可以使用銦的原子數比高於錫的原子數比的金屬氧化物。再者，較佳為使用鋅的原子數比高於錫的原子數比的金屬氧化物。例如，可以使用金屬元素的原子數比為 In：Sn：Zn=2：1：3、In：Sn：Zn=3：1：2、In：Sn：Zn=4：2：3、In：Sn：Zn=4：2：4.1、In：Sn：Zn=5：1：3、In：Sn：Zn=5：1：6、In：Sn：Zn=5：1：7、In：Sn：Zn=5：1：8、In：Sn：Zn=6：1：6、In：Sn：Zn=10：

1 : 3、In : Sn : Zn=10 : 1 : 6、In : Sn : Zn=10 : 1 : 7、In : Sn : Zn=10 : 1 : 8、In : Sn : Zn=5 : 2 : 5、In : Sn : Zn=10 : 1 : 10、In : Sn : Zn=20 : 1 : 10、In : Sn : Zn=40 : 1 : 10 或其附近的金屬氧化物。

【0095】在作為 OS 電晶體的半導體層使用 In-Al-Zn 氧化物時，可以使用銦的原子數比高於鋁的原子數比的金屬氧化物。再者，較佳為使用鋅的原子數比高於鋁的原子數比的金屬氧化物。例如，可以使用金屬元素的原子數比為 In : Al : Zn=2 : 1 : 3、In : Al : Zn=3 : 1 : 2、In : Al : Zn=4 : 2 : 3、In : Al : Zn=4 : 2 : 4.1、In : Al : Zn=5 : 1 : 3、In : Al : Zn=5 : 1 : 6、In : Al : Zn=5 : 1 : 7、In : Al : Zn=5 : 1 : 8、In : Al : Zn=6 : 1 : 6、In : Al : Zn=10 : 1 : 3、In : Al : Zn=10 : 1 : 6、In : Al : Zn=10 : 1 : 7、In : Al : Zn=10 : 1 : 8、In : Al : Zn=5 : 2 : 5、In : Al : Zn=10 : 1 : 10、In : Al : Zn=20 : 1 : 10、In : Al : Zn=40 : 1 : 10 或其附近的金屬氧化物。

【0096】在作為 OS 電晶體的半導體層使用 In-Ga-Zn 氧化物時，可以使用相對於金屬元素的原子數的銦的原子數比高於鎵的原子數比的金屬氧化物。再者，更佳為使用鋅的原子數比高於鎵的原子數比的金屬氧化物。例如，半導體層可以使用金屬元素的原子數比為 In : Ga : Zn=2 : 1 : 3、In : Ga : Zn=3 : 1 : 2、In : Ga : Zn=4 : 2 : 3、In : Ga : Zn=4 : 2 : 4.1、In : Ga : Zn=5 : 1 : 3、In : Ga : Zn=5 : 1 : 6、In : Ga : Zn=5 : 1 : 7、In : Ga : Zn=5 : 1 : 8、In : Ga : Zn=6 : 1 : 6、In : Ga : Zn=10 : 1 : 3、In : Ga : Zn=10 : 1 : 6、In : Ga : Zn=10 : 1 : 7、In : Ga : Zn=10 : 1 : 8、In : Ga : Zn=5 : 2 : 5、In : Ga : Zn=10 : 1 : 10、In : Ga : Zn=20 : 1 : 10、In : Ga : Zn=40 : 1 : 10 或其附近的金屬氧化物。

【0097】在作為 OS 電晶體的半導體層使用 In-M-Zn 氧化物時，可以使用相對於金屬元素的原子數的銦的原子數比高於元素 M 的原子數比的金屬氧化

物。再者，更佳為使用鋅的原子數比高於元素 M 的原子數比的金屬氧化物。例如，半導體層可以使用金屬元素的原子數比為 $\text{In} : \text{M} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 4.1$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 40 : 1 : 10$ 或其附近的金屬氧化物。

【0098】注意，在作為元素 M 包含多個金屬元素時，該金屬元素的原子數比的總計可以為元素 M 的原子數比。例如，在採用作為元素 M 包含銻及鋁的 In-Ga-Al-Zn 氧化物時，銻的原子數比和鋁的原子數比的總計可以為元素 M 的原子數比。此外，銦、元素 M 及鋅的原子數比較佳為在上述範圍內。

【0099】較佳為使用如下金屬氧化物：金屬氧化物中的相對於金屬元素的原子數的銦的原子數的比率為 30 原子%以上且 100 原子%以下，較佳為 30 原子%以上且 95 原子%以下，更佳為 35 原子%以上且 95 原子%以下，更佳為 35 原子%以上且 90 原子%以下，更佳為 40 原子%以上且 90 原子%以下，更佳為 45 原子%以上且 90 原子%以下，更佳為 50 原子%以上且 80 原子%以下，更佳為 60 原子%以上且 80 原子%以下，更佳為 70 原子%以上且 80 原子%以下。例如，在作為半導體層使用 In-Ga-Zn 氧化物的情況下，相對於銦、元素 M 及鋅的原子數的總計的銦的原子數的比率較佳為在上述範圍內。

【0100】在本說明書等中，相對於含有的金屬元素的原子數的銦的原子數的比率有時記載為銦的含有率。其他金屬元素也是同樣的。

【0101】藉由提高金屬氧化物的銦的含有率，可以形成通態電流大的電晶體。藉由使用該電晶體，可以製造能夠高速工作的電路。再者，可以縮小電路

的佔有面積。例如，在該電晶體用於大型顯示裝置或高清晰的顯示裝置的情況下，在佈線數增加時也可以降低各佈線的信號延遲，由此可以抑制顯示不均勻。此外，由於可以縮小電路的佔有面積，所以可以縮小顯示裝置的邊框。

【0102】金屬氧化物的組成的分析例如可以使用能量色散 X 射線分析法（EDX：Energy Dispersive X-ray spectroscopy）、X 射線光電子能譜法（XPS：X-ray Photoelectron Spectroscopy）、電感耦合電漿質譜分析法（ICP-MS：Inductively Coupled Plasma-Mass Spectrometry）或電感耦合電漿原子發射光譜法（ICP-AES：Inductively Coupled Plasma-Atomic Emission Spectrometry）。或者，也可以組合多個上述方法而分析。注意，含有率低的元素有時受分析精度的影響實際上的含有率與分析所得的含有率不同。例如，當元素 M 的含有率低時，有時分析所得的元素 M 的含有率低於實際上的含有率。

【0103】金屬氧化物可以適當地利用濺射法或原子層沉積（ALD：Atomic Layer Deposition）法形成。注意，在利用濺射法形成金屬氧化物的情況下，有時靶材的原子數比與該金屬氧化物的原子數比不同。尤其是，金屬氧化物中的鋅的原子數比有時小於靶材中的鋅的原子數比。明確而言，該鋅的原子數比有時為靶材中的鋅的原子數比的 40% 以上且 90% 以下左右。

【0104】這裡，說明電晶體的可靠性。作為評價電晶體的可靠性的指標之一，有保持對閘極施加電場的狀態的 GBT（Gate Bias Temperature：閘極偏置）應力測試。其中，相對於源極電位及汲極電位，對閘極施加正電位（正偏壓）的狀態下在高溫下保持的測試稱為 PBTS（Positive Bias Temperature Stress）測試，對閘極施加負電位（負偏壓）的狀態下在高溫下保持的測試稱為 NBTS（Negative Bias Temperature Stress）測試。此外，將在照射光的狀態下進行的 PBTS 測試及 NBTS 測試分別稱為 PBTIS（Positive Bias Temperature

Illumination Stress) 測試及 NBTIS (Negative Bias Temperature Illumination Stress) 測試。

【0105】在 n 型電晶體中，使電晶體開啟狀態（流過電流的狀態）時對閘極施加正電位，因此 PBTS 測試的臨界電壓的變動量是作為電晶體的可靠性指標要著眼的重要因素之一。

【0106】藉由在半導體層中使用不包含銻或銻的含有率低的金屬氧化物，可以實現對於正偏壓施加的可靠性高的電晶體。也就是說，可以實現 PBTS 測試中的臨界電壓的變動量小的電晶體。此外，在使用含銻的金屬氧化物時，銻的含有率較佳為比銻的含有率低。由此，可以實現可靠性高的電晶體。

【0107】作為 PBTS 測試中的臨界電壓的變動的原因之一，可以舉出在半導體層和閘極絕緣層的介面或介面附近的缺陷態。缺陷態密度越大，PBTS 測試中的劣化越顯著。藉由降低半導體層的與閘極絕緣層接觸的區域的銻的含有率，可以抑制該缺陷態的生成。

【0108】作為藉由使用不包含銻或銻的含有率低的金屬氧化物作為半導體層可以抑制 PBTS 測試中的臨界電壓的變動的理由例如為如下。包含在金屬氧化物中的銻與其他金屬元素（例如銻或鋅）相比更容易抽吸氧。因此，可推測在包含較多的銻的金屬氧化物與閘極絕緣層的介面，藉由銻與閘極絕緣層中的過量氧鍵合，容易產生載子（這裡是電子）陷阱位點（trap site）。因此，當對閘極施加正電位時，在半導體層與閘極絕緣層的介面載子被俘獲，臨界電壓會變動。

【0109】更明確而言，在作為半導體層使用 In-Ga-Zn 氧化物的情況下，可以將銻的原子數比高於銻的原子數比的金屬氧化物用於半導體層。更佳為使用鋅的原子數比大於銻的原子數比的金屬氧化物。換言之，將金屬元素的原子數比滿足 $\text{In} > \text{Ga}$ 且 $\text{Zn} > \text{Ga}$ 的金屬氧化物用於半導體層。

第24頁，共 123 頁(發明說明書)

【0110】例如，OS 電晶體的半導體層可以使用金屬元素的原子數比為 In : Ga : Zn=2 : 1 : 3、In : Ga : Zn=3 : 1 : 2、In : Ga : Zn=4 : 2 : 3、In : Ga : Zn=4 : 2 : 4.1、In : Ga : Zn=5 : 1 : 3、In : Ga : Zn=5 : 1 : 6、In : Ga : Zn=5 : 1 : 7、In : Ga : Zn=5 : 1 : 8、In : Ga : Zn=6 : 1 : 6、In : Ga : Zn=10 : 1 : 3、In : Ga : Zn=10 : 1 : 6、In : Ga : Zn=10 : 1 : 7、In : Ga : Zn=10 : 1 : 8、In : Ga : Zn=5 : 2 : 5、In : Ga : Zn=10 : 1 : 10、In : Ga : Zn=20 : 1 : 10、In : Ga : Zn=40 : 1 : 10 或其附近的金屬氧化物。

【0111】OS 電晶體的半導體層較佳為使用如下金屬氧化物：相對於所包含的金屬元素的原子數的鎵的原子數的比率高於 0 原子%且為 50 原子%以下，較佳為 0.1 原子%以上且 40 原子%以下，更佳為 0.1 原子%以上且 35 原子%以下，更佳為 0.1 原子%以上且 30 原子%以下，更佳為 0.1 原子%以上且 25 原子%以下，更佳為 0.1 原子%以上且 20 原子%以下，更佳為 0.1 原子%以上且 15 原子%以下，更佳為 0.1 原子%以上且 10 原子%以下。藉由降低半導體層中的鎵的含有率，可以實現對於 PBTS 測試的耐性高的電晶體。注意，藉由在金屬氧化物中含有鎵，具有不容易在金屬氧化物中產生氧空位（ V_o : Oxygen Vacancy）的效果。

【0112】作為 OS 電晶體的半導體層，也可以使用不包含鎵的金屬氧化物。例如，可以將 In-Zn 氧化物用於半導體層。此時，當提高金屬氧化物中的相對於金屬元素的原子數的銦的原子數比時，可以提高電晶體的場效移動率。另一方面，當提高金屬氧化物中的相對於金屬元素的原子數的鋅的原子數比時，金屬氧化物具有高結晶性，因此電晶體的電特性的變動得到抑制，可以提高可靠性。此外，作為半導體層也可以使用氧化銦等不包含鎵及鋅的金屬氧化物。藉由使用不包含鎵的金屬氧化物，尤其是可以使 PBTS 測試中的臨界電壓的變動極為小。

【0113】例如，可以作為半導體層使用包含銦及鋅的氧化物。此時，可以使用例如金屬元素的原子數比為 $\text{In} : \text{Zn}=2 : 3$ 、 $\text{In} : \text{Zn}=4 : 1$ 或其附近的金屬氧化物。

【0114】注意，以鎵為例進行說明，但也可以應用於使用元素 M 代替鎵的情況。作為半導體層較佳為使用銦的原子數比高於元素 M 的原子數比的金屬氧化物。此外，較佳為使用鋅的原子數比高於元素 M 的原子數比的金屬氧化物。

【0115】藉由作為半導體層使用元素 M 的含有率低的金屬氧化物，可以實現對於正偏壓施加具有高可靠性的電晶體。藉由將該電晶體用作需要對於正偏壓施加具有高可靠性的電晶體，可以實現具有高可靠性的半導體裝置。

【0116】接著，說明對於光的電晶體的可靠性。

【0117】由於光入射到電晶體，有時電晶體的電特性變動。尤其較佳的是，用於光有可能入射的區域的電晶體在光照射下的電特性變動小且對於光具有高可靠性。對於光的可靠性例如可以藉由 NBTIS 測試中的臨界電壓的變動量進行評價。

【0118】藉由提高用於半導體層的金屬氧化物的元素 M 的含有率，可以實現對於光具有高可靠性的電晶體。也就是說，可以實現 NBTIS 測試中的臨界電壓的變動量小的電晶體。明確而言，元素 M 的原子數比為銦的原子數比以上的金屬氧化物的能帶間隙更大，可以使電晶體的 NBTIS 測試中的臨界電壓的變動量減少。半導體層所包含的金屬氧化物的能帶間隙較佳為 2.0eV 以上，更佳為 2.5eV 以上，更佳為 3.0eV 以上，更佳為 3.2eV 以上，更佳為 3.3eV 以上，更佳為 3.4eV 以上，更佳為 3.5eV 以上。

【0119】例如，半導體層可以使用金屬元素的原子數比為 $\text{In} : M : \text{Zn}=1 : 1 : 1$ 、 $\text{In} : M : \text{Zn}=1 : 1 : 1.2$ 、 $\text{In} : M : \text{Zn}=1 : 3 : 2$ 、 $\text{In} : M : \text{Zn}=1 : 3 : 3$ 、 $\text{In} : M : \text{Zn}=1 : 3 : 4$ 或其附近的金屬氧化物。

【0120】半導體層尤其可以適當地使用如下金屬氧化物：相對於所包含的金屬元素的原子數的元素 M 的原子數的比率為 20 原子%以上且 70 原子%以下，較佳為 30 原子%以上且 70 原子%以下，更佳為 30 原子%以上且 60 原子%以下，更佳為 40 原子%以上且 60 原子%以下，更佳為 50 原子%以上且 60 原子%以下。

【0121】在作為半導體層使用 In-Ga-Zn 氧化物時，可以使用相對於金屬元素的原子數的銦的原子數比為鎵的原子數比以下的金屬氧化物。例如，可以使用金屬元素的原子數比為 In : Ga : Zn=1 : 1 : 1、In : Ga : Zn=1 : 1 : 1.2、In : Ga : Zn=1 : 3 : 2、In : Ga : Zn=1 : 3 : 3、In : Ga : Zn=1 : 3 : 4 或其附近的金屬氧化物。

【0122】半導體層尤其較佳為使用如下金屬氧化物：相對於所包含的金屬元素的原子數的鎵的原子數的比率為 20 原子%以上且 60 原子%以下，較佳為 20 原子%以上且 50 原子%以下，更佳為 30 原子%以上且 50 原子%以下，更佳為 40 原子%以上且 60 原子%以下，更佳為 50 原子%以上且 60 原子%以下。

【0123】藉由對半導體層使用元素 M 的含有率高的金屬氧化物，可以實現對於光具有高可靠性的電晶體。藉由將該電晶體用作需要對於光具有高可靠性的電晶體，可以實現具有高可靠性的半導體裝置。

【0124】如上所述，根據用於半導體層的金屬氧化物的組成而電晶體的電特性及可靠性不同。因此，藉由根據電晶體所需的電特性及可靠性使金屬氧化物的組成不同，可以實現兼具優異的電特性及高可靠性的顯示裝置。

【0125】半導體層也可以具有包括兩個以上的金屬氧化物層的疊層結構。半導體層所包括的兩個以上的金屬氧化物層的組成也可以彼此相同或大致相同。藉由採用組成相同的金屬氧化物層的疊層結構，例如可以使用相同的濺射靶材形成，因此可以降低製造成本。

【0126】半導體層所包括的兩個以上的金屬氧化物層的組成也可以彼此不同。例如，可以適當地使用 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ [原子數比] 或其附近的組成的第一金屬氧化物層以及設置於該第一金屬氧化物層上的 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ [原子數比] 或其附近的組成的第二金屬氧化物層的疊層結構。此外，作為元素 M 特別較佳為使用銻或鋁。例如，可以使用選自銻氧化物、銻銻氧化物和 IGZO 中的任一個及 IAZO、IAGZO 和 ITZO（註冊商標）中的任一個的疊層結構等。

【0127】作為半導體層較佳為使用具有結晶性的金屬氧化物層。例如，可以使用具有 CAAC（c-axis aligned crystal）結構、多晶結構、微晶（nc：nanocrystal）結構等的金屬氧化物層。藉由將具有結晶性的金屬氧化物層用於半導體層，可以降低半導體層中的缺陷態密度，由此可以實現可靠性高的顯示裝置。

【0128】用於半導體層的金屬氧化物層的結晶性越高，越可以降低半導體層中的缺陷態密度。另一方面，藉由使用結晶性低的金屬氧化物層，可以實現能夠流過大電流的電晶體。

【0129】在利用濺射法形成金屬氧化物層時，形成時的基板溫度（載物台的溫度）越高，越可以形成結晶性高的金屬氧化物層。此外，相對於在形成時使用的沉積氣體整體的氧氣體的流量比率（以下，也稱為氧流量比）越高，越可以形成結晶性高的金屬氧化物層。

【0130】OS 電晶體的半導體層也可以具有結晶性不同的兩個以上的金屬氧化物層的疊層結構。例如，可以具有第一金屬氧化物層及設置在該第一金屬氧化物層上的第二金屬氧化物層的疊層結構，第二金屬氧化物層可以具有結晶性比第一金屬氧化物層高的區域。或者，第二金屬氧化物層可以具有結晶性比第一金屬氧化物層低的區域。半導體層所包括的兩個以上的金屬氧化物層的組

成也可以彼此相同或大致相同。藉由採用組成相同的金屬氧化物層的疊層結構，例如可以使用相同的濺射靶材形成，因此可以降低製造成本。例如，藉由使用相同的濺射靶材使氧流量比不同，可以形成結晶性不同的兩個以上的金屬氧化物層的疊層結構。注意，半導體層所包括的兩個以上的金屬氧化物層的組成也可以彼此不同。

【0131】本實施方式所示的電晶體 M2 的通道長度 L 根據設置在導電層 113 和導電層 108a 之間的絕緣層的厚度而決定。因此，可以以高精度製造通道長度小的電晶體。另外，多個電晶體 M2 間的特性不均勻也得到減小。因此，使用電晶體 M2 的半導體裝置的工作很穩定，可以提高可靠性。另外，當特性不均勻減小時，半導體裝置的電路設計自由度提升，還可以降低工作電壓。因此，還可以降低半導體裝置的功耗。

【0132】當將氧化物半導體用於半導體層 114 時，較佳為作為絕緣層 109 及絕緣層 111 使用包含氫的材料。當包含氫的絕緣層與氧化物半導體接觸時，氧化物半導體被 n 型化，可以將其用作源極區域或汲極區域。例如，使用包含氫的氮化矽或包含氫的氮氧化矽等即可。

【0133】另外，當將氧化物半導體用於半導體層 114 時，與半導體層 114 接觸的導電層 108 以及與半導體層 114 接觸的導電層 113 較佳為使用使氧化物半導體 n 型化的導電材料。例如，使用包含氮的導電材料即可。例如，使用包含鈦或鉭與氮的導電材料即可。另外，也可以與包含氮的導電材料重疊的方式設置其他導電材料。

【0134】另一方面，較佳為將減少氫並包含氧的材料用於絕緣層 110。例如，使用氧化矽（ SiO_x ）等即可。在氧化物半導體中氫是雜質元素，因此在氧化物半導體的半導體層 114 與減少氫的絕緣層 110 接觸時，不容易引起 n 型

化。另外，當氧化物半導體的半導體層 114 與包含氧的絕緣層 110 接觸時，半導體層 114 的氧空位得到減少而電晶體 M2 的特性變穩定，可靠性得到提高。

【0135】另外，當將氧化物半導體用於半導體層 114 時，絕緣層 110 較佳為包含過量氧。在本說明書等中，有時將藉由加熱脫離的氧稱為過量氧。另外，當將包含過量氧的材料用於絕緣層 110 時，作為絕緣層 109 及絕緣層 111 較佳為使用不容易使氧透過的材料。作為不容易使氧透過的材料，例如可以使用包含鋁和鉛中的一者或兩者的氧化物、矽的氮化物等。藉由作為絕緣層 109 及絕緣層 111 使用不容易使氧透過的材料，絕緣層 110 中的過量氧不容易向下層或上層脫離。因此，可以將十分的氧供應到氧化物半導體。

【0136】另外，當作為半導體層 114 使用氧化物半導體時，絕緣層 110 的厚度 t 相當於電晶體 M2 的通道長度 L （參照圖 3A）。另外，半導體層 114 設置在開口 112 中，因此開口 112 的周長 p 相當於電晶體 M2 的通道寬度 W （參照圖 3B）。更明確而言，絕緣層 110 的厚度 t 的一半（ $t/2$ ）的位置上的周長 p 相當於電晶體 M2 的通道寬度 W 。注意，根據需要，也可以將開口 112 的任意位置上的周長 p 用作通道寬度 W 。例如，既可以將開口 112 的最下部的周長 p 用作通道寬度 W ，又可以將開口 112 的最上部的周長 p 用作通道寬度 W 。

【0137】另外，作為絕緣層 109 及絕緣層 111，也可以使用不包含氫或氫極少的材料。例如，也可以使用氫極少的氮化矽或氫極少的氮氧化矽等。此時，半導體層 114 與絕緣層 109 接觸的區域及半導體層 114 與絕緣層 111 接觸的區域不被 n 型化。因此，將絕緣層 109、絕緣層 110 及絕緣層 111 的厚度相加而得的厚度 t_s 相當於電晶體 M2 的通道長度 L （參照圖 3C）。另外，厚度 t_s 的一半（ $t_s/2$ ）的位置上的周長 p 相當於電晶體 M2 的通道寬度 W 。

【0138】如此，藉由將組成互不相同的材料用於電晶體 M1 及電晶體 M2 的半導體層，可以實現一種縮小佔有面積的 CMOS 電路。換言之，可以實現一

種縮小佔有面積的半導體裝置。另外，可以實現一種功耗得到降低的 CMOS 電路。換言之，可以實現一種功耗得到降低的半導體裝置。另外，可以實現一種特性不均勻小且可靠性高的 CMOS 電路。換言之，可以實現一種特性不均勻小且可靠性高的半導體裝置。

【0139】另外，圖 1 所示的半導體裝置 100A 被用作 CMOS 型反相器電路（也稱為“反相器電路”或“NOT 電路”），其中對導電層 113 供應電位 L（VSS）且對導電層 108b 供應電位 H（VDD）來將導電層 116 用作輸入端子（IN）且將導電層 108a 用作輸出端子（OUT）（參照圖 1C）。在反相器電路中，在輸入端子被輸入電位 H 時從輸出端子輸出電位 L，在輸入端子被輸入電位 L 時從輸出端子輸出電位 H。圖 1D 是示出用作反相器電路的半導體裝置 100A 的工作例子的時序圖。圖 1E 示出反相器電路的電路符號。

【0140】

<變形例子 1>

說明半導體裝置 100A 的變形例子的半導體裝置 100B。注意，為了避免重複說明，主要說明半導體裝置 100B 的與半導體裝置 100A 不同之處。圖 4A 是半導體裝置 100B 的俯視圖。圖 4B 是沿著圖 4A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 4C 是半導體裝置 100B 的等效電路圖。

【0141】作為電晶體 M1 也可以使用 n 通道型電晶體。藉由將 n 型半導體用於半導體層 103 的汲極區域 103a 及源極區域 103c，可以實現 n 通道型電晶體 M1。半導體裝置 100B 中作為電晶體 M1 使用 n 通道型電晶體。

【0142】另外，也可以在半導體層 103 的汲極區域 103a 與通道形成區域 103b 之間設置 LDD（Lightly Doped Drain：輕摻雜汲極）區域。藉由設置 LDD 區域，可以緩和閘極和汲極間的電場，可以減輕電晶體 M1 的特性劣化。

【0143】注意，在電路工作上源極和汲極互換的電晶體中，也可以不僅在汲極區域 103a 和通道形成區域 103b 之間而且在源極區域 103c 和通道形成區域 103b 之間設置 LDD 區域。

【0144】另外，在圖 4A 至圖 4C 所示的半導體裝置 100B 中示出電晶體 M1 和電晶體 M2 的閘極電極不電連接的例子，但是該閘極電極也可以彼此電連接。圖 4D 示出電晶體 M1 和電晶體 M2 的閘極電極彼此電連接的半導體裝置 100B 的等效電路圖。

【0145】在電晶體 M1 和電晶體 M2 的閘極電極彼此電連接時，可以將電晶體 M1 和電晶體 M2 實質上用作一個電晶體。藉由採用這樣的結構，可以提高源極和汲極間的絕緣耐壓。另外，可以降低關態電流。

【0146】

<變形例子 2>

說明半導體裝置 100A 及半導體裝置 100B 的變形例子的半導體裝置 100C。注意，為了避免重複說明，主要說明半導體裝置 100C 的與半導體裝置 100A 及半導體裝置 100B 不同之處。圖 5A 是半導體裝置 100C 的俯視圖。圖 5B 是沿著圖 5A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 5C 及圖 5D 是半導體裝置 100C 的等效電路圖。

【0147】半導體裝置 100C 的與半導體裝置 100A 及半導體裝置 100B 不同之處在於包括基板 101 和絕緣層 102 之間的導電層 119。導電層 119 被用作電晶體 M1 的背閘極電極。因此，導電層 119 較佳為與通道形成區域 103b 重疊並超過通道形成區域 103b 的端部而延伸。換言之，導電層 119 較佳為比通道形成區域 103b 大。另外，導電層 119 較佳為超過半導體層 103 的端部而延伸。換言之，導電層 119 較佳為比半導體層 103 大。

【0148】背閘極電極以與閘極電極夾著半導體層的通道形成區域的方式配置。另外，藉由改變背閘極電極的電位，可以改變電晶體的臨界電壓。背閘極電極的電位可以為接地電位或任意電位。

【0149】背閘極電極使用導電層形成，並可以起到與閘極電極同樣的作用。例如，也可以使背閘極電極的電位與閘極電極的電位相同。圖 5D 示出電連接電晶體 M1 所包括的背閘極電極與閘極電極時的等效電路圖。注意，在圖 5C 及圖 5D 所示的等效電路圖中，電晶體 M1 為 p 通道型電晶體，但是電晶體 M1 也可以為 n 通道型電晶體。

【0150】背閘極電極可以使用與閘極電極、源極電極、汲極電極等同樣的材料及方法形成。此外，由於閘極電極及背閘極電極是導電層，因此具有防止在電晶體的外部產生的電場影響到形成通道的半導體層的功能（尤其是對靜電的電場屏蔽功能）。就是說，可以防止由於靜電等外部電場的影響而使電晶體的電特性變動。另外，藉由設置背閘極電極，可以減少 BT（Bias Temperature：偏壓溫度）應力測試前後的電晶體的臨界電壓的變化量。藉由設置背閘極電極，電晶體的特性不均勻得到減小，可以提高半導體裝置的可靠性。

【0151】

<變形例子 3>

說明半導體裝置 100A 的變形例子的半導體裝置 100D。注意，為了避免重複說明，主要說明半導體裝置 100D 的與半導體裝置 100A 不同之處。也可以說半導體裝置 100D 是半導體裝置 100B 及半導體裝置 100C 的變形例子。圖 6A 是半導體裝置 100D 的俯視圖。圖 6B 是沿著圖 6A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 6C 及圖 6D 是半導體裝置 100D 的等效電路圖。

【0152】半導體裝置 100D 的與半導體裝置 100A 不同之處在於開口 112 以與用作電晶體 M1 的閘極電極的導電層 105 重疊的方式設置。因此，在半導體裝置 100D 中，電晶體 M2 以重疊於電晶體 M1 的閘極電極上的方式設置。在半導體裝置 100D 中，在重疊於導電層 105 的區域中選擇性地去除導電層 113、絕緣層 111、絕緣層 110、絕緣層 109 及絕緣層 106 各自的一部分來形成開口 112。

【0153】在圖 6A 及圖 6B 中，開口 112 以重疊於通道形成區域 103b 的方式設置，但是不侷限於此。開口 112 也可以以不重疊於通道形成區域 103b 而重疊於導電層 105 的方式設置。在半導體裝置 100D 中，導電層 105 被用作電晶體 M1 的閘極電極，並被用作電晶體 M2 的汲極電極。

【0154】藉由重疊設置電晶體 M1 和電晶體 M2，可以實現進一步縮小佔有面積的半導體裝置。

【0155】注意，在圖 6C 所示的等效電路圖中，電晶體 M1 為 p 通道型電晶體，但是如圖 6D 的等效電路圖所示，電晶體 M1 也可以為 n 通道型電晶體。

【0156】

<變形例子 4>

說明半導體裝置 100D 的變形例子的半導體裝置 100E。注意，為了避免重複說明，主要說明半導體裝置 100E 的與半導體裝置 100D 不同之處。圖 7A 是半導體裝置 100E 的俯視圖。圖 7B 是沿著圖 7A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 7C 及圖 7D 是半導體裝置 100E 的等效電路圖。

【0157】半導體裝置 100E 的與半導體裝置 100D 不同之處在於與半導體裝置 100C 同樣地包括基板 101 和絕緣層 102 之間的導電層 119。如在上述變形例子 2 中說明那樣，導電層 119 被用作電晶體 M1 的背閘極電極。藉由設置背閘極電極，電晶體的特性不均勻得到減小，可以提高半導體裝置的可靠性。

【0158】注意，在圖 7C 所示的等效電路圖中，電晶體 M1 為 p 通道型電晶體，但是如圖 7D 的等效電路圖所示，電晶體 M1 也可以為 n 通道型電晶體。另外，在圖 7C 及圖 7D 中，電連接電晶體 M1 的背閘極電極和閘極電極，但是也可以不電連接背閘極電極和閘極電極而將任意電位供應到背閘極電極。

【0159】

<變形例子 5>

說明半導體裝置 100D 的變形例子的半導體裝置 100F。注意，為了避免重複說明，主要說明半導體裝置 100F 的與半導體裝置 100D 不同之處。圖 8A 是半導體裝置 100F 的俯視圖。圖 8B 是沿著圖 8A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 8C 及圖 8D 是半導體裝置 100F 的等效電路圖。

【0160】半導體裝置 100F 的與半導體裝置 100D 不同之處在於開口 107（開口 107a、開口 107b）及導電層 108（導電層 108a、導電層 108b）的結構。

【0161】在半導體裝置 100F 中，在重疊於半導體層 103 的汲極區域 103a 的區域中選擇性地去除絕緣層 111、絕緣層 110、絕緣層 109、絕緣層 106 及絕緣層 104 各自的一部分來形成開口 107a。另外，在半導體裝置 100F 中，在重疊於半導體層 103 的源極區域 103c 的區域中選擇性地去除絕緣層 111、絕緣層 110、絕緣層 109、絕緣層 106 及絕緣層 104 各自的一部分來形成開口 107b。

【0162】另外，在半導體裝置 100F 中，導電層 108a 設置在絕緣層 111 上，並在開口 107a 的底部與汲極區域 103a 電連接。另外，在半導體裝置 100F 中，導電層 108b 設置在絕緣層 111 上，並在開口 107b 的底部與源極區域 103c 電連接。

【0163】在半導體裝置 100F 中，導電層 108 與導電層 113 可以使用相同的材料及相同的製程同時形成。因為不需要分別形成導電層 108 和導電層 113，所以可以縮短半導體裝置的製程來提高半導體裝置的生產率。

【0164】注意，在圖 8C 所示的等效電路圖中，電晶體 M1 為 p 通道型電晶體，但是如圖 8D 的等效電路圖所示，電晶體 M1 也可以為 n 通道型電晶體。

【0165】

<變形例子 6>

說明半導體裝置 100F 的變形例子的半導體裝置 100G。注意，為了避免重複說明，主要說明半導體裝置 100G 的與半導體裝置 100F 不同之處。圖 9A 是半導體裝置 100G 的俯視圖。圖 9B 是沿著圖 9A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 9C 及圖 9D 是半導體裝置 100G 的等效電路圖。

【0166】半導體裝置 100G 的與半導體裝置 100F 不同之處在於不包括絕緣層 106。藉由作為絕緣層 109 使用不易使雜質透過的絕緣材料也可以省略絕緣層 106 的形成。在不設置絕緣層 106 時，減少形成開口（開口 107a、開口 107b 及開口 112 等）時去除的層，因此可以縮短半導體裝置的製程來提高半導體裝置的生產率。

【0167】

<變形例子 7>

說明半導體裝置 100A 的變形例子的半導體裝置 100H。注意，為了避免重複說明，主要說明半導體裝置 100H 的與半導體裝置 100A 不同之處。圖 10A 是半導體裝置 100H 的俯視圖。圖 10B 是沿著圖 10A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 10C 及圖 10D 是半導體裝置 100H 的等效電路圖。

【0168】半導體裝置 100H 的與半導體裝置 100A 不同之處在於電晶體 M2 以重疊於汲極區域 103a 的方式設置。在半導體裝置 100H 中，重疊設置開口

112 和汲極區域 103a。因此，半導體裝置 100H 具有電晶體 M1 和電晶體 M2 彼此重疊的區域。明確而言，具有半導體層 114 與半導體層 103 重疊的區域。更明確而言，具有半導體層 103 的一部分的汲極區域 103a 與半導體層 114 隔著導電層 108a 彼此重疊的區域。

【0169】藉由重疊設置電晶體 M1 和電晶體 M2，可以實現進一步縮小佔有面積的半導體裝置。

【0170】另外，如圖 5 所示的半導體裝置 100C 那樣，也可以在基板 101 和絕緣層 102 之間設置用作背閘極電極的導電層 119。另外，在圖 10C 中，電晶體 M1 為 p 通道型電晶體，但是如圖 10D 所示，電晶體 M1 也可以為 n 通道型電晶體。

【0171】

<變形例子 8>

說明半導體裝置 100H 的變形例子的半導體裝置 100I。注意，為了避免重複說明，主要說明半導體裝置 100I 的與半導體裝置 100H 不同之處。圖 11A 是半導體裝置 100I 的俯視圖。圖 11B 是沿著圖 11A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 11C 及圖 11D 是半導體裝置 100I 的等效電路圖。

【0172】半導體裝置 100I 的與半導體裝置 100H 不同之處在於不包括導電層 108a。也可以說在半導體裝置 100I 中開口 112 兼作開口 107a。半導體裝置 100I 具有半導體層 114 和半導體層 103 重疊的區域。另外，在半導體裝置 100I 中，在開口 112 的底部半導體層 114 與半導體層 103 直接連接。

【0173】另外，在半導體裝置 100I 中，開口 107b 以貫通絕緣層 104、絕緣層 106、絕緣層 109、絕緣層 110 及絕緣層 111 各自的一部分的方式設置。另外，在半導體裝置 100I 中，導電層 108b 設置在開口 107b 內及絕緣層 111 上。

【0174】在重疊於源極區域 103c 的區域中，選擇性地去除絕緣層 104、絕緣層 106、絕緣層 109、絕緣層 110 及絕緣層 111 各自的一部分來形成開口 107b。另外，設置在絕緣層 111 上的導電層 108b 在開口 107b 的底部與半導體層 103 的源極區域 103c 電連接。

【0175】在不設置導電層 108a 時，可以實現進一步縮小佔有面積的半導體裝置。注意，在圖 11B 所示的半導體裝置 100I 中，半導體層 103 和半導體層 114 在開口 112 的底部接觸，因此半導體層 103 和半導體層 114 較佳為包含共同元素。在半導體層 103 和半導體層 114 包含共同元素時，可以降低接觸電阻。例如，將氧化物半導體用於半導體層 103 和半導體層 114 的兩者即可。

【0176】在圖 11C 中，電晶體 M1 為 p 通道型電晶體，但是如圖 11D 所示，電晶體 M1 也可以為 n 通道型電晶體。

【0177】

<變形例子 9>

說明半導體裝置 100I 的變形例子的半導體裝置 100J。注意，為了避免重複說明，主要說明半導體裝置 100J 的與半導體裝置 100I 不同之處。圖 12A 是半導體裝置 100J 的俯視圖。圖 12B 是沿著圖 12A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 12C 及圖 12D 是半導體裝置 100J 的等效電路圖。

【0178】半導體裝置 100J 的與半導體裝置 100I 不同之處在於不包括絕緣層 106。藉由作為絕緣層 109 使用不易使雜質透過的絕緣材料也可以省略絕緣層 106 的形成。在不設置絕緣層 106 時，減少形成開口（開口 107b 及開口 112 等）時去除的層，因此可以縮短半導體裝置的製程來提高半導體裝置的生產率。

【0179】

<變形例子 10>

接著，說明半導體裝置 100K。半導體裝置 100K 也是半導體裝置 100A 及半導體裝置 100F 等的變形例子。注意，為了避免重複說明，主要說明半導體裝置 100K 的與半導體裝置 100A 及半導體裝置 100F 等不同之處。圖 13A 是半導體裝置 100K 的俯視圖。圖 13B 是沿著圖 13A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 13C 及圖 13D 是半導體裝置 100K 的等效電路圖。

【0180】半導體裝置 100K 包括絕緣層 104 上的導電層 118。另外，電晶體 M2 形成在基板 101 上的與形成有電晶體 M1 的區域不同的區域中。電晶體 M2 包括導電層 118 的至少一部分。當導電層 113 被用作電晶體 M2 的源極電極時，導電層 118 被用作汲極電極。另外，當導電層 113 被用作電晶體 M2 的汲極電極時，導電層 118 被用作源極電極。

【0181】導電層 118 與導電層 105 可以使用相同的材料及相同的製程同時形成。另外，在半導體裝置 100K 中，導電層 113、絕緣層 111、絕緣層 110、絕緣層 109 及絕緣層 106 各自的一部分中設置有開口 112。另外，在半導體裝置 100K 中，絕緣層 115、絕緣層 111、絕緣層 110、絕緣層 109、絕緣層 106 及絕緣層 104 各自的一部分中設置有開口 107a，其他一部分中設置有開口 107b。

【0182】另外，設置在絕緣層 115 上的導電層 116 的一部分覆蓋開口 107a，並在開口 107a 的底部與汲極區域 103a 電連接。另外，半導體裝置 100K 的導電層 108b 與導電層 116 可以使用相同的材料及相同的製程同時形成。導電層 108b 在開口 107b 的底部與源極區域 103c 電連接。

【0183】在半導體裝置 100K 中，導電層 116 的一部分被用作半導體裝置 100A 等的導電層 108a。因此，半導體裝置 100K 中的導電層 116 不僅被用作電晶體 M2 的閘極電極，而且被用作汲極電極。

【0184】另外，如圖 5 所示的半導體裝置 100C 那樣，也可以在基板 101 和絕緣層 102 之間設置用作背閘極電極的導電層 119。另外，在圖 13C 中，電晶體 M1 為 p 通道型電晶體，但是如圖 13D 所示，電晶體 M1 也可以為 n 通道型電晶體。

【0185】

<變形例子 11>

說明半導體裝置 100K 的變形例子的半導體裝置 100L。注意，為了避免重複說明，主要說明半導體裝置 100L 的與半導體裝置 100K 不同之處。圖 14A 是半導體裝置 100L 的俯視圖。圖 14B 是沿著圖 14A 中的點劃線 A1-A2 的部分的剖面示意圖。圖 14C 及圖 14D 是半導體裝置 100L 的等效電路圖。

【0186】半導體裝置 100L 的與半導體裝置 100K 不同之處在於不包括絕緣層 106。藉由作為絕緣層 109 使用不易使雜質透過的絕緣材料也可以省略絕緣層 106 的形成。在不設置絕緣層 106 時，減少形成開口（開口 107b 及開口 112 等）時去除的層，因此可以縮短半導體裝置的製程來提高半導體裝置的生產率。

【0187】

<<製造方法>>

接著，說明半導體裝置 100A 的製造方法的一個例子。首先，說明各層的構成材料及各層的形成方法。

【0188】

[各層的形成方法]

絕緣層、半導體層、用來形成電極或佈線的導電層等可以利用濺射法、化學氣相沉積（CVD：Chemical Vapor Deposition）法、真空蒸鍍法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積（ALD：Atomic Layer

Deposition) 法等形成。CVD 法也可以為電漿增強化學氣相沉積 (PECVD) 法或熱 CVD 法等。此外，作為熱 CVD 法的例子，可以舉出有機金屬化學氣相沉積 (MOCVD: Metal Organic CVD) 法。

【0189】此外，構成半導體裝置的絕緣層、半導體層及導電層等也可以利用旋塗法、浸漬法、噴塗法、噴墨法、分配器法、網版印刷法、平版印刷法、狹縫式塗佈法、輥塗法、簾式塗佈法、刮刀式塗佈法等方法形成。

【0190】藉由利用 PECVD 法，可以以較低的溫度得到高品質的膜。在利用沉積中不使用電漿的沉積方法諸如 MOCVD 法、ALD 法或熱 CVD 法等的情況下，在被形成面不容易產生損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容器等）等有時因從電漿接收電荷而會產生電荷積聚。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的沉積方法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0191】不同於從靶材等中被釋放的粒子沉積的沉積方法，CVD 法及 ALD 法是因被處理物表面的反應而形成膜的沉積方法。因此，CVD 法及 ALD 法是不易受被處理物的形狀的影響而具有良好的步階覆蓋性的沉積方法。尤其是，ALD 法具有良好的步階覆蓋性和厚度均勻性，所以 ALD 法適合用於覆蓋縱橫比高的開口部的表面的情況等。但是，ALD 法的沉積速率比較慢，所以有時較佳為與沉積速率快的 CVD 法等其他沉積方法組合而使用。

【0192】CVD 法及 ALD 法可以根據源氣體的流量比控制所得到的膜的組成。例如，當使用 CVD 法及 ALD 法時，可以根據源氣體的流量比沉積任意組成的膜。此外，例如，當使用 CVD 法及 ALD 法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比

的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0193】當對構成半導體裝置的層（薄膜）進行加工時，可以利用光微影法等。另外，可以利用使用陰影遮罩的沉積方法形成島狀層。另外，可以利用奈米壓印法、噴砂法、剝離法等對層進行加工。在光微影法中有如下方法：在要進行加工的層（薄膜）上形成光阻遮罩，藉由將光阻遮罩用作遮罩選擇性地去除該層（薄膜）的一部分，然後去除光阻遮罩的方法；在沉積具有感光性的層之後，進行曝光及顯影來將該層加工為所希望的形狀的方法。

【0194】在光微影法中使用光的情況下，作為用於曝光的光，例如可以使用 i 線（波長 365nm）、g 線（波長 436nm）、h 線（波長 405nm）或將這些光混合了的光。另外，還可以使用紫外光、KrF 雷射或 ArF 雷射等。此外，也可以使用液浸曝光技術進行曝光。此外，作為用於曝光的光，也可以使用極紫外（EUV：Extreme Ultra-violet）光或 X 射線。此外，代替用於曝光的光，也可以使用電子束。當使用極紫外光、X 射線或電子束時，可以進行極其微細的加工，所以是較佳的。注意，在藉由利用電子束等光束進行掃描而進行曝光時，不需要光罩。

【0195】作為層（薄膜）的去除（蝕刻），可以利用乾蝕刻法、濕蝕刻法及噴砂法等。此外，也可以組合這些蝕刻方法而使用。

【0196】接著，說明半導體裝置 100A 的製造方法的一個例子。首先，在基板 101 上設置絕緣層 102，在絕緣層 102 上設置半導體層 103A（參照圖 15A）。

【0197】作為基板 101，例如使用具有絕緣表面的絕緣體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。

【0198】此外，根據需要作為基板 101 也可以使用半導體基板或導電體基板。作為半導體基板，例如可以舉出以矽或鍺等為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon On Insulator：絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0199】在基板 101 上作為絕緣層 102 形成氧化矽。作為可用於半導體裝置 100A 的絕緣層，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0200】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣層的薄膜化，有時發生洩漏電流等的問題。藉由作為用作閘極絕緣層的絕緣層使用 high-k 材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於用作層間絕緣層的絕緣層，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣層的功能選擇材料。

【0201】作為相對介電常數較高的絕緣層，有氧化鎵、氧化鉛、氧化鋅、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或者含有矽及鉛的氮化物等。

【0202】作為相對介電常數較低的絕緣層，有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0203】注意，在本說明書等中，氮氧化物是指含氮量大於含氧量的化合物。另外，氧氮化物是指含氧量大於含氮量的化合物。另外，各元素的含量例如可以使用拉塞福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）等來測量。

【0204】另外，作為半導體層 103A 形成非晶矽。作為半導體層 103A，雖然根據含氮量不同，但是較佳為以 400°C 至 550°C 進行加熱幾個小時來進行脫氮處理，將含氮量調節為 5 原子% 以下，進行後面的結晶化製程。另外，非晶半導體膜也可以利用濺射法或真空蒸鍍法等其他製造方法形成，較佳為充分減少膜中的氧、氮等雜質元素。

【0205】注意，用於半導體層 103A 的半導體不侷限於矽，例如可以使用矽鍺。當使用矽鍺時，鍺濃度較佳為 0.01 原子% 至 4.5 原子% 左右。

【0206】絕緣層 102 及半導體層 103A 也可以以中途不暴露於大氣的方式連續形成。藉由以中途不暴露於大氣的方式連續進行沉積，可以儘量抑制由於暴露於大氣而造成的表面污染，可以減小所製造的電晶體的特性不均勻。

【0207】接著，進行半導體層 103A 的結晶化來形成具有結晶性的半導體層 103B（參照圖 15B）。作為提高半導體層 103A 的結晶性（也稱為“結晶化”）的方法，可以使用雷射退火法、熱退火法（固相生長法）或快速熱退火法（RTA 法）。當作為基板 101 使用玻璃基板或耐熱性低的塑膠基板時，特別

較佳為使用雷射退火法。作為雷射，例如可以使用利用 XeCl 的準分子雷射、YAG 雷射的二次諧波或三次諧波等。在 RTA 法中，使用紅外線燈、鹵素燈、金屬鹵化物燈、氙燈等作為光源。或者，例如也可以根據日本專利申請公開第 7-130652 號公報所公開的技術，藉由利用催化劑元素的結晶化法形成具有結晶性的半導體層 103B。

【0208】另外，也可以組合上述方法來進行半導體層 103A 的結晶化。例如，在利用固相生長法進行半導體層 103A 的結晶化之後還照射雷射，由此可以形成缺陷少且結晶性高的半導體層 103B。

【0209】尤其是，當使用雷射退火法時，較佳為先釋放非晶半導體層中的氫。以 400°C 以上且 550°C 以下進行熱處理 1 小時左右來將含氫量調節為 5 原子% 以下，然後進行結晶化，由此可以防止膜表面的粗糙。在本實施方式中，利用雷射退火法進行半導體層 103A 的結晶化。明確而言，對含氫量為 5 原子% 以下的半導體層 103A 照射雷射 151 來形成半導體層 103B。

【0210】注意，在作為半導體層 103A 使用氧化物半導體時，也可以不進行上述提高結晶性的處理。

【0211】另外，也可以在進行半導體層 103A 的結晶化之前以低濃度添加使半導體層 103A 變為 p 型半導體的雜質元素（也稱為“p 型雜質元素”）或使半導體層 103A 變為 n 型半導體的雜質元素（也稱為“n 型雜質元素”）（也稱為“通道摻雜”）。通道摻雜既可以對半導體層 103A 整體進行又可以對半導體層 103A 的一部分選擇性地進行。

【0212】作為 p 型雜質元素，例如可以使用選自硼（B）、鋁（Al）及鎵（Ga）等第 13 族元素中的一個或多個。作為 n 型雜質元素，可以使用磷（P）或砷（As）等第 15 族元素中的一個或多個。

【0213】藉由對半導體層進行通道摻雜，可以控制包括該半導體層的電晶體的臨界電壓。例如，藉由以 $1 \times 10^{16} \text{atoms/cm}^3$ 以上且 $5 \times 10^{17} \text{atoms/cm}^3$ 以下的濃度將硼添加到半導體層，可以使包括該半導體層的電晶體的臨界電壓正向變化。

【0214】藉由進行通道摻雜，可以分別形成增強型（常關閉型）的電晶體和空乏型（常開啟型）的電晶體。

【0215】接著，在半導體層 103B 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除半導體層 103B 來形成半導體層 103（參照圖 15C）。

【0216】接著，在絕緣層 102 及半導體層 103 上形成絕緣層 104。絕緣層 104 可以使用與絕緣層 102 同樣的材料及方法形成（參照圖 15D）。

【0217】當作為半導體層 103 使用氧化物半導體時，較佳為在形成絕緣層 104 之後在含氧氛圍下進行微波處理。在此，微波處理例如是指使用包括利用微波產生高密度電漿的電源的裝置的處理。另外，在本說明書等中，微波是指具有 300MHz 以上且 300GHz 以下的頻率的電磁波。

【0218】微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。在此，將微波處理裝置的頻率設定為 300MHz 以上且 300GHz 以下，較佳為 2.4GHz 以上且 2.5GHz 以下，例如為 2.45GHz 即可。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率為 1000W 以上且 10000W 以下，較佳為 2000W 以上且 5000W 以下即可。此外，微波處理裝置也可以包括對基板一側施加 RF 的電源。此外，藉由對基板一側施加 RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物半導體中。

【0219】此外，上述微波處理較佳為在減壓下進行，壓力為 10Pa 以上且 1000Pa 以下，較佳為 300Pa 以上且 700Pa 以下即可。此外，處理溫度為 750℃ 以下，較佳為 500℃ 以下，例如為 250℃ 左右即可。此外，也可以在含氧氛圍下進行微波處理之後以不暴露於大氣的方式連續進行熱處理。例如，處理溫度為 100℃ 以上且 750℃ 以下，較佳為 300℃ 以上且 500℃ 以下即可。

【0220】另外，例如，上述微波處理使用氧氣體及氬氣體進行即可。在此，氧流量比（ $O_2/(O_2+Ar)$ ）大於 0% 且為 100% 以下即可。較佳的是，氧流量比（ $O_2/(O_2+Ar)$ ）大於 0% 且為 50% 以下即可。更佳的是，氧流量比（ $O_2/(O_2+Ar)$ ）為 10% 以上且 40% 以下即可。進一步較佳的是，氧流量比（ $O_2/(O_2+Ar)$ ）為 10% 以上且 30% 以下即可。藉由在含氧氛圍下進行微波處理，減少氧化物半導體中的氫及氧空位。因此，可以降低氧化物半導體中的載子濃度。

【0221】接著，在絕緣層 104 上形成導電層 105A（參照圖 15E）。作為導電層 105A，較佳為使用選自鋁、鉻、銅、銀、金、鈷、鎢、鎳、鈦、鈹、鎘、鉛、釩、鈮、錳、鎂、銨、鉍、銲、銻、釷和鐳等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鈷、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鈷和鋁的氮化物、氧化鈮、氮化鈮、包含銲和鈮的氧化物、包含鐳和鎳的氧化物等。

【0222】作為導電層 105A，也可以層疊多個由上述材料形成的導電層而使用。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0223】接著，在導電層 105A 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除導電層 105A 來形成導電層 105（參照圖 16A）。

【0224】接著，為了在半導體層 103 中形成汲極區域 103a、通道形成區域 103b 及源極區域 103c，將雜質元素引入到半導體層 103 中。明確而言，將導電層 105 用作遮罩，將雜質元素（摻雜物 128）引入到半導體層 103 中（參照圖 16B）。摻雜物 128 的引入可以利用離子植入法或電漿摻雜法等的方法進行。

【0225】注意，當作為半導體層 103 使用氧化物半導體時，作為摻雜物 128 也可以使用稀有氣體元素、碳或氮等。

【0226】摻雜物 128 不被引入到半導體層 103 的與導電層 105 重疊的區域中。另外，摻雜物 128 被引入到半導體層 103 的不與導電層 105 重疊的區域中。在半導體層 103 中，與導電層 105 重疊並不引入摻雜物 128 的區域被用作通道形成區域 103b。另外，在半導體層 103 中，引入摻雜物 128 的區域被用作汲極區域 103a 或源極區域 103c。

【0227】藉由將導電層 105 用作遮罩，自對準地形成通道形成區域 103b。另外，摻雜物 128 的深度方向上的濃度分佈及金屬元素的濃度可以根據處理方法及處理條件而決定。

【0228】在本實施方式中，因為作為半導體層 103 使用矽，所以作為使電晶體 M1 變為 p 通道型電晶體的摻雜物 128，使用第 13 族元素之一的硼（B）。作為使電晶體 M1 變為 n 通道型電晶體的摻雜物 128，使用第 15 族元素（例如，磷（P））即可。

【0229】在對半導體層 103 的雜質元素引入結束之後，進行加熱處理。藉由進行加熱處理，進行引入雜質元素的活化以及半導體層 103 的因雜質元素引

入而非晶化的部分的再結晶。在本說明書等中，將該加熱處理還稱為活化處理。

【0230】活化處理結束後進行氫化處理。氫化處理是將藉由熱處理或電漿處理激發的氫添加到半導體層 103 的處理，在利用熱處理時，在包含 3%至 100%的氫的氛圍下以 300°C以上且 450°C以下進行 2 小時至 6 小時的熱處理製程即可。

【0231】注意，當作為半導體層 103 使用氧化物半導體時，也可以不進行活化處理及氫化處理。

【0232】接著，在絕緣層 104 及導電層 105 上形成絕緣層 106（參照圖 16C）。因為絕緣層 106 被用作層間絕緣層，所以使用相對介電常數較低的材料即可。

【0233】當將氧化物半導體用於後面形成的半導體層 114 時，較佳為作為絕緣層 106 使用不易使雜質透過的絕緣材料。藉由作為絕緣層 106 使用不易使雜質透過的絕緣材料，可以抑制來自絕緣層 106 的下方的雜質擴散而可以提高半導體裝置的可靠性。例如，可以防止包含在電晶體 M1 一側的氫擴散到電晶體 M2 一側。

【0234】接著，在絕緣層 106 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除絕緣層 106 及絕緣層 104 各自的一部分來形成與汲極區域 103a 重疊的開口 107a 以及與源極區域 103c 重疊的開口 107b（參照圖 16D）。在開口 107a 的底部汲極區域 103a 的一部分露出，在開口 107b 的底部源極區域 103c 的一部分露出。另外，在開口 107a 及開口 107b 中，絕緣層 106 的側面及絕緣層 104 的側面露出。

【0235】接著，在絕緣層 106 上形成導電層 108A。導電層 108A 使用與導電層 105A 同樣的材料及方法形成即可（參照圖 17A）。

【0236】接著，在導電層 108A 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除導電層 108A 來形成導電層 108（導電層 108a 及導電層 108b）（參照圖 17B）。導電層 108a 在開口 107a 中與汲極區域 103a 電連接，導電層 108b 在開口 107b 中與源極區域 103c 電連接。由此，可以形成電晶體 M1。

【0237】接著，在絕緣層 106 及導電層 108 上依次形成絕緣層 109、絕緣層 110、絕緣層 111 及導電層 113A（參照圖 17C）。絕緣層 109 及絕緣層 111 使用包含氫的絕緣材料形成。例如，使用包含氫的氮化矽。

【0238】絕緣層 110 使用減少氫的絕緣材料形成。例如，使用氧化矽或氧氮化矽即可。另外，絕緣層 110 較佳為包含過量氧。

【0239】導電層 113A 使用與導電層 105A 或導電層 108A 同樣的材料及方法形成即可。

【0240】接著，在導電層 113A 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除導電層 113A 來形成導電層 113（參照圖 17D）。

【0241】接著，在絕緣層 111 上利用光微影法形成光阻遮罩（未圖示）。藉由將該光阻遮罩用作遮罩，選擇性地去除導電層 113、絕緣層 111、絕緣層 110 及絕緣層 109 各自的一部分，在重疊於導電層 108a 的區域中形成開口 112（參照圖 18A）。在開口 112 的底部導電層 108a 的一部分露出。另外，在開口 112 中絕緣層 111 的側面、絕緣層 110 的側面及絕緣層 109 的側面露出。

【0242】接著，在絕緣層 111 上形成後面成為電晶體 M2 的半導體層 114 的半導體層 114A（參照圖 18B）。在本實施方式中，作為半導體層 114A 形成氧化物半導體。

【0243】例如，氧化物半導體較佳為包含銦、M（M為選自鎵、鋁、矽、硼、鈮、錫、銅、鈇、鉍、鈦、鐵、鎳、銻、銨、鉬、釩、鈾、鈾、鎢和鎂中的一種或多種）和鋅。尤其是，M較佳為選自鋁、鎵、鈮和錫中的一種或多種。

【0244】尤其是，作為OS電晶體的半導體層，較佳為使用包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物（也記載為“IGZO”）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）及鋅（Zn）的氧化物（也記載為“IAZO”）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）、鎵（Ga）及鋅（Zn）的氧化物（也記載為“IAGZO”）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）、鎵（Ga）及錫（Sn）的氧化物（也記載為“IGZTO”）。

【0245】在半導體層為In-M-Zn氧化物時，該In-M-Zn氧化物中的In的原子數比較佳為M的原子數比以上。作為這種In-M-Zn氧化物的金屬元素的原子數比，可以舉出In：M：Zn=1：1：1或其附近的組成、In：M：Zn=1：1：1.2或其附近的組成、In：M：Zn=1：3：2或其附近的組成、In：M：Zn=1：3：4或其附近的組成、In：M：Zn=2：1：3或其附近的組成、In：M：Zn=3：1：2或其附近的組成、In：M：Zn=4：2：3或其附近的組成、In：M：Zn=4：2：4.1或其附近的組成、In：M：Zn=5：1：3或其附近的組成、In：M：Zn=5：1：6或其附近的組成、In：M：Zn=5：1：7或其附近的組成、In：M：Zn=5：1：8或其附近的組成、In：M：Zn=6：1：6或其附近的組成、In：M：Zn=5：2：5或其附近的組成等。此外，附近的組成包括所希望的原子數比的±30%的範圍。

【0246】例如，當記載為原子數比為In：Ga：Zn=4：2：3或其附近的組成時包括如下情況：In為4時，Ga為1以上且3以下，Zn為2以上且4以

下。此外，當記載為原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ 或其附近的組成時包括如下情況： In 為 5 時， Ga 大於 0.1 且為 2 以下， Zn 為 5 以上且 7 以下。此外，當記載為原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 或其附近的組成時包括如下情況： In 為 1 時， Ga 大於 0.1 且為 2 以下， Zn 大於 0.1 且為 2 以下。

【0247】半導體層 114A 不僅形成在絕緣層 111 上而且覆蓋開口 112 的內側形成。因此，半導體層 114A 較佳為利用步階覆蓋性高的沉積方法形成。例如，半導體層 114A 較佳為利用 ALD 法形成。

【0248】接著，在半導體層 114A 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除半導體層 114A 的一部分來形成半導體層 114（參照圖 18C）。

【0249】在開口 112 中，半導體層 114 具有與導電層 113 接觸的區域、與絕緣層 111 接觸的區域、與絕緣層 110 接觸的區域、與絕緣層 109 接觸的區域以及與導電層 108a 接觸的區域。更明確而言，半導體層 114 在開口 112 中具有與導電層 113 的側面接觸的區域、與絕緣層 111 的側面接觸的區域、與絕緣層 110 的側面接觸的區域以及與絕緣層 109 的側面接觸的區域，並具有在開口 112 的底部與導電層 108a 接觸的區域。

【0250】接著，在絕緣層 111、導電層 113、半導體層 114 上形成絕緣層 115（參照圖 19A）。絕緣層 115 被用作電晶體 M2 的閘極絕緣層。在本實施方式等中，因為作為半導體層 114 使用氧化物半導體，所以較佳為作為絕緣層 115 使用包含過量氧的絕緣層。

【0251】另外，當作為半導體層 114 使用氧化物半導體時，較佳為在形成絕緣層 115 之後，在上述含氧氛圍下進行微波處理。

【0252】接著，在絕緣層 115 上利用光微影法形成光阻遮罩，將該光阻遮罩用作遮罩，選擇性地去除與導電層 105 重疊的區域的絕緣層 115、絕緣層

111、絕緣層 110、絕緣層 109 及絕緣層 106 各自的一部分來形成開口 127（未圖示）。在開口 127 的底部導電層 105 的一部分露出。

【0253】接著，在絕緣層 115 上形成導電層 116A（參照圖 19B）。

【0254】接著，在導電層 116A 上利用光微影法形成光阻遮罩（未圖示）。將該光阻遮罩用作遮罩，選擇性地去除導電層 116A 的一部分來形成導電層 116（參照圖 19C）。由此，可以形成電晶體 M2。

【0255】如上所述，導電層 116 被用作電晶體 M2 的閘極電極。另外，導電層 116 在開口 127 中與導電層 105 電連接（參照圖 2）。

【0256】接著，在絕緣層 115 及導電層 116 上形成絕緣層 117（參照圖 19C）。由此，可以製造半導體裝置 100A。

【0257】本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

【0258】

實施方式 2

在本實施方式中，說明可用於上述實施方式中說明的 OS 電晶體的金屬氧化物（以下，也稱為氧化物半導體）。

【0259】用於 OS 電晶體的金屬氧化物較佳為至少包含銦或鋅，更佳為包含銦及鋅。例如，金屬氧化物較佳為包含銦、**M**（**M** 為選自鎵、鋁、釷、錫、砒、硼、銅、鈮、鉍、鈦、鐵、鎳、鍺、鉛、鐳、銻、銨、鎘、鎢、鎂和鈷中的一種或多種）及鋅。尤其是，**M** 較佳為選自鎵、鋁、釷和錫中的一種或多種，更佳為鎵。

【0260】金屬氧化物可以藉由濺射法、有機金屬化學氣相沉積

(MOCVD: Metal Organic Chemical Vapor Deposition) 法等化學氣相沉積

（CVD：Chemical Vapor Deposition）法或原子層沉積（ALD：Atomic Layer Deposition）法等形成。

【0261】以下，作為金屬氧化物的一個例子說明包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物。注意，有時將包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物稱為 In-Ga-Zn 氧化物。

【0262】

<結晶結構的分類>

作為氧化物半導體的結晶結構，可以舉出非晶（包括 completely amorphous）、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、CAC（cloud-aligned composite）、單晶（single crystal）及多晶（poly crystal）等。

【0263】可以使用 X 射線繞射（XRD：X-Ray Diffraction）譜對膜或基板的結晶結構進行評價。例如，可以使用藉由 GIXD（Grazing-Incidence XRD）測量測得的 XRD 譜進行評價。此外，將 GIXD 法也稱為薄膜法或 Seemann-Bohlin 法。以下，有時將 GIXD 測量所得的 XRD 譜簡單地記為 XRD 譜。

【0264】例如，石英玻璃基板的 XRD 譜的峰形狀大致為左右對稱。另一方面，具有結晶結構的 In-Ga-Zn 氧化物膜的 XRD 譜的峰形狀不是左右對稱。XRD 譜的峰形狀不是左右對稱說明膜中或基板中存在結晶。換言之，除非 XRD 譜的峰形狀左右對稱，否則不能說膜或基板處於非晶狀態。

【0265】此外，可以使用藉由奈米束電子繞射法（NBED：Nano Beam Electron Diffraction）觀察的繞射圖案（也稱為奈米束電子繞射圖案）對膜或基板的結晶結構進行評價。例如，在石英玻璃基板的繞射圖案中觀察到光暈，可以確認石英玻璃處於非晶狀態。此外，以室溫沉積的 In-Ga-Zn 氧化物膜的繞射圖案中觀察到斑點狀的圖案而沒有觀察到光暈。因此可以推測，以室溫沉積的

In-Ga-Zn 氧化物處於既不是單晶或多晶也不是非晶態的中間態，不能得出該 In-Ga-Zn 氧化物是非晶態的結論。

【0266】

〔氧化物半導體的結構〕

此外，在注目於氧化物半導體的結構的情況下，有時氧化物半導體的分類與上述分類不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述 CAAC-OS 及 nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS (amorphous-like oxide semiconductor) 及非晶氧化物半導體等。

【0267】在此，對上述 CAAC-OS、nc-OS 及 a-like OS 的詳細內容進行說明。

【0268】

[CAAC-OS]

CAAC-OS 是包括多個結晶區域的氧化物半導體，該多個結晶區域的 c 軸配向於特定的方向。此外，特定的方向是指 CAAC-OS 膜的厚度方向、CAAC-OS 膜的被形成面的法線方向、或者 CAAC-OS 膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS 具有在 a-b 面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS 是指 c 軸配向並在 a-b 面方向上沒有明顯的配向的氧化物半導體。

【0269】此外，上述多個結晶區域的每一個由一個或多個微小結晶（最大徑小於 10nm 的結晶）構成。在結晶區域由一個微小結晶構成的情況下，該結

晶區域的最大徑小於 10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的最大徑為幾十 nm 左右。

【0270】此外，在 In-Ga-Zn 氧化物中，CAAC-OS 有具有層疊有含有銦（In）及氧的層（以下，In 層）、含有鎵（Ga）、鋅（Zn）及氧的層（以下，（Ga，Zn）層）的層狀結晶結構（也稱為層狀結構）的趨勢。此外，銦和鎵可以彼此置換。因此，有時（Ga，Zn）層包含銦。此外，有時 In 層包含鎵。注意，有時 In 層包含鋅。該層狀結構例如在高解析度 TEM（Transmission Electron Microscope）影像中被觀察作為晶格影像。

【0271】例如，當對 CAAC-OS 膜使用 XRD 裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的 Out-of-plane XRD 測量中，在 $2\theta=31^\circ$ 或其附近檢測出表示 c 軸配向的峰。注意，表示 c 軸配向的峰的位置（ 2θ 值）有時根據構成 CAAC-OS 的金屬元素的種類或組成等變動。

【0272】此外，例如，在 CAAC-OS 膜的電子繞射圖案中觀察到多個亮點（斑點）。此外，在以透過樣本的入射電子束的斑點（也稱為直接斑點）為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0273】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在 CAAC-OS 的畸變附近觀察不到明確的晶界（grain boundary）。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於 CAAC-OS 因為 a-b 面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

【0274】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低以及場

效移動率的降低等。因此，確認不到明確的晶界的 CAAC-OS 是對電晶體的半導體層提供具有優異的結晶結構的結晶性氧化物之一。注意，為了構成 CAAC-OS，較佳為包含 Zn 的結構。例如，與 In 氧化物相比，In-Zn 氧化物及 In-Ga-Zn 氧化物能夠進一步抑制晶界的發生，所以是較佳的。

【0275】CAAC-OS 是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入及/或缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質及缺陷（氧空位等）少的氧化物半導體。因此，包含 CAAC-OS 的氧化物半導體的物理性質穩定。因此，包含 CAAC-OS 的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS 對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。由此，藉由在 OS 電晶體中使用 CAAC-OS，可以擴大製程的彈性。

【0276】

[nc-OS]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。換言之，nc-OS 具有微小的結晶。此外，例如，該微小的結晶的尺寸為 1nm 以上且 10nm 以下，尤其為 1nm 以上且 3nm 以下，將該微小的結晶稱為奈米晶。此外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 及非晶氧化物半導體沒有差別。例如，在對 nc-OS 膜使用 XRD 裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的 Out-of-plane XRD 測量中，檢測不出表示結晶性的峰。此外，在對 nc-OS 膜進行使用其束徑比奈米晶大（例如，50nm 以上）的電子束的電子繞射（也稱為選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-

第57頁，共 123 頁(發明說明書)

OS 膜進行使用其束徑近於或小於奈米晶的尺寸（例如 1nm 以上且 30nm 以下）的電子束的電子繞射（也稱為奈米束電子繞射）的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0277】

[a-like OS]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的結晶性低。此外，a-like OS 的膜中的氫濃度比 nc-OS 及 CAAC-OS 的膜中的氫濃度高。

【0278】

[氧化物半導體的構成]

接著，說明上述 CAC-OS 的詳細內容。此外，CAC-OS 與材料構成有關。

【0279】

[CAC-OS]

CAC-OS 例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 3nm 以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁（patch）狀，該區域的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 3nm 以下或近似的尺寸。

【0280】再者，CAC-OS 是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構（下面也稱為雲狀）。就是說，CAC-OS 是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0281】在此，將相對於構成 In-Ga-Zn 氧化物的 CAC-OS 的金屬元素的 In、Ga 及 Zn 的原子數比的每一個記為[In]、[Ga]及[Zn]。例如，在 In-Ga-Zn 氧化物的 CAC-OS 中，第一區域是其[In]大於 CAC-OS 膜的組成中的[In]的區域。此外，第二區域是其[Ga]大於 CAC-OS 膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]的區域。此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【0282】明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以 In 為主要成分的區域。此外，可以將上述第二區域稱為以 Ga 為主要成分的區域。

【0283】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0284】此外，In-Ga-Zn 氧化物中的 CAC-OS 是指如下構成：在包含 In、Ga、Zn 及 O 的材料構成中，部分主要成分為 Ga 的區域與部分主要成分為 In 的區域無規律地以馬賽克狀存在。因此，可推測，CAC-OS 具有金屬元素不均勻地分佈的結構。

【0285】CAC-OS 例如可以藉由在對基板不進行意圖性的加熱的條件下利用濺射法來形成。在利用濺射法形成 CAC-OS 的情況下，作為沉積氣體，可以使用選自惰性氣體（典型的是氬）、氧氣體和氮氣體中的任一種或多種。此外，沉積時的沉積氣體的總流量中的氧氣體的流量比越低越好。例如，使沉積時的沉積氣體的總流量中的氧氣體的流量比為 0%以上且低於 30%，較佳為 0%以上且 10%以下。

【0286】例如，在 In-Ga-Zn 氧化物中的 CAC-OS 中，根據藉由能量色散型 X 射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的 EDX 面分析（mapping）影像，可確認到具有以 In 為主要成分的區域（第一區域）及以 Ga 為主要成分的區域（第二區域）不均勻地分佈而混合的結構。

【0287】在此，第一區域是具有比第二區域高的導電性的區域。就是說，當載子流過第一區域時，呈現作為金屬氧化物的導電性。因此，當第一區域以雲狀分佈在金屬氧化物中時，可以實現高場效移動率（ μ ）。

【0288】另一方面，第二區域是具有比第一區域高的絕緣性的區域。就是說，當第二區域分佈在金屬氧化物中時，可以抑制洩漏電流。

【0289】因此，在將 CAC-OS 用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使 CAC-OS 具有開關功能（控制導通/關閉的功能）。換言之，在 CAC-OS 的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將 CAC-OS 用於電晶體，可以實現大通態電流（ I_{on} ）、高場效移動率（ μ ）及良好的切換工作。

【0290】此外，使用 CAC-OS 的電晶體具有高可靠性。因此，CAC-OS 最適合於顯示裝置等各種半導體裝置。

【0291】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS 和 CAAC-OS 中的兩種以上。

【0292】

<具有氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

第60頁，共 123 頁(發明說明書)

【0293】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0294】尤其是，作為形成通道的半導體層，較佳為使用包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物（也記載為 IGZO）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）及鋅（Zn）的氧化物（也記載為 IAZO）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）、鎵（Ga）及鋅（Zn）的氧化物（也記載為 IAGZO）。

【0295】較佳為將載子濃度低的氧化物半導體用於電晶體。例如，氧化物半導體中的載子濃度為 $1 \times 10^{17} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，更佳為 $1 \times 10^{13} \text{cm}^{-3}$ 以下，進一步較佳為 $1 \times 10^{11} \text{cm}^{-3}$ 以下，更進一步較佳為低於 $1 \times 10^{10} \text{cm}^{-3}$ ，且為 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在降低氧化物半導體膜中的載子濃度的情況下，可以降低該氧化物半導體膜中的雜質濃度來降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。

【0296】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0297】被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0298】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，

氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於 0.1 原子%的元素可以說是雜質。

【0299】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0300】在氧化物半導體包含第 14 族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體中的矽或碳的濃度（藉由二次離子質譜（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）設定為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0301】當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。因此，使藉由 SIMS 測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

【0302】當氧化物半導體包含氮時，容易產生作為載子的電子，使載子濃度增高，而 n 型化。其結果是，將包含氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果，有時電晶體的電特性不穩定。因此，將利用 SIMS 測得的氧化物半導體中的氮濃度設定為低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0303】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，將利用 SIMS 測得的氧化

物半導體中的氫濃度設定為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0304】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0305】本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

【0306】

實施方式 3

在本實施方式中，說明可以使用本發明的一個實施方式的半導體裝置 100A 等的顯示裝置 200 的結構例子。

【0307】圖 20A 示出顯示裝置 200 的立體圖。顯示裝置 200 具有貼合基板 152 與基板 101 的結構。在圖 20A 中，以虛線表示基板 152。

【0308】顯示裝置 200 包括顯示部 235、連接部 140、第一驅動電路部 231、第二驅動電路部 232 及佈線 165 等。圖 20A 示出顯示裝置 200 中安裝有 IC173 及 FPC172 的例子。因此，也可以將圖 20A 所示的結構稱為包括顯示裝置 200、IC（積體電路）及 FPC 的顯示模組。

【0309】連接部 140 設置在顯示部 235 的外側。連接部 140 可以沿著顯示部 235 的一個邊或多個邊設置。連接部 140 的個數也可以為一個或多個。圖 20A 示出以圍繞顯示部的四個邊的方式設置連接部 140 的例子。在連接部 140 中，發光器件的共用電極與導電層電連接，可以對共用電極供電。

【0310】佈線 165 具有對顯示部 235、第一驅動電路部 231 及第二驅動電路部 232 供應信號及電力的功能。該信號及電力從外部經由 FPC172 輸入到佈線 165 或者從 IC173 輸入到佈線 165。

【0311】圖 20A 示出藉由 COG（Chip On Glass：晶粒玻璃接合）方式或 COF（Chip On Film：薄膜覆晶封裝）方式等在基板 101 上設置 IC173 的例子。IC173 例如可以包括掃描線驅動電路或信號線驅動電路等。注意，顯示裝置 200 及顯示模組不一定必須設置有 IC。另外，也可以將 IC 利用 COF 方式等安裝於 FPC。

【0312】顯示部 235 包括配置為 m 行（ m 為 1 以上的整數） n 列（ n 為 1 以上的整數）的矩陣狀的多個像素 230。另外，多個像素 230 例如被分類為像素 230a、像素 230b 及像素 230c。像素 230a、像素 230b 及像素 230c 具有呈現互不相同的光的功能。例如，像素 230a、像素 230b 和像素 230c 也可以分別具有呈現紅色（R）光的功能、呈現綠色（G）光的功能和呈現藍色（B）光的功能。或者，例如，像素 230a、像素 230b 和像素 230c 也可以分別具有呈現黃色（Y）光的功能、呈現青色（C）光的功能和呈現洋紅色（M）光的功能。

【0313】藉由使用一個像素 230a、一個像素 230b 及一個像素 230c 構成一個像素 240，可以實現全彩色顯示。因此，像素 230 被用作子像素。另外，在圖 20A 所示的顯示裝置 200 中，示出以條紋排列配置用作子像素的像素 230 的例子。構成一個像素 240 的子像素的數量不侷限於三個，也可以為四個以上。例如，也可以包括呈現 R、G、B、白色（W）的光的四個子像素。或者，也可以包括呈現 R、G、B、Y 的四種光的四個子像素。

【0314】圖 20B 是說明顯示裝置 200 的方塊圖。顯示裝置 200 包括顯示部 235、第一驅動電路部 231 及第二驅動電路部 232。在圖 20B 中，將第 1 行第 n 列的像素 230 記載為像素 230[1, n]，將第 m 行第 1 列的像素 230 記載為像素

230[m, 1]，將第 m 行第 n 列的像素 230 記載為像素 230[m, n]。另外，有時將顯示部 235 中的任意像素 230 記載為像素 230[r, s]。r 為 1 以上且 m 以下的整數，s 為 1 以上且 n 以下的整數。

【0315】第一驅動電路部 231 所包括的電路例如被用作掃描線驅動電路。第二驅動電路部 232 所包括的電路例如被用作信號線驅動電路。注意，在隔著顯示部 235 與第一驅動電路部 231 相對的位置也可以設置某個電路。在隔著顯示部 235 與第二驅動電路部 232 相對的位置也可以設置某個電路。注意，在本說明書等中，有時將第一驅動電路部 231 及第二驅動電路部 232 所包括的電路總稱為週邊驅動電路 233。

【0316】作為週邊驅動電路 233，可以使用移位暫存器電路、位準轉換器電路、反相器電路、門鎖電路、類比開關電路、多工器電路、解多工電路、邏輯電路等各種電路。在週邊驅動電路 233 中，可以使用電晶體及電容器等。週邊驅動電路 233 中的電晶體也可以使用與像素 230 中的電晶體相同的製程形成。

【0317】另外，顯示裝置 200 包括彼此大致平行地配置且其電位被第一驅動電路部 231 中的電路控制的 m 個佈線 236；以及彼此大致平行地配置且其電位被第二驅動電路部 232 中的電路控制的 n 個佈線 237。

【0318】在圖 20B 中，示出佈線 236 和佈線 237 連接到像素 230 的例子。但是，佈線 236 和佈線 237 是一個例子，連接到像素 230 的佈線不侷限於佈線 236 和佈線 237。

【0319】

<電路的結構例子>

作為可以使用根據本發明的一個實施方式的半導體裝置的邏輯電路的一個例子，說明 NOR 電路及 NAND 電路的結構例子。

第65頁，共 123 頁(發明說明書)

【0320】圖 21A 是示出 2 輸入 1 輸出型 NOR 電路（NOR）的結構例子的電路圖。另外，圖 21B 示出 NOR 電路的電路符號。圖 21A 所示的 NOR 電路包括電晶體 Tr11、電晶體 Tr12、電晶體 Tr13 及電晶體 Tr14。作為電晶體 Tr11 及電晶體 Tr12 使用 p 通道型電晶體，作為電晶體 Tr13 及電晶體 Tr14 使用 n 通道型電晶體。

【0321】因此，作為電晶體 Tr11 及電晶體 Tr12 可以使用電晶體 M1。另外，作為電晶體 Tr13 及電晶體 Tr14 可以使用電晶體 M2。

【0322】圖 21A 及圖 21B 所示的 NOR 電路具有在端子 A 和端子 B 都被輸入電位 L（VSS）時從端子 Y 輸出電位 H（VDD）的功能。另外，具有在端子 A 和端子 B 中的一者或兩者被輸入電位 H（VDD）時從端子 Y 輸出電位 L（VSS）的功能。

【0323】另外，如圖 21C 所示，藉由組合 NOR 電路與反相器電路（INV）可以實現 OR 電路（OR）。

【0324】圖 21D 是示出 2 輸入 1 輸出型 NAND 電路（NAND）的結構例子的電路圖。另外，圖 21E 示出 NAND 電路的電路符號。圖 21D 所示的 NAND 電路包括電晶體 Tr21、電晶體 Tr22、電晶體 Tr23 及電晶體 Tr24。作為電晶體 Tr21 及電晶體 Tr22 使用 p 通道型電晶體，作為電晶體 Tr23 及電晶體 Tr24 使用 n 通道型電晶體。

【0325】因此，作為電晶體 Tr21 及電晶體 Tr22 可以使用電晶體 M1。另外，作為電晶體 Tr23 及電晶體 Tr24 可以使用電晶體 M2。

【0326】圖 21D 及圖 21E 所示的 NAND 電路具有在端子 A 和端子 B 都被輸入電位 H（VDD）時從端子 Y 輸出電位 L（VSS）的功能。另外，具有在端子 A 和端子 B 中的一者或兩者被輸入電位 L（VSS）時從端子 Y 輸出電位 H（VDD）的功能。

【0327】另外，如圖 21F 所示，藉由組合 NAND 電路與反相器電路（INV）可以實現 AND 電路（AND）。

【0328】接著，作為可以使用根據本發明的一個實施方式的半導體裝置的電路的一個例子，說明 D 正反器電路（DFF：Delay Flip Flop，延遲正反器）的結構例子。

【0329】圖 22A 是示出 D 正反器電路（DFF）的結構例子的電路圖。另外，圖 22B 示出 D 正反器電路的電路符號。圖 22A 所示的 D 正反器電路包括電晶體 Tr61 至電晶體 Tr69、電晶體 Tr71 至電晶體 Tr79、電晶體 Tr81、電晶體 Tr82、電晶體 Tr91 以及電晶體 Tr92。作為電晶體 Tr61 至電晶體 Tr69、電晶體 Tr81 及電晶體 Tr82 使用 p 通道型電晶體，作為電晶體 Tr71 至電晶體 Tr79、電晶體 Tr91 及電晶體 Tr92 使用 n 通道型電晶體。

【0330】因此，作為電晶體 Tr61 至電晶體 Tr69、電晶體 Tr81 及電晶體 Tr82 可以使用電晶體 M1。另外，作為電晶體 Tr71 至電晶體 Tr79、電晶體 Tr91 及電晶體 Tr92 可以使用電晶體 M2。

【0331】圖 22A 及圖 22B 所示的 DFF 包括時脈信號輸入端子 CK、輸入端子 D 及輸出端子 Q。圖 22A 及圖 22B 所示的 DFF 具有如下功能：在時脈信號輸入端子 CK 被輸入電位 H 的期間，輸入端子 D 的資訊（電位）被寫入，在輸入到時脈信號輸入端子 CK 的信號從電位 H 變為電位 L 時，到下次時脈信號輸入端子 CK 被寫入電位 H 之前保持該資訊。另外，從輸出端子 Q 一直輸出基於 DFF 所保持的資訊的信號（電位 H 或電位 L）。

【0332】圖 23 是示出移位暫存器電路（SR）的結構例子的方塊圖。SR 包括多個 DFF 而構成。另外，在本說明書等中，將第一級（第一個）DFF 記載為“DFF[1]”，將從 DFF[1]的輸出端子 Q 輸出的電位（資料）記載為“資料 OUT[1]”。在圖 23 中示出包括四級（四個）DFF（DFF[1]至 DFF[4]）的 SR 的

方塊圖。另外，在圖 23 中，將從 DFF[1]至 DFF[4]各自的輸出端子 Q 輸出的資料記載為資料 OUT[1]至資料 OUT[4]。

【0333】將資料 OUT[1]輸入到 DFF[2]的輸入端子 D，將資料 OUT[2]輸入到 DFF[3]的輸入端子 D，將資料 OUT[3]輸入到 DFF[4]的輸入端子 D。

【0334】將信號 SPL 輸入到 DFF[1]的輸入端子 D。輸入到 DFF[1]的信號 SPL 與時脈信號 CLK 同步地依次轉送到後級 DFF。資料 OUT 具有對應於 DFF 所保持的資料的值。另外，資料 OUT 的值發生變化的時序與時脈信號 CLK 同步。SR 可以依次切換與時脈信號 CLK 同步地從多個 DFF 輸出的資料 OUT。

【0335】作為可以使用根據本發明的一個實施方式的半導體裝置的電路的一個例子，說明門鎖電路 LAT 的結構例子。

【0336】圖 24A 是示出門鎖電路 LAT 的結構例子的電路圖。圖 24A 所示的門鎖電路 LAT 包括電晶體 Tr31、電晶體 Tr33、電晶體 Tr35、電晶體 Tr36、電容器 C31 及反相電路 INV1。在圖 24A 中，將電連接電晶體 Tr33 的源極和汲極中的一個、電晶體 Tr35 的閘極及電容器 C31 的一個電極的節點稱為節點 N。

【0337】在圖 24A 所示的門鎖電路 LAT 中，當向端子 SMP 輸入高電位信號時，電晶體 Tr33 變為開啟狀態。因此，節點 N 的電位變為與端子 ROUT 的電位對應的電位，與從端子 ROUT 輸入到門鎖電路 LAT 的信號對應的資料被寫入到門鎖電路 LAT。在向門鎖電路 LAT 寫入資料之後，藉由使端子 SMP 的電位為低電位，電晶體 Tr33 變為關閉狀態。因此，節點 N 的電位被保持，寫入到門鎖電路 LAT 的資料被保持。明確而言，例如在節點 N 的電位為低電位的情況下，門鎖電路 LAT 可以保持“0”的資料，在節點 N 的電位為高電位的情況下，門鎖電路 LAT 可以保持“1”的資料。

【0338】電晶體 Tr33 較佳為 OS 電晶體等關態電流較小的電晶體。因此，門鎖電路 LAT 可以長期間保持資料。因此，可以減少將資料再次寫入到門鎖電路 LAT 的頻率。

【0339】圖 24B 示出與圖 24A 不同的門鎖電路 LAT 的結構例子。圖 24B 所示的結構的門鎖電路 LAT 包括電晶體 Tr51、電晶體 Tr52、電晶體 Tr53、電晶體 Tr54、電晶體 Tr55、電晶體 Tr56、電晶體 Tr57、電晶體 Tr58、電晶體 Tr59、電晶體 Tr60、電晶體 Tr61、電晶體 Tr62、反相電路 INV2_1、反相電路 INV2_2 及反相電路 INV2_3。

【0340】使用電晶體 Tr59 及電晶體 Tr60 構成一個類比開關電路。使用電晶體 Tr61 及電晶體 Tr62 構成一個類比開關電路。

【0341】電晶體 Tr53、電晶體 Tr54、電晶體 Tr57、電晶體 Tr58、電晶體 Tr59 及電晶體 Tr61 可以為 n 通道型電晶體。電晶體 Tr51、電晶體 Tr52、電晶體 Tr55、電晶體 Tr56、電晶體 Tr60 及電晶體 Tr62 可以為 p 通道型電晶體。

【0342】電晶體 Tr53、電晶體 Tr54、電晶體 Tr57、電晶體 Tr58、電晶體 Tr59 及電晶體 Tr61 例如可以為 OS 電晶體或 Si 電晶體。電晶體 Tr51、電晶體 Tr52、電晶體 Tr55、電晶體 Tr56、電晶體 Tr60 及電晶體 Tr62 例如可以為 Si 電晶體。

【0343】如上所述，藉由向端子 SMP 輸入高電位信號，與從端子 ROUT 輸入到門鎖電路 LAT 的信號對應的資料被寫入到門鎖電路 LAT。例如，在端子 ROUT 的電位為低電位的情況下，可以向門鎖電路 LAT 寫入“0”的資料，在端子 ROUT 的電位為高電位的情況下，可以向門鎖電路 LAT 寫入“1”的資料。在向門鎖電路 LAT 寫入資料之後，藉由使端子 SMP 的電位變為低電位，寫入到門鎖電路 LAT 的資料被保持。

【0344】 門鎖電路 LAT 可以在端子 SP1 的電位為低電位的情況下將從端子 ROUT 輸入的信號輸出到端子 LIN。另外，門鎖電路 LAT 可以在端子 SP1 的電位為高電位且門鎖電路 LAT 保持“0”的資料的情況下不從端子 LIN 輸出信號或者使端子 LIN 的電位變為低電位。再者，門鎖電路 LAT 在端子 SP1 的電位為高電位且門鎖電路 LAT 保持“1”的資料的情況下，可以將從端子 SP1 輸入的信號輸出到端子 LIN。

【0345】 在本說明書等中，有時將“向門鎖電路 LAT 寫入使從端子 SP1 輸入的信號輸出到端子 LIN 的資料”簡稱為“向門鎖電路 LAT 寫入資料”。就是說，例如有時將“向門鎖電路 LAT 寫入“1”的資料”簡稱為“向門鎖電路 LAT 寫入資料”。

【0346】 作為反相器電路 INV1、反相器電路 INV2_1、反相器電路 INV2_2 及反相器電路 INV2_3，可以使用根據本發明的一個實施方式的半導體裝置 100A 等。

【0347】 另外，作為構成門鎖電路 LAT 的 p 通道型電晶體可以使用電晶體 M1。另外，作為構成門鎖電路 LAT 的 n 通道型電晶體可以使用電晶體 M1 或電晶體 M2。可以將根據本發明的一個實施方式的半導體裝置 100A 等用於各種電路。

【0348】 圖 25A 是示出解多工電路 DeMUX 的結構例子的電路圖。解多工電路 DeMUX 包括解多工電路 D。

【0349】 解多工電路 DeMUX 具有將每一級分為兩個系統的結構，一共有 m 個路徑。就是說，解多工電路 D 以淘汰賽方式連接。第一級的解多工電路 D 的輸入端子與端子 SPI 電連接。最後級的第 $\log_2(m)$ 級的解多工電路 D 的輸出端子與兩個端子 SP（端子 SP[1]、端子 SP[2]）各自電連接。

【0350】解多工電路 D 的選擇信號輸入端子與端子 DSL 及端子 DSLB 電連接。在此，向端子 DSL 輸入的信號的互補信號被輸入到端子 DSLB。例如，在端子 DSL (1) 被輸入“0”的 1 位元的數位信號的情況下，端子 DSLB (1) 被輸入“1”的 1 位元的數位信號。另一方面，在端子 DSL (1) 被輸入“1”的 1 位元的數位信號的情況下，端子 DSLB (1) 被輸入“0”的 1 位元的數位信號。端子 DSLB (2) 至端子 DSLB ($\log_2(m)$) 也是同樣的。

【0351】藉由使解多工電路 DeMUX 具有圖 25A 所示的結構，解多工電路 DeMUX 可以將向端子 SPI 輸入的信號輸出到與向端子 DSL (1) 至端子 DSL ($\log_2(m)$) 輸入的信號所表示的值對應的端子 SP。

【0352】圖 25B、圖 25C 及圖 25D 是示出解多工電路 D 的結構例子的電路圖。圖 25B 所示的結構的解多工電路 D 包括電晶體 Tr121、電晶體 Tr122、電晶體 Tr123 及電晶體 Tr124。電晶體 Tr121 至電晶體 Tr124 例如可以為 n 通道型電晶體。

【0353】在圖 25B 所示的結構的解多工電路 D 中，端子 DSL 與電晶體 Tr121 的源極和汲極中的一個電連接。電晶體 Tr121 的源極和汲極中的另一個與電晶體 Tr123 的閘極電連接。端子 DSLB 與電晶體 Tr122 的源極和汲極中的一個電連接。電晶體 Tr122 的源極和汲極中的另一個與電晶體 Tr124 的閘極電連接。電晶體 Tr123 的源極和汲極中的一個及電晶體 Tr124 的源極和汲極中的一個與解多工電路 D 的輸入端子電連接。電晶體 Tr123 的源極和汲極中的另一個與解多工電路 D 的第一輸出端子電連接。電晶體 Tr124 的源極和汲極中的另一個與解多工電路 D 的第二輸出端子電連接。另外，電晶體 Tr121 的閘極及電晶體 Tr122 的閘極可以被供應高電位。

【0354】在圖 25B 所示的結構的解多工電路 D 中，在端子 DSL 的電位為高電位且端子 DSLB 的電位為低電位的情況下，電晶體 Tr123 變為開啟狀態，

電晶體 Tr124 變為關閉狀態。因此，從解多工電路 D 的輸入端子輸入的信號從解多工電路 D 的第一輸出端子輸出。另一方面，在端子 DSL 的電位為低電位且端子 DSLB 的電位為高電位的情況下，電晶體 Tr123 變為關閉狀態，電晶體 Tr124 變為開啟狀態。因此，從解多工電路 D 的輸入端子輸入的信號從解多工電路 D 的第二輸出端子輸出。

【0355】圖 25C 是圖 25B 所示的解多工電路 D 的變形例子。圖 25C 所示的解多工電路 D 與圖 25B 所示的解多工電路 D 的不同之處是包括電晶體 Tr125 及電晶體 Tr126。

【0356】在圖 25C 所示的結構的解多工電路 D 中，電晶體 Tr125 的源極和汲極中的一個與解多工電路 D 的第二輸出端子電連接，電晶體 Tr125 的閘極與電晶體 Tr123 的閘極電連接。另外，電晶體 Tr126 的源極和汲極中的一個與解多工電路 D 的第一輸出端子電連接，電晶體 Tr126 的閘極與電晶體 Tr124 的閘極電連接。電晶體 Tr125 的源極和汲極中的另一個及電晶體 Tr126 的源極和汲極中的另一個可以被供應低電位。

【0357】在圖 25C 所示的結構的解多工電路 D 中，在端子 DSL 的電位為高電位且端子 DSLB 的電位為低電位的情況下，電晶體 Tr123 及電晶體 Tr125 變為開啟狀態，電晶體 Tr124 及電晶體 Tr126 變為關閉狀態。因此，從解多工電路 D 的輸入端子輸入的信號從解多工電路 D 的第一輸出端子輸出，並且解多工電路 D 的第二輸出端子的電位變為低電位。另一方面，在端子 DSL 的電位為低電位且端子 DSLB 的電位為高電位的情況下，電晶體 Tr123 及電晶體 Tr125 變為關閉狀態，電晶體 Tr124 及電晶體 Tr126 變為開啟狀態。因此，從解多工電路 D 的輸入端子輸入的信號從解多工電路 D 的第二輸出端子輸出，並且解多工電路 D 的第一輸出端子的電位變為低電位。

【0358】圖 25D 所示的結構的解多工電路 D 包括電晶體 Tr131、電晶體 Tr132、電晶體 Tr133 及電晶體 Tr134。電晶體 Tr131 及電晶體 Tr133 可以為 n 通道型電晶體，電晶體 Tr132 及電晶體 Tr134 可以為 p 通道型電晶體。

【0359】在圖 25D 所示的結構的解多工電路 D 中，端子 DSL 與電晶體 Tr131 的閘極及電晶體 Tr134 的閘極電連接。端子 DSLB 與電晶體 Tr132 的閘極及電晶體 Tr133 的閘極電連接。解多工電路 D 的輸入端子與電晶體 Tr131 的源極和汲極中的一個、電晶體 Tr132 的源極和汲極中的一個、電晶體 Tr133 的源極和汲極中的一個及電晶體 Tr134 的源極和汲極中的一個電連接。電晶體 Tr131 的源極和汲極中的另一個及電晶體 Tr132 的源極和汲極中的另一個與解多工電路 D 的第一輸出端子電連接。電晶體 Tr133 的源極和汲極中的另一個及電晶體 Tr134 的源極和汲極中的另一個與解多工電路 D 的第二輸出端子電連接。

【0360】在圖 25D 所示的結構的解多工電路 D 中，在端子 DSL 的電位為高電位且端子 DSLB 的電位為低電位的情況下，電晶體 Tr131 及電晶體 Tr132 變為開啟狀態，電晶體 Tr133 及電晶體 Tr134 變為關閉狀態。因此，從解多工電路 D 的輸入端子輸入的信號從解多工電路 D 的第一輸出端子輸出。另一方面，在端子 DSL 的電位為低電位且端子 DSLB 的電位為高電位的情況下，電晶體 Tr131 及電晶體 Tr132 變為關閉狀態，電晶體 Tr133 及電晶體 Tr134 變為開啟狀態。因此，從解多工電路 D 的輸入端子輸入的信號從解多工電路 D 的第二輸出端子輸出。

【0361】可以將根據本發明的一個實施方式的半導體裝置用於解多工電路 D。作為構成解多工電路 D 的 p 通道型電晶體可以使用電晶體 M1。另外，作為構成解多工電路 D 的 n 通道型電晶體可以使用電晶體 M1 或電晶體 M2。

【0362】

<像素電路的結構例子>

圖 26A 至圖 26D、圖 27A 至圖 27D、圖 28A 及圖 28B 示出像素 230 的結構例子。像素 230 包括像素電路 51（像素電路 51A、像素電路 51B、像素電路 51C、像素電路 51D 或像素電路 51E）及發光元件 61。

【0363】本實施方式等所說明的發光元件（也稱為發光器件）是指有機 EL 元件（也被稱為 OLED（Organic Light Emitting Diode：有機發光二極體））等自發光型發光器件。另外，電連接到像素電路的發光元件可以為 LED（Light Emitting Diode：發光二極體）、微型 LED、QLED（Quantum-dot Light Emitting Diode：量子點發光二極體）、半導體雷射器等自發光型發光元件。

【0364】圖 26A 所示的像素電路 51A 是包括電晶體 52A、電晶體 52B 及電容器 53 的 2Tr1C 型像素電路。

【0365】電晶體 52A 的源極和汲極中的一個與佈線 SL 電連接，電晶體 52A 的閘極與佈線 GL 電連接。電晶體 52A 的源極和汲極中的另一個與電晶體 52B 的閘極電連接。電晶體 52B 的源極和汲極中的一個及電容器 53 的一個端子與佈線 ANO 電連接。電容器 53 的另一個端子與電晶體 52B 的閘極電連接。電晶體 52A 的源極和汲極中的另一個、電晶體 52B 的閘極及電容器 53 的另一個端子電連接的區域被用作節點 FN。電晶體 52B 的源極和汲極中的另一個與發光元件 61 的陽極電連接。發光元件 61 的陰極與佈線 VCOM 電連接。

【0366】佈線 GL 相當於佈線 236，佈線 SL 相當於佈線 237。佈線 VCOM 是供應用來給發光元件 61 提供電流的電位的佈線。電晶體 52A 具有根據佈線 GL 的電位控制佈線 SL 和電晶體 52B 的閘極之間的導通狀態或非導通狀態的功能。例如，將 VDD 供應到佈線 ANO，將 VSS 供應到佈線 VCOM。

【0367】藉由使電晶體 52A 處於開啟狀態，影像信號從佈線 SL 供應到節點 FN。然後，藉由使電晶體 52A 處於關閉狀態，影像信號保持在節點 FN

中。為了確實保持供應到節點 FN 的影像信號，較佳為作為電晶體 52A 使用關態電流小的電晶體。例如，作為電晶體 52A 較佳為使用 OS 電晶體。

【0368】電晶體 52B 具有控制流過發光元件 61 的電流量的功能。電容器 53 具有保持電晶體 52B 的閘極電位的功能。發光元件 61 所發射的光的強度根據供應到電晶體 52B 的閘極（節點 FN）的影像信號被控制。

【0369】在圖 26A 所示的像素電路 51A 中，作為電晶體 52A 使用 n 通道型電晶體，作為電晶體 52B 使用 p 通道型電晶體。但是，如圖 26B 所示的像素電路 51A 那樣，作為電晶體 52B 也可以使用 n 通道型電晶體。當作為電晶體 52B 使用 n 通道型電晶體時，使電容器 53 的一個端子與電晶體 52B 的源極和汲極中的另一個電連接即可。

【0370】圖 26C 所示的像素電路 51B 是包括電晶體 52A、電晶體 52B、電晶體 52C 及電容器 53 的 3Tr1C 型像素電路。圖 26C 所示的像素電路 51B 具有對圖 26A 所示的像素電路 51A 追加電晶體 52C 而成的結構。

【0371】另外，當作為電晶體 52B 使用 n 通道型電晶體時，也可以採用圖 26D 所示的像素電路 51B 的電路結構。圖 26D 所示的像素電路 51B 具有對圖 26B 所示的像素電路 51A 追加電晶體 52C 而成的結構。

【0372】電晶體 52C 的源極和汲極中的一個與電晶體 52B 的源極和汲極中的另一個電連接。電晶體 52C 的源極和汲極中的另一個與佈線 V0 電連接。例如，佈線 V0 被供應參考電位。

【0373】電晶體 52C 具有根據佈線 GL 的電位控制電晶體 52B 的源極和汲極中的另一個和佈線 V0 之間的導通狀態或非導通狀態的功能。佈線 V0 是用來供應參考電位的佈線。當作為電晶體 52B 使用 n 通道型電晶體時，可以由經過電晶體 52C 供應的佈線 V0 的參考電位抑制電晶體 52B 的閘極-源極間電位的不均勻。

【0374】此外，可以使用佈線 V0 取得可用於像素參數的設定的電流值。更明確而言，佈線 V0 可以被用作將流過電晶體 52B 的電流或流過發光元件 61 的電流輸出到外部的監控線。輸出到佈線 V0 的電流可以由源極隨耦電路等轉換為電壓並輸出到外部。或者，可以由 A/D 轉換器等轉換為數位信號並輸出到外部。

【0375】圖 27A 所示的像素電路 51C 具有對圖 26C 所示的像素電路 51B 追加電晶體 52D 而成的結構。圖 27A 所示的像素電路 51C 是包括電晶體 52A、電晶體 52B、電晶體 52C、電晶體 52D 及電容器 53 的 4Tr1C 型像素電路。

【0376】在電晶體 52D 中，源極和汲極中的一個與佈線 ANO 電連接，源極和汲極中的另一個與電晶體 52A 的源極和汲極中的另一個、電容器 53 的另一個端子及電晶體 52B 的閘極電連接。電晶體 52D 的源極和汲極中的另一個、電晶體 52A 的源極和汲極中的另一個、電容器 53 的另一個端子及電晶體 52B 的閘極電連接的區域被用作節點 FN。

【0377】另外，佈線 GL1、佈線 GL2 及佈線 GL3 電連接到像素電路 51C。注意，在本實施方式等中，有時將佈線 GL1、佈線 GL2 及佈線 GL3 總稱為佈線 GL。因此，佈線 GL 不侷限於一個，有時為多個。

【0378】佈線 GL1 與電晶體 52A 的閘極電連接，佈線 GL2 與電晶體 52C 的閘極電連接，佈線 GL3 與電晶體 52D 的閘極電連接。

【0379】在使電晶體 52D 處於開啟狀態時，電晶體 52B 的源極和閘極具有相同電位，由此可以使電晶體 52B 處於非導通狀態。由此，可以強制屏蔽流過發光元件 61 的電流。這種像素電路適合於使用交替設置顯示期間和關燈期間的顯示方法的情況。在使電晶體 52D 處於開啟狀態的同時也可以使電晶體 52C 處於開啟狀態。

【0380】在圖 27A 所示的像素電路 51C 中，作為電晶體 52A、電晶體 52C 及電晶體 52D 使用 n 通道型電晶體，作為電晶體 52B 使用 p 通道型電晶體。但是，如圖 27B 所示的像素電路 51C 那樣，作為電晶體 52B 也可以使用 n 通道型電晶體。當作為電晶體 52B 使用 n 通道型電晶體時，使電容器 53 的一個端子與電晶體 52B 的源極和汲極中的另一個電連接即可。另外，使電晶體 52D 的源極和汲極中的一個與佈線 V0 電連接即可。

【0381】圖 27C 所示的像素電路 51D 具有對圖 27A 所示的像素電路 51C 追加電容器 53A 而成的結構。在圖 27C 所示的像素電路 51D 中，電容器 53A 的一個端子與電晶體 52B 的源極和汲極中的另一個端子電連接，電容器 53A 的另一個端子與電晶體 52B 的閘極電連接。電晶體 52D 的源極和汲極中的另一個、電晶體 52A 的源極和汲極中的另一個、電容器 53 的另一個端子、電容器 53A 的另一個端子及電晶體 52B 的閘極電連接的區域被用作節點 FN。

【0382】圖 27D 所示的像素電路 51D 具有對圖 27B 所示的像素電路 51C 追加電容器 53A 而成的結構。在圖 27D 所示的像素電路 51D 中，電容器 53A 的一個端子與佈線 ANO 電連接，另一個端子與電晶體 52B 的閘極電連接。電容器 53 及電容器 53A 被用作儲存電容器。圖 27C 及圖 27D 所示的像素電路 51D 是 4Tr2C 型像素電路。

【0383】電晶體 52A、電晶體 52B、電晶體 52C、電晶體 52D 較佳為包括背閘極電極，此時可以採用給背閘極電極供應與閘極電極相同的信號的結構、給背閘極電極供應與閘極電極不同的信號的結構。

【0384】除了電晶體 52B 以外，也可以作為電晶體 52A、電晶體 52C 及電晶體 52D 使用 p 通道型電晶體。

【0385】圖 28A 所示的像素電路 51E 是包括電晶體 52A、電晶體 52B、電晶體 52C、電晶體 52D、電晶體 52E、電晶體 52F 及電容器 53 的 6Tr1C 型像素電路。

【0386】電晶體 52A 的源極和汲極中的一個與佈線 SL 電連接，電晶體 52A 的閘極與佈線 GL1 電連接。電晶體 52D 的源極和汲極中的一個與佈線 ANO 電連接，電晶體 52D 的閘極與佈線 GL2 電連接。電晶體 52D 的源極和汲極中的另一個與電晶體 52B 的源極和汲極中的一個電連接。電晶體 52B 的源極和汲極中的另一個與電晶體 52A 的源極和汲極中的另一個以及電晶體 52F 的源極和汲極中的一個電連接。電晶體 52F 的閘極與佈線 GL3 電連接。

【0387】電晶體 52E 的源極和汲極中的一個與電晶體 52D 的源極和汲極中的另一個以及電晶體 52B 的源極和汲極中的一個電連接。電晶體 52E 的源極和汲極中的另一個與電晶體 52B 的閘極以及電容器 53 的一個端子電連接。電容器 53 的另一個端子與電晶體 52F 的源極和汲極中的另一個、發光元件 61 的陽極及電晶體 52C 的源極和汲極中的一個電連接。電晶體 52E 的閘極及電晶體 52C 的閘極與佈線 GL4 電連接。電晶體 52C 的源極和汲極中的另一個與佈線 V0 電連接。電晶體 52E 的源極和汲極中的另一個、電晶體 52B 的閘極以及電容器 53 的一個端子電連接的區域被用作節點 FN。

【0388】在圖 28A 所示的像素電路 51E 中，作為電晶體 52A 至電晶體 52F 使用 n 通道型電晶體。例如，作為用作驅動電晶體的電晶體 52B 使用 n 通道型 Si 電晶體，作為電晶體 52A 以及電晶體 52C 至電晶體 52F 使用 OS 電晶體即可。作為 Si 電晶體使用上述實施方式所示的電晶體 M1，作為 OS 電晶體使用上述實施方式所示的電晶體 M2 即可。尤其是，為了確實保持供應到節點 FN 的影像信號，較佳為作為電晶體 52E 使用 OS 電晶體。

【0389】用作驅動電晶體的電晶體 52B 較佳為常關閉型電晶體。尤其是，Si 電晶體藉由進行通道摻雜容易成為常關閉型電晶體，因此適合於電晶體 52B。注意，如果 OS 電晶體是常關閉型電晶體，則可以將其用於電晶體 52B。

【0390】另外，如圖 28B 所示，作為電晶體 52B 也可以使用包括背閘極的電晶體。電晶體 52B 的背閘極與電晶體 52B 的閘極或者電晶體 52B 的源極和汲極中的另一個電連接即可。

【0391】在圖 28A 及圖 28B 中，作為用作驅動電晶體的電晶體 52B 使用 n 通道型電晶體，但是作為電晶體 52B 也可以使用 p 通道型電晶體。

【0392】圖 29A 示出作為電晶體 52B 使用 p 通道型電晶體的像素電路 51E。在圖 29A 所示的像素電路 51E 與圖 28A 所示的像素電路 51E 之間電晶體 52A、電晶體 52E 及電容器 53 的連接方式不同。在圖 29A 所示的像素電路 51E 中，電晶體 52A 的源極和汲極中的另一個與電晶體 52D 的源極和汲極中的另一個及電晶體 52B 的源極和汲極中的一個電連接。另外，電容器 53 的另一個端子與電晶體 52D 的源極和汲極中的一個電連接。另外，電晶體 52E 的源極和汲極中的一個與電晶體 52B 的源極和汲極中的另一個電連接。

【0393】另外，如圖 29B 所示的像素電路 51E 那樣，作為電晶體 52B 也可以使用包括背閘極的 p 通道型電晶體。當作為電晶體 52B 使用 p 通道型電晶體時，電晶體 52B 的背閘極與電晶體 52B 的閘極或者電晶體 52B 的源極和汲極中的一個電連接即可。在圖 29B 中，示出將電晶體 52B 的背閘極電連接到電晶體 52B 的源極和汲極中的一個的例子。

【0394】根據本發明的一個實施方式的半導體裝置 100（半導體裝置 100A 至半導體裝置 100L）的結構不僅可用於顯示裝置的驅動電路而且可用於像素電路。圖 30 示出說明像素電路 51E 的結構例子的剖面圖。另外，為了避免重複

說明，在本實施方式中主要說明在其他實施方式中沒有記載的部分。因此，關於在本實施方式中沒有說明的內容，可以參照其他實施方式。

【0395】在圖 30 所示的像素電路 51E 的結構例子中，電晶體 52A、電晶體 52D 及電晶體 52F 具有與圖 12B 所示的電晶體 M2 同樣的結構。另外，電晶體 52E 具有與圖 9B 所示的電晶體 M2 同樣的結構。另外，電晶體 52B 具有與圖 9B 所示的電晶體 M1 同樣的結構。

【0396】在圖 30 所示的像素電路 51E 的結構例子中，在絕緣層 104 上包括導電層 175。在對半導體層 103 引入用來形成汲極區域 103a 及源極區域 103c 的雜質元素的製程後且形成絕緣層 109 前，導電層 175 形成在絕緣層 104 上。導電層 175 使用與導電層 105 相同的材料及相同的製造方法形成即可。

【0397】另外，在絕緣層 111 上包括導電層 176。導電層 176 與導電層 113 可以使用相同的材料及相同的製程同時形成。導電層 176 被用作電晶體 52F 的源極和汲極中的另一個。導電層 175 和導電層 176 彼此重疊的區域被用作電容器 53。導電層 175 被用作電容器 53 的一個端子。另外，導電層 175 在沒有圖示的區域中與導電層 105 電連接。

【0398】另外，在圖 30 所示的像素電路 51E 的結構例子中，包括絕緣層 181 代替絕緣層 117。另外，在絕緣層 181 上包括絕緣層 182，在絕緣層 182 上包括絕緣層 183。絕緣層 181 使用與絕緣層 109 同樣的材料及方法形成即可。絕緣層 182 使用與絕緣層 110 同樣的材料及方法形成即可。絕緣層 183 使用與絕緣層 111 同樣的材料及方法形成即可。

【0399】另外，在絕緣層 183 上包括導電層 184。導電層 184 使用與導電層 113 同樣的材料及方法形成即可。另外，在與導電層 176 重疊的區域中，導電層 184、絕緣層 183、絕緣層 182、絕緣層 181 及絕緣層 115 各自的一部分中設置有開口 129，包括開口 129 的區域中設置有電晶體 52C。

【0400】電晶體 52C 具有與圖 1B 所示的電晶體 M2 同樣的結構。明確而言，在開口 129 中包括半導體層 189，半導體層 189 的一部分與導電層 176 電連接，半導體層 189 的其他一部分與導電層 184 電連接。導電層 176 被用作電晶體 52C 的源極和汲極中的一個。另外，導電層 184 被用作電晶體 52C 的源極和汲極中的另一個。半導體層 189 使用與半導體層 114 同樣的材料及方法形成即可。另外，在絕緣層 183 及半導體層 189 上包括絕緣層 185。絕緣層 185 使用與絕緣層 115 同樣的材料及方法形成即可。絕緣層 185 的一部分被用作電晶體 52C 的閘極絕緣層。

【0401】另外，在絕緣層 185 上包括具有與開口 129 重疊的區域的導電層 191。導電層 191 使用與導電層 116 同樣的材料及方法形成即可。導電層 191 的一部分被用作電晶體 52C 的閘極電極。另外，在絕緣層 185 及導電層 191 上包括絕緣層 186，在絕緣層 186 上包括絕緣層 187。絕緣層 186 使用與絕緣層 117 同樣的材料及方法形成即可。

【0402】絕緣層 187 較佳為被用作減小形成在下層的電晶體、電容器、佈線等所造成的步階的平坦化層。作為用作平坦化層的材料，有機絕緣膜是較佳的。作為可用於有機絕緣膜的材料，可以舉出丙烯酸樹脂、環氧樹脂、聚醯亞胺、聚醯胺、聚醯亞胺醯胺、矽氧烷樹脂、苯并環丁烯樹脂、酚樹脂及它們的前驅物等。另外，也可以在使用無機材料或有機材料形成絕緣層 187 之後，對絕緣層 187 進行利用化學機械拋光（CMP：Chemical Mechanical Polishing）法等平坦化處理。

【0403】另外，在圖 30 所示的像素電路 51E 的結構例子中，在絕緣層 187 上包括用作發光元件 61 的陽極的導電層 188。另外，在與導電層 176 重疊的區域中包括設置在絕緣層 187、絕緣層 186、絕緣層 185、導電層 184、絕緣層 183、絕緣層 182、絕緣層 181 及絕緣層 115 各自的一部分中的開口。導電層

188 在該開口的底部與導電層 176 電連接。導電層 188 例如相當於後述的下部電極 761。

【0404】藉由將根據本發明的一個實施方式的半導體裝置 100 的結構用於顯示裝置的像素電路，可以縮小像素電路的佔有面積。因此，可以提高顯示裝置的清晰度。例如，可以實現清晰度為 1000ppi 以上、較佳為 2000ppi 以上、更佳為 3000ppi 以上、進一步較佳為 4000ppi 以上、還較佳為 5000ppi 以上、再進一步較佳為 6000ppi 以上且 10000ppi 以下、9000ppi 以下或 8000ppi 以下的顯示裝置。

【0405】另外，藉由縮小像素電路的佔有面積，可以增加顯示裝置的像素數（提高解析度）。例如，可以實現 HD（像素數為 1280×720）、FHD（像素數為 1920×1080）、WQHD（像素數為 2560×1440）、WQXGA（像素數為 2560×1600）、4K2K（像素數為 3840×2160）或 8K4K（像素數為 7680×4320）等解析度極高的顯示裝置。

【0406】因此，藉由將根據本發明的一個實施方式的半導體裝置 100 的結構用於顯示裝置的像素電路，可以提高顯示裝置的顯示品質。另外，在使用 EL 元件的底發射型顯示裝置中可以提高像素的開口率。開口率高的像素可以以與開口率較低的像素相比更低的電流密度實現具有與開口率較低的像素相同的亮度的發光。因此，可以提高顯示裝置的可靠性。

【0407】

<像素佈局>

使用圖 31A 至圖 31G 及圖 32A 至圖 32K 主要說明與圖 20A 不同的像素佈局。子像素的排列沒有特別的限制，可以採用各種像素佈局。作為子像素的排列，例如可以舉出條紋排列、S 條紋排列、矩陣排列、Delta 排列、拜耳排列、Pentile 排列等。

【0408】注意，圖 20A、圖 31A 至圖 31G 及圖 32A 至圖 32K 所示的子像素的頂面形狀相當於發光區域的頂面形狀。

【0409】另外，作為子像素的頂面形狀，例如可以舉出三角形、四角形（包括矩形、正方形）、五角形等多角形、角部圓的上述多角形形狀、橢圓形或圓形等。

【0410】子像素（像素 230）所包括的像素電路 51 既可以與發光區域重疊配置，又可以配置在發光區域的外側。

【0411】圖 31A 所示的像素 240 採用 S 條紋排列。在圖 31A 所示的像素 240 中將像素 230a、像素 230b、像素 230c 用作子像素。

【0412】圖 31B 所示的像素 240 包括具有角部呈圓形的近似梯形或近似三角形的頂面形狀的像素 230a、具有角部呈圓形的近似梯形或近似三角形的頂面形狀的像素 230b 以及具有角部呈圓形的近似四角形或近似六角形的頂面形狀的像素 230c。另外，像素 230b 的發光面積大於像素 230a。如此，各子像素的形狀及尺寸可以分別獨立決定。例如，包括可靠性高的發光器件的子像素的尺寸可以更小。

【0413】圖 31C 所示的像素 240A 及像素 240B 採用 Pentile 排列。圖 31C 示出交替配置包括像素 230a 及像素 230b 的像素 240A 及包括像素 230b 及像素 230c 的像素 240B 的例子。

【0414】圖 31D 至圖 31F 所示的像素 240A 及像素 240B 採用 Delta 排列。像素 240A 在上面的行（第一行）包括兩個子像素（像素 230a 及像素 230b），在下面的行（第二行）包括一個子像素（像素 230c）。像素 240B 在上面的行（第一行）包括一個子像素（像素 230c），在下面的行（第二行）包括兩個子像素（像素 230a 及像素 230b）。

【0415】圖 31D 是各子像素具有帶圓角的近似四角形的頂面形狀的例子，圖 31E 是各子像素具有圓形頂面形狀的例子，圖 31F 是各子像素具有帶圓角的近似六角形的頂面形狀的例子。

【0416】在圖 31F 中，各子像素配置在排列為最緊密的六角形區域的內側。各子像素以在著眼於其中一個子像素時被六個子像素圍繞的方式配置。此外，以呈現相同顏色的光的子像素不相鄰的方式設置。例如，各子像素以在著眼於像素 230a 時交替地配置的三個像素 230b 和三個像素 230c 圍繞像素 230a 的方式設置。

【0417】圖 31G 示出各顏色的子像素配置為鋸齒形狀的例子。明確而言，在俯視時，在列方向上排列的兩個子像素（例如，像素 230a 與像素 230b 或者像素 230b 與像素 230c）的上邊的位置錯開。

【0418】在圖 31A 至圖 31G 所示的各像素中，例如較佳的是，像素 230a 為發射紅色光的子像素 R，像素 230b 為發射綠色光的子像素 G，並且像素 230c 為發射藍色光的子像素 B。注意，子像素的結構不侷限於此，可以適當地決定子像素所發射的顏色及排列順序。例如，像素 230b 也可以為發射紅色光的子像素 R，像素 230a 也可以為發射綠色光的子像素 G。

【0419】在光微影法中，被加工的圖案越微細越不能忽視光的繞射所帶來的影響，所以在藉由曝光轉移光罩的圖案時其保真度下降，難以將光阻遮罩加工為所希望的形狀。因此，即使光罩的圖案為矩形，也易於形成帶圓角的圖案。因此，子像素的頂面形狀有時呈帶圓角的多角形形狀、橢圓形或圓形等。

【0420】並且，在使用光阻遮罩將 EL 層加工為島狀時，形成在 EL 層上的光阻膜需要以低於 EL 層的耐熱溫度的溫度固化。因此，根據 EL 層的材料耐熱溫度及光阻劑材料的固化溫度而有時光阻膜的固化不充分。固化不充分的光阻膜在被加工時有時呈遠離所希望的形狀的形狀。其結果是，EL 層的頂面形

狀有時呈帶圓角的多角形形狀、橢圓形或圓形等。例如，當要形成頂面形狀為正方形的光阻遮罩時，有時形成圓形頂面形狀的光阻遮罩而 EL 層的頂面形狀呈圓形。

【0421】為了使 EL 層的頂面形狀呈所希望的形狀，也可以利用以設計圖案與轉移圖案一致的方式預先校正遮罩圖案的技術（OPC（Optical Proximity Correction:光學鄰近效應修正）技術）。明確而言，在 OPC 技術中，對遮罩圖案上的圖形角部等追加校正用圖案。

【0422】如圖 32A 至圖 32I 所示，像素可以包括四種子像素。

【0423】圖 32A 至圖 32C 所示的像素 240 採用條紋排列。

【0424】圖 32A 是各子像素具有矩形頂面形狀的例子，圖 32B 是各子像素具有連接兩個半圓與矩形的頂面形狀的例子，圖 32C 是各子像素具有橢圓形頂面形狀的例子。

【0425】圖 32D 至圖 32F 所示的像素 240 採用矩陣排列。

【0426】圖 32D 是各子像素具有正方形的頂面形狀的例子，圖 32E 是各子像素具有角部呈圓形的近似正方形的頂面形狀的例子，圖 32F 是各子像素具有圓形頂面形狀的例子。

【0427】圖 32G 及圖 32H 示出一個像素 240 使用配置為兩行三列的子像素構成的例子。

【0428】圖 32G 所示的像素 240 在像素 240 的上面的行（第一行）包括三個子像素（像素 230a、像素 230b、像素 230c）且在下面的行（第二行）包括一個子像素（像素 230d）。換言之，像素 240 在左列（第一列）包括像素 230a，在中間列（第二列）包括像素 230b，在右列（第三列）包括像素 230c，並包括橫跨這三個列的像素 230d。

【0429】圖 32H 所示的像素 240 在上面的行（第一行）包括三個子像素（像素 230a、像素 230b、像素 230c）且在下面的行（第二行）包括三個像素 230d。換言之，像素 240 在像素 240 的左列（第一列）包括像素 230a 及像素 230d，在中間列（第二列）包括像素 230b 及像素 230d，在右列（第三列）包括像素 230c 及像素 230d。如圖 32H 所示，藉由採用上面的行和下面的行的子像素的配置對齊的結構，可以高效地去除製造程序中可能產生的粉塵等。因此，可以提供顯示品質高的顯示裝置。

【0430】圖 32I 示出一個像素 240 使用配置為三行兩列的子像素構成的例子。

【0431】圖 32I 所示的像素 240 在像素 240 的上面的行（第一行）包括像素 230a，在中間行（第二行）包括像素 230b，包括橫跨第一行至第二行的像素 230c，在下面的行（第三行）包括一個子像素（像素 230d）。換言之，像素 240 在像素 240 的左列（第一列）包括像素 230a 及像素 230b，在右列（第二列）包括像素 230c，並包括橫跨這兩個列的像素 230d。

【0432】圖 32A 至圖 32I 所示的像素 240 由像素 230a、像素 230b、像素 230c、像素 230d 這四個子像素構成。

【0433】像素 230a、像素 230b、像素 230c、像素 230d 可以包括發射彼此不同顏色的光的發光器件。作為像素 230a、像素 230b、像素 230c、像素 230d，可以舉出：R、G、B、白色（W）的四種顏色的子像素；R、G、B、Y 的四種顏色的子像素；以及 R、G、B、紅外光（IR）的子像素；等。

【0434】在圖 32A 至圖 32I 所示的各像素 240 中，例如，像素 230a 可以為發射紅色光的子像素 R，像素 230b 可以為發射綠色光的子像素 G，像素 230c 可以為發射藍色光的子像素 B，像素 230d 可以為發射白色光的子像素 W、發射黃色光的子像素 Y 或發射近紅外光的子像素 IR。在採用上述結構時，在圖

32G 及圖 32H 所示的像素 240 中，R、G、B 的佈局為條紋排列，所以可以提高顯示品質。另外，在圖 32I 所示的像素 240 中，R、G、B 的佈局為所謂的 S 條紋排列，所以可以提高顯示品質。

【0435】另外，像素 240 也可以包括具有受光元件（也稱為受光器件）的子像素。

【0436】在圖 32A 至圖 32I 所示的各像素 240 中，像素 230a 至像素 230d 中的任一個都可以為包括受光器件的子像素。

【0437】在圖 32A 至圖 32I 所示的各像素 240 中，例如，像素 230a 可以為發射紅色光的子像素 R，像素 230b 可以為發射綠色光的子像素 G，像素 230c 可以為發射藍色光的子像素 B，像素 230d 可以為包括受光器件的子像素 S。在採用上述結構時，在圖 32G 及圖 32H 所示的像素 240 中，R、G、B 的佈局為條紋排列，所以可以提高顯示品質。另外，在圖 32I 所示的像素 240 中，R、G、B 的佈局為所謂的 S 條紋排列，所以可以提高顯示品質。

【0438】包括受光器件的子像素 S 所檢測的光的波長沒有特別的限制。子像素 S 可以檢測可見光和紅外光中的一者或兩者。

【0439】如圖 32J 及圖 32K 所示，一個像素 240 也可以包括五種子像素。

【0440】圖 32J 示出一個像素 240 使用配置為兩行三列的子像素構成的例子。

【0441】圖 32J 所示的像素 240 在像素 240 的上面的行（第一行）包括三個子像素（像素 230a、像素 230b、像素 230c）且在下面的行（第二行）包括兩個子像素（像素 230d、像素 230e）。換言之，像素 240 在像素 240 的左列（第一列）包括像素 230a、像素 230d，在中間列（第二列）包括像素 230b，在右列（第三列）包括子像素 230c，並包括橫跨第二列至第三列的像素 230e。

【0442】圖 32K 示出一個像素 240 使用配置為三行兩列的子像素構成的例子。

【0443】圖 32K 所示的像素 240 在像素 240 的上面的行（第一行）包括像素 230a，在中間行（第二行）包括像素 230b，包括橫跨第一行至第二行的像素 230c，在下面的行（第三行）包括兩個子像素（像素 230d、像素 230e）。換言之，像素 240 在左列（第一列）包括像素 230a、像素 230b、像素 230d，在右列（第二列）包括像素 230c、像素 230e。

【0444】在圖 32J 及圖 32K 所示的各像素 240 中，例如較佳的是，像素 230a 為發射紅色光的子像素 R，像素 230b 為發射綠色光的子像素 G，像素 230c 為發射藍色光的子像素 B。在採用上述結構時，在圖 32J 所示的像素 240 中，子像素的佈局為條紋排列，所以可以提高顯示品質。另外，在圖 32K 所示的像素 240 中，子像素的佈局為所謂的 S 條紋排列，所以可以提高顯示品質。

【0445】在圖 32J 及圖 32K 所示的各像素 240 中，例如作為像素 230d 和像素 230e 中的至少一方也可以使用包括受光器件的子像素 S。當在像素 230d 和像素 230e 的兩者中使用受光器件時，受光器件的結構也可以互不相同。例如，所檢測的光的波長區域的至少一部分也可以彼此不同。明確而言，像素 230d 和像素 230e 中的一方可以包括主要檢測可見光的受光器件，另一方可以包括主要檢測紅外光的受光器件。

【0446】另外，在圖 32J 及圖 32K 所示的各像素 240 中，例如也可以作為像素 230d 和像素 230e 中的一方使用包括受光器件的子像素 S 且另一方使用包括可用作光源的發光器件的子像素。例如，也可以作為像素 230d 和像素 230e 中的一方使用發射紅外光的子像素 IR 且另一方使用包括檢測紅外光的受光器件的子像素 S。

【0447】在包括子像素 R、G、B、IR、S 的像素中，可以使用子像素 R、G、B 顯示影像並使用子像素 IR 作為光源而由子像素 S 檢測子像素 IR 所發射的紅外光的反射光。

【0448】如上所述，在本發明的一個實施方式的顯示裝置中，作為像素 240 可以採用各種子像素（像素 230）的佈局。另外，也可以採用在像素 240 中包括發光器件和受光器件的兩者的結構。在此情況下，也可以採用各種佈局。

【0449】本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

【0450】

實施方式 4

在本實施方式中，對可用作發光元件 61 的發光器件進行說明。

【0451】如圖 33A 所示，發光器件在一對電極（下部電極 761 及上部電極 762）間包括 EL 層 763。EL 層 763 可以由層 780、發光層 771 及層 790 等多個層構成。

【0452】發光層 771 至少包含發光物質（也稱為發光材料）。

【0453】在下部電極 761 及上部電極 762 分別為陽極及陰極的情況下，層 780 包括含有電洞注入性高的物質的層（電洞注入層）、含有電洞傳輸性高的物質的層（電洞傳輸層）和含有電子阻擋性高的物質的層（電子障壁層）中的一個或多個。另外，層 790 包括含有電子注入性高的物質的層（電子注入層）、含有電子傳輸性高的物質的層（電子傳輸層）和含有電洞阻擋性高的物質的層（電洞障壁層）中的一個或多個。在下部電極 761 及上部電極 762 分別為陰極及陽極的情況下，層 780 和層 790 的結構與上述反轉。

【0454】包括設置在一對電極間的層 780、發光層 771 及層 790 的結構可以被用作單一的發光單元，在本說明書中將圖 33A 的結構稱為單結構。

【0455】圖 33B 示出圖 33A 所示的發光器件所包括的 EL 層 763 的變形例子。明確而言，圖 33B 所示的發光器件包括下部電極 761 上的層 781、層 781 上的層 782、層 782 上的發光層 771、發光層 771 上的層 791、層 791 上的層 792 及層 792 上的上部電極 762。

【0456】在下部電極 761 及上部電極 762 分別為陽極及陰極的情況下，例如，層 781、層 782、層 791 及層 792 可以分別為電洞注入層、電洞傳輸層、電子傳輸層及電子注入層。另外，在下部電極 761 及上部電極 762 分別為陰極及陽極的情況下，層 781、層 782、層 791 及層 792 可以分別為電子注入層、電子傳輸層、電洞傳輸層及電洞注入層。藉由採用上述層結構，可以將載子高效地注入到發光層 771，由此可以提高發光層 771 內的載子的再結合的效率。

【0457】此外，如圖 33C 及圖 33D 所示，層 780 與層 790 之間設置有多個發光層（發光層 771、772、773）的結構也是單結構的變形例子。注意，雖然圖 33C 及圖 33D 示出包括三層發光層的例子，但具有單結構的發光器件中的發光層可以為兩層，也可以為四層以上。另外，具有單結構的發光器件也可以在兩個發光層之間包括緩衝層。緩衝層例如可以使用載子傳輸層（電洞傳輸層及電子傳輸層）。

【0458】另外，如圖 33E 及圖 33F 所示，在本說明書中多個發光單元（發光單元 763a 及發光單元 763b）隔著電荷產生層 785（也稱為中間層）串聯連接的結構被稱為串聯結構。另外，也可以將串聯結構稱為疊層結構。藉由採用串聯結構，可以實現能夠以高亮度發光的發光器件。此外，串聯結構由於與單結構相比可以降低為了得到相同的亮度的電流，所以可以提高可靠性。

【0459】圖 33D 及圖 33F 示出顯示裝置包括重疊於發光器件的層 764 的例子。圖 33D 示出層 764 重疊於圖 33C 所示的發光器件的例子，圖 33F 示出層 764 重疊於圖 33E 所示的發光器件的例子。在圖 33D 及圖 33F 中，上部電極 762 使用透過可見光的導電膜以將光提取到上部電極 762 一側。

【0460】作為層 764 可以使用顏色轉換層和濾色片（彩色層）中的一者或兩者。

【0461】在圖 33C 及圖 33D 中，也可以將發射相同顏色的光的發光物質，甚至為相同發光物質用於發光層 771、發光層 772 及發光層 773。例如，也可以將發射藍色光的發光物質用於發光層 771、發光層 772 及發光層 773。關於呈現藍色光的子像素，可以提取發光器件所發射的藍色光。另外，關於呈現紅色光的子像素及呈現綠色光的子像素，藉由作為圖 33D 所示的層 764 設置顏色轉換層，可以使發光器件所發射的藍色光轉換為更長波長的光而提取為紅色光或綠色光。另外，作為層 764 較佳為使用顏色轉換層和彩色層的兩者。發光器件所發射的光的一部分有時不經顏色轉換層的轉換而透過。藉由經由彩色層提取透過顏色轉換層的光，可以由彩色層吸收所希望的顏色光之外的光而提高子像素所呈現的光的色純度。

【0462】在圖 33C 及圖 33D 中，也可以將發射不同顏色的光的發光物質用於發光層 771、發光層 772 及發光層 773。在發光層 771、發光層 772 及發光層 773 各自所發射的光處於補色關係時，可以得到白色發光。例如，具有單結構的發光器件較佳為包括含有發射藍色光的發光物質的發光層以及含有發射比藍色波長長的可見光的發光物質的發光層。

【0463】作為圖 33D 所示的層 764，也可以設置濾色片。藉由白色光透過濾色片，可以得到所希望的顏色的光。

【0464】例如，在具有單結構的發光器件包括三層發光層的情況下，較佳為包括含有發射紅色（R）光的發光物質的發光層、含有發射綠色（G）光的發光物質的發光層以及發射藍色（B）光的發光物質的發光層。作為發光層的疊層順序，可以採用從陽極一側依次層疊 R、G、B 的順序或從陽極一側依次層疊 R、B、G 的順序等。此時，也可以在 R 與 G 或 B 之間設置緩衝層。

【0465】例如在具有單結構的發光器件包括兩層發光層的情況下，較佳為採用包括含有發射藍色（B）光的發光物質的發光層以及含有發射黃色（Y）光的發光物質的發光層的結構。有時將該結構稱為 BY 單結構。

【0466】發射白色光的發光器件較佳為包含兩種以上的發光物質。為了得到白色發光，以兩個以上的發光物質的各發光處於補色關係的方式選擇發光物質即可。例如，藉由使第一發光層的發光顏色與第二發光層的發光顏色處於補色關係，可以得到在發光器件整體上以白色發光的發光器件。此外，包括三個以上的發光層的發光器件也是同樣的。

【0467】注意，圖 33C、圖 33D 中的層 780 及層 790 也可以分別獨立地採用圖 33B 所示的由兩層以上的層而成的疊層結構。

【0468】在圖 33E 及圖 33F 中，也可以將發射相同顏色的光的發光物質，甚至為相同發光物質用於發光層 771 及發光層 772。例如，在呈現各顏色的光的子像素所包括的發光器件中，也可以將發射藍色光的發光物質用於發光層 771 及發光層 772。關於呈現藍色光的子像素，可以提取發光器件所發射的藍色光。另外，關於呈現紅色光的子像素及呈現綠色光的子像素，藉由作為圖 33F 所示的層 764 設置顏色轉換層，可以使發光器件所發射的藍色光轉換為更長波長的光而提取為紅色光或綠色光。另外，作為層 764 較佳為使用顏色轉換層和彩色層的兩者。

【0469】另外，在將圖 33E 或圖 33F 所示的結構的發光器件用於呈現各顏色的子像素時，也可以根據子像素使用不同發光物質。明確而言，在呈現紅色光的子像素所包括的發光器件中，也可以將發射紅色光的發光物質用於發光層 771 及發光層 772。同樣地，在呈現綠色光的子像素所包括的發光器件中，也可以將發射綠色光的發光物質用於發光層 771 及發光層 772。在呈現藍色光的子像素所包括的發光器件中，也可以將發射藍色光的發光物質用於發光層 771 及發光層 772。可以說，具有這種結構的顯示裝置使用具有串聯結構的發光器件並具有 SBS 結構。由此，具有串聯結構及 SBS 結構的兩者的優點。由此，可以實現高亮度發光而實現可靠性高的發光器件。

【0470】另外，在圖 33E 及圖 33F 中，也可以將發射不同顏色的光的發光物質用於發光層 771 及發光層 772。在發光層 771 所發射的光和發光層 772 所發射的光處於補色關係時，可以得到白色發光。作為圖 33F 所示的層 764 也可以設置濾色片。藉由白色光透過濾色片，可以得到所希望的顏色的光。

【0471】注意，雖然圖 33E 及圖 33F 示出發光單元 763a 包括一層發光層 771 且發光單元 763b 包括一層發光層 772 的例子，但不侷限於此。發光單元 763a 及發光單元 763b 各自也可以包括兩層以上的發光層。

【0472】雖然圖 33E 及圖 33F 例示出包括兩個發光單元的發光器件，但不侷限於此。發光器件也可以包括三個以上的發光單元。注意，也可以將包括兩個發光單元的結構及包括三個發光單元的結構分別稱為兩級串聯結構及三級串聯結構。

【0473】在圖 33E 及圖 33F 中，發光單元 763a 包括層 780a、發光層 771 及層 790a，發光單元 763b 包括層 780b、發光層 772 及層 790b。

【0474】在下部電極 761 及上部電極 762 分別為陽極及陰極的情況下，層 780a 及層 780b 各自包括電洞注入層、電洞傳輸層和電子障壁層中的一個或多

個。另外，層 790a 及層 790b 各自包括電子注入層、電子傳輸層和電洞障壁層中的一個或多個。在下部電極 761 及上部電極 762 分別為陰極及陽極的情況下，層 780a 和層 790a 的結構與上述反轉，層 780b 和層 790b 的結構也與上述反轉。

【0475】在下部電極 761 及上部電極 762 分別為陽極及陰極的情況下，例如，層 780a 包括電洞注入層及電洞注入層上的電洞傳輸層，而且還可以包括電洞傳輸層上的電子障壁層。另外，層 790a 包括電子傳輸層，而且還可以包括發光層 771 與電子傳輸層之間的電洞障壁層。另外，層 780b 包括電洞傳輸層，而且還可以包括電洞傳輸層上的電子障壁層。另外，層 790b 包括電子傳輸層及電子傳輸層上的電子注入層，而且還可以包括發光層 772 與電子傳輸層之間的電洞障壁層。在下部電極 761 及上部電極 762 分別為陰極及陽極的情況下，例如，層 780a 包括電子注入層及電子注入層上的電子傳輸層，而且還可以包括電子傳輸層上的電洞障壁層。另外，層 790a 包括電洞傳輸層，而且還可以包括發光層 771 與電洞傳輸層之間的電子障壁層。另外，層 780b 包括電子傳輸層，而且還可以包括電子傳輸層上的電洞障壁層。另外，層 790b 包括電洞傳輸層及電洞傳輸層上的電洞注入層，而且還可以包括發光層 772 與電洞傳輸層之間的電子障壁層。

【0476】當製造具有串聯結構的發光器件時，兩個發光單元隔著電荷產生層 785 層疊。電荷產生層 785 至少具有電荷產生區域。電荷產生層 785 具有在對一對電極間施加電壓時向兩個發光單元中的一方注入電子且向另一方注入電洞的功能。

【0477】作為串聯結構的發光元件的一個例子，可以舉出圖 34A 至圖 34C 所示的結構。

【0478】圖 34A 示出包括三個發光單元的結構。在圖 34A 中，多個發光單元（發光單元 763a、發光單元 763b 及發光單元 763c）隔著電荷產生層 785 彼此串聯連接。另外，發光單元 763a 包括層 780a、發光層 771 及層 790a，發光單元 763b 包括層 780b、發光層 772 及層 790b，發光單元 763c 包括層 780c、發光層 773 及層 790c。注意，層 780c 可以採用可用於層 780a 及層 780b 的結構，層 790c 可以採用可用於層 790a 及層 790b 的結構。

【0479】在圖 34A 中，發光層 771、發光層 772 及發光層 773 較佳為包含發射相同顏色的光的發光物質。明確而言，可以採用如下結構：發光層 771、發光層 772 及發光層 773 都包含紅色（R）發光物質的結構（所謂 R\R\R 三級串聯結構）；發光層 771、發光層 772 及發光層 773 都包含綠色（G）發光物質的結構（所謂 G\G\G 三級串聯結構）；或者發光層 771、發光層 772 及發光層 773 都包含藍色（B）發光物質的結構（所謂 B\B\B 三級串聯結構）。注意，“a\b”表示包含發射 a 的光的發光物質的發光單元上隔著電荷產生層設置有包含發射 b 的光的發光物質的發光單元，a、b 表示顏色。

【0480】在圖 34A 中，也可以將發射不同顏色的光的發光物質用於發光層 771、發光層 772 和發光層 773 中的一部分或全部。作為發光層 771、發光層 772 和發光層 773 的發光顏色的組合，例如可以舉出其中任兩個為藍色（B）且剩下一個為黃色（Y）的結構以及其中任一個為紅色（R），另一個為綠色（G）且剩下一個為藍色（B）的結構。

【0481】注意，作為各自發射相同顏色的發光物質不侷限於上述結構。例如，如圖 34B 所示，也可以採用層疊包括多個發光層的發光單元的串聯型發光元件。在圖 34B 中，兩個發光單元（發光單元 763a 及發光單元 763b）隔著電荷產生層 785 串聯連接。另外，發光單元 763a 包括層 780a、發光層 771a、發

光層 771b、發光層 771c 以及層 790a，發光單元 763b 包括層 780b、發光層 772a、發光層 772b、發光層 772c 以及層 790b。

【0482】在圖 34B 中，關於發光層 771a、發光層 771b 及發光層 771c，選擇各自處於補色關係的發光物質，來使發光單元 763a 具有能夠實現白色發光（W）的結構。另外，關於發光層 772a、發光層 772b 及發光層 772c，也選擇各自處於補色關係的發光物質，來使發光單元 763b 具有能夠實現白色發光（W）的結構。也就是說，圖 34B 所示的結構是 W\W 兩級串聯結構。注意，對處於不色關係的發光物質的疊層順序沒有特別的限制。實施者可以適當地選擇最合適的疊層順序。雖然未圖示，但也可以採用 W\W\W 三級串聯結構或四級以上的串聯結構。

【0483】另外，在使用具有串聯結構的發光器件的情況下，可以舉出：包括發射黃色（Y）光的發光單元及發射藍色（B）光的發光單元的 B\Y 或 Y\B 兩級串聯結構；包括發射紅色（R）光及綠色（G）光的發光單元及發射藍色（B）光的發光單元的 R·G\B 或 B\R·G 兩級串聯結構；依次包括發射藍色（B）光的發光單元、發射黃色（Y）光的發光單元及發射藍色（B）光的發光單元的 B\Y\B 三級串聯結構；依次包括發射藍色（B）光的發光單元、發射黃綠色（YG）光的發光單元及發射藍色（B）光的發光單元的 B\YG\B 三級串聯結構；以及依次包括發射藍色（B）光的發光單元、發射綠色（G）光的發光單元及發射藍色（B）光的發光單元的 B\G\B 三級串聯結構等。注意，“a·b”表示一個發光單元包含發射 a 的光的發光物質及發射 b 的光的發光物質。

【0484】如圖 34C 所示，也可以組合包括一個發光層的發光單元和包括多個發光層的發光單元。

【0485】明確而言，在圖 34C 所示的結構中，多個發光單元（發光單元 763a、發光單元 763b 及發光單元 763c）隔著電荷產生層 785 彼此串聯連接。

另外，發光單元 763a 包括層 780a、發光層 771 及層 790a，發光單元 763b 包括層 780b、發光層 772a、發光層 772b、發光層 772c 及層 790b，發光單元 763c 包括層 780c、發光層 773 及層 790c。

【0486】例如，在圖 34C 所示的結構中可以採用 B\R·G·YG\B 三級串聯結構，其中發光單元 763a 為發射藍色（B）光的發光單元，發光單元 763b 為發射紅色（R）光、綠色（G）光及黃綠色（YG）光的發光單元，並且發光單元 763c 為發射藍色（B）光的發光單元。

【0487】例如，作為發光單元的疊層數及顏色順序，可以舉出從陽極一側層疊 B 和 Y 的兩級結構、層疊 B 和發光單元 X 的兩級結構、層疊 B、Y 和 B 的三級結構、層疊 B、X 和 B 的三級結構，作為發光單元 X 中的發光層的疊層數及顏色順序，可以採用從陽極一側層疊 R 和 Y 的兩層結構、層疊 R 和 G 的兩層結構、層疊 G 和 R 的兩層結構、層疊 G、R 和 G 的三層結構或層疊 R、G 和 R 的三層結構等。另外，也可以在兩個發光層之間設置其他層。

【0488】接著，說明可用於發光器件的材料。

【0489】作為下部電極 761 和上部電極 762 中的提取光一側的電極使用透過可見光的導電膜。另外，作為不提取光一側的電極較佳為使用反射可見光的導電膜。另外，在顯示裝置包括發射紅外光的發光器件時，較佳為作為提取光一側的電極使用透過可見光及紅外光的導電膜且作為不提取光一側的電極使用反射可見光及紅外光的導電膜。

【0490】另外，不提取光一側的電極也可以使用透過可見光的導電膜。在此情況下，較佳為在反射層與 EL 層 763 間配置該電極。換言之，EL 層 763 的發光也可以被該反射層反射而從顯示裝置提取。

【0491】作為形成發光器件的一對電極的材料，可以適當地使用金屬、合金、導電化合物及它們的混合物等。作為該材料，具體地可以舉出鋁、鎂、

鈦、鉻、錳、鐵、鈷、鎳、銅、鎳、鋅、銦、錫、鉬、鉭、鎢、鈮、金、鉑、銀、鉕及釷等金屬以及適當地組合它們的合金。另外，作為該材料，可以舉出銦錫氧化物（也稱為 In-Sn 氧化物、ITO）、In-Si-Sn 氧化物（也稱為 ITSO）、銦鋅氧化物（In-Zn 氧化物）及 In-W-Zn 氧化物等。另外，作為該材料，可以舉出含銀合金，諸如鋁、鎳和鐳的合金（Al-Ni-La）等含鋁合金（鋁合金）、銀和鎂的合金及銀、鈮和銅的合金（Ag-Pd-Cu，也記作 APC）等。作為該材料，可以舉出以上沒有列舉的屬於元素週期表中第 1 族或第 2 族的元素（例如，鋰、銻、鈣、鋇）、鎳、鎳等稀土金屬、適當地組合它們的合金以及石墨烯等。

【0492】發光器件較佳為採用光學微腔諧振器（微腔）結構。因此，發光器件所包括的一對電極中的一方較佳為包括對可見光具有透過性及反射性的電極（半透過-半反射電極），另一方較佳為包括對可見光具有反射性的電極（反射電極）。在發光器件具有微腔結構時，可以使從發光層得到的發光在兩個電極間諧振，並且可以提高從發光器件發射的光。

【0493】具有可見光透過性的電極的光穿透率為 40% 以上。例如，在將具有可見光透過性的電極用於發光器件時，較佳為使用可見光（波長為 400nm 以上且小於 750nm 的光）的穿透率為 40% 以上的電極。半透過-半反射電極的對可見光的反射率為 10% 以上且 95% 以下，較佳為 30% 以上且 80% 以下。反射電極對可見光的反射率為 40% 以上且 100% 以下，較佳為 70% 以上且 100% 以下。另外，這些電極的電阻率較佳為 $1 \times 10^{-2} \Omega \text{cm}$ 以下。

【0494】發光器件至少包括發光層。另外，作為發光層以外的層，發光器件還可以包括包含電洞注入性高的物質、電洞傳輸性高的物質、電洞阻擋材料、電子傳輸性高的物質、電子阻擋材料、電子注入性高的物質或雙極性的材料（電子傳輸性及電洞傳輸性高的物質）等的層。例如，發光器件除了發光層

以外還可以包括電洞注入層、電洞傳輸層、電洞障壁層、電荷產生層、電子障壁層、電子傳輸層和電子注入層中的一層以上。

【0495】發光器件可以使用低分子化合物或高分子化合物，還可以包含無機化合物。構成發光器件的層可以藉由蒸鍍法（包括真空蒸鍍法）、轉印法、印刷法、噴墨法或塗佈等方法形成。

【0496】發光層包含一種或多種發光物質。作為發光物質，適當地使用呈現藍色、紫色、藍紫色、綠色、黃綠色、黃色、橙色或紅色等發光顏色的物質。此外，作為發光物質，也可以使用發射近紅外光的物質。

【0497】作為發光物質，可以舉出螢光材料、磷光材料、TADF材料及量子點材料等。

【0498】作為螢光材料，例如可以舉出茈萘衍生物、蔥衍生物、聯伸三苯衍生物、萘衍生物、呋喃衍生物、二苯并噻吩衍生物、二苯并呋喃衍生物、二苯并喹啉衍生物、喹啉衍生物、吡啶衍生物、嘧啶衍生物、菲衍生物及蔡衍生物等。

【0499】作為磷光材料，例如可以舉出具有 4H-三唑骨架、1H-三唑骨架、咪唑骨架、嘧啶骨架、吡嗪骨架、吡啶骨架的有機金屬錯合物（尤其是銨錯合物）、以具有拉電子基團的苯基吡啶衍生物為配體的有機金屬錯合物（尤其是銨錯合物）、鉑錯合物、稀土金屬錯合物等。

【0500】發光層除了發光物質（客體材料）以外還可以包含一種或多種有機化合物（主體材料、輔助材料等）。作為一種或多種有機化合物，可以使用電洞傳輸性高的物質（電洞傳輸材料）和電子傳輸性高的物質（電子傳輸材料）中的一者或兩者。作為電洞傳輸材料，可以使用下述可用於電洞傳輸層的電洞傳輸性高的物質。作為電子傳輸材料，可以使用下述可用於電子傳輸層的

電子傳輸性高的物質。此外，作為一種或多種有機化合物，也可以使用雙極性材料或 TADF 材料。

【0501】例如，發光層較佳為包含磷光材料、容易形成激態錯合物的電洞傳輸材料及電子傳輸材料的組合。藉由採用這樣的結構，可以高效地得到利用從激態錯合物到發光物質（磷光材料）的能量轉移的 ExTET（Exciplex-Triplet Energy Transfer：激態錯合物-三重態能量轉移）的發光。藉由選擇形成發射與發光物質的最低能量一側的吸收帶的波長重疊的光的激態錯合物的組合，可以使能量轉移變得順利，從而高效地得到發光。藉由採用上述結構，可以同時實現發光器件的高效率、低電壓驅動以及長壽命。

【0502】電洞注入層是將電洞從陽極注入到電洞傳輸層的包含電洞注入性高的物質的層。作為電洞注入性高的物質，可以舉出芳香胺化合物以及包含電洞傳輸材料及受體材料（電子受體材料）的複合材料等。

【0503】作為電洞傳輸材料，可以使用下述可用於電洞傳輸層的電洞傳輸性高的物質。

【0504】作為受體材料，例如可以使用屬於元素週期表中的第 4 族至第 8 族的金屬的氧化物。明確而言，可以舉出氧化鋁、氧化鈮、氧化鋳、氧化鉭、氧化鉻、氧化鎢、氧化錳及氧化銻。特別較佳為使用氧化鋁，因為其在大氣中也穩定，吸濕性低，並且容易處理。另外，也可以使用含有氟的有機受體材料。除了上述以外，也可以使用醌二甲烷衍生物、四氯苯醌衍生物及六氫雜聯伸三苯衍生物等有機受體材料。

【0505】例如，作為電洞注入性高的物質也可以使用包含電洞傳輸材料及上述屬於元素週期表中第 4 族至第 8 族的金屬的氧化物（典型的是氧化鋁）的材料。

【0506】電洞傳輸層是將從陽極藉由電洞注入層注入的電洞傳輸到發光層的層。電洞傳輸層是包含電洞傳輸材料的層。作為電洞傳輸材料，較佳為採用電洞移動率為 $1 \times 10^{-6} \text{cm}^2/\text{Vs}$ 以上的物質。注意，只要電洞傳輸性比電子傳輸性高，就可以使用上述以外的物質。作為電洞傳輸材料，較佳為使用富 π 電子型雜芳族化合物（例如呋唑衍生物、噻吩衍生物、呋喃衍生物等）或者芳香胺（包含芳香胺骨架的化合物）等電洞傳輸性高的物質。

【0507】電子障壁層以接觸於發光層的方式設置。電子障壁層是具有電洞傳輸性並包含能夠阻擋電子的材料的層。可以將上述電洞傳輸材料中的具有電子阻擋性的材料用於電子障壁層。

【0508】電子障壁層具有電洞傳輸性，所以也可以被稱為電洞傳輸層。另外，電洞傳輸層中的具有電子阻擋性的層也可以被稱為電子障壁層。

【0509】電子傳輸層是將從陰極藉由電子注入層注入的電子傳輸到發光層的層。電子傳輸層是包含電子傳輸材料的層。作為電子傳輸材料，較佳為採用電子移動率為 $1 \times 10^{-6} \text{cm}^2/\text{Vs}$ 以上的物質。注意，只要電子傳輸性比電洞傳輸性高，就可以使用上述以外的物質。作為電子傳輸材料，可以使用具有喹啉骨架的金屬錯合物、具有苯并喹啉骨架的金屬錯合物、具有嘔唑骨架的金屬錯合物或具有噻唑骨架的金屬錯合物等，還可以使用嘔二唑衍生物、三唑衍生物、咪唑衍生物、嘔唑衍生物、噻唑衍生物、啡啉衍生物、具有喹啉配體的喹啉衍生物、苯并喹啉衍生物、喹啉衍生物、二苯并喹啉衍生物、吡啶衍生物、聯吡啶衍生物、嘓啶衍生物或含氮雜芳族化合物等缺 π 電子型雜芳族化合物等電子傳輸性高的物質。

【0510】電洞障壁層以接觸於發光層的方式設置。電洞障壁層是具有電子傳輸性並包含能夠阻擋電洞的材料的層。可以將上述電子傳輸材料中的具有電洞阻擋性的材料用於電洞障壁層。

【0511】電洞障壁層具有電子傳輸性，所以也可以被稱為電子傳輸層。另外，電子傳輸層中的具有電洞阻擋性的層也可以被稱為電洞障壁層。

【0512】電子注入層是將電子從陰極注入到電子傳輸層的包含電子注入性高的物質的層。作為電子注入性高的物質，可以使用鹼金屬、鹼土金屬或者它們的化合物。作為電子注入性高的物質，也可以使用包含電子傳輸材料及施體材料（電子施體材料）的複合材料。

【0513】較佳的是，電子注入性高的物質的最低未佔有分子軌域（LUMO：Lowest Unoccupied Molecular Orbital）能階與用於陰極的材料的功能數值之差小（具體的是 0.5eV 以下）。

【0514】電子注入層例如可以使用鋰、銫、鐳、氟化鋰（LiF）、氟化銫（CsF）、氟化鈣（ CaF_x ， x 為任意數）、8-（羥基噁啉）鋰（簡稱：Li_q）、2-（2-吡啶基）苯酚鋰（簡稱：LiPP）、2-（2-吡啶基）-3-羥基吡啶（pyridinolato）鋰（簡稱：LiPPy）、4-苯基-2-（2-吡啶基）苯酚鋰（簡稱：LiPPP）、鋰氧化物（ LiO_x ）或碳酸銫等鹼金屬、鹼土金屬或它們的化合物。另外，電子注入層也可以具有兩層以上的疊層結構。作為該疊層結構，例如可以舉出作為第一層使用氟化鋰且作為第二層設置鐳的結構。

【0515】電子注入層也可以包含電子傳輸材料。例如，可以將具有非共用電子對並具有缺電子型雜芳環的化合物用於電子傳輸材料。明確而言，可以使用具有吡啶環、二噻環（噻啶環、吡噻環、噻吡環）以及三噻環中的至少一個的化合物。

【0516】具有非共用電子對的有機化合物的 LUMO 能階較佳為 -3.6eV 以上且 -2.3eV 以下。一般來說，可以使用 CV（循環伏安法）、光電子能譜法、吸收光譜法或逆光電子能譜法等估計有機化合物的最高佔據分子軌域（HOMO：Highest Occupied Molecular Orbital）能階及 LUMO 能階。

【0517】例如，可以將 4，7-二苯基-1，10-啡啉（簡稱：BPhen）、2，9-二（萘-2-基）-4，7-二苯基-1，10-啡啉（簡稱：NBPhen）、二噻吩并[2，3-a：2'，3'-c]吩嗪（簡稱：HATNA）、2，4，6-三[3'-（吡啶-3-基）聯苯-3-基]-1，3，5-三嗪（簡稱：TmPPPyTz）等用於具有非共用電子對的有機化合物。此外，與 BPhen 相比，NBPhen 具有高玻璃化轉變點（T_g），從而具有高耐熱性。

【0518】如上所述，電荷產生層至少具有電荷產生區域。電荷產生區域較佳為包括受體材料，例如較佳為包括可應用於上述電洞注入層的電洞傳輸材料及受體材料。

【0519】電荷產生層較佳為包括含有電子注入性高的物質的層。該層也可以被稱為電子注入緩衝層。電子注入緩衝層較佳為設置在電荷產生區域與電子傳輸層間。藉由設置電子注入緩衝層，可以緩和電荷產生區域與電子傳輸層間的注入能障，所以將產生在電荷產生區域中的電子容易注入到電子傳輸層中。

【0520】電子注入緩衝層較佳為包含鹼金屬或鹼土金屬，例如可以包含鹼金屬的化合物或鹼土金屬的化合物。明確而言，電子注入緩衝層較佳為包含含有鹼金屬和氧的無機化合物或者含有鹼土金屬和氧的無機化合物，更佳為包含含有鋰和氧的無機化合物（氧化鋰（Li₂O）等）。除此之外，作為電子注入緩衝層可以適當地使用可應用於上述電子注入層的材料。

【0521】電荷產生層較佳為包括含有電子傳輸性高的物質的層。該層也可以被稱為電子中繼層。電子中繼層較佳為設置在電荷產生區域與電子注入緩衝層間。在電荷產生層不包括電子注入緩衝層時，電子中繼層較佳為設置在電荷產生區域與電子傳輸層間。電子中繼層具有防止電荷產生區域與電子注入緩衝層（或電子傳輸層）的相互作用並順利地傳遞電子的功能。

【0522】作為電子中繼層，較佳為使用酞青銅（II）（簡稱：CuPc）等酞青類材料或者具有金屬-氧鍵合和芳香配體的金屬錯合物。

【0523】注意，有時根據剖面形狀或特性等不能明確地區別上述電荷產生區域、電子注入緩衝層及電子中繼層。

【0524】另外，電荷產生層也可以包括施體材料代替受體材料。例如，作為電荷產生層也可以包括含有可應用於上述電子注入層的電子傳輸材料和施體材料的層。

【0525】在層疊發光單元時，藉由在兩個發光單元間設置電荷產生層，可以抑制驅動電壓的上升。

【0526】本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

【0527】

實施方式 5

在本實施方式中，說明在顯示裝置 200 中實現全彩色顯示的發光元件 61 的結構例子。

【0528】設置在顯示裝置 200 的顯示部 235 中的多個發光元件 61 可以利用光微影法形成而不使用金屬遮罩等陰影遮罩。因此，可以實現目前難以實現的具有高清晰度和高開口率的顯示裝置。並且，相鄰的 EL 層間的洩漏電流得到減少，因此可以實現非常鮮明、對比度高且顯示品質高的顯示裝置。

【0529】例如，在利用金屬遮罩的形成方法中，難以實現小於 10 μ m 的相鄰的發光元件 61 間的距離，但是藉由利用光微影法，可以將該距離縮小到 8 μ m 以下、3 μ m 以下、2 μ m 以下或 1 μ m 以下。在此，相鄰的發光元件 61 間的

距離可以根據相鄰的兩個像素電極的端部至端部的距離規定。或者，相鄰的發光元件 61 間的距離可以根據相鄰的兩個 EL 層的端部至端部的距離規定。

【0530】在本說明書等中，有時將使用金屬遮罩或 FMM（Fine Metal Mask，高精細金屬遮罩）製造的顯示裝置稱為具有 MM（Metal Mask）結構的顯示裝置。此外，在本說明書等中，有時將不使用金屬遮罩或 FMM 製造的顯示裝置稱為具有 MML（Metal Mask Less）結構的顯示裝置。

【0531】藉由如此縮小相鄰的發光元件 61 間的距離，可以大幅度地減小有可能存在於兩個發光元件間的非光發光區域的面積，而可以使開口率接近於 100%。例如，也可以實現 50%以上、60%以上、70%以上、80%以上、甚至為 90%以上且低於 100%的開口率。

【0532】另外，關於 EL 層本身的圖案（也稱為特徵尺寸）也可以與使用金屬遮罩的情況相比顯著地減少。另外，例如在使用金屬遮罩分別形成 EL 層的情況下，EL 層的中央及端部的厚度不同，所以相對於 EL 層的面積的能夠被用作發光區域的有效面積變小。另一方面，在上述製造方法中藉由進行沉積為均勻厚度的膜進行加工來形成 EL 層，所以可以使 EL 層的厚度均勻，即使採用微細圖案也可以使其幾乎所有區域用作發光區域。因此，藉由上述製造方法，可以兼具有高清晰度和高開口率。

【0533】利用 FMM（Fine Metal Mask）形成的有機膜大多為越靠近端部厚度越小的錐角極小（例如大於 0 度且小於 30 度）的膜。因此，利用 FMM 形成的有機膜的側面與頂面連續地連接，而難以明確地確認出側面。另一方面，本發明的一個實施方式包括不利用 FMM 加工而成的 EL 層，所以具有明確的側面。尤其是，在本發明的一個實施方式中，較佳為具有 EL 層的錐角為 30 度以上且 120 度以下的部分，較佳為具有 60 度以上且 120 度以下的部分。

【0534】注意，在本說明書等中，物件的端部為錐形形狀是指在其端部的區域中側面（表面）與被形成面（底面）所成的角度大於 0 度且小於 90 度且具有從端部厚度連續增加的剖面形狀。另外，錐角是指物件的端部的底面（被形成面）與側面（表面）所成的角。

【0535】以下說明更具體的結構例子。

【0536】圖 35A 示出顯示裝置 200 所包括的顯示部 235 的一部分的頂面示意圖。顯示裝置 200 在包括半導體電路的基板 101 上包括多個呈現紅色光的發光元件 61R、多個呈現綠色光的發光元件 61G、多個呈現藍色光的發光元件 61B。在圖 35A 中，為了簡單地區別各發光元件，對各發光元件的發光區域內附上 R、G、B 的符號。基板 101 是形成有上述實施方式所示的半導體裝置的基板，其詳細內容可以參照上述實施方式的記載。注意，在圖 35 中省略設置在基板 101 上的半導體裝置的記載。

【0537】發光元件 61R、發光元件 61G、發光元件 61B 都以條紋狀排列。圖 35A 示出兩個元件在一個方向上交替排列的結構。注意，發光元件的排列方法不侷限於此，可以使用 S 條紋排列、Delta 排列、拜耳排列或鋸齒形（zigzag）排列等排列方法，也可以使用 Pentile 排列或 Diamond 排列等。

【0538】另外，圖 35A 示出與共用電極 313 電連接的連接電極 311C。連接電極 311C 被供應用來對共用電極 313 供應的電位（例如，陽極電位或陰極電位）。連接電極 311C 設置在發光元件 61R 等排列的顯示區域的外側。另外，在圖 35A 中，以虛線表示共用電極 313。

【0539】連接電極 311C 可以沿著顯示區域的外周設置。例如，既可以沿著顯示區域的外周的一個邊設置，又可以橫跨顯示區域的外周的兩個以上的邊設置。就是說，在顯示區域的頂面形狀為矩形的情況下，連接電極 311C 的頂面形狀可以為帶狀、L 字狀、“冂”字狀（方括號狀）或四角形等。

【0540】圖 35B 是與圖 35A 中的點劃線 A1-A2 及點劃線 C1-C2 對應的剖面示意圖。圖 35B 是發光元件 61B、發光元件 61R、發光元件 61G 及連接電極 311C 的剖面示意圖。

【0541】發光元件 61B 包括像素電極 311、有機層 312B、有機層 314 及共用電極 313。發光元件 61R 包括像素電極 311、有機層 312R、有機層 314 及共用電極 313。發光元件 61G 包括像素電極 311、有機層 312G、有機層 314 及共用電極 313。有機層 314 和共用電極 313 在發光元件 61B、發光元件 61R 及發光元件 61G 中共同設置。有機層 314 也可以說是共用層。在各發光元件之間彼此離開地設置有像素電極 311。

【0542】有機層 312R、有機層 312G 及有機層 312B 相當於上述實施方式的 EL 層 763。

【0543】有機層 312R 包含發射至少在紅色波長區域中具有強度的光的發光性有機化合物。有機層 312G 包含發射至少在綠色波長區域中具有強度的光的發光性有機化合物。有機層 312B 包含發射至少在藍色波長區域中具有強度的光的發光性有機化合物。有機層 312R、有機層 312G 及有機層 312B 也可以稱作 EL 層。

【0544】有機層 312R、有機層 312B 及有機層 312G 還可以包括電子注入層、電子傳輸層、電洞注入層及電洞傳輸層中的一個以上。有機層 314 可以採用不包括發光層的結構。例如，有機層 314 包括電子注入層、電子傳輸層、電洞注入層及電洞傳輸層中的一個以上。

【0545】在此，有機層 312R、有機層 312B 及有機層 312G 的疊層結構中位於最上側的層，即與有機層 314 接觸的層，較佳為發光層以外的層。例如，較佳為採用覆蓋發光層設置電子注入層、電子傳輸層、電洞注入層、電洞傳輸層或這些之外的層並使該層與有機層 314 接觸的結構。如此，在製造各發光元

件時，使發光層的頂面處於被其他層保護的狀態，由此可以提高發光元件的可靠性。

【0546】藉由利用光微影法加工各 EL 層，可以將各像素間的距離縮小到 $8\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下或 $1\mu\text{m}$ 以下。在此，各像素間的距離例如可以根據有機層 312B 和有機層 312R 的彼此相對的端部之間的距離、有機層 312B 和有機層 312G 的彼此相對的端部之間的距離以及有機層 312R 和有機層 312G 的彼此相對的端部之間的距離規定。或者，可以根據相鄰的同一顏色的 EL 層的彼此相對的端部之間的距離規定。或者，可以根據相鄰的像素電極 311 的彼此相對的端部之間的距離規定。如此，藉由縮小各像素間的距離，可以提供具有高清晰度及高開口率的顯示裝置。

【0547】像素電極 311 分別設置在各元件中。另外，共用電極 313 及有機層 314 設置為各發光元件共通使用的一連續的層。各像素電極和共用電極 313 的任一方使用對可見光具有透光性的導電膜且另一方使用具有反射性的導電膜。藉由使各像素電極具有透光性且使共用電極 313 具有反射性，可以實現底面發射型（底部發射結構）顯示裝置。相對於此，藉由使各像素電極具有反射性且使共用電極 313 具有透光性，可以實現頂面發射型（頂部發射結構）顯示裝置。另外，藉由使各像素電極及共用電極 313 的兩者具有透光性，可以實現雙面發射型（雙面發射結構）顯示裝置。

【0548】像素電極 311 與設置在基板 101 的半導體電路中的電晶體電連接。如上述實施方式所示，設置在基板 101 的電晶體的通道長度得到縮小而微型化。因此，即使如上所述地進行顯示裝置的高清晰化而縮小像素面積，也可以將像素電路容納在縮小的像素面積內。

【0549】覆蓋像素電極 311 的端部設置有絕緣層 331。絕緣層 331 的端部較佳為具有錐形形狀。注意，在本說明書等中，“物件的端部具有錐形形狀”是

第108頁，共 123 頁(發明說明書)

指具有如下剖面形狀：在其端部的區域中表面與被形成面所形成的角度大於 0° 且小於 90° ；並且其厚度從端部逐漸地增加。

【0550】另外，藉由在絕緣層 331 中使用有機樹脂，可以使其表面具有平緩的曲面。因此，可以提高形成在絕緣層 331 上的膜的覆蓋性。

【0551】作為能夠用於絕緣層 331 的材料，例如可以使用丙烯酸樹脂、聚醯亞胺、環氧樹脂、聚醯胺、聚醯亞胺醯胺、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂及這些樹脂的前驅物等。

【0552】或者，絕緣層 331 也可以使用無機絕緣材料。作為能夠用於絕緣層 331 的無機絕緣材料，例如可以使用如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氧化鉛等氧化物或氮化物。另外，也可以使用氧化鈮、氧化鋯、氧化鎳、氧化鈮、氧化鎂、氧化釧、氧化鈾及氧化釷等。

【0553】如圖 35B 所示，在發光顏色不同的發光元件之間離開地設置兩個有機層，它們之間設置有間隙。如此，較佳為以互不接觸的方式設置有機層 312R、有機層 312B 及有機層 312G。由此，可以適合防止電流藉由相鄰的兩個有機層流過而產生非意圖的發光。由此，可以提高對比度，而可以實現顯示品質較高的顯示裝置。

【0554】較佳為有機層 312R、有機層 312B 及有機層 312G 的錐角為 30° 以上。較佳為有機層 312R、有機層 312G 及有機層 312B 端部的側面（表面）與底面（被形成面）的角度為 30° 以上且 120° 以下，更佳為 45° 以上且 120° 以下，進一步較佳為 60° 以上且 120° 。或者，較佳為有機層 312R、有機層 312G 及有機層 312B 的錐角分別為 90° 或其附近（例如 80° 以上且 100° 以下）。

【0555】共用電極 313 上設置有保護層 321。保護層 321 具有防止水等雜質從上方向各發光元件擴散的功能。

【0556】保護層 321 例如可以具有至少包括無機絕緣膜的單層結構或疊層結構。作為無機絕緣膜，例如可以舉出氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉛膜等的氧化物膜或氮化物膜。或者，作為保護層 321 也可以使用銦鎵氧化物、銦鎵鋅氧化物等半導體材料。

【0557】另外，作為保護層 321 也可以使用無機絕緣膜與有機絕緣膜的疊層膜。例如，較佳為在一對無機絕緣膜間夾持有機絕緣膜。另外，有機絕緣膜較佳為被用作平坦化層。因此，可以使有機絕緣膜的頂面平坦，所以其上的無機絕緣膜的覆蓋性提高，由此可以提高阻擋性。另外，保護層 321 的頂面變平坦，所以當在保護層 321 的上方設置結構體（例如，濾色片、觸控感測器的電極或透鏡陣列等）時可以減少起因於下方結構的凹凸形狀的影響，所以是較佳的。

【0558】在連接部 330 中，連接電極 311C 上設置有與其接觸的共用電極 313，覆蓋共用電極 313 設置有保護層 321。另外，覆蓋連接電極 311C 的端部設置有絕緣層 331。

【0559】以下對與圖 35B 部分結構不同的顯示裝置的結構例子進行說明。明確而言，示出不設置絕緣層 331 時的例子。

【0560】圖 36A 至圖 36C 示出像素電極 311 的側面與有機層 312R、有機層 312B 或有機層 312G 的側面大致一致時的例子。

【0561】在圖 36A 中，覆蓋有機層 312R、有機層 312B 及有機層 312G 的頂面及側面設置有有機層 314。有機層 314 可以防止像素電極 311 與共用電極 313 相互接觸而導致電短路。

【0562】圖 36B 示出包括以與有機層 312R、有機層 312B、有機層 312G 以及像素電極 311 的側面接觸的方式設置的絕緣層 325 的例子。絕緣層 325 可以有效地防止像素電極 311 與共用電極 313 發生電短路及其之間的洩漏電流。

【0563】絕緣層 325 可以為包含無機材料的絕緣層。作為絕緣層 325，可以使用氧化絕緣膜、氮化絕緣膜、氧氮化絕緣膜及氮氧化絕緣膜等無機絕緣膜。絕緣層 325 可以具有單層結構，也可以具有疊層結構。作為氧化絕緣膜，可以舉出氧化矽膜、氧化鋁膜、氧化鎂膜、銦鎵鋅氧化物膜、氧化鎵膜、氧化銻膜、氧化釷膜、氧化鈮膜、氧化鈳膜、氧化釷膜、氧化釷膜及氧化鈮膜等。作為氮化絕緣膜，可以舉出氮化矽膜及氮化鋁膜等。作為氧氮化絕緣膜，可以舉出氧氮化矽膜、氧氮化鋁膜等。作為氮氧化絕緣膜，可以舉出氮氧化矽膜、氮氧化鋁膜等。尤其是，藉由將利用 ALD 法形成的氧化鋁膜、氧化鈳膜、氧化矽膜等無機絕緣膜用於絕緣層 325，可以形成針孔較少且保護有機層功能優異的絕緣層 325。

【0564】絕緣層 325 可以利用濺射法、CVD 法、PLD 法、ALD 法等形式。較佳的是，絕緣層 325 利用覆蓋性優異的 ALD 法形成。

【0565】在圖 36C 中，在相鄰的兩個發光元件間，以填充對置的兩個像素電極的縫隙及對置的兩個有機層的縫隙的方式設置樹脂層 326。樹脂層 326 可以使有機層 314、共用電極 313 等的被形成面平坦化，可以防止因相鄰的發光元件間的步階的覆蓋不良導致共用電極 313 斷開。

【0566】作為樹脂層 326，可以適合使用包含有機材料的絕緣層。例如，作為樹脂層 326 可以使用丙烯酸樹脂、環氧樹脂、聚醯亞胺、聚醯胺、聚醯亞胺醯胺、矽酮樹脂、矽氧烷樹脂、苯并環丁烯類樹脂、酚醛樹脂及上述樹脂的前驅物等。另外，作為樹脂層 326，也可以使用聚乙烯醇（PVA）、聚乙烯醇縮丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普魯蘭、水溶性纖維素或者醇可溶性聚醯胺等有機材料。另外，作為樹脂層 326，也可以使用感光性樹脂。作為感光性樹脂也可以使用光阻劑。作為感光性樹脂也可以使用正型材料或負型材料。

【0567】另外，也可以藉由作為樹脂層 326 使用被著色的材料（例如，包含黑色顏料的材料等）來附加遮蔽來自相鄰的像素的雜散光而抑制混色的功能。

【0568】在圖 36D 中，設置有絕緣層 325 及絕緣層 325 上的樹脂層 326。由於絕緣層 325，有機層 312R 等與樹脂層 326 不接觸，可以防止樹脂層 326 中的水分等雜質擴散到有機層 312R 等中，由此可以提供可靠性高的顯示裝置。

【0569】另外，也可以設置如下機構，即藉由在絕緣層 325 與樹脂層 326 之間設置反射膜（例如，包含選自銀、鈹、銅、鈦和鋁等中的一個或多個的金屬膜）來使該反射膜反射發光層所發射的光而提高光提取效率的機構。

【0570】圖 37A 至圖 37C 示出像素電極 311 的寬度比有機層 312R、有機層 312B 或有機層 312G 的寬度大時的例子。有機層 312R 等位於像素電極 311 的端部的內側。

【0571】圖 37A 示出包括絕緣層 325 時的例子。絕緣層 325 以覆蓋發光元件所包括的有機層的側面、像素電極 311 的頂面的一部分及側面的方式設置。

【0572】圖 37B 示出包括樹脂層 326 時的例子。樹脂層 326 位於相鄰的兩個發光元件間，以覆蓋有機層的側面及像素電極 311 的頂面及側面的方式設置。

【0573】圖 37C 示出包括絕緣層 325 和樹脂層 326 的兩者時的例子。有機層 312R 等與樹脂層 326 間設置有絕緣層 325。

【0574】圖 38A 至圖 38D 示出像素電極 311 的寬度比有機層 312R、有機層 312B 或有機層 312G 的寬度小時的例子。有機層 312R 等超過像素電極 311 的端部延伸到外側。

【0575】圖 38B 示出包括絕緣層 325 的例子。絕緣層 325 以接觸於相鄰的兩個發光元件的有機層的側面的方式設置。另外，絕緣層 325 不僅可以覆蓋有機層 312R 等的側面還可以以覆蓋其頂面的一部分的方式設置。

【0576】圖 38C 示出包括樹脂層 326 的例子。樹脂層 326 位於相鄰的兩個發光元件間，以覆蓋有機層 312R 等的側面及頂面的一部分的方式設置。另外，樹脂層 326 也可以採用與有機層 312R 等的側面接觸而不覆蓋頂面的結構。

【0577】圖 38D 示出包括絕緣層 325 和樹脂層 326 的兩者時的例子。有機層 312R 等與樹脂層 326 之間設置有絕緣層 325。

【0578】在此，對上述樹脂層 326 的結構例子進行說明。

【0579】樹脂層 326 的頂面越平坦越好，但是有時因樹脂層 326 的被形成面的凹凸形狀、樹脂層 326 的形成條件等樹脂層 326 的表面為凹狀或凸狀形狀。

【0580】圖 39A 至圖 40F 是發光元件 61R 所包括的像素電極 311R 的端部、發光元件 61G 所包括的像素電極 311G 的端部及其附近的放大圖。

【0581】圖 39A、圖 39B 及圖 39C 示出樹脂層 326 的頂面平坦時的樹脂層 326 及其附近的放大圖。圖 39A 示出與像素電極 311 相比有機層 312R 等的寬度大時的例子。圖 39B 示出像素電極 311 和有機層 312R 等的寬度大致一致時的例子。圖 39C 示出與像素電極 311 相比有機層 312R 等的寬度小時的例子。

【0582】如圖 39A 所示，由於有機層 312R 等覆蓋像素電極 311 的端部設置，所以較佳為像素電極 311 的端部為錐形形狀。由此，可以提高有機層 312R 等的步階覆蓋性，從而可以提供可靠性高的顯示裝置。

【0583】圖 39D、圖 39E 及圖 39F 示出樹脂層 326 的頂面為凹狀時的例子。在此，圖 39D、圖 39E 及圖 39F 分別對應於圖 39A、圖 39B 及圖 39C。此

時，有機層 314、共用電極 313 及保護層 321 的頂面形成有反映了樹脂層 326 的凹狀頂面的凹狀部分。

【0584】圖 40A、圖 40B 及圖 40C 示出樹脂層 326 的頂面為凸狀時的例子。在此，圖 40A、圖 40B 及圖 40C 分別對應於圖 39A、圖 39B 及圖 39C。此時，有機層 314、共用電極 313 及保護層 321 的頂面形成有反映了樹脂層 326 的凸狀頂面的凸狀部分。

【0585】圖 40D、圖 40E 及圖 40F 示出樹脂層 326 的一部分覆蓋有機層 312R 的上端部及頂面的一部分以及有機層 312G 的上端部及頂面的一部分時的例子。在此，圖 40D、圖 40E 及圖 40F 分別對應於圖 39A、圖 39B 及圖 39C。此時，樹脂層 326 與有機層 312R 或有機層 312G 的頂面間設置有絕緣層 325。

【0586】另外，圖 40D、圖 40E 及圖 40F 示出樹脂層 326 的頂面的一部分為凹狀時的例子。此時，有機層 314、共用電極 313 及保護層 321 形成有反映了樹脂層 326 的形狀的凹凸形狀。

【0587】以上是樹脂層的結構例子的說明。

【0588】本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

【0589】

實施方式 6

在本實施方式中，對可以適用本發明的一個實施方式的半導體裝置的電子裝置進行說明。

【0590】可以將本發明的一個實施方式的半導體裝置用於電子裝置的顯示部。由此，可以實現顯示品質高的電子裝置。或者，可以實現極高精密度的電子裝置。或者，可以實現可靠性高的電子裝置。

【0591】作為使用根據本發明的一個實施方式的半導體裝置等的電子裝置，可以舉出電視機、顯示器等顯示裝置、照明設備、桌上型或膝上型個人電腦、文字處理機、再現儲存在 DVD（Digital Versatile Disc：數位影音光碟）等記錄介質中的靜態影像或動態影像的影像再現裝置、可攜式 CD 播放機、收音機、磁帶錄音機、頭戴式耳機立體音響、立體音響、座鐘、掛鐘、無線電話子機、無線電收發機、車載電話、行動電話、可攜式資訊終端、平板終端、可攜式遊戲機、彈珠機等固定型遊戲機、計算器、電子筆記本、電子書閱讀器終端、電子翻譯器、聲音輸入器、攝影機、數位靜態照相機、電動刮刀、微波爐等高頻加熱裝置、電鍋、電動洗衣機、電動吸塵器、熱水器、電扇、吹風機、空調設備諸如空調器、加濕器、除濕器等、餐具洗滌機、餐具乾燥機、乾衣機、烘被機、電冰箱、電冷凍箱、電冷凍冷藏箱、DNA 保存用冰凍器、手電筒、鏈鋸等工具、煙探測器、透析裝置等醫療設備等。再者，還可以舉出工業設備諸如引導燈、號誌燈、傳送帶、電梯、電扶梯、工業機器人、蓄電系統、用於電力均勻化、智慧電網的蓄電裝置等。另外，藉由使用燃料的發動機或利用來自蓄電體的電力的電動機推進的移動體等也有時包括在電子裝置的範疇內。作為上述移動體，例如可以舉出電動汽車（EV）、兼具內燃機和電動機的混合動力汽車（HV）、插電式混合動力汽車（PHV）、使用履帶代替這些的車輪的履帶式車輛、包括電動輔助自行車的帶有發動機的自行車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船等。

【0592】根據本發明的一個實施方式的電子裝置也可以包括二次電池（電池），較佳為藉由非接觸電力傳送對該二次電池充電。

【0593】作為二次電池，例如，可以舉出鋰離子二次電池、鎳氫電池、鎳鎘電池、有機自由基電池、鉛蓄電池、空氣二次電池、鎳鋅電池、銀鋅電池等。

【0594】根據本發明的一個實施方式的電子裝置也可以包括天線。藉由用天線接收信號，可以在顯示部上顯示影像及資料等。另外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0595】根據本發明的一個實施方式的電子裝置也可以包括感測器（該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）。

【0596】根據本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體（程式）的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。

【0597】此外，包括多個顯示部的電子裝置可以具有在顯示部的一部分主要顯示影像資訊而在顯示部的其他部分主要顯示文本資訊的功能，或者具有藉由將考慮了視差的影像顯示於多個顯示部上來顯示三維影像的功能等。並且，具有影像接收部的電子裝置可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手工校正；將所拍攝的影像存儲在記錄介質（外部或內置於電子裝置中）中；將所拍攝的影像顯示在顯示部上；等。另外，本發明的一個實施方式的電子裝置所具有的功能不侷限於此，該電子裝置可以具有各種功能。

【0598】根據本發明的一個實施方式的半導體裝置可以顯示高清晰的影像。由此，尤其可以適當地用於攜帶式電子裝置、穿戴式電子裝置以及電子書閱讀器等。例如，可以適當地用於 VR 設備或 AR 設備等 xR 設備。

【0599】圖 41A 是安裝有取景器 8100 的照相機 8000 的外觀圖。

【0600】照相機 8000 包括外殼 8001、顯示部 8002、操作按鈕 8003、快門按鈕 8004 等。另外，照相機 8000 安裝有可裝卸的鏡頭 8006。在照相機 8000 中，鏡頭 8006 和外殼也可以被形成為一體。

【0601】照相機 8000 藉由按下快門按鈕 8004 或者觸摸用作觸控面板的顯示部 8002，可以進行攝像。

【0602】外殼 8001 包括具有電極的嵌入器，除了可以與取景器 8100 連接以外，還可以與閃光燈裝置等連接。

【0603】取景器 8100 包括外殼 8101、顯示部 8102 以及按鈕 8103 等。

【0604】外殼 8101 藉由嵌合到照相機 8000 的嵌入器裝到照相機 8000。取景器 8100 可以將從照相機 8000 接收的影像等顯示到顯示部 8102 上。

【0605】按鈕 8103 被用作電源按鈕等。

【0606】根據本發明的一個實施方式的半導體裝置可以用於照相機 8000 的顯示部 8002 及取景器 8100 的顯示部 8102。此外，也可以在照相機 8000 中內置有取景器 8100。

【0607】圖 41B 是頭戴顯示器 8200 的外觀圖。

【0608】頭戴顯示器 8200 包括安裝部 8201、透鏡 8202、主體 8203、顯示部 8204 以及電纜 8205 等。此外，在安裝部 8201 中內置有電池 8206。

【0609】藉由電纜 8205，將電力從電池 8206 供應到主體 8203。主體 8203 具備無線接收器等，能夠將所接收的影像資訊等顯示到顯示部 8204 上。此

外，主體 8203 具有照相機，由此可以作為輸入方法利用使用者的眼球或眼瞼的動作的資訊。

【0610】此外，也可以對安裝部 8201 的被使用者接觸的位置設置多個電極，以檢測出根據使用者的眼球的動作而流過電極的電流，由此實現識別使用者的視線的功能。此外，還可以具有根據流過該電極的電流監視使用者的脈搏的功能。安裝部 8201 也可以具有溫度感測器、壓力感測器、加速度感測器等各種感測器，也可以具有將使用者的生物資訊顯示在顯示部 8204 上的功能或與使用者的頭部的動作同步地使顯示在顯示部 8204 上的影像變化的功能等。

【0611】可以將根據本發明的一個實施方式的半導體裝置用於顯示部 8204。

【0612】圖 41C 至圖 41E 是頭戴顯示器 8300 的外觀圖。頭戴顯示器 8300 包括外殼 8301、顯示部 8302、帶狀固定工具 8304 以及一對透鏡 8305。

【0613】使用者可以藉由透鏡 8305 看到顯示部 8302 上的顯示。較佳的是，彎曲配置顯示部 8302。因為使用者可以感受高真實感。此外，藉由透鏡 8305 分別看到顯示在顯示部 8302 的不同區域上的影像，從而可以進行利用視差的三維顯示等。此外，本發明的一個實施方式不侷限於設置有一個顯示部 8302 的結構，也可以設置兩個顯示部 8302 以對使用者的一對眼睛分別配置一個顯示部。

【0614】可以將根據本發明的一個實施方式的半導體裝置用於顯示部 8302。根據本發明的一個實施方式的半導體裝置還可以實現極高的清晰度。例如，如圖 41E 所示，即使使用透鏡 8305 對顯示進行放大觀看，像素也不容易被使用者看到。就是說，可以利用顯示部 8302 使使用者看到現實感更高的影像。

【0615】圖 41F 是護目鏡型頭戴顯示器 8400 的外觀圖。頭戴顯示器 8400 包括一對外殼 8401、安裝部 8402 及緩衝構件 8403。一對外殼 8401 內各自設置有顯示部 8404 及透鏡 8405。藉由使一對顯示部 8404 顯示互不相同的影像，可以進行利用視差的三維顯示。

【0616】使用者可以藉由透鏡 8405 看到顯示部 8404 上的顯示。透鏡 8405 具有焦點調整機構，該焦點調整機構可以根據使用者的視力調整透鏡 8405 的位置。顯示部 8404 較佳為正方形或橫向長的矩形。由此，可以提高真實感。

【0617】安裝部 8402 較佳為具有塑性及彈性以可以根據使用者的臉尺寸調整並沒有掉下來。另外，安裝部 8402 的一部分較佳為具有被用作骨傳導耳機的振動機構。由此，只要安裝就可以享受影像及聲音，而不需耳機、揚聲器等音響設備。此外，也可以具有藉由無線通訊將聲音資料輸出到外殼 8401 內的功能。

【0618】安裝部 8402 及緩衝構件 8403 是與使用者的臉（額頭、臉頰等）接觸的部分。藉由使緩衝構件 8403 與使用者的臉密接，可以防止漏光，從而可以進一步提高沉浸感。緩衝構件 8403 較佳為使用柔軟的材料以在使用者裝上頭戴顯示器 8400 時與使用者的臉密接。例如，可以使用橡膠、矽酮橡膠、聚氨酯、海綿等材料。另外，當作為緩衝構件 8403 使用用布或皮革（天然皮革或合成皮革）等覆蓋海綿等的表面的構件時，在使用者的臉和緩衝構件 8403 之間不容易產生空隙，從而可以適當地防止漏光。另外，在使用這種材料時，不僅讓使用者感覺親膚，而且當在較冷的季節等裝上的情況下不讓使用者感到寒意，所以是較佳的。在緩衝構件 8403 或安裝部 8402 等接觸於使用者的皮膚的構件採用可拆卸的結構時，容易進行清洗及交換，所以是較佳的。

【0619】圖 42A 示出電視機的一個例子。在電視機 7100 中，外殼 7101 中組裝有顯示部 7000。在此示出利用支架 7103 支撐外殼 7101 的結構。

第119頁，共 123 頁(發明說明書)

【0620】可以對顯示部 7000 應用本發明的一個實施方式的半導體裝置。

【0621】可以藉由利用外殼 7101 所具備的操作開關及另外提供的遙控器 7111 進行圖 42A 所示的電視機 7100 的操作。或者，也可以在顯示部 7000 中具備觸控感測器，也可以藉由用指頭等觸摸顯示部 7000 進行電視機 7100 的操作。此外，也可以在遙控器 7111 中具備顯示從該遙控器 7111 輸出的資訊的顯示部。藉由利用遙控器 7111 所具備的操作鍵或觸控面板，可以進行頻道及音量的操作，並可以對顯示在顯示部 7000 上的影像進行操作。

【0622】此外，電視機 7100 具備接收機及數據機等。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通訊網路，從而進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通訊。

【0623】圖 42B 示出膝上型個人電腦的一個例子。膝上型個人電腦 7200 包括外殼 7211、鍵盤 7212、指向裝置 7213、外部連接埠 7214 等。在外殼 7211 中組裝有顯示部 7000。

【0624】可以對顯示部 7000 應用本發明的一個實施方式的半導體裝置。

【0625】圖 42C 和圖 42D 示出數位看板的一個例子。

【0626】圖 42C 所示的數位看板 7300 包括外殼 7301、顯示部 7000 及揚聲器 7303 等。此外，還可以包括 LED 燈、操作鍵（包括電源開關或操作開關）、連接端子、各種感測器、麥克風等。

【0627】圖 42D 示出設置於圓柱狀柱子 7401 上的數位看板 7400。數位看板 7400 包括沿著柱子 7401 的曲面設置的顯示部 7000。

【0628】在圖 42C 和圖 42D 中，可以對顯示部 7000 應用本發明的一個實施方式的半導體裝置。

【0629】顯示部 7000 越大，一次能夠提供的資訊量越多。顯示部 7000 越大，越容易吸引人的注意，例如可以提高廣告宣傳效果。

【0630】藉由將觸控面板用於顯示部 7000，不僅可以在顯示部 7000 上顯示靜態影像或動態影像，使用者還能夠直覺性地進行操作，所以是較佳的。此外，在用於提供路線資訊或交通資訊等資訊的用途時，可以藉由直覺性的操作提高易用性。

【0631】如圖 42C 和圖 42D 所示，數位看板 7300 或數位看板 7400 較佳為可以藉由無線通訊與使用者所攜帶的智慧手機等資訊終端設備 7311 或資訊終端設備 7411 聯動。例如，顯示在顯示部 7000 上的廣告資訊可以顯示在資訊終端設備 7311 或資訊終端設備 7411 的螢幕上。此外，藉由操作資訊終端設備 7311 或資訊終端設備 7411，可以切換顯示部 7000 的顯示。

【0632】此外，可以在數位看板 7300 或數位看板 7400 上以資訊終端設備 7311 或資訊終端設備 7411 的螢幕為操作單元（控制器）執行遊戲。由此，不特定多個使用者可以同時參加遊戲，享受遊戲的樂趣。

【0633】圖 42E 所示的資訊終端 7550 包括外殼 7551、顯示部 7552、麥克風 7557、揚聲器部 7554、相機 7553 及操作開關 7555 等。可以將根據本發明的一個實施方式的半導體裝置用於顯示部 7552。顯示部 7552 被用作觸控面板。另外，資訊終端 7550 在外殼 7551 的內側具有天線、電池等。資訊終端 7550 例如可以被用作智慧手機、行動電話、平板資訊終端、平板電腦或電子書閱讀器終端等。

【0634】圖 42F 示出手錶型資訊終端的一個例子。資訊終端 7660 包括外殼 7661、顯示部 7662、錶帶 7663、帶扣 7664、操作開關 7665、輸入輸出端子 7666 等。另外，資訊終端 7660 在外殼 7661 的內側具有天線、電池等。資訊終

端 7660 可以執行行動電話、電子郵件、文章的閱讀及編寫、音樂播放、網路通訊、電腦遊戲等各種應用程式。

【0635】此外，顯示部 7662 具備觸控感測器，可以用指頭或觸控筆等觸控螢幕來進行操作。例如，藉由觸摸顯示於顯示部 7662 的圖示 7667，可以啟動應用程式。操作開關 7665 除了時刻設定之外，還可以具有電源開關、無線通訊的開關、靜音模式的設置及取消、省電模式的設置及取消等各種功能。例如，藉由利用組裝在資訊終端 7660 中的作業系統，也可以設定操作開關 7665 的功能。

【0636】另外，可攜式資訊終端 7660 可以執行被通訊標準化的近距離無線通訊。例如，藉由與可無線通訊的耳麥通訊，可以進行免提通話。此外，資訊終端 7660 具備輸入輸出端子 7666，可以藉由輸入輸出端子 7666 與其他資訊終端發送和接收資料。另外，也可以藉由輸入輸出端子 7666 進行充電。另外，充電操作也可以利用無線供電進行，而不藉由輸出輸入端子 7666。

【0637】本實施方式所示的結構可以與其他實施方式等所示的結構適當地組合而實施。

【符號說明】

【0638】

- 100:半導體裝置
- 101:基板
- 102:絕緣層
- 103:半導體層
- 104:絕緣層
- 105:導電層

- 106:絕緣層
- 107:開口
- 108:導電層
- 109:絕緣層
- 110:絕緣層
- 111:絕緣層

【發明申請專利範圍】

【請求項 1】一種半導體裝置，包括：

設置在絕緣表面上的第一半導體層；

該第一半導體層上的第一絕緣層；

該第一絕緣層上的第一導電層；

與該第一半導體層電連接的第二導電層；

與該第一半導體層電連接的第三導電層；

覆蓋該第一導電層、該第二導電層及該第三導電層的第二絕緣層；

該第二絕緣層上的第三絕緣層；

該第三絕緣層上的第四絕緣層；

該第四絕緣層上的第四導電層；

貫通該第二絕緣層、該第三絕緣層、該第四絕緣層及該第四導電層的開口；

具有覆蓋該開口的側面及底部的區域的第二半導體層；

具有分別隔著該第二半導體層與該開口的側面重疊的區域及與該開口的底部重疊的區域的第五絕緣層；以及

具有分別隔著該第二半導體層及該第五絕緣層與該開口的側面重疊的區域及與該開口的底部重疊的區域的第五導電層，

其中，該第二半導體層與該第二導電層電連接。

【請求項 2】如請求項 1 之半導體裝置，

其中該第二半導體層具有隔著該第二導電層與該第一半導體層重疊的區域。

【請求項 3】一種半導體裝置，包括：

設置在絕緣表面上的第一半導體層；

該第一半導體層上的第一絕緣層；

該第一絕緣層上的第一導電層；

與該第一半導體層電連接的第二導電層；

與該第一半導體層電連接的第三導電層；

覆蓋該第一導電層、該第二導電層及該第三導電層的第二絕緣層；

該第二絕緣層上的第三絕緣層；

該第三絕緣層上的第四絕緣層；

該第四絕緣層上的第四導電層；

貫通該第二絕緣層、該第三絕緣層、該第四絕緣層及該第四導電層的開口；

具有覆蓋該開口的側面及底部的區域的第二半導體層；

具有分別隔著該第二半導體層與該開口的側面重疊的區域及與該開口的底部重疊的區域的第五絕緣層；以及

具有分別隔著該第二半導體層及該第五絕緣層與該開口的側面重疊的區域及與該開口的底部重疊的區域的第五導電層，

其中，該第二半導體層與該第一導電層電連接。

【請求項 4】如請求項 1 至 3 中任一項之半導體裝置，
其中該第一半導體層包含第 13 族元素。

【請求項 5】如請求項 1 至 3 中任一項之半導體裝置，
其中該第一半導體層包含第 15 族元素。

【請求項 6】如請求項 1 至 3 中任一項之半導體裝置，
其中該第二絕緣層包含矽及氮。

【請求項 7】如請求項 1 至 3 中任一項之半導體裝置，
其中該第三絕緣層包含矽及氧。

【請求項 8】如請求項 1 至 3 中任一項之半導體裝置，
其中該第四絕緣層包含矽及氮。

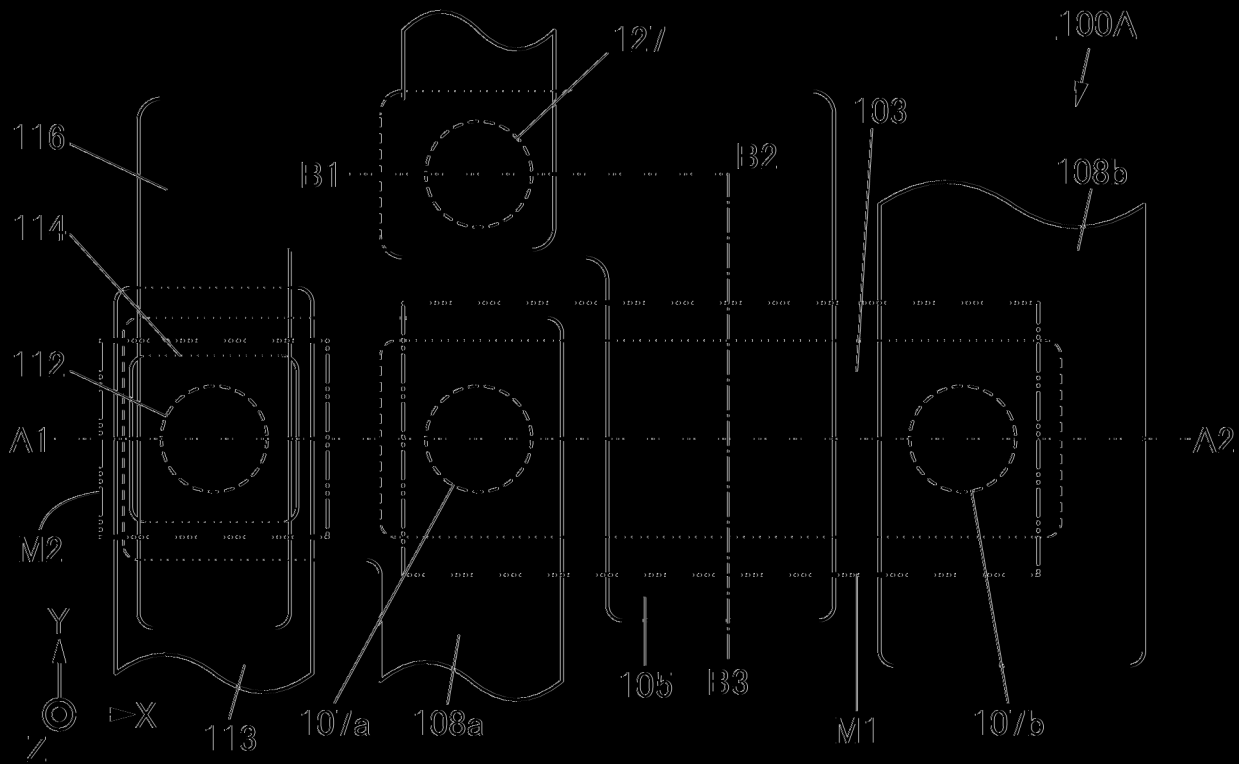
【請求項 9】如請求項 1 至 3 中任一項之半導體裝置，
其中該第一半導體層具有與該第二半導體層不同的組成。

【請求項 10】如請求項 1 至 3 中任一項之半導體裝置，
其中該第一半導體層包含矽。

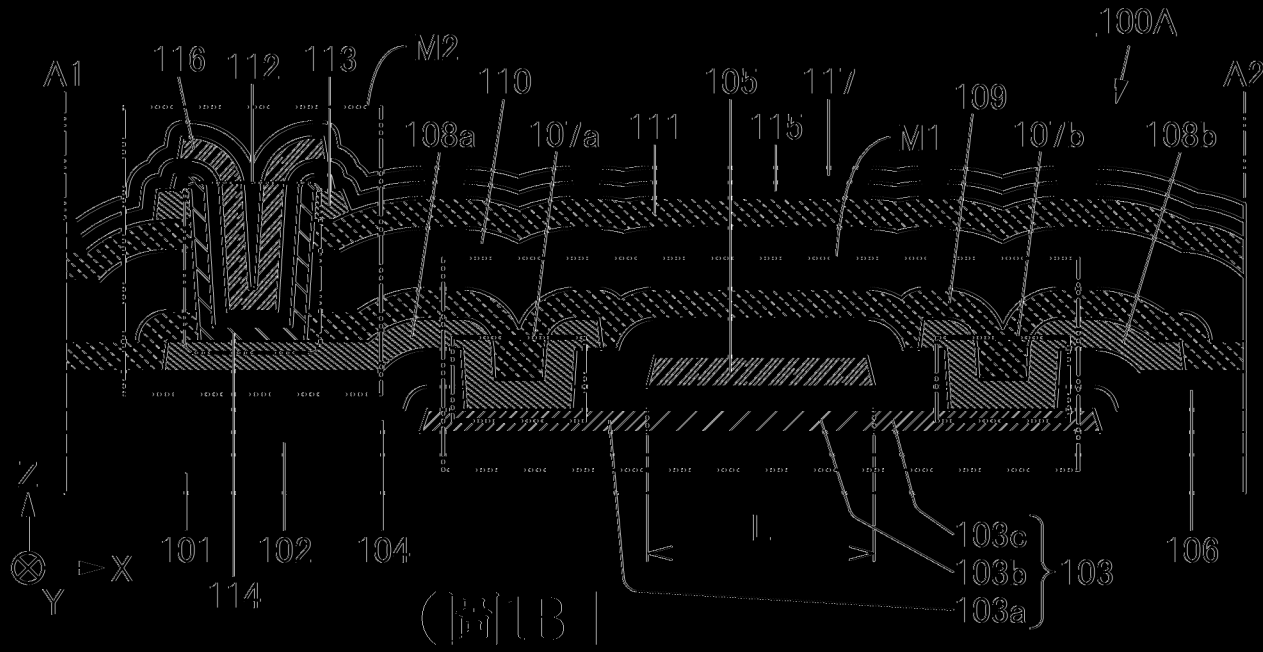
【請求項 11】如請求項 1 至 3 中任一項之半導體裝置，
其中該第二半導體層包含氧化物半導體。

【請求項 12】如請求項 11 之半導體裝置，
其中該氧化物半導體包含銦和鋅中的一者或兩者。

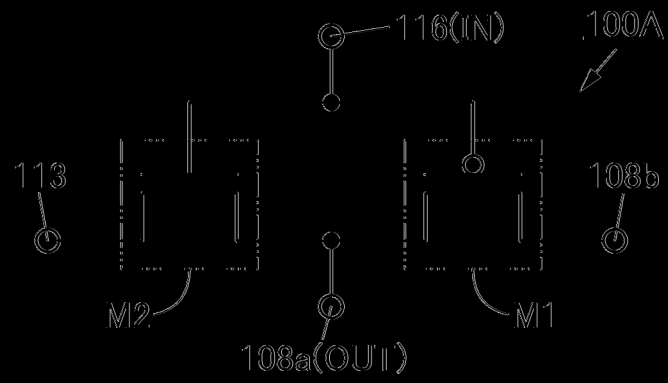
(發明圖式)



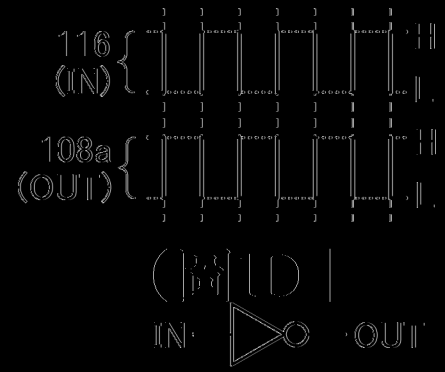
(圖1A)



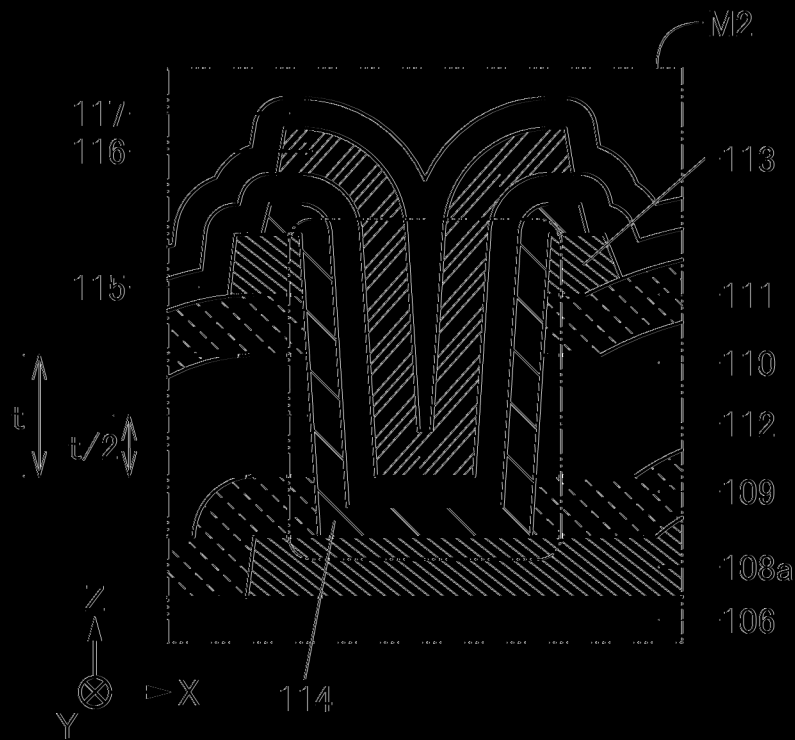
(圖1B)



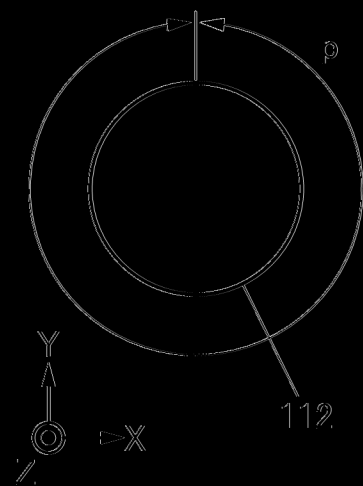
(圖1C)



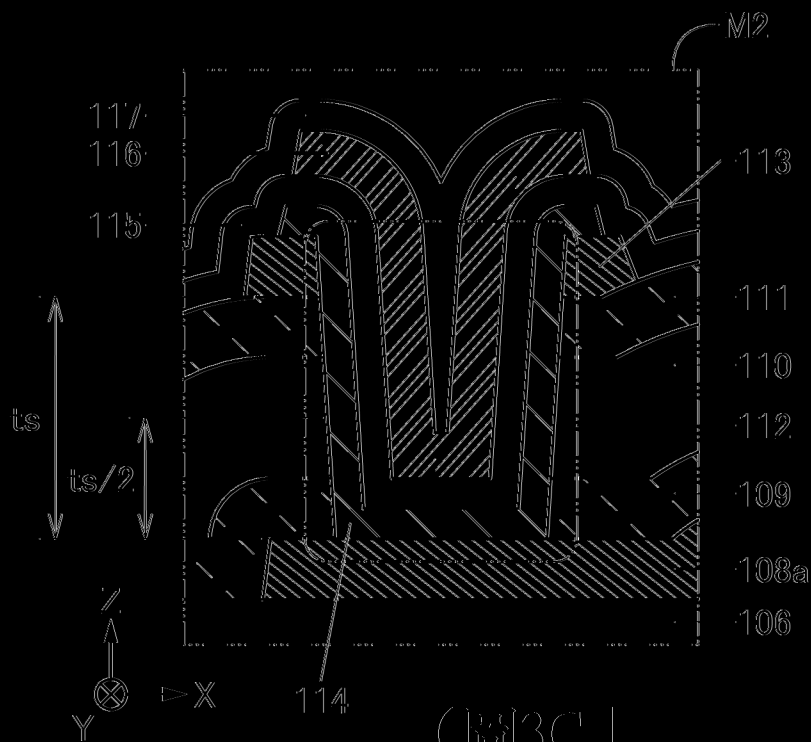
(圖1D)



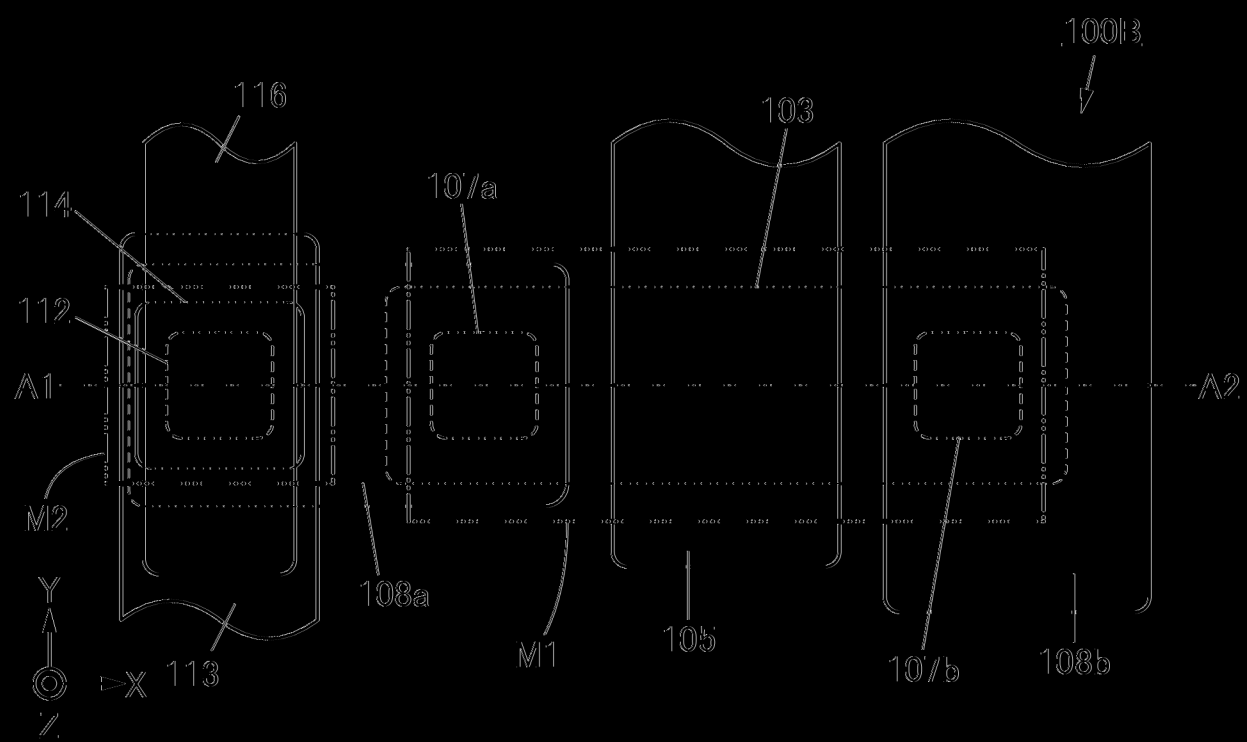
(圖3A |



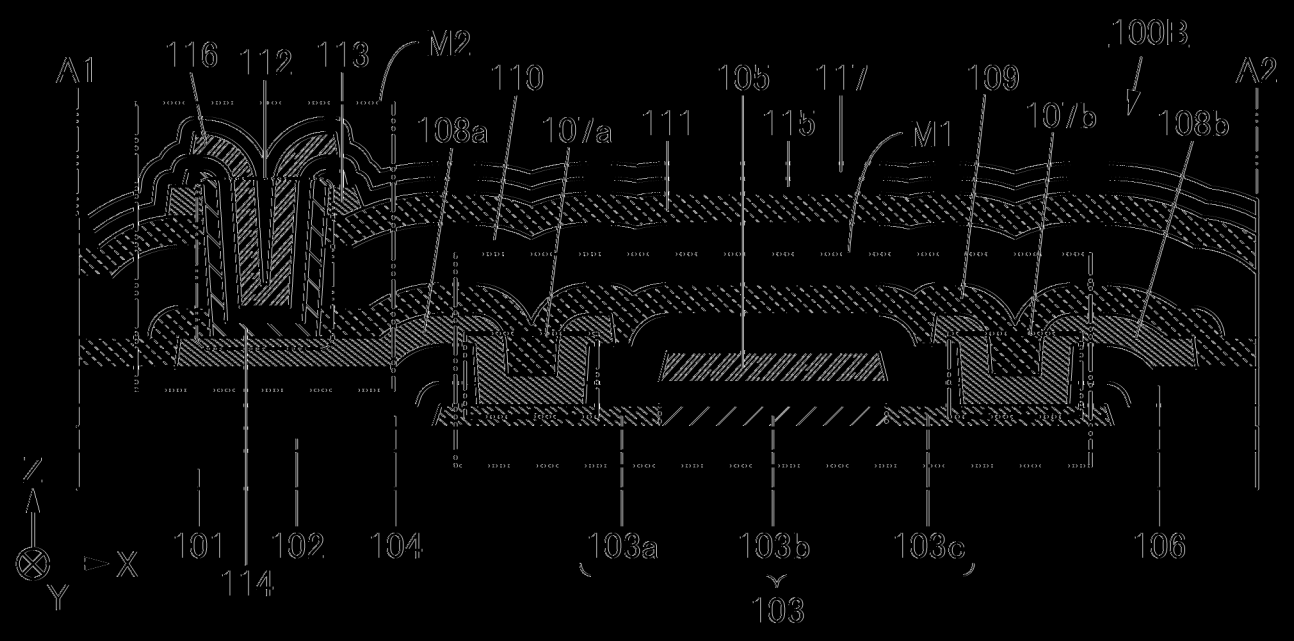
(圖3B |



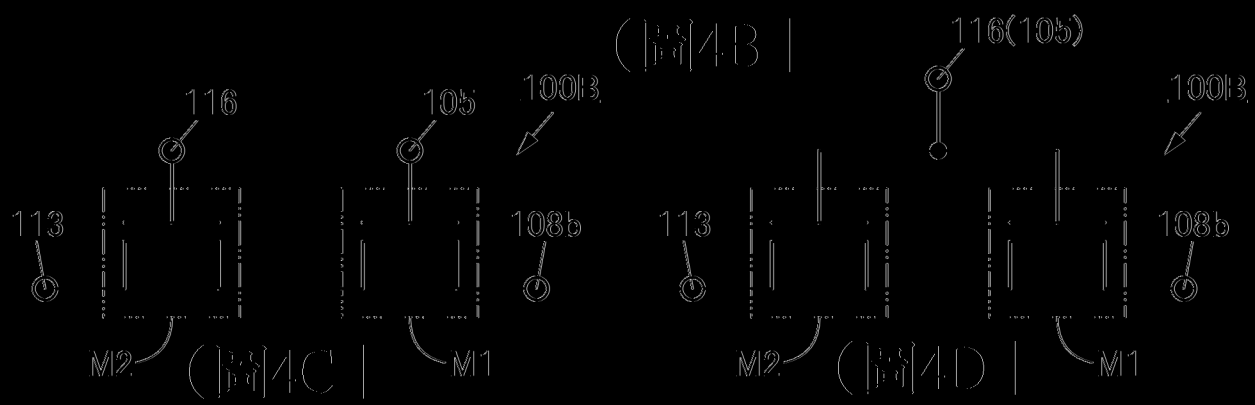
(圖3C |

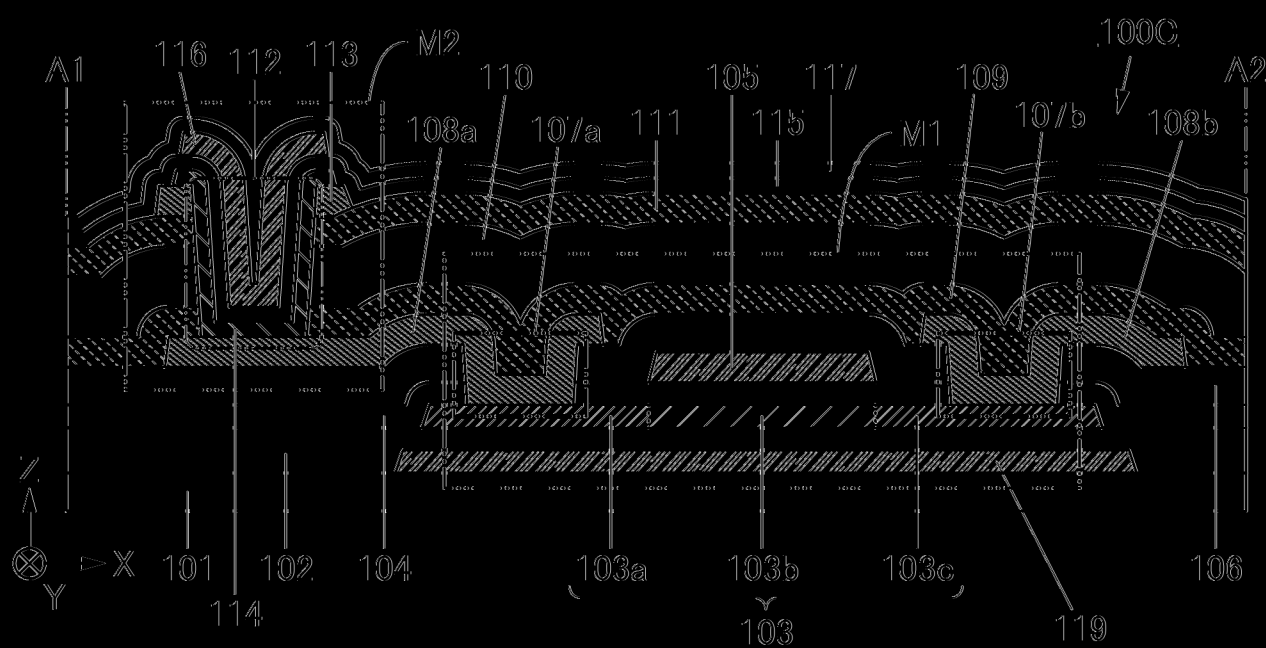


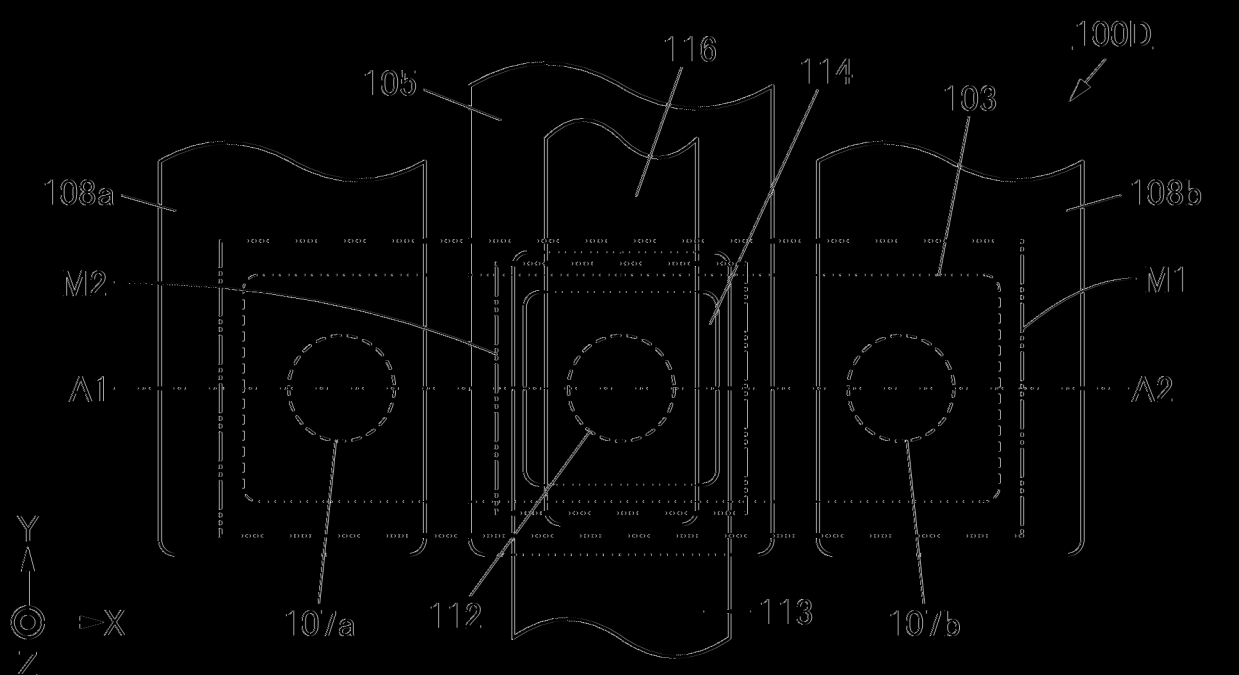
(圖4A)



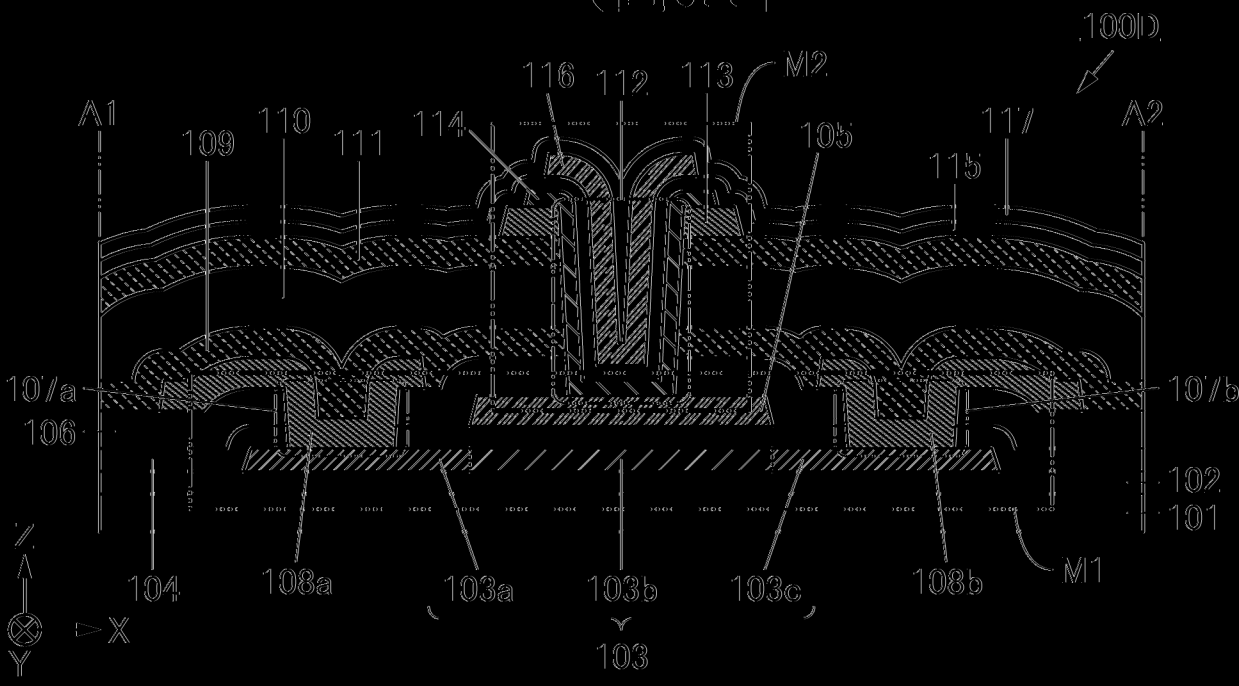
(圖4B)



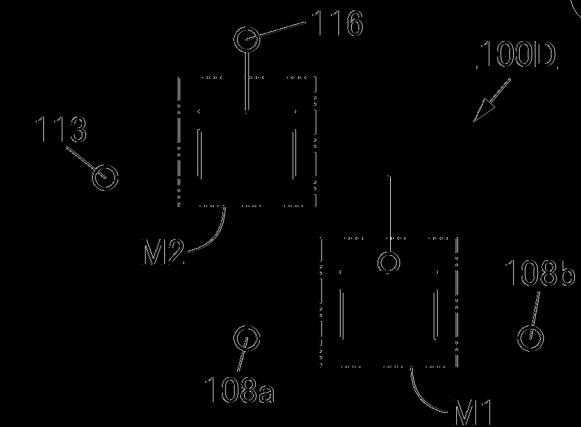




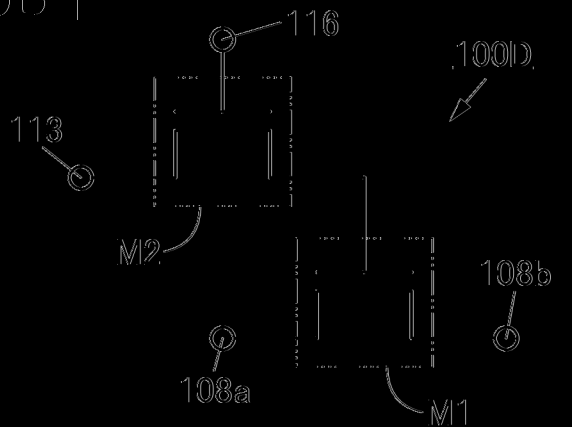
(圖6A)



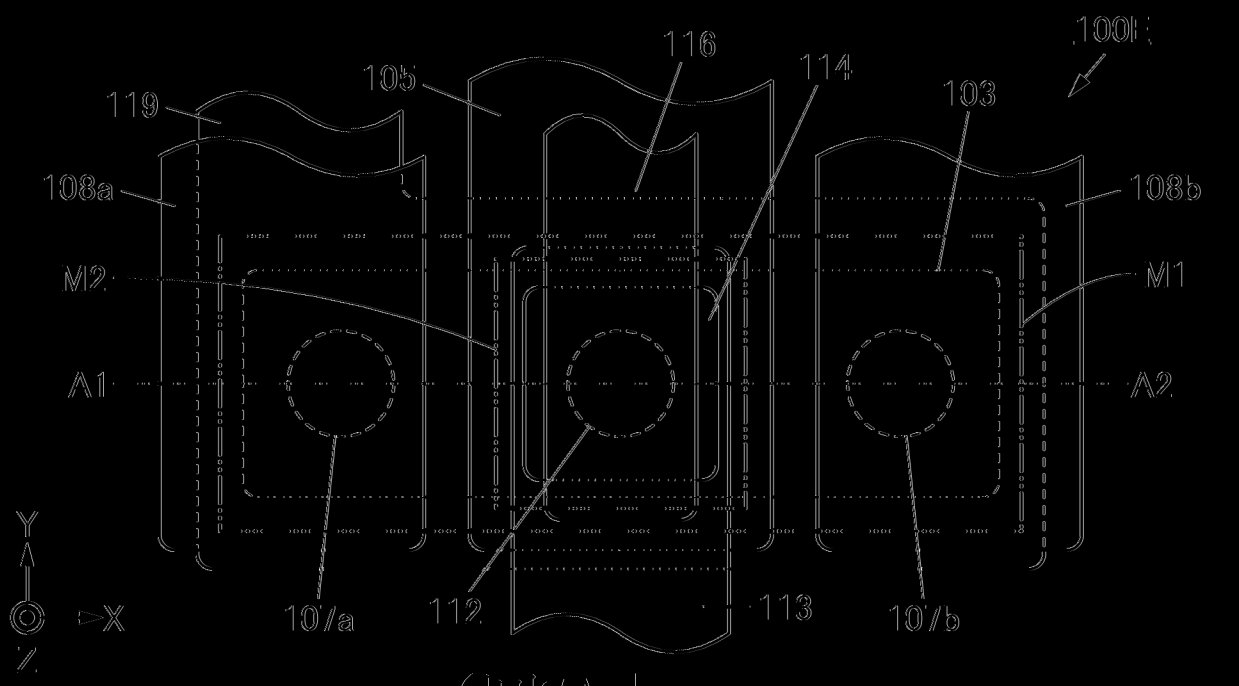
(圖6B)



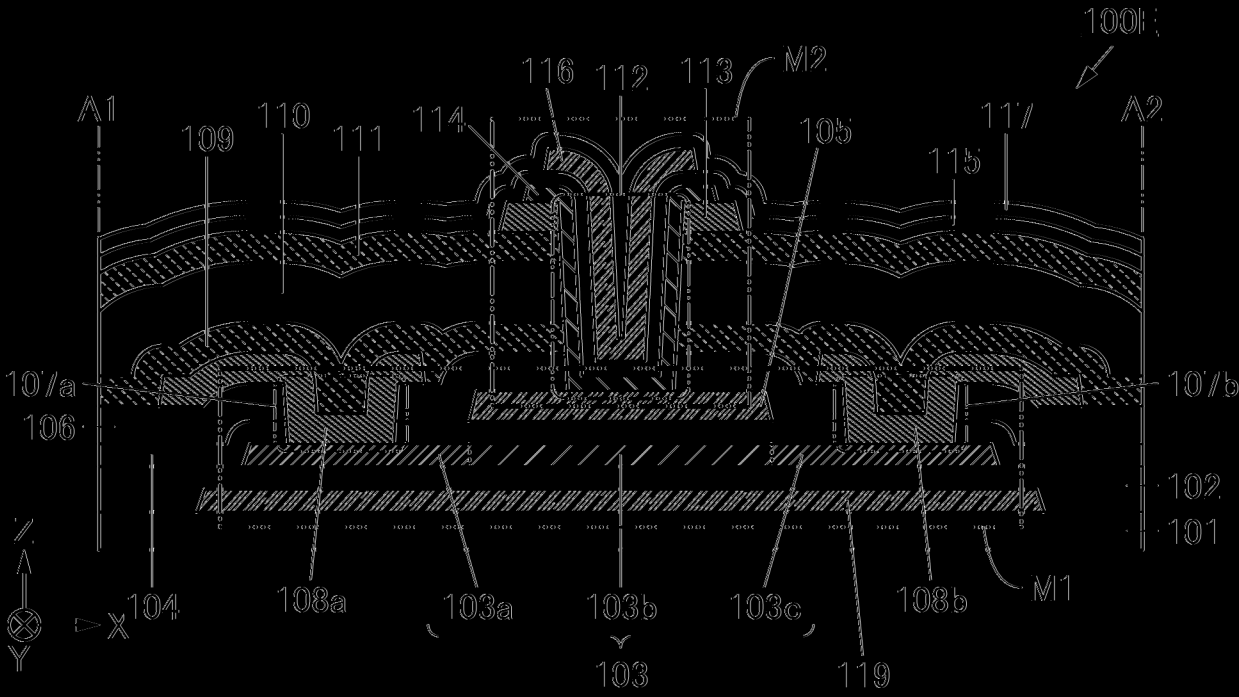
(圖6C)



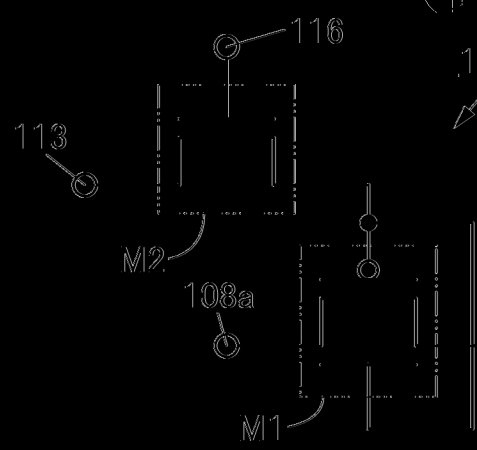
(圖6D)



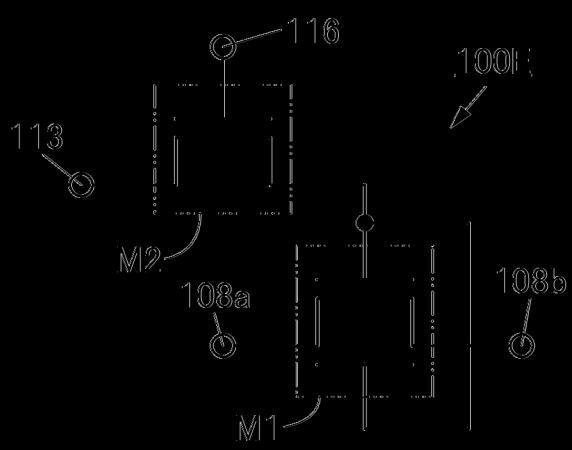
(圖/A)



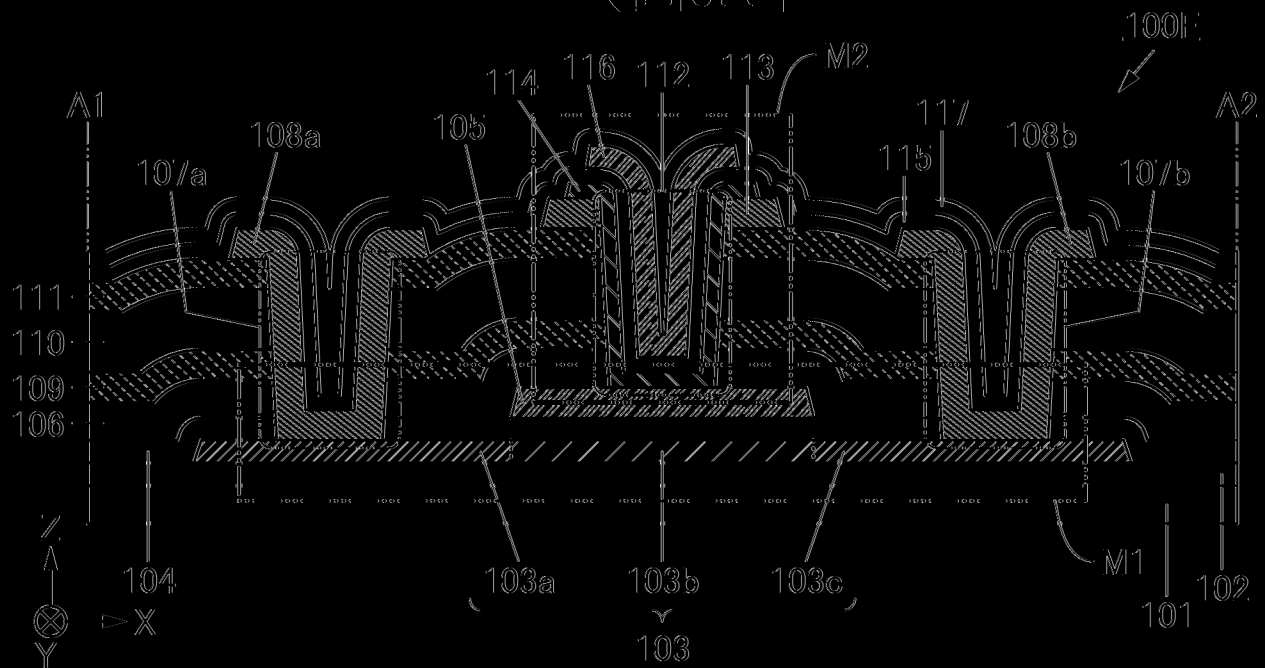
(圖/B)



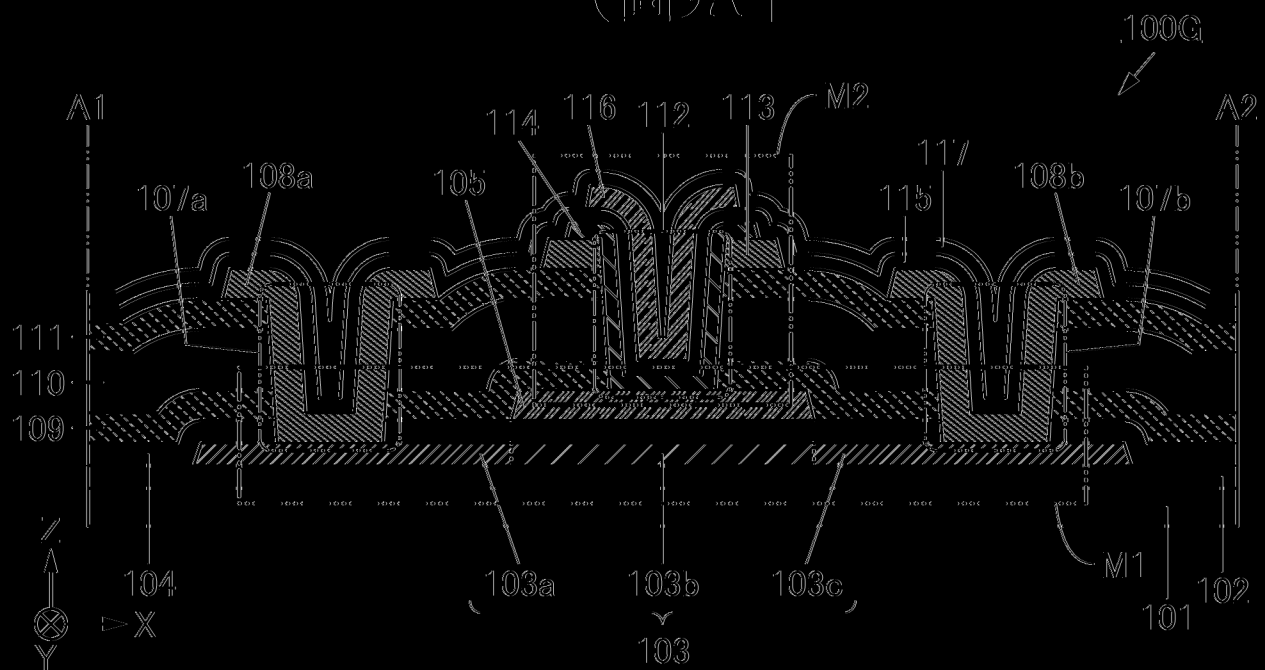
(圖/C)

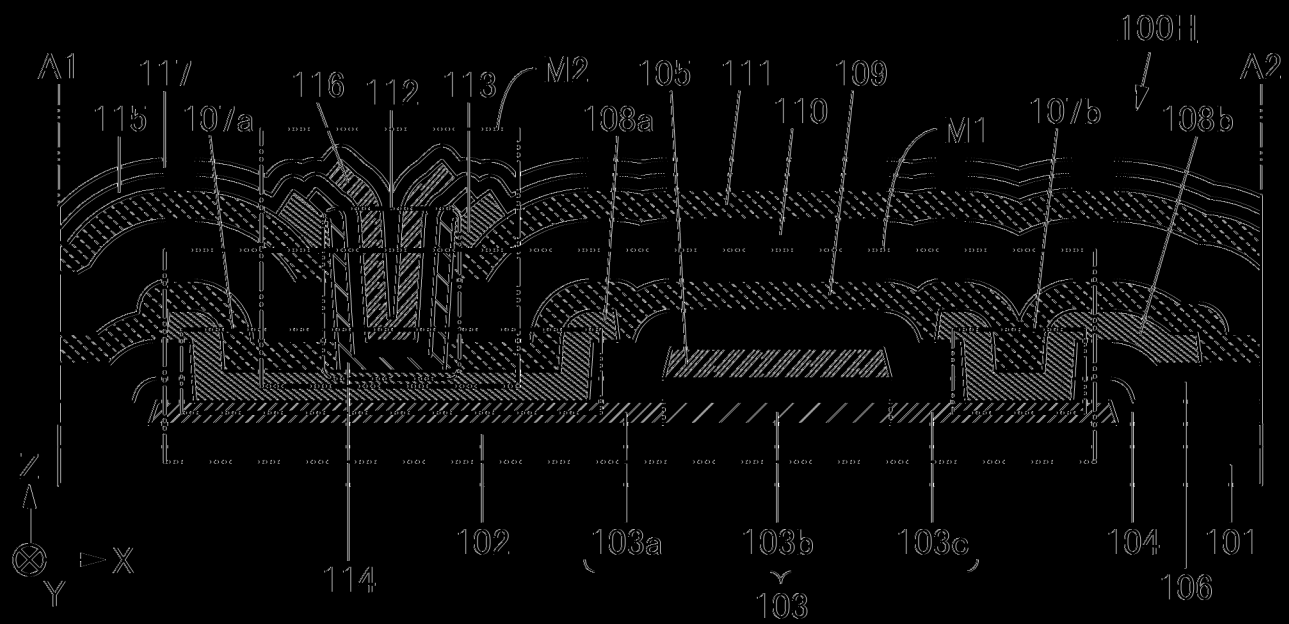


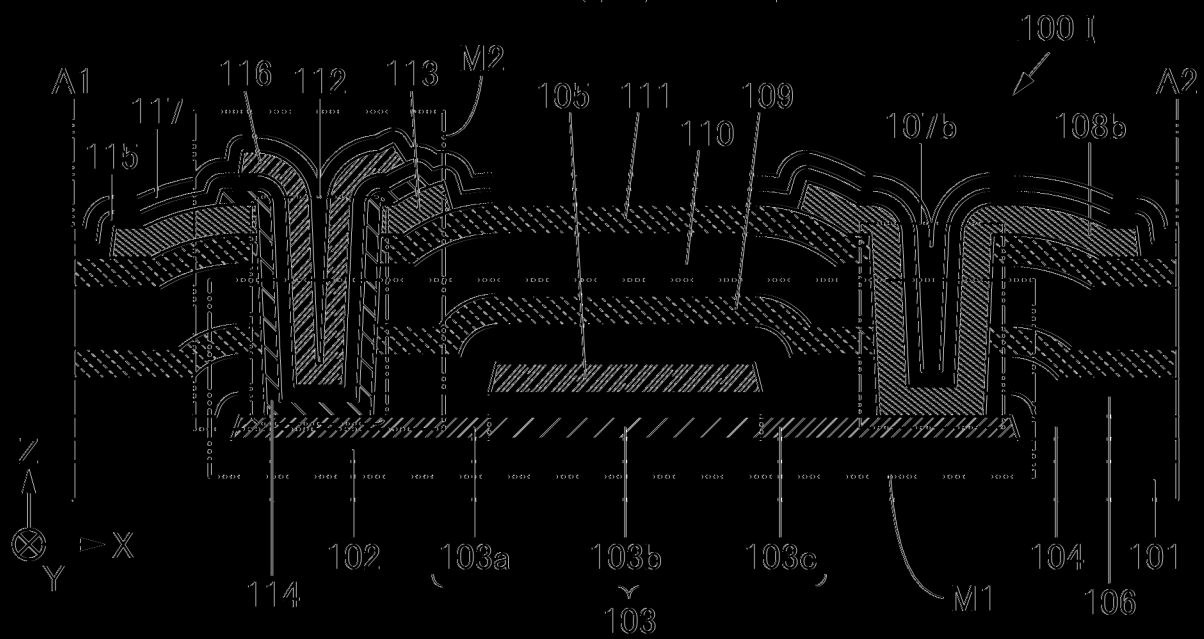
(圖/D)

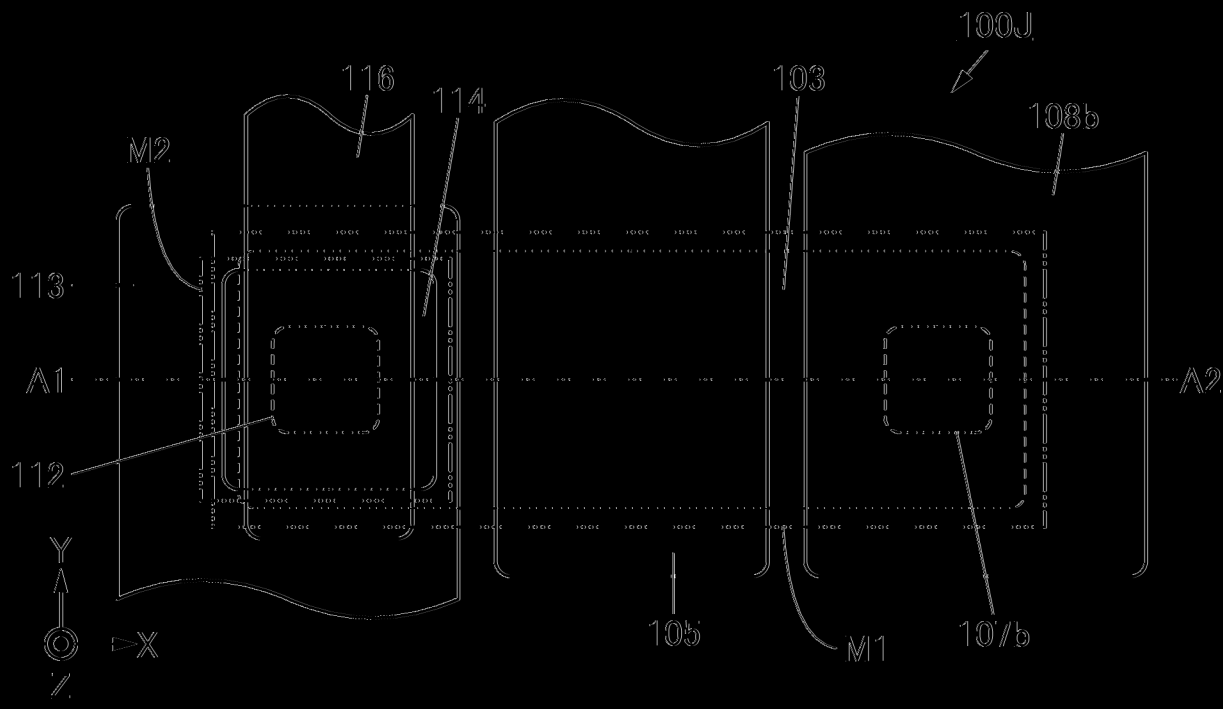


(13)80 |

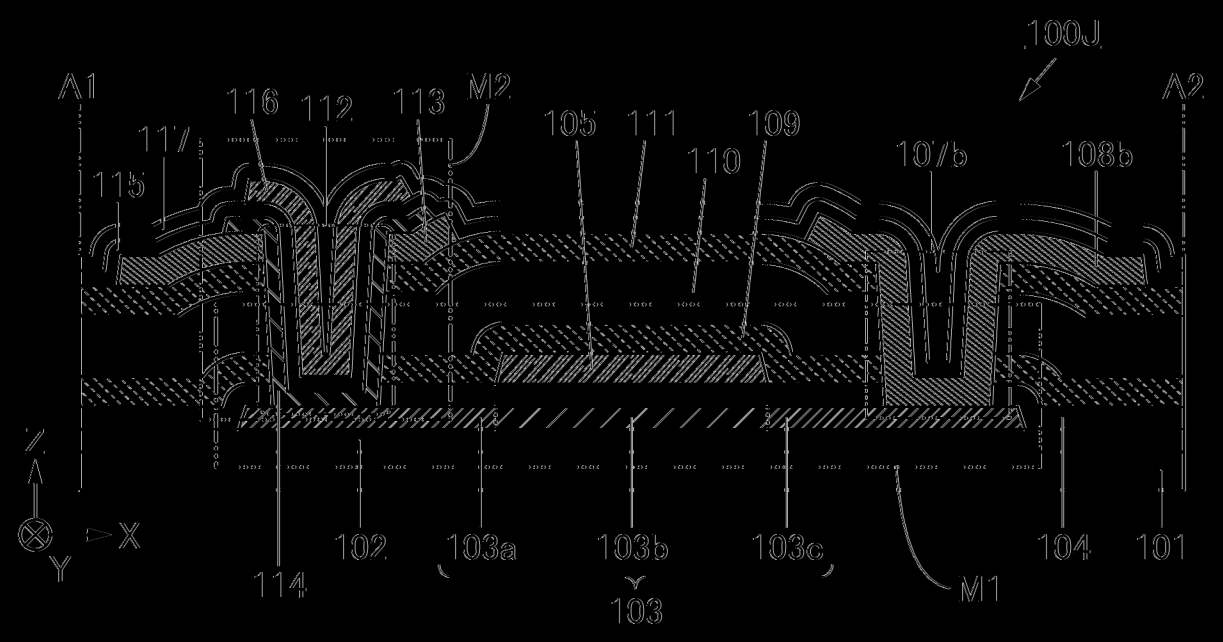




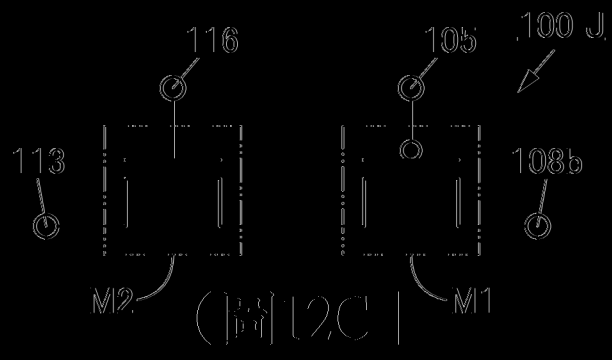




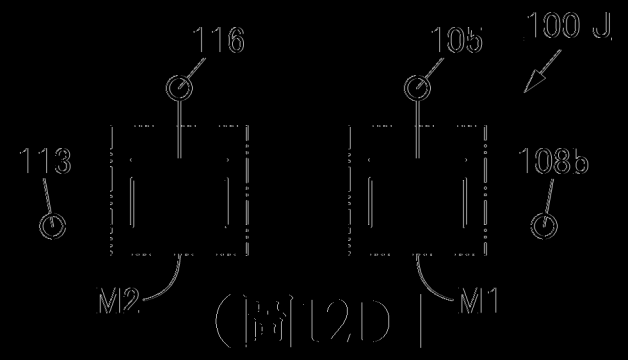
(圖12A)



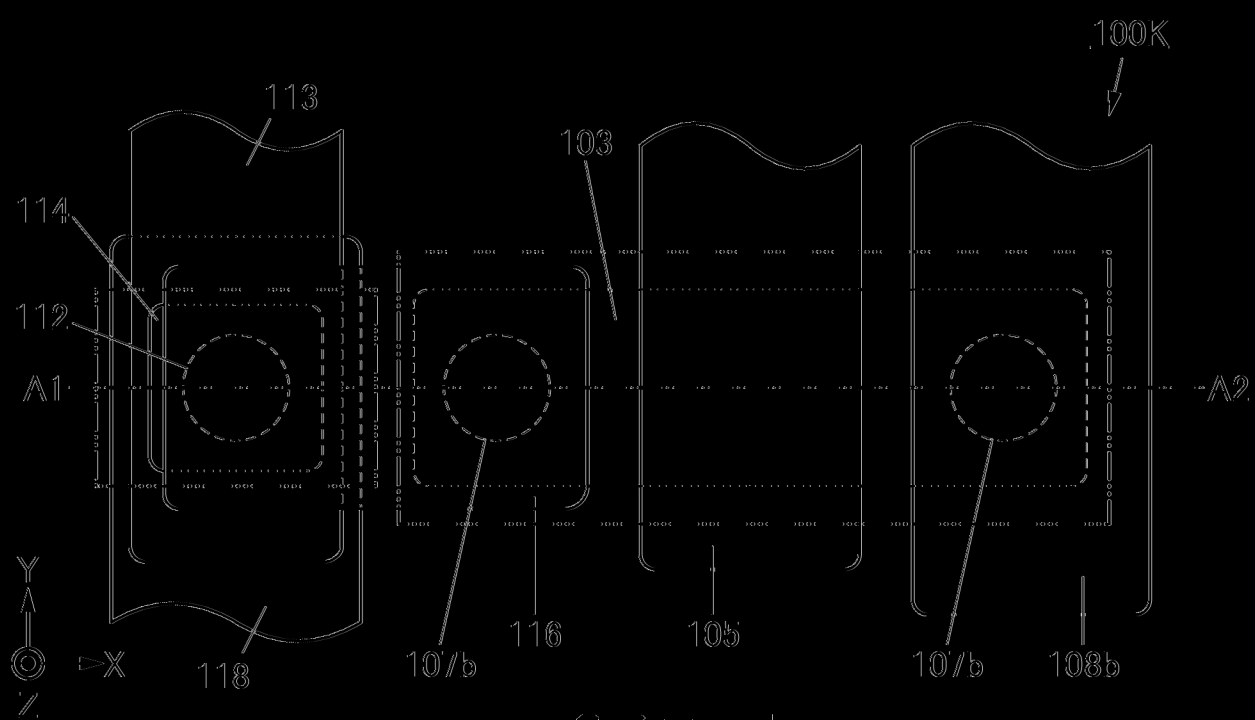
(圖12B)



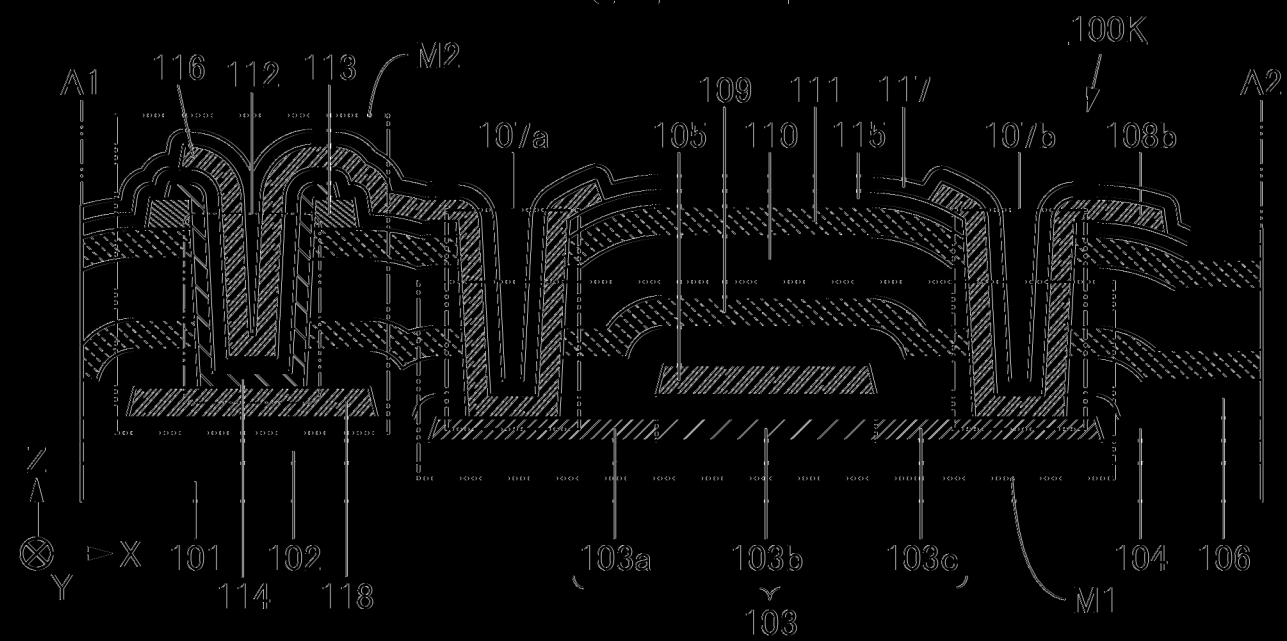
(圖12C)



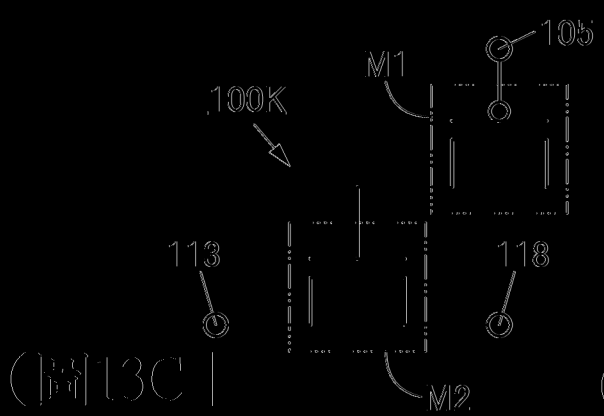
(圖12D)



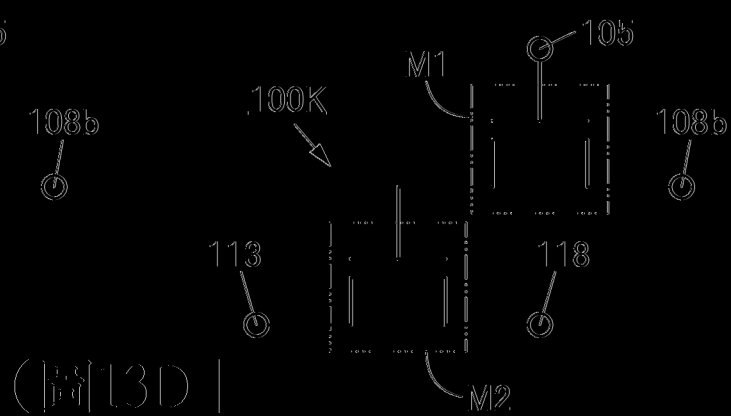
(圖13A)



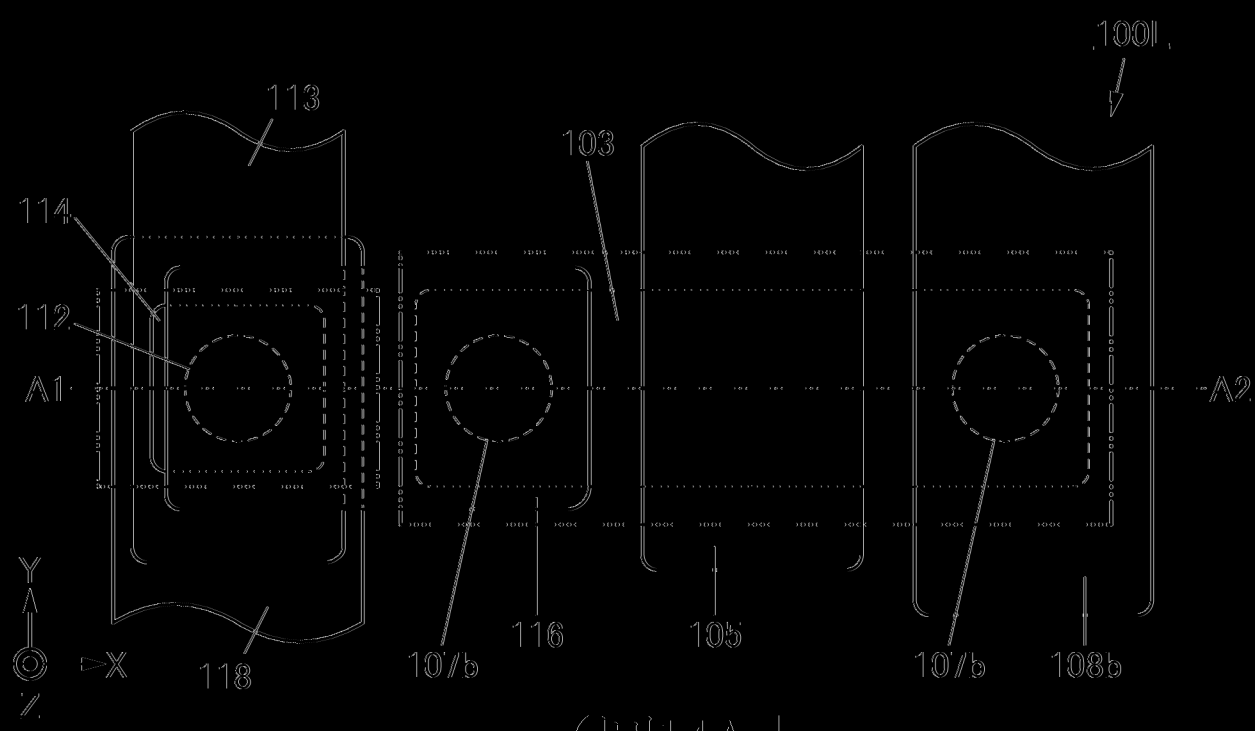
(圖13B)



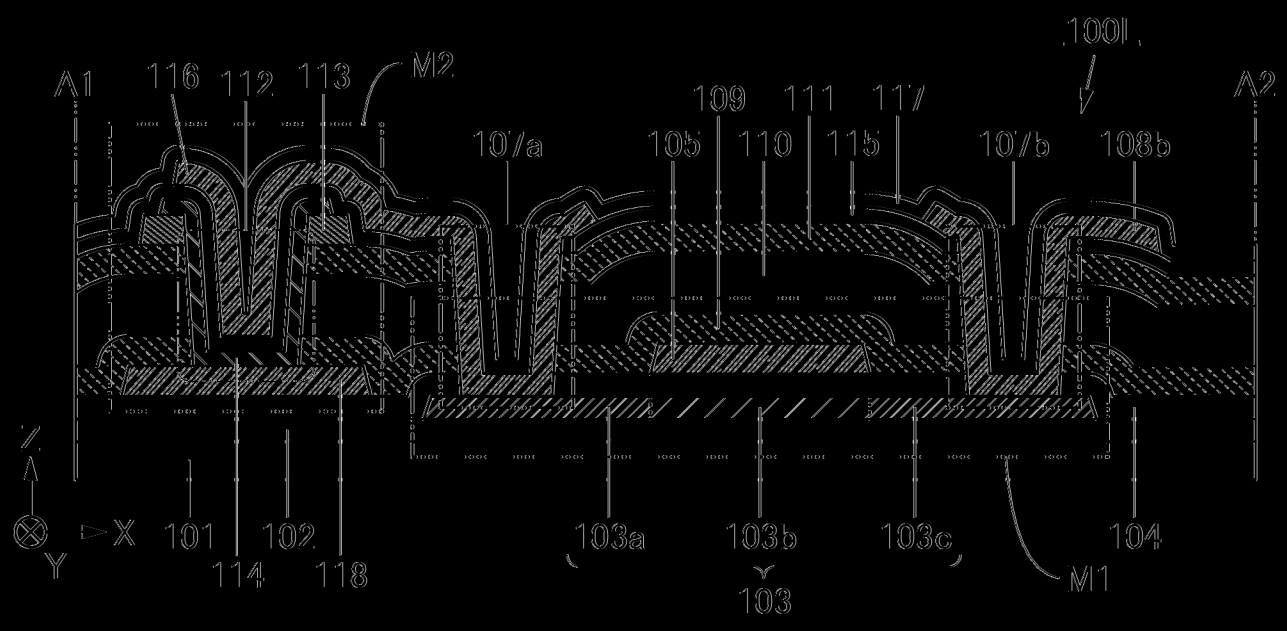
(圖13C)



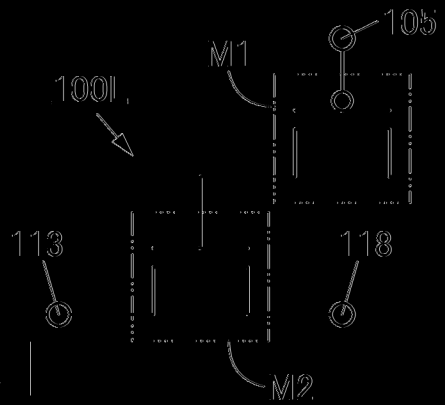
(圖13D)



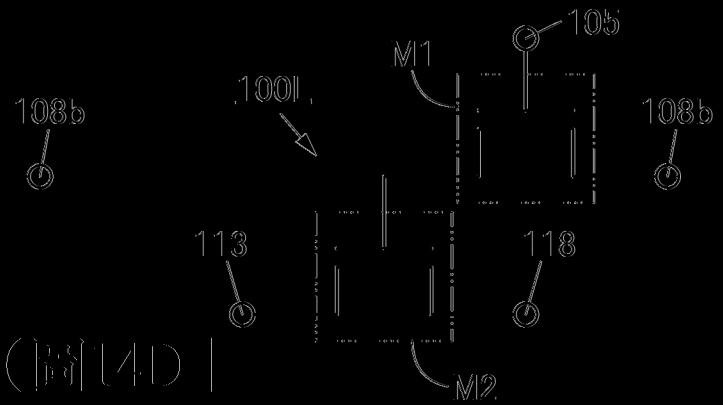
(圖14A)



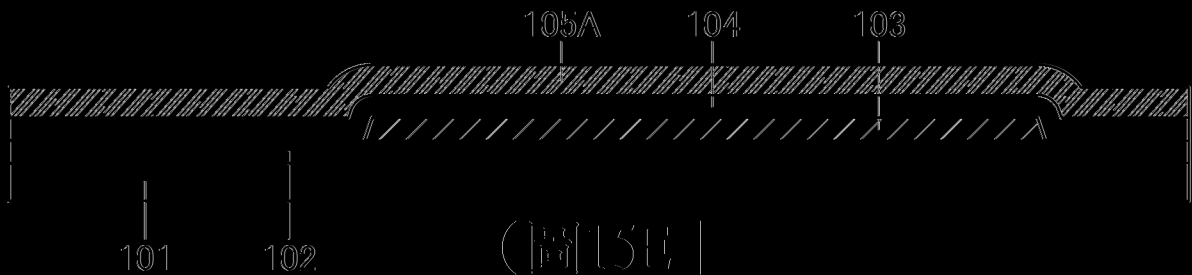
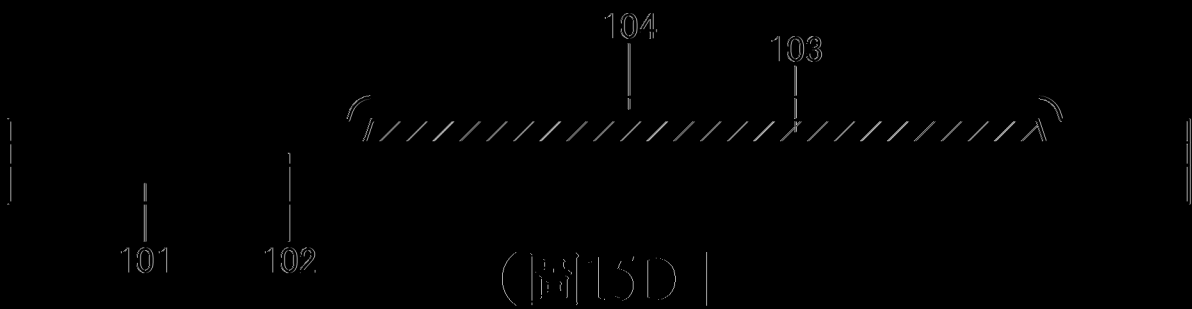
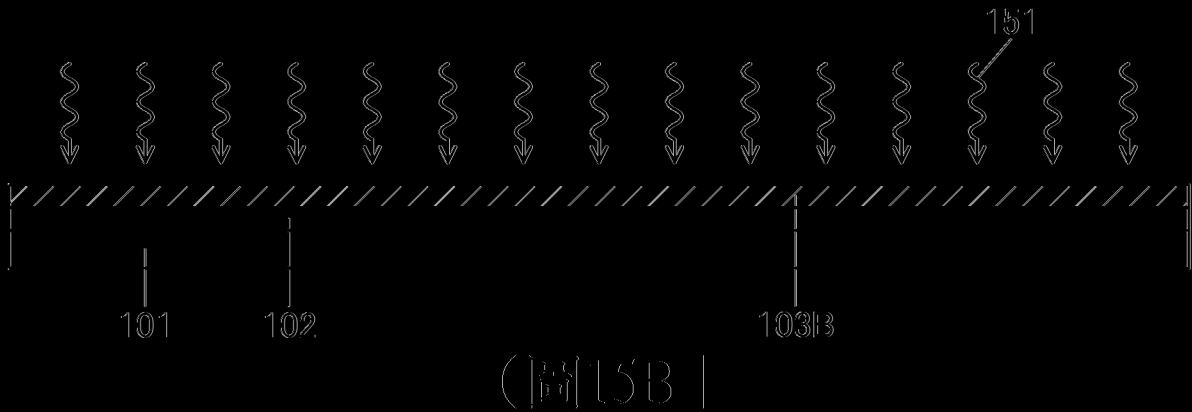
(圖14B)

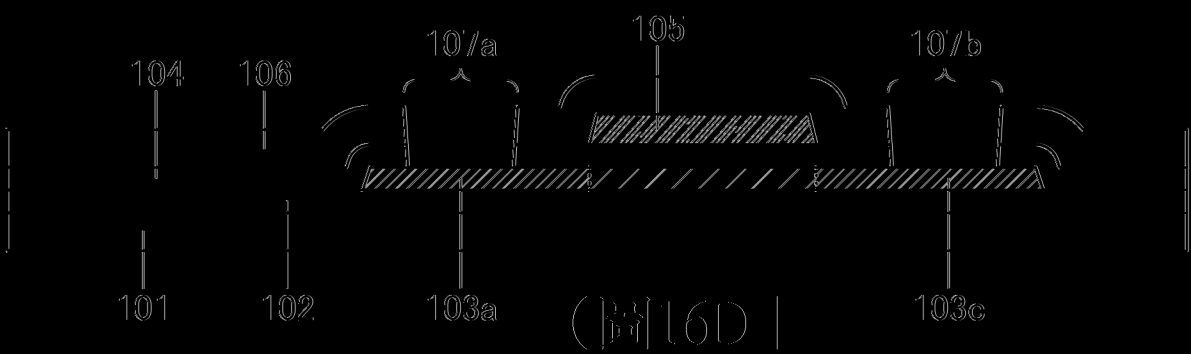
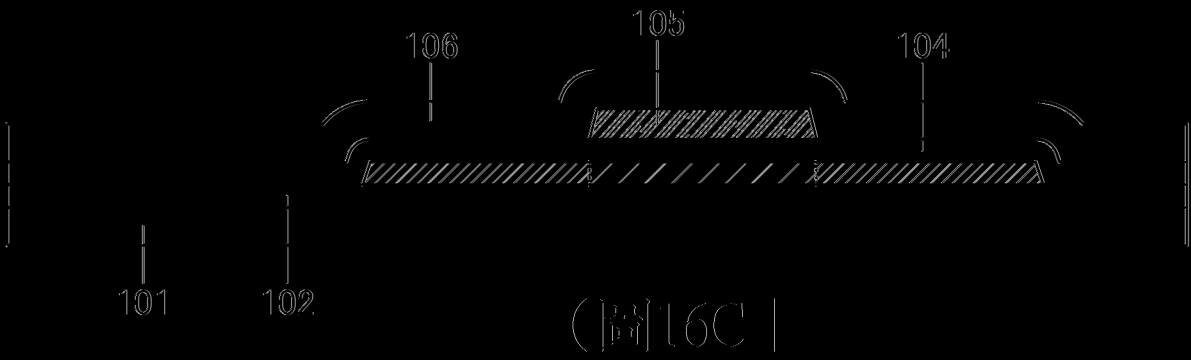
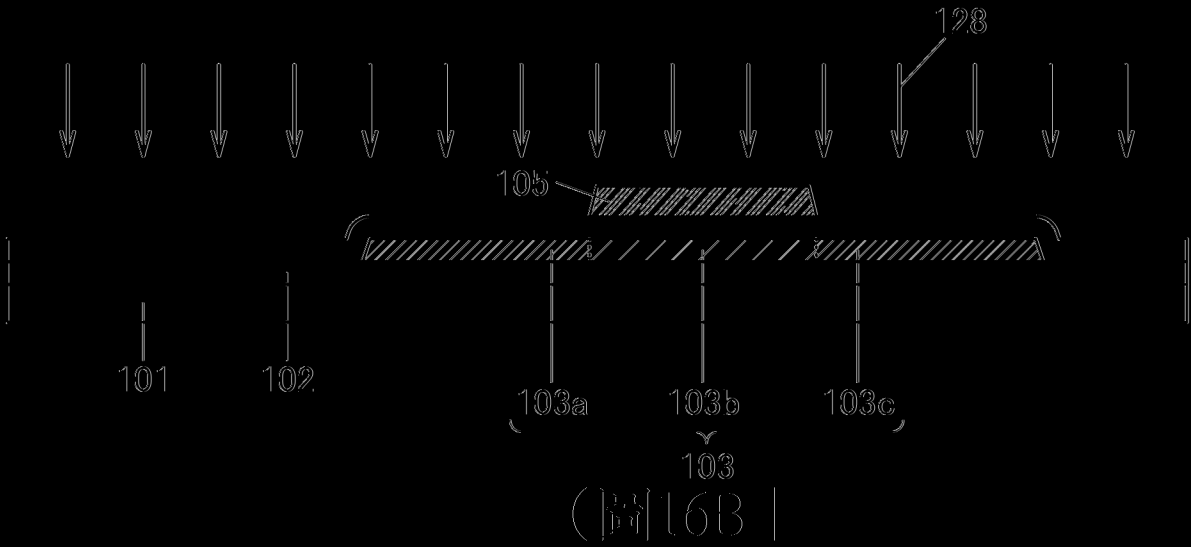
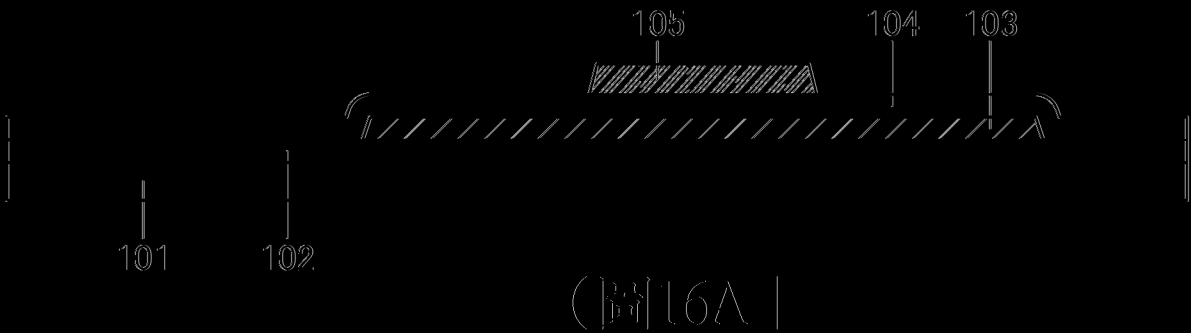


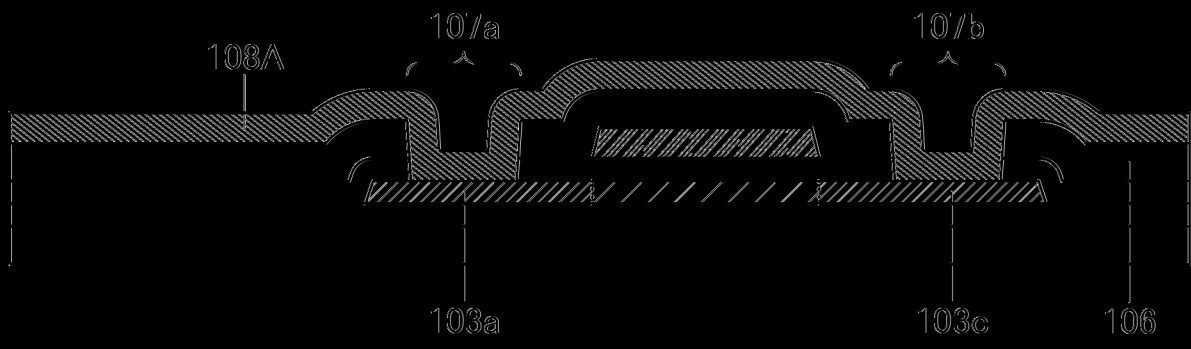
(圖14C)



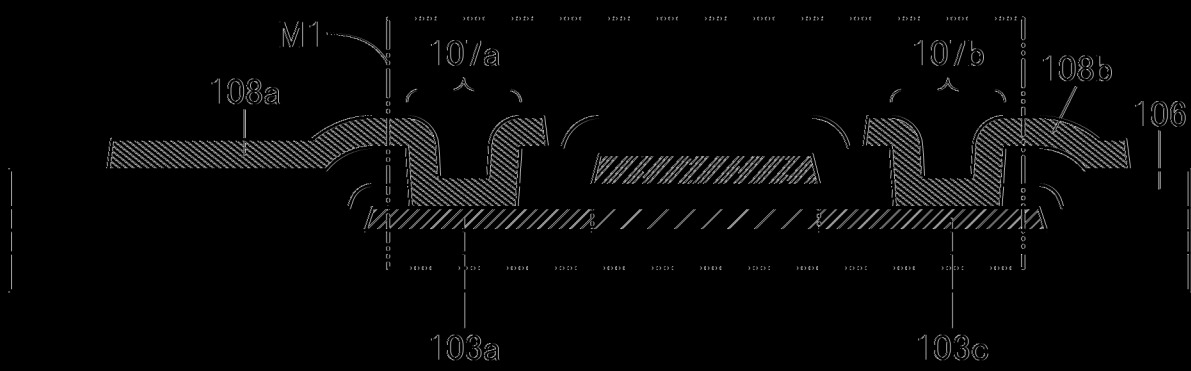
(圖14D)



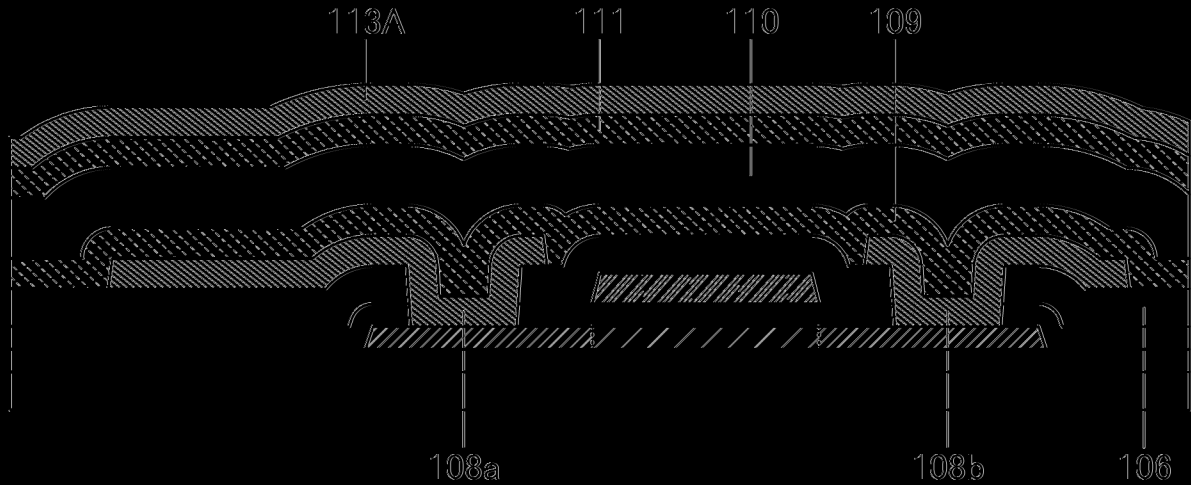




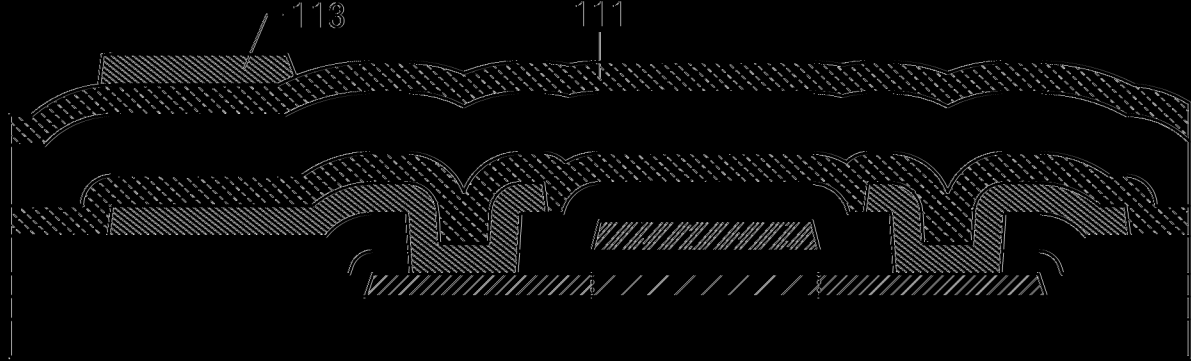
(圖17A)



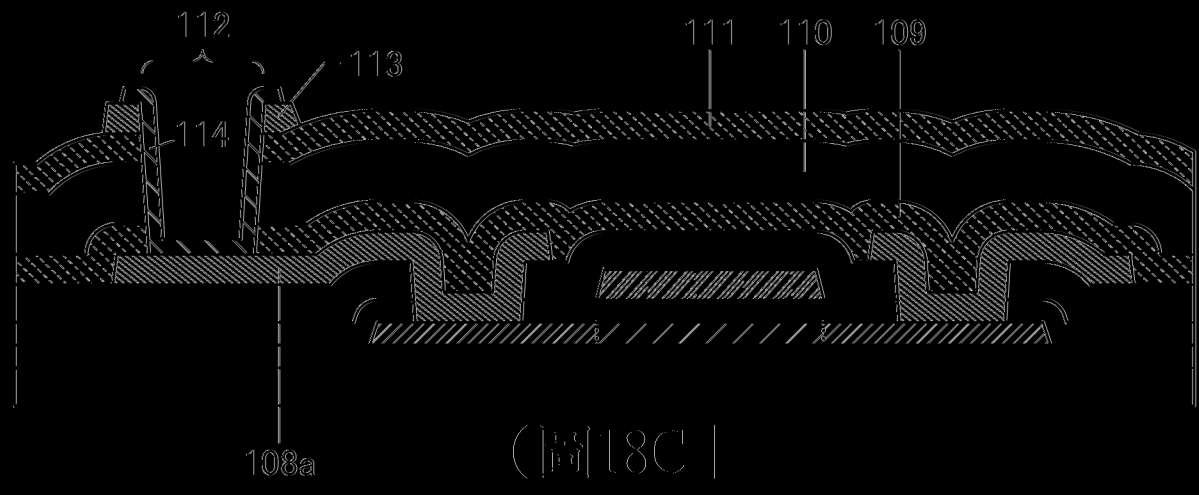
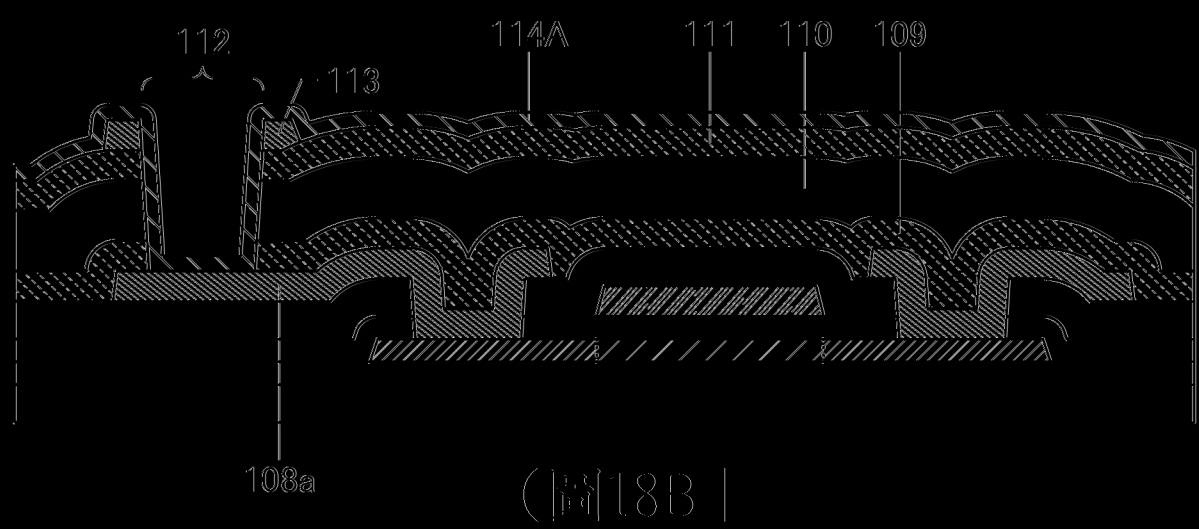
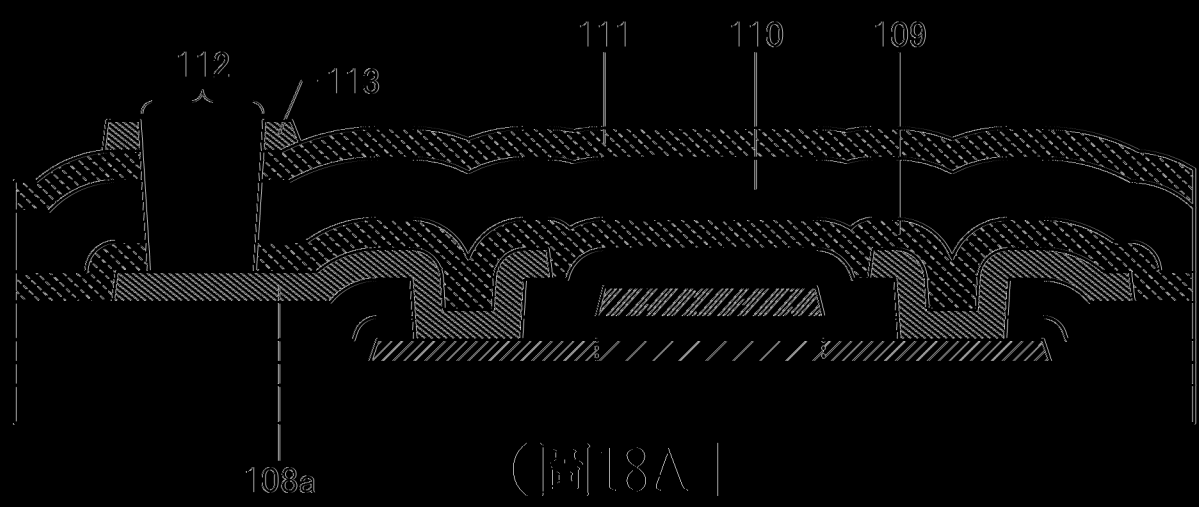
(圖17B)

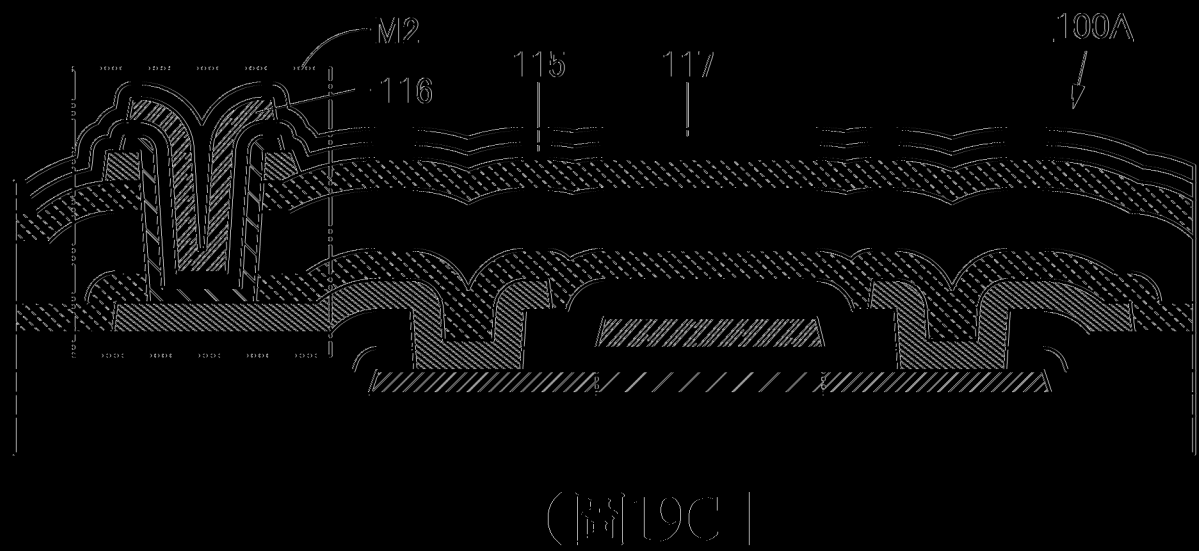
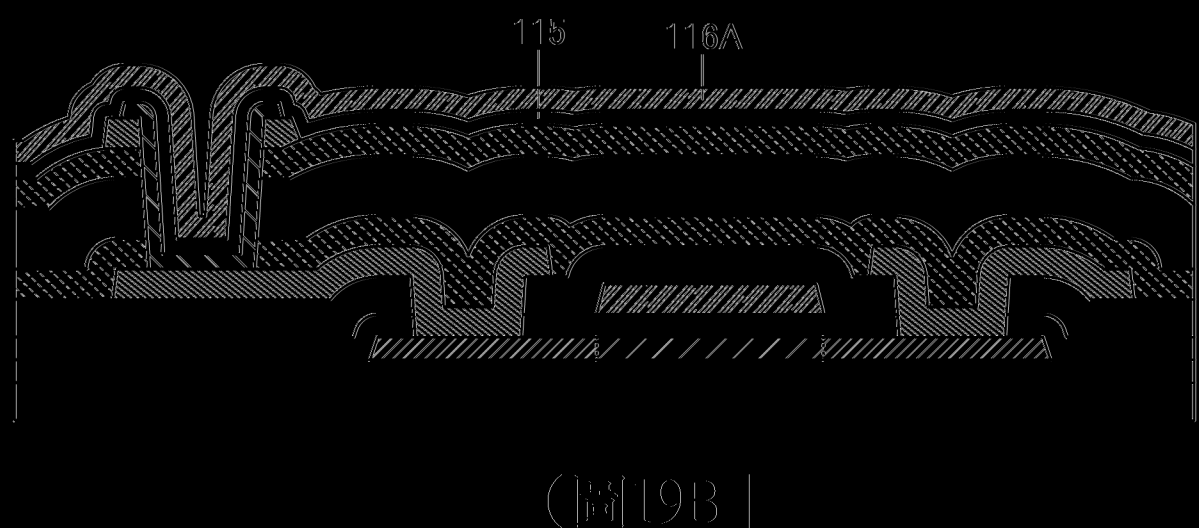
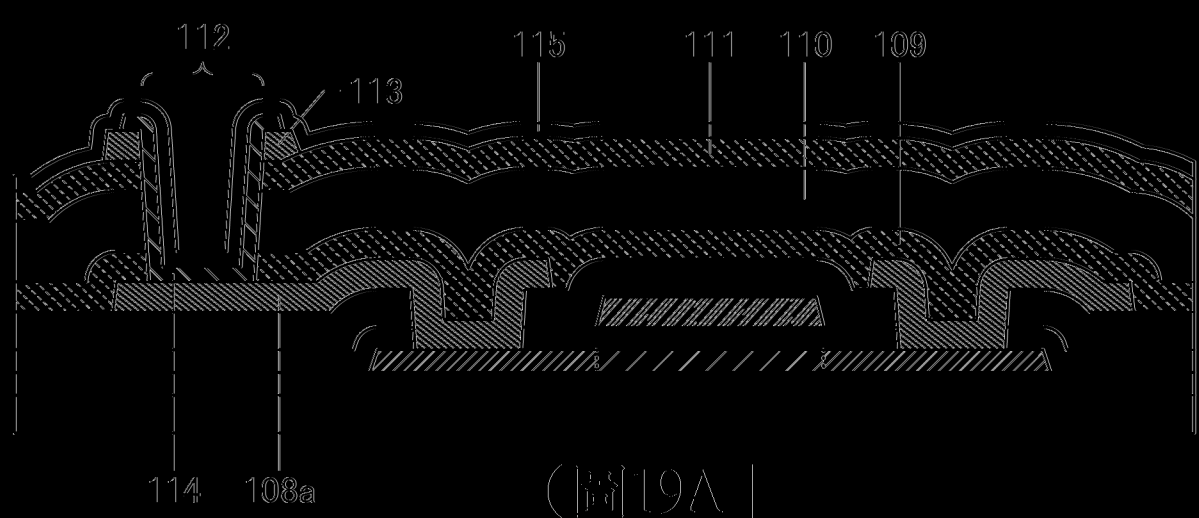


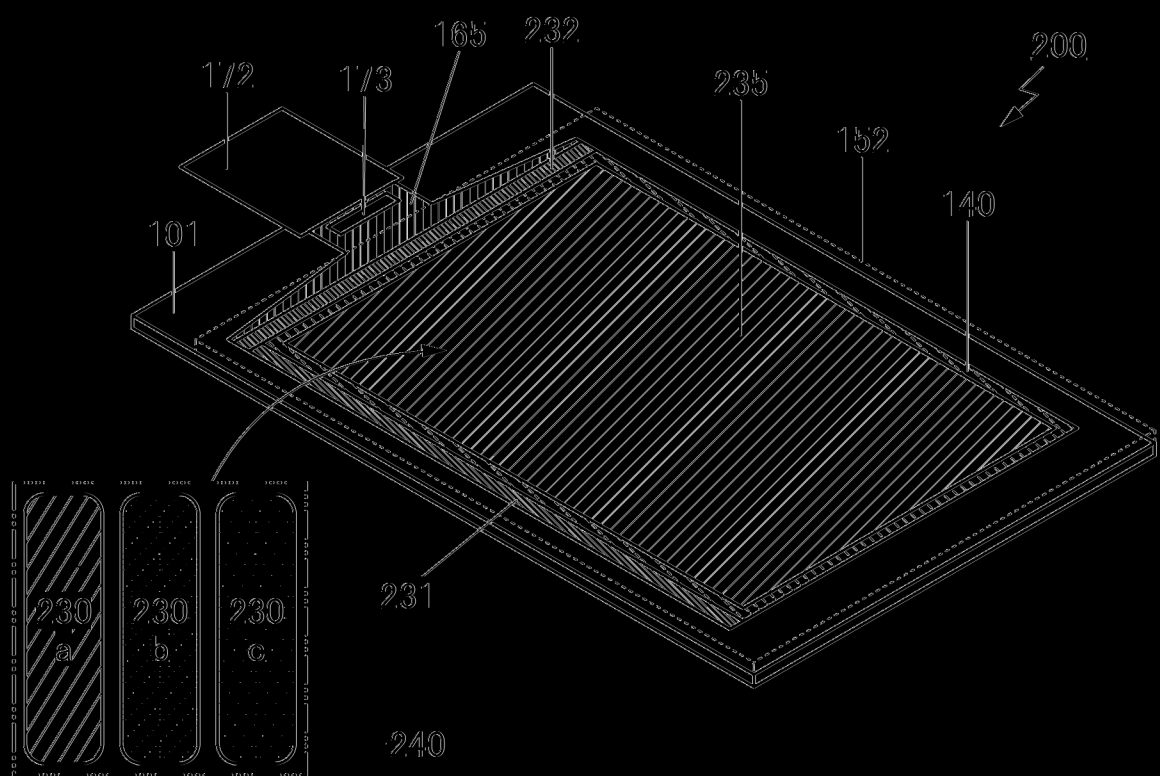
(圖17C)



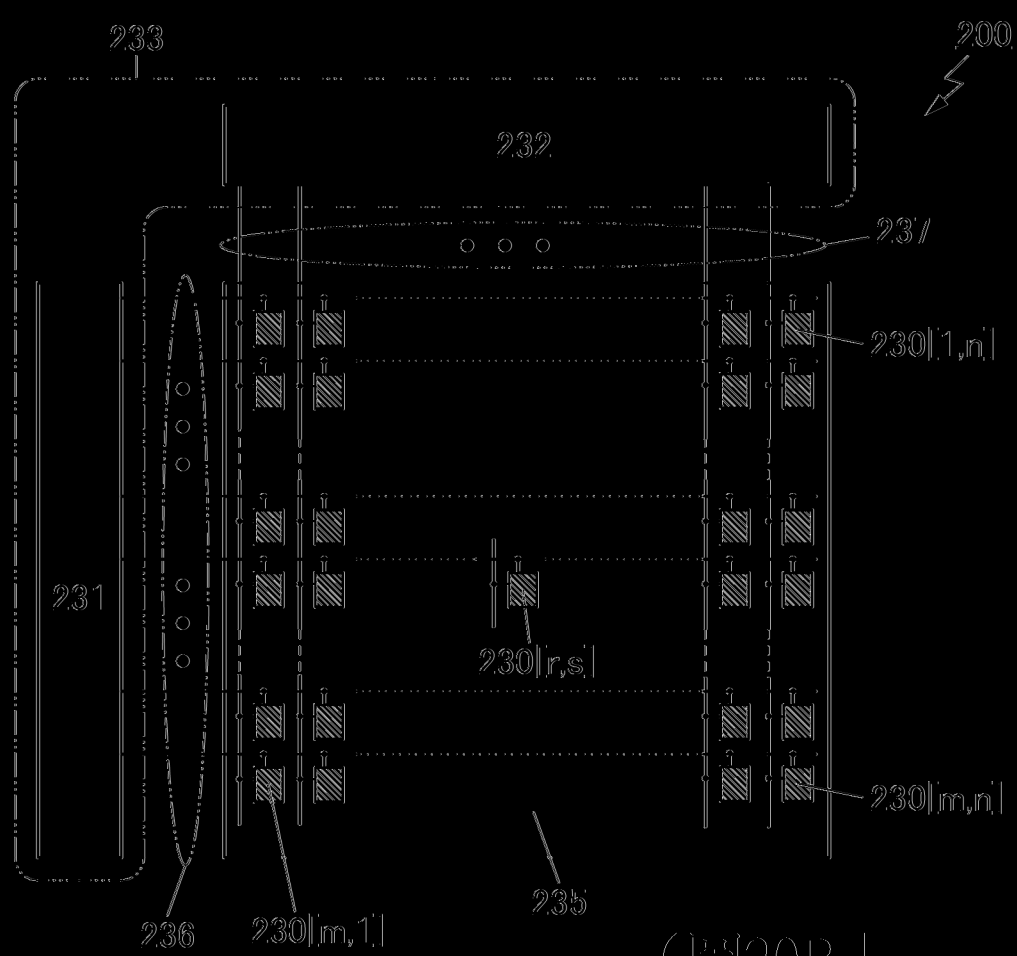
(圖17D)



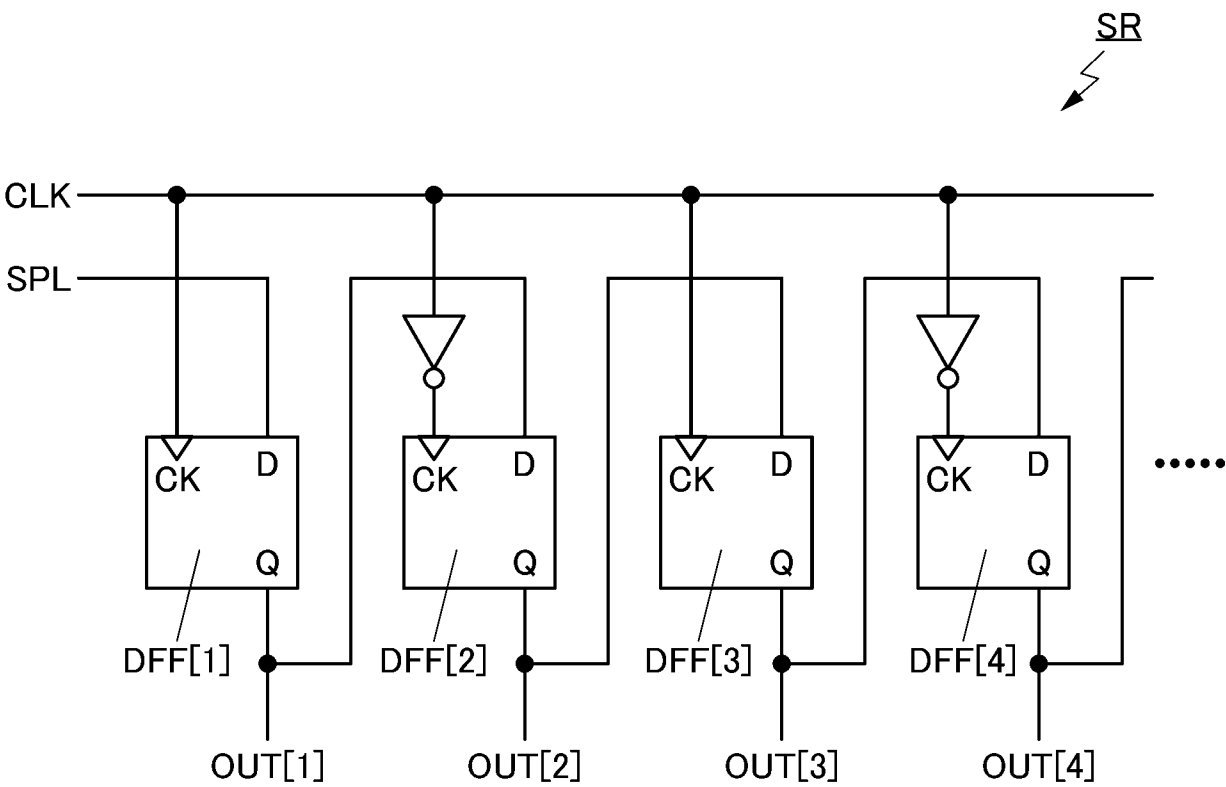




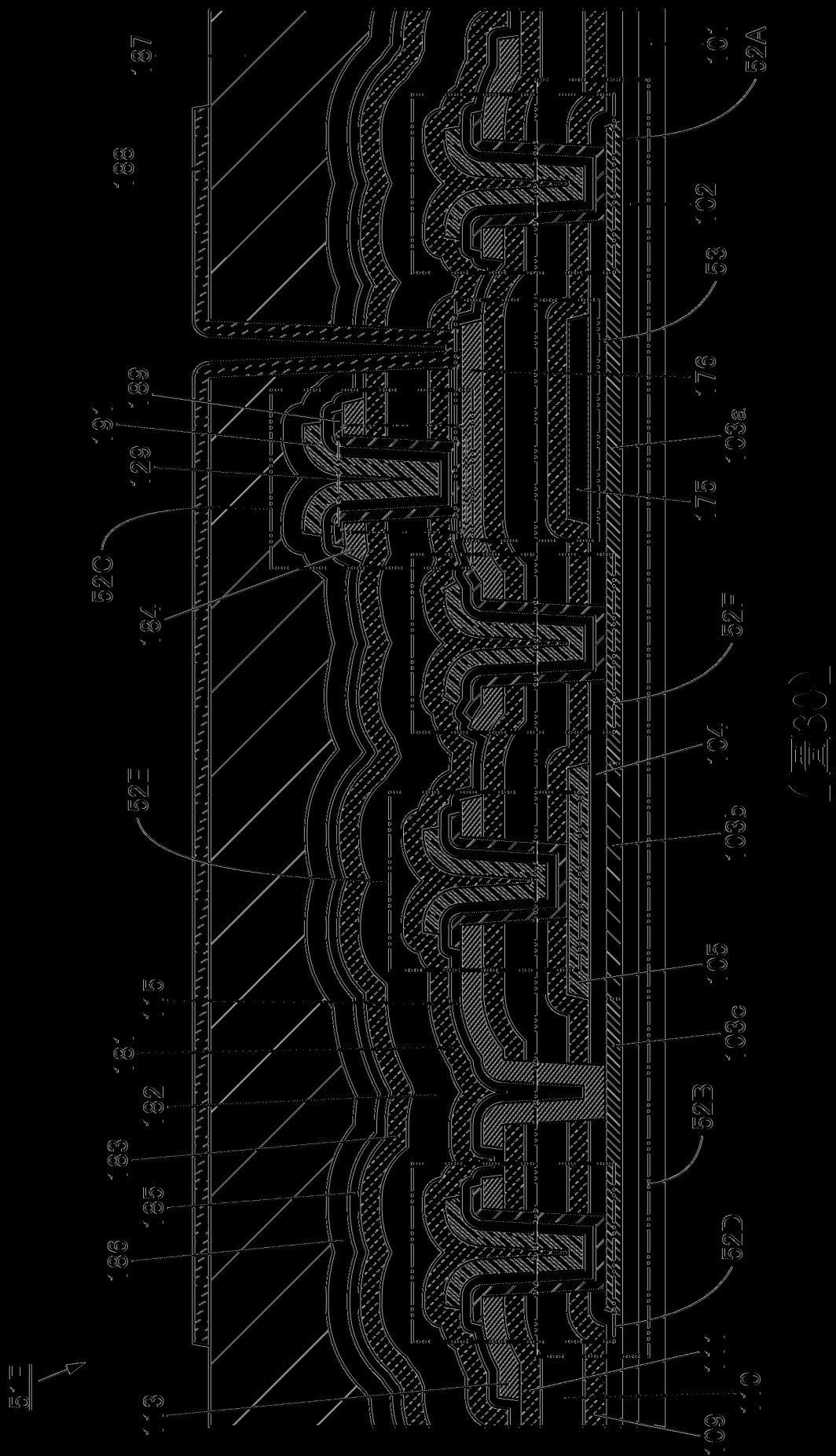
(圖|20A|)

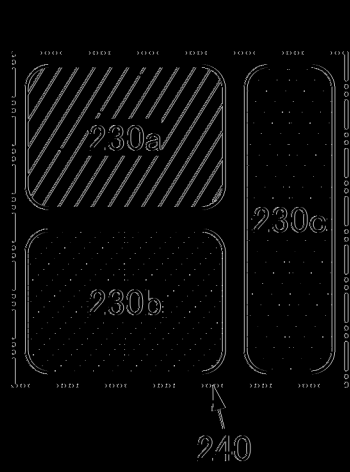


(圖|20B|)

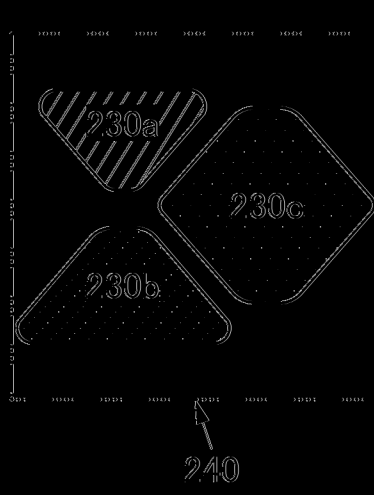


【圖23】

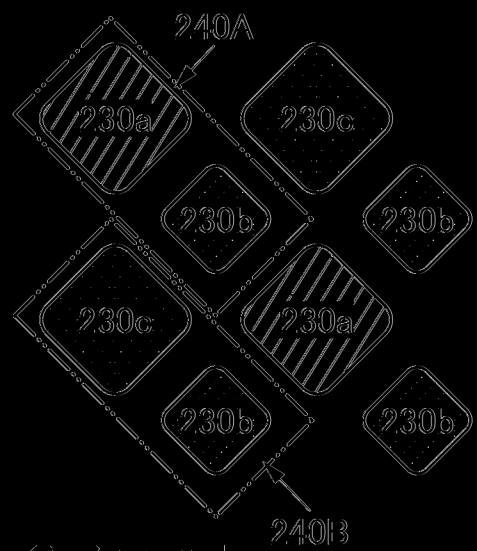




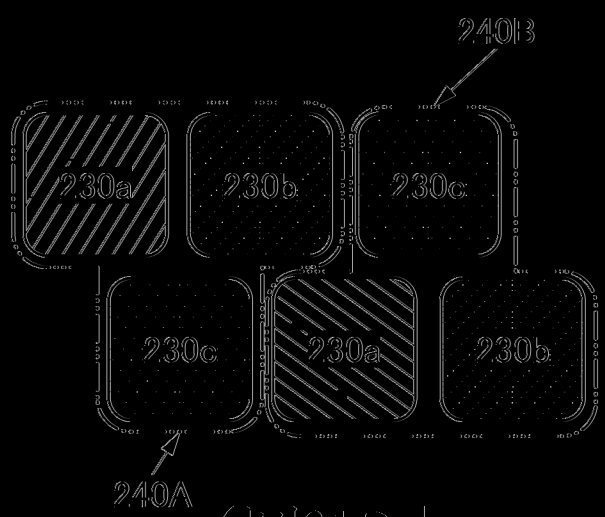
(圖31A)



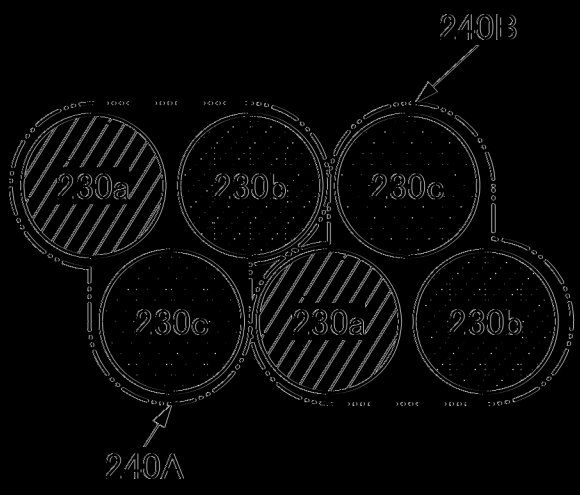
(圖31B)



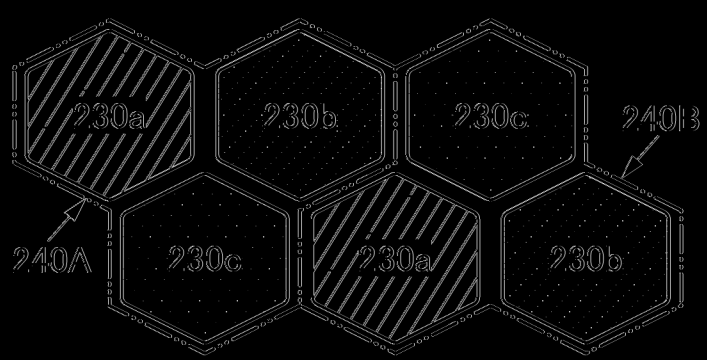
(圖31C)



(圖31D)

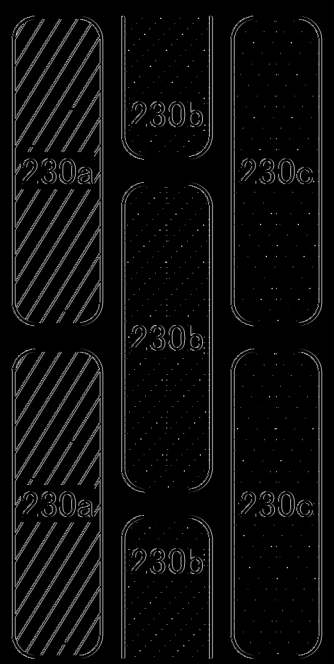


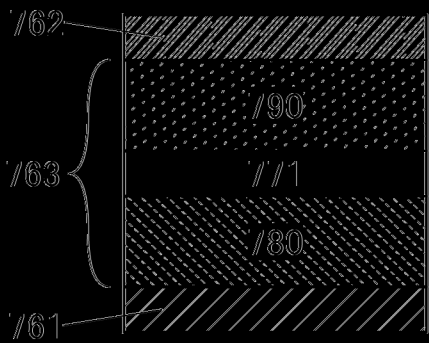
(圖31E)



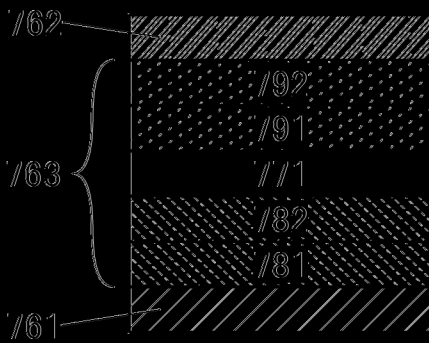
(圖31F)

(圖31G)

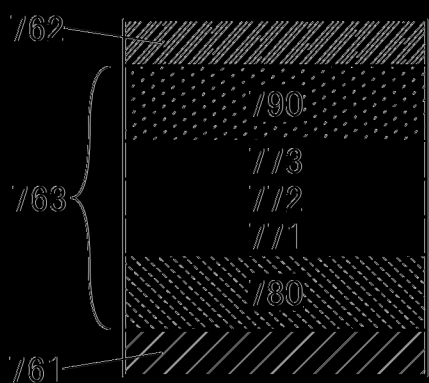




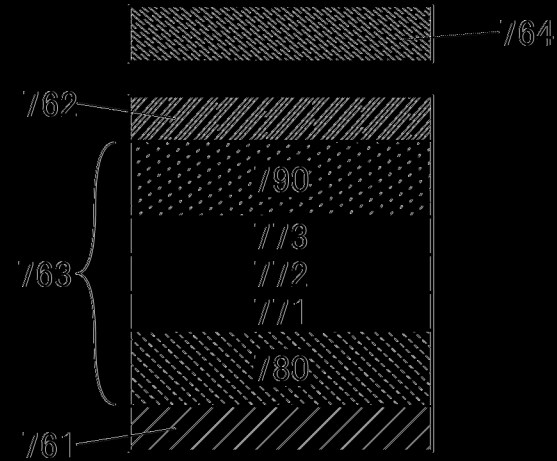
(圖33A)



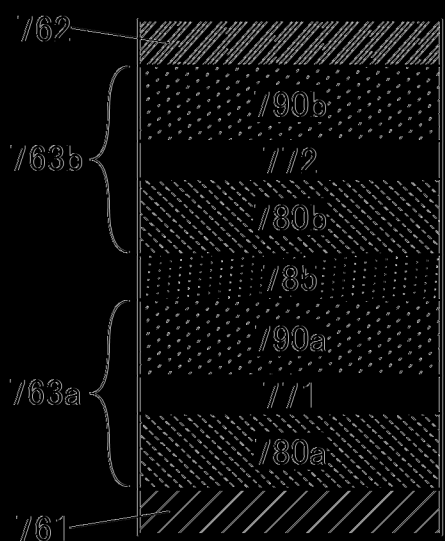
(圖33B)



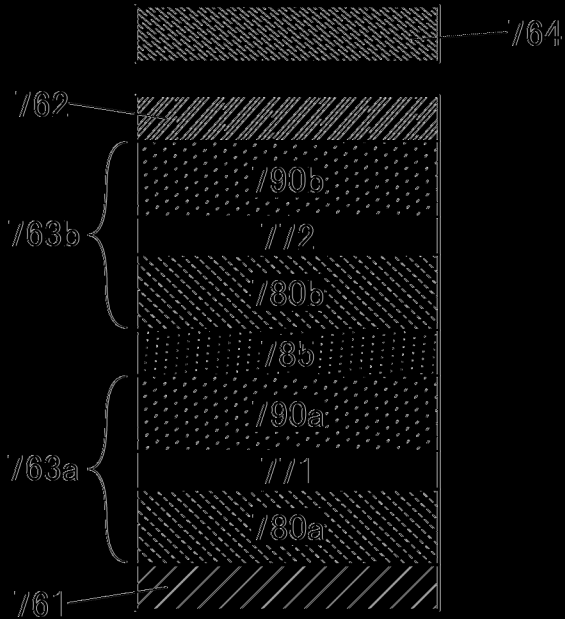
(圖33C)



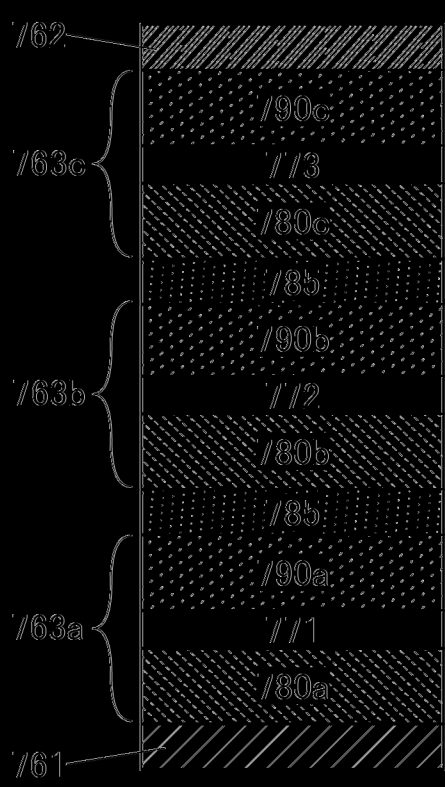
(圖33D)



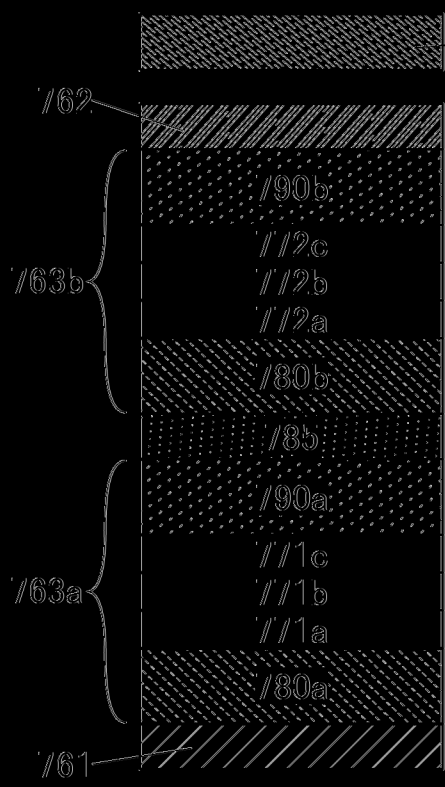
(圖33E)



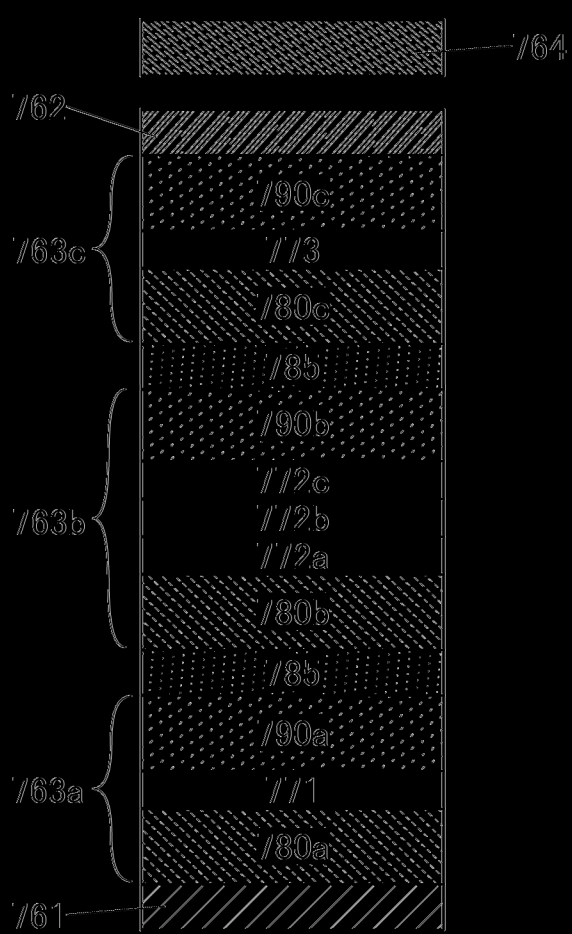
(圖33F)



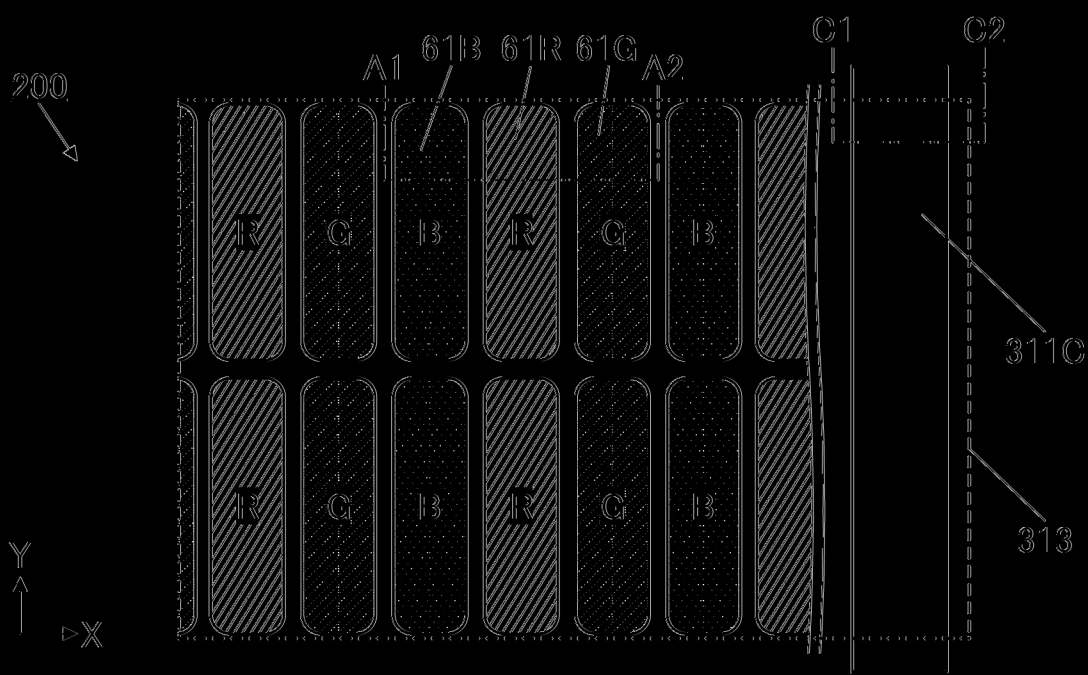
(圖34A |



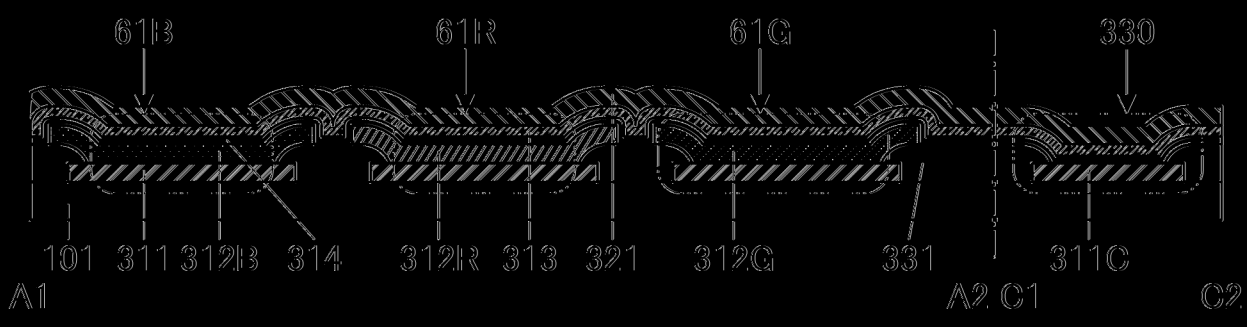
(圖34B |



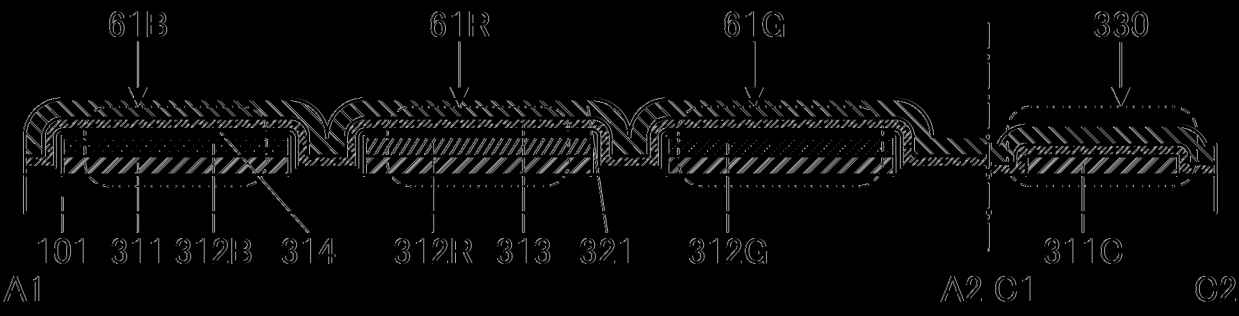
(圖34C |



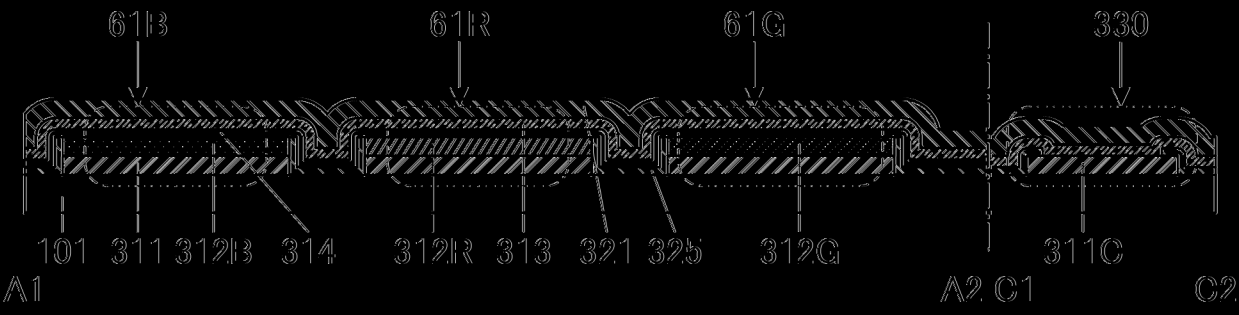
(圖35A)



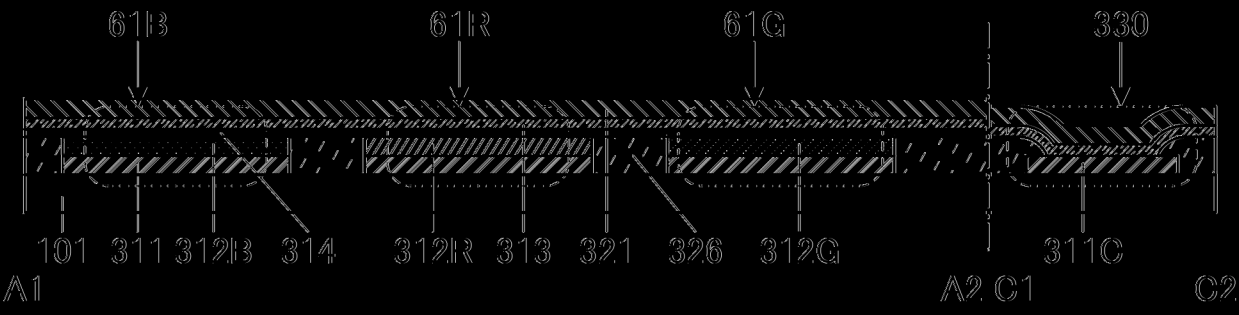
(圖35B)



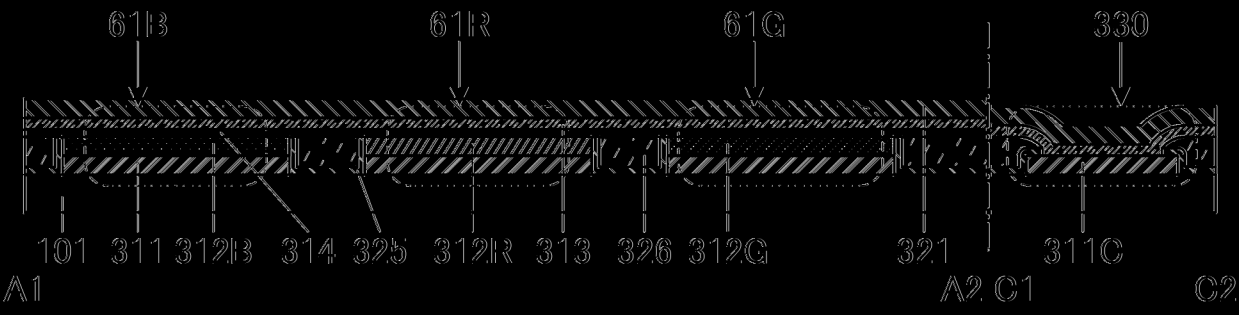
(圖36A)



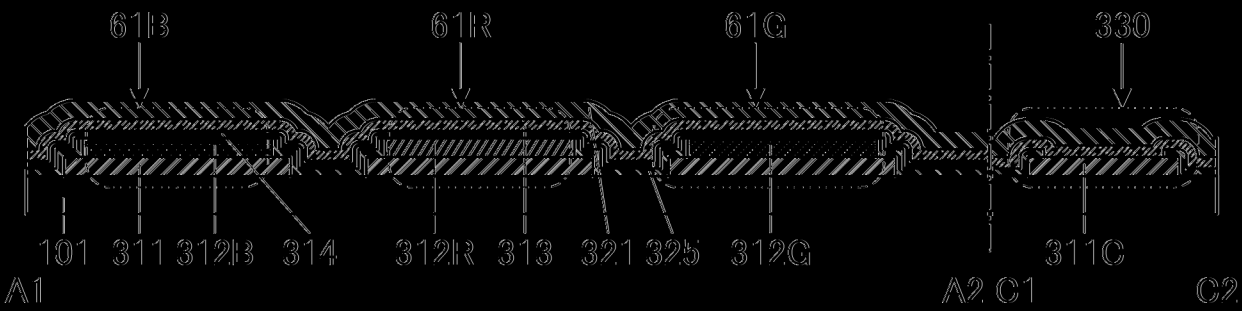
(圖36B)



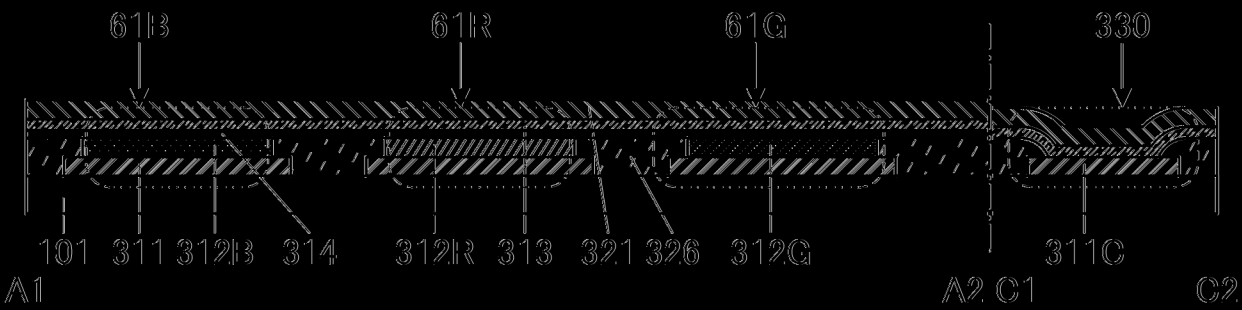
(圖36C)



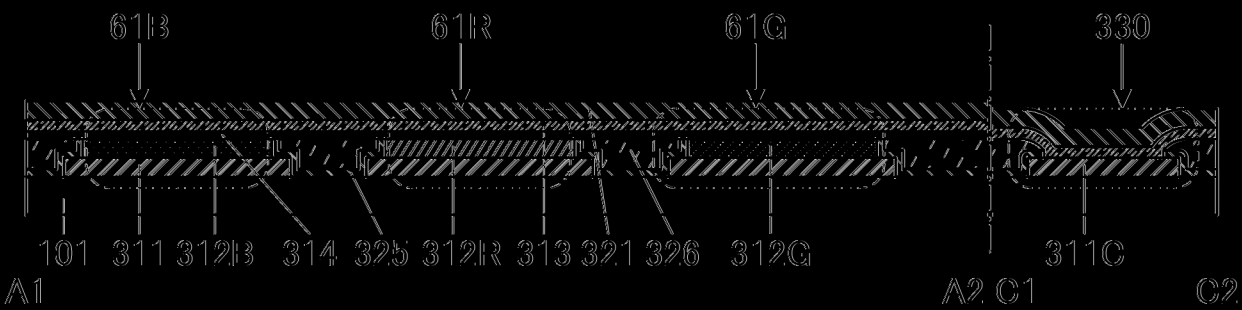
(圖36D)



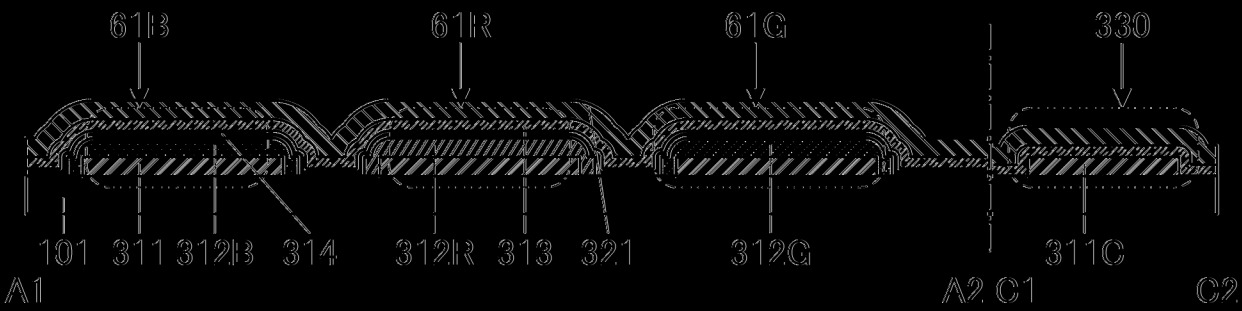
(圖37A)



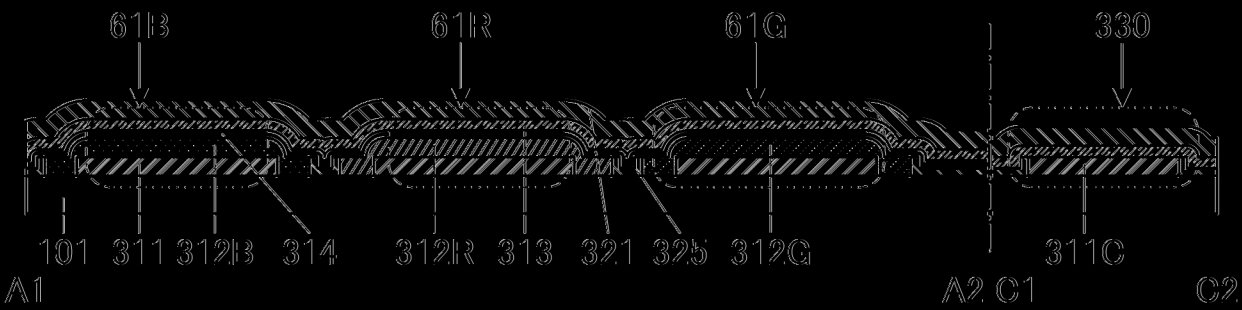
(圖37B)



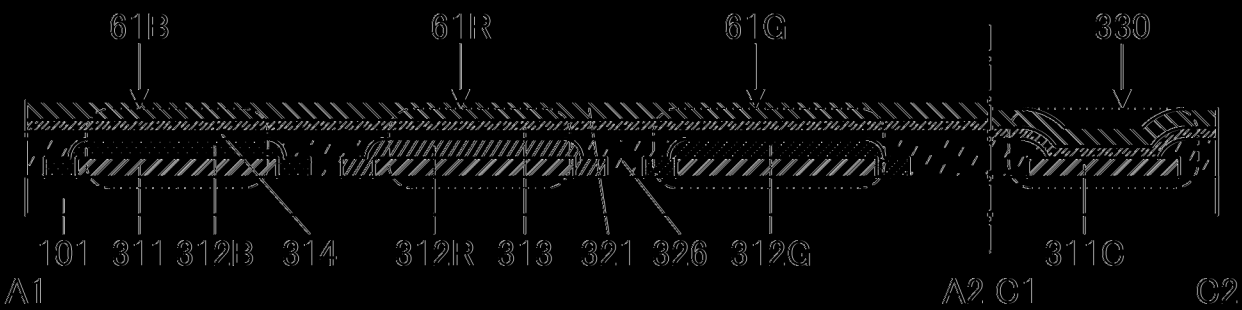
(圖37C)



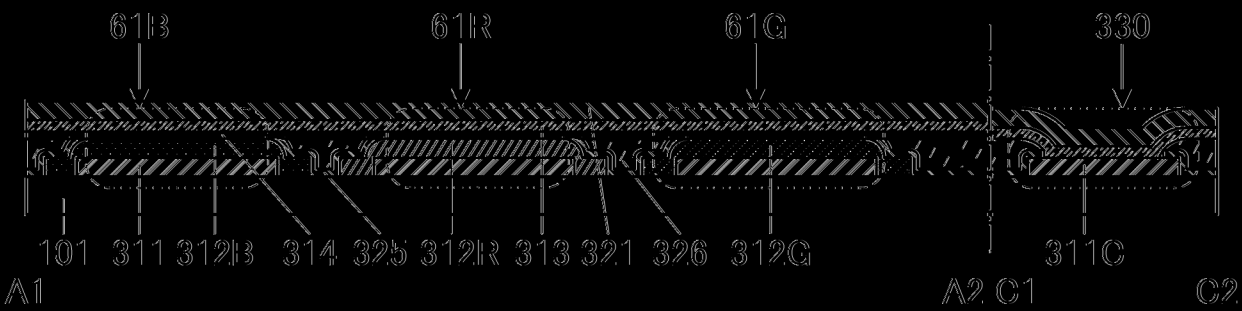
(圖38A)



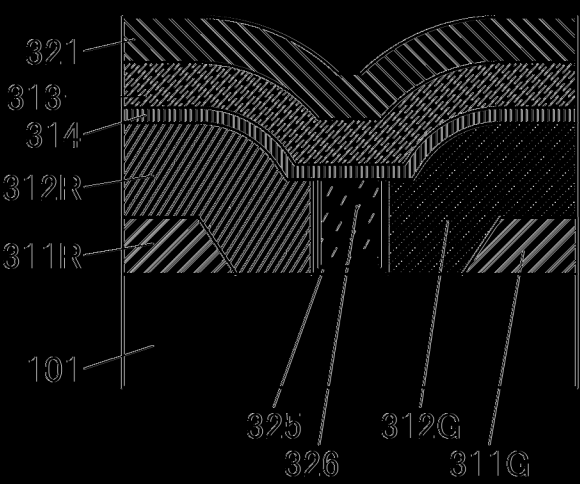
(圖38B)



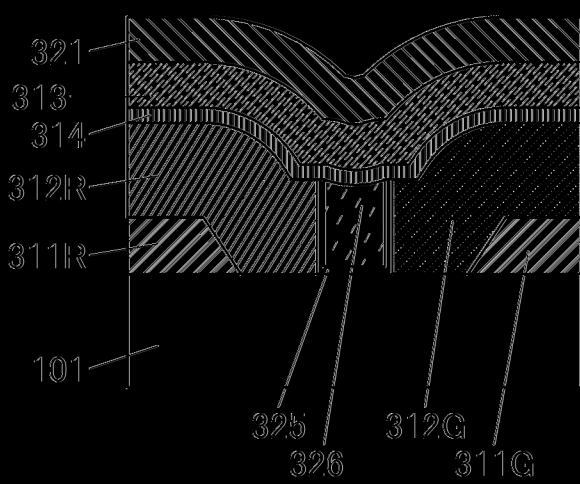
(圖38C)



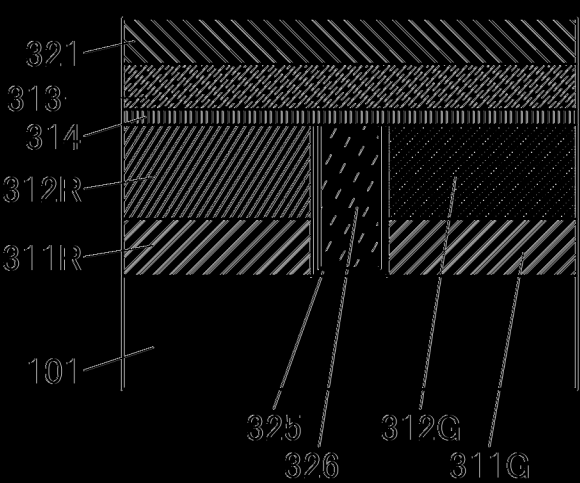
(圖38D)



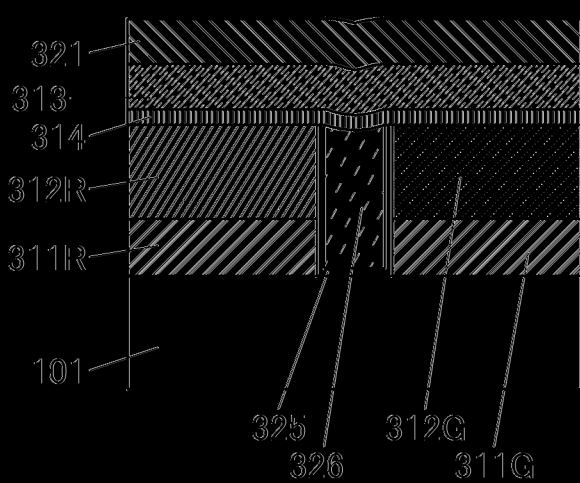
(圖39A)



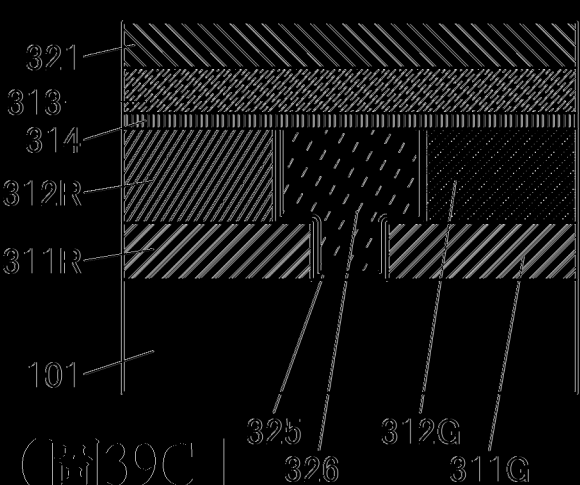
(圖39D)



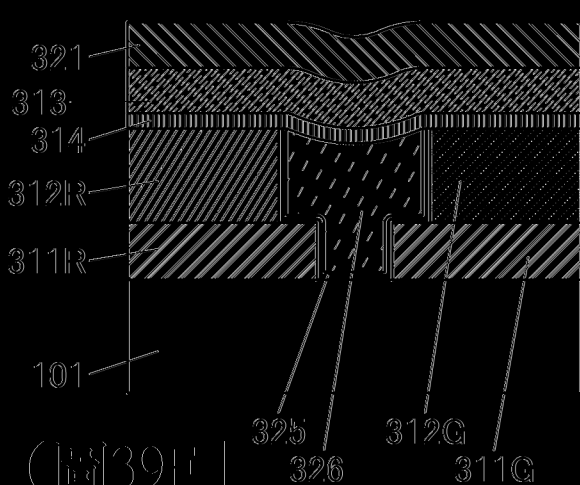
(圖39B)



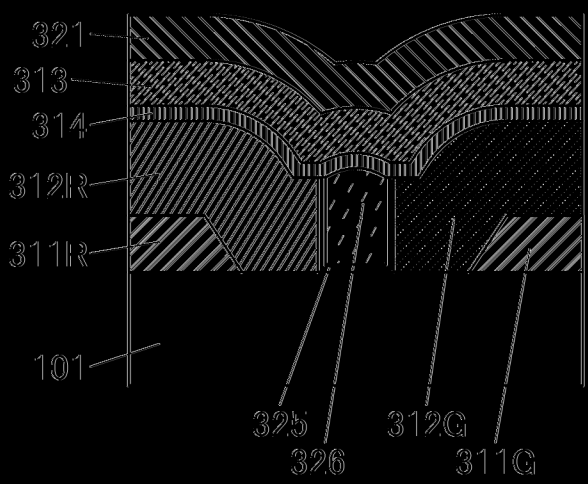
(圖39E)



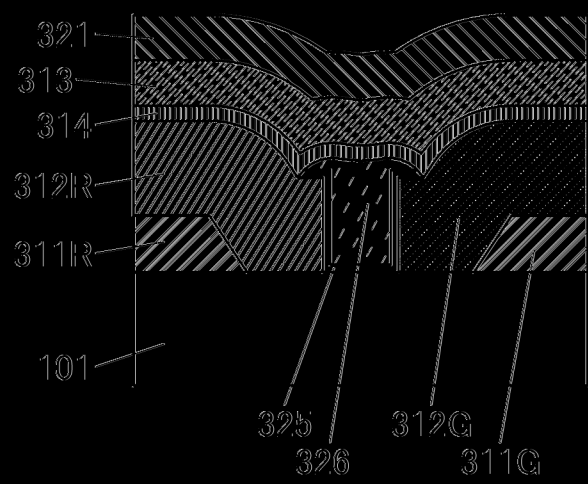
(圖39C)



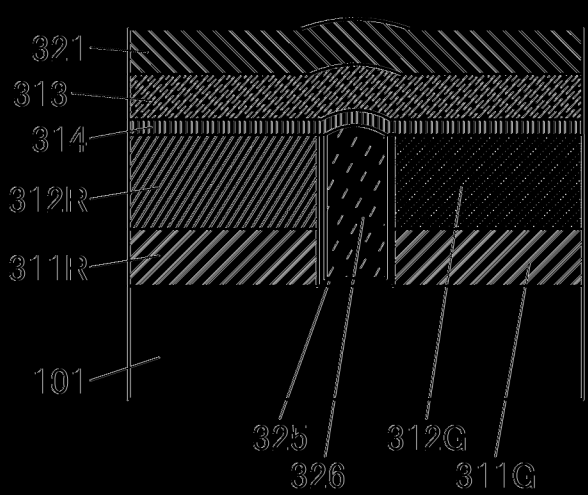
(圖39F)



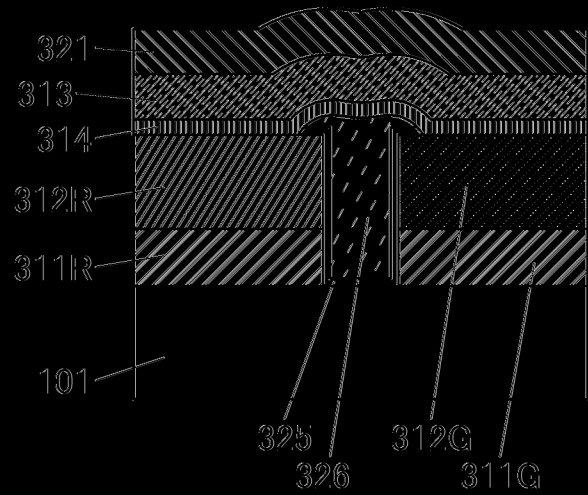
(圖40A)



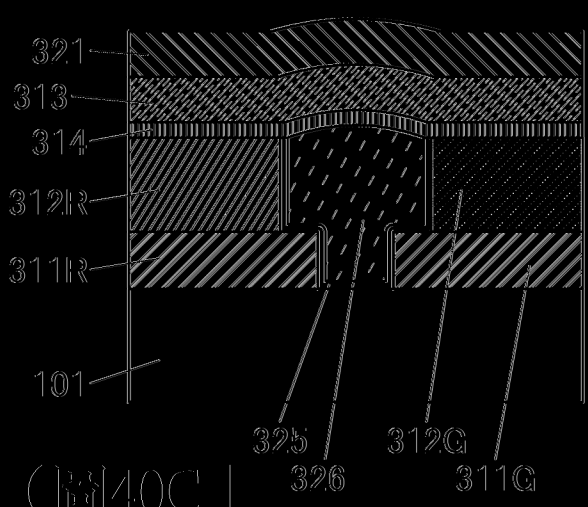
(圖40D)



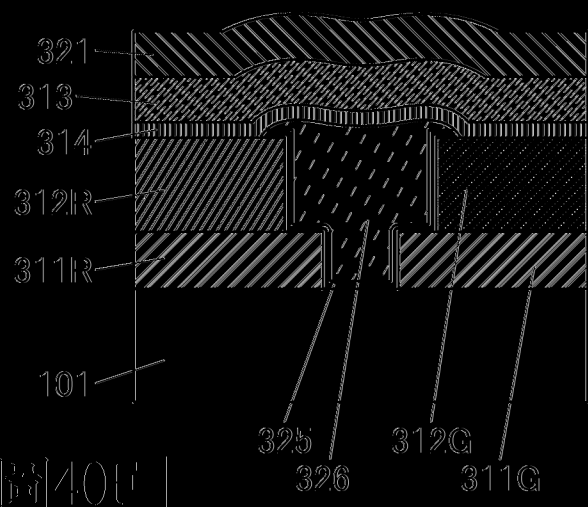
(圖40B)



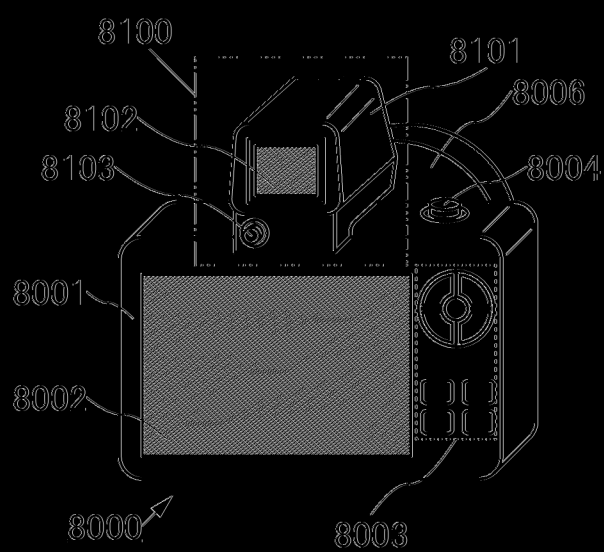
(圖40E)



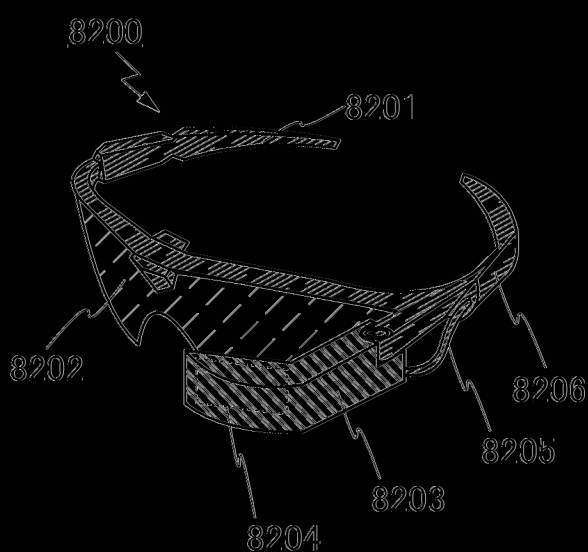
(圖40C)



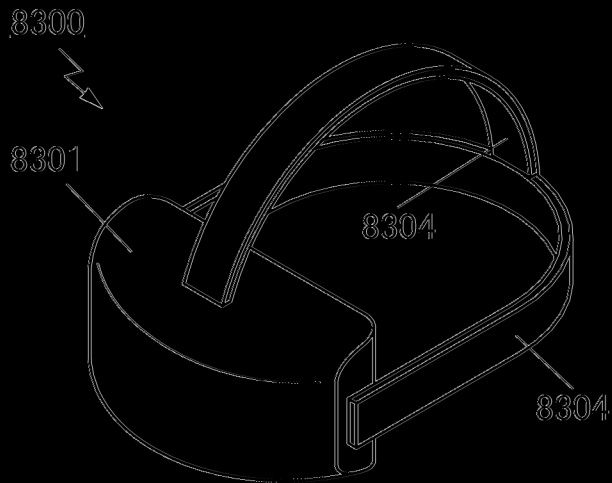
(圖40F)



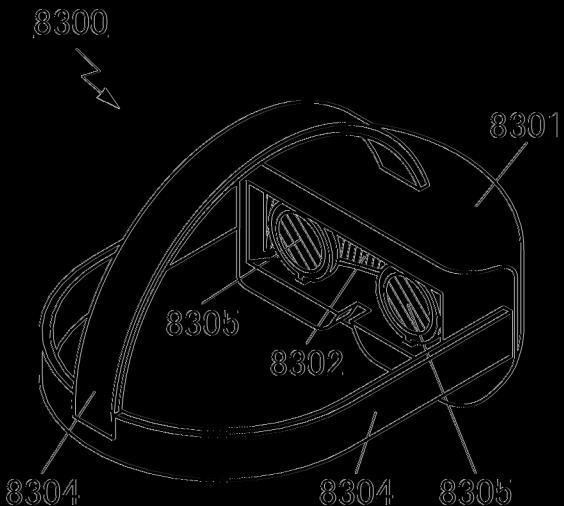
(圖41A)



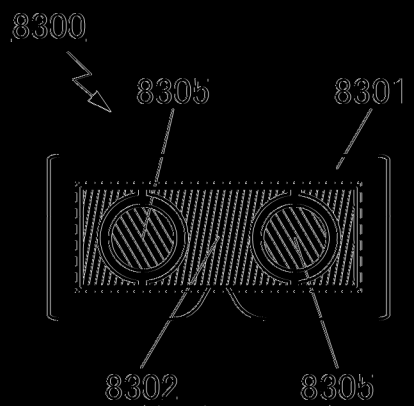
(圖41B)



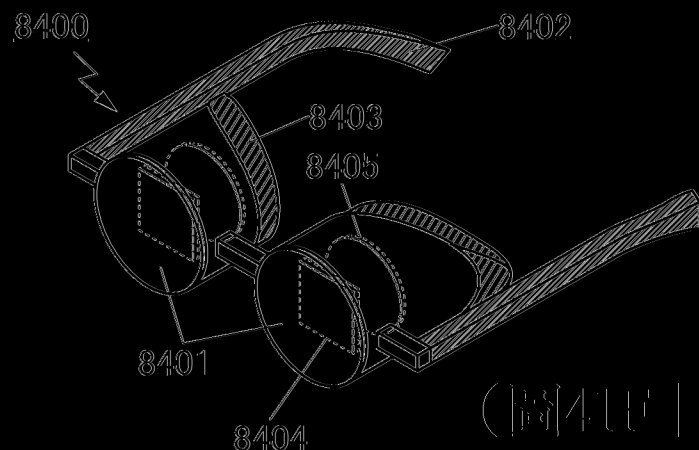
(圖41C)



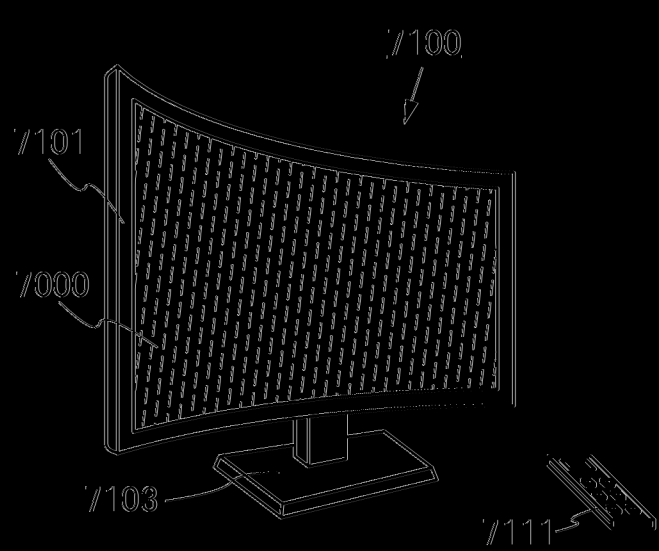
(圖41D)



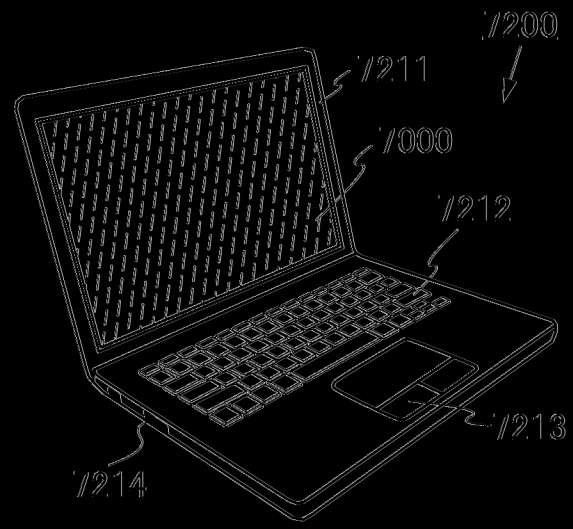
(圖41E)



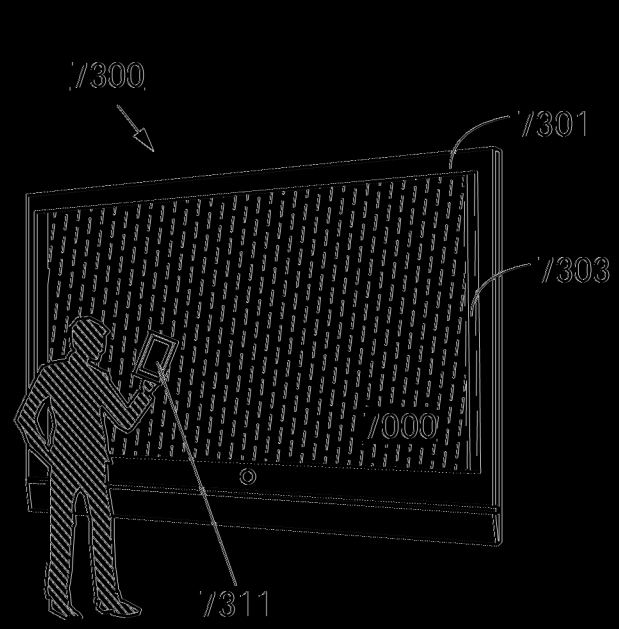
(圖41F)



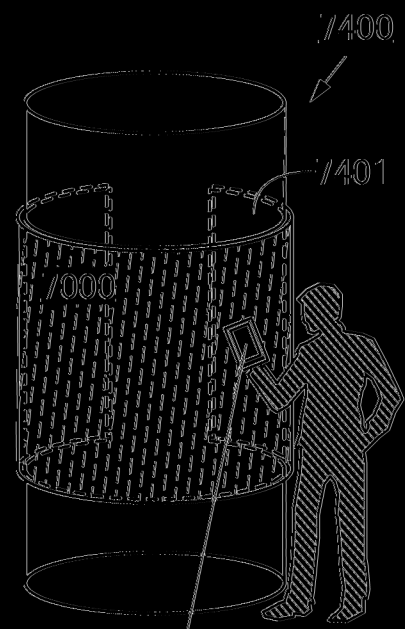
(圖42A)



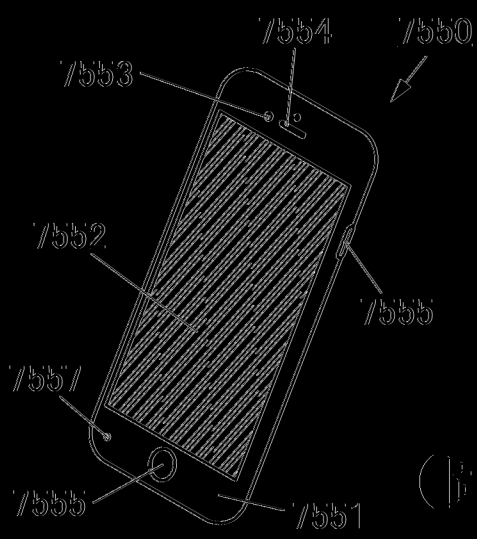
(圖42B)



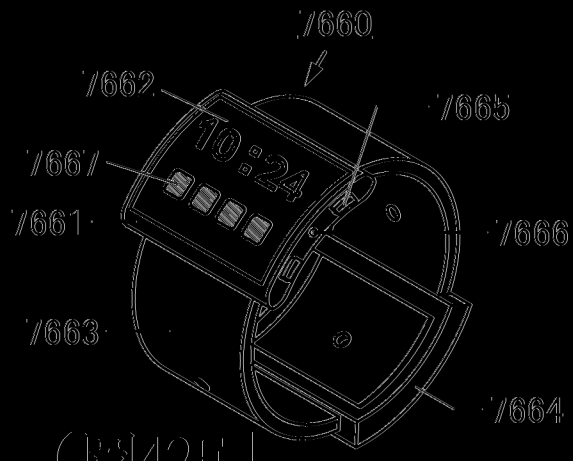
(圖42C)



(圖42D)



(圖42E)



(圖42F)