

公告本

申請日期	87. 7. 7
案 號	87110935
類 別	G11C 16/02

A4
C4

422986

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有 EEPROM 之記憶胞之半導體記憶體
	英 文	
二、發明 創作人	姓 名	廉軫善
	國 籍	大韓民國
	住、居所	大韓民國京畿道水原市勸善區勸善洞新東亞 Apt502-1102
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

裝

訂

線

422986

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權
大韓民國 1997/07/29 97-35820

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (|)

本發明是有關於一種記憶體，且特別是有關於一種具有電氣可抹除與可編程唯讀記憶體(Electrically Erasable and Programmable Read-Only-Memory，簡稱 EEPROM)記憶胞之記憶體。

對於能夠以電氣抹除與編程且不用更新(refresh)資料，而具有持續儲存功能的記憶體的需求日益殷切。另外，記憶體產品的儲存容量以及積體化密度日漸提昇亦是目前的趨勢。NAND 型式的快閃記憶體(flash memory)是記憶體的一種，同時也是一種非揮發性(nonvolatile)半導體記憶體，具有高容量及高密度且不需更新(refresh)的特性。

請參照第 1 圖，其所繪示為一種 NAND 型式快閃記憶體之記憶胞陣列及頁緩衝器，基本上具有胞陣列(cell array)10、列解碼器 20、頁緩衝器組 30、及 Y 通閘電路 40。胞陣列 10 由複數個以行方向排列的記憶串(string)12("string"是對應於資料的一個位元的胞單元)所構成。每一記憶串是由閘極耦接至串選擇線 SSL 之串選擇電晶體 SST_m($m=1, 2, \dots$, 或 I)、閘極耦接至地選擇線 GSL 之地選擇電晶體 GST_m($m=1, 2, \dots$, 或 I)、以及以串連方式連接在串選擇電晶體與地選擇電晶體之間的記憶胞 MC_j 所構成，記憶胞的控制閘分別耦接至字元線(word line)WL_j。串選擇電晶體的汲極是連接至對應之位元線(bit line)BL_m，而地選擇電晶體的源極則連接至共同源極線(common source line)CSL。列解碼器 20 的輸出連接至 SSL、CSL、及字元線 WL₀~WL_m，用以選擇其中一條字元線。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(二)

頁緩衝器組 30 由對應於位元線 BL_i 的頁緩衝器 30_m 所組成。每一個頁緩衝器可感測由選擇到的記憶胞輸出的資料，然後在讀取週期將此資料經由 Y 通閘電路 40 傳送至資料輸出緩衝器，以及在寫入週期，存入由資料輸入緩衝器經由 Y 通閘電路 40 所提供之待燒錄資料。下面將以對應位元線 BL₀ 的頁緩衝器 30₀ 說明讀取與寫入動作，對應於其他位元線 BL₁~BL_i 的其他頁緩衝器 30₁ ~ 30_i，亦具有與 30₀ 具有同樣的結構與功能。

頁緩衝器 30₀ 具有 PMOS 電晶體 M2、六個 NMOS 電晶體 M1 與 M3~M7、由反相器 IV1 與 IV2 構成的閘鎖器 50、以及三態反相器 IV3。閘極耦接至信號 BLSHF 的 NMOS 電晶體 M1 是連接在節點 N1 與位元線 BL₀ 之間，可用以調節在位元線 BL₀ 作用時所引起的電位，並且當高電壓作用在位元線 BL₀ 時，可避免高電壓影響到頁緩衝器 30₀。PMOS 電晶體 M2 的閘極與源極分別連接至電源 V_{cc} 及信號 CURMIR，其汲極則連接至節點 N1(M1 的汲極)。PMOS 電晶體 M2 可依據信號 CURMIR 提供穩定的電流至 BL₀。NMOS 電晶體 M3 連接在節點 N1 及地 V_{ss} 之間，其源極與閘極分別連接至地 V_{ss} 及信號 DCB，可用以將 BL₀ 的電壓予以放電且將頁緩衝器重置至地電位。NMOS 電晶體 M4 連接在閘鎖器 50 的節點 N2 及節點 N1 之間，其閘極耦接至信號 SBL，M1 的汲極經由三態反相器 IV3 連接至 Y 通閘電路 40，三態反相器 IV3 接受信號 Osac 及 OsacB(Osac 的互補信號) 之控制。待燒錄資料經由 NMOS 電晶體 M7 傳送至閘鎖器 50

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

的節點 N2，M7 的閘極則耦接至信號 SPB。閃鎖器 50 的節點 N3(與 N2 相對的節點)經由 NMOS 電晶體 M5 及 M6 連接至地 Vss，電晶體 M5 的閘極耦接至節點 N1，NMOS 電晶體 M6 的閘極耦接至信號 Olatch。NMOS 電晶體 M5 及 M6 可根據位元線 BL0 的電位改變儲存於閃鎖器之資料的狀態。

請參照第 2 圖，其所繪示為一個典型的燒錄週期，主要包括資料載入、燒錄、燒錄驗證、及結束幾個連續步驟。在步驟 S10 為燒錄之前，待寫入資料送至閃鎖器 50，並存入其中。因此頁緩衝器 30_0 的閃鎖器 50 被設定為地電位，而對應於抑制燒錄(program inhibited)之記憶胞的其他閃鎖器則維持在 Vcc。在閃鎖器穩定之後，在選擇到的字元線加上燒錄電壓(program voltage)(Vpgm)，而其他未選擇到的字元線則加通行電壓(pass voltage)(Vpass)。因此，耦接至選擇到的字元線及對應於電位設定為 Vss 之閃鎖器的記憶胞，電子將注入其浮接閘極(floating gate)，使該記憶胞的臨限電位(threshold voltage)增加，如此即是對該記憶胞進行燒錄。另一方面，對應於閃鎖器設定為 Vcc 之記憶胞，電子無法注入其中，且未選擇到的記憶胞的臨限電位亦不變化[S20]。在燒錄所有的記憶胞後，開始由燒錄過的記憶胞取出資料，進行[S30]的燒錄驗證的動作。假若對應於選擇到的記憶胞的燒錄已經成功地完成，則對應於閃鎖器 50 的狀態可以由 Vss 變為 Vcc。然而，假如在驗證週期之後，其中只要有頁緩衝器仍持有被視為 Vss 的資料，則重覆前面的步驟[S10]、[S20]、及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (4)

[S30]，直到對應於未改變的頁緩衝器的記憶胞被完整地燒錄[S40]。

請參照第 3 圖與第 4 圖以及前面之圖式，以下針對燒錄驗證做較詳細的說明。假設選到字元線 WL1，資料"0"被載入對應 BL0 及 BL1 的頁緩衝器 30_0 及 30_1 的閘鎖器 50，且耦接至 WL1 及 BL0 的記憶胞 MC1 已在步驟 S20 被燒錄至約 1V 的臨限電位，而耦接至 WL1 及 BL1 的其他記憶胞 MC1 在步驟 S20 之後具有約 0.3V 的臨限電位，此時選到的字元線 WL1 及共同源極線 CSL 維持在 0V，而串選擇線 SSL、地選擇線 GSL、及未選擇到的字元線 WL0 與 WL2~WL15 為保持在 Vcc 或高於 Vcc 的電位，如第 3 圖所示。結果，信號 BLSHF 的電位達到一預定之電位，例如約 2.2V，而信號 SBL 及 DCB 為 0V。信號 CURMIR 下降至一預定之電位。在此種控制信號的偏壓條件下，具有約 0.7V 的臨限電壓的 BL0 被 NMOS 電晶體 M1 提昇至約 1.5V，而 BL1 被下拉至 0V，因為其對應之記憶胞未被完全燒錄而被當成關閉胞(off-cell)。因此，頁緩衝器 30_0 的節點 N1 及頁緩衝器 30_1 的節點 N1' 的電位分別變成 Vcc 及 Vss。

此後，當信號 Olatch 由 0V 變成 Vcc，使 NMOS 電晶體 M6 及 M14 導通，而使頁緩衝器 30_0 之輸出 set1 由 Vss 變成 Vcc。此時，因為節點 N1' 為 Vss，使閘極耦接至節點 N1' 的 NMOS 電晶體 M13 關閉，故頁緩衝器 30_1 的輸出 set2 仍保持在 Vss。因此，因為 BL0 的電位維持在 Vcc，可以在後續之燒錄週期設定 BL0 為燒錄保護條件，使連接至 BL0

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

的記憶胞可以維持在 1V 的臨限電位，不會因為重覆燒錄而增加。並且，連接至 BL1 的欠燒錄(under-programmed)記憶胞，則被放進後續的燒錄週期，直到具有所需的臨限電位(約 1V)。

然而，在此 NAND 型快閃記憶體同時對耦接至一條字元線的所有記憶胞進行燒錄動作時，實際上，是不可能只在第一個週期即完成燒錄動作，因此無可避免的，要對這些記憶胞進行多次的燒錄。此種重覆的迴圈將使得經過記憶胞的電流被加強，而使得共同源極線 CSL 的電位逐次增加。此種 CSL 上電位的增加稱為 CSL 雜訊，可能干擾驗證的功能，使得臨限電位低於所需之 1V 欠燒錄(under-programmed)記憶胞被當成燒錄完成的記憶胞。例如，假設因多次的驗證週期的胞電流使 CSL 的電位已增加至約 0.7V，而一個選擇到的記憶胞 MC0 目前具有的實際臨限電位約為 0.3V，而在現階段的驗證步驟所偵測到的記憶胞 MC0 的臨限電位被當成是 0.7V，因此對應於此記憶胞的頁緩衝器的問鎖器的輸出被強制由 Vss 改變為 Vcc。結果，因為此一錯誤功能，而把此欠燒錄胞當成燒錄完成的記憶胞，亦即，一個關閉胞(off-cell)，並可能因而造成資料儲存至此記憶裝置的錯誤。如第 4 圖所示，部份記憶胞的臨限電位分佈於比判斷記憶胞是否為關閉胞的條件較低的區域。

因此本發明的主要目的就是在提供一種半導體記憶體具有有效燒錄動作的能力。

422986

五、發明說明(6)

本發明之另一目的為提供一種半導體記憶體具有加強的燒錄驗證功能可靠度。

本發明之另一目的為提供一種半導體記憶體具有可靠的結構以提供有效的燒錄與燒錄驗證動作。

為達成本發明之上述和其他目的，本發明提出一種半導體記憶體，包括被電性燒錄的複數個記憶胞，並且耦接至複數個字元線及位元線；一第一門鎖電路，用以在一燒錄動作中保持一資料，該燒錄動作包括一驗證步驟；以及一第二門鎖電路，用以在一燒錄的記憶胞的驗證中，根據保持在該第一門鎖電路中之該資料產生一結果。

在燒錄驗證步驟中，因為驗證電流會累積，所以不要燒錄的記憶胞(抑制胞)會被偵測成欠燒錄記憶胞。縱使會把抑制胞感測成不充分燒錄胞或是充分燒錄胞，經由第一及第二門鎖電路可以將此類的干擾消除，因為在燒錄動作當中，根據儲存在第一門鎖電路中之資料，第二門鎖電路不再將抑制燒錄胞當成一個可燒錄胞。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

圖式之簡單說明：

第 1 圖是習知 NAND 型式快閃記憶體之記憶胞陣列及頁緩衝器的電路圖；

第 2 圖是一般的燒錄動作的流程圖；

第 3 圖是第 1 圖之頁緩衝器在燒錄驗證週期之控制信

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

號之時序圖：

第 4 圖是驗證週期之後記憶胞電晶體之臨限電位之分佈曲線圖；

第 5 圖是本發明之 NAND 型式快閃記憶體之記憶胞陣列及頁緩衝器的電路圖；

第 6 圖是第 5 圖之頁緩衝器在燒錄驗證週期之控制信號之時序圖；

第 7 圖是本發明之依據本發明之驗證功能之燒錄動作的流程圖；

第 8 圖是依據第 7 圖之驗證週期之後記憶胞電晶體之臨限電位之分佈曲線圖；

圖式中標示之簡單說明：

10 記憶胞	12 記憶串
20 列解碼器	30 頁緩衝器組
40 Y 通閘電路	50 門鎖器
70 頁緩衝器組	100 頁緩衝器
110 第一門鎖電路	112 門鎖器
120 第二門鎖電路	122 反相電路

較佳實施例

以下將配合第 5 圖至第 8 圖介紹本發明之可應用之實施例。

請參照第 5 圖，其繪示依照本發明一較佳實施例的一種 NAND 型快閃記憶體之胞陣列與頁緩衝器電路之結構圖。如圖所示，此記憶體具有記憶胞陣列 10、列解碼器 20、

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

頁緩衝器組 70、及 Y 通閘電路 40。記憶胞陣列 10 由排成一個行方向的複數個記憶串 12(string)("string"為對應資料的一個位元的胞單元)所組成。每一個記憶串是由閘極耦接至串選擇線 SSL 之串選擇電晶體 SST_m($m=1,2,\dots$,或 I)、閘極耦接至地選擇線 GSL 之地選擇電晶體 GST_m($m=1,2,\dots$,或 I)、以及以串連方式連接在串選擇電晶體與地選擇電晶體之間的記憶胞 MC_j 所構成,記憶胞的控制閘分別耦接至字元線 WL_j。串選擇電晶體的汲極是連接至對應之位元線 BL_m,而地選擇電晶體的源極則連接至共同源極線 CSL。列解碼器 20 的輸出連接至 SSL、CSL、及字元線 WL₀~WL_m,用以選擇其中一條字元線。以上所述之記憶胞陣列及列解碼器之結構是與第 1 圖所繪示相同的。

頁緩衝器組 70 由對應於記憶胞陣列 10 之位元線 BL_i 的複數個頁緩衝器 100 所組成。每一個頁緩衝器具有 NMOS 電晶體 M17 與 M27、PMOS 電晶體 M18、以及第一與第二門鎖電路 110 與 120。電晶體 M17、M18、及 M27 與第 1 圖之設計特徵是類似的。亦即,閘極耦接至信號 BLSHF 之 NMOS 電晶體 M17 是連接在節點 N4 及位元線 BL₀ 之間,用以調整 BL₀ 作用時所產生的電位,並且避免加在 BL₀ 的高電壓影響頁緩衝器 100。PMOS 電晶體 M18 之閘極與源極分別連接至電源 V_{cc} 及信號 CURMIR,其汲極則連接在節點 N4(M17 之汲極)。PMOS 電晶體 M18 可根據信號 CURMIR 提供定電流至 BL₀。閘極連接至信號 DCB 之 NMOS 電晶體 M27 為連接在

五、發明說明(9)

節點 N4 與 V_{ss} 之間，用以將 BL0 的電壓放電及重置頁緩衝器至地電位。

第一門鎖電路 110 之構成元件為 NMOS 電晶體 M24 與 M25、以及由反相器 IV8 與 IV9 所組成之門鎖器 112，由外部經 Y 通閘電路 40 送來之資料可以儲存在第一門鎖電路 110，直至燒錄週期結束。NMOS 電晶體 M24 連接在門鎖器 112 之節點 N5 與 Y 通閘電路 40 之間，用以在燒錄週期中，根據信號 SPB 將經 Y 通閘電路 40 送來之待燒錄資料傳送至門鎖器 112。閘極耦接至信號 Pbset 之 NMOS 電晶體 M25 為連接在節點 N6(門鎖器 112 之節點 N5 之相對節點)與地 V_{ss} 之間，用以根據信號 Pbset 將節點 N5 充電至 V_{cc} 。反相器 IV8 之輸入與反相器 IV9 之輸出皆連接至節點 N6，節點 N6 為 NMOS 電晶體 M25 之汲極，同時反相器 IV8 之輸出及反相器 IV9 之輸入則連接至節點 N5，N5 為 NMOS 電晶體 M24 之源極。

第二門鎖電路 120 具有反相電路 122 及三態反相器 IV7，反相電路 122 由 PMOS 電晶體 M19 與 M20、以及 NMOS 電晶體 M21~M23 所組成。PMOS 電晶體 M19 之源極連接至 V_{cc} ，其閘極則經電晶體 M17 連接至對應之位元線，且 M17 接受信號 BLSHF 之控制。PMOS 電晶體 M23 之閘極耦接至門鎖器 112 之節點 N5，其源極經 NMOS 電晶體 21 及三態反相器 IV7 連接至節點 N4，三態反相器 IV7 接受信號 $Osac$ 及 $nOsac$ 之控制。閘極耦接至信號 CTL1 之 NMOS 電晶體 M21 是連接在節點 N7 及 NMOS 電晶體 M22 之汲極之間，節點 N7

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

經 PMOS 電晶體 M20 連接至 M19 之源極。PMOS 電晶體 M20 之閘極與 NMOS 電晶體 M23 之閘極一起耦接至節點 N5，M23 為連接在 NMOS 電晶體 M21 之源極與地之間，且與 NMOS 電晶體 M22 並聯。

現在，解釋關於第 5 圖之記憶體之燒錄動作，並請參考第 6 圖至第 8 圖之圖式。首先，如第 2 圖所示之步驟 S10，假設資料"0"已經鎖存在第一門鎖電路 110，其後續步驟，包括 S20 及 S30，對一個包括在第一門鎖電路 110 中之記憶胞進行燒錄週期，例如 MC0。此時，如前所述，當重覆驗證步驟 S30 而累積遞增至約 0.7V 的 CSL 雜訊，將使得欠燒錄記憶胞 MC0 之臨限電位保持在約 0.3V 時，在步驟 S40 被當成一個關閉胞。並且，如第 6 圖所示，耦接至欠燒錄胞 MC0 之位元線 BL0 之電位被提昇至約 1.5V，而節點 N4 則變為 Vcc，使第二門鎖電路 120 之 NMOS 電晶體 M22 導通，以及 PMOS 電晶體 M20 受仍儲存在第一門鎖電路 110 之資料"0"之作用而導通。此後，當信號 CTL1 上昇至 Vcc 時，因為 NMOS 電晶體 M21 與 M22 以及三態反相器 IV7 導通與作用，而使節點 N4 之電位被設定為 Vcc。

因為在隨後的燒錄週期的燒錄胞數量增多，而使 CSL 雜訊量變小，欠燒錄胞 MC0 實質上(virtually)被偵測為導通胞(on-cell)，亦即尚未燒錄完成，並且位元線 BL0 的電位降至地電位 Vss。節點 N4 的電位由 Vcc 變為地電位，這是因為儲存在第一門鎖電路 110 的資料"0"，使第二門鎖電路將節點 N4 的電位改變為地電位。因此經由重覆燒

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(1/)

錄動作，使欠燒錄胞 MC0 具有約為 1V 的適當的臨限電位，而可以完全燒錄。在燒錄週期中，第一門鎖電路 110 被強制儲存原始提供的啓始資料"0"，且在與第一門鎖電路 110 之儲存條件相互影響導通的控制下，第二門鎖電路 120 可感測寫入選擇到的記憶胞 MC0 的資料的現在狀態。

爲了適當地揭露本發明之一般化及具體化之動作，第 7 圖所示爲配合此門鎖電路之燒錄動作之流程圖。請參照第 7 圖，在步驟 S100，將待燒錄至選擇到的記憶胞的資料載入對應於被選擇到的記憶胞的頁緩衝器 100 的第一門鎖電路 110。以步驟 S100'所顯示的爲一實例，每個第一門鎖電路 110 保存由外部送來的資料，如圖中的例子，四個資料分別爲"0"、"0"、"1"、及"0"，其中對應於第一門鎖電路內存有資料"0"的記憶胞將會被燒錄，而對應於存有資料"1"的第一門鎖電路的記憶胞則不會被燒錄。在步驟 S110 及 S120 的燒錄及驗證之後，假設對應於選擇到要進行燒錄的記憶胞的頁緩衝器的第二門鎖電路 120 所處的儲存條件如步驟 S120'所示，其中，由左開始，第一個爲不充分燒錄(insufficiently programmed，標示爲 IP)，第二個爲充分燒錄(sufficiently Programmed，標示爲 SP)，第四個爲尚未燒錄(not yet programmed，標示爲 YP)，並且，請注意，雖然第三個不是要被燒錄，仍被當成不充分燒錄。請參照第 6 圖，在這同時必須注意到，爲了進行 S120 的驗證步驟，串選擇線 SSL、地選擇線 GSL、及未選擇到的字元線，例如 WL0 及 WL2~WL15，保持在 Vcc 或較 Vcc

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

高的電位，而選擇到的字元線 WL1 則維持在 0V，信號 BLSHF 維持在約 2.2V，信號 CTL1(如第 6 圖所示，在時間 t1 變為 Vcc)、SPB、及 DCB 全部設為 0V，而信號 CURMIR 則為一預定電位，足以使 PMOS 電晶體 M18 導通。在上述控制信號之偏壓條件下，位元線 BL0 耦接至一個記憶胞，例如被選擇到但不被燒錄的 MC1，會被拉昇至約 1.5V，並且節點 N4 在時間 t1 變為 Vcc。一旦信號 CTL1 上昇至 Vcc，以及信號 Osac 與 nOsac 分別被致能為 Vcc 及 0V，將使閘極耦接到第一門鎖電路 110 的節點 N5 的 PMOS 電晶體 M20、閘極耦接至節點 N4 的 NMOS 電晶體 M22、以及 NMOS 電晶體 M21 全部導通，且由電位分別為 Vcc 及 0V 的信號 Osac 及 nOsac 控制三態反相器 IV7 將節點 N4 的電位設定為 Vcc。經由對應於欠燒錄胞的頁緩衝器的這些動作，欠燒錄胞會在步驟 S130 被偵測為不充分燒錄胞，即使是不要燒錄的記憶胞亦會穩定在抑制燒錄的狀態。

在此之後，在 S130 之判斷步驟中，被當成不充分燒錄胞的記憶胞，即使是被設定成不燒錄的記憶胞，在後續 S140 與 S150 的燒錄及驗證步驟之後接著 S150' 的判斷步驟，可以被感測為抑制燒錄胞(或是一個抑制資料(inhibit data，簡稱 ID))，即一個導通胞(on-cell)。這是因為被設定為 Vcc 電位的節點 N4 的高電壓，將對應於被偵測錯誤而當成關閉胞及不燒錄的記憶胞的位元線 BL0 的電位給放電至地電位。在步驟 S150' 之後，經由步驟 S160、S170、S180、S180'、及 S190，對於不燒錄的記憶胞的燒錄及驗

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

證動作，即可以不再有錯誤功能。

其中在 S180'的最後步驟，可以看出所有要燒錄的記憶胞都會被感測為關閉胞(或是充分燒錄胞)，而不要燒錄的記憶胞則仍保持在抑制資料之狀態(或是燒錄抑制)，並且如第 8 圖所示，為對應於所選擇到要燒錄的記憶胞與不燒錄之記憶胞所產生之臨限電壓的分佈曲線的外形。

如上所述，依照本發明之記憶體提供更進步之燒錄與驗證功能，對於不燒錄的記憶胞與其他要燒錄的記憶胞在一起被當成不充分燒錄胞，以使其不會被燒錄，以在整個燒錄動作中，減少胞陣列中所產生的電流總量，且在燒錄後，可增強資料儲存在記憶胞的可靠性。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作少許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱：具有 EEPROM 之記憶胞之半導體記憶體)

本發明是有關一種半導體記憶體，包括被電性燒錄的複數個記憶胞，並且耦接至複數個字元線及位元線；一第一門鎖電路，用以在一燒錄動作中保持一資料，該燒錄動作包括一驗證步驟；以及一第二門鎖電路，用以於一燒錄的記憶胞的驗證中，根據保持在該第一門鎖電路中之該資料產生一結果。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

六、申請專利範圍

1.一種半導體記憶體，包括：

複數個被電性燒錄之記憶胞，耦接至複數個字元線及位元線；

一第一閂鎖電路，用以在一燒錄動作中保持一資料，該燒錄動作包括一驗證步驟；以及

一第二閂鎖電路，用以在根據保持在該第一閂鎖電路中之該資料，在一燒錄的記憶胞的驗證中產生一結果。

2.一種半導體記憶體，包括：

複數個被電性燒錄之記憶胞，耦接至複數個字元線及位元線；

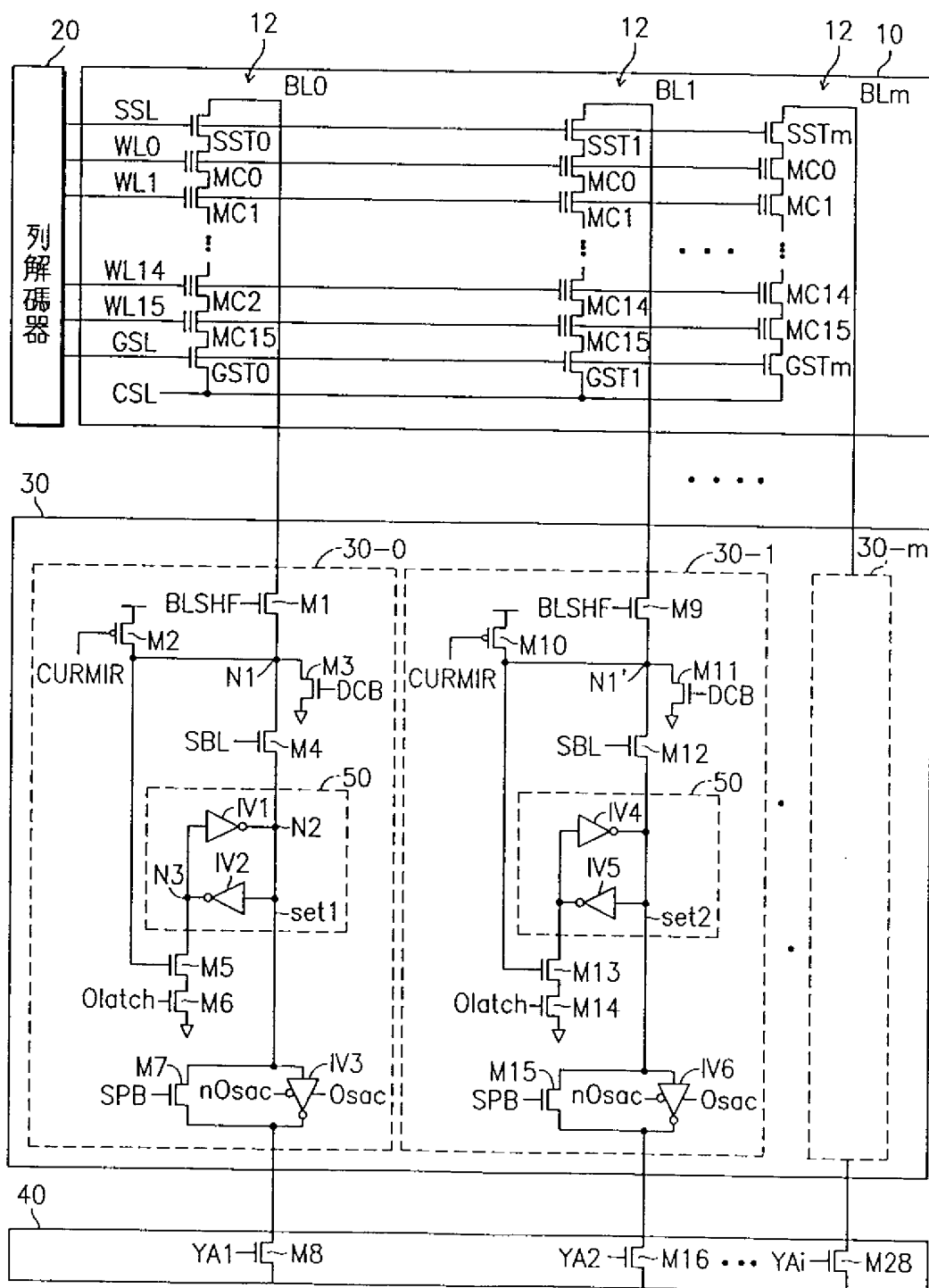
一裝置用以由該記憶體外部載入一資料；

一裝置用以燒錄該記憶胞；

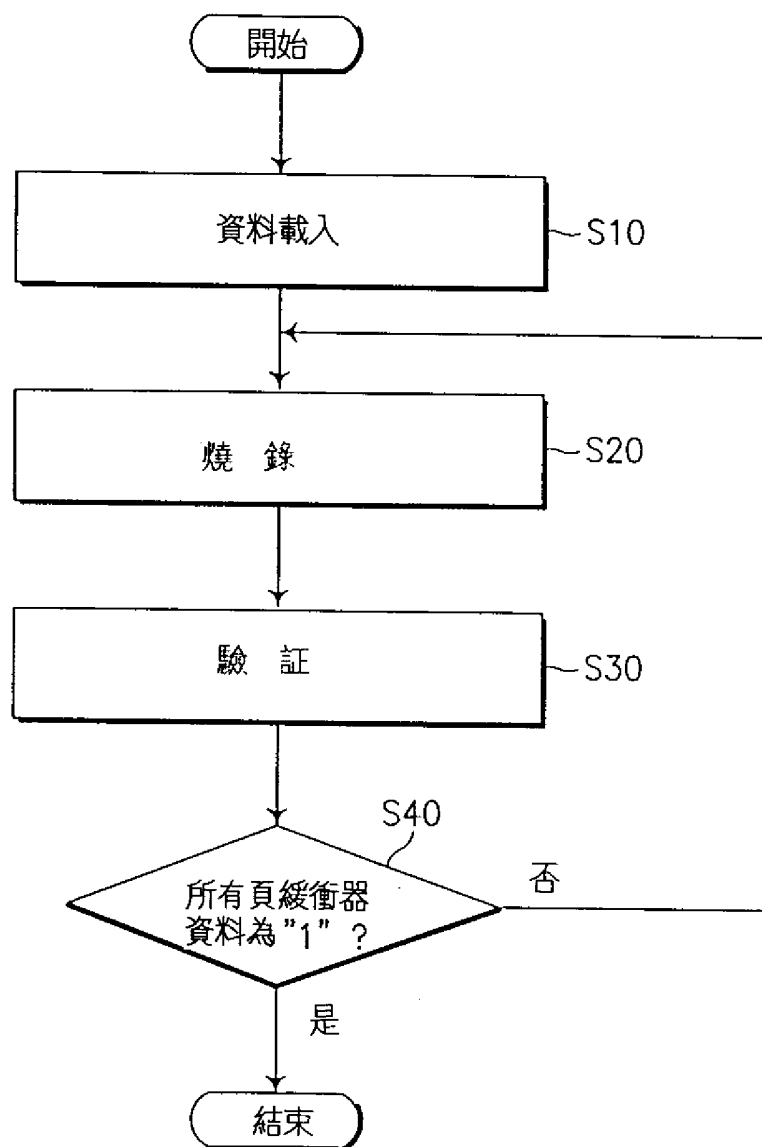
一裝置用以驗證已燒錄之記憶胞；

一裝置用以在燒錄動作中保持該資料，且該燒錄動作包括一驗證步驟；以及

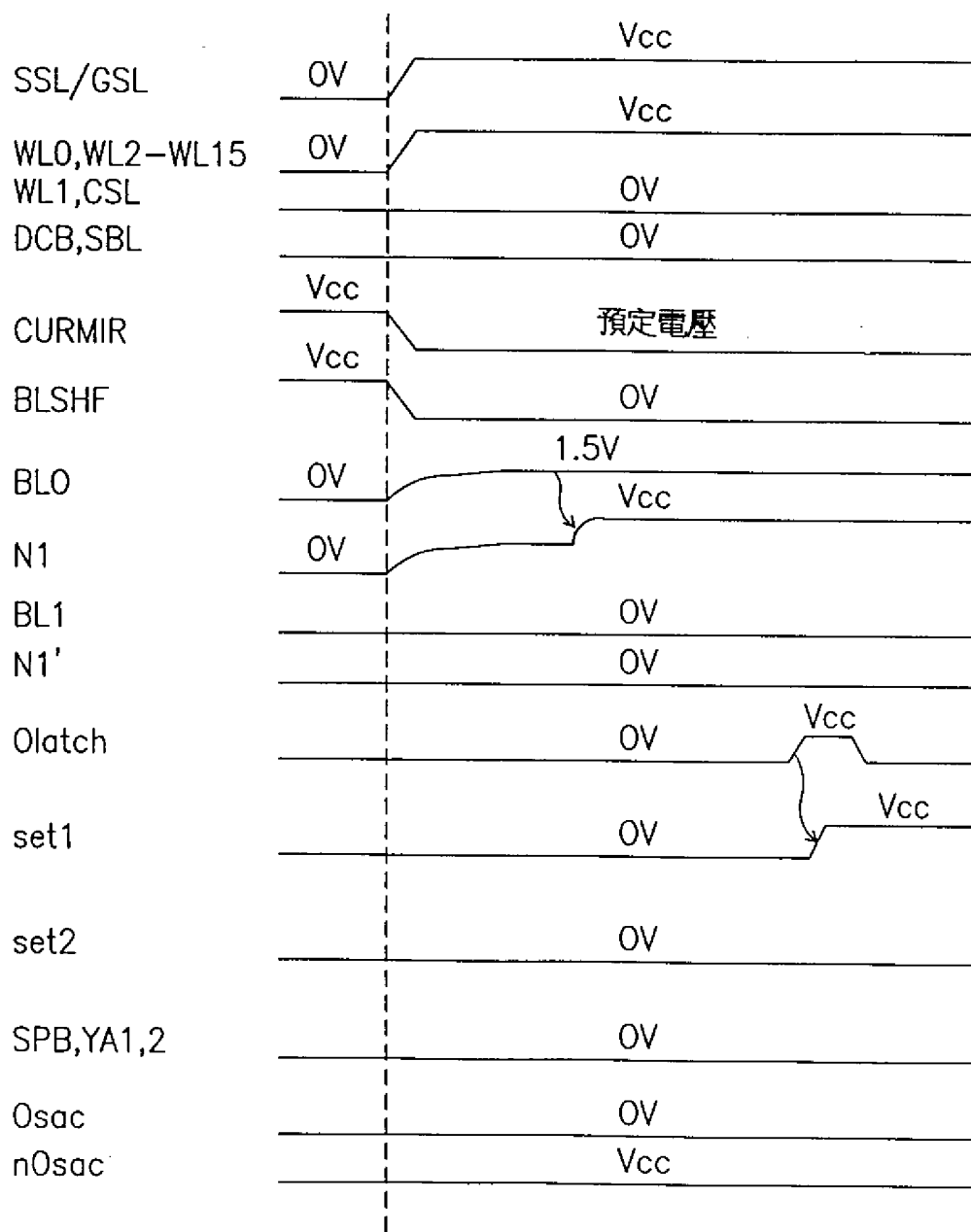
一裝置用以根據保持在該保持裝置之該資料在一已燒錄的記憶胞之驗證中產生一結果。



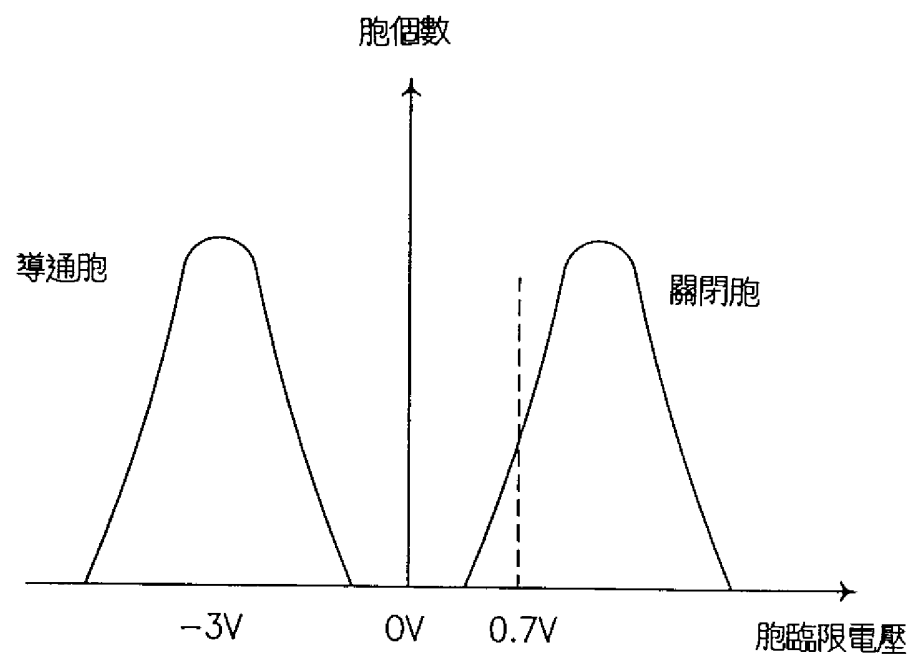
第 1 圖



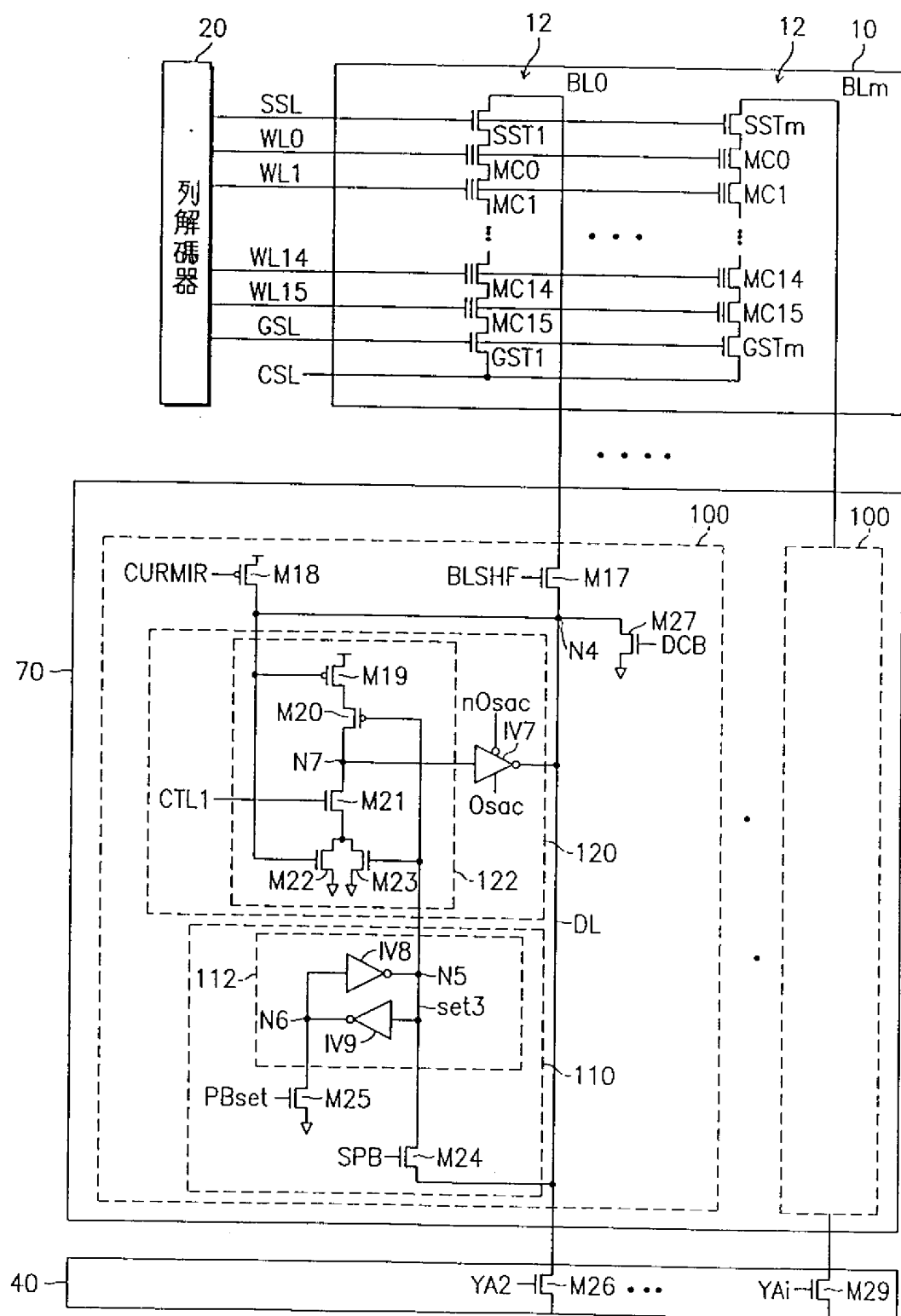
第 2 圖



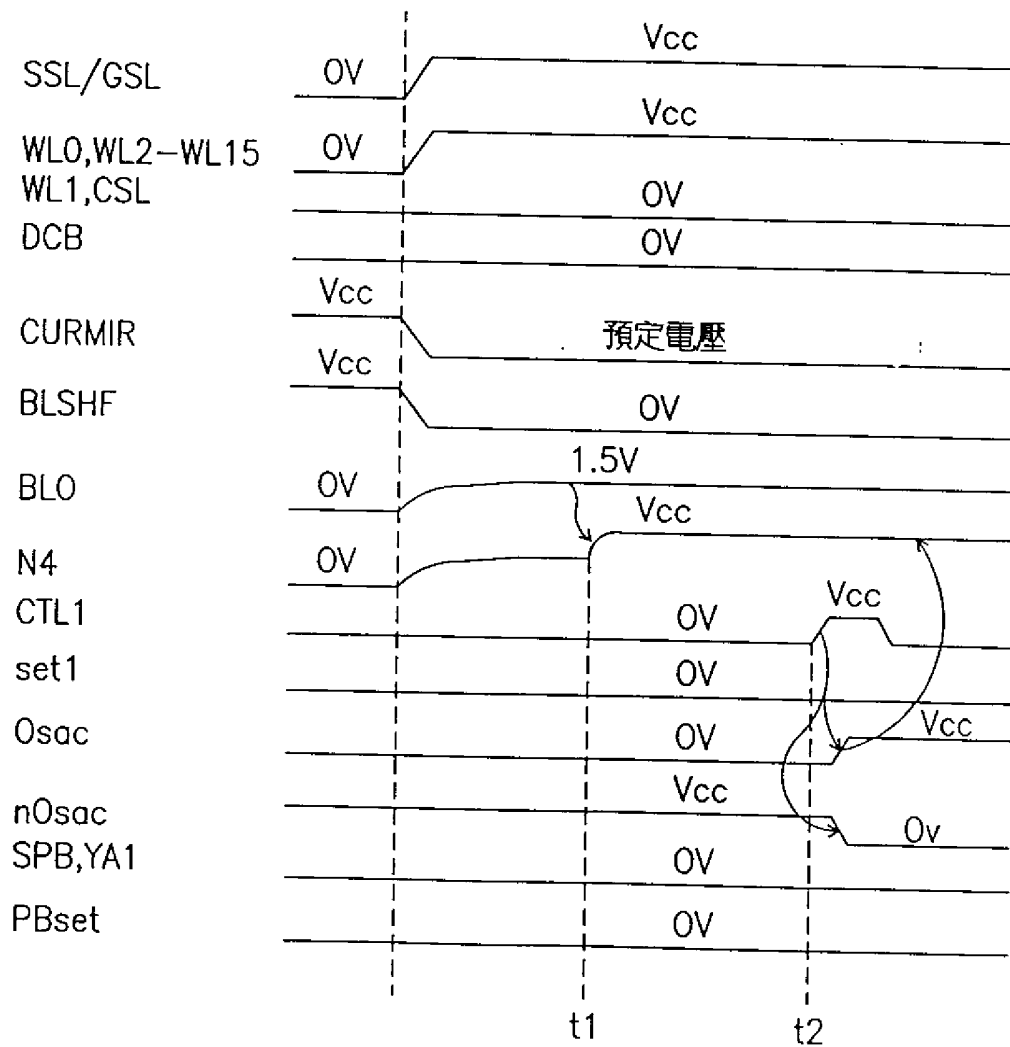
第 3 圖



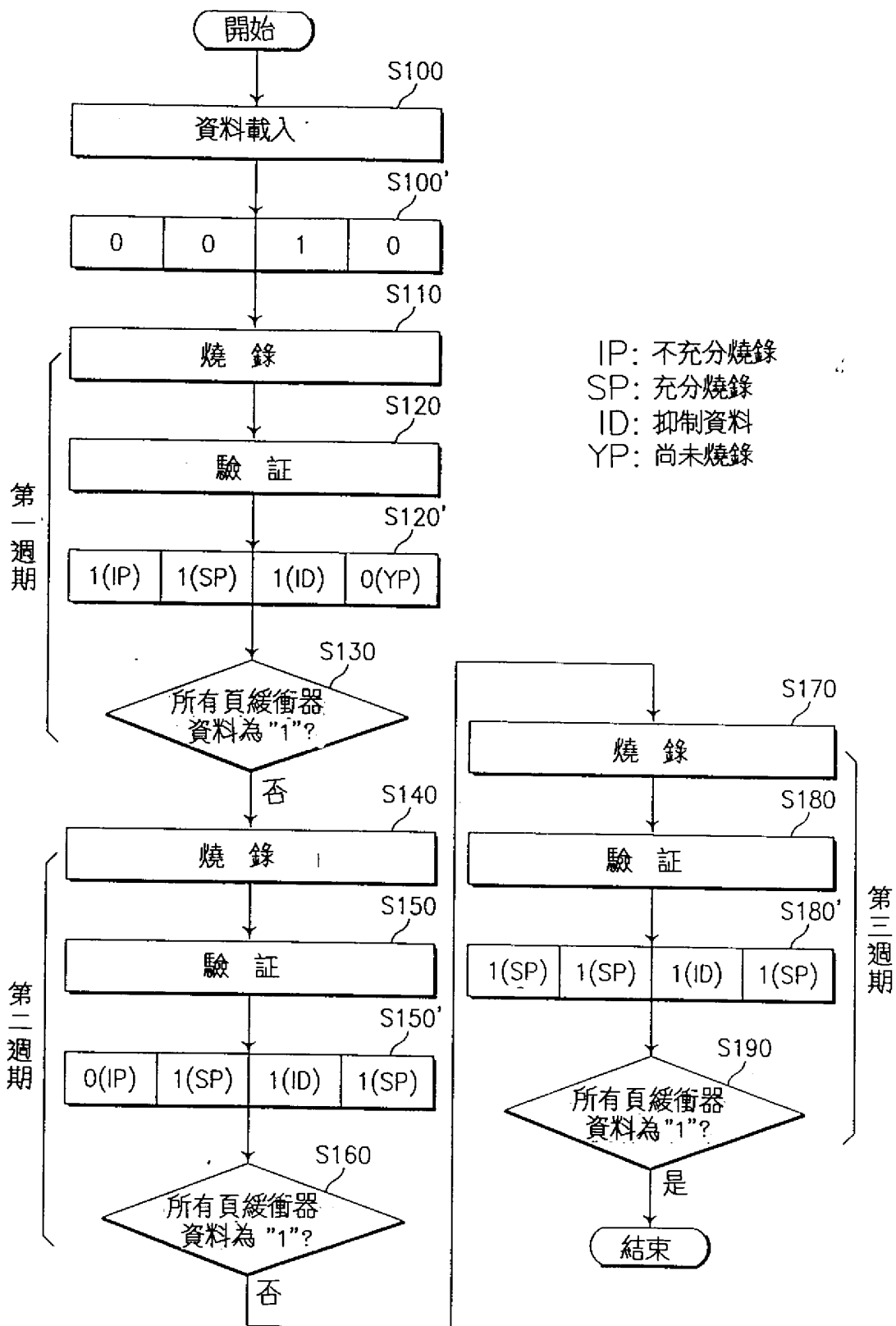
第 4 圖



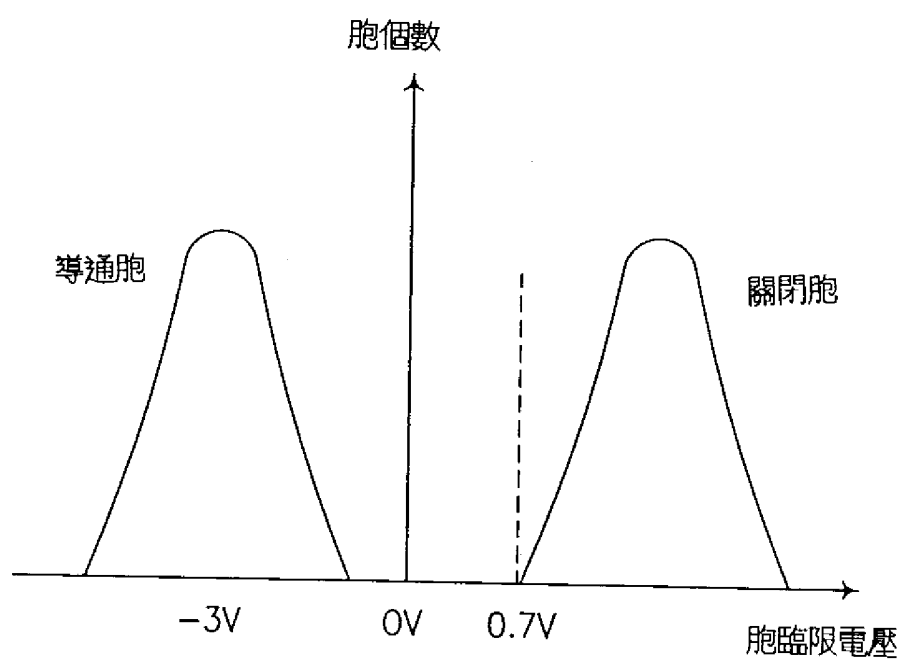
第 5 圖



第 6 圖



第 7 圖



第 8 圖