

19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11) N° de publication : **2 924 862**
(à n'utiliser que pour les
commandes de reproduction)

21) N° d'enregistrement national : **07 59730**

51) Int Cl⁸ : **H 01 L 27/146 (2006.01), H 04 N 3/15**

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 10.12.07.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 12.06.09 Bulletin 09/24.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : **COMMISSARIAT A L'ENERGIE ATOMIQUE Etablissement public à caractère industriel et commercial — FR.**

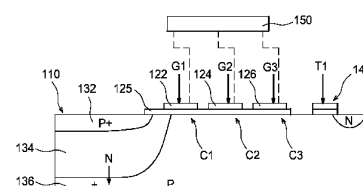
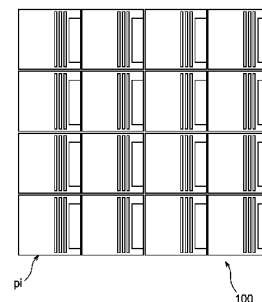
72) Inventeur(s) : **CARRIERE NICOLAS.**

73) Titulaire(s) :

74) Mandataire(s) : **BREVALEX.**

54) **DISPOSITIF MICROELECTRONIQUE PHOTOSENSIBLE AVEC MULTIPLICATEURS PAR AVALANCHE.**

57) Dispositif microélectronique matriciel capteur d'image comportant une pluralité de cellules élémentaires ($100_{11}, \dots, 100_{mn}$) agencées selon une matrice et dotées chacune d'au moins une zone photosensible (110) de capture de(s) photon(s) et de conversion de(s) photon(s) en électron(s), au moins une ou plusieurs desdites cellules comprenant des moyens multiplicateurs (120) par avalanche électronique, prévus pour produire, lors de cycles dits d'amplification d'électrons, un nombre d'électrons plus important que le nombre d'électrons convertis par la zone photosensible (110), les moyens multiplicateurs étant formés d'au moins une pluralité d'électrodes de grilles.



FR 2 924 862 - A1



**DISPOSITIF MICROELECTRONIQUE PHOTSENSIBLE AVEC
MULTIPLICATEURS PAR AVALANCHE**

DESCRIPTION

5 DOMAINE TECHNIQUE

La présente invention est relative au domaine des dispositifs microélectroniques imageurs ou capteurs d'image, en particulier en technologie CMOS.

L'invention concerne un dispositif
10 microélectronique photosensible ainsi qu'un capteur d'image doté de pixels formés d'un dispositif microélectronique photosensible comprenant une zone photosensible associée à des moyens multiplicateurs d'électrons par avalanche électronique comportant une
15 pluralité de grilles de contrôle.

L'invention apporte des améliorations notamment en termes de gain et de sensibilité par rapport aux matrices CMOS classiques, tout en permettant de fonctionner avec une tension
20 d'alimentation inférieure à celle des matrices CCD suivant l'art antérieur.

ÉTAT DE LA TECHNIQUE ANTÉRIEURE

On cherche généralement à intégrer un nombre de pixels de plus en plus important au sein des
25 dispositifs imageurs de type CMOS (CMOS pour « complementary metal oxide semiconductor ») ou CCD (CCD pour « charge coupled device » ou dispositif à couplage de charge). Ainsi, la taille des pixels au sein de tels dispositifs est de plus en plus réduite,

ce qui oblige à effectuer une détection avec un nombre de photons collectés de moins en moins important.

Dans un dispositif matriciel de type CCD, les charges sont transférées d'un pixel p_i à l'autre p_{i+1} , de manière à traverser la matrice 10 photosensible et à atteindre un circuit de lecture qui peut être sous forme d'un convertisseur charge-tension 20 situé à l'extérieur de la matrice. L'efficacité de chaque transfert de charge est un élément critique dans la mesure où une perte lors d'un transfert d'électrons peut rapidement conduire à un rendement nul après une centaine de transferts. Pour minimiser les pertes, d'importantes contraintes de réalisation, par exemple telles que le dopage du substrat sur lequel est réalisé la matrice, sont prévues, et rendent ces matrices incompatibles avec un fonctionnement à avalanche à basse tension.

Dans une matrice CCD à avalanche classique, pour multiplier le nombre d'électrons collectés, on rajoute un multiplicateur 30 entre le circuit de lecture 20 et un convertisseur analogique numérique 40. Le signal issu de chacun des pixels traverse alors le même multiplicateur 30 (figure 1).

Afin de garder une bonne sensibilité de détection, ainsi qu'un bon rapport signal à bruit, il peut être alors intéressant d'amplifier le signal photogénéré avant de le lire.

Un moyen pour multiplier le nombre d'électrons collectés est d'utiliser le phénomène d'ionisation par impact, dans lequel un fort champ électrique permet d'accélérer suffisamment les

électrons pour ioniser un semi-conducteur et lui arracher des électrons supplémentaires. De tels moyens sont mis en œuvre dans les capteurs réalisés en technologie CCD et décrits dans le document :

5 « Experimental Observation of Avalanche Multiplication in Charge-Coupled Devices », Madan et al., juin 1983. Pour chaque transfert, le gain obtenu peut être alors de l'ordre de 1 %.

Les imageurs CMOS se différencient

10 fondamentalement des capteurs CCD, en ce que le circuit de lecture, par exemple un convertisseur de charge/tension, est réalisé au sein d'un pixel, tandis que pour un capteur CCD, les charges sont transférées à l'extérieur de la matrice avant d'être lues.

15 Les imageurs CMOS ont pour avantages de présenter une faible consommation, une bonne rapidité, et de permettre de co-intégrer circuits analogiques et numériques sur une même puce. Les progrès sur les circuits de lecture des imageurs CMOS ont en outre

20 permis de rabaisser le niveau de bruit d'un imageur CMOS au niveau de celui d'un imageur CCD.

Cependant, la réalisation de pixels dotés de moyens d'amplification est délicate. La réalisation d'une matrice de photodiodes à avalanche, est connue

25 mais pose de nombreux problèmes, tels que la nécessité d'une alimentation haute tension, typiquement de l'ordre de 70V, et celle d'un système de refroidissement. Par ailleurs, avec un tel dispositif, il est difficile de réduire la taille des pixels.

30 Il est également connu de réaliser un pixel, en superposant, sur le circuit de lecture, une

couche permettant à la fois de faire la conversion photon/électron et de multiplier les électrons. Les couches utilisées sont généralement de type HARP (HARP pour « high gain avalanche rushing amorphous photoconductor »). Une telle architecture est présentée dans le document WO 2004/019609 A2, et a pour inconvénient de nécessiter une tension d'alimentation importante, typiquement de l'ordre de 70V, ce qui implique de devoir protéger les circuits logiques fonctionnant quant à eux à basse tension, par exemple de l'ordre de 5 Volts.

Dans les deux types d'architectures, CCD à avalanche et CMOS de type HARP, seule la tension d'alimentation permet de contrôler le gain du pixel, ce qui entraîne une forte dispersion du gain entre les pixels dans les imageurs de grande taille.

Il se pose le problème de trouver un nouveau dispositif imageur dotés de moyens amplificateurs intégrés aux pixels, et qui ne comporte pas les inconvénients évoqués ci-dessus.

EXPOSÉ DE L'INVENTION

L'invention concerne un dispositif microélectronique à détecteur photosensible, en particulier un pixel élémentaire ou une cellule élémentaire d'une matrice de capteurs d'image comportant une ou plusieurs cellules élémentaires ou un ou plusieurs pixels élémentaires, le dispositif comprenant :

- au moins une zone photosensible de capture de(s) photon(s) et de conversion de(s) photon(s) en électron(s),

- des moyens multiplicateurs, prévus pour
5 produire, par avalanche électronique ou ionisation par impact, lors de cycle(s) dits « de multiplication » d'électrons, un nombre d'électrons plus important que le nombre d'électrons convertis par la zone photosensible, les moyens multiplicateurs comportant au
10 moins une pluralité d'électrodes de grilles de contrôle, en regard d'au moins une zone semi-conductrice.

Le dispositif peut également comprendre des moyens de conversion charge-tension ou de moyens de
15 conversion charge-courant.

L'invention concerne en particulier un dispositif matriciel capteur d'image comportant une pluralité de cellules élémentaires agencées selon une matrice, au moins une ou plusieurs cellules étant
20 dotées chacune d'au moins une zone photosensible de capture de(s) photon(s) et de conversion de(s) photon(s) en électron(s), de moyens multiplicateurs par avalanche électronique, prévus pour produire, lors de cycle(s) appelés « de multiplication » d'électrons, un
25 nombre d'électrons plus important que le nombre d'électrons convertis par la zone photosensible, les moyens multiplicateurs étant formées d'au moins une pluralité d'électrodes de grilles.

Au moins un circuit de commande desdites
30 grilles, peut être prévu pour appliquer des signaux de commande respectivement auxdites grilles de contrôle.

Le circuit de commande peut comprendre au moins un circuit logique.

Les électrodes de grilles, ainsi que la zone photosensible peuvent être disposées d'un même côté ou sur une même face d'un substrat.

Lors de cycle(s) de multiplication, les moyens multiplicateurs peuvent avoir un gain donné, souhaité.

Le circuit de commande des grilles peut être prévu pour, lors dudit cycle de multiplication : appliquer au moins un premier signal de commande à une première grille parmi lesdites grilles, au moins un deuxième signal de commande à une deuxième grille parmi lesdites grilles, au moins un troisième signal de commande à une troisième grille parmi lesdites grilles, le premier signal, le deuxième signal, et le troisième signal suivant respectivement une séquence prédéterminée ou prévue en fonction dudit gain donné, que l'on souhaite conférer aux moyens multiplicateurs.

Les grilles des moyens multiplicateurs peuvent être polarisées, lors d'un ou plusieurs cycles de multiplication, de manière à faire faire à un groupe d'électrons, un ou plusieurs aller(s)-retour(s) dans une zone semi-conductrice située en regard desdites grilles de contrôle.

Selon une possibilité, le gain des moyens multiplicateurs peut être réglable.

Ce gain peut être modifié ou réglé par l'intermédiaire du circuit de commande.

Le circuit de commande desdites grilles peut être prévu pour appliquer des signaux de commande

respectivement auxdites grilles selon une séquence prédéterminée, et peut être apte à modifier ladite séquence prédéterminée.

Lors d'un ou plusieurs cycle(s) de multiplication, le circuit de commande peut être prévu pour appliquer au moins une première séquence de signaux de commande aux grilles des moyens multiplicateurs d'une ou plusieurs cellules données de la matrice, et pour appliquer au moins une autre séquence de signaux de commande, différente de la première séquence, aux grilles desdits moyens multiplicateurs desdites cellules données, lors d'un ou plusieurs autre(s) cycle(s) de multiplication.

Une matrice dotée de cellules comportant des moyens multiplicateurs avec un gain réglable peut être ainsi mise en œuvre.

La séquence ou les séquences peuvent être mises en œuvre et modifiées par exemple à l'aide d'au moins un circuit logique.

Les grilles des moyens multiplicateurs peuvent être commandées lors d'un ou plusieurs premiers cycles de multiplication, de manière à faire faire à un groupe d'électrons, un premier nombre donné d'aller(s)-retour(s) dans une zone semi-conductrice située en regard desdites grilles de contrôle, et être commandées, lors d'un ou plusieurs autres cycles de multiplication, de manière à faire faire à un groupe d'électrons, un nombre d'aller(s)-retour(s) différent dudit premier nombre donné.

Selon une possibilité de mise en œuvre, le circuit de commande peut être apte à appliquer au moins

une première séquence de signaux de commande aux grilles de moyens multiplicateurs d'au moins une première cellule de la matrice, et à appliquer au moins une deuxième séquence de signaux de commande, 5 différente de la première séquence, aux grilles de moyens multiplicateurs d'au moins une deuxième cellule de la matrice.

Les grilles des moyens multiplicateurs d'au moins une première cellule peuvent être commandées de 10 manière à faire faire à un groupe d'électrons, un premier nombre donné d'aller(s)-retour(s) dans une zone semi-conductrice située en regard desdites grilles de contrôle, tandis que les grilles des moyens multiplicateurs d'au moins une deuxième cellule, sont 15 commandées de manière à faire faire à un groupe d'électrons, un nombre d'aller(s)-retour(s) différent dudit premier nombre donné.

Une matrice dotée de cellules comportant des moyens multiplicateurs avec des gains différents 20 entre eux peut être ainsi mise en œuvre.

Les moyens multiplicateurs d'électrons peuvent comporter au moins 3 grilles. Ces trois grilles peuvent être juxtaposés et situées en regard d'une zone semi-conductrice.

25 Les cellules peuvent comprendre en outre, respectivement : au moins un circuit de lecture.

Le circuit de lecture peut être formé d'au moins un convertisseur charge-tension. Selon une variante, le circuit de lecture peut être formé d'au 30 moins un convertisseur charge-courant.

Selon une possibilité de mise en œuvre, les moyens multiplicateurs peuvent être intégrés dans le circuit de lecture.

5 Les moyens multiplicateurs peuvent être intégrés dans un circuit comprenant également au moins un convertisseur charge/tension ou au moins un convertisseur charge/courant.

10 Selon une variante, les moyens multiplicateurs peuvent être situés entre la zone photosensible et le circuit de lecture.

Le circuit de lecture peut être apte à effectuer une lecture d'une quantité de charges produites par ladite zone photosensible, préalablement à un cycle de multiplication de cette quantité de charges.

15

Le dispositif peut être prévu pour que, périodiquement, le circuit de lecture effectue une lecture après un ou plusieurs cycles de multiplication.

20 Selon une possibilité de mise en œuvre du dispositif dans laquelle, les moyens multiplicateurs ont un gain réglable et le circuit de lecture est prévu pour effectuer une lecture périodiquement : ledit circuit de commande peut être prévu pour, après une lecture effectuée par le circuit de lecture, à modifier le gain d'amplification d'une ou plusieurs cellules données de la matrice.

25

Le dispositif peut comprendre en outre : des moyens d'échantillonnage multiple corrélé. Cela peut permettre d'étendre la dynamique du pixel.

30 Selon une possibilité de mise en œuvre, la zone photosensible peut recouvrir les grilles des

moyens multiplicateurs. L'encombrement des pixels ou cellules élémentaires peut être ainsi réduit.

La zone photosensible peut être située sur une face donnée ou d'un côté donné d'un substrat, les
5 grilles des moyens multiplicateurs étant formés sur ladite face donnée ou sur ledit côté donné dudit substrat.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à
10 la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- la figure 1, illustre un exemple de
15 dispositif imageur CCD à avalanche suivant l'art antérieur,

- les figures 2A et 2B, illustrent un
exemple de pixel d'un dispositif imageur suivant l'invention, et une matrice de pixels d'un imageur
20 suivant l'invention,

- la figure 3, illustre, un exemple de
dispositif imageur doté de moyens multiplicateurs par avalanche électronique comportant plusieurs grilles de
contrôle, le dispositif étant représenté selon une vue
25 en coupe,

- les figures 4A-4F, illustrent un exemple
de fonctionnement de moyens multiplicateurs par avalanche électronique, au sein d'un dispositif imageur
suivant l'invention,

- la figure 5, représente un exemple de chronogramme de fonctionnement des signaux de contrôle de moyens multiplicateurs par avalanche électronique, au sein d'un dispositif imageur suivant l'invention,

5 - les figures 6A-6B, illustrent, des variantes d'agencement de moyens multiplicateurs par avalanche électronique dans un dispositif imageur suivant l'invention,

- la figure 7, illustre, un exemple de
10 dispositif microélectronique à détecteur photosensible doté de moyens multiplicateurs par avalanche électronique comportant plusieurs grilles de contrôle, le dispositif étant représenté selon une vue de dessus.

Des parties identiques, similaires ou
15 équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur
les figures ne le sont pas nécessairement selon une
20 échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un exemple de dispositif microélectronique matriciel imageur suivant l'invention, est représenté
25 sur la figure 2A. Ce dispositif comprend une matrice 100 de n rangées horizontales et m rangées verticales de cellules élémentaires également appelés pixels p_i avec n qui peut être égal à m, et par exemple compris entre 1 et 10000, par exemple égal à 2000.

Les cellules élémentaires ou pixels p_i (figure 2B) peuvent être réalisé(e)s en technologie CMOS et avoir une taille par exemple de l'ordre de 1 ou plusieurs micromètres de côté d , et comprennent
5 respectivement, au moins une zone photosensible 110, prévue pour la capture de(s) photon(s) et la conversion de(s) photon(s) en électron(s).

Les cellules élémentaires ou pixels p_i sont également dotées chacune de moyens pour augmenter ou
10 amplifier le nombre d'électrons convertis par la zone photosensible, et que l'on appellera un « multiplicateur 120 d'électrons ». Un tel multiplicateur met en œuvre des processus d'avalanche électronique, et est prévu pour augmenter le nombre
15 d'électrons convertis par la zone photosensible 110, à l'aide d'ionisation(s) par impact(s), lors de cycles dits « de multiplication » ou « d'amplification » d'électrons.

Un tel multiplicateur 120 peut être formé
20 de capacités CMOS. Le multiplicateur 120 comprend au moins deux grilles de contrôle, de préférence au moins 3 grilles G1, G2, G3 de contrôle, qui peuvent être sous forme d'électrodes juxtaposées formées en regard ou au-dessus d'une zone semi-conductrice dans laquelle les
25 électrons sont destinés à circuler. Les grilles G1, G2, G3, permettent, suivant la manière dont elles sont polarisées, de déplacer lesdits électrons dans ladite zone semi-conductrice et de leur faire faire, un ou plusieurs allers-retours dans cette zone semi-
30 conductrice, tout en produisant à chaque aller-retour, un ou plusieurs processus d'ionisation par impact.

Les grilles G1, G2, G3, sont destinées à recevoir chacune un signal de commande issu d'un circuit de commande extérieur 150. Le circuit de commande 150 peut être intégré sur la même puce ou le même substrat que l'imageur ou être éventuellement réalisé sur un autre support.

Lors d'une phase de multiplication, chaque grille peut être destinée à recevoir un signal de commande selon une séquence d'amplitude(s) prédéterminée, différente de celle des autres signaux de commandes reçus par les autres grilles du multiplicateur. Des différences de potentiels entre les grilles peuvent permettre d'effectuer des transferts d'électrons d'un endroit à un autre de la zone semi-conductrice, et de générer de nouveaux électrons par ionisation par impact lors de ces transferts.

Le rapport entre le nombre d'électrons convertis par la zone photosensible et en entrée du multiplicateur, et le nombre d'électrons en sortie du multiplicateur 120, donne le gain dit « d'amplification » ou « de multiplication » du multiplicateur 120. Par exemple pour un gain de 2 % à chaque transfert, après 235 transferts, le nombre d'électrons produits par la zone photosensible 110 peut être multiplié par 100.

Les cellules élémentaires ou pixels p_i peuvent être également dotées d'un circuit de lecture 140. Le circuit de lecture 140 peut être, ou peut comprendre, par exemple, au moins un convertisseur charge/tension pour convertir une quantité de charges issues du multiplicateur 120 en une tension électrique.

Selon une autre possibilité, le circuit de lecture peut être, ou peut comprendre, par exemple, au moins un convertisseur charge/courant pour convertir une quantité de charges issues du multiplicateur 120 en un courant électrique.

Le circuit de lecture 140 peut être formé d'une pluralité de transistors, par exemple de 3 transistors (le circuit de lecture étant alors qualifié de circuit « 3T ») ou de 4 transistors (le circuit de lecture étant alors qualifié de circuit « 4T »). La tension convertie par le circuit de lecture peut être ensuite acheminée par le biais d'interconnexions à un convertisseur analogique-numérique (non représenté).

Sur la figure 3, une vue en coupe transversale d'un pixel p_i d'un imageur, formé dans un substrat 100, est donnée.

Le multiplicateur 120 est formé dans cet exemple, de 3 capacités MOS juxtaposées comprenant respectivement une grille, une zone de diélectrique de grille, et une zone de canal. Les grilles G1, G2, G3 du multiplicateur 120 peuvent être par exemple sous forme de zones disjointes 122, 124, 126 à base de polysilicium ou d'ITO (ITO pour « Indium Titanium Oxyde »), et séparées d'une zone semi-conductrice 130 par exemple à base de silicium, ou de germanium par une couche de matériau diélectrique 125, par exemple à base d'oxyde de silicium, ou de HfO_2 , sur laquelle reposent ces zones 122, 124, 126.

Une réalisation des grilles G1, G2, G3, du multiplicateur 120 d'électrons à l'aide d'un matériau conducteur transparent, tel que par exemple de l'ITO

peut permettre de maximiser la surface de la zone éclairée.

La zone semi-conductrice peut être dopée de manière à ce qu'un canal de conduction puisse être créé sous les grilles G1, G2, G3. Le canal peut être « surfacique » c'est-à-dire réalisé en surface du substrat, ou « enterré », de sorte qu'une épaisseur non-nulle existe entre la surface du substrat et le canal.

La zone photosensible 110 peut être par exemple une photodiode.

Dans cet exemple, le substrat comporte une première zone dopée 132, par exemple dopée P+, en surface du substrat 100, au dessus d'une deuxième zone dopée 134, par exemple dopée N, et formant une jonction avec la première zone 132, ainsi que d'une troisième zone dopée 136, par exemple dopée P au-dessous de la deuxième zone dopée 134. Le dispositif comporte ainsi une première zone de canal C1 en regard de la première grille G1, une deuxième zone de canal C2 en regard de la deuxième grille G2, et une troisième zone de canal C3 en regard de la troisième grille G3. Les paires électrons-trous photogénérées sont séparées dans une zone de charge d'espace, puis traversent le multiplicateur 120 où le nombre d'électrons est augmenté avant d'être convertis en une tension par le circuit de lecture 140.

Sur la figure 3, un transistor noté T1 formé à côté des grilles G1, G2, G3, et appartenant au circuit de lecture 130, est représenté.

Un exemple de fonctionnement d'un pixel doté d'un multiplicateur d'électrons à avalanche, ainsi que des processus de « multiplication » d'électrons, vont à présent être décrits en liaison avec les figures 5 4A-4F et la figure 5.

Sur les figures 4A-4F, un multiplicateur avec ses 3 électrodes de grilles G1, G2, G3, est représenté lors de phases de multiplications, avec les barrières ou puits de potentiels générées lors de ces phases dans les zones de canal C1, C2, C3 situées respectivement en regard des électrodes de grilles G1, G2, G3, en fonction d'un premier signal SG1, appliqué sur la première grille G1, d'un deuxième signal SG2, appliqué sur la deuxième grille G2, et d'un troisième signal SG3, appliqué sur la troisième grille G3.

Les signaux SG1, SG2, SG3, sont générés par le circuit de commande 150 et adoptent lors des phases de multiplications, différentes valeurs de potentiels, prévues selon des séquences prédéterminées ou pré-établies. Ces séquences de signaux peuvent être prévues en fonction d'un gain de multiplication ou d'amplification souhaité, ou d'une estimation d'un nombre d'électrons que l'on souhaite que le multiplicateur produise.

Sur la figure 5, des chronogrammes C_{G1} , C_{G2} , C_{G3} donnent des exemples de séquences qu'adoptent respectivement les signaux générés sur les grilles G1, G2, G3.

Suite à une exposition de la zone photosensible 110 à un rayonnement lumineux L, un groupe 200 d'électrons a été généré.

On applique tout d'abord (figure 4A et étape T1 sur la figure 5) des potentiels sur les grilles G1, G2, G3, de manière à créer un premier puits de potentiel dans la zone de canal C1 située en regard de la première grille G1 et attirer le groupe d'électrons résultats de la conversion de photons. Pour cela, la première grille G1 peut être mise à un potentiel Φ_2 , par exemple de l'ordre de 2 volt tandis que la deuxième grille G2 et G1 sont mises à un potentiel Φ_1 inférieur à Φ_2 .

Ensuite (figure 4B et étape T2 sur la figure 5), on forme un deuxième puits de potentiel, plus important que le premier puits, dans la zone de canal C3 en regard de la troisième grille G3, tandis que le canal C2 en regard de la deuxième grille G2 est bloqué. Pour cela, la troisième grille G3 peut être mise à un potentiel Φ_3 , par exemple de l'ordre de 10 volt supérieur à Φ_2 , tandis que la deuxième grille G2 et la première grille G1 sont maintenues respectivement au potentiel Φ_1 et au potentiel Φ_2 .

Puis (figure 4C et début d'une étape T3 sur la figure 5), dans la zone en regard de la première grille G1, la barrière de potentiel est relevée de manière à déplacer le groupe 200 d'électrons en regard de la troisième grille G3 dans le deuxième puits de potentiel. Au cours de ce déplacement, un ou plusieurs électrons 202 supplémentaires sont générés par ionisation par impact. Pour cela, au début de l'étape T3, la première grille G1 peut être mise au potentiel Φ_1 . Le groupe d'électrons 200 ainsi que les électrons supplémentaires 202 se regroupent alors dans le

deuxième puits de potentiel pour former un nouveau groupe 204 d'électrons, plus important que le groupe 200.

5 Ensuite, le puits de potentiel en regard de la troisième grille G3 est relevé (fin de l'étape T3 sur la figure 5) par exemple en plaçant la troisième grille G3 au potentiel Φ_1 .

10 On forme alors (étape T4 sur la figure 5 et figure 4D) un troisième puits de potentiel en regard de la première grille G1, plus important que celui en regard de la troisième grille G3, tandis que la deuxième grille est maintenue au même potentiel. Pour cela, la première grille G1 peut être mise au potentiel Φ_3 , tandis que la deuxième grille G2 et la troisième grille G3 sont maintenues respectivement au potentiel Φ_1 et au potentiel Φ_2 .

20 Puis (étape T5 sur la figure 5 et figure 4E), dans la zone en regard de la troisième grille G3, la barrière de potentiel est relevée de manière à déplacer le groupe 204 d'électrons en regard de la troisième grille G3 dans le deuxième puits de potentiel. Pour cela, lors de l'étape T5, la troisième grille G3 peut être mise au potentiel Φ_1 , tandis que la deuxième grille G2 et la troisième grille G1 sont maintenues respectivement au potentiel Φ_1 et au potentiel Φ_3 . Au cours de ce déplacement, un ou plusieurs électrons 206 supplémentaires sont générés par ionisation par impact. Le groupe d'électrons 204 ainsi que les électrons supplémentaires 206 se regroupent alors dans le puits de potentiel en regard

25

30

de la première grille pour former un nouveau groupe 208 d'électrons, plus important que le groupe 204.

5 Ensuite (étape T6 et suivantes sur la figure 5 et figure 4F), le processus de multiplication peut être réitéré.

Des séquences de potentiels appliquées aux grilles G1, G2, G3 ont permis de transférer des électrons situés sous la grille G1 vers le canal situé sous la grille notée G3, puis de les transférer du canal sous la grille G3 vers le canal sous la grille G1. Un transfert bidirectionnel ou aller-retour des électrons dans le multiplicateur 120 a été ainsi effectué. Lors de chaque transfert, la différence de potentiel entre la grille centrale G2 et la grille vers laquelle les électrons sont transférés est prévue de manière à créer un champ électrique dans la zone semi-conductrice en regard des grilles, suffisamment élevé pour déclencher au moins une ionisation par impact lors du transfert d'électrons.

20 A chaque transfert, le nombre d'électrons peut être augmenté. Le gain « de multiplication » ou de « multiplication » peut être par exemple de l'ordre de 1 % par transfert. Cette valeur permet d'optimiser le rapport signal/bruit, du dispositif. En augmentant le nombre d'aller-retour entre les grilles G1 et G3, typiquement plusieurs dizaines ou centaines d'allers-retours, le nombre d'électrons peut être fortement multiplié. En fin de processus de multiplication, la quantité d'électrons est transformée en tension par le circuit de lecture 140.

Le gain « d'amplification » ou de « multiplication » ou le nombre d'électrons produits peut être adapté ou modifié en adaptant ou modifiant la séquence de signaux générée et appliquée aux grilles.

5 Une répétition de plusieurs séquences telles que celle décrite précédemment peut par exemple permettre d'augmenter le nombre d'allers-retours effectué par les électrons et augmenter le nombre d'électrons supplémentaires produits par le multiplicateur 120.

10 La valeur de tension ou d'amplitude nécessaire pour déclencher une ionisation est déterminée notamment par la distance entre les grilles G1, G2, G3, par exemple de l'ordre de 40 nanomètres, le type de dopage, par exemple un dopage P, et la dose de
15 dopage de la zone semi-conductrice en regard des grilles, par exemple de l'ordre de 10^{15} atomes/cm³ et par le type de matériau de diélectrique de grille utilisé, par exemple du SiO₂ d'épaisseur de l'ordre de plusieurs nanomètres, par exemple de l'ordre de
20 3 nanomètres.

Dans une architecture d'imageur suivant l'invention, chaque pixel peut être adressable individuellement, par exemple à l'aide d'un adressage en lignes et colonnes. Chaque multiplicateur 120 peut
25 être piloté ou commandé individuellement à l'aide du circuit de commande 150, de sorte que le gain de chaque multiplicateur 120 peut être adapté ou modifié individuellement.

Des gains d'amplifications différents
30 peuvent être prévus entre les pixels, par exemple selon

leur positionnement dans la matrice, par exemple pour tenir compte des dispersions ou des effets de bord.

Pour appliquer des gains d'amplifications différents d'un pixel ou d'une cellule à l'autre de la matrice, c'est-à-dire effectuer des cycles de multiplications ou d'amplifications du nombre d'électrons avec des gains différents d'un pixel à l'autre, le circuit de commande peut être prévu pour appliquer des séquences de signaux différentes aux grilles des différents pixels. De telles séquences peuvent être générées à l'aide par exemple de circuits logiques.

Il est possible d'appliquer, par exemple, à au moins un premier pixel, une première séquence de signaux aux trois grilles du multiplicateur de ce premier pixel et appliquer, par exemple, à au moins un deuxième pixel, une deuxième séquence de signaux aux trois grilles du multiplicateur de ce deuxième pixel. Selon une possibilité, la deuxième séquence peut être par exemple une répétition d'un nombre donné X , de fois la première séquence. Par exemple, une première séquence de signaux semblable à celle illustrée sur la figure 5 peut être appliquée aux grilles G1, G2, G3 d'un ou plusieurs pixels de l'imageur, tandis qu'une autre séquence de signaux est appliquée aux grilles G1, G2, G3, d'un ou plusieurs pixels de l'imageur, l'autre séquence étant une répétition de la première séquence. Ainsi, en répétant la première séquence, on augmente le nombre d'allers-retours des électrons et de possibilité d'ionisation.

Le circuit de lecture 140 peut être agencé de manière à ne pas perturber les électrons présents dans le multiplicateur. Pour cela, un transistor de transfert T_1 peut être prévu entre le multiplicateur 120 et le circuit de lecture 140 ou en entrée du circuit de lecture 140. Lorsque le multiplicateur 120 est relié à la grille d'un transistor suiveur d'un circuit de lecture 3T, ou lorsque le circuit de lecture est un circuit 4T, et que le multiplicateur est par exemple situé entre un transistor de transfert et un suiveur, on peut effectuer plusieurs lectures de la charge présente dans le multiplicateur 120, tout au long d'un cycle d'amplification. Le circuit de lecture peut être ainsi prévu pour effectuer une ou plusieurs lectures du pixel pendant un cycle de multiplication d'électrons.

Un tel fonctionnement permet d'obtenir une dynamique améliorée. Lors d'un cycle de multiplication des électrons, si le signal initial est important, lorsque le pixel est fortement éclairé, pour éviter qu'après un certain nombre de cycles d'amplification, le multiplicateur sature, on peut effectuer plusieurs lectures, par exemple avant tout cycle d'amplification, après N cycles d'amplifications, puis après $K \cdot N$ cycles d'amplifications. Une valeur du signal avant saturation est ainsi disponible, et permet de préserver la dynamique de l'image obtenue.

En effectuant des lectures périodiques, par exemple au moins une première lecture après N cycles d'amplification, et au moins une deuxième lecture après $K \cdot N$ cycles d'amplification, le gain de chaque pixel

peut être évalué par le circuit de lecture 140 en comparant la première lecture et la deuxième lecture. Il est ainsi possible d'en déduire précisément le gain du multiplicateur de chaque pixel, et alors de
5 s'affranchir de non-uniformités de gain sur la matrice de pixels, ainsi que les variations de gain dues, par exemple, à des variations de tension d'alimentation, de la température au sein de la matrice.

Un dispositif imageur CMOS à avalanche
10 suivant l'invention, conserve les principaux avantages des imageurs CMOS, telles que la rapidité, la possibilité d'effectuer une lecture partielle de la matrice (i.e. d'un ou plusieurs pixels ou d'une ou plusieurs rangées de la matrice parmi toutes les
15 rangées de pixels), intégration possible de circuit logique au sein du pixel.

On peut également effectuer un échantillonnage de type « correlated double sampling », tel que décrit dans le document « A New Correlated
20 Double Sampling (CDS) Technique for Low Voltage Design Environment in Advanced CMOS Technology », Xu et al., Solid state circuits conference 2002, 24/09/2002, pages 117-120, et qui permet d'améliorer les performances en termes de rapport signal à bruit.

25 Il est possible d'intégrer le multiplicateur 120 d'électrons à différents endroits d'un pixel ou d'une cellule de l'imageur.

Selon une première possibilité, le multiplicateur peut être intégré directement dans la
30 zone photosensible éclairée, par exemple dans la photodiode.

Selon une deuxième possibilité (figure 6A), le multiplicateur 120 peut être placé entre la zone photosensible, par exemple une photodiode 210 et un circuit de lecture 140.

5 Selon une troisième possibilité (figure 6B), le multiplicateur 120 peut être intégré dans le circuit de lecture 140, par exemple entre un transistor de transfert T_1 de ce circuit et une pluralité de transistors T_2, T_3, T_4 , formant un suiveur.

10 Pour un bon fonctionnement du multiplicateur 120, un nombre d'au moins 3 grilles G_1, G_2, G_3 peut être préférable. Une desdites grilles peut servir à stocker les électrons, une autre grille permet d'appliquer une tension nécessaire pour attirer les
15 électrons et réaliser une ionisation par impact, et une autre grille permet de bloquer le passage des électrons avant que la tension d'ionisation soit atteinte. Dans l'exemple qui a été décrit précédemment, la première grille G_1 et la troisième grille G_3 remplissent
20 alternativement le rôle de grille de stockage et de grille d'attraction. La deuxième grille G_2 peut quant à elle jouer le rôle de blocage des électrons avant que l'énergie d'ionisation soit atteinte.

25 Des grilles supplémentaires peuvent être éventuellement ajoutées, par exemple pour isoler le multiplicateur de la zone de photosensible 110 ou du circuit de lecture 130.

30 Selon une possibilité de réalisation, le multiplicateur 120 peut être masqué par un niveau de métal communément appelé « dark métal » par exemple à

base d'aluminium ou de cuivre, formé au dessus des grilles G1, G2, G3.

Selon une autre possibilité, le multiplicateur 120 peut être mis en œuvre dans une zone éclairée. Dans ce cas, des électrons seront photogénérés dans le multiplicateur 120.

La durée d'une étape de multiplication doit être prévue courte devant le temps de capture de l'image, par exemple au moins 100 fois ou au moins 1000 fois plus courte que le temps de capture de l'image.

Pour éviter les effets de bords, ainsi que les contraintes d'une isolation latérale, les grilles G1, G2, G3 peuvent être avoir chacune une forme annulaire. Les grilles G1, G2, G3 peuvent être sous forme de contours concentriques, par exemple de 3 contours concentriques.

Sur la figure 7, un exemple de dispositif microélectronique à détecteur photosensible, doté de moyens multiplicateurs par avalanche électronique comportant plusieurs grilles G1, G2, G3, de contrôle, ayant la forme de cercles concentriques est représenté selon une vue de dessus. Dans cet exemple, un transistor de transfert T_1 (représenté de manière schématique sur cette figure) est prévu entre une zone photosensible 310 et les grilles G1, G2, G3 des moyens multiplicateurs, tandis que la grille G3 qui entoure les deux autres grilles G1 et G2, peut être connectée à l'électrode de grille d'un transistor T_4 du circuit de lecture.

L'intégration de plusieurs grilles métalliques dans un pixel pourrait conduire à réduire

la surface effectivement photosensible du pixel. Afin d'avoir une surface photosensible plus importante, le pixel d'imageur suivant l'invention peut être réalisé en technologie « aminci retourné » ou « backside »,
5 dans laquelle la lumière arrive par une face du pixel, par exemple la face arrière alors que le circuit de lecture et le multiplicateur se trouvent au niveau de l'autre face, par exemple en face avant, ce qui permet de collecter un maximum de photons.

10 Suivant une variante, les pixels d'imageurs suivant l'invention peuvent être réalisés dans une technologie dite « above IC » telle que décrite dans le document « A highly reliable amorphous photosensor for above IC CMOS image sensor », dans laquelle la zone
15 photosensible est fabriquée par-dessus le circuit de lecture et le multiplicateur d'électrons.

Un dispositif imageur suivant l'invention avec un multiplicateur à avalanche intégré à un pixel, en particulier de type CMOS, permet notamment de
20 s'affranchir des principales limitations des dispositifs CCD à avalanche : telles que le bruit et la variation du gain du multiplicateur en fonction des conditions environnementales, du vieillissement.

REVENDICATIONS

1. Dispositif microélectronique matriciel capteur d'image comportant une pluralité de cellules élémentaires ($100_{11}, \dots, 100_{mn}$) agencées selon une matrice, au moins une ou plusieurs cellules étant dotées d'au moins une zone photosensible (110) de capture de(s) photon(s) et de conversion de(s) photon(s) en électron(s), de moyens multiplicateurs (120) par avalanche électronique, prévus pour produire, lors de cycle(s) dits « de multiplication » d'électrons, un nombre d'électrons plus important que le nombre d'électrons convertis par la zone photosensible (110), les moyens multiplicateurs étant formées d'au moins une pluralité d'électrodes de grilles.

2. Dispositif microélectronique capteur d'image selon la revendication 1, comprenant en outre : au moins un circuit de commande (150) desdites grilles ($G1, G2, G3$), prévu pour appliquer des signaux de commande ($SG1, SG2, SG3$) respectivement auxdites grilles.

3. Dispositif microélectronique capteur d'image selon la revendication 2, dans lequel, lors de cycle(s) de multiplication, les moyens multiplicateurs ont un gain donné, ledit circuit de commande (150) desdites grilles ($G1, G2, G3$), étant prévu pour, lors dudit cycle de multiplication : appliquer au moins un premier signal de commande ($SG1$) à une première grille ($G1$) parmi lesdites grilles, au moins un deuxième

signal de commande (SG2) à une deuxième grille (G2) parmi lesdites grilles (G1, G2, G3), au moins un troisième signal de commande (SG3) à une troisième grille (G3) parmi lesdites grilles (G1, G2, G3), le premier signal (SG1), le deuxième signal (SG2), et le troisième signal (SG3) suivant respectivement une séquence prédéterminée, en fonction dudit gain donné.

4. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 3, dans lequel les moyens multiplicateurs (120) ont un gain réglable.

5. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 4, dans lequel le circuit de commande (150) desdites grilles (G1, G2, G3), est prévu pour appliquer des signaux de commande (SG1, SG2, SG3) respectivement auxdites grilles selon une séquence prédéterminée, le circuit de commande étant apte à modifier ladite séquence prédéterminée.

6. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 5, dans lequel, lors d'un ou plusieurs cycle(s) de multiplication, le circuit de commande (150) est apte à appliquer au moins une première séquence de signaux de commande (SG1, SG2, SG3) aux grilles des moyens multiplicateurs d'une ou plusieurs cellules données de la matrice, le circuit de commande étant apte en outre : à appliquer au moins une autre séquence de

signaux de commande, différente de la première séquence, aux grilles desdits moyens multiplicateurs desdites cellules données, lors d'un ou plusieurs autre(s) cycle(s) de multiplication.

5

7. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 6, dans lequel le circuit de commande (150) est apte à appliquer au moins une première séquence de signaux de commande (SG1, SG2, SG3) aux grilles de moyens multiplicateurs d'au moins une première cellule de la matrice, et à appliquer au moins une deuxième séquence de signaux de commande, différente de la première séquence, aux grilles de moyens multiplicateurs d'au moins une deuxième cellule de la matrice.

10
15

8. Dispositif microélectronique capteur d'image selon la revendication 7, dans lequel la deuxième séquence est une répétition d'un nombre donné X de fois la première séquence.

20

9. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 8, les moyens de multiplications d'électrons comportant au moins 3 grilles (G1, G2, G3).

25

10. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 9, les cellules comprenant en outre respectivement : au moins un circuit de lecture, le circuit de lecture comprenant, ou étant formé, d'au moins un convertisseur

30

charge/tension ou d'au moins un convertisseur charge/courant.

11. Dispositif microélectronique capteur
5 d'image selon la revendication 10, les moyens multiplicateurs étant intégrés dans le circuit de lecture.

12. Dispositif microélectronique capteur
10 d'image selon la revendication 10, les moyens multiplicateurs étant situés entre la zone photosensible et le circuit de lecture.

13. Dispositif microélectronique capteur
15 d'image selon l'une des revendications 10 à 12, le circuit de lecture étant apte à effectuer une lecture d'une quantité de charge(s) produite par ladite zone photosensible, préalablement à un cycle de multiplication de cette quantité de charge.

20

14. Dispositif microélectronique capteur
d'image selon l'une des revendications 10 à 13, le circuit de lecture étant apte à effectuer une lecture périodique.

25

15. Dispositif microélectronique capteur
d'image selon l'une des revendications 10 à 14, dans lequel les moyens multiplicateurs (120) ont un gain réglable et dans lequel le circuit de lecture (140) est
30 prévu pour effectuer une lecture périodiquement, ledit circuit de commande étant apte, après une lecture

effectuée par le circuit de lecture, à modifier le gain d'amplification d'une ou plusieurs cellules données de la matrice.

5 16. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 15, comprenant en outre : des moyens d'échantillonnage multiple corrélé.

10 17. Dispositif microélectronique capteur d'image selon l'une des revendications 1 à 16, dans lequel la zone photosensible est située sur une face donnée ou d'un côté donné d'un substrat, les grilles des moyens multiplicateurs étant formés sur ladite face
15 donnée ou sur ledit côté donné dudit substrat.

 18. Dispositif microélectronique capteur d'image selon la revendication 17, dans lequel la zone photosensible recouvre les grilles des moyens
20 multiplicateurs.

 19. Dispositif microélectronique capteur d'image selon la revendication 17, dans lequel la zone photosensible et les grilles des moyens multiplicateurs
25 sont juxtaposées.

1 / 5

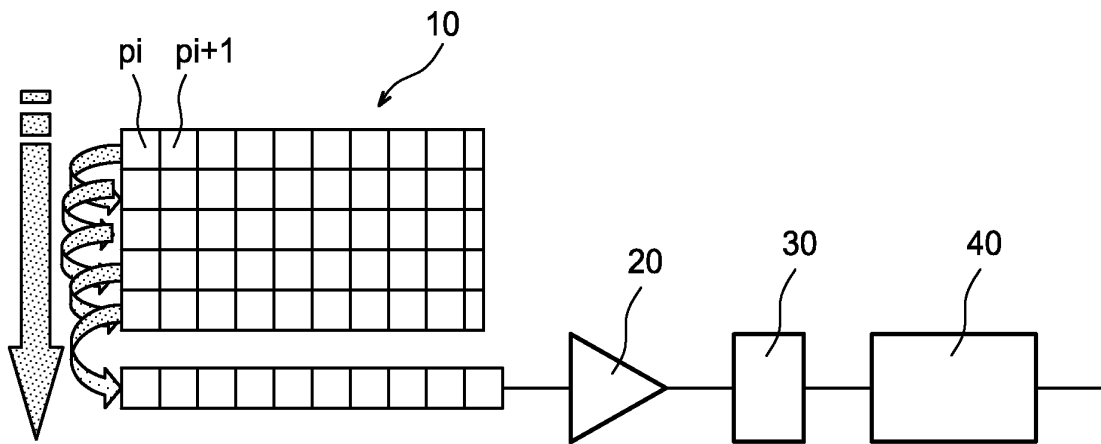


FIG. 1

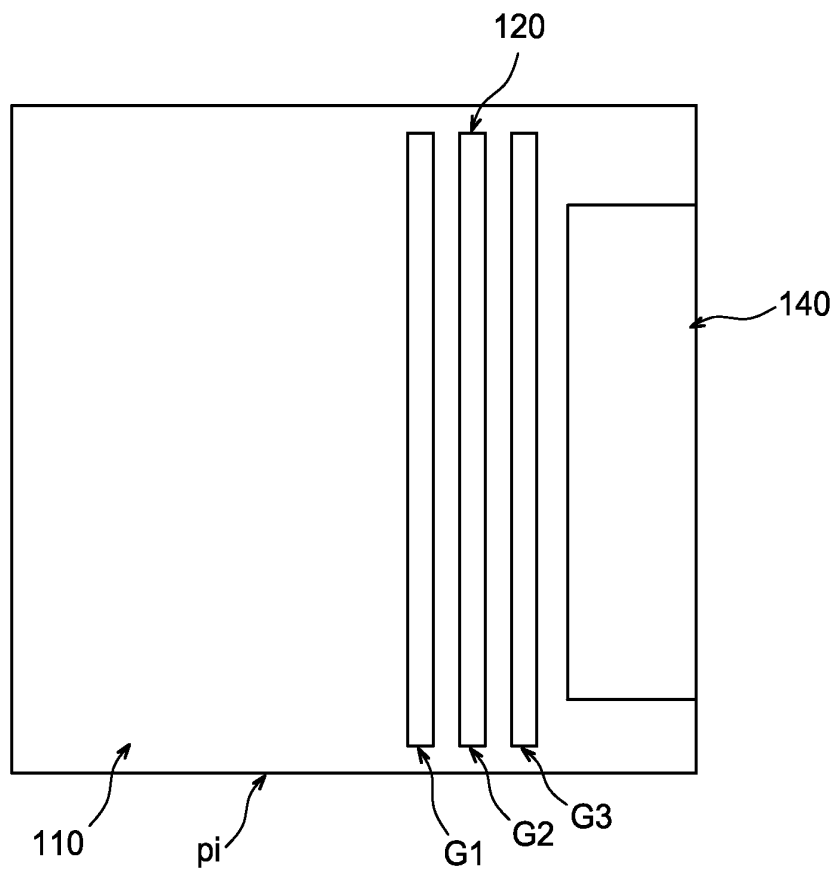
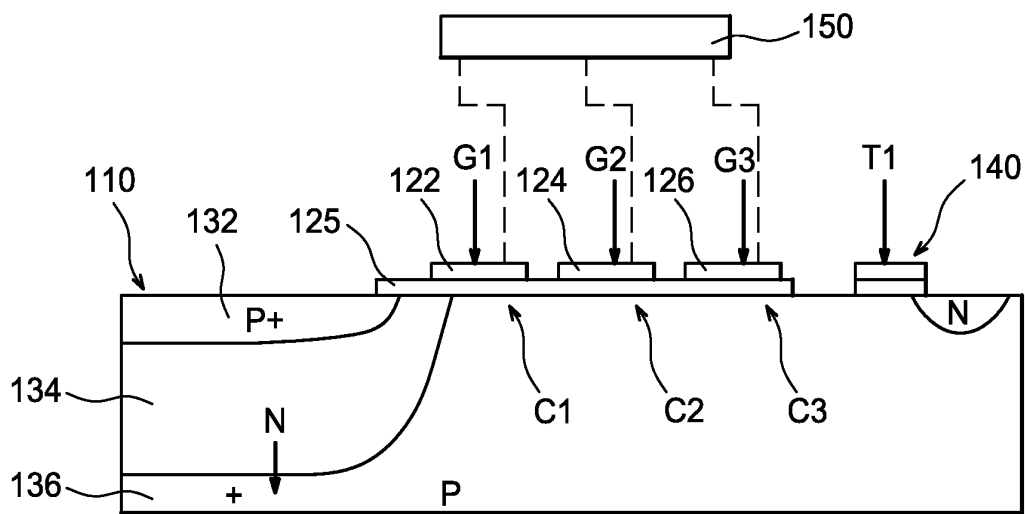
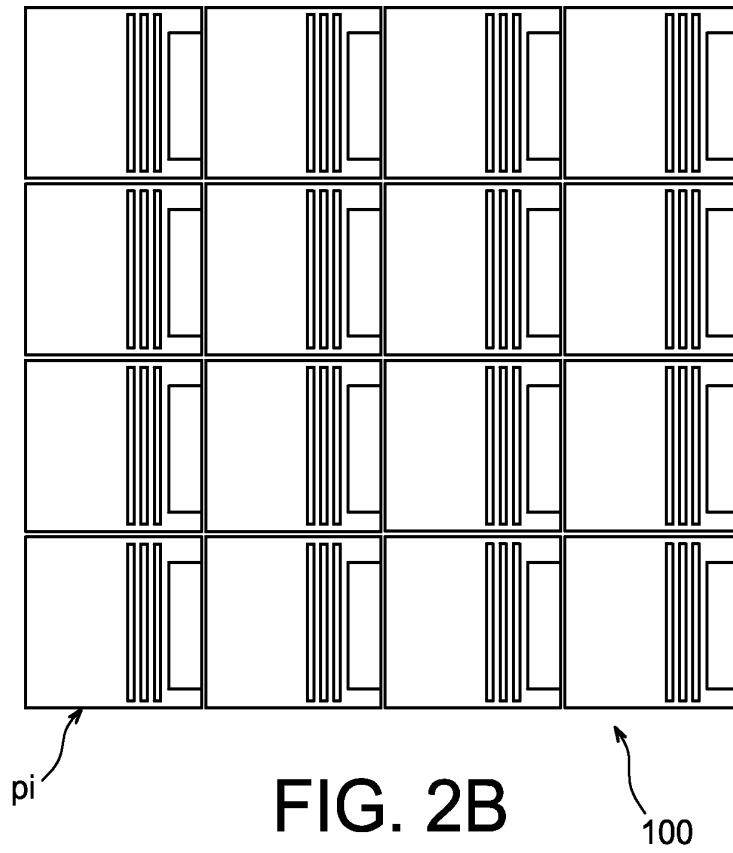
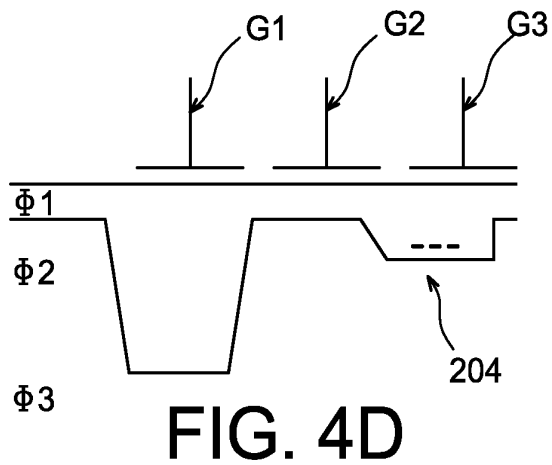
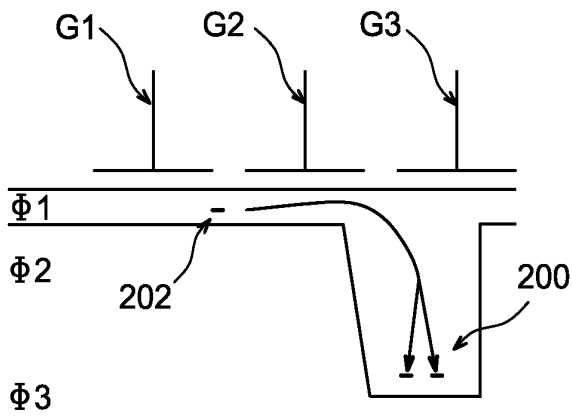
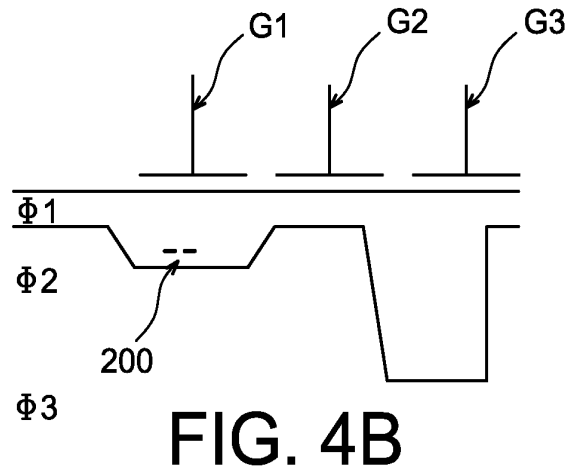
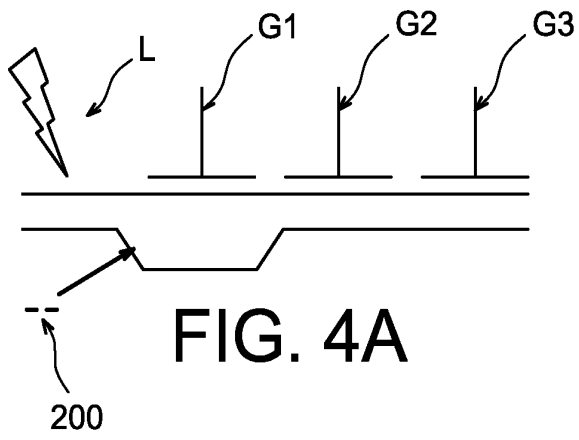


FIG. 2A

2 / 5



3 / 5



4 / 5

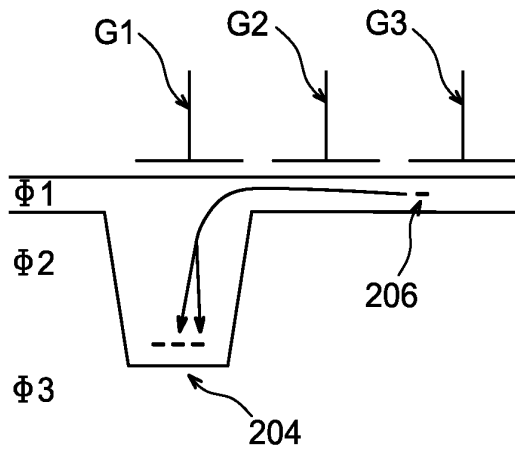


FIG. 4E

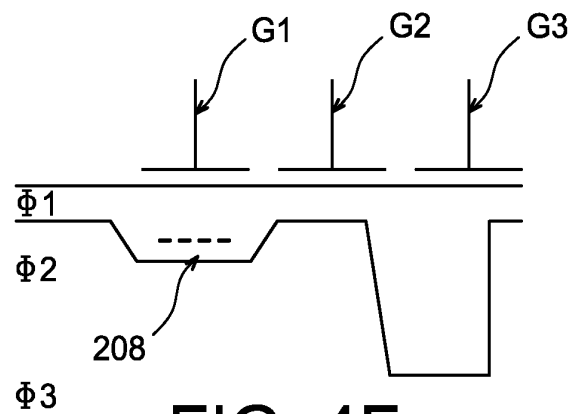


FIG. 4F

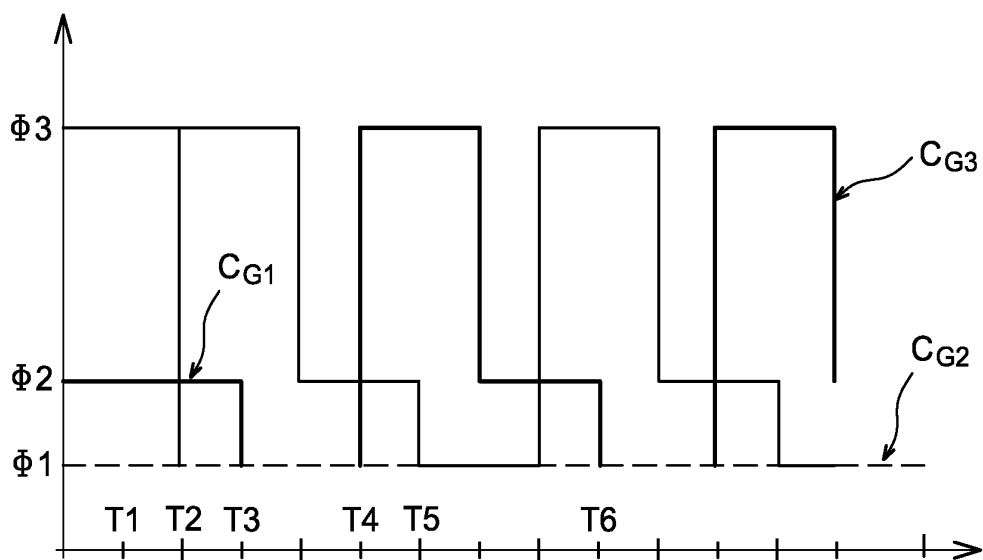


FIG. 5

5 / 5

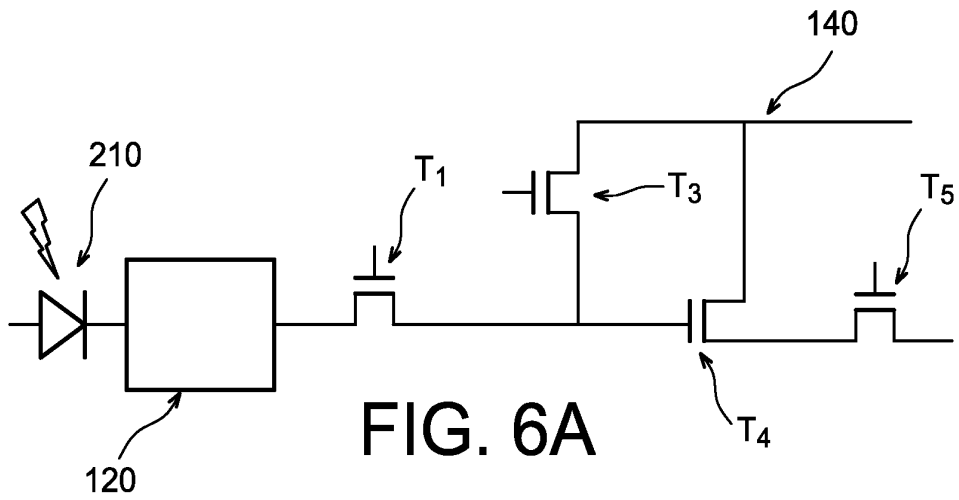


FIG. 6A

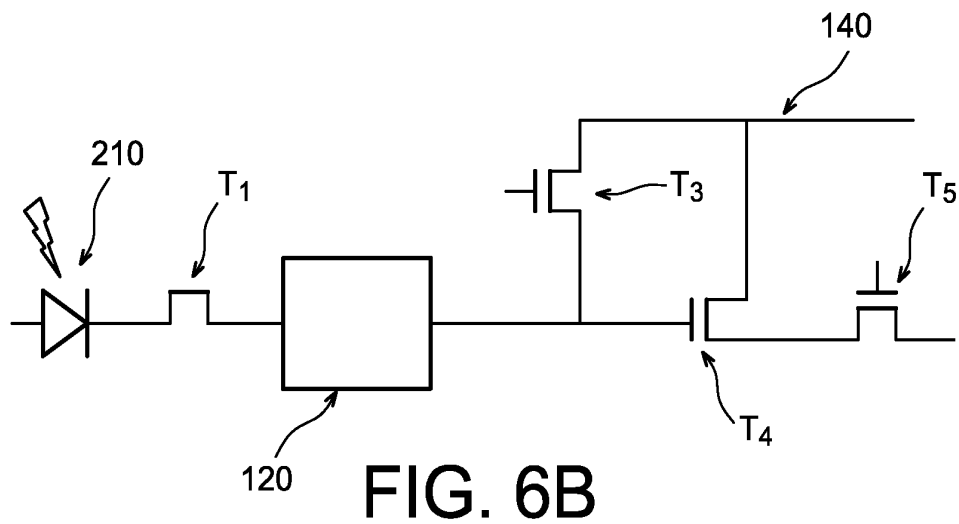


FIG. 6B

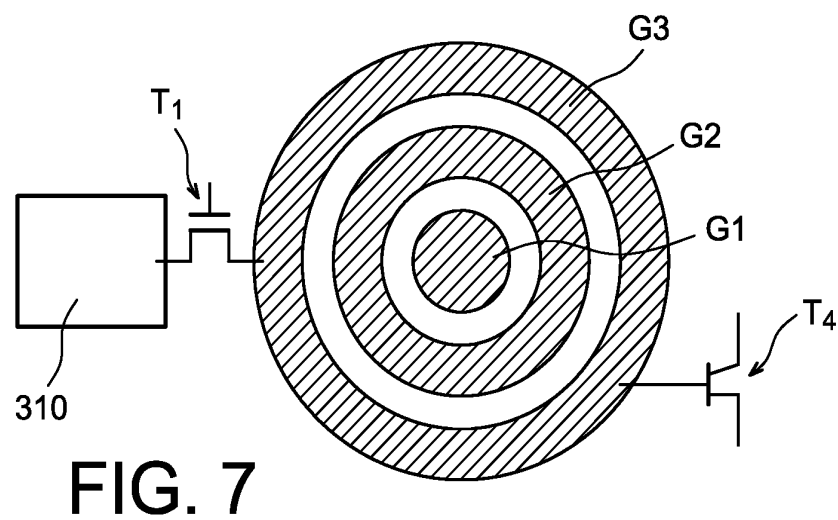


FIG. 7



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 702348
FR 0759730

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2007/176213 A1 (ODA MASAHIRO [JP]) 2 août 2007 (2007-08-02)	1-17,19	H01L27/146 H04N3/15
Y	* alinéas [0029] - [0050] * * figures 2-8 *	18	
D,Y	WO 2004/019609 A (MICRON TECHNOLOGY INC [US]) 4 mars 2004 (2004-03-04) * alinéas [0003] - [0005] * * figure 1a *	18	
X	JP 07 030816 A (JAPAN BROADCASTING CORP) 31 janvier 1995 (1995-01-31) * abrégé * * alinéas [0015] - [0017], [0029] - [0036] * * figures 1-4 *	1-5, 10-12, 14,15	
A	US 2006/175536 A1 (KIM YOUNG-CHAN [KR] ET AL) 10 août 2006 (2006-08-10) * alinéas [0013], [0089] - [0095]; figures 1,7 *	10-12	
A	WO 03/067663 A (QINETIQ LTD [GB]; MARSHALL GILLIAN FIONA [GB]; ROBBINS DAVID JOHN [GB]) 14 août 2003 (2003-08-14) * le document en entier *	1	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
Date d'achèvement de la recherche		Examineur	
22 septembre 2008		Markmann, Markus	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0759730 FA 702348**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 22-09-2008

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2007176213 A1	02-08-2007	JP 2007235097 A	13-09-2007
WO 2004019609 A	04-03-2004	AU 2003272232 A1 EP 1547152 A2 JP 2005536930 T KR 20050083654 A	11-03-2004 29-06-2005 02-12-2005 26-08-2005
JP 7030816 A	31-01-1995	JP 3447326 B2	16-09-2003
US 2006175536 A1	10-08-2006	CN 1828919 A JP 2006222427 A	06-09-2006 24-08-2006
WO 03067663 A	14-08-2003	AU 2002238699 A1 EP 1472739 A1 JP 4037367 B2 JP 2005517300 T	02-09-2003 03-11-2004 23-01-2008 09-06-2005