



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/78 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월02일 10-0714198 2007년04월26일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0010358 2000년03월02일 2005년01월08일	(65) 공개번호 (43) 공개일자	10-2000-0076758 2000년12월26일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 09/260,411 1999년03월01일 미국(US)

(73) 특허권자 페어차일드 세미컨덕터 코포레이션
미국 메인 04106 사우스 포틀랜드 러닝 힐 로드 82

(72) 발명자 코콘,크리스토퍼
미국,펜실베이니아18705,플레인즈,그레이스트라이브16

쟁준
미국,펜실베이니아18707,마운틴탑,카탈파애버뉴150

(74) 대리인 손은진

(56) 선행기술조사문헌	
us 05082795	us 05298780
us 05323040	us 05578508
us 05637898	us 05672889
us 05689128	jp 62193261

심사관 : 박근용

전체 청구항 수 : 총 13 항

(54) 매립게이트를 구비한 모스-게이트된 장치 및 그 형성방법

(57) 요약

향상된 트렌치 MOS-게이트된 장치는 단일결정의 반도체 기판을 포함하며, 상기 기판상에는 도핑된 상부층이 배치된다. 상기 상부층은 제1 극성을 갖고 드레인 영역을 덮는 다수의 고농도로 도핑된 본체 영역을 상부 표면에 포함한다. 상기 상부층은 또한 상기 본체 영역의 반대편에 제2 극성을 갖고 다수의 고농도로 도핑된 소스 영역을 상부 표면에 포함한다. 게이트 트렌치는 상기 상부층의 상부표면에서 상기 드레인 영역으로 연장되고 소스 영역을 분리시킨다. 상기 트렌치는 유전물질층을 포함하는 플로어 및 측벽을 구비하며, 선택된 레벨로 채워진 전도성의 게이트 물질 및 상기 게이트 물질을 덮고 상기 트렌치를 실질적으로 채우는 유전물질의 절연층을 포함한다. 상기 트렌치내에 유전물질을 덮는 층의 상부표면은 따라서 상기 상부층의 상부표면과 실질적으로 동일 평면상에 있다. 향상된 MOS-게이트 장치의 형성방법은 게이트 트렌치는 선택된 레벨로 전도성 게이트 물질이 채워져 있으며, 상부표면이 장치의 상부층의 상부표면과 실질적으로 동일 평면인 절연 유전층이 형성된 장치를 제공한다.

대표도

도 2

특허청구의 범위

청구항 1.

도핑된 단일결정 반도체 물질을 포함하는 기관,

상기 기관상에 배치된 도핑된 상부층으로서, 상기 상부층은 상부표면을 구비하고 제1 극성을 갖는 다수의 고농도로 도핑된 본체 영역을 상기 상부표면에 포함하며, 상기 본체 영역은 상기 상부층 내에 드레인 영역을 덮고 있으며, 상기 상부층은 제2 극성을 갖는 다수의 고농도로 도핑된 소스 영역을 상기 상부표면에 더 포함하며, 상기 상부표면에서 상기 상부층 내의 선택된 깊이로 연장되어 있는 상부층,

상기 소스 영역을 다른 소스 영역과 분리시키는 게이트 트렌치로서, 상기 트렌치는 상기 상부층의 상부표면에서 상기 드레인 영역으로 연장되며, 유전물질층을 포함하는 플로어 및 측벽을 구비하며, 상기 트렌치는 상기 상부층의 상부 표면의 하부에 선택된 레벨까지 전도성의 게이트 물질 및 상기 게이트 물질을 덮는 유전물질의 절연층으로 채워지고, 상기 트렌치내의 상기 덮는 유전물질층은 상기 상부층의 상기 상부표면과 동일 평면상에 있는 상부표면을 가지는 게이트 트렌치를 포함하며,

상기 기관은 단일결정 실리콘을 포함하고, 상부층은 에피택셜층을 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치.

청구항 2.

제 1 항에 있어서, 상기 상부층은 상기 제1 극성을 갖는 웰 영역을 포함하며, 상기 웰 영역은 상기 본체 및 소스 영역의 아래에 있으며 상기 드레인 영역을 덮으며, 상기 소스 영역 중 하나는 상기 소스 영역 중 하나와 게이트 트렌치 사이에 그리고 그것에 인접하여 배치되며, 상기 소스 영역 중 하나는 두 개의 게이트 트렌치 사이에 그리고 그것에 인접하여 배치되는 것을 특징으로 하는 트렌치 MOS-게이트된 장치.

청구항 3.

제 1 항에 있어서, 상기 다수의 본체 영역 및 상기 다수의 소스 영역은 각각 게이트 트렌치에 인접해서 본체 영역 및 소스 영역이 교대로 배치되는 다수의 어레이를 포함하며, 상기 어레이 중 하나는 상기 게이트 트렌치에 의해서 제2의 어레이와 분리되며, 본체 영역과 소스 영역이 교대로 있는 상기 어레이 각각은 상기 게이트 트렌치를 따라서 길이방향 면적을 가지며, 상기 소스 영역은 상기 길이방향 면적 중 더 많은 부분을 포함하고 상기 본체 영역은 더 적은 부분을 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치.

청구항 4.

제 1 항에 있어서, 상기 트렌치내의 게이트 물질의 선택된 레벨은 상기 상부층의 소스 영역의 선택된 깊이와 동일 평면에 있고, 상기 게이트 트렌치내의 상기 측벽, 상기 플로어, 및 상기 절연층을 형성하는 유전물질은 실리콘 디옥시드를 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치.

청구항 5.

제 4 항에 있어서, 상기 게이트 트렌치내의 상기 전도성 게이트 물질은 금속, 실리사이드, 및 도핑된 폴리실리콘으로 구성된 군에서 선택되며, 상기 제1 극성은 P이고 제2 극성은 N, 또는 상기 제1 극성은 N이고 상기 제2 극성은 P인 것을 특징으로 하는 트렌치 MOS-게이트된 장치.

청구항 6.

제 1 항에 있어서, 개방 셀 스트라이프 토폴로지를 가진 다수의 게이트 트렌치, 또는 폐쇄된-셀 셀방식의 토폴로지를 가진 다수의 게이트 트렌치를 포함하고, 상기 폐쇄된-셀 셀방식의 토폴로지내의 셀은 정사각형 또는 육각형의 구성을 갖는 것을 특징으로 하는 트렌치 MOS-게이트된 장치.

청구항 7.

트렌치 MOS-게이트된 장치의 형성방법에 있어서:

- (a) 반도체 기판상에 도핑된 상부층을 형성하는 단계로서, 상기 상부층은 상부표면 및 기본적인 드레인 영역을 포함하는 단계;
- (b) 상기 상부층내에 제1 극성을 갖는 웰 영역을 형성하는 단계로서, 상기 웰 영역은 상기 드레인 영역 위를 덮고 있는 단계;
- (c) 상기 상부층의 상기 상부표면상에 게이트 트렌치 마스크를 형성하는 단계;
- (d) 상기 웰 영역을 통해서 상기 상부표면에서 상기 드레인 영역으로 연장되는 다수의 게이트 트렌치를 형성하는 단계;
- (e) 각각의 상기 게이트 트렌치내에 유전물질을 각각 포함하는 측벽들 및 플로어를 형성하는 단계;
- (f) 각각의 상기 게이트 트렌치를 상기 상부 레벨의 상부 표면 하부의 선택된 레벨까지 전도성 게이트 물질로 채우는 단계;
- (g) 상기 상부층의 상부표면에서 상기 트렌치 마스크를 제거하는 단계;
- (h) 상기 상부층의 상부표면과 상기 게이트 트렌치에 유전물질의 절연층을 형성하는 단계로서, 상기 절연층은 상기 게이트 물질을 덮고 있으며, 상기 트렌치를 채우는 단계;
- (i) 상기 상부층의 상부표면에서 상기 유전층을 제거하는 단계로서, 상기 유전층은 상기 상부층의 상부표면과 동일 평면상에 있는 상부표면을 구비한 상부 트렌치내에 남아서 상기 트렌치를 채우는 단계;
- (j) 상기 본체영역에 제2 극성을 갖는 다수의 고농도로 도핑된 소스 영역을 형성하는 단계로서, 상기 소스 영역은 상기 상부층의 상부표면에서 선택된 깊이로 연장되어 있는 단계;
- (k) 상기 상부층의 상부표면에 제1 극성을 갖는 다수의 고농도로 도핑된 본체 영역을 형성하는 단계로서, 상기 본체 영역은 상기 상부층내에서 상기 드레인 영역을 덮고 있는 단계; 및
- (l) 상기 본체 및 상기 상부층의 상부표면위의 소스 영역에 금속접점을 형성하는 단계;를 포함하며,
- (m) 상기 기판은 단일결정 실리콘을 포함하고, 상기 상부층은 에피택셜층을 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

청구항 8.

제 7 항에 있어서, 상기 상부층은 상기 기판 중 고농도로 도핑된 부분을 포함하고, 상기 소스 영역 중 하나는 상기 소스 영역 중 하나와 게이트 트렌치 사이에 그리고 그것에 인접하여 배치된 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

청구항 9.

제 8 항에 있어서, 상기 소스 영역 중 하나는 두 개의 게이트 트렌치 사이에 그리고 그것에 인접하여 배치되며, 상기 웰 영역을 형성하는 단계는 상기 상부층을 도핑하는 것을 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

청구항 10.

제 9 항에 있어서, 상기 고농도로 도핑된 본체 영역의 형성단계는 상기 상부층을 도핑하는 단계를 더 포함하고, 상기 고농도로 도핑된 소스 영역의 형성단계는 마스크된 이온 주입 및 확산을 포함하며, 상기 마스크된 이온 주입 및 확산은 상기 게이트 트렌치내의 상기 게이트 물질의 상기 채우는 레벨과 동일 평면상에 있는 상기 도핑된 층내에 선택된 깊이까지 이루어지는 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

청구항 11.

제 7 항에 있어서, 상기 소스 영역 및 상기 본체 영역을 형성하는 단계는:

상기 기판의 전체 상부표면에 상기 제2 극성의 이온을 주입한 다음, 상기 기판의 상부표면에 본체 마스크를 형성하는 단계로서, 상기 마스크는 상기 트렌치를 횡단하는 개구를 포함하는 단계;

상기 기판의 상부표면을 상기 제1 극성의 도펀트로 도핑한 다음 상기 본체 마스크를 제거하는 단계로서, 상기 다수의 본체 영역 및 상기 다수의 소스 영역은 게이트 트렌치에 각각 인접 배치되어 교차되는 본체 영역 및 소스 영역의 다수의 어레이를 포함하며, 상기 어레이 중 하나는 상기 게이트 트렌치에 의해서 다른 어레이와 분리되는 단계를 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

청구항 12.

제 11 항에 있어서, 교대로 배치된 본체 및 소스 영역의 상기 각각의 어레이는 상기 게이트 트렌치를 따라 길이방향의 면적을 가지며, 상기 소스 영역은 상기 길이방향 면적 중 많은 부분을 포함하고, 상기 본체 영역은 적은 부분을 포함하는 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

청구항 13.

제 7 항에 있어서, 상기 게이트 트렌치내의 상기 전도성 게이트 물질은 금속, 실리사이드, 및 도핑된 폴리실리콘으로 구성된 군에서 선택되며, 상기 트렌치내의 게이트 물질의 선택된 레벨은 상기 상부층내의 소스 영역의 선택된 깊이와 동일 평면상에 있으며, 상기 제1 극성은 P이고 상기 제2 극성은 N, 또는 상기 제1 극성은 N이고 상기 제2 극성은 P인 것을 특징으로 하는 트렌치 MOS-게이트된 장치의 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 MOS-게이트된 장치 및 그 형성방법에 관한 것이다.

MOS 트랜지스터는 고전류, 저전압 스위칭 적용을 위한 평면형 트랜지스터를 능가하는 중요한 잇점을 제공하는 트랜치 게이트 구조를 포함한다. 상기 평면형 트랜지스터의 구성에서는 그러한 조건하에서 작동을 위해 의도된 트랜지스터의 디자인상에 실질적인 제한이 고전류에서 일어난다.

DMOS 장치의 트랜치 게이트는 대체로 소스에서 드레인으로 연장되고, 열적으로 성장된 실리콘 디옥사이드층과 각각 늘어서 있는 측벽들 및 플로어를 갖는 트랜치를 포함한다. 상기 일렬로 늘어선 트랜치는 도핑된 폴리 실리콘으로 채워져 있다. 상기 트랜치 게이트의 구조는 덜 제한된 전류흐름을 허용하고, 따라서, 낮은 수치의 비 작동저항(specific on-resistance)을 제공한다. 게다가, 상기 트랜치 게이트는 트랜지스터의 본체를 횡단하는 상기 소스의 바닥에서 상기 드레인 하부로 상기 트랜치의 수직 측벽을 따라서 연장되어 있는 MOS 채널에 감소된 셀 피치를 가능하게 한다. 그에 따라, 채널 밀도는 증가하게 되고, 상기 채널의 작동 저항으로의 기여를 감소시킨다. 트랜치 DMOS 트랜지스터의 구조 및 작동은 Bulucea 및 Rossen, "고전류(100A 범위) 스위칭용 트랜치 DMOS 트랜지스터 테크놀로지"의 고체상 전극(1991. Vol. 34, No.5, PP493-507)에서 논의되었으며, 본 발명에서 참고로 이용될 것이다. DMOS 장치들에 유용성을 더할 뿐만 아니라, 트랜치 게이트는 또한, 절연된 게이트 양극성 트랜지스터(IGBTs), MOS조절된 사이리스터, 및 다른 MOS-게이트된 장치들에 유용하게 채용된다.

도 1은 선행기술의 트랜치 MOS 게이트 장치의 단면도(100)를 나타낸 것이다. 도 1이 단지 하나의 MOSFET를 나타내고 있지만, 산업계에서 현재 채택하고 있는 대표적인 장치는 다양한 셀 방식으로 또는 스트라이프 배치로 배열된 MOSFET의 배열로 구성된다.

장치(100)는 도핑된(N+로 표시) 기판(101)을 포함하며, 상기 기판상에는 성장된 도핑된 에피택셜 층(102)이 있다. 에피택셜 층(102)은 드레인 영역(103), 고농도로 도핑된(P+) 본체영역(104), 및 P-웰(105)을 포함한다. 에피택셜 층내에 인접하는 본체영역(103)은 고농도로 도핑된(N+) 소스영역(106)이며, 유전체 측벽(108) 및 플로어(109)를 포함하는 게이트 트랜치(107)에 의해서 서로 분리되어 있다. 게이트 트랜치(107)는 대체로 게이트 반도체 물질(110)로 채워져 있다. 상기 소스 영역(106) 및 게이트 반도체 물질(110)은 기능상 장치(100)에 대해서 전기적으로 절연되어야 하므로, 유전층(111)으로 덮여있다. 접촉 개구(112)는 물질(113)이 본체영역(104) 및 소스영역(106)과 접하도록 할 수 있다.

접촉개구(112)는 유전층(111)내에 형성되어 있으며, 통상적인 마스크/에치 기술에 의해서 대체로 디포지트된 산화물이다. 장치(100)의 크기는 분리를 위해 필요한 절연체의 최소 두께(소스 영역(106)과 게이트 트랜치(107) 사이의 측면간격) 및 마스크/에치 과정의 허용차 용량에 따른다. 유전층(111)의 두께는 최소 필요 전압 격리 뿐만 아니라, 소스-게이트간 정전용량을 최소화하기 위한 요구에 따라서 결정되며, 장치 스위칭 속도 및 스위칭 손실에 영향을 준다. 스위칭 손실은 상기 정전용량에 정비례하며, 상기 유전체 두께에 교대로 반비례한다. 따라서, 선행기술 장치(100)에서 유전층(111)의 대체적인 최소 두께는 0.5~0.8 μ m이다.

발명이 이루고자 하는 기술적 과제

상기 언급한 바와 같이, 유전층(111)의 필요 최소 두께는 장치(100)의 최소 크기에 한계를 부과한다. 반도체 장치의 크기를 줄이면서 효율을 향상시킬 수 있는 것이 바람직하며, 본 발명은 이러한 잇점을 제공한다.

발명의 구성

본 발명은 기판, 기판상에 배치된 도핑된 상부층, 게이트 트랜치로 구성된 트랜치 MOS-게이트된 장치를 포함하는데, 상기 기판은 도핑된 단일 결정의 반도체 물질을 포함하며, 상기 기판상에 배치된 도핑된 상부층은 상부 표면을 갖고, 상부 표면에 제1 극성을 갖는 다수의 고농도로 도핑된 본체 영역을 포함하고, 상기 본체 영역은 상기 상부층내의 드레인 영역위를 덮고 있으며, 상기 상부층은 또한, 제2 극성을 갖고 상기 상부표면에서 상부층내로 선택된 깊이로 연장된 다수의 고농도로 도핑된 소스 영역을 상부표면에 포함하고, 상기 게이트 트랜치는 소스 영역 중 하나와 제2 소스 영역을 분리시키며, 상기 상부층의 상부표면에서 상기 드레인 영역으로 연장되어 있으며, 유전물질층을 포함하는 플로어 및 측벽들을 구비하며, 상기 상부층의 상부표면의 대체적으로 하부에 선택된 레벨로 전도성의 게이트 물질과 상기 게이트 물질위를 덮고 있는 유전

체 물질의 절연층으로 채워져 있으며, 상기 트렌치내의 유전물질을 덮고 있는 층은 상기 상부층의 상부 표면과 대체로 동일 평면상에 있는 상부표면을 구비하며, 여기서, 상기 기판은 단일 결정의 실리콘을 포함하고, 상부층은 에피택셜층을 포함한다.

본 발명은 또한, 트렌치 MOS-게이트된 장치를 형성하기 위한 방법을 포함한다. 상기 형성방법은:

- (a) 반도체 기판상에 도핑된 상부층을 형성하는 단계로서, 상기 상부층은 상부표면 및 기본적인 드레인 영역을 포함하는 단계;
- (b) 상기 상부층내에 제1 극성을 갖는 웰 영역을 형성하는 단계로서, 상기 웰 영역은 상기 드레인 영역 위를 덮고 있는 단계;
- (c) 상기 상부층의 상기 상부표면상에 게이트 트렌치 마스크를 형성하는 단계;
- (d) 상기 웰 영역을 통해서 상기 상부표면에서 상기 드레인 영역으로 연장되는 다수의 게이트 트렌치를 형성하는 단계;
- (e) 각각의 상기 게이트 트렌치내에 유전 물질을 각각 포함하는 측벽들 및 플로어를 형성하는 단계;
- (f) 각각의 상기 게이트 트렌치를 상기 상부 레벨의 상부 표면의 대체로 하부의 선택된 레벨로 전도성 게이트 물질로 채우는 단계;
- (g) 상기 상부층의 상부표면에서 상기 트렌치 마스크를 제거하는 단계;
- (h) 상기 상부층의 상부표면과 상기 게이트 트렌치에 유전물질의 절연층을 형성하는 단계로서, 상기 절연층은 상기 게이트 물질을 덮고 있으며, 상기 트렌치를 실질적으로 채우는 단계;
- (i) 상기 상부층의 상부표면에서 상기 유전층을 제거하는 단계로서, 상기 유전층은 상기 상부층의 상부표면과 실질적으로 동일 평면상에 있는 상부표면을 구비한 상기 트렌치 내에 남아서 상기 트렌치를 실질적으로 채우는 단계;
- (j) 상기 본체영역에 제2 극성을 갖는 다수의 강하게 도핑된 소스영역을 형성하는 단계로서, 상기 소스 영역은 상기 상부층의 상부표면에서 선택된 깊이로 연장되어 있는 단계;
- (k) 상기 상부층의 상부표면에 제1 극성을 갖는 다수의 고농도로 도핑된 본체영역을 형성하는 단계로서, 상기 본체영역은 상기 상부층내에서 상기 드레인 영역을 덮고 있는 단계; 및
- (l) 상기 본체 및 상기 상부층의 상부표면위의 소스 영역에 금속접점을 형성하는 단계;를 포함하고,
- (m) 상기 기판은 단일결정의 실리콘을 포함하고, 상기 상부층은 에피택셜층을 포함하는 것이 바람직하다.

편리하게, 본 발명은 도핑된 상부층을 포함하는 단일결정의 반도체 기판상에 형성된 트렌치 MOS-게이트된 장치에 관련된다.

상기 도핑된 상부층은 제1 극성을 갖고 웰 영역과 드레인 영역 위를 덮고 있는 다수의 고농도로 도핑된 본체 영역을 상부표면에 포함한다. 상기 상부층은 또한, 상부표면에 다수의 고농도로 도핑된 소스 영역을 포함하고, 본체 영역의 반대편에 제2 극성을 갖으며, 상기 상부층내에 선택된 깊이로 연장되어 있다.

게이트 트렌치는 웰 영역을 통해서 상부층의 상부표면에서 상기 드레인 영역으로 연장되어 있으며, 제1 소스 영역과 제2 소스 영역을 분리시킨다. 상기 트렌치는 유전물질층을 포함하는 플로어 및 측벽들을 구비하며, 선택된 레벨로 상기 트렌치를 실질적으로 채우는 전도성의 게이트 물질과 상기 게이트 물질위를 덮고 상기 트렌치를 실질적으로 채우는 유전물질의 절연층을 포함한다. 따라서, 상기 트렌치내의 유전물질을 덮는 층의 상부표면은 상기 상부층의 상부표면과 대체로 동일 평면상에 있다.

고밀도, 자가 정렬된 트렌치 MOS-게이트된 장치의 형성방법은 유익하다. 상부표면을 구비한 도핑된 상부층과 기본적인 드레인 영역이 기판상에 형성되어 있으며, 제1 극성을 갖는 웰 영역이 상기 드레인 영역위의 상부층내에 형성되어 있다. 게이트 트렌치 마스크는 상부층의 상부표면상에 형성되어 있으며, 상기 웰 영역을 통해서 상기 표면에서 상기 드레인 영역으로 연장되어 있는 다수의 게이트 트렌치가 상부층내에 에칭되어 있다.

유전물질을 각각 구성하는 측벽들 및 플로어는 각각의 게이트 트렌치내에 형성되어 있으며, 선택된 레벨로 전도성의 게이트 물질로 채워져 있다. 상기 트렌치 마스크는 제거되고, 유전물질의 절연층은 상부층의 상단표면과 게이트 트렌치내에 형성되며, 거기서 상기 절연층은 상기 게이트 물질위를 덮고 있으며, 상기 트렌치를 실질적으로 채운다. 상기 유전층은 상부층의 상단표면에서 제거된다; 상기 트렌치내에 남아있는 상기 유전층은 상기 상부층의 상부표면과 대체로 동일 평면상에 있는 상부표면을 갖는다.

제1 극성을 갖는 다수의 고농도로 도핑된 본체 영역은 상부층의 상부표면상에 형성되어 있다. 소스 마스크는 상기 상부표면상에 형성되어 있으며, 제2 극성을 갖고 상부층 내부로 선택된 깊이로 연장되어 있는 다수의 고농도로 도핑된 소스 영역은 상기 본체영역내에 형성되어 있다. 상기 소스 마스크를 제거한 후, 상기 본체 및 소스 영역간의 금속 접점이 상기 상부층의 상부표면위에 형성된다.

본 발명을 첨부된 도면을 참고로 실시예를 들어 설명하고자 한다.

상기 트렌치 MOS-게이트된 장치는 게이트-소스간 유전체 격리를 위해서 요구되는 표면적을 제거함으로써, 장치의 크기를 실질적으로 줄일 수 있다. 유전층내에 접점개구를 형성하기 위한 마스킹 과정 또한 없앨 수 있다. 따라서, 상기 게이트 트렌치는 자가 정렬된다.

도 2는 향상된 트렌치 MOS-게이트된 장치(200)를 나타낸다. 상기 장치(200)는 기판위에 에피택셜 도핑된 상부층(202)이 놓여있는 도핑된 N+ 기판(201)을 포함한다. 에피택셜층(202)은 드레인 영역(203), 고농도로 도핑된 P+ 본체 영역들(204), 및 P-웰 영역(205)을 포함한다. 에피택셜층(203)내에 인접한 본체영역(204)은 고농도로 도핑된 N+ 소스 영역(206)이며, 유전체 측벽(208)과 플로어(209)를 구비한 게이트 트렌치(207)에 의해서 서로 분리되어 있다. 트렌치(207)내에는 선택된 레벨(211)까지 채워진 게이트 물질(210), 및 덮는 유전층(212)이 포함되어 있다. 게이트 물질(210)의 선택된 레벨(211)은 N+ 소스 영역(206)의 상기 선택된 깊이(216)과 거의 동일 평면이며, 따라서, 소스 영역(206)과 게이트 물질(210)간에 오버랩을 제공한다. 게이트 유전층(212)의 상기 표면(213)은 에피택셜층(202)의 표면(214)과 대체로 동일평면이다. 디포지트된 금속층(215)은 접점개구를 형성하기 위한 마스킹 과정에 대한 요구없이 본체 영역(204) 및 소스 영역(206)을 접촉시킬 수 있다.

게이트 물질(210)은 게이트 절연을 제공하기에 충분한 두께의 유전층(212)을 포함할 수 있도록 게이트 트렌치(207) 내부에 놓여있기 때문에, N+ 소스 영역(206)을 형성하기 위한 확산은 게이트 물질(210)과의 중첩을 확실하게 할 만큼 충분히 깊어야 한다. 장치(200)내에서 소스 영역(206)은 N극성을 갖는 것으로, 본체 영역(204)은 P극성을 갖는 것으로 나타내었을 지라도, 상기 영역들의 극성은 도 2에 나타낸 것과 반대가 될 수 있다.

도 2a-d는 장치(200)를 형성하기 위한 과정을 나타낸다. 도 2a에 나타낸 바와 같이, 도핑된 반도체 기판(201)상에 드레인 영역(203)을 포함하는 도핑된 상부층(202)이 형성되어 있다. 여기서, 상기 기판은 단일결정의 실리콘일 수 있다. 상부층(202)은 에피택셜하게 증가된 성장된 실리콘일 수 있으며, 또는 낮은 전압장치(ca 12V)에 대해서 기판(201) 중 고농도로 도핑된 부분일 수 있다. P웰 영역(205)은 상부층 표면(214)내부로 도핑함으로써 층(202)내에 형성되어 있다. 게이트 트렌치를 규정하기 위해 모방된 트렌치 마스크(TM)는 표면(214)상에 형성되고, P-웰 영역(205)를 통해서 드레인 영역(203)으로 연장된 게이트 트렌치(207)는 층(202)내에 에칭되어 있다. 트렌치 유전 측벽(208) 및 플로어(209)는 실리콘디옥ไซด์를 포함하는 것이 바람직하며, 디포지트되거나 성장될 수 있으며, 트렌치 게이트(207)내에 형성되어 있으며, 예를 들어, 금속, 실리콘사이드, 또는 도핑된 폴리실리콘과 같은 전도성 게이트 물질(210)로 선택된 깊이(211)까지 채워져 있다.

도 2b에서, 트렌치 마스크(TM)를 제거한 후, 트렌치(207)를 채우는 과정은 트렌치(20) 내의 게이트 물질(210)위와 표면(214)상에 실리콘 디옥ไซด์와 같은 절연 유전층(212)을 형성함으로써 완수된다. 평탄화 유전체 에치는 트렌치(207)에서 유전물질(212)를 제거하지 않고 재노출(re-expose) 표면(214)에 수행된다. 따라서, 트렌치(207)내의 유전층(212)의 표면(213)은 층(202)의 상부표면(214)과 실질적으로 동일평면에 있게 된다. 그러나, 소스 접촉을 증가시키고, 장치 작동 저항 특성을 향상시키기 위해서 표면(214)의 약간 하부에 표면(213)을 에치시키는 것이 바람직할 것이다.

도 2b에서, N+ 소스 영역(206)은 유전물질(210)의 선택된 레벨(211)과 대략 동일 평면에 있는 선택된 깊이 (216)으로의 이온 주입 및 확산에 의해서 층(202)내에 형성되며, 그에 따라, 게이트 물질(210)과 소스 영역(206) 사이에 중첩을 제공하는다.

도 2c에서, 본체 마스크(M)는 표면(214)상에 형성되어 있으며, P+ 본체 영역(204)는 층(202)의 부가 도핑에 의해서 형성된다. 상기 본체 마스크(M)를 제거한 후, 점점에 본체 영역(204) 및 소스 영역(206)을 공급하기 위하여 금속(215)을 디포지트하여 도 2d에 도시되었듯이, 장치(200)의 형성을 완성한다. 금속(도시되지 않음)은 점점에 드레인 영역(203)을 공급하기 위해서 상기 기판의 반대편에 디포지트될 수 있다. 상기한 제조과정에서 소스 영역(206)의 형성은 본체 영역(204)의 형성에 우선하나, 이러한 순서는 중요하지 않으며, 상기한 마스크 공정은 편의에 따라 바뀔 수 있다.

본 발명의 장치에 포함된 게이트 트렌치(207)는 개방 셀 스트라이프 토폴로지(topology) 또는 패쇄-셀 셀 방식의 토폴로지를 구비할 수 있다. 게다가, 상기 패쇄-셀 셀 방식의 토폴로지에서는, 상기 트렌치는 정사각형 또는 보다 바람직하게는 6각형의 구성을 가질 수 있다. 도 2에 도시된 장치(200)는 전력 MOSFET이나, 본 발명은 절연 게이트 양극성 트랜지스터(IGBT), MOS-조절된 사이리스터(MCT), 및 축적 전계 효과 트랜지스터(ACCUFET) 등의 다른 MOS게이트된 장치들의 구조에 적용될 수 있다.

도 3a-c는 본 발명의 다른 실시예를 나타낸 것이다. 장치(300)는 도핑된 N+ 기판(301)을 포함하며, 상기 기판위에는 도핑된 상부층(302)이 배치되어 있다. 상부층(302)은 드레인 영역(303) 및 P-웰(305)을 포함한다. 도 3a에서, P+ 본체 영역(304)은 층(302)내에 형성되어 있으며, 게이트 트렌치(307)에 의해서 서로 분리되어 있다. 도 3b에서, 이온 주입 및 확산에 의해서 선택된 깊이(316)로 상부층(302)내에 형성된 N+ 소스 영역(306) 또한 도 3a에서와 유사하게 게이트 트렌치(307)에 의해서 분리되어 있다. 게이트 트렌치(307)는 각각 유전체 측벽(308) 및 플로어(309)를 구비하며, 선택된 레벨(311)까지 채워진 전도성 게이트 물질(310)과 덮는 유전층(312)을 포함한다. 게이트 유전층(312)의 표면(313)은 상부층(302)의 표면(314)과 실질적으로 동일 평면에 있다. 금속층(315)은 본체 영역(304)과 소스 영역(306)을 접촉시키기 위하여 표면(314)상에 디포지트되어 있다.

도 3c에서, 장치(300)는 P+ 본체 영역(304)과 N+ 본체 영역(306)이 교대로 있는 다수의 어레이(317)를 포함하고 있다. 각 어레이(317)는 게이트 트렌치(307)에 인접해 배치되어 있으며, 게이트 트렌치(307)에 의해서 다음 어레이(317)와 분리되어 있다. 또한, 도 3c에 도시되어 있는 바와 같이, 소스 영역(306)은 게이트 트렌치(307)의 옆에 배치된 어레이(317)의 길이방향으로 보다 많은 면적을 포함하고, 본체 영역(304)은 보다 적은 부분을 포함한다.

장치(300)의 형성에서, 재노출 표면(314)에 유전층(312)이 평탄화된 후, P+ 본체 영역이 도핑에 의해서 상부층(302)에 형성된다. 중요하지 않은 소스 마스크(도시되지 않음)는 트렌치(307)에 가로질러 배치되어 표면(314)상에 형성되며, 소스 영역(306)은 이온 주입 및 확산에 의해서 형성된다. 도 3a-c의 장치(300)에 나타난 바와 같이, 게이트 트렌치(307)에 의해서 분리된 어레이(317)내의 본체영역(304) 및 소스 영역(306)은 장치의 크기를 줄이는 잇점이 있다.

향상된 트렌치 MOS-게이트된 장치는 단일결정의 반도체 기판을 포함하며, 기판상에는 도핑된 상부층이 배치되어 있다. 상기 상부층은 제1 극성을 갖고 드레인 영역을 덮는 다수의 고농도로 도핑된 본체 영역을 상부 표면에 포함한다. 상기 상부층은 상기 본체 영역의 반대편에 제2 극성을 갖는 다수의 고농도로 도핑된 소스 영역을 상부 표면에 포함한다. 게이트 트렌치는 상기 상부층의 상부표면에서 상기 드레인 영역으로 연장되어 있으며, 소스 영역을 분리시킨다. 상기 트렌치는 유전물질층을 포함하는 플로어 및 측벽을 구비하며, 선택된 레벨까지 채워진 전도성의 물질과 상기 게이트 물질을 덮는 유전물질의 절연층을 포함하며, 상기 트렌치를 실질적으로 채운다. 따라서, 상기 트렌치내의 유전물질을 덮는 층의 상부표면은 상기 상부층의 상부표면과 실질적으로 동일평면상에 있다.

발명의 효과

향상된 MOS-게이트된 장치의 형성방법은 게이트 트렌치를 전도성의 게이트 물질로 선택된 레벨까지 채우고, 상기 게이트 트렌치 위에 상부 표면이 장치의 상부층의 상부표면과 실질적으로 동일평면인 절연 유전층이 형성된 장치를 제공한다.

도면의 간단한 설명

도 1은 선행기술에 의한 트렌치 MOS-게이트된 장치(100)의 단면부분을 나타낸 것이다.

도 2는 본 발명의 트렌치 MOS-게이트된 장치(200)의 대표 단면도이다. 도 2a-d는 장치(200)의 형성방법을 설명한 것이다.

도 3a 및 3b는 본 발명에 따른 다른 장치(300)의 단면도를 나타낸 것이다. 도 3c는 장치(300)의 평면도를 나타낸 것이다.

<도면의 주요부분에 대한 부호의 설명>

200: 트렌치 MOS-게이트된 장치

201: 기판

203: 드레인 영역

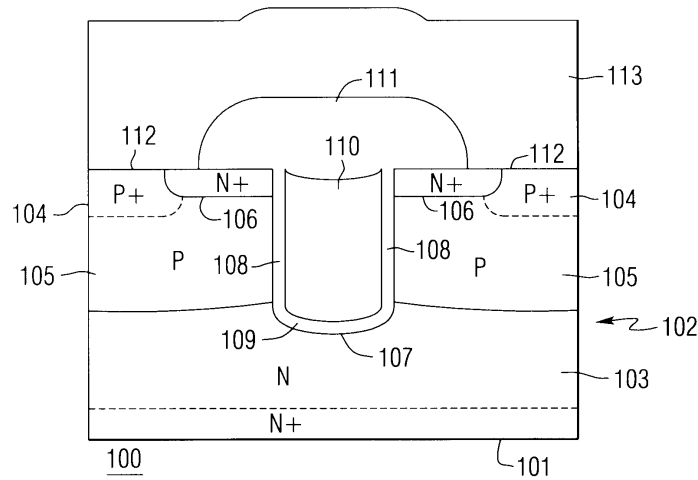
204: 본체 영역

206: 소스 영역

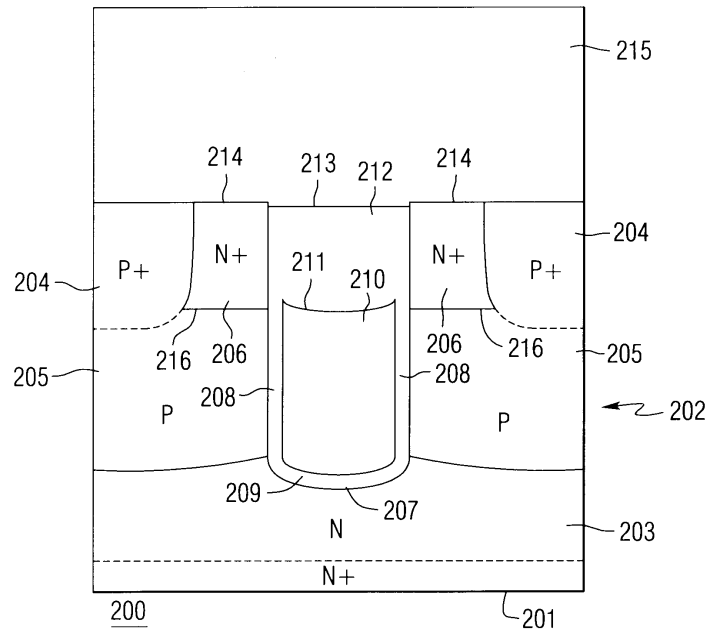
207: 게이트 트렌치

도면

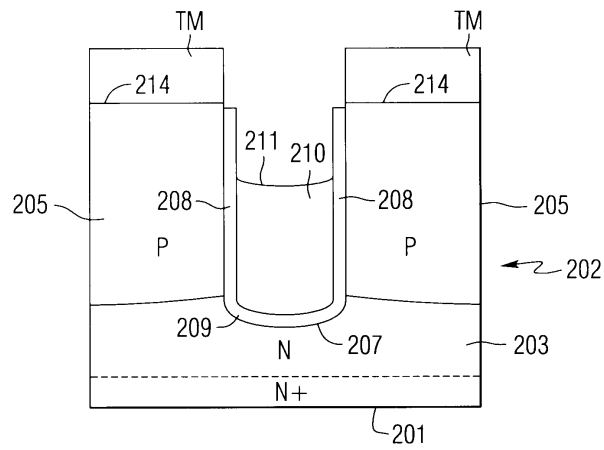
도면1



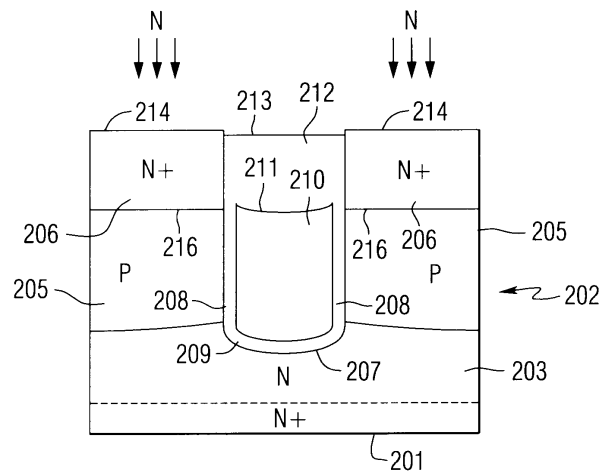
도면2



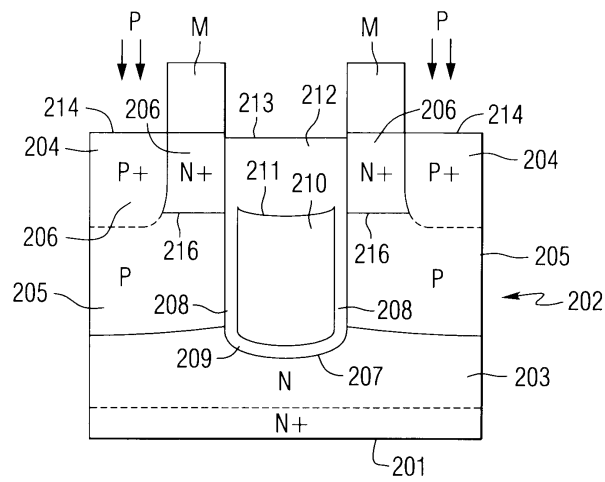
도면2a



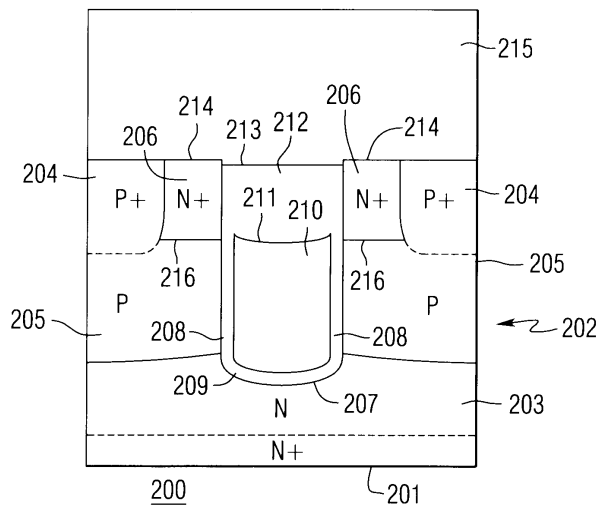
도면2b



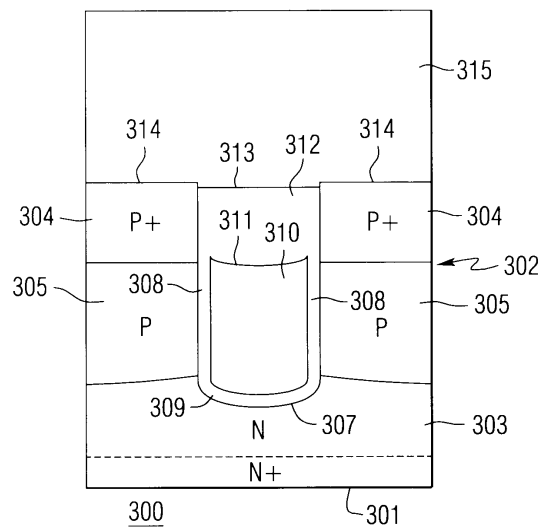
도면2c



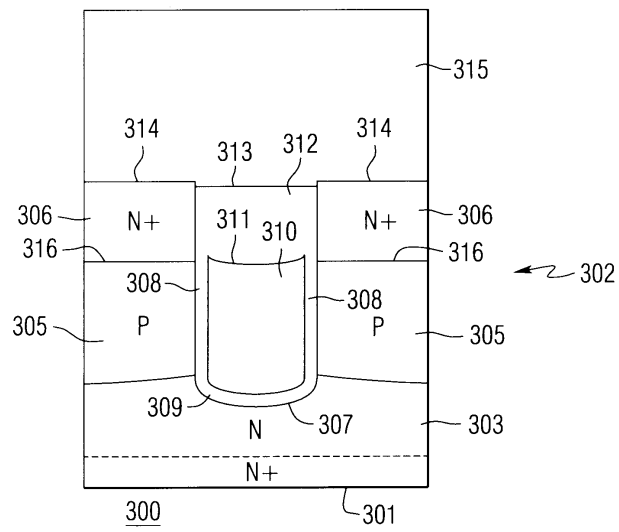
도면2d



도면3a



도면3b



도면3c

