



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월29일  
(11) 등록번호 10-0780596  
(24) 등록일자 2007년11월23일

(51) Int. Cl.

H01L 21/3205 (2006.01) H01L 21/28

(2006.01)

(21) 출원번호 10-2006-0060291

(22) 출원일자 2006년06월30일

심사청구일자 2006년06월30일

(56) 선행기술조사문헌

KR1020050116314 A

KR1020060008556 A

KR1020060072383 A

전체 청구항 수 : 총 10 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

황창연

경기 이천시 대월면 사동리 386-72 현대5차 504동  
503호

(74) 대리인

특허법인 신성

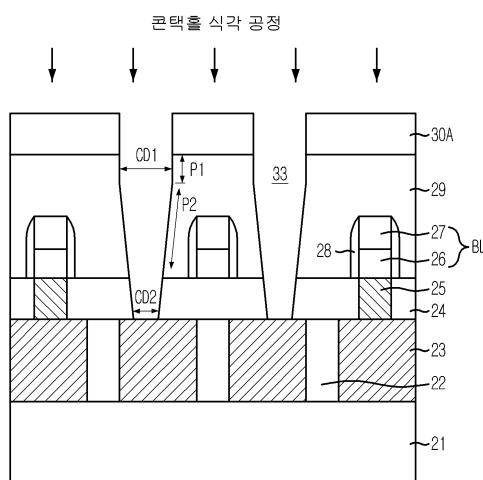
심사관 : 김희주

(54) 반도체 소자의 콘택플러그 제조 방법

### (57) 요 약

본 발명은 폴리 패드 공정 없이 스토리지노드콘택플러그와 랜딩플러그분리막 간의 오버랩 마진을 확보하면서, 스토리지노드콘택홀 식각시 랜딩플러그분리막의 식각 손실을 방지하는데 적합한 반도체 소자의 콘택플러그 제조 방법을 제공하기 위한 것으로, 이를 위한 본 발명의 반도체 소자의 콘택플러그 제조 방법은 랜딩 플러그가 형성된 반도체 기판 상부에 절연막을 형성하는 단계; 상기 절연막의 소정 영역 상에 비정질 카본 하드마스크를 형성하는 단계; 상기 비정질 카본 하드마스크를 식각베리어로 상기 절연막을 식각하여 랜딩플러그 상부를 오픈하는 스토리지노드콘택홀을 형성하는 단계; 및 상기 스토리지노드콘택홀에 도전 물질을 매립하여 스토리지노드콘택플러그를 형성하는 단계를 포함하며, 이에 따라 본 발명은 구현하고자 하는 선폭을 정의하는 비정질 카본 하드마스크를 식각베리어로, 상부에 비해 하부로 갈수록 선폭이 좁아지는 스토리지노드콘택홀을 형성하여 스토리지노드콘택플러그와 스토리지노드 간의 오버랩마진을 개선하므로서 제조 수율이 향상되는 효과가 있으며, 상부에 비해 하부로 갈수록 선폭이 좁아지는 스토리지노드콘택홀을 형성하여 스토리지노드콘택플러그와 랜딩플러그분리막의 오버랩마진을 확보할 수 있는 효과가 있다.

대표도 - 도2c



## 특허청구의 범위

### 청구항 1

랜딩 플러그가 형성된 반도체 기판 상부에 절연막을 형성하는 단계;  
 상기 절연막 상에 비정질 카본막을 형성하는 단계;  
 상기 비정질 카본막 상부에 포토레지스트 패턴을 형성하는 단계;  
 상기 포토레지스트 패턴을 식각 베리어로 상기 비정질 카본막을 식각하여 비정질 카본 하드마스크를 형성하는 단계;  
 상기 비정질 카본 하드마스크를 식각베리어로 상기 절연막을 식각하여 랜딩플러그를 오픈하는 스토리지노드콘택홀을 형성하는 단계; 및  
 상기 스토리지노드콘택홀에 도전 물질을 매립하여 스토리지노드콘택플러그를 형성하는 단계를 포함하며,  
 상기 비정질 카본막을 식각할 때, 상기 비정질 카본막의 식각에 의해 드러나는 상기 절연막을 일부 두께 식각하는 단계;  
 반도체 소자의 콘택플러그 제조 방법.

### 청구항 2

제1항에 있어서,  
 상기 스토리지노드콘택홀의 형성을 위한 상기 절연막의 식각은,  
 15~50mT의 압력에서 1000~2000W의 파워를 인가하여 진행하는 반도체 소자의 콘택플러그 제조 방법.

### 청구항 3

제2항에 있어서,  
 상기 스토리지노드콘택홀의 형성을 위한 상기 절연막의 식각은,  
 $C_4F_8$ ,  $C_5F_8$ ,  $C_4F_6$  및  $CH_2F_2$ 으로 이루어진 그룹에서 선택된 어느 한 가스를 사용하여 식각하는 반도체 소자의 콘택플러그 제조 방법.

### 청구항 4

제3항에 있어서,  
 상기  $C_4F_8$ ,  $C_5F_8$ ,  $C_4F_6$  및  $CH_2F_2$ 으로 이루어진 그룹에서 선택된 어느 한 가스에  $Ar/O_2/CO/N_2$  가스를 첨가하는 반도체 소자의 콘택플러그 제조 방법.

### 청구항 5

제1항에 있어서,  
 상기 비정질 카본막과 상기 절연막의 일부두께 식각시, 그 식각 프로파일은 수직 프로파일을 갖으며,  
 상기 스토리지노드콘택홀은 하부 선폭에 비해 상부 선폭이 넓은 프로파일을 갖는 반도체 소자의 콘택플러그 제조 방법.

### 청구항 6

삭제

### 청구항 7

제1항에 있어서,

상기 비정질 카본 하드마스크를 형성하기 위해 상기 비정질 카본막을 식각하는 단계는,  
10~200mT의 압력에서 200~2000W의 파워를 인가하여 진행하는 반도체 소자의 콘택플러그 제조 방법.

#### 청구항 8

제7항에 있어서,  
상기 비정질 카본막을 식각하는 단계는,  
 $\text{CF}_4/\text{CHF}_3$  식각 가스를 사용하는 반도체 소자의 콘택플러그 제조 방법.

#### 청구항 9

제8항에 있어서,  
상기  $\text{CF}_4/\text{CHF}_3$  식각 가스에,  
 $\text{O}_2/\text{N}_2/\text{Ar}$  가스를 더 첨가하는 반도체 소자의 콘택플러그 제조 방법.

#### 청구항 10

제1항에 있어서,  
상기 비정질 카본막은,  
1000~2000Å 두께로 형성되는 반도체 소자의 콘택플러그 제조 방법.

#### 청구항 11

제1항에 있어서,  
상기 비정질 카본막을 식각할 때 식각되는 상기 절연막의 두께는 500~1500Å인 반도체 소자의 콘택플러그 제조 방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자의 스토리지노드콘택플러그 제조 방법에 관한 것이다.
- <14> 반도체 제조 공정에서 넷 다이(Net Die)의 증가를 통한 양산성(Throughput) 확보를 위해 셀 구조(Cell Scheme)를 기존의  $8\text{F}_2$  Square(이하,  $8\text{F}_2$ )에서  $6\text{F}_2$  Square(이하,  $6\text{F}_2$ )로 개발을 하고 있다. 이 경우 스토리지노드콘택플러그(Storage Node Contact Plug) 형성시 하부막(Under layer)인 랜딩플러그분리막과의 오버랩마진(Overlap Margin) 확보를 위해 일정 수준 이하의 콘택 크기를 유지해야 한다.
- <15> 이 경우 후속 스토리지노드와의 오버랩마진 확보 및 콘택 저항 확보를 위해서는 스토리지노드콘택플러그 상부 크기가 일정 수준 이상으로 크기가 확보되어야만 가능하다. 따라서, 기존의 경우 이를 개선하기 위해 스토리지노드콘택플러그와 스토리지노드와의 절연막에 플러그 패드 공정을 추가로 형성하게 되는데, 이로 인해 공정 수 증가 및 개발 원가 증가로 양산성이 떨어지게 된다.
- <16> 또한, 스토리지노드콘택플러그의 상부 크기를 확보하기 위해 스토리지노드콘택마스크의 크기 증가시 스토리지노드콘택홀 식각 후, 스토리지노드콘택홀 간의 마진 부족으로 인접하는 스토리지노드콘택플러그 간의 브릿지(Bridge)가 발생한다.
- <17> 또한, 스토리지노드콘택플러그 크기 증가로 인해 하부막인 랜딩플러그분리막과의 오버랩 마진 부족으로 스토리

지노드콘택홀 식각시 랜딩플러그분리막이 일부 식각 손실(Attack)이 발생하는 문제가 있다(도 1의 'A' 참조).

### 발명이 이루고자 하는 기술적 과제

<18> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 폴리 패드 공정 없이 스토리지노드콘택 플러그와 랜딩플러그분리막 간의 오버랩 마진을 확보하면서, 스토리지노드콘택홀 식각시 랜딩플러그분리막의 식각 손실을 방지하는데 적합한 반도체 소자의 콘택플러그 제조 방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

<19> 상기 목적을 달성하기 위한 특징적인 본 발명의 반도체 소자의 콘택 제조 방법은 랜딩 플러그가 형성된 반도체 기판 상부에 절연막을 형성하는 단계, 상기 절연막의 소정 영역 상에 비정질 카본 하드마스크를 형성하는 단계, 상기 비정질 카본 하드마스크를 식각베리어로 상기 절연막을 선택적으로 식각하여 랜딩플러그 상부를 오픈하는 스토리지노드콘택홀을 형성하는 단계, 및 상기 스토리지노드콘택홀에 도전 물질을 매립하여 스토리지노드콘택플러그를 형성하는 단계를 포함한다.

<20> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<21> 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 반도체 소자의 콘택플러그 제조 방법을 도시한 단면도이다.

<22> 도 2a에 도시된 바와 같이, 웰 공정 및 소자 분리 공정이 완료된 반도체 기판(21) 상에 다수의 게이트 라인(도시하지 않음)을 형성한다. 계속해서, 게이트 라인을 포함하는 반도체 기판(21)의 전면에 제1층간절연막(22)을 형성한다. 그리고나서, 랜딩 플러그 콘택(Landing Plug Contact, 'LPC') 식각 공정을 실시하여 랜딩 플러그가 형성될 예정 영역의 제1층간절연막(22)을 식각하여 랜딩 콘택홀(도면부호생략)을 형성한다. 이어서, 랜딩 콘택홀에 도전 물질, 예컨대 폴리실리콘막을 매립하여 랜딩 플러그(Landing Plug; 23)를 형성한다. 이하, 제1층간절연막(22)을 랜딩플러그분리막(22)이라고 칭한다.

<23> 계속해서, 랜딩 플러그(23)가 형성된 반도체 기판(21) 상부에 제2층간절연막(24)을 증착한다. 제2층간절연막(24)의 소정 영역을 식각하여 비트라인 콘택홀(도면부호생략)을 형성한 후, 비트라인 콘택홀 내부에 베리어메탈 Ti/TiN을 100~1000Å 두께 증착한 후, 도전 물질을 매립하여 비트라인콘택(Bit Line Contact, 25)을 형성한다. 한편, 비트라인콘택(25)과 랜딩 플러그(22)의 일부는 전기적으로 연결된다.

<24> 다음으로, 제2층간절연막(24)의 소정 영역 상에 비트라인 텅스텐(26)과 비트라인 하드마스크(27)가 적층된 비트라인(BL)을 형성한다. 비트라인 텅스텐(26)은 300~1000Å 두께로 증착하고, 비트라인 하드마스크(27)는 예컨대 질화막을 사용하여 1500~3500Å 두께로 증착한다.

<25> 먼저, 비트라인 하드마스크(27)는 20~70mT의 압력, 300~1000W의 파워를 인가하여 CF<sub>4</sub>/CHF<sub>3</sub>/O<sub>2</sub>/Ar의 혼합 가스를 사용하여 식각한다. 계속해서, 비트라인 텅스텐막은 20~70mT의 압력, 300~1000W의 파워를 인가하여 SF<sub>6</sub>/BCl<sub>3</sub>/N<sub>2</sub>/Cl<sub>2</sub>의 혼합 가스를 사용하여 식각한다.

<26> 계속해서, 비트라인(BL)의 양측벽에 비트라인 스페이서(28)를 형성한다. 비트라인 스페이서(28)는 50~150Å 두께의 질화막으로 형성한다.

<27> 이어서, 비트라인(BL)을 포함하는 제2층간절연막(24)의 전면에 제3층간절연막(29)을 증착한다. 제3층간절연막(29)은 고밀도플라즈마산화막(High Density Plasma)을 4000~10000Å 두께 증착하여 비트라인(BL)을 절연시킨다. 그런 후에, 평탄화 공정으로 화학적기계적연마(Chemical Mechanical Polishing; CMP)를 실시하여 제3층간절연막(29)의 상부를 평탄화한다.

<28> 다음으로, 제3층간절연막(29) 상에 비정질 카본막(30)을 증착한다. 비정질 카본막(30)은 1000~2000Å 두께로 증착한다. 계속해서, 비정질 카본막(30) 상에 반사방지막으로 SiON막(31)을 증착하고, SiON막(31)의 소정 영역 상에 포토레지스트 패턴(32)을 형성한다. 이 때, 포토레지스트 패턴(32)은 홀 타입(Hole type)으로 형성한다.

<29> 도 2b에 도시된 바와 같이, 포토레지스트 패턴(32)을 식각 베리어로 반사방지막(31) 및 비정질 카본막(30)을 차례로 식각하여 비정질 카본 하드마스크(30A)를 형성한다.

<30> 비정질 카본막(30)의 식각 공정은, 10~200mT의 압력에서 200~2000W의 파워를 인가하여, 카본(Carbon)과 플로

린(Flourine)이 혼합된 식각 가스를 사용하여 진행한다. 이 때, 식각 가스는  $\text{CF}_4/\text{CHF}_3/\text{Ar}/\text{O}_2/\text{CO}/\text{N}_2$  케미스트리를 사용한다. 상기한 케미스트리를 사용하여 비정질 카본막(30)을 식각하기 때문에 수직 프로파일(Vertical Profile)을 가지는 비정질 카본 하드마스크(30A)를 형성할 수 있다. 이때, 드러나는 제3층간절연막(29)을 일부 두께(도 2c의 "P1" 정도의 두께로서 500~1500Å) 식각 할 수 있다.

<31> 비정질 카본막(30) 식각 후 포토레지스트 패턴(32)을 스트립(Strip)하고 세정 공정(Cleaning)을 실시한다. 반사 방지막(31)은 이때 모두 제거된다.

<32> 도 2c에 도시된 바와 같이, 비정질 카본 하드마스크(30A)를 식각 베리어로 제3층간절연막(29)과 제2층간절연막(24)을 차례로 식각하여 랜딩 플러그(23) 상부를 오픈하는 스토리지노드콘택홀(33)을 형성하는 콘택홀 식각 공정을 진행한다. 스토리지노드콘택홀(33)을 형성하는 콘택홀 식각 공정은, 15~50mT의 압력에서 1000~2000W의 파워를 인가하여, 카본(Carbon)과 플로린(Flourine)이 혼합된 식각 가스를 사용하여 진행한다. 이 때, 식각 가스는  $\text{C}_4\text{F}_8$ ,  $\text{C}_5\text{F}_8$ ,  $\text{C}_4\text{F}_6$  및  $\text{CH}_2\text{F}_2$ 으로 이루어진 그룹에서 선택된 어느 한 가스에  $\text{Ar}/\text{O}/\text{CO}/\text{N}_2$  첨가한 케미스트리를 사용한다.

<33> 결국, 상부의 일부는 수직한 프로파일(P1)이면서, 나머지 영역은 점차 선폭이 줄어드는 프로파일(P2)을 가지는 스토리지노드콘택홀(33)이 형성된다. 식각 케미스트리와 비정질 카본 하드마스크(30A)의, 비정질 카본이 반응하여 폴리머가 발생되기 때문에, 스토리지노드콘택홀(33)의 상부에 비해 점차 선폭이 줄어드는 프로파일(P2)이 형성된다. 따라서, 스토리지노드콘택홀(33)의 상부 선폭(CD1)에 비해 하부 선폭(CD2)이 점차 작아지는 것을 와인 글래스(Wine Glass) 구조의 콘택홀이 형성된다.

<34> 이렇게, 스토리지노드콘택홀(33)의 상부 선폭(CD1)을 하부 선폭(CD2)에 비해 크게 형성하므로, 후속 공정에서 스토리지노드콘택홀(33)에 매립될 스토리지노드콘택플러그와 그 위에 형성될 스토리지노드 간의 접촉 마진을 확보할 수 있으면서, 하부막인 랜딩플러그분리막(22)과의 오버랩 마진(Overlap Margin)을 확보할 수 있다.

<35> 한편, 스토리지노드콘택 하드마스크로 폴리실리콘막(Poly-Si)을 사용할 경우(도 3a 참조), 스토리지노드콘택홀(33)의 자기 정렬 콘택 식각시 폴리머(Polymer)가 거의 발생되지 않으므로, 기울기를 가지는 프로파일을 구현하기 어렵다. 따라서, 스토리지노드콘택홀(33)의 선폭이 증가하면, 스토리지노드콘택홀(33)의 모양이 상/하부가 베티컬한 프로파일로 형성되므로 하부의 랜딩플러그분리막(22)과의 오버랩 마진 부족으로 랜딩플러그분리막의 식각 손실이 발생할 수 있다.

<36> 또한, 스토리지노드콘택 하드마스크로 질화막(Nitride)을 사용할 경우(도 3b 참조), 기울기를 가지는 프로파일을 형성할 수는 있으나, 스토리지노드콘택홀(33)의 자기 정렬 콘택 식각시 정의된 선폭보다 선폭이 증가되므로, 인접하는 스토리지노드콘택홀(33) 간의 브릿지가 발생하여 스토리지노드콘택홀(33)의 선폭을 증가시키는데 어려운 문제가 있다.

<37> 또한, 스토리지노드콘택 마스크로 포토레지스트 패턴만을 사용할 경우(도 3c 참조), 폴리머를 다량 발생시키므로(polymer rich process) 기울기를 가지는 프로파일을 형성할 수는 있으나, 스토리지노드콘택홀(33)의 패턴 변형이 발생하는 문제가 있다.

<38> 따라서, 비정질 카본 하드마스크(30A)를 사용할 때(도 3d 참조), 자기 정렬 콘택 식각시 비정질 카본과 산화막의 선택비 증가로 스토리지노드콘택홀(33) 상부 선폭 증가 없이, 폴리머를 다량 발생시키는 특성을 이용하여 기울기를 가지는 프로파일을 형성할 수 있다. 따라서, 하부에 비해 상부 선폭이 큰 프로파일을 가지는 스토리지노드콘택홀을 형성하기 위한 하드마스크로 비정질 카본 하드마스크(30A)를 사용하는 것이 가장 바람직하다.

<39> 도 2d에 도시된 바와 같이, 스토리지노드콘택홀의 표면을 따라 스토리지노드콘택스페이서용 질화막을 증착한다. 이 때, 질화막은 100~300Å 두께로 증착한다.

<40> 계속해서, 스토리지노드콘택스페이서용 질화막의 식각 공정은, 10~30mT의 압력에서 300~1000W의 파워를 인가하고, 식각 가스로  $\text{CF}_4/\text{CHF}_3/\text{O}_2/\text{Ar}$  케미스트리를 사용한다. 이와 같은 식각 공정 후, 스토리지노드콘택홀의 양측벽에 스토리지노드콘택스페이서(34)를 형성한다.

<41> 이어서, 스토리지노드콘택홀의 내부에 도전 물질을 매립한다. 예컨대 도전 물질은 폴리실리콘막을 사용하며, 1500~3000Å 두께로 증착한다. 그리고나서, 전면 식각(Etch back)으로 분리 공정(Isolation Process)을 실시하여 스토리지노드콘택플러그(35)를 형성한다.

<42> 상술한 바와 같이, 스토리지노드콘택홀의 상부 선폭을 증가시켜, 스토리지노드와 스토리지노드콘택플러그 간의 오버랩 마진을 증가시키고, 하부 선폭은 상부 선폭에 비해 작게 형성하므로, 스토리지노드콘택플러그와 랜딩플

러그 분리막과의 접촉 마진을 확보하여 랜딩플러그 분리막의 식각 손실을 방지할 수 있다.

<43> 또한, 위와 같은 방법으로 스토리지노드콘택플러그를 형성하므로 종래 기술에서 스토리지노드콘택플러그와 스토리지노드 간의 접촉 마진을 증가시키기 위해 형성했던 폴리 패드 형성 공정을 생략할 수 있으므로 공정 스텝을 감소할 수 있다.

<44> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 발명의 효과

<45> 상술한 본 발명은 구현하고자 하는 선폭을 정의하는 비정질 카본 하드마스크를 식각베리어로, 상부에 비해 하부로 갈수록 선폭이 좁아지는 스토리지노드콘택홀을 형성하여 스토리지노드콘택플러그와 스토리지노드 간의 오버랩마진을 개선하므로서, 수율이 향상되는 효과가 있다.

<46> 또한, 상부에 비해 하부로 갈수록 선폭이 좁아지는 스토리지노드콘택홀을 형성하여 스토리지노드콘택플러그와 랜딩플러그분리막의 오버랩마진을 확보할 수 있는 효과가 있다.

<47> 또한, 폴리 패드 형성 공정을 생략하므로 공정 안정화 및 단순화로 인해 제조 원가를 절감하는 효과가 있다.

### 도면의 간단한 설명

<1> 도 1은 종래 기술의 문제점을 나타낸 TEM 사진.

<2> 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 반도체 소자의 콘택플러그 제조 방법을 도시한 단면도.

<3> 도 3a 내지 도 3d는 본 발명의 일실시예를 부연 설명하기 위한 도면.

<4> \* 도면의 주요 부분에 대한 부호의 설명

<5> 21 : 반도체 기판 22 : 랜딩 플러그

<6> 23 : 제1층간절연막 24 : 제2층간절연막

<7> 25 : 비트라인콘택 26 : 비트라인 텅스텐

<8> 27 : 비트라인 하드마스크 28 : 비트라인 스페이서

<9> 29 : 제3층간절연막 30 : 비정질 카본막

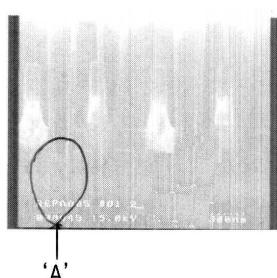
<10> 30A : 비정질 카본 하드마스크 31 : SiON막

<11> 32 : 포토레지스트 패턴 33 : 스토리지노드콘택홀

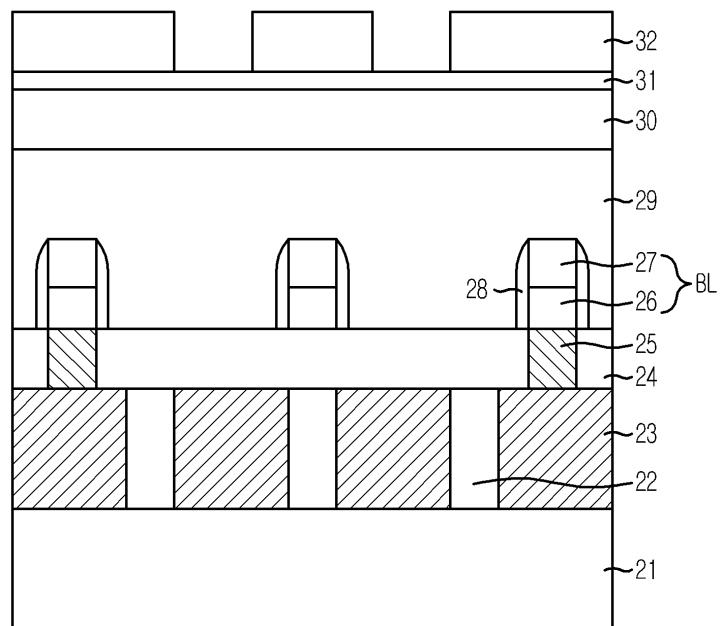
<12> 34 : 스토리지노드콘택스페이서 35 : 스토리지노드콘택플러그

### 도면

#### 도면1

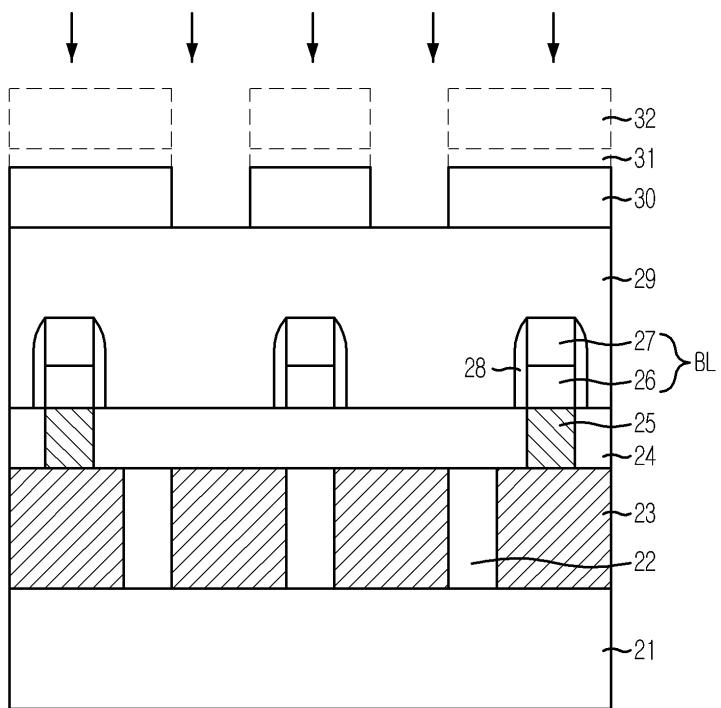


도면2a

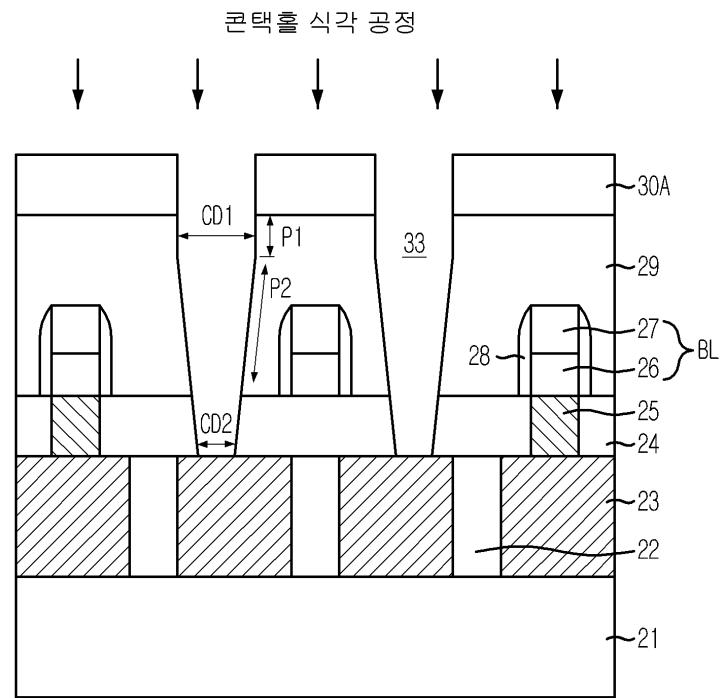


도면2b

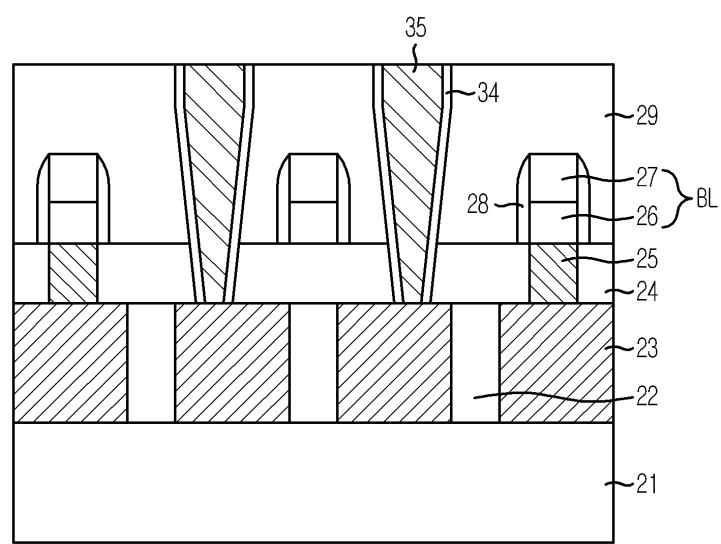
하드마스크 식각공정



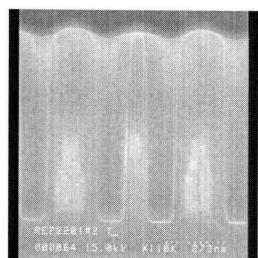
도면2c



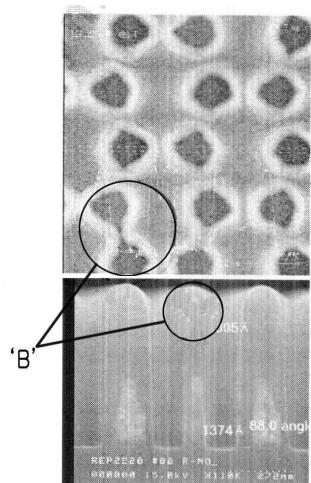
도면2d



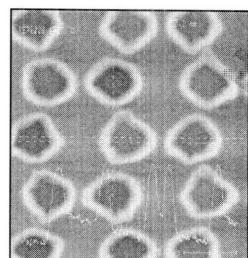
도면3a



도면3b



도면3c



도면3d

