

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-252766

(P2012-252766A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/405 (2006.01)	G 1 1 C 11/34 3 5 2 B	5 F 0 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 3 2 1	5 F 1 0 1
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 4 3 4	5 M 0 2 4
H O 1 L 21/8247 (2006.01)	H O 1 L 29/78 3 7 1	
H O 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 66 頁) 最終頁に続く

(21) 出願番号	特願2011-188605 (P2011-188605)	(71) 出願人	000153878
(22) 出願日	平成23年8月31日 (2011.8.31)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-196611 (P2010-196611)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年9月2日 (2010.9.2)	(72) 発明者	松崎 隆徳
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-107621 (P2011-107621)		半導体エネルギー研究所内
(32) 優先日	平成23年5月12日 (2011.5.12)	(72) 発明者	加藤 清
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	5F083 AD02 AD69 EP02 EP21 ER21
			GA11 HA02 JA02 JA05 JA06
			JA19 JA36 JA37 JA39 JA40
			JA42 JA56 JA60 PR06 PR22
			PR33 PR39 PR40 ZA19
			最終頁に続く

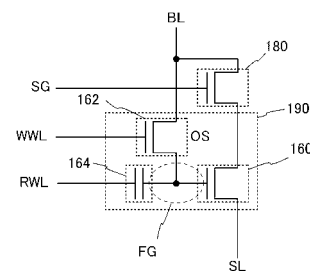
(54) 【発明の名称】 半導体装置の駆動方法

(57) 【要約】

【課題】半導体装置の駆動方法を提供する。

【解決手段】ビット線と、選択線と、選択トランジスタと、 m (m は2以上の自然数)本の書き込みワード線と、 m 本の読み出しワード線と、ソース線と、第1乃至 m のメモリセルと、を有する半導体装置において、メモリセルは、第1のトランジスタ、容量素子に蓄積された電荷を保持する第2のトランジスタを含み、第2のトランジスタは酸化半導体層で形成されるチャンネルを有する。上記構成の半導体装置の駆動方法において、メモリセルに書き込みを行う場合、第1のトランジスタを導通させて第1のソース端子または第1のドレイン端子を固定電位とし、容量素子に安定した電位の書き込みを行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタのゲート端子に、容量素子の電極の一方と第 2 のトランジスタのソース端子とが接続されたメモリセルと、

前記第 1 のトランジスタのドレイン端子と接続する選択トランジスタと、

前記選択トランジスタのドレイン端子及び前記第 2 のトランジスタのドレイン端子と接続するビット線と、

前記選択トランジスタのゲート端子と接続する選択線と、

前記第 2 のトランジスタのゲート端子と接続する書き込みワード線と、

前記容量素子の電極の他方と接続する読み出しワード線と、

前記第 1 のトランジスタのソース端子と接続するソース線と、

を有する半導体装置の駆動方法であって、

前記第 2 のトランジスタをオンとし、

前記ビット線から前記容量素子の電極の一方に電位を与えた後、

前記選択トランジスタをオフとし、

前記第 1 のトランジスタに接続する前記ソース線の電位を前記第 1 のトランジスタのしきい値よりも低くし、前記第 1 のトランジスタをオンとすることを特徴とする半導体装置の駆動方法。

【請求項 2】

第 1 のトランジスタのゲート端子に、容量素子の電極の一方と第 2 のトランジスタのソース端子とが接続されたメモリセルと、

前記第 1 のトランジスタのドレイン端子と接続する選択トランジスタと、

前記選択トランジスタのドレイン端子及び前記第 2 のトランジスタのドレイン端子と接続するビット線と、

前記選択トランジスタのゲート端子と接続する選択線と、

前記第 2 のトランジスタのゲート端子と接続する書き込みワード線と、

前記容量素子の電極の他方と接続する読み出しワード線と、

前記第 1 のトランジスタのソース端子と接続するソース線と、

を有する半導体装置の駆動方法であって、

前記選択トランジスタをオフとし、

前記第 1 のトランジスタに接続する前記ソース線の電位を前記第 1 のトランジスタのしきい値よりも低くし、前記第 1 のトランジスタをオンとした後、

前記第 2 のトランジスタをオンとし、

前記ビット線から前記容量素子の電極の一方に電位を与えることを特徴とする半導体装置の駆動方法。

【請求項 3】

請求項 1 または請求項 2 において、

前記メモリセルは第 1 乃至第 m のメモリセルを含み、

前記選択トランジスタのソース端子は前記第 1 のメモリセルの第 1 のドレイン端子と電氣的に接続され、

第 k (k は 2 以上 ($m - 1$) 以下の自然数) のメモリセルの第 1 のドレイン端子は、第 ($k - 1$) のメモリセルの第 1 のソース端子と電氣的に接続され、

前記第 k のメモリセルの第 1 のソース端子は、第 ($k + 1$) のメモリセルの第 1 のドレイン端子と電氣的に接続され、

第 m のメモリセルの第 1 のソース端子は前記ソース線と電氣的に接続されていることを特徴とする半導体装置の駆動方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、メモリセルへの書き込み動作は、

前記選択線に電位を与えて前記選択トランジスタをオフとし、

前記ソース線に電位を与えて前記第 1 のトランジスタをオンとした後、

前記ビット線に電位を与え、

前記書き込みワード線に電位を与えて前記第2のトランジスタをオンとすることで、前記ビット線の電位に対する電荷を前記第1のゲート端子及び前記容量素子の電極の一方に蓄積することができ、

前記書き込みワード線に電位を与えて前記第2のトランジスタをオフとし、

前記ソース線に電位を与えて前記第1のトランジスタをオフとすることで、前記ビット線の電位に対する電荷を前記第1のゲート端子及び前記容量素子の電極の一方に保持することを特徴とする半導体装置の駆動方法。

【請求項5】

請求項1乃至請求項3のいずれか一項において、メモリセルへの書き込み動作は、

10

前記ビット線に電位を与え、

前記書き込みワード線に電位を与えて前記第2のトランジスタをオンとした後、

前記選択線に電位を与えて前記選択トランジスタをオフとし、

前記ソース線に電位を与えて前記第1のトランジスタをオンとすることで、前記ビット線の電位に対する電荷を前記第1のゲート端子及び前記容量素子の電極の一方に蓄積することができ、

前記書き込みワード線に電位を与えて前記第2のトランジスタをオフとし、

前記ソース線に電位を与えて前記第1のトランジスタをオフとすることで、前記ビット線の電位に対する電荷を前記第1のゲート端子及び前記容量素子の電極の一方に保持することを特徴とする半導体装置の駆動方法。

20

【請求項6】

前記第2のトランジスタはIn、GaおよびZnを含んでなる酸化物半導体材料で形成される、請求項1乃至5のいずれかーに記載の半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置及びその駆動方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

30

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

40

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利であ

50

る。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する方法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

記憶装置は、データの書き込み及び読み出しを正確に行うことが要求される。書き込み不良及び読み出し不良が発生すると、記憶装置としての信頼性が低下する。

【0011】

上述の問題に鑑み、開示する発明の一態様は、記憶装置の信頼性の向上を実現することができる半導体装置の駆動方法を提供することを目的の一とする。

【0012】

また、上述の問題に鑑み、開示する発明の一態様は、記憶素子を構成する一部のトランジスタにリーク電流（オフ電流）が小さいトランジスタを用いることで、書き込んだデータを長時間記憶することができ、且つ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0013】

本発明の一態様は、選択トランジスタと、選択トランジスタのソース端子とドレイン端子とが電氣的に接続する第1のトランジスタと、第1のトランジスタのゲート端子と電極の一方とが電氣的に接続する容量素子と、容量素子の電極の一方と第2のトランジスタのソース端子が電氣的に接続し、且つ酸化物半導体層で形成された第2のトランジスタと、を含むメモリセルと、選択トランジスタのドレイン端子と、第2のトランジスタのドレイン端子と電氣的に接続するビット線と、選択トランジスタのゲート端子と電氣的に接続する選択線と、第2のトランジスタのゲート端子と電氣的に接続する書き込みワード線と、容量素子の電極の他方と電氣的に接続する読み出しワード線と、第1のトランジスタのソース端子と電氣的に接続するソース線とを有し、第2のトランジスタのチャネルは酸化物半導体層で形成され、第2のトランジスタをオン状態としてビット線の電位に対する電荷を

10

20

30

40

50

第1のトランジスタのゲート端子及び容量素子の電極の一方に蓄積し、且つ保持するメモリセルへの書き込み時は、第1のトランジスタをオンとし、且つ選択トランジスタをオフとすることを特徴とする半導体装置の駆動方法である。

【0014】

本発明の別の一態様は、選択トランジスタと、選択トランジスタのソース端子とドレイン端子とが電氣的に接続する第1のトランジスタと、第1のトランジスタのゲート端子と電極の一方とが電氣的に接続する容量素子と、容量素子の電極の一方と第2のトランジスタのソース端子が電氣的に接続し、且つ酸化物半導体層で形成された第2のトランジスタと、を含むメモリセルと、選択トランジスタのドレイン端子と、第2のトランジスタのドレイン端子と電氣的に接続するビット線と、選択トランジスタのゲート端子と電氣的に接続する選択線と、第2のトランジスタのゲート端子と電氣的に接続する書き込みワード線と、容量素子の電極の他方と電氣的に接続する読み出しワード線と、第1のトランジスタのソース端子と電氣的に接続するソース線とを有し、第2のトランジスタのチャンネルは酸化物半導体層で形成され、第2のトランジスタをオン状態としてビット線の電位に対する電荷を第1のトランジスタのゲート端子及び容量素子の電極の一方に蓄積し、且つ保持するメモリセルへの書き込み時は、第1のトランジスタのソース端子またはドレイン端子の電位を固定電位とし、且つ選択トランジスタをオフとすることを特徴とする半導体装置の駆動方法である。

10

【0015】

本発明の別の一態様は、選択トランジスタと、選択トランジスタのソース端子とドレイン端子とが電氣的に接続する第1のトランジスタと、第1のトランジスタのゲート端子と電極の一方とが電氣的に接続する容量素子と、容量素子の電極の一方と第2のトランジスタのソース端子が電氣的に接続し、且つ酸化物半導体層で形成された第2のトランジスタと、を含むメモリセルと、選択トランジスタのドレイン端子と、第2のトランジスタのドレイン端子と電氣的に接続するビット線と、選択トランジスタのゲート端子と電氣的に接続する選択線と、第2のトランジスタのゲート端子と電氣的に接続する書き込みワード線と、容量素子の電極の他方と電氣的に接続する読み出しワード線と、第1のトランジスタのソース端子と電氣的に接続するソース線とを有し、第2のトランジスタのチャンネルは酸化物半導体層で形成され、第2のトランジスタをオン状態としてビット線の電位に対する電荷を第1のトランジスタのゲート端子及び容量素子の電極の一方に蓄積し、且つ保持するメモリセルへの書き込み時は、ソース線の電位を第1のトランジスタのしきい値と第1のトランジスタのゲート端子の電位との差より低くすることを特徴とする半導体装置の駆動方法である。

20

30

【0016】

上記の構成のいずれか一において、メモリセルは第1乃至第mのメモリセルを含み、選択トランジスタのソース端子は第1のメモリセルの第1のドレイン端子と電氣的に接続され、第k（kは2以上（m-1）以下の自然数）のメモリセルの第1のドレイン端子は、第（k-1）のメモリセルの第1のソース端子と電氣的に接続され、第kのメモリセルの第1のソース端子は、第（k+1）のメモリセルの第1のドレイン端子と電氣的に接続され、第mのメモリセルの第1のソース端子はソース線と電氣的に接続されていることを特徴とする半導体装置の駆動方法である。

40

【0017】

なお、メモリセルが有する第1のトランジスタのソース端子、ドレイン端子、ゲート端子をそれぞれ第1のソース端子、第1のドレイン端子、第1のゲート端子とし、第2のトランジスタのソース端子、ドレイン端子、ゲート端子をそれぞれ第2のソース端子、第2のドレイン端子、第2のゲート端子とする。

【0018】

また、上記の構成のいずれか一において、メモリセルへの書き込み動作は、選択線に電位を与えて選択トランジスタをオフとし、ソース線に電位を与えて第1のトランジスタをオンとした後、ビット線に電位を与え、書き込みワード線に電位を与えて第2のトランジスタ

50

タをオンとすることで、ビット線の電位に対する電荷を第1のゲート端子及び容量素子の電極の一方に蓄積することができ、書き込みワード線に電位を与えて第2のトランジスタをオフとし、ソース線に電位を与えて第1のトランジスタをオフとすることで、ビット線の電位に対する電荷を第1のゲート端子及び容量素子の電極の一方に保持することができることを特徴とする半導体装置の駆動方法である。

【0019】

また、上記の構成のいずれか一において、メモリセルへの書き込み動作は、ビット線に電位を与え、書き込みワード線に電位を与えて第2のトランジスタをオンとした後、選択線に電位を与えて選択トランジスタをオフとし、ソース線に電位を与えて第1のトランジスタをオンとすることで、ビット線の電位に対する電荷を第1のゲート端子及び容量素子の電極の一方に蓄積することができ、書き込みワード線に電位を与えて第2のトランジスタをオフとし、ソース線に電位を与えて第1のトランジスタをオフとすることで、ビット線の電位に対する電荷を第1のゲート端子及び容量素子の電極の一方に保持することができることを特徴とする半導体装置の駆動方法である。

10

【0020】

上記の駆動方法において、書き込みとは、ビット線の電位（書き込みたい電位）に対する電荷を第1のゲート端子及び容量素子の電極の一方に蓄積し、保持することである。ビット線の電位に対する電荷の保持は、第2のトランジスタをオフ状態とすることで可能となる。しかし、書き込みを行う際に、第1のトランジスタがオフ状態であると、蓄積した電荷量が小さくなり、記憶素子には書き込みたい電位に対する電荷量より小さい電荷量が保持され、書き込み不良が発生するおそれがある。そのため、書き込みを行う際に第1のトランジスタをオン状態とし、第1のソース端子またはドレイン端子をソース線の固定電位とする。

20

【0021】

上記の構成において、ビット線とソース線との間に、メモリセルの一を含む複数のメモリセルを直列に接続することができる。

【0022】

また、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ E_g が 3 eV より大きい半導体材料）などを適用しても良い。

30

【0023】

本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0024】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

40

【0025】

また、「端子」の用語は、上記に示した「電極」と同様に用いられることがあり、その逆もまた同様である。

【0026】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0027】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの

50

」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0028】

例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0029】

上記に示す駆動方法において、書き込みを行う際に、第1のトランジスタのソース端子またはドレイン端子をソース線の固定電位とすることで、蓄積した電荷量の減少を抑えることができる。記憶素子に、蓄積した電荷量を減少させることなく保持することができるため、書き込み不良を低減することができ、半導体装置の信頼性の向上が実現できる。

10

【0030】

記憶装置は、記憶素子を構成するトランジスタのリーク電流（オフ電流）が大きいと、記憶素子を構成するトランジスタがオフ状態でも書き込まれた電荷が流出、または流入する。これにより、書き込まれた電位の保持期間が短くなる。酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

20

【0031】

また、上記に示すトランジスタを用いることで、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0032】

また、酸化物半導体以外の材料（例えば、単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板）を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

30

【0033】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

40

【0034】

開示する発明に係る半導体装置の駆動方法は、上記に示す酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタと、を組み合わせた半導体装置を用いることで実現が可能となる。該半導体装置のメモリセルに書き込みを行う際に、酸化物半導体以外の材料を用いた第1のトランジスタを導通させて第1のトランジスタのソース端子またはドレイン端子の電位を固定電位とする。そうすることで、メモリセルの容量素子に安定した電位の書き込みを行うことができる。また、オフ電流が極めて小さい酸化物半導体を用いた第2のトランジスタを用いることで、長期にわたり安定した電荷を保持することが可能となる。そのため、半導体装置としての信頼性の向上が実現できる。

50

【図面の簡単な説明】

【0035】

【図1】半導体装置の回路図である。

【図2】半導体装置の回路図である。

【図3】タイミングチャート図である。

【図4】半導体装置の回路図である。

【図5】半導体装置の断面図及び平面図である。

【図6】半導体装置の作製工程に係る断面図である。

【図7】半導体装置の作製工程に係る断面図である。

【図8】半導体装置の作製工程に係る断面図である。

10

【図9】半導体装置の作製工程に係る断面図である。

【図10】半導体装置の作製工程に係る断面図である。

【図11】本発明の一態様の半導体装置の断面図である。

【図12】本発明の一態様の半導体装置の断面図である。

【図13】半導体装置の作製工程に係る断面図である。

【図14】電子機器の例である。

【図15】酸化物材料の結晶構造を説明する図。

【図16】酸化物材料の結晶構造を説明する図。

【図17】酸化物材料の結晶構造を説明する図。

【図18】計算によって得られた移動度のゲート電圧依存性を説明する図。

20

【図19】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図20】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図21】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図22】計算に用いたトランジスタの断面構造を説明する図。

【図23】本発明の一態様に係るトランジスタの特性を示す図。

【図24】本発明の一態様に係るトランジスタの特性を示す図。

【図25】本発明の一態様に係るトランジスタの特性を示す図。

30

【図26】本発明の一態様に係るトランジスタの特性を示す図。

【図27】本発明の一態様に係るトランジスタの特性を示す図。

【図28】本発明の一態様に係るトランジスタのXRDスペクトルを示す図。

【図29】本発明の一態様に係るトランジスタの特性を示す図。

【図30】本発明の一態様に係るトランジスタの構造を説明する図。

【図31】本発明の一態様に係るトランジスタの構造を説明する図。

【発明を実施するための形態】

【0036】

開示する発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【0037】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0038】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0039】

50

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成及び動作について、図 1 を参照して説明する。なお、回路図においては酸化物半導体材料を用いたトランジスタであることを示すために O S の符号を付す場合がある。

【0040】

<基本回路>

はじめに、基本的な回路構成及びその動作について、図 1 を参照して説明する。図 1 に示す回路図において、選択トランジスタ 180 のソース電極またはドレイン電極の一方（例えば、ドレイン電極）と、トランジスタ 162 のソース電極またはドレイン電極の一方（例えば、ドレイン電極）と、ビット線 B L と、は電氣的に接続されており、選択トランジスタ 180 のソース電極またはドレイン電極の他方（例えば、ソース電極）とトランジスタ 160 のソース電極またはドレイン電極の一方（例えば、ドレイン電極）とは電氣的に接続され、選択トランジスタ 180 のゲート電極は選択線 S G と電氣的に接続されている。また、トランジスタ 160 のソース電極またはドレイン電極の他方（例えば、ソース電極）とソース線 S L とは電氣的に接続され、トランジスタ 162 のソース電極またはドレイン電極の他方（例えばソース電極）と、トランジスタ 160 のゲート電極と、容量素子 164 の電極の一方と、は電氣的に接続されている。また、トランジスタ 162 のゲート電極と書き込みワード線 W W L とは電氣的に接続され、容量素子 164 の電極の他方と読み出しワード線 R W L とは電氣的に接続されている。

【0041】

ここで、トランジスタ 162 には、例えば酸化物半導体材料を用いたトランジスタ（酸化物半導体層にチャンネルが形成されるトランジスタ）が適用される。酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さいという特徴を有している。このため、トランジスタ 162 をオフ状態とすることで、トランジスタ 160 のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0042】

なお、トランジスタ 160 についてはどのような材料を用いたトランジスタであってもよく、特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタ（単結晶シリコン基板や単結晶シリコン層にチャンネルが形成されるトランジスタ）など、スイッチング速度の高いトランジスタをトランジスタ 160 として適用するのが好適である。

【0043】

図 1 に示す半導体装置では、トランジスタ 160 のゲート電極の電位が極めて長時間にわたって保持可能という特徴を生かすことで、次のように、情報の書き込み、読み出しが可能である。

【0044】

まず、情報の書き込みについて説明する。選択線 S G の電位を選択トランジスタ 180 がオフ状態となる電位にして選択トランジスタ 180 をオフ状態とし、ソース線 S L の電位をトランジスタ 160 がオン状態となる電位にしてトランジスタ 160 をオン状態とする。これにより、ソース線 S L の電位は、ビット線 B L 及びトランジスタ 162 のソース電極またはドレイン電極の一方には与えられず、トランジスタ 160 のソース電極及びドレイン電極にのみ与えられ、トランジスタ 160 のソース電極またはドレイン電極の電位はソース線 S L の固定電位とすることができる。

【0045】

トランジスタ 160 のソース電極またはドレイン電極の電位をソース線 S L の固定電位とした後、書き込みワード線 W W L の電位をトランジスタ 162 がオン状態となる電位にしてトランジスタ 162 をオン状態とすることで、ビット線 B L の電位がトランジスタ 160 のゲート電極及び容量素子 164 の電極の一方に与えられる。すなわち、トランジスタ 160 のゲート電極には所定の電荷が与えられる。ここでは、トランジスタ 160 のゲート電極には異なる二つの電位に対応する電荷（以下、低電位を与える電荷を電荷 Q_L 、高

電位を与える電荷を電荷 Q_H という) のいずれかが選択的に与えられるものとする。ここで、 Q_L と Q_H の一方をデータ "1" に対応させ、他方をデータ "0" に対応させることによって、メモリセルに1ビットの情報を書き込むことができる。なお、トランジスタ160のゲート電極に与える電荷を異なる三つまたはそれ以上の電位に対応する電荷のうちから選択することによって、1メモリセルあたり多値(複数ビット)の情報を書き込み、半導体装置の記憶容量を向上させても良い。

【0046】

その後、書き込みワード線 WWL の電位を低下させてトランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極及び容量素子164の電極の一方に与えられた電荷が保持される。

【0047】

上述したように、トランジスタ160がオン状態であり、トランジスタ160のソース電極またはドレイン電極はソース線 SL の固定電位としている。そのため、電荷を保持する際の書き込みワード線 WWL の電位の低下に影響されることなく、トランジスタ160のゲート電極及び容量素子164の電極の一方に与えられた電位の低下を抑えることが可能である。

【0048】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0049】

次に、情報の読み出しについて説明する。ソース線 SL に所定の電位(定電位)を与えた状態で、読み出しワード線 RWL に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、トランジスタ160のソース電極またはドレイン電極の抵抗は異なる。一般に、トランジスタ160を n チャネル型とすると、トランジスタ160のゲート電極に Q_H が与えられている場合のトランジスタ160の見かけのしきい値 V_{thH} は、トランジスタ160のゲート電極に Q_L が与えられている場合のトランジスタ160の見かけのしきい値 V_{thL} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ160をオン状態とするために必要な読み出しワード線 RWL の電位とする。したがって、読み出しワード線 RWL の電位を V_{thH} と V_{thL} の中間の電位 V_0 とすることにより、情報の書き込み時にトランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいてトランジスタ160のゲート電極に Q_H が与えられた場合には、読み出しワード線 RWL の電位が V_0 ($> V_{thH}$) となれば、トランジスタ160はオン状態となる。一方、書き込みにおいてトランジスタ160のゲート電極に Q_L が与えられた場合には、読み出しワード線 RWL の電位が V_0 ($< V_{thL}$) となっても、トランジスタ160はオフ状態のままである。このため、トランジスタ160の抵抗状態を検出することで、保持されている情報を読み出すことができる。

【0050】

なお、メモリセルをアレイ状に複数配置して用いる場合には、所望のメモリセルの情報のみを読み出すことが必要になる。

【0051】

例えば、複数のメモリセルのトランジスタ160が直列に電氣的に接続された構成($NAND$ 型)の場合に、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合は次のようにする。読み出しの対象ではないメモリセルの読み出しワード線 RWL に対して、書き込み時にゲート電極に与えられた電荷にかかわらずトランジスタ160がオン状態となるような電位、つまり V_{thL} より大きい電位を与えればよい。

【0052】

また例えば、複数のメモリセルのトランジスタ160が直列には接続されず、それぞれ配線と電氣的に接続されている構成(NOR 型)の場合に、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合は次のようにする。読み出しの対

10

20

30

40

50

象ではないメモリセルの読み出しワード線RWLに対して、書き込み時にゲート電極に与えられた電荷にかかわらずトランジスタ160がオフ状態となるような電位、つまり V_{thH} より低い電位を与えればよい。

【0053】

次に、情報の書き換えについて説明する。情報の書き換えは上記情報の書き込みと同様に行われる。選択線SGの電位を選択トランジスタ180がオフ状態となる電位にして選択トランジスタ180をオフ状態とし、ソース線SLの電位をトランジスタ160がオン状態となる電位にしてトランジスタ160をオン状態とする。これにより、ソース線SLの電位は、ビット線BL及びトランジスタ162のソース電極またはドレイン電極の一方には与えられず、トランジスタ160のソース電極及びドレイン電極にのみ与えられ、トランジスタ160のソース電極またはドレイン電極の電位はソース線SLの固定電位とすることができる。

10

【0054】

トランジスタ160のソース電極またはドレイン電極の電位をソース線SLの固定電位とした後、書き込みワード線WWLの電位をトランジスタ162がオン状態となる電位にしてトランジスタ162をオン状態とすることで、ビット線BLの電位（新たな情報に対応する電位）がトランジスタ160のゲート電極及び容量素子164の電極の一方に与えられる。

【0055】

その後、書き込みワード線WWLの電位を低下させてトランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極及び容量素子164の電極の一方に新たな情報に対応する電荷が保持される。

20

【0056】

書き込み時と同様に、トランジスタ160のゲート電極及び容量素子164の電極の一方に与えられた電位の低下が懸念される。書き込みワード線WWLの電位の低下に伴い、トランジスタ160のゲート電極及び容量素子164の電極の一方に与えられた電位が低下するおそれがある。しかし、トランジスタ160がオン状態であり、トランジスタ160のソース電極またはドレイン電極はソース線SLの固定電位としているため、トランジスタ160のゲート電極及び容量素子164の電極の一方に与えられた電位の低下を抑えることが可能である。

30

【0057】

このように、開示する発明に係る半導体装置の駆動方法では、書き込んだ情報を一度消去してから新たな情報を書き込む必要がなく、再度の情報の書き込みによって直接情報を書き換えることが可能である。このため消去動作に起因する動作速度の低下を抑制することができる。つまり半導体装置の高速動作が実現される。

【0058】

また、開示する発明に係る半導体装置の駆動方法では、電荷をトランジスタ160のゲート電極及び容量素子164の電極の一方へ蓄積及び保持する際に、トランジスタ160をオン状態としてトランジスタ160のソース電極またはドレイン電極をソース線SLの固定電位とする。これにより、書き込みたい電位（ビット線BLの電位）をトランジスタ160のゲート電極及び容量素子164の電極の一方へ与えることができる。そのため、複数のメモリセルを有した半導体装置でも、書き込みたい電位を安定してトランジスタ160のゲート電極及び容量素子164の電極の一方へ与えることができるため、半導体装置の信頼性の向上が実現できる。

40

【0059】

なお、トランジスタ160のゲート電極は、トランジスタ162のソース電極またはドレイン電極の他方及び容量素子164の電極の一方と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ160のゲート電極とトランジスタ162のソース電極またはドレイン電極の他方及び容量素子164の電極の一方と

50

が電氣的に接続される部位をノード F G と呼ぶ場合がある。トランジスタ 1 6 2 がオフ状態の場合、ノード F G は絶縁体中に埋設されたフローティングゲートと捉えることができ、ノード F G には電荷が保持される。酸化物半導体材料を用いたトランジスタ 1 6 2 のオフ電流は、シリコンにチャンネルが形成されるトランジスタの 1 0 万分の 1 以下であるため、トランジスタ 1 6 2 のリークによるノード F G に蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体材料を用いたトランジスタ 1 6 2 により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0060】

例えば、トランジスタ 1 6 2 の室温 (25℃) でのオフ電流が 1 0 z A (1 z A (zepto アンペア) は 1×10^{-21} A) 以下であり、容量素子 1 6 4 の容量値が 1 0 f F 程度である場合には、少なくとも 1 0⁴ 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量素子の容量値によって変動することはいうまでもない。

10

【0061】

また、図 1 に示す半導体装置を用いた駆動方法においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層 (トンネル絶縁層) の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁層の劣化という問題を解消できる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要である。

【0062】

20

< 応用例 >

次に、図 1 に示す回路を応用した回路構成及び動作について図 2 及び図 3 を参照して説明する。

【0063】

図 2 は、メモリセル 1 9 0 を縦 m (m は 2 以上の自然数) 個 (行) × 横 n (n は自然数) 個 (列) 分有する NAND 型の半導体装置の回路図の一例である。なお実際には縦 m 個 (行) × 横 n 個 (列) のセルを複数有する構成とすることができる。図 2 において、同様の機能を有する配線が複数ある場合には、配線の名称の末尾に 1、2 等を付すことで区別している。

【0064】

30

図 2 に示す半導体装置は、m 本の書き込みワード線 WWL (WWL₁ 乃至 WWL_m) と、m 本の読み出しワード線 RWL (RWL₁ 乃至 RWL_m) と、n 本のビット線 BL (BL₁ 乃至 BL_n) と、メモリセル 1 9 0 が縦 m 個 (行) × 横 n 個 (列) のマトリクス状に配置されたメモリセルアレイと、ソース線 SL と、選択線 SG と、n 個の選択トランジスタ 1 8 0 と、を有する。

【0065】

n 個の選択トランジスタ 1 8 0 は、選択線 SG に沿ってビット線 BL と第 1 行目のメモリセル 1 9 0 との間に配置され、選択線 SG と選択トランジスタ 1 8 0 のゲート電極が電氣的に接続されている。

【0066】

40

ビット線 BL は、第 1 行目のメモリセル 1 9 0 のトランジスタ 1 6 2 のソース電極またはドレイン電極の一方と電氣的に接続され、且つ選択トランジスタ 1 8 0 を介して、第 1 行目のメモリセル 1 9 0 のトランジスタ 1 6 0 のソース電極またはドレイン電極の一方と電氣的に接続される。また、ソース線 SL は、第 m 行目のメモリセル 1 9 0 のトランジスタ 1 6 0 のソース電極またはドレイン電極の他方と電氣的に接続されている。

【0067】

第 k (k は 2 以上 (m-1) 以下の自然数) 行目のメモリセル 1 9 0 のトランジスタ 1 6 0 のソース電極またはドレイン電極の一方は、第 (k-1) 行目のメモリセル 1 9 0 の容量素子 1 6 4 の電極の一方、トランジスタ 1 6 2 のゲート電極、及びトランジスタ 1 6 0 のソース電極またはドレイン電極の他方と電氣的に接続され、第 k 行目のメモリセル 1 9

50

0のトランジスタ160のソース電極またはドレイン電極の他方は、第 $(k+1)$ 行目のメモリセル190の容量素子164の電極の一方、トランジスタ162のゲート電極、及びトランジスタ160のソース電極またはドレイン電極の一方と電氣的に接続されている。

【0068】

また、第 j 行目(j は1以上 m 以下の自然数)の書き込みワード線 WWL_j は、第 j 行目のメモリセル190のトランジスタ162のゲート電極と電氣的に接続されている。第 j 行目の読み出しワード線 RWL_j は、第 j 行目のメモリセル190の容量素子164の電極の他方と電氣的に接続されている。

【0069】

図2中のメモリセル190の構成は、図1と同様である。ただし、図2では、各メモリセル190のトランジスタ162が列方向に直列に電氣的に接続され、且つ、各メモリセル190のトランジスタ160が列方向に直列に電氣的に接続されているので、第1行目のメモリセル190のみが他のメモリセル190を介することなくビット線 BL と電氣的に接続され、第 m 行目のメモリセル190のみが他のメモリセル190を介することなくソース線 SL と電氣的に接続される。他の行のメモリセル190は同じ列の他のメモリセル190を介してビット線 BL 及びソース線 SL と電氣的に接続される。

【0070】

ここで、図2に示す半導体装置の第 $(k-1)$ 行目のメモリセルのノード FG には、図1に示す構成に加えて、第 k 行目のメモリセル190のトランジスタ162のソース電極またはドレイン電極の一方が電氣的に接続されることになる。第 k 行目のメモリセルにおいても、第 $(k-1)$ 行目のメモリセルにおいても、酸化物半導体材料を用いたトランジスタ162はオフ電流が極めて小さい。そのため、図2に示す半導体装置のメモリセル190においても、図1に示す半導体装置と同様に、トランジスタ162をオフ状態にすることでノード FG の電位を極めて長時間にわたって保持することが可能である。

【0071】

図2に示す構成のように、複数のメモリセル190においてトランジスタ162を直列に電氣的に接続することによって、各メモリセル190間でトランジスタ162のソース電極及びドレイン電極を互いに接するようになることができる。または、共有することができる。これにより、メモリセル190一つあたりにはトランジスタ162のソース電極またはドレイン電極の一方のみが含まれることになる。

【0072】

それに対して、メモリセル190のトランジスタ162を直列接続せず、各メモリセル190においてトランジスタ162のソース電極及びドレイン電極を個別に設ける場合は、トランジスタ162のソース電極またはドレイン電極の一方を、開口部を設けて、ビット線 BL などの配線に接続する必要がある。つまり、メモリセル190一つあたりにはトランジスタ162のソース電極及びドレイン電極の両方と、配線と接続するための開口部が含まれることになる。

【0073】

よって、図2に示すように、メモリセル190のトランジスタ162を直列に電氣的に接続することによって、メモリセル190の占有面積を低減することができる。例えば、最小加工寸法を F として、メモリセル190の占有面積を $6F^2 \sim 12F^2$ とすることが可能である。以上より、半導体装置の高集積化を図り、単位面積あたりの記憶容量を増加させることができる。

【0074】

図2に示す回路構成ではメモリセル190のトランジスタ162を直列に電氣的に接続しているが、必ずしも直列に電氣的に接続する必要はない。例えば、並列に電氣的に接続してもよい。

【0075】

また、第 m 行目のメモリセル190とソース線 SL との間に新たな選択線及び選択トラン

10

20

30

40

50

ジスタを設けても良い。

【0076】

図2に示す構成において、情報の書き込み、及び読み出しは、基本的に図1と同様である。図2に示す構成において、 m が2、 n が1の場合の構成を例として、情報の書き込み、読み出しの動作の説明を図3のタイミングチャートを参照して行う。また、ここでは、第2行第1列のメモリセルにデータ"1"を書き込み、第1行第1列のメモリセルにデータ"0"を書き込み、第2行第1列のメモリセルのデータ"1"を読み出し、第1行第1列のメモリセルのデータ"0"を読み出す場合を例示する。タイミングチャート中のBL、SL等の名称は、タイミングチャートに示す電位が与えられる配線を示している。

【0077】

また、ここでは一例として、ノードFGに電位V1（例えば、電源電圧VDD）を与えてノードFGに保持される情報をデータ"1"とし、ノードFGにGND（0V）を与えてノードFGに保持される情報をデータ"0"とする場合について説明する。なお、メモリセル190にデータ"1"を書き込む場合とデータ"0"を書き込む場合は、ビット線BLの電位に違いがあるが、基本的な書き込み動作は同じである。

【0078】

まず、第2行第1列のメモリセル190にデータ"1"を書き込む場合の一例を説明する。まず、選択線SGの電位を選択トランジスタ180をオフ状態とする電位（V5）としてから、ソース線SLの電位をV2として第1行目及び第2行目のメモリセル190のトランジスタ160をオン状態とする。これにより、第1行目及び第2行目のメモリセル190のトランジスタ160のソース電極またはドレイン電極は、ソース線SLの固定電位となる。電位V2は、ノードFGの電位V1と、トランジスタ160のしきい値となる電位と、の差より低い電位とする。

【0079】

そして、ビット線BLの電位をV1とし、書き込みワード線WWL₁及び書き込みワード線WWL₂の電位をV3（V3>V1とする）とし、第1行目及び第2行目のメモリセル190のトランジスタ162をオン状態とする。このとき、読み出しワード線RWL₁及び読み出しワード線RWL₂はGND（0V）に固定する。こうして、第1行目及び第2行目のメモリセル190のノードFGにV1を与え、電荷が蓄積される。

【0080】

そして、書き込みワード線WWL₂の電位をGND（0V）とすることにより第2行目のメモリセル190のノードFGに蓄積された電荷は保持される。書き込みワード線WWL₂の電位をGND（0V）とすると、第2行目のメモリセル190のトランジスタ162はオフ状態となり、ノードFGの電位はV1となる。このように、第2行第1列のメモリセル190の書き込みは終了する。

【0081】

また、第2行第1列のメモリセル190にデータ"1"を書き込む場合の別の一例を説明する。まず、ビット線BLの電位をV1とし、書き込みワード線WWL₁及び書き込みワード線WWL₂の電位をV3（V3>V1とする）とし、第1行目及び第2行目のメモリセル190のトランジスタ162をオン状態とする。このとき、読み出しワード線RWL₁及び読み出しワード線RWL₂はGND（0V）に固定する。こうして、第1行目及び第2行目のメモリセル190のノードFGにV1を与え、電荷が蓄積される。

【0082】

そして、選択線SGの電位をV5とし、選択トランジスタ180をオフ状態としてから、ソース線SLの電位をV2として第1行目及び第2行目のメモリセル190のトランジスタ160をオン状態とする。これにより、第1行目及び第2行目のメモリセル190のトランジスタ160のソース電極またはドレイン電極はソース線SLの固定電位となる。電位V2は、ノードFGの電位V1と、トランジスタ160のしきい値となる電位と、の差より低い電位とする。

【0083】

そして、書き込みワード線 WWL_2 の電位を $GND (0V)$ とすることにより第 2 行目のメモリセル 190 のノード FG に蓄積された電荷は保持される。書き込みワード線 WWL_2 の電位を $GND (0V)$ とすると、第 2 行目のメモリセル 190 のトランジスタ 162 はオフ状態となり、ノード FG の電位は $V1$ となる。このように、第 2 行第 1 列のメモリセル 190 の書き込みは終了する。

【0084】

次に、第 1 行第 1 列のメモリセル 190 にデータ "0" を書き込む場合の一例を説明する。選択線 SG の電位を $V5$ とし、選択トランジスタ 180 をオフ状態としてから、ソース線 SL の電位を $V2$ として第 1 行目及び第 2 行目のメモリセル 190 のトランジスタ 160 をオン状態とする。これにより、第 1 行目及び第 2 行目のメモリセル 190 のトランジスタ 160 のソース電極またはドレイン電極はソース線 SL の固定電位となる。電位 $V2$ は、 $GND (0V)$ と、トランジスタ 160 のしきい値となる電位と、の差より低い電位とする。

10

【0085】

そして、ビット線 BL の電位を $GND (0V)$ とし、書き込みワード線 WWL_1 の電位を $V3 (V3 > V1)$ とし、書き込みワード線 WWL_2 の電位を $GND (0V)$ とし、第 1 行目のメモリセル 190 のトランジスタ 162 のみをオン状態とする。第 2 行目のメモリセル 190 のトランジスタ 162 をオフ状態とすることで、第 2 行目のメモリセル 190 のノード FG には情報 (データ "1") が保持されたままとなる。読み出しワード線 RWL_1 及び読み出しワード線 RWL_2 は $GND (0V)$ に固定する。こうして、第 1 行目のメモリセル 190 のノード FG に $GND (0V)$ を与え、電荷が蓄積される。

20

【0086】

そして、書き込みワード線 WWL_1 の電位を $GND (0V)$ とすることにより第 1 行目のメモリセル 190 のノード FG に蓄積された電荷は保持される。書き込みワード線 WWL_1 の電位を $GND (0V)$ とすると、第 1 行目のメモリセル 190 のトランジスタ 162 はオフ状態となり、ノード FG の電位は $0V$ となる。このように、第 1 行第 1 列のメモリセル 190 の書き込みは終了する。

【0087】

また、第 1 行第 1 列のメモリセル 190 にデータ "0" を書き込む場合の別の一例を説明する。ビット線 BL の電位を $GND (0V)$ とし、書き込みワード線 WWL_1 の電位を $V3 (V3 > V1)$ とし、書き込みワード線 WWL_2 の電位を $GND (0V)$ とし、第 1 行目のメモリセル 190 のトランジスタ 162 のみをオン状態とする。第 2 行目のメモリセル 190 のトランジスタ 162 をオフ状態とすることで、第 2 行目のメモリセル 190 のノード FG には情報 (データ "1") が保持されたままとなる。読み出しワード線 RWL_1 及び読み出しワード線 RWL_2 は $GND (0V)$ に固定する。こうして、第 1 行目のメモリセル 190 のノード FG に $GND (0V)$ を与え、電荷が蓄積される。

30

【0088】

そして、選択線 SG の電位を $V5$ とし、選択トランジスタ 180 をオフ状態としてから、ソース線 SL の電位を $V2$ として第 1 行目及び第 2 行目のメモリセル 190 のトランジスタ 160 をオン状態とする。これにより、第 1 行目及び第 2 行目のメモリセル 190 のトランジスタ 160 のソース電極またはドレイン電極はソース線 SL の固定電位となる。電位 $V2$ は、 $GND (0V)$ と、トランジスタ 160 のしきい値となる電位と、の差より低い電位とする。

40

【0089】

そして、書き込みワード線 WWL_1 の電位を $GND (0V)$ とすることにより第 1 行目のメモリセル 190 のノード FG に蓄積された電荷は保持される。書き込みワード線 WWL_1 の電位を $GND (0V)$ とすると、第 1 行目のメモリセル 190 のトランジスタ 162 はオフ状態となり、ノード FG の電位は $0V$ となる。このように、第 1 行第 1 列のメモリセル 190 の書き込みは終了する。

【0090】

50

以上のように、第2行第1列及び第1行第1列のメモリセル190の書き込みを行うことができる。

【0091】

書き込みを行う際に、第1行目及び第2行目のメモリセル190のトランジスタ160のソース電極またはドレイン電極をソース線SLの固定電位とする。これにより、ノードFGに与えられた電位は、電荷を保持する際の書き込みワード線WWLの電位の低下の影響を受けることがなく、ノードFGに与えられた電位は低下しない。そのため、書き込みたい電位（ビット線BLの電位）をノードFGに与えることが可能となり、安定した電位の書き込みができる。

【0092】

ここでは、第1行目のメモリセル190と第2行目のメモリセル190とは直列に電氣的に接続している場合を説明している。そのため、第2行目のメモリセル190を書き込んだ後に第1行目のメモリセル190を書き込む必要がある。ただし、第1行目のメモリセル190と第2行目のメモリセル190とが直列に電氣的に接続されていない場合、例えば、並列に電氣的に接続されている場合は、第2行目のメモリセル190から書き込む必要はなく、第1行目のメモリセル190から書き込んでもよい。

【0093】

上述した回路構成中のトランジスタ162には、例えば酸化物半導体材料を用いたトランジスタが適用される。酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さい。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0094】

次に、情報の読み出しについて説明する。情報の読み出しは、ビット線BLの電位の変化によって行われる。ここでは、第1行目及び第2行目のメモリセル190のトランジスタ160が全てオン状態の場合はビット線BLの電位が低電位となり、一つでもオフ状態の場合はビット線BLの電位が高電位となる。ただし、一例であり、必ずしも読み出し時にビット線BLの電位を変化させなくてもよい。

【0095】

まず、第2行目のメモリセル190（読み出し対象のメモリセル190）から情報を読み出す場合を例に説明する。選択線SGの電位を選択トランジスタ180をオン状態とする電位（V4）とし、第2行目のメモリセル190の容量素子164に電氣的に接続されている読み出しワード線RWL₂及び書き込みワード線WWL₂の電位をGND（0V）とし、第1行目のメモリセル190（読み出し対象ではないメモリセル190）に電氣的に接続されている読み出しワード線RWL₁の電位をV0とし、書き込みワード線WWL₁の電位をGND（0V）とする。電位V0は、図1を用いて説明したように、読み出しの対象ではないメモリセルの読み出しワード線RWLに対して、読み出し時にゲート電極に与えられた電荷にかかわらずトランジスタ160がオン状態となるような電位とすればよい。

【0096】

第2行目のメモリセル190のノードFGにデータ“1”であるV1が与えられている場合、第2行目のメモリセル190に接続される読み出しワード線RWL₂の電位をGND（0V）とすることで、トランジスタ160はオン状態となる。

【0097】

このとき、第1行目のメモリセル190にデータ“1”が書き込まれている場合、及びデータ“0”が書き込まれている場合のいずれにおいても、第1行目のメモリセル190のトランジスタ160はオン状態となる。

【0098】

上述の動作により、第1行目及び第2行目のメモリセル190のトランジスタ160がオン状態となり、ビット線BLの電位が低電位となる。これにより書き込まれたデータ“1”を読み出すことができる。

10

20

30

40

50

【0099】

次に、第1行目のメモリセル190（読み出し対象メモリセル190）から情報を読み出す場合を例に説明する。第1行目のメモリセル190から情報を読み出す場合は、選択線SGの電位をV4として選択トランジスタ180をオン状態とし、読み出しワード線RWL₁及び書き込みワード線WWL₁の電位をGND（0V）とし、また、第2行目のメモリセル190（読み出し対象ではないメモリセル190）に電氣的に接続されている読み出しワード線RWL₂の電位をV0とし、書き込みワード線WWL₂の電位をGND（0V）とする。

【0100】

第1行目のメモリセル190のノードFGにデータ"0"である0Vが与えられている場合、第1行目のメモリセル190に接続される読み出しワード線RWL₁の電位をGND（0V）とすることで、トランジスタ160はオフ状態となる。第1行目のメモリセル190のトランジスタ160がオフ状態となることで、ビット線BLの電位が高電位となる。これにより書き込まれたデータ"0"を読み出すことができる。

【0101】

以上のように、第2行第1列及び第1行第1列のメモリセル190の読み出しを行うことができる。

【0102】

ここでは、第2行目のメモリセル190の読み出しを行った後に第1行目のメモリセル190の読み出しを行ったが、読み出しを行う順序は特に限定はなく、第1行目のメモリセル190から読み出しを行ってもよい。

【0103】

上記には、2個のメモリセルが直列に電氣的に接続されている回路構成を例として、情報の書き込み及び読み出し動作を説明したが、m個のメモリセルが直列に電氣的に接続されている回路構成においても同様の動作により、書き込み及び読み出しを行うことが可能である。以下にm個のメモリセルが直列に電氣的に接続されている回路構成の書き込み及び読み出し動作について説明する。なお、m個のメモリセルが直列に電氣的に接続されている回路構成において、タイミングチャートは図示しないこととする。

【0104】

m個のメモリセルが直列に電氣的に接続された回路構成において、第k行目のメモリセル190にデータ"1"（またはデータ"0"）を書き込む場合の一例を以下に示す。選択トランジスタ180をオフ状態とし、第1行目乃至第m行目のメモリセル190のトランジスタ160をオン状態とする。これにより、第1行目乃至第m行目のメモリセル190のトランジスタ160のソース電極またはドレイン電極はソース線SLの固定電位となる。そして、第1行目乃至第k行目のメモリセル190のトランジスタ162のソース電極またはドレイン電極にビット線BLの電位V1（または0V）を与え、書き込みワード線WWL₁乃至書き込みワード線WWL_kに電位を与えて第1行目乃至第k行目のメモリセル190のトランジスタ162をオン状態とし、第k行目のメモリセル190へ電荷を蓄積する。その後、第k行目の書き込みワード線WWL_kの電位を低下させて第k行目のメモリセル190のトランジスタ162をオフ状態とすることで、第k行目のメモリセル190のノードFGに電荷を保持することができる。第1行目乃至第(k-1)行目のメモリセル190にもデータ"1"（またはデータ"0"）を書き込む場合は、第k行目のメモリセル190のノードFGに電荷を保持した後、第(k-1)行目の書き込みワード線WWL_(k-1)から第1行目の書き込みワード線WWL₁へ順次電位を低下させて、第(k-1)行目のメモリセル190のトランジスタ162から第1行目のメモリセル190のトランジスタ162を順次オフ状態とする。こうすることで、第(k-1)行目のメモリセル190のノードFGから第1行目のメモリセル190のノードFGへ順次電荷を保持し、第1行目乃至第(k-1)行目のメモリセル190にもデータ"1"（またはデータ"0"）を書き込むことが可能となる。なお、第k行目のメモリセル190に書き込みを行った後に第1行目乃至第(k-1)行目のメモリセル190にも書き込みを行う例

10

20

30

40

50

を示したが、第1行目乃至第 $(k-1)$ 行目のメモリセル190に書き込みを行う必要はなく、第 k 行目のみに書き込みを行ってもよい。

【0105】

また、 m 個のメモリセルが直列に電氣的に接続された回路構成において、第 k 行目のメモリセル190にデータ“1”（またはデータ“0”）を書き込む場合の別の一例を以下に示す。第1行目乃至第 k 行目のメモリセル190のトランジスタ162のソース電極またはドレイン電極にビット線BLの電位 V_1 （または0V）を与え、第1行目乃至第 k 行目のメモリセル190のトランジスタ162に書き込みワード線 WWL_1 乃至書き込みワード線 WWL_k の電位を与えて第1行目乃至第 k 行目のメモリセル190のトランジスタ162をオン状態とし、第 k 行目のメモリセル190へ電荷を蓄積する。そして、選択トランジスタ180をオフ状態とし、第1行目乃至第 m 行目のメモリセル190のトランジスタ160をオン状態とする。これにより、第1行目乃至第 m 行目のメモリセル190のトランジスタ160のソース電極またはドレイン電極はソース線SLの固定電位となる。その後、第 k 行目の書き込みワード線 WWL_k の電位を低下させて第 k 行目のメモリセル190のトランジスタ162をオフ状態とすることで、第 k 行目のメモリセル190のノードFGに電荷を保持することができる。第1行目乃至第 $(k-1)$ 行目のメモリセル190にもデータ“1”（またはデータ“0”）を書き込む場合は、第 k 行目のメモリセル190のノードFGに電荷を保持した後、第 $(k-1)$ 行目の書き込みワード線 $WWL_{(k-1)}$ から第1行目の書き込みワード線 WWL_1 へ順次電位を低下させて、第 $(k-1)$ 行目のメモリセル190のトランジスタ162から第1行目のメモリセル190のトランジスタ162へ順次オフ状態とする。こうすることで、第 $(k-1)$ 行目のメモリセル190のノードFGから第1行目のメモリセル190のノードFGへ順次電荷を保持し、第1行目乃至第 $(k-1)$ 行目のメモリセル190にもデータ“1”（またはデータ“0”）を書き込むことが可能となる。なお、第 k 行目のメモリセル190に書き込みを行った後に第1行目乃至第 $(k-1)$ 行目のメモリセル190にも書き込みを行う例を示したが、第1行目乃至第 $(k-1)$ 行目のメモリセル190に書き込みを行う必要はなく、第 k 行目のみに書き込みを行ってもよい。

【0106】

以上のように、 m 個のメモリセルが直列に電氣的に接続された回路構成において、第1行目乃至第 k 行目のメモリセル190に書き込みを行うことができる。

【0107】

書き込みを行う際に、第1行目乃至第 m 行目のメモリセル190のトランジスタ160のソース電極またはドレイン電極をソース線SLの固定電位とする。これにより、ノードFGに与えられた電位は、電荷を保持する際の書き込みワード線WWLの電位の低下の影響を受けることがなく、ノードFGに与えられた電位の低下を抑えることができる。そのため、書き込みたい電位（ビット線BLの電位）をノードFGに与えることが可能となり、安定した電位の書き込みができる。

【0108】

ここでは、第1行目乃至第 m 行目のメモリセル190が直列に電氣的に接続している場合を説明している。そのため、ビット線から遠いメモリセル190からビット線から近いメモリセル190へ順次書き込む必要がある。ただし、第1行目乃至第 m 行目のメモリセル190が直列に電氣的に接続されていない場合、例えば、並列に電氣的に接続されている場合は、ビット線から遠いメモリセル190から書き込む必要はなく、特に限定はされない。

【0109】

上述した回路構成中のトランジスタ162には、例えば酸化物半導体材料を用いたトランジスタが適用される。酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さい。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0110】

次に、 m 個のメモリセルが直列に電氣的に接続された回路構成において、第 k 行目のメモリセル190を読み出す場合の例を以下に示す。選択トランジスタ180をオン状態とし、第1行目の書き込みワード線 WWL_1 乃至第 m 行目の書き込みワード線 WWL_m の電位を $GND(0V)$ とし、第 k 行目の読み出しワード線 RWL_k を除く第1行目の読み出しワード線 RWL_1 乃至第 m 行目の読み出しワード線 RWL_m の電位を $V0$ とする。第 k 行目のメモリセル190（読み出し対象メモリセル190）の読み出しワード線 RWL_k の電位のみを $GND(0V)$ とすることで、第 k 行目のメモリセル190の読み出しを行うことができる。第 k 行目のメモリセル190にデータ“1”が書き込まれている場合はビット線 BL の電位が低電位となり、データ“0”が書き込まれている場合はビット線の電位が高電位となる。

10

【0111】

以上のように、 m 個のメモリセルが直列に電氣的に接続された回路構成において、読み出し対象のメモリセル190の読み出しを行うことができる。

【0112】

（実施の形態2）

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成及び動作について、図4を参照して説明する。なお、回路図においては酸化物半導体材料を用いたトランジスタであることを示すためにOSの符号を付す場合がある。

【0113】

図4に示す回路構成は、 m 個のメモリセル190と、選択トランジスタ180と、を1ブロックとし、縦 r （ r は1以上の自然数）個×横 n 個のブロック700を有するNAND型の半導体装置の回路構成の一例である。図4中のブロック700の構成は図2と同様である。ただし、縦に電氣的に接続された r 個の各ブロック700の選択トランジスタ180のソース電極またはドレイン電極の一方は、同じビット線 BL と電氣的に接続されている。

20

【0114】

図4の構成において、ブロック700の回路構成、情報の書き込み及び読み出し動作は、基本的に図2と同様であるため、詳細な説明は省略する。

【0115】

図4に示すように、ブロック700を直列に電氣的に接続することで、半導体装置の高容量化が実現できる。

30

【0116】

図2に示す回路構成においても、直列に電氣的に接続するメモリセル190を増加することで、半導体装置の高容量化は可能である。しかし、直列に電氣的に接続されるメモリセル190を増加することで、ビット線 BL から遠ければ遠いメモリセル190ほど、メモリセル190に書き込まれる電位は低下する。そのため、書き込みたい電位（ビット線 BL の電位）とビット線 BL から遠くに電氣的に接続されたメモリセル190に書き込まれる電位とに、差が生じてしまう。これにより、ビット線 BL から近くに電氣的に接続されたメモリセル190に書き込まれる電位と、ビット線 BL から遠くに電氣的に接続されたメモリセル190に書き込まれる電位と、に差が生じ、各メモリセル190のノード FG の電位にばらつきが生じてしまう。

40

【0117】

図4に示すように、直列に電氣的に接続されたメモリセル190をブロック毎に区切り、各ブロック700にビット線 BL の電位を与える。こうすることで、書き込みたい電位（ビット線 BL の電位）と、メモリセル190に書き込まれる電位と、の差を低減することができ、各メモリセルに書き込まれる電位のばらつきを低減することが可能となる。

【0118】

また、上述の構成において、トランジスタ162には、例えば酸化物半導体材料を用いたトランジスタが適用される。酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さい。このため、トランジスタ162をオフ状態とすることで、トランジスタ160の

50

ゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0119】

また、上述の構成において、第 t (t は 1 以上 r 以下の自然数) のブロック 700 に書き込みを行う場合は、第 t のブロック 700 のソース線 SL_t の電位を、第 t のブロック 700 内の第 1 行目乃至第 m 行目のメモリセル 190 のトランジスタ 160 がオン状態となる電位とすればよい。書き込み対象である第 t のブロック 700 を除く、第 1 のブロック 700 のソース線 SL_1 乃至第 r のブロック 700 のソース線 SL_r は、電位を与える必要がない。つまり、書き込み対象のブロック 700 のソース線 SL にのみ電位を与えればよく、書き込み対象でないブロック 700 のソース線 SL には電位を与える必要がない。このため、全てのソース線 SL に電位を与える必要がなく、電力の低減を図ることができる。

10

【0120】

また、上述の構成において、情報の書き込みを行う際に、書き込み対象のブロック 700 において、第 1 行目乃至第 m 行目のメモリセル 190 のトランジスタ 160 のソース電極またはドレイン電極をソース線 SL の固定電位とする。これにより、ノード FG に与えられた電位は、電荷を保持する際の書き込みワード線 WWL の電位の低下の影響を受けることがなく、ノード FG に与えられた電位は低下しない。そのため、書き込みたい電位（ビット線 BL の電位）をノード FG に与えることが可能となり、安定した電位の書き込みができる。

20

【0121】

(実施の形態 3)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成及びその作製方法について図 5 乃至図 12 を参照して説明する。具体的には、記憶装置に搭載可能なメモリセルの構成及びその作製方法について説明する。

【0122】

<半導体装置の断面構成及び平面構成>

図 5 は、半導体装置の構成の一例である。図 5 (A) には、半導体装置の断面を、図 5 (B) には、半導体装置の平面をそれぞれ示す。図 5 (A) は、図 5 (B) の A1-A2 及び B1-B2 における断面に相当する。図 5 (A) 及び図 5 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有する。第 1 の半導体材料と第 2 の半導体材料とは異なる材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。図 5 に示す半導体装置は、メモリセルとして用いることができる。図 5 中のトランジスタ 160、トランジスタ 162、容量素子 164 は、図 1、図 2、及び図 4 におけるトランジスタ 160、トランジスタ 162、容量素子 164 に相当する。

30

40

【0123】

なお、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料を図 1、図 2、及び図 4 に示したトランジスタ 162 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0124】

図 5 におけるトランジスタ 160 は、半導体基板 400 上の半導体層中に設けられたチャネル形成領域 134 と、チャネル形成領域 134 を挟むように設けられた不純物領域 132 (ソース領域及びドレイン領域とも記す) と、チャネル形成領域 134 上に設けられた

50

ゲート絶縁層 122a と、ゲート絶縁層 122a 上にチャネル形成領域 134 と重畳するように設けられたゲート電極 128a と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。また、ドレイン電極との記載にはドレイン領域が含まれうる。

【0125】

また、半導体基板 400 上の半導体層中に設けられた不純物領域 126 には、導電層 128b が接続されている。ここで、導電層 128b は、トランジスタ 160 のソース電極やドレイン電極としても機能する。また、不純物領域 132 と不純物領域 126 との間には、不純物領域 130 が設けられている。また、トランジスタ 160 を覆うように絶縁層 136、絶縁層 138、及び絶縁層 140 が設けられている。なお、高集積化を実現するためには、図 5 に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 128a の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 132 を設けても良い。

【0126】

図 5 におけるトランジスタ 162 は、絶縁層 140 などの上に設けられた酸化物半導体層 144 と、酸化物半導体層 144 と電気的に接続されているソース電極（またはドレイン電極）142a、及びドレイン電極（またはソース電極）142b と、酸化物半導体層 144、ソース電極 142a 及びドレイン電極 142b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化物半導体層 144 と重畳するように設けられたゲート電極 148a と、を有する。

【0127】

ここで、酸化物半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 144 中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 144 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温（25℃）でのオフ電流（ここでは、単位チャネル幅（1μm）あたりの値）は 100zA（1zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは 10zA 以下となる。このように、i 型化（真性化）または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

【0128】

また、酸化物半導体層 144 はナトリウム、リチウム、カリウムなどのアルカリ金属、及びアルカリ土類金属の不純物が十分に除去されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 144 のナトリウム濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とし、リチウム濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とし、カリウム濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とする。上述した酸化物半導体層 144 中のナトリウム濃度、リチウム濃度、及びカリウム濃度においても、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定されるものである。

【0129】

上述したアルカリ金属、及びアルカリ土類金属は酸化物半導体層にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、ナトリウムは酸化物半導体層に接する絶縁膜が酸化物であった場合、その中に拡散し、ナトリウムイオン (Na^+) となる。また、酸化物半導体層内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体層中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体層中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

10

【0130】

なお、図5のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層144を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層144の汚染を防止できる。

【0131】

図5における容量素子164は、ドレイン電極142b、ゲート絶縁層146、及び導電層148b、とで構成される。すなわち、ドレイン電極142bは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層144とゲート絶縁層146とを積層させる場合には、ドレイン電極142bと、導電層148bとの絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子164を設けない構成とすることもできる。

20

【0132】

本実施の形態では、トランジスタ162及び容量素子164が、トランジスタ160と少なくとも一部が重畳するように設けられている。このような平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法をFとして、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

【0133】

トランジスタ162及び容量素子164の上には、絶縁層150が設けられている。そして、ゲート絶縁層146及び絶縁層150に形成された開口には、配線154が設けられている。配線154は、メモリセルの一と他のメモリセルとを接続する配線である。配線154は、ソース電極142aと、導電層128bとを介して、不純物領域126に接続されている。これにより、トランジスタ160におけるソース領域またはドレイン領域と、トランジスタ162におけるソース電極142aと、をそれぞれ異なる配線に接続する場合と比較して、配線の数を削減することができるため、半導体装置の集積度を向上させることができる。

30

【0134】

また、導電層128bを設けることにより、不純物領域126とソース電極142aの接続する位置と、ソース電極142aと配線154との接続する位置を、重畳して設けることができる。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

40

【0135】

<SOI基板の作製方法>

次に、上記半導体装置の作製に用いられるSOI基板の作製方法の一例について、図6を参照して説明する。

【0136】

まず、ベース基板として半導体基板400を準備する（図6（A）参照）。半導体基板4

50

00としては、単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いることができる。また、半導体基板として、太陽電池級シリコン（SOG-Si:Solar Grade Silicon）基板などを用いても良い。また、多結晶半導体基板を用いても良い。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

【0137】

なお、半導体基板400に変えて、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。また、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

10

【0138】

半導体基板400は、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、半導体基板400に対して、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）等を用いて洗浄を行うのが好ましい。

【0139】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板410を用いる（図6（B）参照）。なお、ここでは、ボンド基板として単結晶のものを用いるが、ボンド基板の結晶性を単結晶に限る必要はない。

【0140】

単結晶半導体基板410としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第14族元素でなる単結晶半導体基板を用いることができる。また、ガリウムヒ素やインジウムリン等の化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径5インチ（125mm）、直径6インチ（150mm）、直径8インチ（200mm）、直径12インチ（300mm）、直径16インチ（400mm）サイズの円形のものが代表的である。なお、単結晶半導体基板410の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板410は、CZ（チョクラルスキー）法やFZ（フローティングゾーン）法を用いて作製することができる。

20

【0141】

単結晶半導体基板410の表面には酸化膜412を形成する（図6（C）参照）。なお、汚染物除去の観点から、酸化膜412の形成前に、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、FPM（フッ酸、過酸化水素水、純水の混合液）等を用いて単結晶半導体基板410の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

30

【0142】

酸化膜412は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記酸化膜412の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。また、CVD法を用いて酸化膜412を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン（略称；TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

40

【0143】

本実施の形態では、単結晶半導体基板410に熱酸化処理を行うことにより酸化膜412（ここでは、 SiO_x 膜）を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0144】

例えば、塩素（Cl）が添加された酸化性雰囲気中で単結晶半導体基板410に熱酸化処理を行うことにより、塩素酸化された酸化膜412を形成することができる。この場合、

50

酸化膜 4 1 2 は、塩素原子を含有する膜となる。このような塩素酸化により、外因性の不純物である重金属（例えば、F e、C r、N i、M o等）を捕集して金属の塩化物を形成し、これを外方に除去して単結晶半導体基板 4 1 0 の汚染を低減させることができる。

【0 1 4 5】

なお、酸化膜 4 1 2 に含有させるハロゲン原子は塩素原子に限られない。酸化膜 4 1 2 にはフッ素原子を含有させてもよい。単結晶半導体基板 4 1 0 表面をフッ素酸化する方法としては、H F 溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、N F₃ を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

【0 1 4 6】

次に、イオンを電界で加速して単結晶半導体基板 4 1 0 に照射し、添加することで、単結晶半導体基板 4 1 0 の所定の深さに結晶構造が損傷した脆化領域 4 1 4 を形成する（図 6（D）参照）。

【0 1 4 7】

脆化領域 4 1 4 が形成される領域の深さは、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域 4 1 4 は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板 4 1 0 から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、1 0 n m 以上 5 0 0 n m 以下、好ましくは 5 0 n m 以上 2 0 0 n m 以下程度となるように平均侵入深さを調節すれば良い。

【0 1 4 8】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

【0 1 4 9】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板 4 1 0 に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、H₃⁺ の比率を高くすると良い。具体的には、H⁺、H₂⁺、H₃⁺ の総量に対して H₃⁺ の割合が 5 0 % 以上（より好ましくは 8 0 % 以上）となるようにする。H₃⁺ の割合を高めることで、イオン照射の効率を向上させることができる。

【0 1 5 0】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、異なる工程で照射する場合と比較して工程数を低減することができると共に、後の単結晶半導体層の表面荒れを抑えることが可能である。

【0 1 5 1】

なお、イオンドーピング装置を用いて脆化領域 4 1 4 を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜 4 1 2 を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板 4 1 0 の汚染を防ぐことができる。

【0 1 5 2】

次に、半導体基板 4 0 0 と、単結晶半導体基板 4 1 0 とを対向させ、酸化膜 4 1 2 を介して密着させる。これにより、半導体基板 4 0 0 と、単結晶半導体基板 4 1 0 とが貼り合わされる（図 6（E）参照）。なお、単結晶半導体基板 4 1 0 と貼り合わせる半導体基板 4 0 0 の表面に酸化膜または窒化膜を成膜してもよい。

【0 1 5 3】

貼り合わせの際には、半導体基板 4 0 0 または単結晶半導体基板 4 1 0 の一箇所に、0 .

10

20

30

40

50

0.01 N/cm²以上1.00 N/cm²以下、例えば、1 N/cm²以上2.0 N/cm²以下の圧力を加えることが望ましい。圧力を加えて、貼り合わせ面を接近、密着させると、密着させた部分において半導体基板400と酸化膜412の接合が生じ、当該部分を始点として自発的な接合がほぼ全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

【0154】

なお、単結晶半導体基板410と半導体基板400とを貼り合わせる前には、貼り合わせに係る表面につき、表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板410と半導体基板400との界面での接合強度を向上させることができる。

【0155】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせ用いても良いし、異なるドライ処理どうしを組み合わせ用いても良い。

【0156】

なお、貼り合わせの後には、接合強度を増加させるための熱処理を行ってもよい。この熱処理の温度は、脆化領域414における分離が生じない温度（例えば、室温以上400℃未満）とする。また、この温度範囲で加熱しながら、半導体基板400と酸化膜412とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。

【0157】

次に、熱処理を行うことにより、単結晶半導体基板410を脆化領域において分離して、半導体基板400上に、酸化膜412を介して単結晶半導体層416を形成する（図6（F）参照）。

【0158】

なお、上記分離の際の熱処理温度は、できる限り低いものであることが望ましい。分離の際の温度が低いほど、単結晶半導体層416の表面荒れを抑制できるためである。具体的には、例えば、上記分離の際の熱処理温度は、300℃以上600℃以下とすればよく、400℃以上500℃以下とすると、より効果的である。

【0159】

なお、単結晶半導体基板410を分離した後には、単結晶半導体層416に対して、500℃以上の温度で熱処理を行い、単結晶半導体層416中に残存する水素の濃度を低減させてもよい。

【0160】

次に、単結晶半導体層416の表面にレーザー光を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層418を形成する（図6（G）参照）。なお、レーザー光の照射処理に代えて、熱処理を行っても良い。

【0161】

なお、本実施の形態においては、単結晶半導体層416の分離に係る熱処理の直後に、レーザー光の照射処理を行っているが、本発明の一態様はこれに限定して解釈されない。単結晶半導体層416の分離に係る熱処理の後にエッチング処理を施して、単結晶半導体層416表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行っても良いし、単結晶半導体層416表面の平坦性を向上させてからレーザー光の照射処理を行ってもよい。なお、上記エッチング処理としては、ウェットエッチング、ドライエッチングのいずれを用いてもよい。また、本実施の形態においては、上述のようにレーザー光を照射した後、単結晶半導体層416の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層416の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を用いればよい。

【0162】

以上の工程により、良好な特性の単結晶半導体層 4 1 8 を有する S O I 基板を得ることができる（図 6（G）参照）。

【0 1 6 3】

＜半導体装置の作製方法＞

次に、上記の S O I 基板を用いた半導体装置の作製方法について、図 7 乃至図 1 0 を参照して説明する。

【0 1 6 4】

＜下部のトランジスタの作製方法＞

はじめに下部のトランジスタ 1 6 0 の作製方法について、図 7 及び図 8 を参照して説明する。なお、図 7 及び図 8 は、図 6 に示す方法で作成した S O I 基板の一部であって、図 5（A）に示す下部のトランジスタに相当する断面工程図である。

【0 1 6 5】

まず、単結晶半導体層 4 1 8 を島状に加工して、半導体層 1 2 0 を形成する（図 7（A）参照）。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や、p 型の導電性を付与する不純物元素を半導体層に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0 1 6 6】

次に、半導体層 1 2 0 を覆うように絶縁層 1 2 2 を形成する（図 7（B）参照）。絶縁層 1 2 2 は、後にゲート絶縁層となるものである。絶縁層 1 2 2 は、例えば、半導体層 1 2 0 表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xe などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちのいずれかの混合ガスを用いて行うことができる。もちろん、CVD 法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層 1 2 2 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層 1 2 2 の厚さは、例えば、1 nm 以上 1 0 0 nm 以下、好ましくは 1 0 nm 以上 5 0 nm 以下とすることができる。ここでは、プラズマ CVD 法を用いて、酸化シリコンを含む絶縁層を単層で形成することとする。

【0 1 6 7】

次に、絶縁層 1 2 2 上にマスク 1 2 4 を形成し、一導電性を付与する不純物元素を半導体層 1 2 0 に添加して、不純物領域 1 2 6 を形成する（図 7（C）参照）。なお、ここでは、不純物元素を添加した後、マスク 1 2 4 は除去する。

【0 1 6 8】

次に、絶縁層 1 2 2 上にマスクを形成し、絶縁層 1 2 2 が不純物領域 1 2 6 と重畳する領域の一部を除去することにより、ゲート絶縁層 1 2 2 a を形成する（図 7（D）参照）。絶縁層 1 2 2 の除去方法として、ウェットエッチングまたはドライエッチングなどのエッチング処理を用いることができる。

【0 1 6 9】

次に、ゲート絶縁層 1 2 2 a 上にゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極 1 2 8 a 及び導電層 1 2 8 b を形成する（図 7（E）参照）。

【0 1 7 0】

ゲート電極 1 2 8 a 及び導電層 1 2 8 b に用いる導電層としては、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も

特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。また、導電層の加工は、レジストマスクを用いたエッチングによって行うことができる。

【0171】

次に、ゲート電極128a及び導電層128bをマスクとして、一導電型を付与する不純物元素を半導体層に添加して、チャンネル形成領域134、不純物領域132、及び不純物領域130を形成する（図8（A）参照）。例えば、n型トランジスタを形成するためには、リン（P）やヒ素（As）などの不純物元素を添加すればよく、p型トランジスタを形成するためには、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。ここで、添加される不純物元素の濃度は適宜設定することができる。また、不純物元素を添加した後は、活性化のための熱処理を行う。ここで、不純物領域の濃度は、不純物領域126、不純物領域132、不純物領域130の順に高くなる。

10

【0172】

次に、ゲート絶縁層122a、ゲート電極128a、導電層128bを覆うように、絶縁層136、絶縁層138及び絶縁層140を形成する（図8（B）参照）。

【0173】

絶縁層136、絶縁層138、絶縁層140は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層136、絶縁層138、絶縁層140に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層136、絶縁層138、絶縁層140には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層136や絶縁層138、絶縁層140は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。本実施の形態では、絶縁層136として酸化窒化シリコン、絶縁層138として窒化酸化シリコン、絶縁層140として酸化シリコンを用いる場合について説明する。なお、ここでは、絶縁層136、絶縁層138及び絶縁層140の積層構造としているが、開示する発明の一態様はこれに限定されない。1層または2層としても良いし、4層以上の積層構造としても良い。

20

30

【0174】

次に、絶縁層138及び絶縁層140にCMP（化学的機械研磨）処理やエッチング処理を行うことにより、絶縁層138及び絶縁層140を平坦化する（図8（C）参照）。ここでは、絶縁層138が一部露出されるまで、CMP処理を行う。絶縁層138に窒化酸化シリコンを用い、絶縁層140に酸化シリコンを用いた場合、絶縁層138はエッチングストップとして機能する。

【0175】

次に、絶縁層138及び絶縁層140にCMP処理やエッチング処理を行うことにより、ゲート電極128a及び導電層128bの上面を露出させる（図8（D）参照）。ここでは、ゲート電極128a及び導電層128bが一部露出されるまで、エッチング処理を行う。当該エッチング処理は、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてもよい。ゲート電極128a及び導電層128bの一部を露出させる工程において、後に形成されるトランジスタ162の特性を向上させるために、絶縁層136、絶縁層138、絶縁層140の表面は可能な限り平坦にしておくことが好ましい。

40

【0176】

以上の工程により、下部のトランジスタ160を形成することができる（図8（D）参照）。

【0177】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層及び導電層の積層構造でなる

50

多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0178】

＜上部のトランジスタの作製方法＞

次に、上部のトランジスタ162の作製方法について、図9及び図10を参照して説明する。

【0179】

まず、ゲート電極128a、導電層128b、絶縁層136、絶縁層138、絶縁層140などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層144を形成する（図9（A）参照）。なお、酸化物半導体層を形成する前に、絶縁層136、絶縁層138、絶縁層140の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとするPVD法やプラズマCVD法などのCVD法などを用いて形成することができる。

10

【0180】

酸化物半導体層に用いる材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、In-O系の材料、Sn-O系の材料、Zn-O系の材料などを用いることができる。また、上記の材料にSiO₂を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

20

【0181】

また、酸化物半導体層は、化学式InMO₃（ZnO）_m（m>0）で表記される材料を用いた薄膜とすることができる。ここで、Mは、Ga、Al、Mn及びCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどを用いることができる。

【0182】

また、酸化物半導体層の厚さは、3nm以上30nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると（例えば、膜厚を50nm以上）、トランジスタがノーマリーオンになってしまう恐れがあるためである。

30

【0183】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0184】

本実施の形態では、酸化物半導体層を、In-Ga-Zn-O系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0185】

In-Ga-Zn-O系の酸化物ターゲットとしては、例えば、組成比として、In₂O₃：Ga₂O₃：ZnO=1：1：1[mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料及び組成を上述に限定する必要はない。例えば、In₂O₃：Ga₂O₃：ZnO=1：1：2[mol数比]の組成比の酸化物ターゲットを用いることもできる。

40

【0186】

また、IZO（登録商標）と呼ばれる、In-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In：Zn=50：1～1：2（モル数比に換算するとIn₂O₃：ZnO=25：1～1：4）、好ましくはIn：Zn=20：1～1：1（モル数比に換算するとIn₂O₃：ZnO=10：1～1：2）、さらに好ましくはI

50

$\text{In} : \text{Zn} = 1.5 : 1 \sim 1.5 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 1.5 : 2 \sim 3 : 4$) とする。例えば、 $\text{In}-\text{Zn}-\text{O}$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0187】

また、 ITZO と呼ばれる $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物を形成する場合は、用いるターゲットの組成比は、 $\text{In} : \text{Sn} : \text{Zn}$ が原子数比で、 $1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 、または $20 : 45 : 35$ などとなる酸化物ターゲットを用いる。

【0188】

酸化物ターゲットの充填率は、 90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができるためである。

10

【0189】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0190】

例えば、酸化物半導体層は、次のように形成することができる。

【0191】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、 200°C を超えて 500°C 以下、好ましくは 300°C を超えて 500°C 以下、より好ましくは 350°C 以上 450°C 以下となるように加熱する。

20

【0192】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

30

【0193】

成膜中の基板温度が低温（例えば、 100°C 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

40

【0194】

成膜条件の一例として、基板とターゲットの間との距離を 60mm 、圧力を 0.4Pa 、直流 (DC) 電源を 0.5kW 、基板温度を 400°C 、成膜雰囲気を酸素（酸素流量比率 100% ）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

【0195】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基

50

板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0196】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0197】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体層144の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250℃以上700℃以下、好ましくは450℃以上600℃以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0198】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450℃、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0199】

熱処理を行うことによって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0200】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0201】

次に、酸化物半導体層144などの上に、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極142a、ドレイン電極142bを形成する（図9（B）参照）。

【0202】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0203】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有す

10

20

30

40

50

るソース電極 142a 及びドレイン電極 142b への加工が容易であるというメリットがある。

【0204】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、インジウムスズ酸化物 ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する場合がある)、インジウム亜鉛酸化物 ($\text{In}_2\text{O}_3-\text{ZnO}$)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0205】

導電層のエッチングは、形成されるソース電極 142a 及びドレイン電極 142b の端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極 142a、ドレイン電極 142b の端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層 146 の被覆性を向上し、段切れを防止することができる。

【0206】

上部のトランジスタのチャンネル長 (L) は、ソース電極 142a、及びドレイン電極 142b の下端部の間隔によって決定される。なお、チャンネル長 (L) が 25nm 未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数 nm ~ 数 10nm と波長の短い超紫外線 (Extreme Ultraviolet) を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長 (L) を、 10nm 以上 1000nm ($1\mu\text{m}$) 以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0207】

次に、ソース電極 142a、ドレイン電極 142b を覆い、かつ、酸化物半導体層 144 の一部と接するように、ゲート絶縁層 146 を形成する (図 9 (C) 参照)。

【0208】

ゲート絶縁層 146 は、CVD 法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層 146 は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、などを含むように形成するのが好適である。ゲート絶縁層 146 は、単層構造としても良いし、上記の材料を組み合わせで積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、 1nm 以上 100nm 以下、好ましくは 10nm 以上 50nm 以下とすることができる。

【0209】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 146 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、などの高誘電率 (high-k) 材料を用いると良い。high-k 材料をゲート絶縁層 146 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k 材料を含む膜と、酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0210】

また、酸化物半導体層 144 に接する絶縁層（本実施の形態においては、ゲート絶縁層 146）は、第 13 族元素及び酸素を含む絶縁材料としてもよい。酸化物半導体材料には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0211】

ここで、第 13 族元素を含む絶縁材料とは、絶縁材料に一または複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上のものを示す。

10

【0212】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

20

【0213】

また、酸化物半導体層 144 に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いてもよい。

【0214】

例えば、酸化物半導体層 144 に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 + \alpha$, $0 < \alpha < 1$) とすることができる。また、酸化物半導体層 144 に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + \alpha$, $0 < \alpha < 1$) とすることができる。または、酸化物半導体層 144 に接する絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_xAl_{2-x}O_{3+\alpha}$ ($0 < X < 2$, $0 < \alpha < 1$) とすることができる。

30

【0215】

酸素ドーピング処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層を i 型化または i 型に限りなく近い酸化物半導体とすることができる。

40

【0216】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層 146 に代えて、酸化物半導体層 144 の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁層 146 及び下地絶縁層の双方に適用しても良い。

【0217】

50

ゲート絶縁層 146 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200℃以上450℃以下、望ましくは250℃以上350℃以下である。例えば、窒素雰囲気下で250℃、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層を形成することもできる。

【0218】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

【0219】

上述のように、第 1 の熱処理と第 2 の熱処理の少なくとも一方を適用することで、酸化物半導体層 144 を、その水素原子を含む物質が極力含まれないように高純度化することができる。

【0220】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極 148a 及び導電層 148b を形成する（図 9（D）参照）。

【0221】

ゲート電極 148a 及び導電層 148b は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極 148a 及び導電層 148b は、単層構造としても良いし、積層構造としても良い。

【0222】

次に、ゲート絶縁層 146、ゲート電極 148a、及び導電層 148b 上に、絶縁層 150 を形成する（図 10（A）参照）。絶縁層 150 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層 150 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 150 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層 150 の単層構造としているが、開示する発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

【0223】

次に、ゲート絶縁層 146、絶縁層 150 に、ソース電極 142a にまで達する開口を形成する。その後、絶縁層 150 上にソース電極 142a と接する配線 154 を形成する（図 10（B）参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【0224】

配線 154 は、PVD 法や、CVD 法を用いて導電層を形成した後、当該導電層をパターンニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか一、またはこれらを複数組み合わせた材料を用いてもよい。

【0225】

より具体的には、例えば、絶縁層 150 の開口を含む領域に PVD 法によりチタン膜を薄

10

20

30

40

50

く形成し、PVD法によりチタン膜を薄く（5nm程度）形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極142a）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0226】

絶縁層150に形成する開口は、導電層128bと重畳する領域に形成することが望ましい。このような領域に開口を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

10

【0227】

ここで、導電層128bを用いずに、不純物領域126とソース電極142aとの接続と、ソース電極142aと配線154との接続とを重畳させる場合について説明する。この場合、不純物領域126上に形成された絶縁層136、絶縁層138及び絶縁層140に開口（下部のコンタクトと呼ぶ）を形成し、下部のコンタクトにソース電極142aを形成した後、ゲート絶縁層146及び絶縁層150において、下部のコンタクトと重畳する領域に開口（上部のコンタクトと呼ぶ）を形成し、配線154を形成することになる。下部のコンタクトと重畳する領域に上部のコンタクトを形成する際に、エッチングにより下部のコンタクトに形成されたソース電極142aが断線してしまうおそれがある。これを避けるために、下部のコンタクトと上部のコンタクトが重畳しないように形成することにより、素子面積が増大するという問題がおこる。

20

【0228】

本実施の形態に示すように、導電層128bを用いることにより、ソース電極142aを断線させることなく、上部のコンタクトの形成が可能となる。これにより、下部のコンタクトと上部のコンタクトを重畳させて設けることができるため、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【0229】

次に、配線154を覆うように絶縁層156を形成する（図10（C）参照）。

【0230】

以上により、高純度化された酸化物半導体層144を用いたトランジスタ162、及び容量素子164が完成する（図10（C）参照）。

30

【0231】

図10に示すトランジスタ162の構造として、トップゲート構造を示したが、本発明の一態様は、これに限定されず、ボトムゲート構造とすることができる。図11にボトムゲート構造の例について示す。

【0232】

図11（A）に示すトランジスタ900は、ゲート電極401上に、ゲート絶縁層402が設けられ、ゲート絶縁層402上に酸化物半導体層403が設けられ、酸化物半導体層403と接続されるソース電極405a、ドレイン電極405bが設けられている。なお、ゲート電極401と、酸化物半導体層403と、ゲート絶縁層402と、ソース電極405aと、ドレイン電極405bは、図10に示すゲート電極148aと、酸化物半導体層144と、ゲート絶縁層146と、ソース電極142aと、ドレイン電極142bに相当する。

40

【0233】

図11（B）に示すトランジスタ910は、ゲート電極401と、ゲート絶縁層402と、酸化物半導体層403と、ソース電極405aと、ドレイン電極405bとが設けられている点において図11（A）と同様である。図11（A）と異なる点は、酸化物半導体層403に接して絶縁層427が設けられている点にある。

【0234】

50

図 1 1 (C) に示すトランジスタ 9 2 0 は、ゲート電極 4 0 1 と、ゲート絶縁層 4 0 2 と、酸化物半導体層 4 0 3 と、ソース電極 4 0 5 a と、ドレイン電極 4 0 5 b とが設けられている点において図 1 1 (A) と同様である。図 1 1 (A) と異なる点は、酸化物半導体層 4 0 3 に接するソース電極 4 0 5 a とドレイン電極 4 0 5 b の位置である。つまり、図 1 1 (A) に示すトランジスタ 9 0 0 は、酸化物半導体層 4 0 3 の上でソース電極 4 0 5 a とドレイン電極 4 0 5 b が接するのに対し、図 1 1 (C) に示すトランジスタ 9 2 0 は、酸化物半導体層 4 0 3 の下でソース電極 4 0 5 a とドレイン電極 4 0 5 b が接している。

【0 2 3 5】

なお、上述したトランジスタ 1 6 2 において、酸化物半導体層 1 4 4 とソース電極 1 4 2 a、ドレイン電極 1 4 2 b との間に、ソース領域及びドレイン領域として機能する酸化物導電層をバッファ層として設けてもよい。図 5 (A) のトランジスタ 1 6 2 に酸化物導電層を設けたトランジスタ 8 0 0、8 1 0 を図 1 2 (A) (B) に示す。

10

【0 2 3 6】

図 1 2 (A) (B) のトランジスタ 8 0 0、8 1 0 は、酸化物半導体層 1 4 4 とソース電極 1 4 2 a、ドレイン電極 1 4 2 b との間に、ソース領域及びドレイン領域として機能する酸化物導電層 4 0 4 a、4 0 4 b が形成されている。図 1 2 (A) (B) のトランジスタ 8 0 0、8 1 0 は作製工程により酸化物導電層 4 0 4 a、4 0 4 b の形状が異なる例である。

【0 2 3 7】

図 1 2 (A) のトランジスタ 8 0 0 では、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層 1 4 4 と酸化物導電膜を形成する。酸化物半導体層及び酸化物導電膜上にソース電極 1 4 2 a、ドレイン電極 1 4 2 b を形成した後、ソース電極 1 4 2 a、ドレイン電極 1 4 2 b をマスクとして、島状の酸化物導電膜をエッチングし、ソース領域及びドレイン領域となる酸化物導電層 4 0 4 a、4 0 4 b を形成する。

20

【0 2 3 8】

図 1 2 (B) のトランジスタ 8 1 0 では、酸化物半導体層 1 4 4 上に酸化物導電膜を形成し、その上に金属導電膜を形成し、酸化物導電膜及び金属導電膜を同じフォトリソグラフィ工程によって加工して、ソース領域及びドレイン領域となる酸化物導電層 4 0 4 a、4 0 4 b、ソース電極 1 4 2 a、ドレイン電極 1 4 2 b を形成する。

30

【0 2 3 9】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件（エッチング材の種類、濃度、エッチング時間等）を適宜調整する。

【0 2 4 0】

酸化物導電層 4 0 4 a、4 0 4 b の成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。また、上記材料に酸化珪素を含ませてもよい。

40

【0 2 4 1】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層 1 4 4 とソース電極 1 4 2 a、ドレイン電極 1 4 2 b との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ 8 0 0、8 1 0 が高速動作をすることができる。

【0 2 4 2】

また、酸化物半導体層 1 4 4、酸化物導電層 4 0 4 a、4 0 4 b、ソース電極 1 4 2 a、ドレイン電極 1 4 2 b の構成とすることによって、トランジスタ 8 0 0、8 1 0 の耐圧を向上させることができる。

50

【0243】

本実施の形態において示すトランジスタ162では、酸化物半導体層144が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層144のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度($1 \times 10^{14} \text{ /cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} \text{ /cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} \text{ /cm}^3$ 未満)をとる。そして、オフ電流も十分に小さくなる。例えば、トランジスタ162の室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は100zA(1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは10zA以下となる。

10

【0244】

また、本実施の形態において示すトランジスタ162では、酸化物半導体層144のナトリウム濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とし、リチウム濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とし、カリウム濃度は $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下である。そのため、トランジスタ特性の劣化(例えば、ノーマリオン化(しきい値の負へのシフト)、移動度の低下等)を抑制することができる。加えて、特性のばらつきを抑えることが可能となる。

【0245】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

20

【0246】

また、本実施の形態において示す半導体装置では、配線を共通化することも可能であり、集積度が十分に高められた半導体装置を実現することができる。

【0247】

(実施の形態4)

上記実施の形態3において、トランジスタ162の半導体層に用いることのできる酸化物半導体層144の一形態を説明する。

30

【0248】

酸化物半導体層144に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0249】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

40

【0250】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸

50

化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物、四元系金属の酸化物である $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Al}-\text{Zn}$ 系酸化物を用いることができる。

【0251】

なお、ここで、例えば、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0252】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0253】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) あるいは $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) の原子数比の $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0254】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0255】

例えば、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物では比較的容易に高い移動度を得られる。しかしながら、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0256】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことを言う。 r としては、例えば、 0.05 とすればよい。他の酸化物でも同様である。

【0257】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0258】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0259】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面

10

20

30

40

50

の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（Ra）が1 nm以下、好ましくは0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。

【0260】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0261】

【数1】

10

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0262】

なお、上記において、 S_0 は、測定面（座標（ x_1, y_1 ）（ x_1, y_2 ）（ x_2, y_1 ）（ x_2, y_2 ）で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

【0263】

20

また、酸化物半導体の好ましい一態様として、c軸配向し、かつab面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる（c軸を中心に回転した）結晶（CAAC：C Axis Aligned Crystalともいう。）を含む酸化物について説明する。

【0264】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

30

【0265】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0266】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）を向いていてもよい。

40

【0267】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0268】

このようなCAACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることができる。

【0269】

50

C A A Cに含まれる結晶構造の一例について図 1 5 乃至図 1 7 を用いて詳細に説明する。なお、特に断りがない限り、図 1 5 乃至図 1 7 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 1 5 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

【0 2 7 0】

図 1 5 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 1 5 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 1 5 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 1 5 (A) に示す小グループは電荷が 0 である。

10

【0 2 7 1】

図 1 5 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 1 5 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 1 5 (B) に示す構造をとりうる。図 1 5 (B) に示す小グループは電荷が 0 である。

【0 2 7 2】

図 1 5 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 1 5 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 1 5 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 1 5 (C) に示す小グループは電荷が 0 である。

20

【0 2 7 3】

図 1 5 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 1 5 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 1 5 (D) に示す小グループは電荷が + 1 となる。

【0 2 7 4】

図 1 5 (E) に、2 個の Z n を含む小グループを示す。図 1 5 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 5 (E) に示す小グループは電荷が - 1 となる。

30

【0 2 7 5】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0 2 7 6】

図 1 5 (A) に示す 6 配位の I n の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 I n を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 I n を有する。5 配位の G a の上半分の 1 個の O は、下方向に 1 個の近接 G a を有し、下半分の 1 個の O は、上方向に 1 個の近接 G a を有する。4 配位の Z n の上半分の 1 個の O は、下方向に 1 個の近接 Z n を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Z n を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子（I n または S n）が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子（G a または I n）、または 4 配位の金属原子（Z n）の O のいずれかと結合することになる。

40

【0 2 7 7】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。

50

また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【0278】

図 16 (A) に、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループのモデル図を示す。図 16 (B) に、3 つの中グループで構成される大グループを示す。なお、図 16 (C) は、図 16 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【0279】

図 16 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 Sn の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 16 (A) において、 In の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 16 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Zn と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Zn とを示している。

【0280】

図 16 (A) において、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある Sn が、4 配位の O が 1 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 3 個の 4 配位の O がある Zn と結合し、その Zn の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 1 個の 4 配位の O がある Zn 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【0281】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当たりの電荷はそれぞれ -0.667 、 -0.5 と考えることができる。例えば、 In (6 配位または 5 配位)、 Zn (4 配位)、 Sn (5 配位または 6 配位) の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。従って、 Sn を含む小グループは電荷が $+1$ となる。そのため、 Sn を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 -1 が必要となる。電荷 -1 をとる構造として、図 15 (E) に示すように、2 個の Zn を含む小グループが挙げられる。例えば、 Sn を含む小グループが 1 個に対し、2 個の Zn を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

【0282】

具体的には、図 16 (B) に示した大グループが繰り返されることで、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。なお、得られる $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m は 0 または自然数。) とする組成式で表すことができる。

【0283】

また、このほかにも、四元系金属の酸化物である $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物や、三元系金属の酸化物である $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物 (IGZO と表記する。)、 $\text{In}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物や、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物や、二元系金属の酸化物である $\text{In}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Zn}$ 系酸化物、 $\text{Zn}-\text{Mg}$ 系酸化物、 $\text{Sn}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Mg}$ 系酸化物や、 $\text{In}-\text{Ga}$ 系酸化物、などを用いた場合も同様である。

【0284】

例えば、図 17 (A) に、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループのモデル図を示す。

【0285】

図 17 (A) において、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

【0286】

図 17 (B) に 3 つの中グループで構成される大グループを示す。なお、図 17 (C) は、図 17 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0287】

ここで、In (6 配位または 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0288】

また、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系の層構造を構成する中グループは、図 17 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

【0289】

本実施の形態の酸化物半導体層 144 は、第 1 の結晶性酸化物半導体層上に第 1 の結晶性酸化物半導体層よりも厚い第 2 の結晶性酸化物半導体層を有する積層構造である。

【0290】

絶縁層 140 上に絶縁層 437 を形成する。本実施の形態では、絶縁層 437 として、PCVD 法またはスパッタリング法を用いて、50 nm 以上 600 nm 以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。

【0291】

次に、絶縁層 437 上に膜厚 1 nm 以上 10 nm 以下の第 1 の酸化物半導体膜を形成する。第 1 の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は 200 °C 以上 400 °C 以下とする。

【0292】

本実施の形態では、酸化物半導体用ターゲット ($\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系酸化物半導体用ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol 数比])) を用いて、基板とターゲットの間との距離を 170 mm、基板温度 250 °C、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚 5 nm の第 1 の酸化物半導体膜を成膜する。

【0293】

次いで、基板を配置するチャンバ雰囲気を窒素、または乾燥空気とし、第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 °C 以上 750 °C 以下とする。第 1 の加熱処理によって第 1 の結晶性酸化物半導体層 144a を形成する (図 13 (A) 参照)。

【0294】

第 1 の加熱処理の温度にもよるが、第 1 の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、C 軸配向した結晶が得られる。第 1 の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に 1 層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から

10

20

30

40

50

底部と結晶成長が進行する。

【0295】

第1の加熱処理によって、酸化物絶縁層である絶縁層437中の酸素を第1の結晶性酸化物半導体層144aとの界面またはその近傍（界面からプラスマイナス5nm）に拡散させて、第1の結晶性酸化物半導体層の酸素欠損を低減する。従って、下地絶縁層として用いられる絶縁層437は、膜中（バルク中）、第1の結晶性酸化物半導体層144aと絶縁層437の界面、のいずれかには少なくとも化学量論比を超える量の酸素が存在することが好ましい。

【0296】

次いで、第1の結晶性酸化物半導体層144a上に10nmよりも厚い第2の酸化物半導体膜を形成する。第2の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は200℃以上400℃以下とする。成膜時における基板温度を200℃以上400℃以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体層にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

10

【0297】

本実施の形態では、酸化物半導体用ターゲット（In-Ga-Zn-O系酸化物半導体用ターゲット（In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]）を用いて、基板とターゲットの間との距離を170mm、基板温度400℃、圧力0.4Pa、直流（DC）電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

20

【0298】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、400℃以上750℃以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層144bを形成する（図13（B）参照）。第2の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第2の加熱処理によって、第1の結晶性酸化物半導体層144aを核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層144bが形成される。

【0299】

また、絶縁層437の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。絶縁層437の形成から第2の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気（不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など）下に制御することが好ましく、例えば、水分については露点-40℃以下、好ましくは露点-50℃以下の乾燥窒素雰囲気とする。

30

【0300】

次いで、第1の結晶性酸化物半導体層144aと第2の結晶性酸化物半導体層144bからなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層144を形成する（図13（C）参照）。図では、第1の結晶性酸化物半導体層144aと第2の結晶性酸化物半導体層144bの界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

40

【0301】

酸化物半導体積層の加工は、所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などを用いてマスクを形成しても良い。

【0302】

なお、酸化物半導体積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

50

【0303】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、C軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有した結晶（C Axis Aligned Crystal；CAACとも呼ぶ）を含む酸化物を有する。なお、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、一部に結晶粒界を有している。いずれにしても、CAACを得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、基板加熱温度を100℃以上500℃以下、好適には200℃以上400℃以下、さらに好適には250℃以上300℃以下にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

10

【0304】

また、第1の結晶性酸化物半導体層上に第2の結晶性酸化物半導体層を形成する2層構造に限定されず、第2の結晶性酸化物半導体層の形成後に第3の結晶性酸化物半導体層を形成するための成膜と加熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

【0305】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層144を、本明細書に開示する半導体装置に適用できるトランジスタ（例えば、実施の形態1及び実施の形態3におけるトランジスタ162、実施の形態3におけるトランジスタ800、810）に、適宜用いることができる。

20

【0306】

また、酸化物半導体層144として本実施の形態の酸化物半導体積層を用いた実施の形態3におけるトランジスタ162においては、酸化物半導体層の一方の面から他方の面に電界が印加されることはなく、また、電流が酸化物半導体積層の厚さ方向（一方の面から他方の面に流れる方向、具体的に図5（A）では上下方向）に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、またはBTストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

30

【0307】

酸化物半導体層144のような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0308】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0309】

（実施の形態5）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図14を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

40

【0310】

図14（A）は、ノート型のパーソナルコンピュータであり、筐体707、筐体708、表示部709、キーボード710などによって構成されている。筐体707と筐体708の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情

50

報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0311】

図14(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0312】

図14(C)は、電子ペーパーを実装した電子書籍であり、図14(C)に示す電子書籍720には、筐体721と筐体723の2つの筐体で構成されている。筐体721及び筐体723には、それぞれ表示部725及び表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0313】

図14(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図14(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【0314】

図14(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0315】

図14(F)は、テレビジョン装置であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771及びリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0316】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【0317】

(実施の形態6)

本実施の形態では、本明細書に開示する半導体装置に適用できるトランジスタの例を示す。また、該トランジスタの特性を計算した結果を示す。本実施の形態に示すトランジスタは上記実施の形態で示すトランジスタ162として好適に用いることができる。

【0318】

10

20

30

40

50

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

【0319】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、以下のように表される。

10

【0320】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0321】

と表現できる。ここで、 E はポテンシャル障壁の高さであり、 k がボルツマン定数、 T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0322】

20

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0323】

ここで、 e は電気素量、 N はチャンネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャンネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャンネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャンネルの厚さは半導体層の厚さと同じとして差し支えない。線形領域におけるドレイン電流 I_d は、以下の式で表される。

30

【0324】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0325】

ここで、 L はチャンネル長、 W はチャンネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下の式となる。

【0326】

40

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0327】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

50

【0328】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 \text{ cm}^2/\text{Vs}$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $40 \text{ cm}^2/\text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2/\text{Vs}$ となると予想できる。

【0329】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0330】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

【0331】

ここで、 D はゲート方向の電界、 B 、 l は定数である。 B および l は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。 D が増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0332】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図18に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0333】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁層の厚さは100nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10 μm 、ドレイン電圧 V_d は0.1Vである。

【0334】

図18で示されるように、ゲート電圧1V強で移動度 $100 \text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

【0335】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図19乃至図21に示す。なお、計算に用いたトランジスタの断面構造を図22に示す。図22に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域8103aおよび半導体領域8103cを有する。半導体領域8103aおよび半導体領域8103cの抵抗率は $2 \times 10^{-3} \Omega \text{ cm}$ とする。

【0336】

図22（A）に示すトランジスタは、下地絶縁層8101と、下地絶縁層8101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物8102の上に形成される。トランジスタは半導体領域8103a、半導体領域8103cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域8103bと、ゲート8105を有する。

【0337】

ゲート8105と半導体領域8103bの間には、ゲート絶縁層8104を有し、また、ゲート8105の両側面には側壁絶縁物8106aおよび側壁絶縁物8106b、ゲート

8105の上部には、ゲート8105と他の配線との短絡を防止するための絶縁物8107を有する。側壁絶縁物の幅は5nmとする。また、半導体領域8103aおよび半導体領域8103cに接して、ソース8108aおよびドレイン8108bを有する。なお、このトランジスタにおけるチャンネル幅を40nmとする。

【0338】

図22(B)に示すトランジスタは、下地絶縁層8101と、酸化アルミニウムよりなる埋め込み絶縁物8102の上に形成され、半導体領域8103a、半導体領域8103cと、それらに挟まれた真性の半導体領域8103bと、幅33nmのゲート8105とゲート絶縁層8104と側壁絶縁物8106aおよび側壁絶縁物8106bと絶縁物8107とソース8108aおよびドレイン8108bを有する点で図22(A)に示すトランジスタと同じである。

10

【0339】

図22(A)に示すトランジスタと図22(B)に示すトランジスタの相違点は、側壁絶縁物8106aおよび側壁絶縁物8106bの下の半導体領域の導電型である。図22(A)に示すトランジスタでは、側壁絶縁物8106aおよび側壁絶縁物8106bの下の半導体領域は n^+ の導電型を呈する半導体領域8103aおよび半導体領域8103cであるが、図22(B)に示すトランジスタでは、真性の半導体領域8103bである。すなわち、図22(B)に示す半導体層において、半導体領域8103a(半導体領域8103c)とゲート8105が L_{off} だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物8106a(側壁絶縁物8106b)の幅と同じである。

20

【0340】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図19は、図22(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)および移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

【0341】

図19(A)はゲート絶縁層の厚さを15nmとしたものであり、図19(B)は10nmとしたものであり、図19(C)は5nmとしたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。ゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる10 μ Aを超えることが示された。

30

【0342】

図20は、図22(B)に示される構造のトランジスタで、オフセット長 L_{off} を5nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図20(A)はゲート絶縁層の厚さを15nmとしたものであり、図20(B)は10nmとしたものであり、図20(C)は5nmとしたものである。

40

【0343】

また、図21は、図22(B)に示される構造のトランジスタで、オフセット長 L_{off} を15nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図21(A)はゲート絶縁層の厚さを15nmとしたものであり、図21(B)は10nmとしたものであり、図21(C)は5nmとしたものである。

【0344】

50

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0345】

なお、移動度 μ のピークは、図19では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図20では $60\text{ cm}^2/\text{Vs}$ 程度、図21では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる $10\text{ }\mu\text{A}$ を超えることが示された。

【0346】

(実施の形態7)

本実施の形態では、本明細書に開示する半導体装置に適用できるトランジスタの例を示す。また、該トランジスタの特性を計算した結果を示す。本実施の形態に示すトランジスタは上記実施の形態で示すトランジスタ162として好適に用いることができる。

【0347】

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5at.%以上含まれる元素をいう。そこで、本実施の形態では、酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させた場合について、図23乃至29を用いて説明する。

【0348】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0349】

例えば、図23(A)～(C)は、In、Sn、Znを主成分とし、チャネル長 L が $3\text{ }\mu\text{m}$ 、チャネル幅 W が $10\text{ }\mu\text{m}$ である酸化物半導体膜と、厚さ 100 nm のゲート絶縁層を用いたトランジスタの特性である。なお、 V_d は 10 V とした。

【0350】

図23(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8\text{ cm}^2/\text{Vs}$ が得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図23(B)は基板を 200°C に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2\text{ cm}^2/\text{Vs}$ が得られている。

【0351】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図23(C)は、In、Sn、Znを主成分とする酸化物半導体膜を 200°C でスパッタリング成膜した後、 650°C で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5\text{ cm}^2/\text{Vs}$ が得られている。

【0352】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を

10

20

30

40

50

図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2/\text{Vs}$ を超える電界効果移動度を実現することも可能になると推定される。

【0353】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0354】

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図23(A)と図23(B)の対比からも確認することができる。

10

【0355】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn:Sn:Zn=2:1:3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をIn:Sn:Zn=2:1:3とすることで結晶性の高い酸化物半導体膜を得ることができる。

20

【0356】

意図的な基板加熱温度若しくは熱処理温度は、 150°C 以上、好ましくは 200°C 以上、より好ましくは 400°C 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0357】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2 \text{ MV}/\text{cm}$ 、 150°C 、1時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

30

【0358】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、 650°C の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0359】

まず基板温度を 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。なお、 V_d はドレイン電圧（ドレインとソースの電位差）を示す。次に、基板温度を 150°C とし、 V_d を 0.1 V とした。次に、ゲート絶縁層に印加される電界強度が $2 \text{ MV}/\text{cm}$ となるように V_g に 20 V を印加し、そのまま1時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

40

【0360】

同様に、まず基板温度を 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を 0.1 V とした。次に、ゲート絶縁層に印加される電界強度が $-2 \text{ MV}/\text{cm}$ となるように V_g に -20 V を印加し、そのまま1時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25°C とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

【0361】

試料1のプラスBT試験の結果を図24(A)に、マイナスBT試験の結果を図24(B)に示す。また、試料2のプラスBT試験の結果を図25(A)に、マイナスBT試験の結果を図25(B)に示す。

50

【0362】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0363】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

10

【0364】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下のとすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

20

【0365】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD:X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650℃の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0366】

実際に、 In-Sn-Zn-O 膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

30

【0367】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0368】

脱水素化処理済みの石英基板上に In-Sn-Zn-O 膜を100nmの厚さで成膜した。

【0369】

In-Sn-Zn-O 膜は、スパッタリング装置を用い、酸素雰囲気中で電力を100W(DC)として成膜した。ターゲットは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ [原子数比]の In-Sn-Zn-O ターゲットを用いた。なお、成膜時の基板加熱温度は200℃とした。このようにして作製した試料を試料Aとした。

40

【0370】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650℃の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0371】

図28に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、 2θ が35deg近傍および37deg~38degに結晶由来のピークが観測された。

50

【0372】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び／又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0373】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{ aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

10

【0374】

具体的には、図29に示すように、基板温度が 125°C の場合には $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、 85°C の場合には $100 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下、室温 (27°C) の場合には $1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下にすることができる。好ましくは、 125°C において $0.1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、 85°C において $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下に、室温において $0.1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-22} \text{ A} / \mu\text{m}$) 以下にすることができる。

【0375】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70°C 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。

20

In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0376】

また、酸化物半導体膜成膜後に 650°C の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

30

【0377】

測定に用いたトランジスタは、チャンネル長 L が $3 \mu\text{m}$ 、チャンネル幅 W が $10 \mu\text{m}$ 、 L_{ov} が $0 \mu\text{m}$ 、 dW が $0 \mu\text{m}$ である。なお、 V_d は 10 V とした。なお、基板温度は -40°C 、 -25°C 、 25°C 、 75°C 、 125°C および 150°C で行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜に対する一对の電極のはみ出しを dW と呼ぶ。

【0378】

図26に、 I_d (実線) および電界効果移動度 (点線) の V_g 依存性を示す。また、図27 (A) に基板温度としきい値電圧の関係を、図27 (B) に基板温度と電界効果移動度の関係を示す。

40

【0379】

図27 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は $-40^\circ\text{C} \sim 150^\circ\text{C}$ で $1.09 \text{ V} \sim -0.23 \text{ V}$ であった。

【0380】

また、図27 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は $-40^\circ\text{C} \sim 150^\circ\text{C}$ で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0381】

上記のようなIn、Sn、Znを主成分とする酸化物半導体をチャンネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を 30 c

50

m^2/Vs 以上、好ましくは $40\text{cm}^2/\text{Vs}$ 以上、より好ましくは $60\text{cm}^2/\text{Vs}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W=33\text{nm}/40\text{nm}$ のFETで、ゲート電圧 2.7V 、ドレイン電圧 1.0V のとき $12\mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0382】

(実施の形態8)

本実施の形態では、 In-Sn-Zn-O 膜を酸化物半導体膜に用いたトランジスタの一例について、図30及び図31を用いて説明する。本実施の形態に示すトランジスタは上記実施の形態で示すトランジスタ162として好適に用いることができる。

10

【0383】

図30は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図30(A)にトランジスタの上面図を示す。また、図30(B)に図30(A)の一点鎖線C1-C2に対応する断面C1-C2を示す。

【0384】

図30(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁層102と、下地絶縁層102の周辺に設けられた保護絶縁膜104と、下地絶縁層102および保護絶縁膜104上に設けられた高抵抗領域106aおよび低抵抗領域106bを有する酸化物半導体膜106と、酸化物半導体膜106上に設けられたゲート絶縁層108と、ゲート絶縁層108を介して酸化物半導体膜106と重畳して設けられたゲート電極110と、ゲート電極110の側面と接して設けられた側壁絶縁膜112と、少なくとも低抵抗領域106bと接して設けられた一対の電極114と、少なくとも酸化物半導体膜106、ゲート電極110および一対の電極114を覆って設けられた層間絶縁膜116と、層間絶縁膜116に設けられた開口部を介して少なくとも一対の電極114の一方と接続して設けられた配線118と、を有する。

20

【0385】

なお、図示しないが、層間絶縁膜116および配線118を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜116の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

30

【0386】

続いて、上記とは異なる In-Sn-Zn-O 膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0387】

図31は、本実施の形態で示すトランジスタの上面図および断面図である。図31(A)はトランジスタの上面図である。また、図31(B)は図31(A)の一点鎖線D1-D2に対応する断面図である。

【0388】

図31(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁層602と、下地絶縁層602上に設けられた酸化物半導体膜606と、酸化物半導体膜606と接する一対の電極614と、酸化物半導体膜606および一対の電極614上に設けられたゲート絶縁層608と、ゲート絶縁層608を介して酸化物半導体膜606と重畳して設けられたゲート電極610と、ゲート絶縁層608およびゲート電極610を覆って設けられた層間絶縁膜616と、層間絶縁膜616に設けられた開口部を介して一対の電極614と接続する配線618と、層間絶縁膜616および配線618を覆って設けられた保護膜620と、を有する。

40

【0389】

基板600としてはガラス基板を、下地絶縁層602としては酸化シリコン膜を、酸化物

50

半導体膜 606 としては In-Sn-Zn-O 膜を、一対の電極 614 としてはタングステン膜を、ゲート絶縁層 608 としては酸化シリコン膜を、ゲート電極 610 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 616 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 618 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 620 としてはポリイミド膜を、それぞれ用いた。

【0390】

なお、図 31 (A) に示す構造のトランジスタにおいて、ゲート電極 610 と一対の電極 614 との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 606 に対する一対の電極 614 のはみ出しを dW と呼ぶ。

10

【符号の説明】

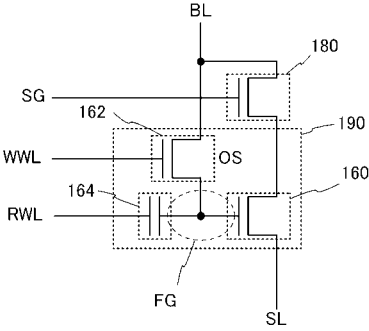
【0391】

100	基板	
102	下地絶縁層	
104	保護絶縁膜	
106a	高抵抗領域	
106b	低抵抗領域	
106	酸化物半導体膜	
108	ゲート絶縁層	
110	ゲート電極	20
112	側壁絶縁膜	
114	一対の電極	
116	層間絶縁膜	
118	配線	
120	半導体層	
122	絶縁層	
122a	ゲート絶縁層	
124	マスク	
126	不純物領域	
128a	ゲート電極	30
128b	導電層	
130	不純物領域	
132	不純物領域	
134	チャンネル形成領域	
136	絶縁層	
138	絶縁層	
140	絶縁層	
142a	ソース電極	
142b	ドレイン電極	
144	酸化物半導体層	40
144a	第1の結晶性酸化物半導体層	
144b	第2の結晶性酸化物半導体層	
146	ゲート絶縁層	
148a	ゲート電極	
148b	導電層	
150	絶縁層	
154	配線	
156	絶縁層	
160	トランジスタ	
162	トランジスタ	50

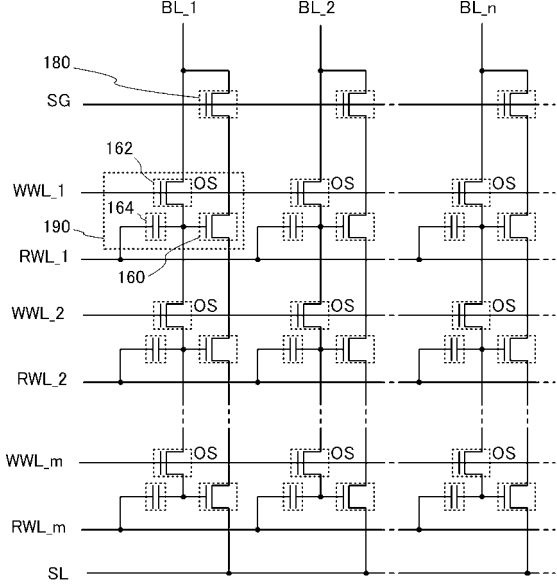
1 6 4	容量素子	
1 8 0	選択トランジスタ	
1 9 0	メモリセル	
4 0 0	半導体基板	
4 0 1	ゲート電極	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 4 a	酸化物導電層	
4 0 4 b	酸化物導電層	
4 0 5 a	ソース電極	10
4 0 5 b	ドレイン電極	
4 1 0	単結晶半導体基板	
4 1 2	酸化膜	
4 1 4	脆化領域	
4 1 6	単結晶半導体層	
4 1 8	単結晶半導体層	
4 2 7	絶縁層	
4 3 7	絶縁層	
6 0 0	基板	
6 0 2	下地絶縁層	20
6 0 4	一对の電極	
6 0 6	酸化物半導体膜	
6 0 8	ゲート絶縁層	
6 1 0	ゲート電極	
6 1 4	一对の電極	
6 1 6	層間絶縁膜	
6 1 8	配線	
6 2 0	保護膜	
7 0 0	ブロック	
7 0 7	筐体	30
7 0 8	筐体	
7 0 9	表示部	
7 1 0	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	40
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	50

7 4 3	スピーカ	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	10
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
8 0 0	トランジスタ	20
8 1 0	トランジスタ	
9 0 0	トランジスタ	
9 1 0	トランジスタ	
9 2 0	トランジスタ	
8 1 0 1	下地絶縁層	
8 1 0 2	埋め込み絶縁物	
8 1 0 3 a	半導体領域	
8 1 0 3 b	半導体領域	
8 1 0 3 c	半導体領域	
8 1 0 4	ゲート絶縁層	30
8 1 0 5	ゲート	
8 1 0 6 a	側壁絶縁物	
8 1 0 6 b	側壁絶縁物	
8 1 0 7	絶縁物	
8 1 0 8 a	ソース	
8 1 0 8 b	ドレイン	

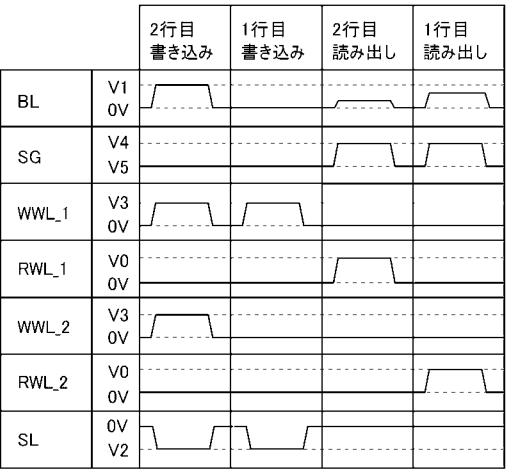
【図 1】



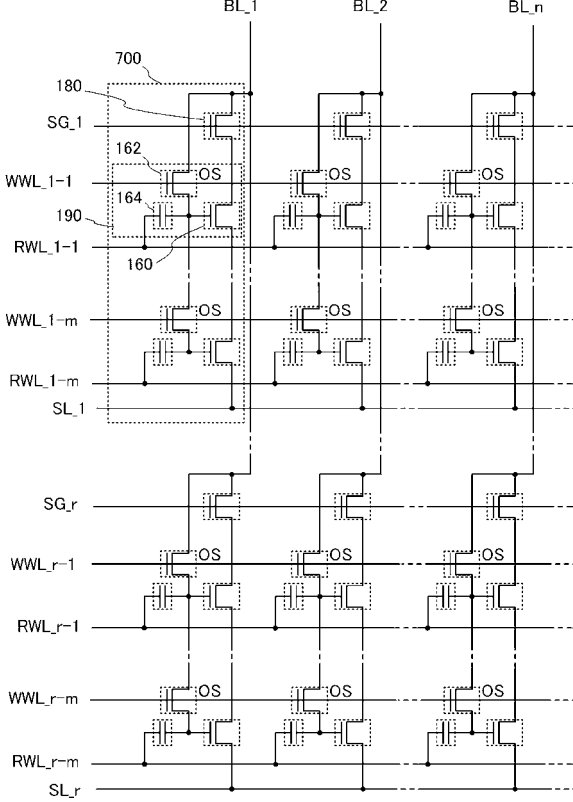
【図 2】



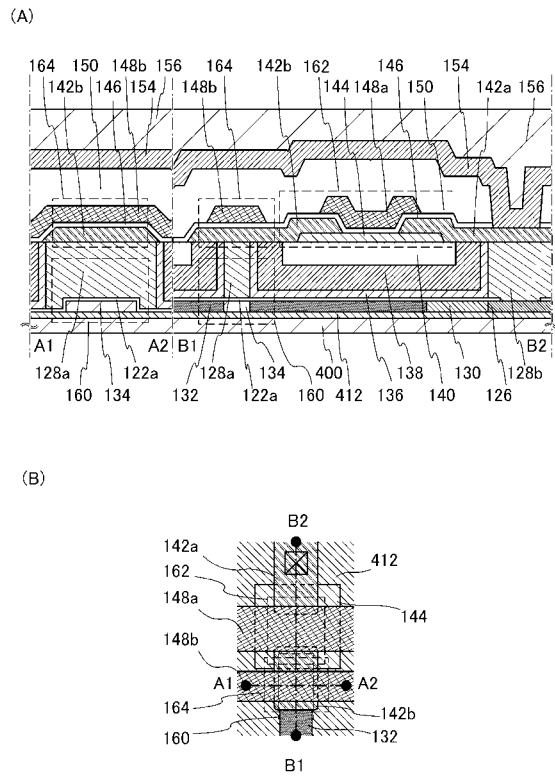
【図 3】



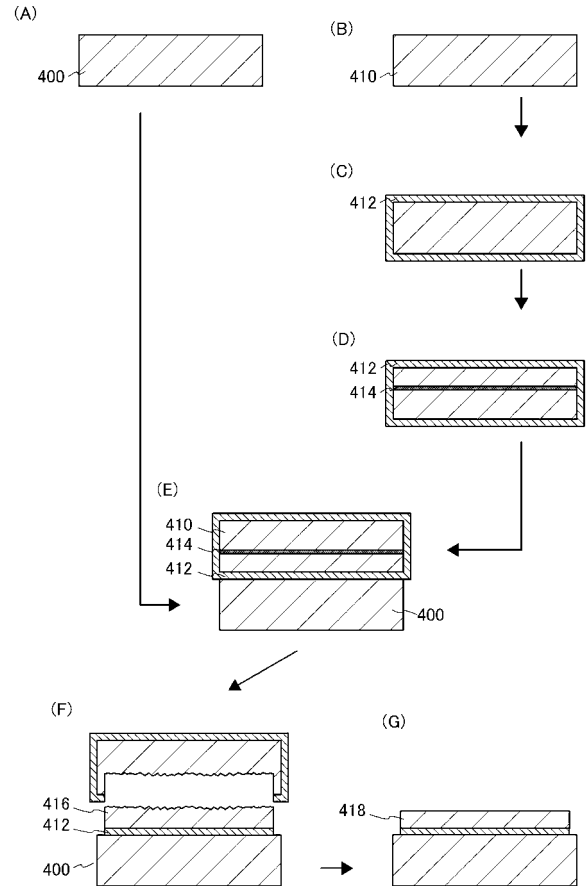
【図 4】



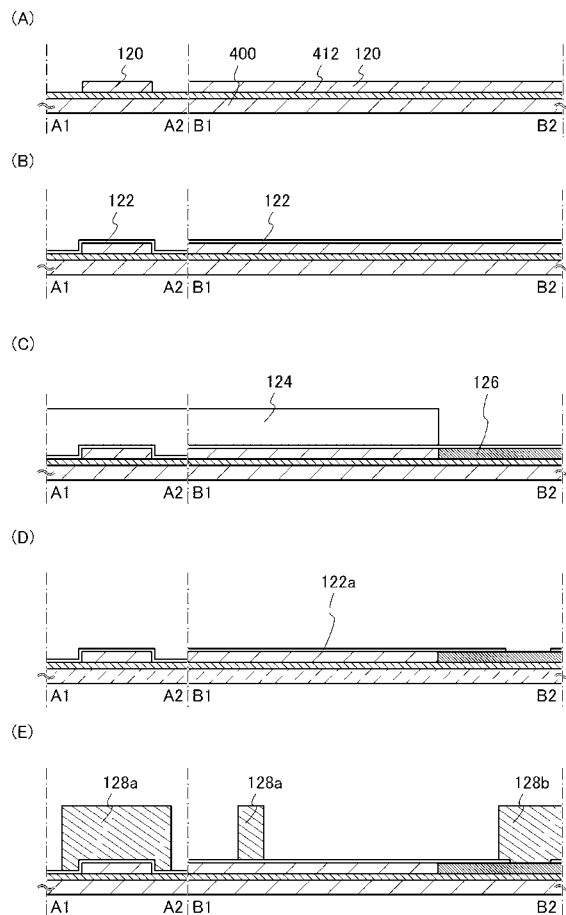
【図 5】



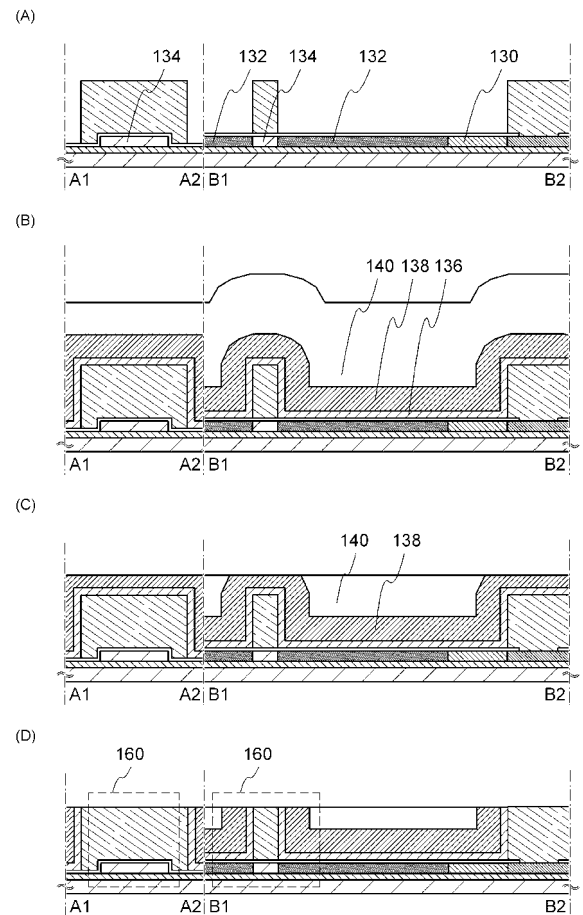
【図 6】



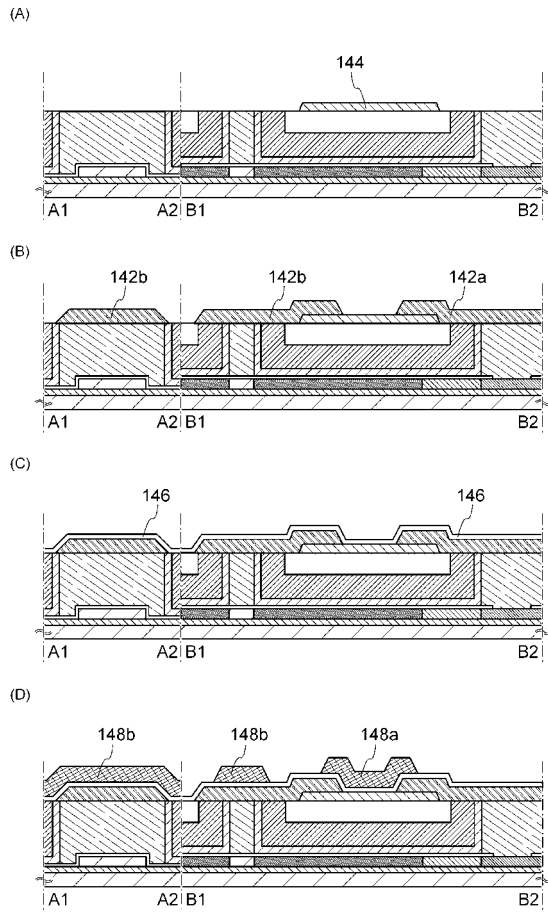
【図 7】



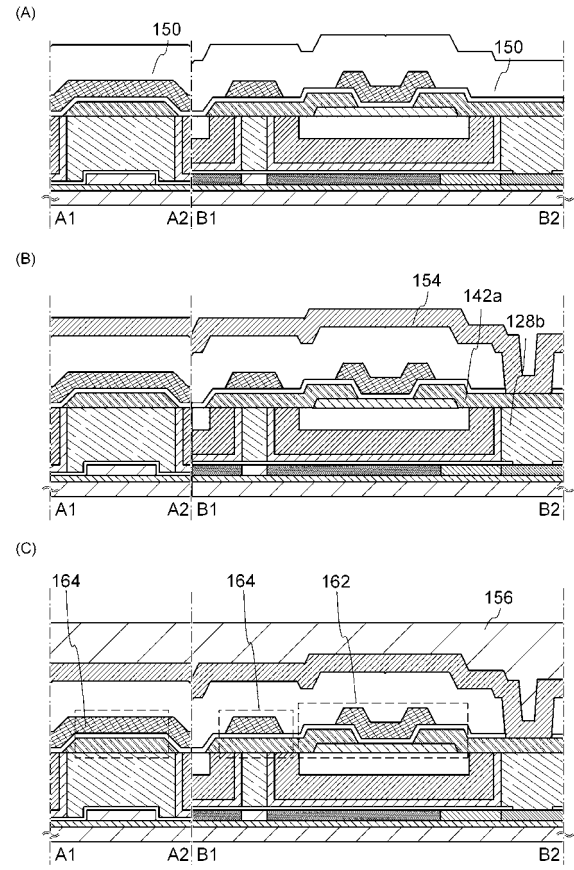
【図 8】



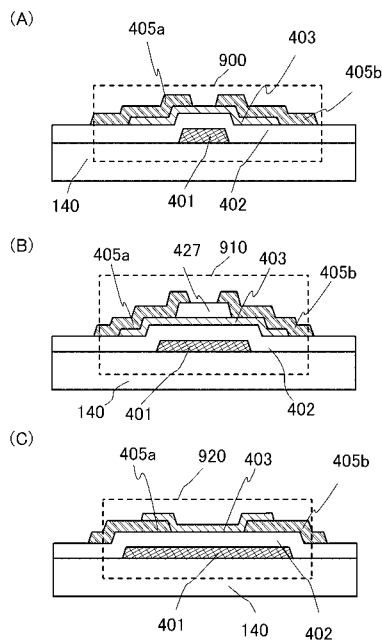
【図 9】



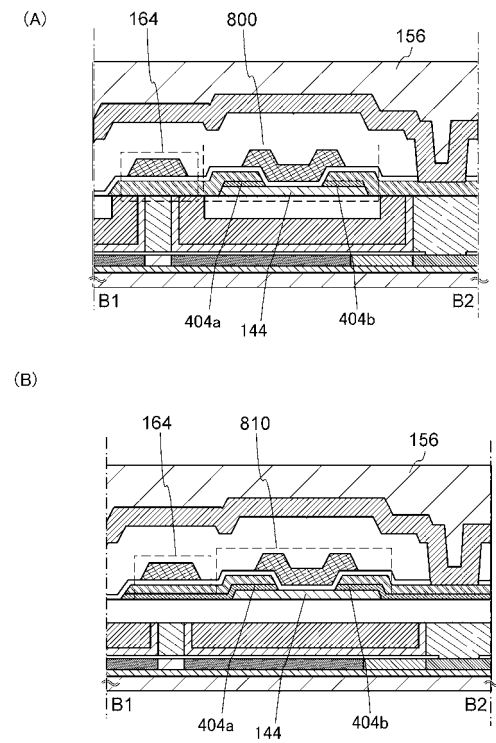
【図 10】



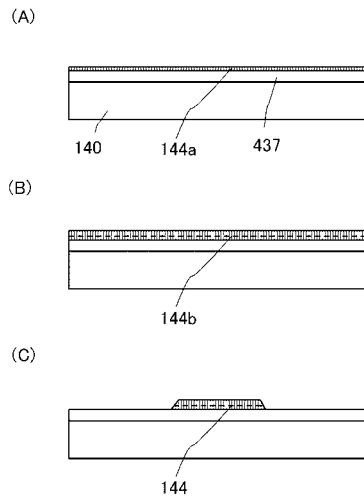
【図 11】



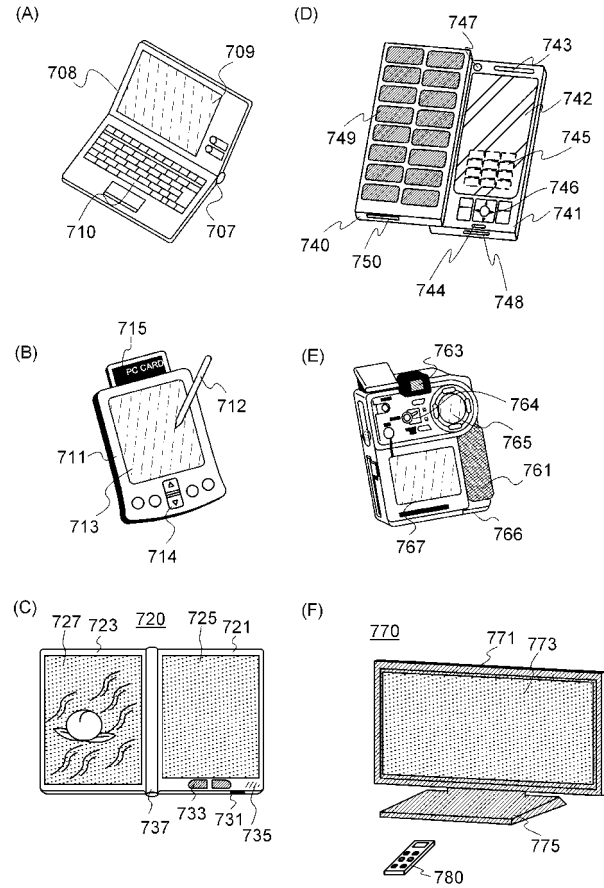
【図 12】



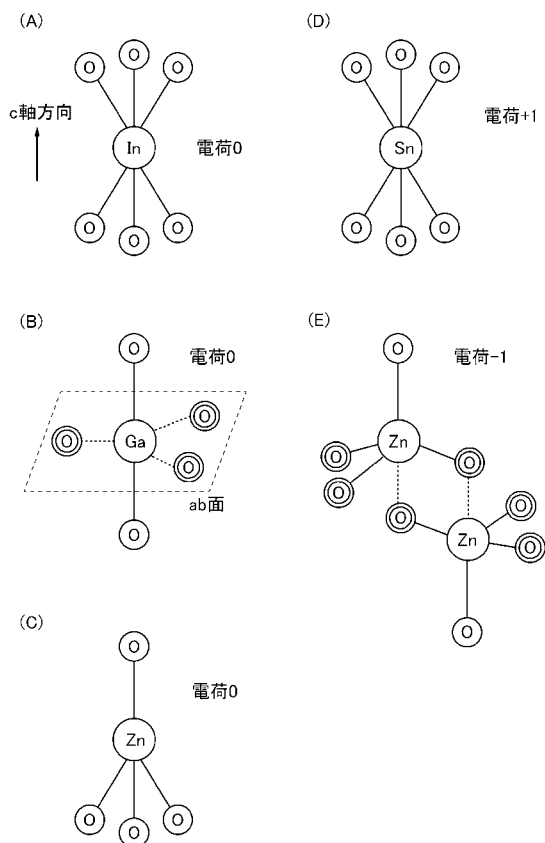
【図 13】



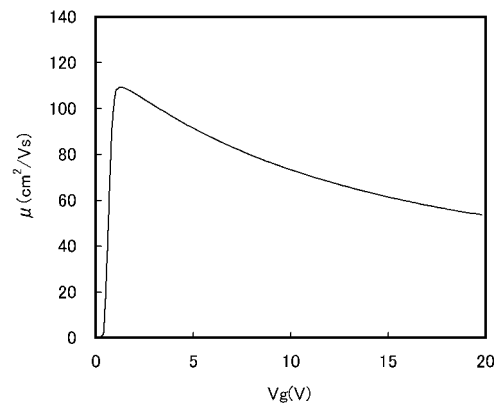
【図 14】



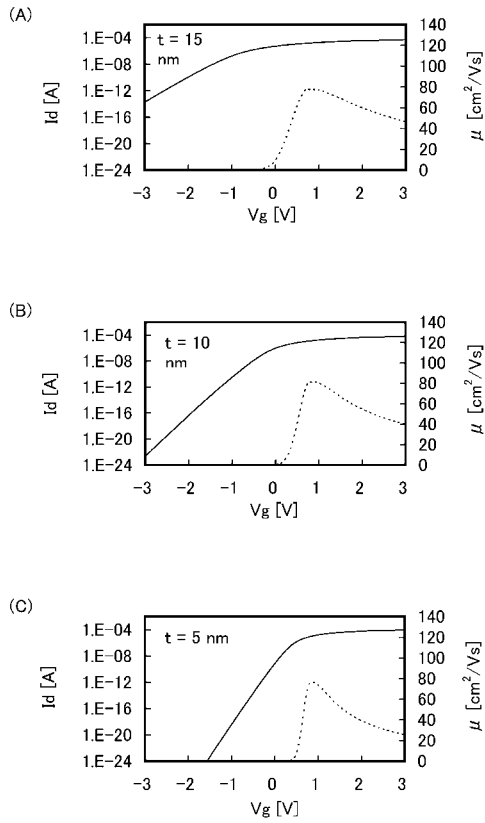
【図 15】



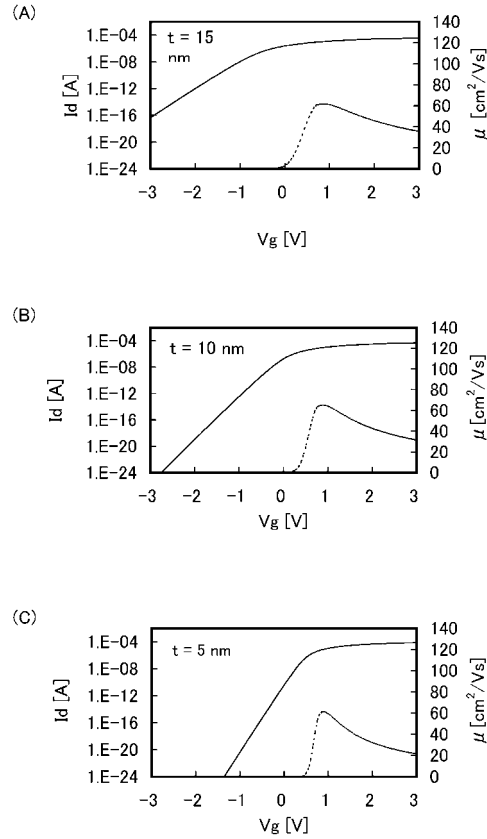
【図 18】



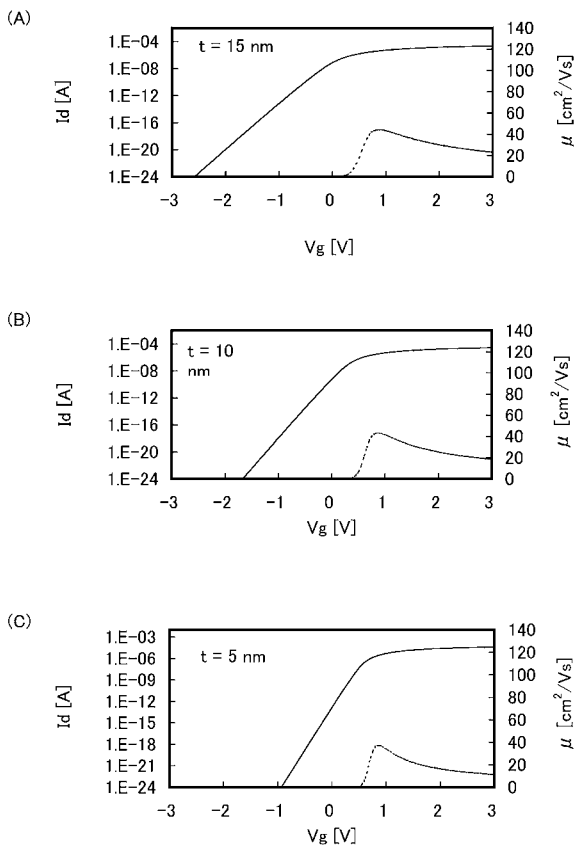
【図 19】



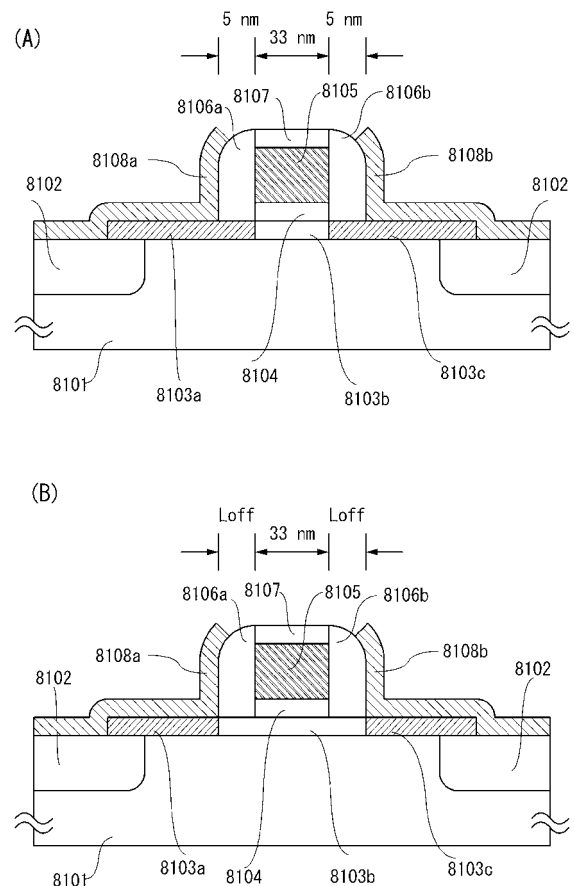
【図 20】



【図 21】

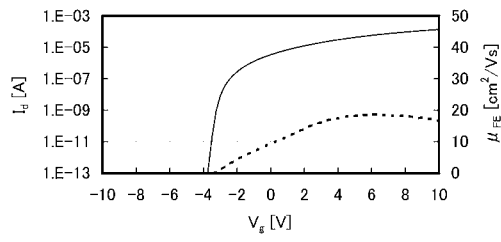


【図 22】

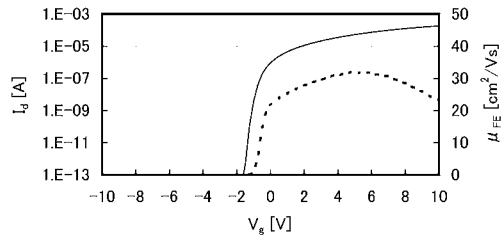


【図 2 3】

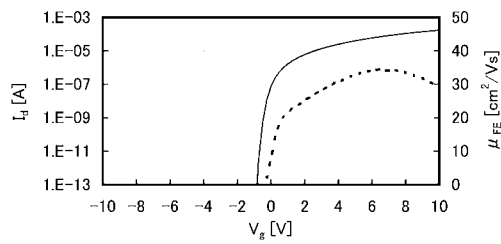
(A)



(B)

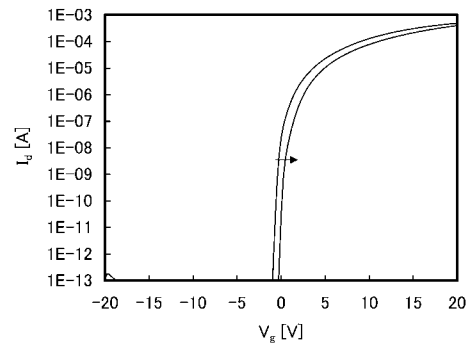


(C)

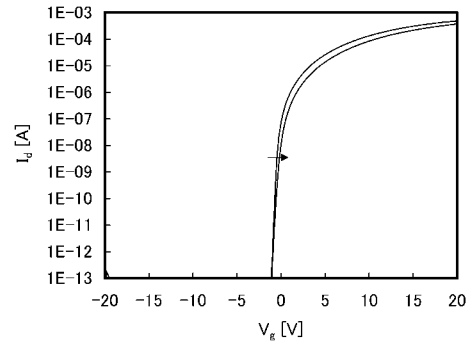


【図 2 5】

(A)

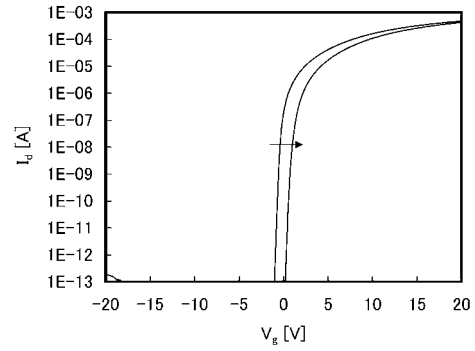


(B)

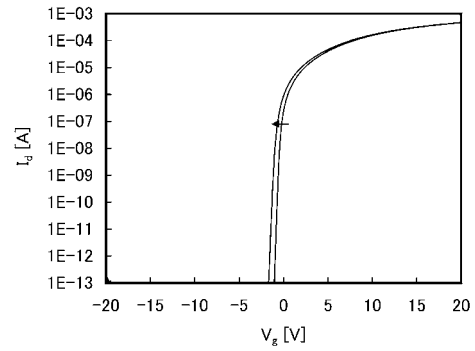


【図 2 4】

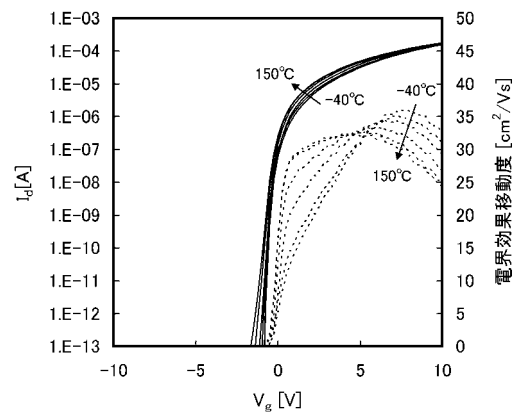
(A)



(B)

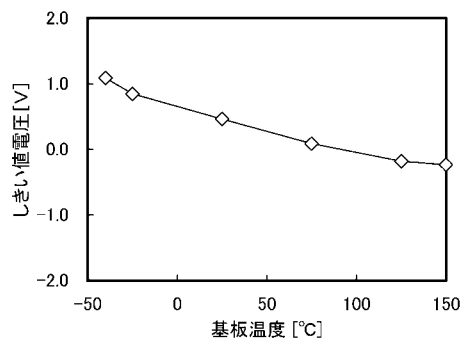


【図 2 6】

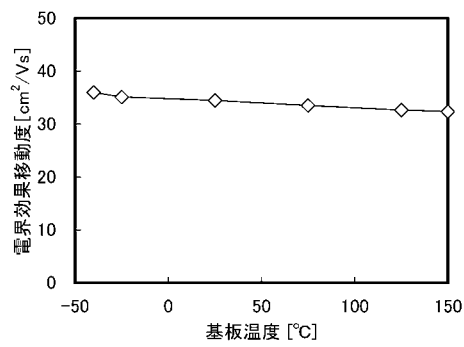


【図 27】

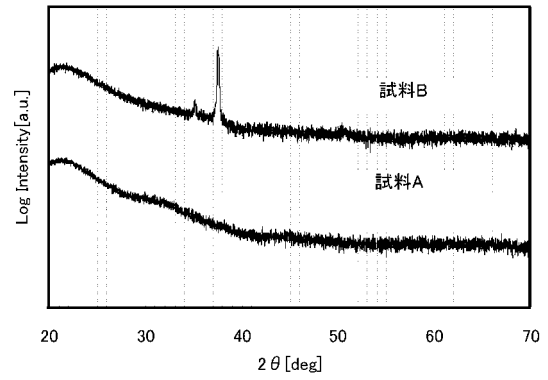
(A)



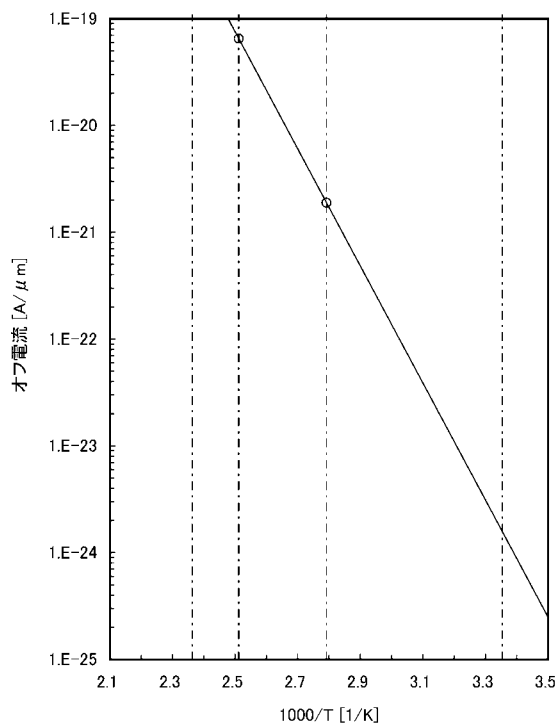
(B)



【図 28】

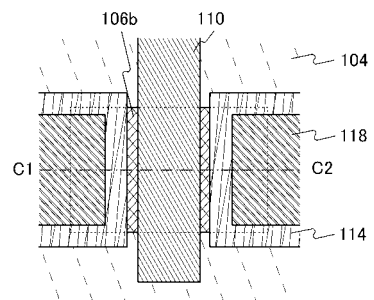


【図 29】

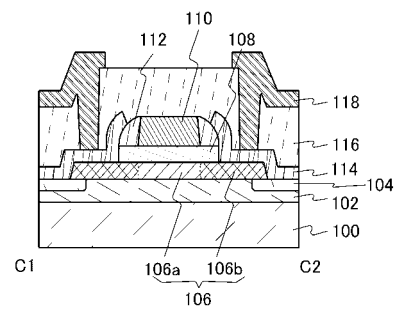


【図 30】

(A)

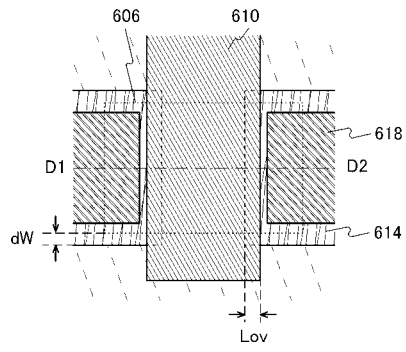


(B)

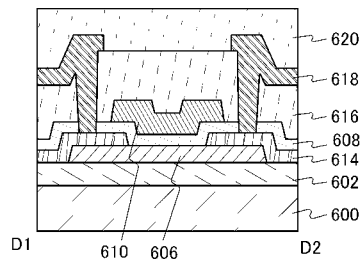


【図 3 1】

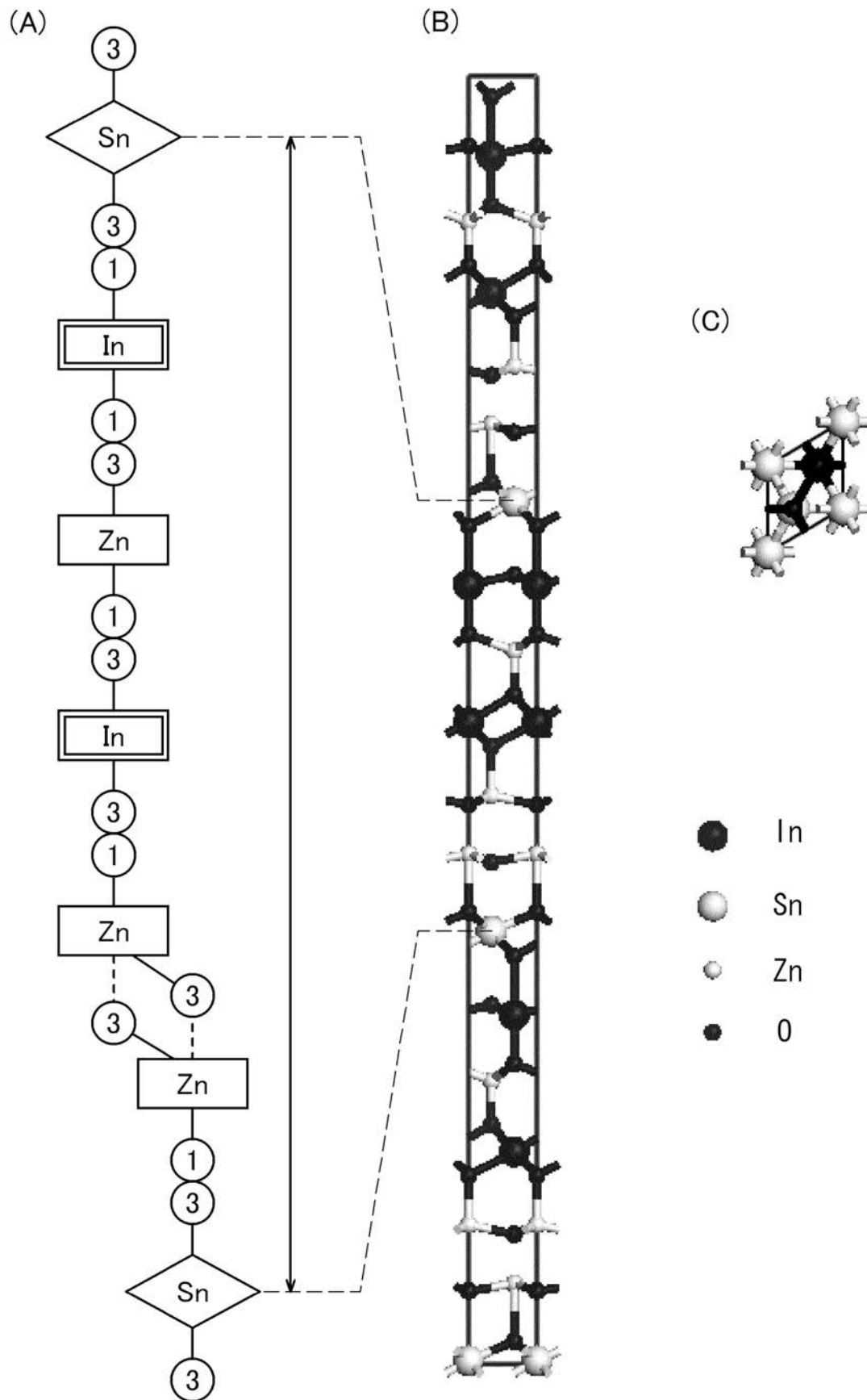
(A)



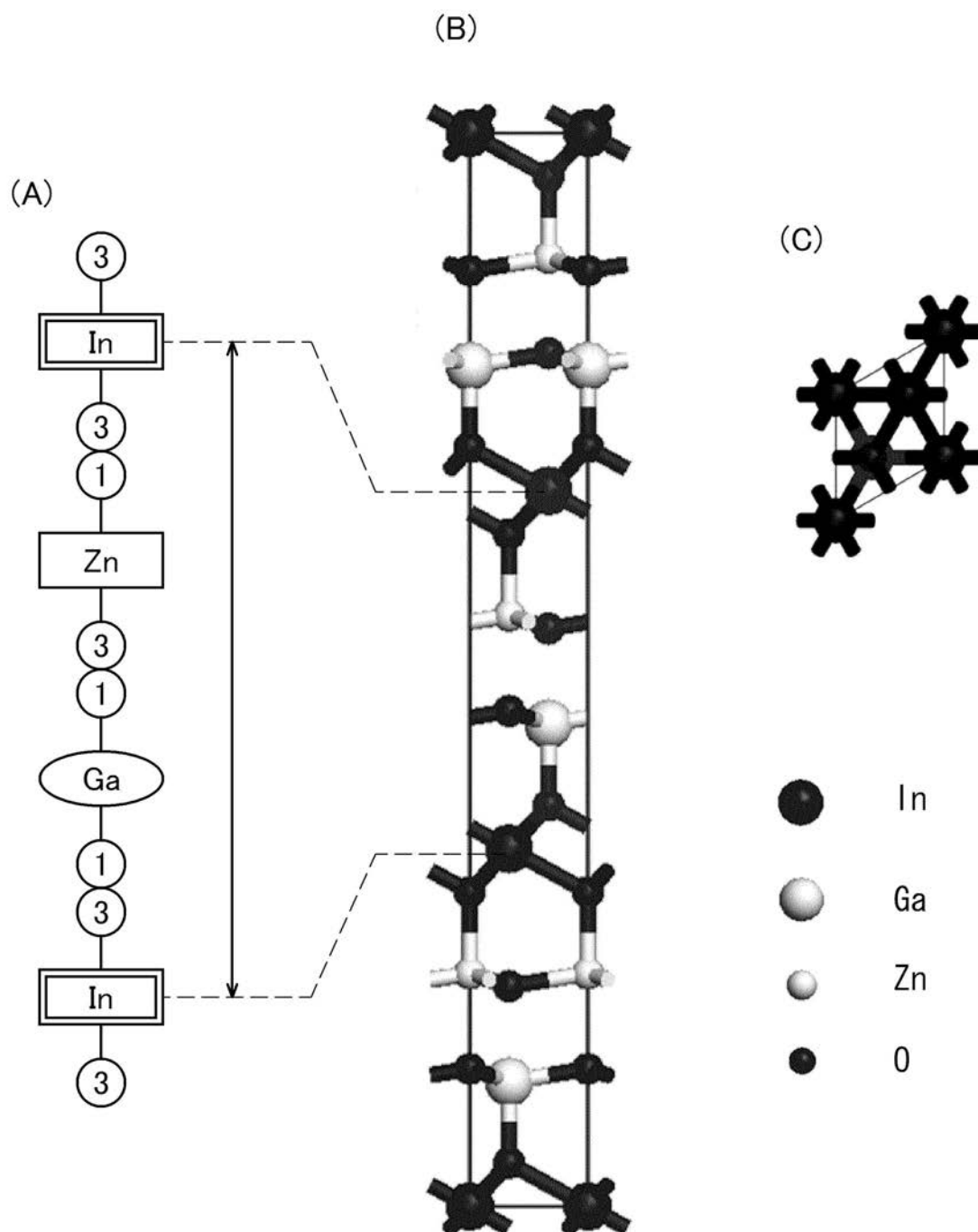
(B)



【図 16】



【図 17】



(51)Int.Cl.	F I	テーマコード (参考)
<i>H O 1 L 21/336 (2006.01)</i>		
<i>H O 1 L 29/788 (2006.01)</i>		
<i>H O 1 L 29/792 (2006.01)</i>		

F ターム(参考) 5F101 BA17 BB01 BD12 BD30 BE07 BH16
5M024 AA06 AA94 BB02 CC02 CC05 CC07 HH01 HH11 PP03 PP05
PP07 PP10