



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0127348
(43) 공개일자 2021년10월22일

(51) 국제특허분류(Int. Cl.)

H03F 3/45 (2006.01)

(52) CPC특허분류

H03F 3/45748 (2013.01)

H03F 3/45192 (2013.01)

(21) 출원번호 10-2020-0045041

(22) 출원일자 2020년04월14일

심사청구일자 2020년04월14일

(71) 출원인

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

박성민

경기도 성남시 분당구 미금로 114, 206동 102(구미동, 하얀마을그랜드빌)

박윤지

서울특별시 광진구 독성로34길 9, 201동 1610호(자양동, 자양2차현대아파트)

(74) 대리인

특허법인(유한)아이시스

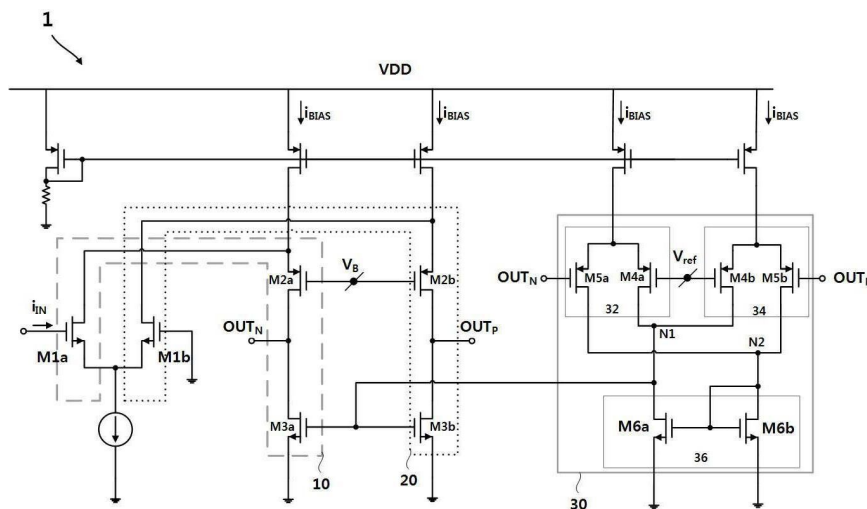
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 듀얼 피드백 차동 트랜스 임피던스 증폭기

(57) 요약

본 실시예에 의한 전달 임피던스 증폭기는: 단일단(single ended) 전류 입력을 제공받는 폴디드 캐스코드(folded cascode) 증폭기 페어 및 폴디드 캐스코드 증폭기 페어의 출력 신호에서 직류 오프셋을 제거하는 공통 모드 피드백(common mode feedback) 회로를 포함하며, 전달 임피던스 증폭기는 차동 전압 쌍(differential voltage pair)을 출력한다.

대표도



(52) CPC특허분류

H03F 3/45273 (2013.01)

H03F 2203/45244 (2013.01)

명세서

청구범위

청구항 1

전달 임피던스 증폭기로, 상기 전달 임피던스 증폭기는:

단일단(single ended) 전류 입력을 제공받는 폴디드 캐스코드(folded cascode) 증폭기 페어 및

상기 폴디드 캐스코드 증폭기 페어의 출력 신호에서 직류 오프셋을 제거하는 공통 모드 피드백(common mode feedback) 회로를 포함하며,

상기 전달 임피던스 증폭기는 차동 전압 쌍(differential voltage pair)을 출력하는 전달 임피던스 증폭기.

청구항 2

제1항에 있어서,

상기 공통 모드 피드백 회로는,

소스가 연결된 제1 트랜지스터 및 제2 트랜지스터를 포함하는 제1 페어와,

소스가 연결된 제3 트랜지스터 및 제4 트랜지스터를 포함하는 제2 페어를 포함하며, 상기 제1 페어와 상기 제2 페어는 차동 쌍을 이루는 전달 임피던스 증폭기.

청구항 3

제2항에 있어서,

상기 제2 트랜지스터의 드레인과 상기 제3 트랜지스터의 드레인은 제1 공통 드레인 노드에 연결되고

상기 제1 트랜지스터의 드레인과 상기 제4 트랜지스터의 드레인은 제2 공통 드레인 노드에 연결된 전달 임피던스 증폭기.

청구항 4

제3항에 있어서,

상기 제1 공통 드레인 노드와 상기 제2 공통 드레인 노드는 각각 전류 미러에 연결되는 전달 임피던스 증폭기.

청구항 5

제2항에 있어서,

제2 트랜지스터의 게이트와 상기 제3 트랜지스터의 게이트 전극에는 동일한 기준 전압이 제공되는 전달 임피던스 증폭기.

청구항 6

제1항에 있어서,

상기 폴디드 캐스코드(folded cascode) 증폭기 페어는,

서로 차동쌍을 이루는 제1 절반 회로와 제2 절반 회로를 포함하며,

상기 제1 절반 회로 및 상기 제2 절반 회로는 각각

공통 소스 증폭기와

상기 공통 소스 증폭기의 출력이 소스로 제공되는 공통 게이트 증폭기 및

액티브 부하를 포함하는 전달 임피던스 증폭기.

청구항 7

제6항에 있어서,

상기 제1 절반 회로의 액티브 부하는 트랜지스터이고, 상기 제2 절반 회로의 액티브 부하는 상기 제1 절반 회로의 트랜지스터와 게이트가 커플된 트랜지스터인 전달 임피던스 증폭기.

청구항 8

제7항에 있어서,

상기 제1 절반 회로의 액티브 부하와 상기 제2 절반 회로의 액티브 부하의 게이트 전극에는 상기 공통 모드 피드백 회로로부터 전압이 제공되는 전달 임피던스 증폭기

청구항 9

제6항에 있어서,

상기 제1 절반 회로 및 상기 제2 절반 회로는,

상기 공통 소스 증폭기의 입력 노드와 출력 노드에 연결된 제1 피드백 저항과

상기 공통 게이트 증폭기와 상기 액티브 부하가 연결된 노드와 상기 공통 소스 증폭기의 상기 입력 노드에 연결된 제2 피드백 저항을 더 포함하는 전달 임피던스 증폭기.

청구항 10

제6항에 있어서,

상기 제1 절반 회로 및 상기 제2 절반 회로에 각각 포함된 상기 공통 게이트 증폭기는,

PMOS 트랜지스터로, 상기 PMOS 트랜지스터들의 게이트는 서로 연결되어 동일한 바이어스 전압이 제공되는 전달 임피던스 증폭기.

발명의 설명

기술 분야

[0001] 본 기술은 듀얼 피드백 차동 트랜스 임피던스 증폭기에 관한 것이다.

배경 기술

[0002] 광소자를 사용하는 광통신용 인터커넥트 및 자율주행 무인자동차용 LiDAR 시스템과 같은 응용분야에서는 입력단에서 포토 다이오드(Photodiode)등의 광소자를 하나만 사용한다. 따라서 기본적으로 단일단(single-ended) 입력 구조를 가지며, 아날로그 프론트엔드(analog front-end)회로에서 단일단 구조에서 차동(differential) 신호로 변환하는 구조를 가지는 것이 일반적이다.

[0003] 이러한 구성을 취하여 전체 회로의 CMRR(common-mode rejection ratio) 성능은 개선되나, 입력 첫 단에서의 PSRR(power supply rejection ratio) 성능이 열화된다.

발명의 내용

해결하려는 과제

[0004] 단일단 신호를 차동 신호로 변환하는 구성을 생략하도록 입력 첫 단에서부터 차동 형태의 신호를 발생하는 것이 필요하다. 또한, 회로 내에 커플링 커패시터(coupling capacitor)를 사용하여 차동 형태 출력신호를 생성하는 경우에는 40GHz 이상의 주파수 대역에서 사용해야 커패시턴스의 크기가 작아지고 집적회로에 집적할 수 있다. 나아가, 차동 관계에 있는 신호들의 부정합이 발생하여 여러 단의 차동증폭기를 연결해야 동일한 차동신호가 생성된다.

[0005] 본 기술은 상술한 종래 기술의 난점을 해소하기 위한 것이다. 본 기술은 커패시터 등의 소자를 사용하지 않고 차동 신호를 생성하도록 하기 위한 것이다.

과제의 해결 수단

[0006] 본 실시예에 의한 전달 임피던스 증폭기는: 단일단(single ended) 전류 입력을 제공받는 폴디드 캐스코드(folded cascode) 증폭기 페어 및 폴디드 캐스코드 증폭기 페어의 출력 신호에서 직류 오프셋을 제거하는 공통 모드 피드백(common mode feedback) 회로를 포함하며, 전달 임피던스 증폭기는 차동 전압 쌍(differential voltage pair)을 출력한다.

[0007] 전달 임피던스 증폭기의 일 실시예로, 공통 모드 피드백 회로는, 소스가 연결된 제1 트랜지스터 및 제2 트랜지스터를 포함하는 제1 페어와, 소스가 연결된 제3 트랜지스터 및 제4 트랜지스터를 포함하는 제2 페어를 포함하며, 제1 페어와 제2 페어는 차동 쌍을 이룬다.

[0008] 전달 임피던스 증폭기의 일 실시예로, 제2 트랜지스터의 드레인과 제3 트랜지스터의 드레인은 제1 공통 드레인 노드에 연결되고 제1 트랜지스터의 드레인과 제4 트랜지스터의 드레인은 제2 공통 드레인 노드에 연결된다.

[0009] 전달 임피던스 증폭기의 일 실시예로, 제1 공통 드레인 노드와 제2 공통 드레인 노드는 각각 전류 미러에 연결된다.

[0010] 전달 임피던스 증폭기의 일 실시예로, 제2 트랜지스터의 게이트와 제3 트랜지스터의 게이트 전극에는 동일한 기준 전압이 제공된다.

[0011] 전달 임피던스 증폭기의 일 실시예로, 폴디드 캐스코드(folded cascode) 증폭기 페어는, 서로 차동쌍을 이루는 제1 절반 회로와 제2 절반 회로를 포함하며, 제1 절반 회로 및 제2 절반 회로는 각각 공통 소스 증폭기와 공통 소스 증폭기의 출력이 소스로 제공되는 공통 게이트 증폭기 및 액티브 부하를 포함한다.

[0012] 전달 임피던스 증폭기의 일 실시예로, 제1 절반 회로의 액티브 부하는 트랜지스터이고, 제2 절반 회로의 액티브 부하는 제1 절반 회로의 트랜지스터와 게이트가 커플된 트랜지스터이다.

[0013] 전달 임피던스 증폭기의 일 실시예로, 제1 절반 회로의 액티브 부하와 제2 절반 회로의 액티브 부하의 게이트 전극에는 공통 모드 피드백 회로로부터 전압이 제공된다.

[0014] 전달 임피던스 증폭기의 일 실시예로, 제1 절반 회로 및 제2 절반 회로는, 공통 소스 증폭기의 입력 노드와 출력 노드에 연결된 제1 피드백 저항과 공통 게이트 증폭기와 액티브 부하가 연결된 노드와 공통 소스 증폭기의 입력 노드에 연결된 제2 피드백 저항을 더 포함한다.

[0015] 전달 임피던스 증폭기의 일 실시예로, 제1 절반 회로 및 제2 절반 회로에 각각 포함된 공통 게이트 증폭기는, PMOS 트랜지스터로, PMOS 트랜지스터들의 게이트는 서로 연결되어 동일한 바이어스 전압이 제공된다.

발명의 효과

[0016] 본 실시예에 의한 차동 전달 임피던스 증폭기에 의하면, 단일단(single-ended) 신호를 차동(differential)으로 변환하는 S2D 회로를 사용하지 않고 단일단 입력 신호를 차동 전압쌍으로 변환할 수 있다는 장점이 제공된다. 나아가, 본 실시예에 의하면, 종래의 폴디드 캐스코드 출력 쌍에서 발생하는 직류 오프셋을 배제할 수 있다는 장점이 제공된다.

도면의 간단한 설명

[0017] 도 1은 본 실시예에 의한 전달 임피던스 증폭기의 개요를 도시한 회로도이다.

도 2(a)는 제1 절반 회로(10)와 제2 절반 회로(20)의 제2 실시예를 도시한 도면이고, 도 2(b)는 제2 실시예에 의한 제1 절반 회로(10) 일부에 대한 개요적 등가 회로도이다.

도 3은 본 실시예에 의한 차동 전달 임피던스 증폭기 차동 출력 신호쌍의 아이 다이어그램이고, 도 3(b)는 도 3(a)로 도시된 차동 출력 신호 쌍 전압을 오버레이한 도면이다.

도 4는 본 실시예에 의한 차동 전달 임피던스 증폭기의 PSRR(Power Supply Rejection Ratio)를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다.
- [0019] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0020] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0021] 어떤 구성요소가 다른 구성요소에 "상부에" 또는 "위에" 있다고 언급된 때에는, 그 다른 구성요소의 바로 위에 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "접촉하여" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "개재하여"와 "바로 ~개재하여", "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0022] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0023] 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0024] 본 개시의 실시예들을 설명하기 위하여 참조되는 도면은 설명의 편의 및 이해의 용이를 위하여 의도적으로 크기, 높이, 두께 등이 과장되어 표현되어 있으며, 비율에 따라 확대 또는 축소된 것이 아니다. 또한, 도면에 도시된 어느 구성요소는 의도적으로 축소되어 표현하고, 다른 구성요소는 의도적으로 확대되어 표현될 수 있다.
- [0025] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0026] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 전달 임피던스 증폭기를 설명한다. 도 1은 본 실시예에 의한 전달 임피던스 증폭기(1)의 개요를 도시한 회로도이다. 도 1을 참조하면, 본 실시예에 의한 전달 임피던스 증폭기(1)는 차동 쌍(differential pair)을 이루는 제1 절반 회로(10)와 제2 절반 회로(20) 및 공통 모드 피드백 회로(30)를 포함한다.
- [0027] 제1 절반 회로(10)와 제2 절반 회로(20)는 각각 공통 소스 증폭기(M1a, M1b)와, 공통 게이트 증폭기(M2a, M2b) 및 액티브 부하(M3a, M3b)를 포함한다. 일 예로, 공통 소스 증폭기(M1a, M1b)와, 공통 게이트 증폭기(M2a, M2b) 및 액티브 부하(M3a, M3b)는 각각 폴디드 캐스코드(folded cascode) 증폭기를 이룰 수 있다.
- [0028] 공통 소스 증폭기(M1a)의 게이트로는 입력 전류(i_{IN})가 제공된다. 제2 절반 회로(20)에 포함된 공통 소스 증폭기(M1b)의 게이트에는 접지 전압이 제공될 수 있으며, 후술할 바와 같이 출력으로부터 피드백된 전압이 제공될 수 있다(도 2 참조).
- [0029] 제1 절반 회로(10) 및 제2 절반 회로(20)는 공통 소스 증폭기(M1a, M2a)의 출력이 각각 제공되는 공통 게이트 증폭기(M2a, M2b)를 포함한다. 공통 게이트 증폭기(M2a, M2b)는 도시된 바와 같이 PMOS 트랜지스터를 포함할 수 있다. 공통 게이트 증폭기(M2a, M2b)의 게이트는 서로 커플될 수 있으며, 공통 바이어스(V_B)가 제공될 수 있다.
- [0030] 액티브 부하(M3a, M3b)는 게이트 전극이 커플(couple)된 트랜지스터 M3a, M3b를 포함하며, 공통 소스 증폭기(M1a, M1b)와 공통 게이트 증폭기(M2a, M2b)를 포함하는 폴디드 캐스코드 증폭기의 부하로 기능한다. 도 1로 예시된 것과 같이 액티브 부하(M3a, M3b)의 게이트 전극에는 공통 모드 피드백 회로(30)로부터 전압이 제공되어

제1 절반 회로(10)와 제2 절반 회로(20)가 출력하는 신호의 직류 오프셋을 제거한다.

[0031] 도 2(a)는 제1 절반 회로(10)와 제2 절반 회로(20)의 제2 실시예를 도시한 도면이다. 도 2(a)를 참조하면, 제1 절반 회로(10)는 공통 소스 증폭기(M1a)의 출력 노드인 트랜지스터 M1a의 드레인 전극에서 입력 노드인 게이트 전극으로 피드백되도록 연결된 제1 피드백 저항 RF1a와, 제1 절반 회로(10)의 출력 노드(OUT_N)에서 입력 노드인 공통 소스 증폭기(M1a)의 게이트 전극으로 피드백되도록 연결된 제2 피드백 저항 RF2a를 포함한다. 제2 절반 회로(20)는 공통 소스 증폭기(M1b)의 출력 노드인 트랜지스터 M1b의 드레인 전극에서 입력 노드인 게이트 전극으로 피드백되도록 연결된 제1 피드백 저항 RF1b과, 제2 절반 회로(20)의 출력 노드(OUT_P)에서 입력 노드인 공통 소스 증폭기(M1b)의 게이트 전극으로 피드백되도록 연결된 제2 피드백 저항 RF2b를 포함한다.

[0032] 도 2(b)는 제2 실시예에 의한 제1 절반 회로(10) 일부에 대한 개요적 등가 회로도이다. 도 2(b)를 참조하면, 제1 피드백 저항 RF1a는 공통 소스 증폭기(M1a)의 출력 노드와 입력 노드 사이에서 피드백 되도록 연결되며, 제2 피드백 저항 RF2a는 폴디드 캐스코드 증폭기(10)의 출력 노드와 입력 노드 사이에서 피드백되도록 연결된다.

[0033] 공통 소스 증폭기(M1a)의 이득을 A1이라 하면 공통 소스 증폭기(M1a)의 입력 저항(R_{in1})은 아래 수학적 식 1의 ①식과 같이 표시될 수 있고, 폴디드 캐스코드 증폭기의 이득을 A2라 하면 폴디드 캐스코드 증폭기의 입력 저항(R_{in2})은 아래 수학적 식 2의 ②식과 같이 표시될 수 있다.

수학적 식 1

$$R_{in1} = \frac{RF1a}{1+A1} \dots \textcircled{1}$$

$$R_{in2} = \frac{RF2a}{1+A2} \dots \textcircled{2}$$

[0034]

[0035] 도 2(b)로 예시된 것과 같이 입력 노드에서 바라본 입력 저항(R_{in})은 공통 소스 증폭기(M1a)의 입력 저항(R_{in1})과 폴디드 캐스코드 증폭기 입력 저항(R_{in2})이 병렬로 연결된 것과 같다. 따라서, 도 2(b)에서 도시된 입력 저항(R_{in})은 아래의 수학적 식 2와 같이 표시될 수 있다.

수학적 식 2

$$R_{in} = R_{in1} \parallel R_{in2}$$

$$= \frac{RF1a}{1+A1} \parallel \frac{RF2a}{1+A2}$$

[0036]

[0037] 병렬로 연결된 두 저항의 등가 저항값(R_{in})은 병렬로 연결된 두 저항 중 작은 저항값보다 작은 저항값을 가진다. 또한, 공통 소스 증폭기의 이득인 A1과 폴디드 캐스코드 증폭기의 이득인 A2는 일반적으로 1보다 큰 값을 가지므로, 도 2(a) 및 도 2(b)로 예시된 제1 절반 회로(10) 및 제2 절반 회로(20)의 입력 저항값은 낮은 입력 저항을 가지므로, 입력 전류(i_{IN})를 출력 전압으로 변환하는 전달 임피던스 이득이 향상된다는 장점을 가진다.

[0038] 다시 도 1을 참조하면, 제1 절반 회로(10)의 출력 노드(OUT_N)와 제2 절반 회로(20)의 출력 노드(OUT_P)는 공통 모드 피드백 회로(30)의 입력으로 연결된다. 공통 모드 피드백 회로(30)는 소스가 연결된 제1 트랜지스터(M5a) 및 제2 트랜지스터(M4a)를 포함하는 제1 페어(32)와, 소스가 연결된 제3 트랜지스터(M4b) 및 제4 트랜지스터(M5b)를 포함하는 제2 페어(34)를 포함한다.

[0039] 제2 트랜지스터(M4a)의 드레인과 상기 제3 트랜지스터(M4b)의 드레인은 제1 공통 드레인 노드(N1)에 연결되고, 제1 트랜지스터(M5a)의 드레인과 제4 트랜지스터(M5b)의 드레인은 제2 공통 드레인 노드(N2)에 연결된다.

- [0040] 공통 모드 피드백 회로(30)는 게이트 커플된 트랜지스터 M6a와 M6b를 포함하는 전류 미러(36)를 포함하며, 트랜지스터 M6a의 드레인 전극은 제1 공통 드레인 노드(N1)와 연결되고, 트랜지스터 M6b의 드레인 전극은 제2 공통 드레인 노드(N2)와 연결된다.
- [0041] 상기한 구성을 가지는 공통 모드 피드백 회로(30)의 동작을 살펴본다. 제1 페어(32)에 포함된 제2 트랜지스터(M4a)의 게이트 전극과 제2 페어(34)에 포함된 제3 트랜지스터(M4b)의 게이트 전극은 서로 전기적으로 연결되어 기준 전압(Vref)이 제공된다. 기준 전압(Vref)이 제공된 제2 트랜지스터(M4a)와 제3 트랜지스터(M4b)는 일정한 전류를 흘린다. 따라서, 제1 공통 드레인 노드(N1)에는 일정한 전압이 형성된다. 제1 공통 드레인 노드(N1)에 형성되는 전압은 폴디드 캐스코드 증폭기(10, 20)의 액티브 부하를 이루는 트랜지스터 M3a의 게이트 전극과 M3b의 게이트 전극에 제공된다.
- [0042] 종래 기술에 의한 차동 캐스코드 증폭기 또는 차동 폴디드 캐스코드 증폭기의 어느 한 입력으로 입력 전류가 제공되고, 다른 입력에는 접지 전압이 제공되어도 출력 노드에 형성되는 전압 사이에는 직류 오프셋이 형성되었다. 그러나 도 1로 예시된 실시예와 같이 공통 모드 피드백 회로(30)에서 제공되는 전압이 액티브 부하를 이루는 M3a, M3b 트랜지스터들의 게이트 전극에 제공됨에 따라 제1 절반 회로(10)와 제2 절반 회로(20)의 출력 노드에는 동일한 직류 전압이 형성되어 직류 오프셋이 제거된다.
- [0043] 제1 절반 회로(10)의 출력은 제1 트랜지스터(M5a)의 게이트 전극에 연결되고, 제2 절반 회로(20)의 출력은 제4 트랜지스터(M5b)의 게이트 전극으로 연결된다. 입력 전류(i_{IN})가 제공된 제1 절반 회로(10)는 입력 전류(i_{IN})에 상응하는 전압을 형성하고 제1 트랜지스터(M5a)의 게이트 전극에 제공한다. 그러나, 제2 절반 회로(20)는 입력이 제공되지 않아 제4 트랜지스터(M5b)의 게이트로 제공되는 신호 성분은 없다.
- [0044] 제1 페어(32)와 제2 페어(34)에 포함된 제1 트랜지스터(M5a)와 제4 트랜지스터(M5b)의 드레인 전극은 제2 공통 드레인 노드(N2)에 연결된다. 제1 페어(32)로 제공되는 바이어스 전류(I_{BIAS})와 제2 페어로 제공되는 바이어스 전류(I_{BIAS})는 서로 동일하다. 또한 상술한 바와 같이 기준 전압(Vref)이 게이트 전극으로 제공되는 제2 트랜지스터(M4a)와 제3 트랜지스터(M4b)는 일정한 전류를 흘린다. 따라서, 제1 트랜지스터(M5a)와 제4 트랜지스터(M5b)를 통하여 흐르는 전류의 합은 동일하고, 제1 트랜지스터(M5a)와 제4 트랜지스터(M5b) 중 어느 하나를 통하여 흐르는 전류가 증가하면 다른 하나를 통하여 흐르는 전류는 감소한다.
- [0045] 일 예로, 제1 절반 회로(10)의 출력 신호에 의하여 제1 트랜지스터(M5a)를 통하여 흐르는 전류가 증가하면 제4 트랜지스터(M5b)는 상보적으로 동작하여 제4 트랜지스터(M5b)를 통하여 흐르는 전류가 감소하도록 게이트 전압이 형성된다. 반면에, 제1 절반 회로(10)의 출력 신호에 의하여 제1 트랜지스터(M5a)를 통하여 흐르는 전류가 감소하면 제4 트랜지스터(M5b)는 상보적으로 동작하여 제4 트랜지스터(M5b)를 통하여 흐르는 전류가 증가하도록 게이트 전압이 형성된다. 따라서, 제1 절반 회로(10)의 입력을 통하여 단일단(single-ended) 입력 전류(i_{IN})가 제공되어도 차동 전압 쌍을 출력할 수 있다.
- [0046] 따라서, 본 실시예에 의한 전달 임피던스 증폭기에 의하면, 단일단-차동 변환 회로를 사용하지 않고 단일단 전류 입력 신호를 차동 전압 쌍으로 변환할 수 있다는 장점이 제공된다. 나아가, 종래 기술과 달리 커플링 커패시터를 사용하지 않아 신호의 주파수 대역에 무관하게 사용할 수 있다는 장점이 제공된다. 나아가, 본 실시예에 의한 전달 임피던스 증폭기에 의하면 아날로그 프론트 엔드(analog front end) 회로에서부터 차동신호로 변환할 수 있어 공통 모드 노이즈를 효과적으로 배제할 수 있다는 장점도 제공된다.
- [0047] **모의 실험예**
- [0048] 도 3(a)는 본 실시예에 의한 차동 전달 임피던스 증폭기 차동 출력 신호쌍의 아이 다이어그램이다. 도 3(b)는 도 3(a)로 도시된 차동 출력 신호 쌍 전압을 오버레이한 도면이다. 도 3(a) 및 도 3(b)는 300Mbit/sec로 $2^{31}-1$ 의사 난수 이진 시퀀스(Pseudo Random Binary Sequence)의 아이 다이어그램 측정 결과이다. 20uAp-p의 단일단(single-ended) 전류가 입력되었고 출력 전압은 41.865mV로 측정되었다. 도 3(a) 및 도 3(b)로 도시된 것과 같이 출력 신호쌍은 대칭을 이루며, 큰 개구를 형성하는 것을 확인할 수 있다.
- [0049] 도 3은 본 실시예의 차동 전달 임피던스 증폭기 차동 출력 신호쌍에 대한 아이 다이어그램이다. 500Mbit/sec로 $2^{31}-1$ 의사 난수 이진 시퀀스(Pseudo Random Binary Sequence)의 아이 다이어그램 측정 결과이다. 1uAp-p, 50uAp-p, 100uAp-p의 단일단(single-ended) 전류가 입력되었을 때 도시된 것과 같이 큰 폭의 아이가 형성된 것을 확인할 수 있으며, 출력 신호쌍이 대칭을 이루는 것을 알 수 있다.

[0050] 도 4는 본 실시예의 차동 전달 임피던스 증폭기 차동 출력 신호쌍에 대한 아이 다이어그램이다. 20uAp-p의 단일 단(single-ended) 전류가 입력되었을 때의 아이 다이어그램 측정 결과이다. 150Mbit/sec, 500Mbit/sec, 625Mbit/sec, 1Gbit/sec 의 $2^{31}-1$ 의사 난수 이진 시퀀스(Pseudo Random Binary Sequence)에 대한 아이 다이어그램 출력 신호쌍은 깨끗하며 대칭을 이룬다.

[0051] 도 5는 종래의 차동 전달 임피던스 증폭기와 본 발명의 PSRR(Power Supply Rejection Ratio)를 도시한 도면이다. 회로 내에 커플링 커패시터를 사용하여 차동 형태 출력신호를 생성하는 종래의 기술은 주파수 대역이 높아질수록 커패시터의 임피던스가 낮아져 차동 구조가 약화되고 PSRR 성능이 열화된다. 본 실시예에 의한 PSRR은 100kHz에서 -77.2dB를 가지며 이는 종래 기술 보다 약 20dB가 향상된 값이다. 또한, 본 발명의 차동 전달 임피던스 증폭기는 1GHz 까지의 주파수 범위에서 PSRR이 -19dB를 초과하지 않는 것을 알 수 있다.

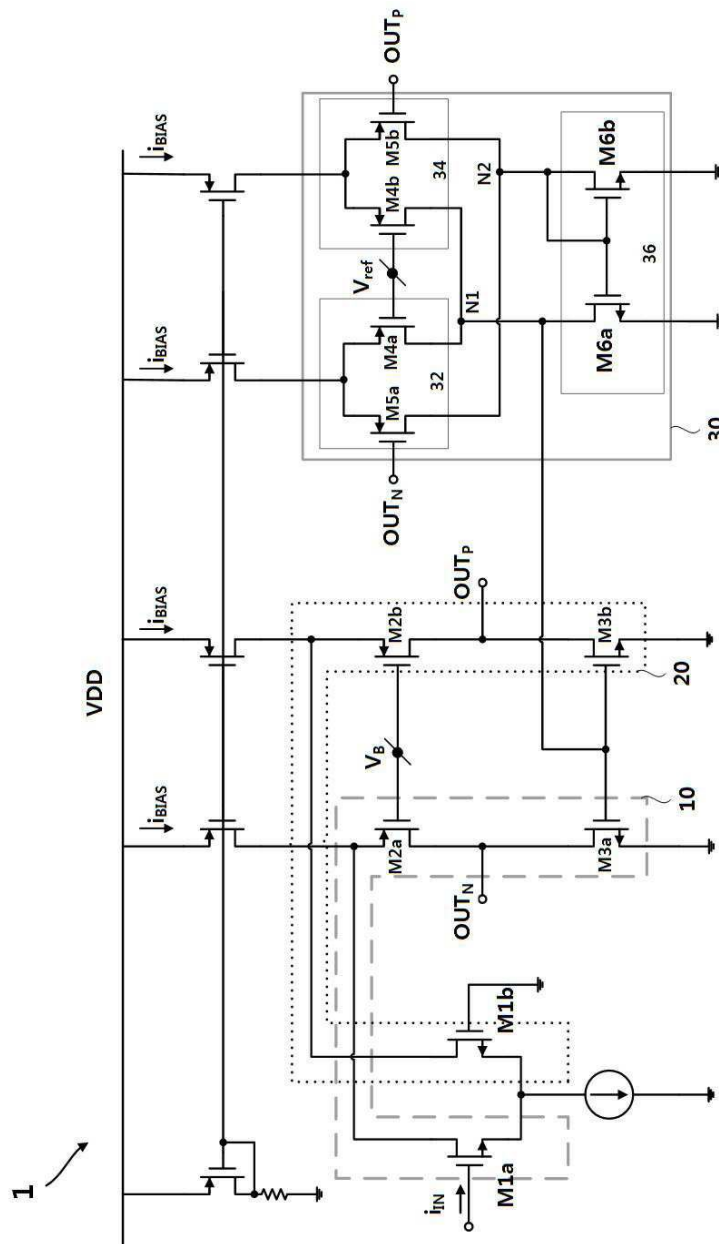
[0052] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

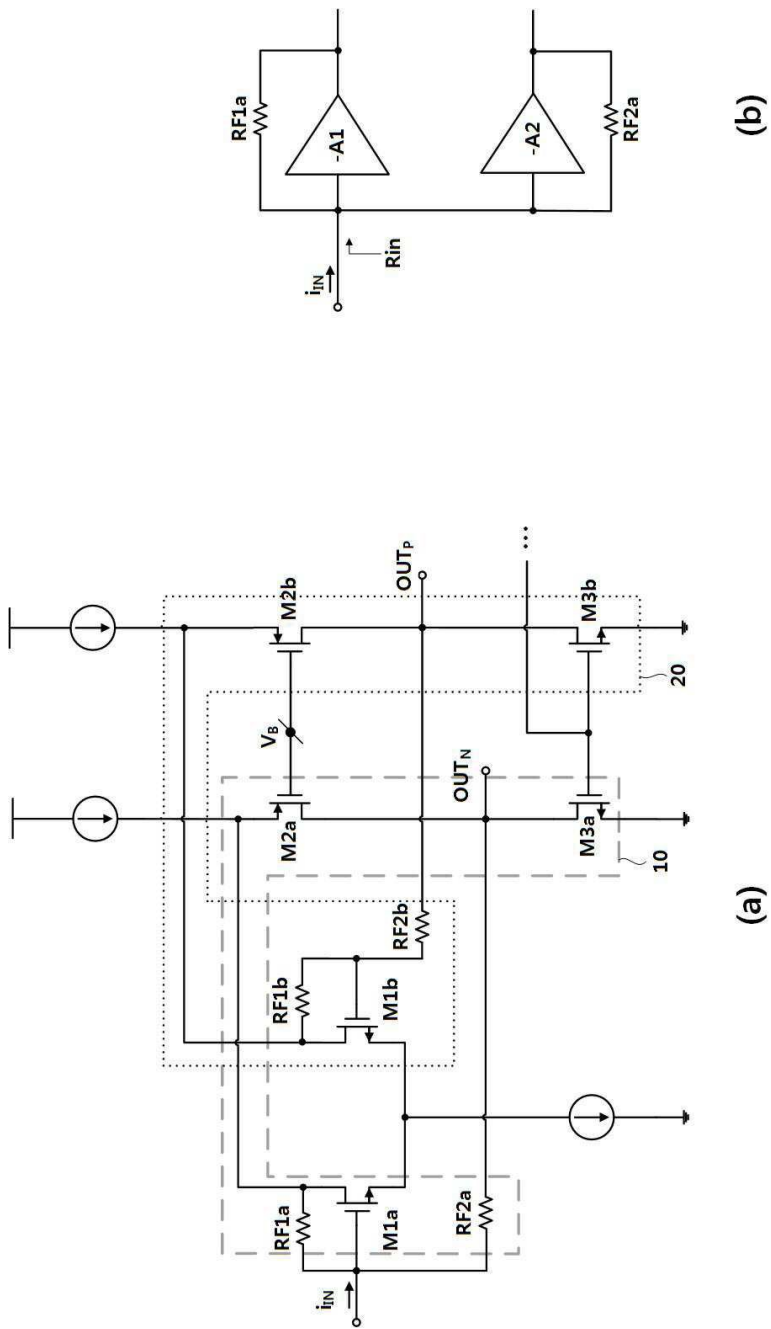
[0053] 1: 전달 임피던스 증폭기 10: 제1 절반 회로
20: 제2 절반 회로 30: 공통 모드 피드백 회로
32: 제1 페어 34: 제2 페어
36: 전류 미러
M1a, M1b: 공통 소스 증폭기 M2a, M2b: 공통 게이트 증폭기
M3a, M3b: 액티브 부하 M5a: 제1 트랜지스터
M4a: 제2 트랜지스터 M4b: 제3 트랜지스터
M5b: 제4 트랜지스터 RF1a, RF1b: 제1 피드백 저항
RF2a, RF2b: 제2 피드백 저항

도면

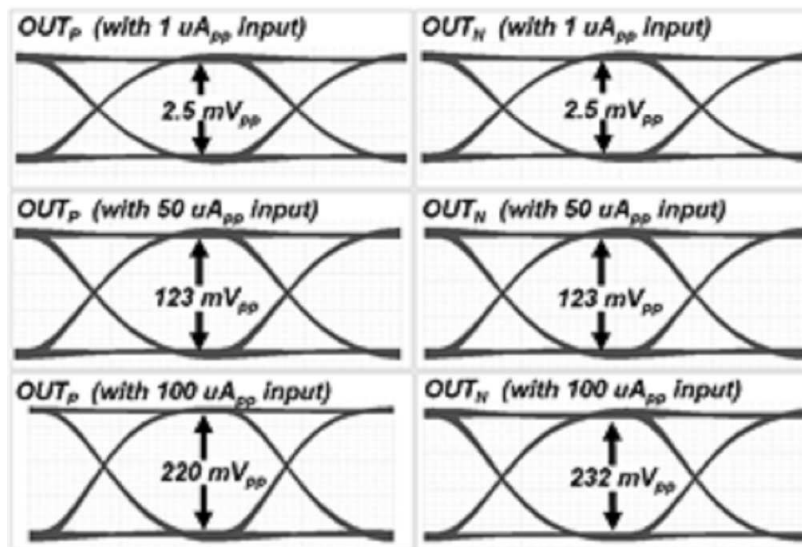
도면1



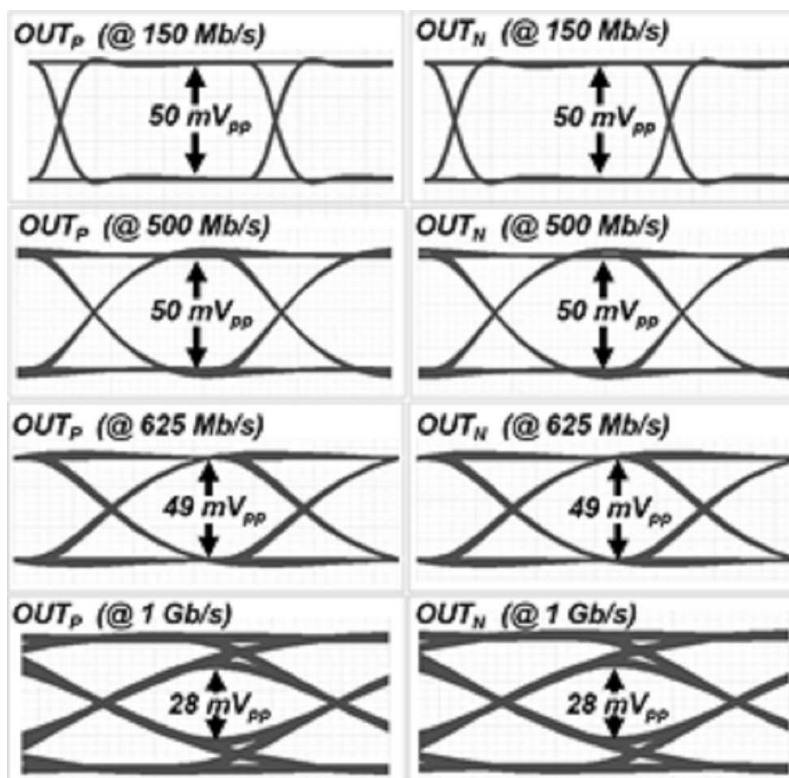
도면2



도면3



도면4



도면5

